(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G11C 11/407

(45) 공고일자 2001년11월30일
(11) 등록번호 10-0305949
(24) 등록일자 2001년08월03일

(21) 출원번호 10-1993-0024096
(22) 출원일자 1993년11월12일

(65) 공개번호 특1994-0012398
(43) 공개일자 1994년06월23일

(30) 우선권주장 07/976,312 1992년11월12일 미국(US)

(73) 특허권자
니폰 펀더리 가부시키가이샤
이와사끼 히데히꼬
일본 지바껭 다떼야마시 야마모또 1580 반찌
유나이티드 메모리스 인코포레이티드
고워 로버트 엘.
미합중국 콜로라도주 콜로라도 스프링스 스위트 109 리스트 드라이브 4815

(72) 발명자
킴시,하디
미합중국콜로라도80920콜로라도스프링스키트카슨레인9760

(74) 대리인
이준구
특허법인코리아나

심사관 : 황은택

(54) 집적회로메모리용감지증폭기및그구동방법

요약

CMOS 기술을 사용하는 초고밀도 집적회로 메모리용 감지 증폭기가 설명된다. 각 감지 증폭기는 제1 및 제2로컬 감지 증폭기 구동 트랜지스터를 포함하는데, 하나는 P 채널형 트랜지스터를 VCC에 접속하고, 다른 하나는 N 채널형 트랜지스터를 VSS에 접속한다. 독출 증폭기 회로는 각 감지 증폭기 내에 구비되고 독출 제어신호에 의해 작동된다. 감지 증폭기 래치의 내부 노드들은 열 기입 제어신호에 반응적인 패스 트랜지스터에 의해 연결된다. 로컬 데이터 기입 구동기 트랜지스터가 또한 다른 데이터 기입 제어 신호에 응하여 패스 트랜지스터를 VCC-Vt 혹은 VSS에 선택적으로 연결하도록 구비된다.

상대적으로 넓은 전력선이 구동 트랜지스터에 연결되어 거기에 VCC를 제공하고, 좁은 전력선이 상기 제1감지 증폭기 구동 트랜지스터를 제어하도록 사용된다. 상응하는 넓은 및 좁은선이 N 채널형 트랜지스터를 접지에 연결하는 제2로컬 감지 증폭기 구동 트랜지스터용으로 사용된다. 각 감지 증폭기는 분리 트랜지스터와 상응하는 분리 신호의 사용을 통해 제1 및 제2비트 선 쌍 사이에 공유된다.

대표도

도 1

명세서

[발명의 명칭]

집적회로 메모리용 감지 증폭기 및 그 구동방법

[도면의 간단한 설명]

제1도는 전형적인 CMOS 감지 증폭기군을 나타냄.

제2도는 종래 기술 변형에 따라 접속된 동일 감지 증폭기군을 나타냄.

제3도는 글로벌 열 선택용 및 블럭 인에이블 특징용 패스 트랜지스터를 갖는 동일한 종래기술 감지 증폭기를 나타냄.

제4도는 열선택 및 블럭 인에이블 성능을 갖고 감지 증폭기의 전류 상태에 따라 때때로 인가된 전압을 예시하는 3개의 종래기술 감지 증폭기를 나타냄.

제5도는 본 발명의 바람직한 실시예에 따라 구성된 감지 증폭기를 설명함.

제6도는 본 발명의 다른면에 따라 감지 증폭기군으로 집약된 본 발명 감지 증폭기의 간략화된 형태를 나타냄.

제7도는 본 발명의 감지 증폭기가 다양한 모드에서 어떻게 작동하는가를 나타냄.

제8도는 바람직한 감지 증폭기가 어떻게 선택적으로 2쌍의 비트 선에 접속되는가를 나타냄.

제9도는 종래 감지 증폭기에 의한 감지 지연을 설명함.

제10도는 개량된 감지 증폭기에 의한 감지 지연을 설명함.

* 도면의 주요부분에 대한 부호의 설명

100 : 감지 증폭기 102,104,126,136 : 노드

112,114,140 : p 채널형 트랜지스터

118,120,122,124,128,130,132,134,142,150,152,154,156 : n 채널형 트랜지스터

158,160 : 도선

[발명의 상세한 설명]

본 발명은 집적회로 메모리에 관한 것으로 특히 이에 이용되는 감지 증폭기에 관한 것이다.

집적회로 메모리는 통상 어레이로 나타내지는 많은 수의 메모리 셀을 포함한다. 메모리 셀은 휘발성 혹은 비휘발성일수 있다. 휘발성인 경우, 메모리 셀은 스태틱 RAM 셀 혹은 다이나믹 RAM 셀일 수도 있다. 단일의 큰 어레이일 수 있거나 주어진 메모리 칩은 블럭으로 배치되는 여러개의 서브 어레이를 갖을 수 있다. 전형적으로, 메모리 디바이스는 일 방향

으로 연장하는 많은 수의 비트 선을 구비한다. 비트 선은 쌍(paired)이거나 쌍이 아닐 수 있다. 그들이 쌍인 경우, 그들은 종종 상보 비트 선 혹은 쌍 비트 선으로 불리워진다.

상보 비트 선은 스태틱 RAM 및 다이나믹 RAM 응용 모두에 사용된다. 비트 선을 일반적으로 제1방향으로 연장하고, 복수의 워드선이 상기 제1방향에 수직인 제2방향으로 연장한다. 전형적으로, 메모리 셀은 비트 선과 워드선의 교차점 혹은 근처에 위치한다.

종종, 메모리 어레이는 서브 어레이로 나뉘어지고, 각 서브 어레이는 또한 블럭으로 나뉘어진다. 각 서브 어레이는 종종 디코더와 같은 자신의 "주변회로"를 갖는다.

메모리 어레이 혹은 서브 어레이는 통상 행과 열로 구성된다. 일반적으로, 행은 (워드라인에 접속되어) 이 워드라인에 따라 위치한 메모리 셀을 나타낸다. 그러므로 열은 통상 행에 수직이며 일반적으로 비트 선 혹은 비트 선 쌍에 따른 (접속된) 메모리 셀 집합을 나타낸다. 일반적으로, 각 열은 각각의 감지 증폭기에 접속된다. 감지 증폭기의 한가지 일은 메모리 셀이 비트 선(들)상에서 갖는 영향을 감지하여 그 신호를 독출 작동시 출력용으로 증폭하는 것이다. 역으로, 감지 증폭기는 또한 메모리가 데이터를 메모리 셀에 기입할 때 비트 선(들)을 구동 혹은 제어한다.

CMOS 기술이 오늘날 많이 사용된다. 제1도는 종래기술 구성을 예시하고 CMOS 기술을 이용한 감지 증폭기(10)를 나타낸다. 그런 감지 증폭기(10)의 작동과 구성은 잘 알려져 있으므로 여기에서 상술하지 않는다. 증폭기(10)는 때때로 LATCHP라고도 불리는 신호 LP를 전달하는 선(16)에 공통적으로 접속된 소오스 전극을 갖는 P 채널형 트랜지스터(12,14)를 포함한다. 이 감지 증폭기는 때때로 LN 혹은 LATCHN으로 불리는 신호를 전달하는 선(22)에 공통적으로 접속된 소오스 전극을 갖는 한 쌍의 N 채널형 트랜지스터(18,20)를 또한 구비한다. 한쌍의 내부 노드(A,B)는 게이트 전극에 접속된다. 특히, 노드 A는 트랜지스터(12,18)의 게이트 전극에 접속되고, 특히 노드 B는 트랜지스터(14,20)의 게이트 전극에 접속된다. 이들 트랜지스터는 래치를 형성한다. 감지 증폭기(10)의 좌측상의 제1비트 선(BL1)은 P 채널형 트랜지스터(12)의 드레인 전극과 N 채널형 트랜지스터(18)의 드레인 전극 사이에 또한 접속된 노드 B에 접속된다. 동일하게, 상보 비트 선($\overline{BL1}$)은 P 채널형 트랜지스터(14)의 드레인 전극과 N 채널형 트랜지스터(20)의 드레인 전극 사이에 또한 접속된 노드 A에 접속된다. 트랜지스터(12,14)는 "승압(pull-up)" 트랜지스터라 하고 트랜지스터(18,20)는 "강압(pull-down)" 트랜지스터라 한다. 트랜지스터(24)가 턴 온 됐을 때, 이것은 소오스-드레인 경로를 통하여 VCC를 선(16)에 DUSRUF하여 LATCHP 신호를 공급한다. 감지 증폭기(10)는 플립 플롭을 형성하여 트랜지스터 12 혹은 14 어느 한쪽이 턴온되어 해당 노드에서 전압을 VCC로 승압한다. 이때와 동일 시점 혹은 가까운 시점에서, 트랜지스터의 하나(18 혹은 20)는 턴온 중인 트랜지스터(26)를 통해 선(22)에 접속될 다른 노드에서 전압을 VSS로 강압한다. 이런 식으로, 2노드중 하나는 하이로 승압되고 다른 하나는 로우로 강압되어, 감지 증폭기는 안정상태로 래치한다.

16메가비트 DRAM과 같은 대규모 메모리에는 수천개의 열과 행이 있다. 이것은 대응하는 비트 선쌍(BL2, $\overline{BL2}$)에 접속된 제2감지 증폭기(30)와, 비트 선(BLN, $\overline{BLN}$)에 접속된 N번째 감지 증폭기(32)를 나타내는 제1도에 도시된다. N은 1000 이상의 크기일 수도 있음은 물론이다. LATCHP 신호는 선(16)을 통해 모두에 인가되고, LATCHN 신호는 선(22)을 통해 N개의 감지 증폭기에 인가된다. 복수의 저항(34)이 제1도에 도시되어 있다. 이것은 이산 저항 소자가 아니라 선(16,22)의 기생저항을 나타내며, 비록 금속 등과 같은 전도재로 형성된다 하더라도 상당한 거리에서는 약간의 저항값을 갖는다. 각 저항에서는, 통상의 경우와 같이, 트랜지스터(24 혹은 26)를 통해 인가된 전압으로부터 전압강하가 있다.

따라서, 결과적으로 감지 증폭기(32)에 이르는 전압은 VCC 혹은 VSS로부터 상당히 감소되어 감지 증폭기가 비효율적으로 혹은 느리게 작동한다. 또 이 문제로 인하여, 감지 증폭기(10)가 감지 증폭기(32)와 동시적으로 작동되지 않고 결과적으로 스큐(skew)가 액세스 시간을 길게 함은 물론이다. 덧붙여, 몇몇 종래기술 디자인은 선택된 감지 증폭기가 너무 일찍 데이터선(비트 선들)에 접속된다면 불안정할 수 있다.

따라서, 전원 공급(VSS)선(22)이 0V로 강압됨에 따라, 트랜지스터는 감지 증폭기에서 턴온을 개시한다. 전류는 선(22)상에서 오른쪽으로 흐르고, 선(22)의 저항에 기인한 전압 강하가 존재한다. 저항을 감소시키기 위해 선(22)을 크게 넓히는 해결책은 실제적인 제한으로 인해 방해받는다. 칩 면적이 우선적으로 할당된다. 따라서, 도시된 구조에서, 가장 오른쪽의 감지 증폭기(10)가 먼저 턴온하고, 그후 감지 증폭기(32)가 턴온한다.

일반적으로, 어떤 제어율로 선(22)을 강압하고자 한다. 선(22)의 가장 면 단부(트랜지스터(26)으로부터 가장 먼 단부)가 가까운 단부보다 더 천천히 전압강하한다. 이것은 바람직하지 않게 메모리를 느리게 하지만 회로가 가까운 단부를 너무 빨리 구동한다면, 해당하는 가까운 쪽 감지 증폭기는 신뢰할 수 없게 된다.

가까운 감지 증폭기들이 논리 "1"을 래치하고 먼쪽 감지 증폭기가 논리 "0"을 래치할 때 또 다른 문제가 생긴다. 비트 선이 ½VCC로 프리차아지될 때, 메모리 셀은 비트 선중 단지 하나를 더 낮거나 더 높게 이동시키기 때문에, 패턴 감도가 있다. "1"을 감지하는 것은 LN이 "1"에 해당하는 전압 레벨 아래로 단지 1Vt 강하되는 것이 필요하기 때문에 "0" 감지 전에 발생한다. 그러나, "0"을 감지하기 위해서는 LN이 ½VCC 보다 1Vt가 낮아야 하고, 이것은 후에 발생한다. "1"이 독출될 때 큰 전류가 흐른다. 큰 전류 때문에, 선(22)의 먼 단부에서의 전압감쇠는 제어할 수 없는 율로 느려진다. 이것은 실질적으로 바람직하지 않은 증가인 7 나노초를 감지 과정에 더할 수 있다.

이 문제를 해결하기 위한 제안된 한 방법이 제2도에 나타내져 있다. 이것은 동일 감지 증폭기(10,30,32)를 나타내고 각각 트랜지스터(24와 26)에 의해 제공되는 동일 신호(LATCHP와 LATCHN)를 갖는다. 그러나, 다른 N 채널형 트랜지스터가 감지 증폭기 아래에 부가되었고, LATCHN이 2개의 다른 선에 의해 전달되도록 변경되었다. 이들 선(40)중 하나는 전류의 대부분을 전달하도록 비교적 넓게 구성되며, 다른 선(42)은 단지 한 개의 선택된 감지 증폭기용의 전류를 전달하기 때문에 상대적으로 더 좁다. 선(40)은 복수의 트랜지스터(44)의 소오스에 접속되고, 각 감지 증폭기는 각각의 트랜지스터(44)를 갖는다. 각 트랜지스터(44)는 VCC에 연결된 게이트 전극을 가지므로 일반적으로 온이다. 트랜지스터(44)는 크기가 상대적으로 작아 어떠한 단일 감지 증폭기에도 많은 전류를 전달하지 않는다.

더 좁은 선 혹은 레일(42)은 역시 N 채널형 트랜지스터로 나타낸 각 트랜지스터(46)의 소오스-드레인 경로에 의해 여러개의 감지 증폭기에 연결된다. 트랜지스터(46)는 디코드되고 이것은 제2도의 먼 좌측에 있는 감지 증폭기(32)용 트랜지스터(46)의 게이트 전극 옆에 나타낸 로우 하이 전이 신호(YR47)에 의해 나타낸다. 다른 트랜지스터(46)는 선택된 열이 아닌, 0V로 예시적으로 나타내진 VR 신호에 연결된다. 즉, 선택된 열은 YR 신호를 디코드하여 트랜지스터(46)의 게이트 전극에 인가하고 이에 따라 좁은 LATCHN선(42)을 감지 증폭기에 연결한다. Okamura et al., "Decoded-Source Amplifier for High-Density DRAMs", IEEE J. Solid State Circuits, Vol. 25, No. 1(Feb 1990), pp 18-23참조. 이 해결책은 선(40)을 통해 흐르는 전류가 전류경로에서 약한 트랜지스터(44)에 기인하여 감소되기 때문에 감지 스큐를 감소시킨다. 그러므로, 선(40)을 통한 전압강하는 감소된다. 이 접근방식의 단점은, 큰 또는(46)가 부가되어야 하며 열 선택신호(YR)상의 용량성 부하는 트랜지스터(46)의 게이트를 구동해야 하므로 증가된다는 것이다. 감지 증폭기당 여분의 트랜지스터를 구동하고 있기 때문에 YR 선으로의 전류인출 및 여분의 부하(loading)에 대한 제어가 좋지 않다.

Chin et al., "An Experimental 16-Mbit DRAM with Reduced Peak-Current Noise," IEEE J. Solid State Circuits, vol. 24, no. 5(Oct. 1989) at p. 1191 et seq. 및 특히 제4도에서 감지 증폭기와 전원 공급선 사이에 P 채널형 및 n 채널형 트랜지스터 모두를 부가한다. 그러나, 이것은 감지 증폭기당 VCC 선으로의 하나의 결선 및 VSS 선으로의 하나의 결선을 사용하지 않는다. 이것은 이들 전원선을 단지 한 단부로부터 구동하지 않고 어레이에 분산된 여러 개의 결선으로부터 구동한다. 신호 SAP 및 $\overline{SAN}$는 각각 LP와 LN에 해당할 수 있다. 즉, 상기 논문에 개시된 구조에는 여 러개의 감지 증폭기가 함께 접속되므로 여전히 어느 정도의 패턴 감도가 있다.

제3도는 초 대용량의 집적회로 메모리(16메가)의 전류 생성에 있어서 과거에 사용되었거나 사용되고 있는 다른 트랜지스터를 나타낸다. 즉, 감지 증폭기(10)는 일반적으로 VCC 및 VSS인 LATCHP 및 LATCHN 신호 사이에 연결된다. 데이터선으로부터의 데이터 신호는 D로서, 그 상보 신호는 $\overline{D}$ 로서 나타내었다. 그러나, 다른 패스 트랜지스터(48,50)의 소오스·드레인 경로는 데이터 신호(D)를 감지 증폭기에 연결하고, 동일한 배치가 상보 데이터 신호에 대해 제공된다. 트랜지스터(48)는 그 게이트 전극에 인가되는 글로벌 열 선택신호 Y에 반응적으로 연결된다. 대부분의 16메가 DRAM은 그런 글로벌 Y 선택신호를 갖는다. 부가적으로, 상기 언급한 초 대규모 메모리는 하나 이상의 블럭을 포함하고 트랜지스터(50)는 트랜지스터(50)의 작동을 제어하는 블럭 인에이블 신호를 나타내도록 도시되었다. 여기에서, 상보 데이터 신호는 독출 동안, VCC 근처에서, 하이이여야 하고 패스 트랜지스터는 불안정성을 피하기 위해 LATCH 트랜지스터에 비해 작아야 한다.

제4도는 제3도의 선을 따라 맞춰진 회로의 몇가지 문제점을 나타낸다. 제4도에서, 3개의 동일하게 구성된 감지 증폭기(10)가 도시되었고 참조의 편리를 위해 도면상에서 10A, 10B, 10C로 참조된다. 도시의 편리성을 위해, LATCHP 선(16)과 LATCHN 선(22)는 나타내지 않았다. 열 선택신호(Y)는 글로벌 선택신호이므로 VCC의 전압을 갖는 것으로 나타내었다. 블럭 인에이블 신호가 별개로 제공되어 감지 증폭기(10A)용 패스 트랜지스터(50)는 제1블럭 선택 신호를 전달하는 제1블럭 선택선(52A)에 연결된 게이트 전극을 갖는다. 유사하게, 감지 증폭기(10B)용 패스 트랜지스터(50)는 제2블럭 선택신호를 전달하는 제2블럭 선택선에 연결된 게이트 전극을 가지며, 유사하게 블럭 선택 신호선(52C)는 감지 증폭기(10C)에 대응한다.

감지 증폭기(10A)는 설명을 위해 도식적으로 비활성 블럭에 있다. 여기서 "비활성"은 LN과 LP가 1/2 VCC이고 래치가 비활성이다는 것을 의미한다. 이의 블럭은 인에이블되지 않아서 선(52A)상의 블럭 인에이블 신호는 제로 볼트에서 로우이다. 즉, 패스 트랜지스터(50A)는 오프이고, 트랜지스터(48A)가 온 상태에 있는지 여부에 관계없이, 감지 증폭기(10A)는 일반적으로 데이터로부터 분리된다. 그러나, 이것이 래치하는 것을 방지하기 위해, LATCHP 및 LATCHN 양자 모두 1/2 VCC에 유지되어야 하고 데이터 기입 신호(DW)와 이의 상보신호(DWB)는 VCC로 유지된다.

감지 증폭기(10B)는 0V의 LN과 VCC의 LP에 의해 활성 블럭에 있다. 그러나, 0V의 블럭 선택에서는, 글로벌 열 선택(Yw)이 VCC이더라도 기입은 일어나지 않는다.

감지 증폭기(10C)는 활성 블럭에 있으므로 기입 동작이 증폭기(10C)를 통해 일어난다. 선(52C)상의 블럭 선택신호는 하이인 VCC에 있다. 열 선택 신호(Y)는 하잉다. 데이타 신호(DW)는 하이인 VCC이고 이의 상보 신호(DWB)는 0V인 로우(혹은 다른 데이타가 기입되고 있으면 그 역)에 있으므로, 감지 증폭기(10C)의 적어도 일측상의 패스 트랜지스터(48C,50C)는 턴온하며 그 감지 증폭기는 데이터 상태를 래치하고 비트 선들을 구동하여 데이터 상태는 열(통상 액티브 워드선)을 따라 메모리 셀 혹은 셀들로 기입된다.

본 발명의 목적은 상기 문제점들을 극복하거나 줄이기 위하여 감지 증폭기를 개선하는 것이다.

본 발명은 CMOS 감지 증폭기에 로컬 기입 구동기 트랜지스터를 제공하여 종래기술의 패턴감도와 지연을 제공한다. 또한 각 감지 증폭기는 그 자신이 각각의 구동 트랜지스터를 갖는다. 셋째로, 각 감지 증폭기는 래치노드가 데이터 선에 결코 접속되지 않기 때문에 불안전성 문제를 제거하는 열 독출 증폭기를 포함한다. 또한, 로컬 기입 구동기는 글로벌 열 선택과 관련된 문제를 해결한다. 본 발명의 바람직한 실시예는 열 독출(YR)과 열 기입(YW) 신호를 사용한다.

종래기술은 각각 LATCHN 신호를 전달하는 좁은 및 넓은 선 혹은 레일(rails)을 사용하지만, 그 일면에 따르면 본 발명은 LATCHN 신호와 관련하여 좁은 및 넓은 선을 사용하지만 그들을 다르게 접속시킨다. 또한, 그 일면에 따르면 본 발명은 LATCHP 공급 신호용 좁은 및 넓은 선 혹은 레일을 포함한다. 즉, 바람직한 실시예에서, 각 감지 증폭기는 넓은 선을 통해 VSS 혹은 신호 LATCHN에 연결된 소오스·드레인 경로를 갖는 각각의 N 채널형 트랜지스터를 갖는다. 그러한 N 채널 구동 트랜지스터의 게이트 전극은 바람직하게 LATCHN 신호의 상보 LNB를 전달하는 좁은 구동선에 의해 게이트된다.

또한, 본 발명의 다른 면에서, 각 감지 증폭기는 각각의 P 채널형 구동 트랜지스터를 포함하는데, 그의 소오스·드레인 경로는 감지 증폭기 래치의 P 채널형 트랜지스터를 VCC 혹은 LATCHP와 같은 하이 전압에 연결한다. 그 하이 전압은 넓은 구동선 중 하나에 의해 전달된다. LATCHP와 관련된 구동선중 더 좁은 쪽은 이들 P 채널형 구동 트랜지스터의 게이트 전극에 연결되고 LATCHP 신호의 상보 LPB를 전달한다.

바람직하게 감지 증폭기는 그 각 측상의 열에 의해 공유된다.

본 발명의 3가지 태양은, (1) 다수의 감지 증폭기에 대해 전원 공급선을 직접적으로 함께 접속함이 없이 트랜지스터 혹은 다른 스위칭 소자를 통해 각 감지 증폭기를 전원선에 접속하는 것, (2) 로컬 독출 증폭기의 사용, (3) 로컬 기입 회로의 사용이다.

이들 3가지는 현저한 점으로서 언급되었지만, 본 발명은 다른 면들도 있다. 본 발명을 실시하기 위해 이들 3가지 모두를 조합하여 채용할 필요는 없지만, 이들 3가지 특징 모두의 사용이 가장 이득적이다.

제5도는 본 발명의 다양한 면에 따른 바람직한 감지 증폭기(100)를 도시한다. 증폭기(100)는 트랜지스터(112,114,118,120)에 의해 형성된 래치에서의 내부 노드(102,104)를 포함한다. 노드(102)는 P 채널형 트랜지스터(112)와 N 채널형 트랜지스터(118)의 게이트 전극에 연결되고, 노드(104)는 P 채널형 트랜지스터(114)와 N 채널형 트랜지스터(120)의 게이트 전극에 연결된다. 감지 증폭기 내 플립 플롭 그 자체의 구성은 감지 증폭기(10)의 구성과 같다.

열 기입 선택 신호(Yw)는 패스 트랜지스터(122,124)의 게이트 전극에 연결된다. 바람직하게, 아래에서 설명하는 열 기입 신호(Yw)와 열 독출 신호(YR)는 각 4개의 열에 대해 디코드되어 각 4개의 열은 특유의 YW 및 YR를 갖는다. 그러나, 이것은 본 발명의 원리를 구현하기 위해 필수적인 것은 아니다. 일 구성에서, 각 서브 어레이는 균등하게 대규모일 수 있고 - 예시적으로 4메가 - 해당 서브 어레이용 열 선택 신호를 생성하는 각 열 디코더를 갖는다. 서브 어레이 내에 단지 한 블럭을 기입할 수 있도록 하는 것이 바람직하다. 이것은 감지 증폭기가 활성인 "활성 블럭"이다. "비활성 블럭"은 감지 증폭기가 프리차아지 중인 블럭이다.

다시, 제5도의 설명으로 돌아가면, 패스 트랜지스터(122)의 소오스·드레인 경로는 노드(104)에 연결되고, 트랜지스터(124)의 소오스·드레인 경로는 노드(102)에 연결된다.

트랜지스터(122)는 또한 로컬 데이터 기입 구동 트랜지스터(128)의 소오스 전극과 다른 로컬 데이터 기입 구동 트랜지스터(130)의 드레인 전극 사이의 노드(126)에 연결된다. 트랜지스터(128,130)은 직렬로 연결된 소오스·드레인

경로를 갖는 N 채널형 소자이다. 트랜지스터(128)의 드레인은 VCC에 연결되고 트랜지스터(130)의 소오스는 접지에 연결된다. 데이터 기입 신호(DW)는 트랜지스터(128)의 게이트 전극에 연결되고 그 상보 신호(DWB)는 트랜지스터(130)의 게이트 전극에 연결된다. 동일한 구성이 트랜지스터(132,134)가 VCC와 접지 사이에 연결되고 그들 사이에 트랜지스터(124)에 연결된 노드(136)를 갖는 감지 증폭기(100)의 우측상에 존재한다. 그러나, 데이터 기입신호(DW)는 제어 트랜지스터(134)에 연결되고 그 상보신호(DWB)는 트랜지스터(132)의 게이트 전극에 연결된다. 즉, 데이터 기입신호(DW)는 감지 증폭기(100)의 좌측상의 승압 트랜지스터(128)를 턴온하지만, 감지 증폭기(100)의 우측상의 강압 트랜지스터(134)를 턴온한다. 동일하게 그 상보 신호(DWB)는 좌우측에 역의 영향을 미친다.

증폭기(100)내의 P 채널형 트랜지스터(112,114)의 소오스 전극은 다른 P 채널형 트랜지스터(140)에 접속되고, 다른 P 채널형 트랜지스터의 소오스 전극은 VCC(또는 LATCHP)에 접속된다. 상기 P 채널형 소자(140)의 게이트 전극은 LATCHP의 논리 보수인 신호(LPB)를 수신하기 위하여 접속된다. FET(140)는 로컬 감지 증폭기 구동 트랜지스터라 한다. 유사한 방식으로, 증폭기(100)내의 N 채널형 트랜지스터(118,120)의 소오스 전극은 다른 로컬 감지 증폭기 구동 트랜지스터(142)의 소오스·드레인 경로를 통하여 접지된다. 트랜지스터(142)의 게이트 전극은 LATCHN의 논리 보수인 신호(LNB)를 수신하기 위해 접속된다.

제5도의 저부는 네 개의 N 채널형 트랜지스터(150,152,154,156)을 포함하는 로컬 열 독출 증폭기를 포함한다. 트랜지스터(150,152)의 소오스·드레인 경로는 직렬 접속된다. 트랜지스터(150)의 드레인 전극은 데이터 독출 신호(DR)의 논리 보수인 신호(DRB)를 수신한다. 트랜지스터(150)의 소오스 전극은 접지된다. 노드(104)는 도선(158)을 통하여 트랜지스터(152)의 게이트 전극에 접속된다. 트랜지스터(150)의 게이트 전극은 열독출 신호(Yr)에 접속된다. 트랜지스터(154,156)의 소오스·드레인 경로는 데이터 독출 신호(DR)와 접지 사이에서 직렬 접속된다. 트랜지스터(154)의 게이트 전극은 트랜지스터(150)의 게이트 전극에 접속되며, 그에 따라 열 독출 신호(Yr)에 접속된다. 트랜지스터(156)의 게이트 전극은 도선(160)을 통하여 내부 노드(102)에 접속된다.

그러므로, 제5도의 회로는 트랜지스터(150 내지 156)에 의해 형성된 데이터 독출 회로를 포함한다. 트랜지스터(128, 130,132,134)는 로컬 데이터 기입 트랜지스터를 포함한다. 트랜지스터(140,142)는 로컬 감지 증폭기 구동 트랜지스터를 포함한다. 대규모 집적회로 메모리 내에는 수천개의 상기와 같은 회로(100)가 있다. 로컬 감지 증폭기 구동 트랜지스터에 연결된 상기 신호(LPB,LNB), 로컬 데이터 기입 구동 트랜지스터에 접속된 데이터 기입신호(DW) 및 그 상보(DWB), 그리고 데이터 독출 신호(DR,DRB)는 메모리 소자 상의 다수의 감지 증폭기들 간에 공유되거나 또는 그들에 인가된다. 상기 글로벌 Y 선택 신호 Yr(독출용) 및 Yw(기입용)는 상기 LNB, LPB, 데이터 선에 수직인 방향의 몇몇 감지 증폭기 간에 공유된다. 별개의 독출 및 기입 데이터 버스가 있다. DR 및 DRB는 독출 데이터 버스를 구비하고 DW 및 DWB는 기입 데이터 버스를 구비한다. 데이터를 감지(래치)하기 위하여, 비트 선 신호는 후속하는 도면에 도시된 회로에 의해 래치 노드(L,LB)에 연결되거나, 어떤 실시예에서는 이들 래치 노드들에 직접 연결될 수 있어 로컬 감지 증폭기 구동 트랜지스터(140,142)가 로우로 되는 LPB와 하이로 되는 LNB에 의해 턴온한다. 상기 트랜지스터(140,142)는 종래의 감지 증폭기에 비해 각 감지 증폭기가 다르 감지 증폭기로부터 분리되고 래칭이 상기 두 신호(LPB,LNB)로 더욱 정확하게 제어될 수 있다는 장점을 제공한다. 상기 감지 증폭기는 트랜지스터(140,142)의 드레인이 각 감지 증폭기에 대하여 분리되기 때문에 서로 분리되어 있다.

트랜지스터(150,152,154,156)는 비파괴 독출 동작을 제공하는 독출 증폭기를 구비한다. 열독출 신호(YR)는 상기 감지 증폭기를 상태변화시키지 않으면서 래칭 전이라 할지라도 어느 때이건 하이로 갈수 있다. 또한, 데이터 독출 신호(DR,DRB)는 상기 감지 증폭기를 상태변화시키지 않으면서 어떤 전압이든지 될 수 있다. 다른 장점은 트랜지스터(150 내지 156)가 상기 감지 증폭기 트랜지스터(112,114,118,120)와는 독립적인 크기로 될 수 있다는 것이다.

열 기입 신호(Yw)(디코드된 신호)가 하이이고 데이터 기입 신호 DW 또는 DWB중 하나가 하이일 때 기입이 행해진다. 이들 데이터 기입 신호 둘다 로우라면, 기입은 일어나지 않는다. 이 회로는 제3도에 도시되고 제4도에 내포된 종류의 블럭 인에이블(BE) 신호를 필요로 하지 않는다. 로컬 데이터 기입 구동 트랜지스터(128-134)는 그들이 개별적인 열 기입 신호를 갖는 한 다른 열 회로에 의해 공유될 수 있다. 이 제5도의 회로에 대한 변형은 트랜지스터(128)의 게이트 전극을 그 드레인에 접속하며, 트랜지스터(132)에 있어서도 동일하게 수행한다. 이것은 필요한 금속도선의 수를 줄여주며 공간을 줄일 수 있으며 배치를 개선할 수 있다. 이것은 기입속도를 거의 동일하게 한다. 트랜지스터(128,132)의 드레인 전극에서의 VCC 연결은 제거된다. 그러나 데이터 기입 신호(DW,DWB)상에는 부하가 어느 정도 증가한다.

제6도는 제1도 및 제2도와 유사하다. 명료하게 도시하기 위하여, 감지 증폭기(및 관련회로)(100)는 제6도에 블럭 형태로 도시된다. 100으로 표시된 각각의 블럭은 각각의 감지 증폭기(100)용의 제6도에 도시된 트랜지스터(140,142)를 제외하고는 제5도의 모든 소자들을 포함한다. 비트 선에의 연결은 도시되지 않았으며, 각각의 감지 증폭기(100)가 제5도의 노드(102,104)를 통하여 직접 또는 선택적으로 각각의 쌍의 비트 선에 연결될 수 있다는 것을 이해할 수 있을 것이다. 제6도에서, 전원은 트랜지스터(140)를 통하여 각각의 감지 증폭기(100)의 P 채널형 트랜지스터(112,114)에 공급된다. 바람직하게 각각의 트랜지스터(140)는 P 채널형 소자이며, 그 게이트 전극은 래치 $\overline{P}$ 를 표시하는 신호(LPB)에 접속된다. 상대적으로 얇은 선이 제6도에 도시된 바와같이 LPB 신호를 전감지 증폭기(100)군의 게이트 전극에 연결한다. 상기 LPB 신호는 소오스·드레인 경로가 접지되어 있는 트랜지스터(180)에 의해 생성된다. 트랜지스터(180)는 N 채널형 트랜지스터를 구비하여 양(positive) 전압이 그 게이트 전극에 인가될 때, LPB가 접지로 강압되고 상기 특정 트랜지스터(180)에 접속된 모든 트랜지스터(140)가 턴온한다. 이것은 그에 의해 상대적으로 넓은 선(184)을 통하여 182에 인가된 VCC 전압(또는 LATCHP 신호)을 트랜지스터(140)의 소오스 전극에 접속할 것이다.

동일한 구성이 제6도의 하부에서 N 채널형 트랜지스터에 대해 사용된다. 감지 증폭기(100) 내의 N 채널형 트랜지스터(118, 120)는 제5도에 관해 설명한 바와 같이 N 채널형 트랜지스터(142)를 통하여 접지에 연결된다.

트랜지스터(142)의 게이트 전극은 상대적으로 좁은선(186)을 통하여 래치 $\overline{N}$ 를 표시하는 LNB에 접속된다. 신호 LNB는 바람직하게 소오스·드레인 경로가 VCC와 선(186) 사이에서 접속된 P 채널형 트랜지스터(188)에 의해 생성될 수 있다. 트랜지스터(188)와 트랜지스터(180)의 게이트 전극은 적합한 제어신호에 접속된다. 트랜지스터(188)가 도전상태(게이트 전극이 저전압을 받는다)일 때, 상기 LNB 신호는 VCC로 승압되고 그에 의하여 트랜지스터(142)를 턴온한다. 이것은 각 트랜지스터(142)의 소오스 전극에 VSS(또는 LATCHN)를 접속하는 비교적 넓은 선(190)에 각 감지 증폭기를 접속한다.

제6도에서, 좁은 도선(181)은 매우 작은 전류를 전달한다. 각 감지 증폭기(100)는 다른 것들로부터 분리된다. 각각은 전원 고급선(184,190)으로의 자신의 결선을 갖는다. 이것은 분산 결선을 갖는 Chin과 같은 구조(다수의 감지 증폭기가 전원 공급선에 함께 연결됨)에서 접할 수 있는 타입의 패턴 감지도를 감소시키거나 제거한다.

제7도는 바람직한 회로(100)가 대규모 메모리에 사용될때의 몇몇 전압을 보여주며, 제4도와 비교된다. 그러나, 제5도의 소자들 모두가 제7도에 도시된 것은 아니고 소자들 중 단지 몇 개만이 감지 증폭기(100A)에 표시되었다. 그러므로, 상기 로컬 데이터기입 구동 트랜지스터(128,130,132,134)가 열기입 선택 트랜지스터(122,124)와 마찬가지로 표시되었다. 로컬 감지 증폭기 구동 트랜지스터(140,142)는 도시되지 않았으나, 넓은 선(184,190) 또는 트랜지스터(140,142)의 드레인 전극이라고 생각할 수도 있는 LATCHP와 LATCHN에의 연결이 도시되었다. 트랜지스터(150-156)에 의해 형성된 상기 열 독출 증폭기는 도시되지 않았으나 실제하는 것으로 이해하여야만 한다. 열 기입 신호가 생성된다고 하면 선(200)상의 열 선택 신호가 VCC인 하이로 나타난다. 제7도는 감지 증폭기(100A)가 비활성 블럭의 일부이고, 감지 증폭기(100B)는 기입 없는 활성 블럭이고, 그리고 감지 증폭기(100C)는 기입이 일어날 활성 블럭의 일부로 가정한다.

비활성 블럭에서의 감지 증폭기(100A)는 패스 트랜지스터(122,124)의 게이트 전극에서 완전한 VCC 신호를 수신한다. 그러나, 로컬 데이터 기입 구동 트랜지스터(128-134) 모두는 DW와 DWB가 제로 전압에 있기 때문에 그들의 게이트 전극에 가해진 제로 전압을 수신한다. 상기 트랜지스터(128,132)에 있어서, 전술한 변형은 VCC로의 결선이 그러한 트랜지스터들의 드레인 전극에서 제거되고 대신 그들의 게이트 전극에 접속된 것을 나타내는 것임을 알 수 있을 것이다. 비활성화 블럭에서, P 채널형 트랜지스터(112,114)는 단지 1/2 VCC를 수신하도록 접속되며, 동일하게 N 채널형 트랜지스터(118,120)는 동일한 전압을 수신하도록 접속되어 있다. 그러므로, 이러한 상태에서, 상기 래치는 비활성화 상태이고 전력 소모가 없다.

감지 증폭기(100B)는 활성화 블럭내에 위치되지만 기입 동작을 갖지 않는다. 그것이 활성화 블럭내에 있기 때문에 LATCHP 신호는 완전한 VCC에 있고 LATCHN 신호는 제로 전압에 있게 된다. 그러나, 기입 동작이 전혀 일어나지 않기 때문에 DW와 DWB는 로우(0v)이며, 로컬데이터기입 구동기 트랜지스터를 이루는 트랜지스터(128-134)는 모두 그들의 게이트 전극에서 제로 전압을 수신하도록 접속된다. 이 구성에서, 감지 증폭기 래치는 이전의 데이터상태를 유지하며 기입이 일어나지 않는다.

감지 증폭기(100C)는 활성화 블럭내에 있으며, 그러므로 도시된 바와 같이 LATCHP는 완전한 VCC레벨에 있으며 LATCHN은 0전압에 있게 된다. 그러나, 기입 동작이 일어나며, 예시적으로 상기 데이터기입 신호(DW)는 0전압에 있으며 그 상보 신호 DWB는 VCC에 있다. 트랜지스터(130)가 턴온하는 것에 의해 LATCHN으로부터의 제로 전압을 패스 트랜지스터(122)를 통하여 노드(104)에 연결한다. 트랜지스터(132)는 게이트 전극과 드레인 전극에서 VCC를 수신하며, 턴온하고, 비제로 전압을 트랜지스터(124)를 통하여 노드(102)에 연결한다. 노드(102)가 비제로 전압에 있고 노드(104)가 트랜지스터(130)를 통하여 제로 전압으로 강압된 채로 상기 트랜지스터는 래치하며 상기 비트 선(도시되지 않음)을 데이터 상태들 중 하나로 구동한다.(다른 데이터 상태는 상기 데이터기입 신호(DW)를 VCC로 그리고 그 상보 신호(DWB)를 제로 볼트로 구동함으로써 기입된다).

제8도는 두 비트 선쌍들 중 어느 한쪽을 다루도록 대향하는 비트 선들 사이에 연결된 감지 증폭기(100)의 실시예를 도시한다. 제8도는 제 5도로부터의 전기적으로 선(158)에 있는 래치 노드 L(LATCH)과 선(160)에 접속된 상보노드 LATCHB를 도시한다.(이것들은 부호들(labels)이다)

즉, 일반적으로 제5도 모두가 제8도의 중간부분에 도시되며, 제8도는 어떻게 바람직한 실시예 회로가 BITL 및 BITBL(좌측 비트 선 및 좌측 비트 바선을 표시하는)로 마크된 제1의 비트 선 쌍(220,222)에 의해 공유되도록 접속되는지를 나타낸다. 또한, 제2의 비트 선 쌍(224,226)은 제8도의 하부에 도시되며 BITR 및 BITBR(우측 비트 선 및 우측 비트 바선을 표시하는)로 마크된다. 스위칭 트랜지스터의 게이트 전극에 인가된 격리 신호는 어떤 주어진 시간에 감지 증폭기와 공통 작동할 것이 상기 두 비트 선 쌍 중 어느 것인가를 결정한다. 그러므로, ISOLATION LEFT 신호(ISOL)는 N 채널형 전계 효과 트랜지스터(232,234)의 게이트 전극에 인가된 노드(230)에 접속되며, 선(230)상의 신호가 하이 전압으로 올라갈 때, 트랜지스터(232,234)가 턴온하여 그에 의해 비트 선 쌍(220,222)을 감지 증폭기(100)의 노드에 연결하도록 한다. 동일하게, ISOLATION RIGHT 신호(ISOR)가 다른 N 채널형 트랜지스터(238,240)의 게이트 전극에 접속된 노드(236)에 가해지며, 그 신호가 하이일 때 트랜지스터(238,240)가 상기 감지 증폭기(100)를 상기 비트 선 쌍(224,226)에 연결시킨다. 이들 선택적 연결은 ISOLATION LEFT 및 ISOLATION RIGHT 신호의 상태에 따라, 선(158)을 선(220)에 또는 선(224)에 선택적으로 연결하며, 선(160)을 선(222)에 또는 선(226)에 선택적으로 연결하는 이들 분리 트랜지스터의 소오스·드레인 경로를 통하여 일어난다. P 채널형 트랜지스터가 N 채널형 트랜지스터 대신에 사용될 수 있다는 것을 알 수 있다. 또한, 트랜지스터(238) 및 (240)이 N 채널형 트랜지스터인 채로 트랜지스터(232,234)를 P 채널형 트랜지스터로 하는 것이 가능하며, 둘다 동일한 격리 신호를 수신한다. 제8도의 변형에 있어서 각 쌍중 하나는 P 채널형이며 다른 쌍은 N 채널형이라는 것은 명백하다. 이러한 경우, 하나의 쌍은 P 채널형이고 다른 쌍은 N 채널형인 채로 두 장소에 인가된 단일 신호는 한쌍의 트랜지스터를 턴온하며 다른 쌍을 턴 오프할 것

이므로, 이에 따라 상기 감지 증폭기(100)를 트랜지스터의 구성 및 신호에 따라서 좌측 또는 우측의 단지 하나의 비트 선 쌍에 선택적으로 연결한다. 상기 신호 및 트랜지스터의 정확한 성격은 어떤 응용에서든지 원하는 대로 변화될 수 있다.

제8도에 도시된 다른 회로는 노드(244(제8도 하부), 246(제8도 상부))에 인가된 기준 압력 BLREF을 포함한다. 노드(248)에의 신호 SHL 및 노드(250)에의 신호 SHR은 비트 선을 프리차아지하는데 사용된다. 제8도의 상부에서, 상기 신호 SHL이 트랜지스터(252,254,256)의 게이트 전극에 인가되는 것을 볼수 있을 것이다. 트랜지스터(256)는 일반적으로 그 트랜지스터가 턴온할 때마다 상기 두 비트 선(220,222)를 단락시키는 균형화(equilibrating) 트랜지스터이다. 트랜지스터(252,254)는 노드(246)에서의 비트 선 기준 BLREF와 비트 선(220,222) 각각의 사이에 연결된 소오스·드레인 경로를 가지며, 그에 따라서, 턴온 되면 비트 선 기준 전압을 비트 선 각자에 연결한다.

마찬가지로, 제8도의 하부에서의 구성은 SHR 신호에 응답하여 유사하게 동작하는 트랜지스터(260,262,264)를 포함한다.

또한, 이들 트랜지스터(252-264)는 N 채널형 트랜지스터이지만 다른 타입의 스위칭 소자가 주어진 어느 실시예에서도 채용될 수도 있다. 바람직한 실시예에서, 비트 선 기준은 예시적으로 대략 1/2 VCC와 같은 정전압이다. 그러므로, 이 감지증폭기 회로(100)는 두 메모리 셀 어레이 또는 좌우 비트 선쌍으로 표시되는 각각의 어레이의 열에 의해 공유됨을 알 수 있다.

감지, 독출, 기입 동작은 제8도를 참조로 하여 검토될 수 있다. 제일 먼저, 프리차아지 중에 LNB는 접지 전위에 있고 LPB는 VCC에 있다. 활성 열 또는 열들의 어레이를 감지하기 위하여, LNB는 접지 위로 대략 VCC 레벨로 올라가 트랜지스터(142)를 턴온한다. 이것은 노드(143)를 접지를 향해 강압시키는 경향이 있다. 거의 동시에, 또는 잠시 후에, LPB는 로우로 가고, 트랜지스터(140)를 턴온하고 노드(141)를 하이로 승압하는 것에 의해 래치를 인에이블시킨다. 이것은 상기 비트 선들 중의 하나를 VCC 전위로 승압하며 다른 하나를 독출을 위해 접지로 강압한다.

YR은 선택된 열 혹은 열들에 대해 하이로 올라가 데이터 독출선 DR 및 DRB에 연결되는 트랜지스터(150,154)를 턴온한다(바람직하게, DR 및 DRB는, 여기서는 도시되지 않은, 2차 증폭기 회로로 간다). 래치 노드들 중의 하나는 하이로 구동되고 다른 래치 노드는 로우로 구동된다. 상기 래치 노드들은 트랜지스터(152,156)의 게이트에 접속된다.

노드(230)에서의 분리/선택 신호 ISOL는 비트 선(BL)과 $\overline{BL}$상의 전압이 감지 직전에 래치와 래치 바 노드로 전달되도록 초기 감지 중에 VCC 전위에 있을 것이다. 실제로 상기 감지 증폭기 또는 래치는 직접 비트 라인들을 증폭하지 않고 상기 래치 노드를 증폭한다.

상기 트랜지스터(150-156)는 로컬 독출 증폭기로 이루어진다. 예를 들어, YR은 하이로 가고, 이때 상기 래치 노드는 하이이거나 하이로 가는 중이다. 래치 바는 로우 상태이거나 로우로 간다. 전류의 차는 상이한 레벨의 게이트 전압을 갖기 때문에 트랜지스터(152,156)를 통과한다. 상기 차 전류는 데이터 독출 선(DR, DRB)상에 전달된다. 이 차 전류는 또한 본 도면에 도시되어 있지 않은 2차 증폭기로 증폭된다. 이는 독출이 수행되는 방식이다. 상기 로컬 독출 증폭기의 장점은 비파괴 독출이라는 것이다. 상기 DR 및 DRB 라인은 상기 LATCH 및 LATCHB 선으로부터 효과적으로 분리되어, 독출중에 LATCH 및 LATCHB 선 상의 신호를 상태변화시킬 수 없게 된다. 따라서 상기 YR 신호의 타이밍은 이전의 DRAM과는 달리 크리티컬(critical)하지 않다.

상기 분리/선택 신호 ISOL 및 ISOR은 모두 프리차아지 중 및 감지 직전에 VCC 전위에 있고, ISOL 또는 ISOR 중의 하나는 어느 것으로부터 독출되지 않을 것이거나 어떤 것으로부터 데이터가 감지되지 않을 것이건 간에 좌측 또는 기입 어레이를 분리하기 위해 접지 전위로 간다. 초기 감지 중에는(데이터가 감지되는 어레이에 해당하는) 다른 분리/선택 신호가 VCC 전위에 머무른다. 감지가 시작된 직후, 이것은 VCC 이상 레벨로 올라가 상기 회로가 트랜지스터(232) 또는 (234)에 기인한 문턱전압 감하없이 래치할 수 있고 비트 또는 비트 바 선으로 완전한 VCC 전위를 재기입할 수 있다. 그후, 다음 프리차아지 주기에서, 상기 ISO 신호는 VCC 이상의 값으로부터 VCC로 들어가며, 다른쪽의 ISO 신호는 접지 전위로부터 프리차아지를 위해 VCC로 올라간다.

기입에 있어서, 로컬 기입 트랜지스터(128,130,132,134)가 사용된다. 기입중에 YW는 하이로 간다. 이것은 ‘글로벌’ 신호(바람직한 실시예에서 YW가 서브 어레이내의 여러개의 감지 증폭기에 연결된 것을 의미)이기 때문에, 그리고 다수의 감지 증폭기들중 하나 또는 둘에만 데이터를 기입하기를 바랄수도 있기 때문에 YW 이상으로 더욱 많은 제어가 제공된다(재디코딩). YW가 하이이고 기입하기를 바라지 않는다면, DW 및 DWB 모두는 접지전위에 유지된다. YW에 의해 구동되는 게이트 전극을 갖는 트랜지스터(122,124)를 통해서는 전혀 전류가 흐르지 않는다. 그러므로, DW LOCAL 및 DWB LOCAL은 LATCH 또는 LATCH B가 요구하는 어떠한 값에서도 단지 플로팅(floating)한다 : 래치신호의 상태변화가 없다.

이러한 독특한 감지 증폭기에 기입하기 위하여, DW는 VCC 전위로 가고 DWB는 접지 전위에 머문다(또는 그 역으로 된다). DW가 VCC 전위에 있음과 더불어, 좌측의 트랜지스터(128)가 턴온하여, 노드 DW LOCAL을 (VCC-Vt) 전압으로 승압한다. 반대측에서, DW가 하이로 가면서, 트랜지스터(134)가 턴온하고 DWB LOCAL을 접지로 강압한다. DW LOCAL 노드 상에 무리하게 가해지는 차 전압은, YW가 하이이기 때문에, 실제로 래치를 플립하며 비트 선을 하나는 VCC로, 하나는 접지로 구동한다.

일반적으로, 본 명세서에 있어서 부호 “B” 또는 “-”는 주어진 신호의 논리 보수(상보)를 나타내며, 전형적으로 상기 신호가 갖는 것과는 다른 전압을 갖는다. 즉, 상기 신호의 상태가 예적으로 5볼트인 VCC 상태에 있다면, 그 보수는 제로 볼트에 있거나 그 반대이다. 상기 부호 “L”은 래치 신호이며 부호 P와 조합될때는 P 채널형 트랜지스터를 턴온하는 것에 의한 래칭을 나타내며, 부호 LN은 래치의 N 채널형 트랜지스터를 턴 온 상태로 하는 것을 나타낸다. 그러나, 이것은 LP와 LN 신호가 표명될 때 참이다. 이들이 표명되지 않을 때에는, P 채널형과 N 채널형 트랜지스터는 턴온 상태로 되지 않는다.

그러므로 본 발명은, 그 다양한 면에 있어서, 한 쌍의 로컬 감지 증폭기 구동 트랜지스터(140,142)를 포함하는 것으로 설명되었다. 바람직하게, 이들 각각은 각각의 전류 전달선 쌍과 협력하며, 그들 중 하나는 상대적으로 더 넓은 선이어서 더큰 양의 전류를 전달하며, 다른 하나는 각각의 트랜지스터(140 또는 142)의 게이트 전극 또는 제어 전극에 접속되기 때문에 상대적으로 더 가는 선이다. 이것은 제6도에 도시되어 있다. 설명된 본 발명의 또 다른 면은 데이터기입 제어 신호(DW)와 그 보수(DWB)를 구비한 로컬 데이터기입 구동기 트랜지스터(128-134)를 포함하는 것이다. 이것은 제5도 및 제8도에서 N 채널형 소자로서 도시되었지만, P 채널형 트랜지스터 또는 다른 스위칭 소자일 수도 있다. 이러한 트랜지스터는 분리를 제공하며 그에 의해서, 제7도를 참조하여 나타내고 설명한 바와같이, 기입 동작이 전혀 일어나지 않는 감지 증폭기의 대기 전류 또는 통상의 전류 드레인을 낮춘다. 상기 회로는 글로벌 열 기입 신호(Yw)와 그 트랜지스터(122,124)와 연동한다. 또한, 나타내고 설명한 본 발명의 다른 면은 제5도 및 제8도에 구체화된 바와 같이 트랜지스터(150-156)를 구비하는 로컬 열 독출 증폭기를 구비하는 것이다. 상기와 같은 트랜지스터들과의 협력하는 것은 데이터 독출 제어신호(DR)와 그 보수(DRB), 그리고 열 독출 신호(YR)이다. 비록 이것들이 N 채널형 트랜지스터로서 도시되었지만, P 채널형 트랜지스터를 포함하지만 그에 국한되지는 않는 다른 트랜지스터 또는 스위칭 소자들이 쓰일

수 있다. 이러한 독출 증폭기는 비파괴 독출 동작을 제공하며, 래칭전이라 할지라도, 상기 감지 증폭기를 상태변화시키지 않으면서 열 독출 신호가 언제든지 하이로 되게할 수 있다. 이러한 독출 증폭기 트랜지스터는 상기 감지 증폭기 트랜지스터와는 독립적으로 크기가 정해질 수 있다.

로컬 감지 증폭기 구동 트랜지스터의 장점은 각 감지 증폭기가 다른 감지 증폭기들로 부터 분리될 수 있으며, 래칭이 신호 LNB 및 LPB에 의해 더욱 정확하게 제어될 수 있다는 것이다.

그러므로, Chin et al. 구성의 패턴 감도는 각의 감지 증폭기에 각 쌍의 트랜지스터를 제공하므로써, 즉 두 전력 공급선 각각에 하나의 트랜지스터를 제공하므로써 극복된다.

로컬 감지 증폭기 구동기 트랜지스터의 장점을 도시하는 것을 보조하기 위해, 제9도는 종래의 감지 증폭기에서의 감지 지연을 보여주며 제10도는 본 발명에 포함된 개량된 감지 증폭기에서의 감지 지연을 보여준다.

특히 바람직한 실시예는, 비록 다른 구성에서 블럭 인에이블 신호가 적절한 회로와 함께 포함될 수 있지만, 블럭 인에이블 신호의 필요성을 제거함은 물론이다.

본 명세서에 설명되지 않은 것은 트랜지스터(180,188)에 인가된 신호이다. 상기 신호, 그들은 생성시키는데 사용된 회로, 그리고 채용된 방법은 " 감지 증폭기 클럭 드라이버 " 라는 명칭의 본 출원인의 미국출원에 개시되어 있으며, 상기 개시된 내용은 본 명세서에서 참고로 사용되었다.

본 발명은 제공된 첨부의 특정도면과 설명에 제한되는 것은 아니며 다양한 변형, 변화, 그리고 대치 등이 본 발명의 범위와 사상을 벗어남이 없이 행해질 수도 있음은 물론이다. 따라서, 본 발명은 도면과 더불어 명세서를 참조하여 특허청구의 범위에 의해 결정되어야 한다.

(57) 청구의 범위

청구항 1.

각각 비트 선이 접속되는 복수의 내부노드를 갖는 래치회로와, 데이터기입동작을 위한 제어신호(DW,DWB)에 따라 상기 래치회로에 대하여 데이터의 기입을 행하는 한 쌍의 로컬데이터 기입구동회로와, 각각 상기 내부노드의 하나와 상기 로컬데이터 기입구동회로 하나 사이에 형성되고, 다른 제어신호(YW)에 따라 상기 내부노드의 하나와 상기 로컬데이터 기입구동회로를 접속하는 한쌍의 패스 트랜지스터와, 상기 래치회로의 트랜지스터에 접속된 소스-드레인 경로를 갖고, 제1전압원 및 제2전압원에 각각 접속되어 전압을 인가하는 한쌍의 감지증폭기 구동 트랜지스터와, 해당하는 열로부터 제1 및 제2독출 제어신호를 수신하도록 상기 래치회로의 내부노드에 접속되는 로컬 열 독출 증폭기를 구비하는 것을 특징으로 하는 집적회로 메모리용 감지증폭기.

청구항 2.

제1항에 있어서, 상기 로컬데이터 기입구동회로는 노드를 사이에 두고 소오스·드레인 경로가 직렬로 접속된 풀업 트랜지스터와 풀다운 트랜지스터로 이루어져 있고, 노드는 상기 패스 트랜지스터에 접속되며, 상기 풀업 트랜지스터와 상기 풀다운 트랜지스터의 소오스·드레인 경로는 제1 및 제2전압에 접속되어 있는 것을 특징으로 하는 집적회로 메모리용 감지증폭기.

청구항 3.

제2항에 있어서, 상기 한쌍의 로컬데이터 기입구동회로중, 한쪽의 상기 기입구동회로의 풀업 트랜지스터 게이트에 데이터 기입신호가 입력되고, 풀다운 트랜지스터의 게이트에 상기 데이터기입신호의 상보신호가 입력되며, 다른쪽의 상기 기입구동회로의 풀업 트랜지스터 게이트에 상기 데이터기입신호의 상보신호가 입력되고, 풀다운 트랜지스터의 게이트에 상기 데이터기입신호가 입력되는 것을 특징으로 하는 집적회로 메모리용 감지증폭기.

청구항 4.

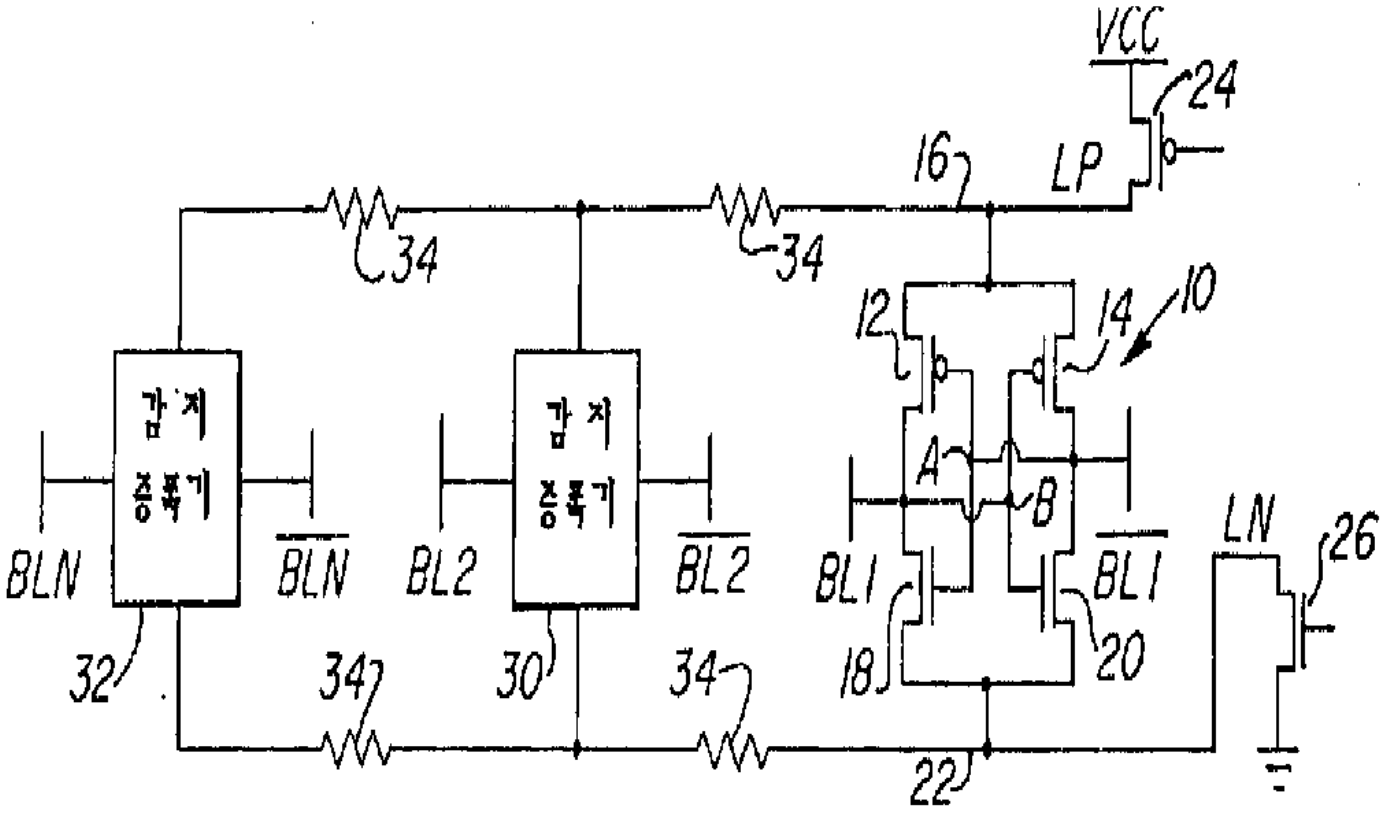
제1항에 있어서, 상기 로컬데이터 기입구동회로는 노드를 사이에 두고 소오스·드레인 경로가 직렬로 접속된 풀업 트랜지스터와 풀다운 트랜지스터로 이루어져 있고, 상기 노드는 상기 패스 트랜지스터에 접속되며, 상기 풀업 트랜지스터의 드레인과 게이트가 접속되고, 상기 풀다운 트랜지스터의 소오스는 제1전압에 접속되며, 상기 한쌍의 로컬데이터 기입구동회로 중, 한 쪽의 기입구동회로의 풀업 트랜지스터 게이트에 데이터기입신호가 입력되고, 풀다운 트랜지스터의 게이트에 상기 데이터기입신호의 상보신호가 입력되며, 다른쪽의 기입구동회로의 풀업 트랜지스터 게이트에 상기 데이터 기입신호의 상보신호가 입력되고, 풀다운 트랜지스터의 게이트에 상기 데이터기입신호가 입력되는 것을 특징으로 하는 집적회로 메모리용 감지증폭기.

청구항 5.

각각 비트 선이 접속되는 복수의 내부노드를 갖는 래치회로와, 데이터기입동작을 위한 제어신호(DW,DWB)에 따라 상기 래치회로에 대하여 데이터의 기입을 행하는 한쌍의 로컬데이터 기입구동회로와, 각각 상기 내부노드의 하나와 상기 로컬데이터 기입구동회로 하나 사이에 형성되고, 다른 제어신호(YW)에 따라 상기 내부노드의 하나와 상기 로컬데이터 기입구동회로를 접속하는 한 쌍의 패스 트랜지스터를 구비하는 집적회로 메모리용 감지증폭기의 구동방법에 있어서, 제1 및 제2전압선으로부터 별개로 각 감지 증폭기를 선택적으로 접속 및 분리하는 것에 의하여 제1 및 제2전압을 각 감지 증폭기에서 제1 및 제2형의 트랜지스터에 선택적으로 접속하는 단계; 독출 증폭기를 상기 감지 증폭기의 각각에 제공하여 상기 독출 증폭기의 동작을 독출 제어신호로 제어하는 단계; 로컬데이터 기입회로를 각 감지 증폭기에 제공하여 기입 제어신호를 사용하여 기입동작용 상기 로컬데이터 기입구동회로를 동작시키는 단계를 구비하며, 상기 로컬데이터 기입구동회로는 노드를 사이에 두고 소오스·드레인 경로가 직렬로 접속된 풀업 트랜지스터와 풀다운 트랜지스터로 이루어져 있고, 상기 풀업 트랜지스터와 상기 풀다운 트랜지스터의 게이트에 이들 트랜지스터를 오프하는 신호를 입력함으로써 비기입상태로 하는 것을 특징으로 하는 구동방법.

도면

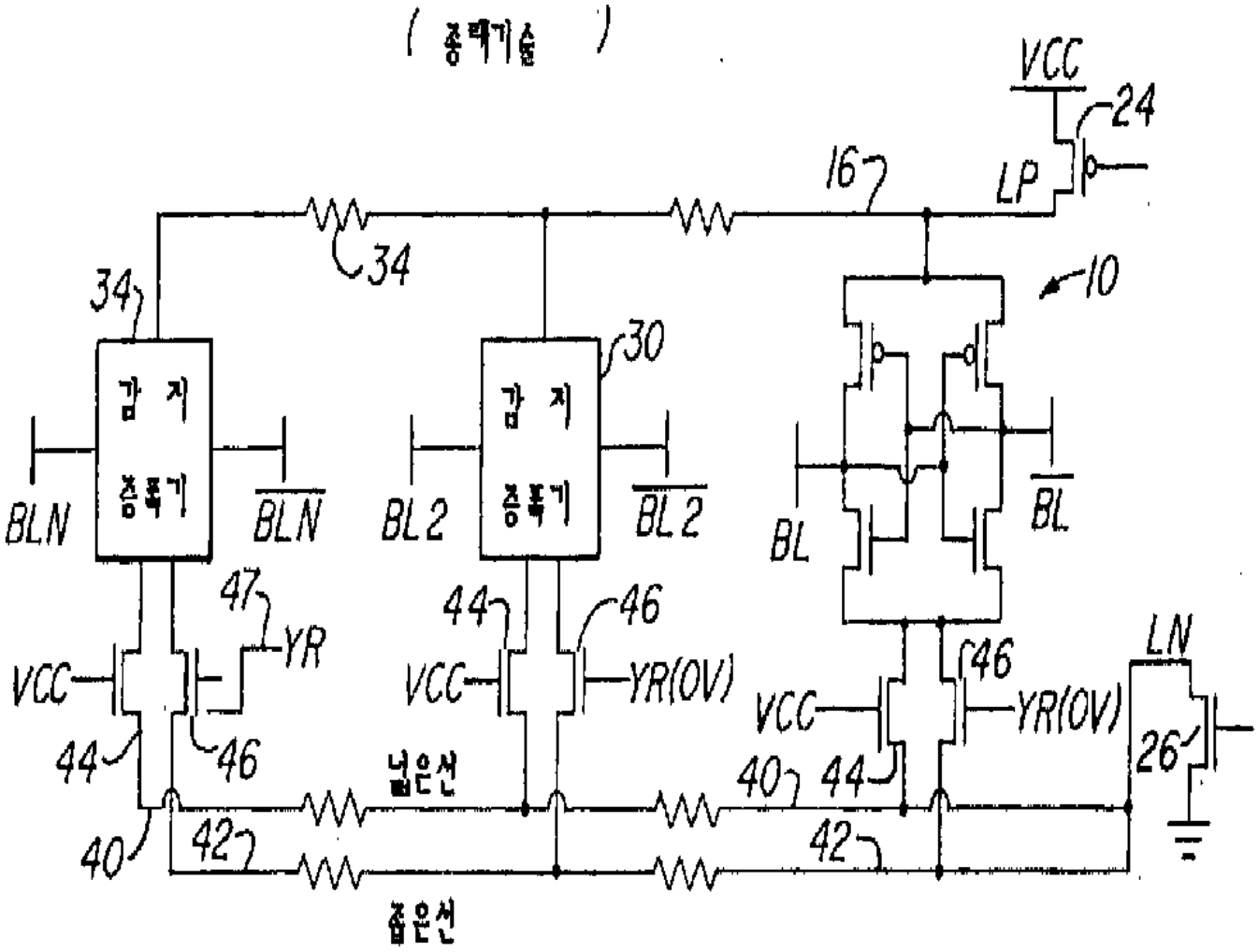
도면 1


VCC
24
16
LP
34
34
12
14
10
감지
증폭기
감지
증폭기
A
B
BLN
BLN
BL2
BL2
BL1
BL1
LN
26
32
34
30
34
18
20
22

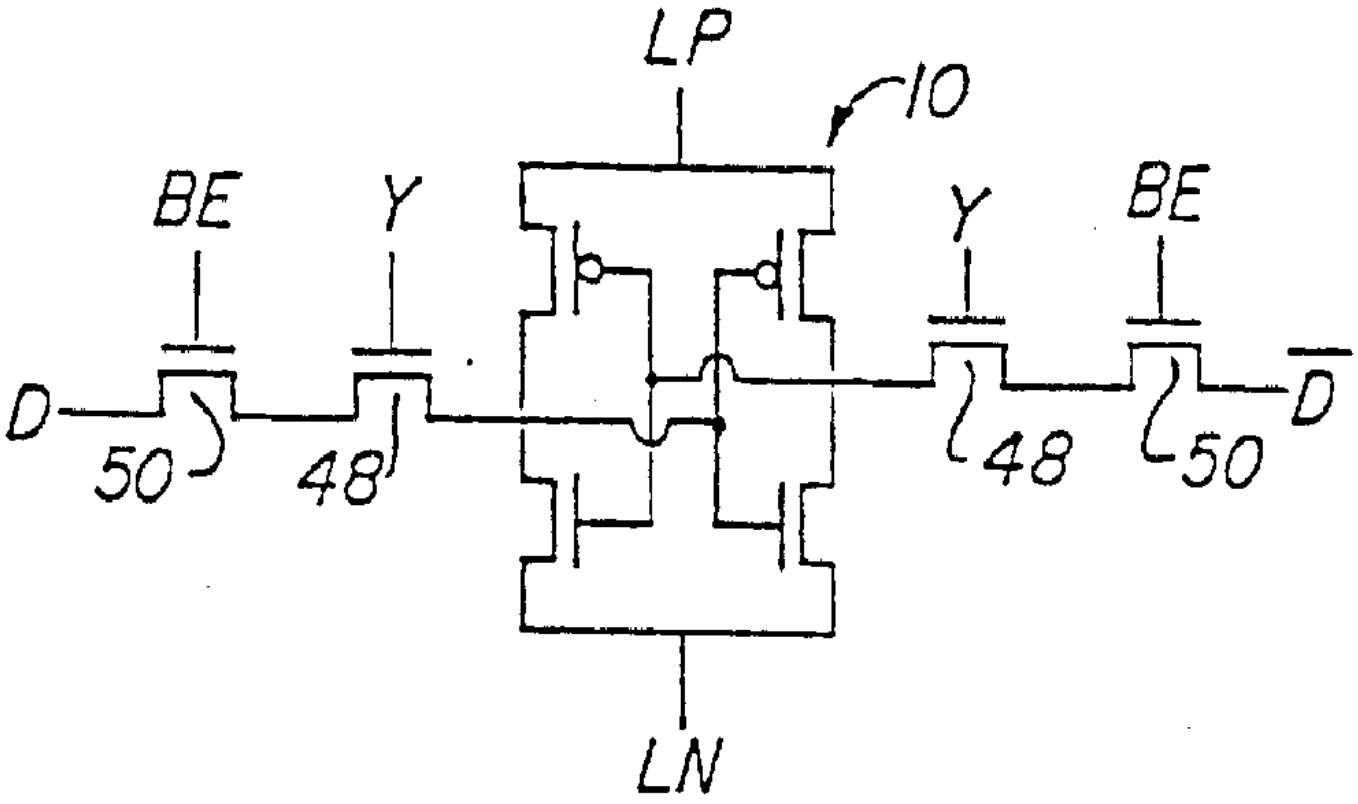
(종래기술)

도면 2

(종래기술)

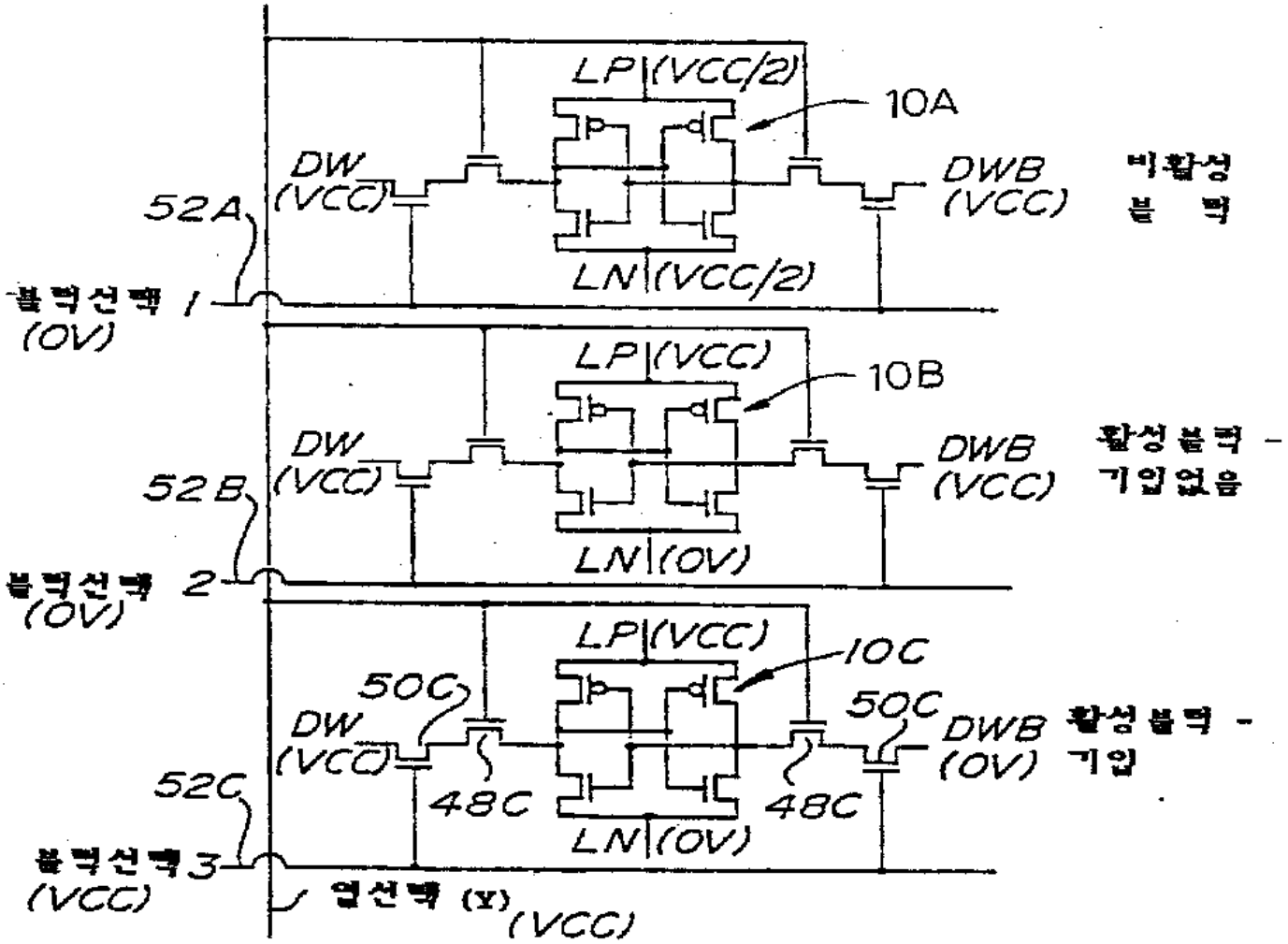

VCC
24
16
LP
34
34
10
30
감 지
증폭기
감 지
증폭기
BLN
$\overline{BLN}$
BL2
$\overline{BL2}$
BL
$\overline{BL}$
47
YR
44
46
VCC
YR(OV)
VCC
46
YR(OV)
LN
44
46
넓은선
40
44
26
40
42
42
좁은선

도면 3

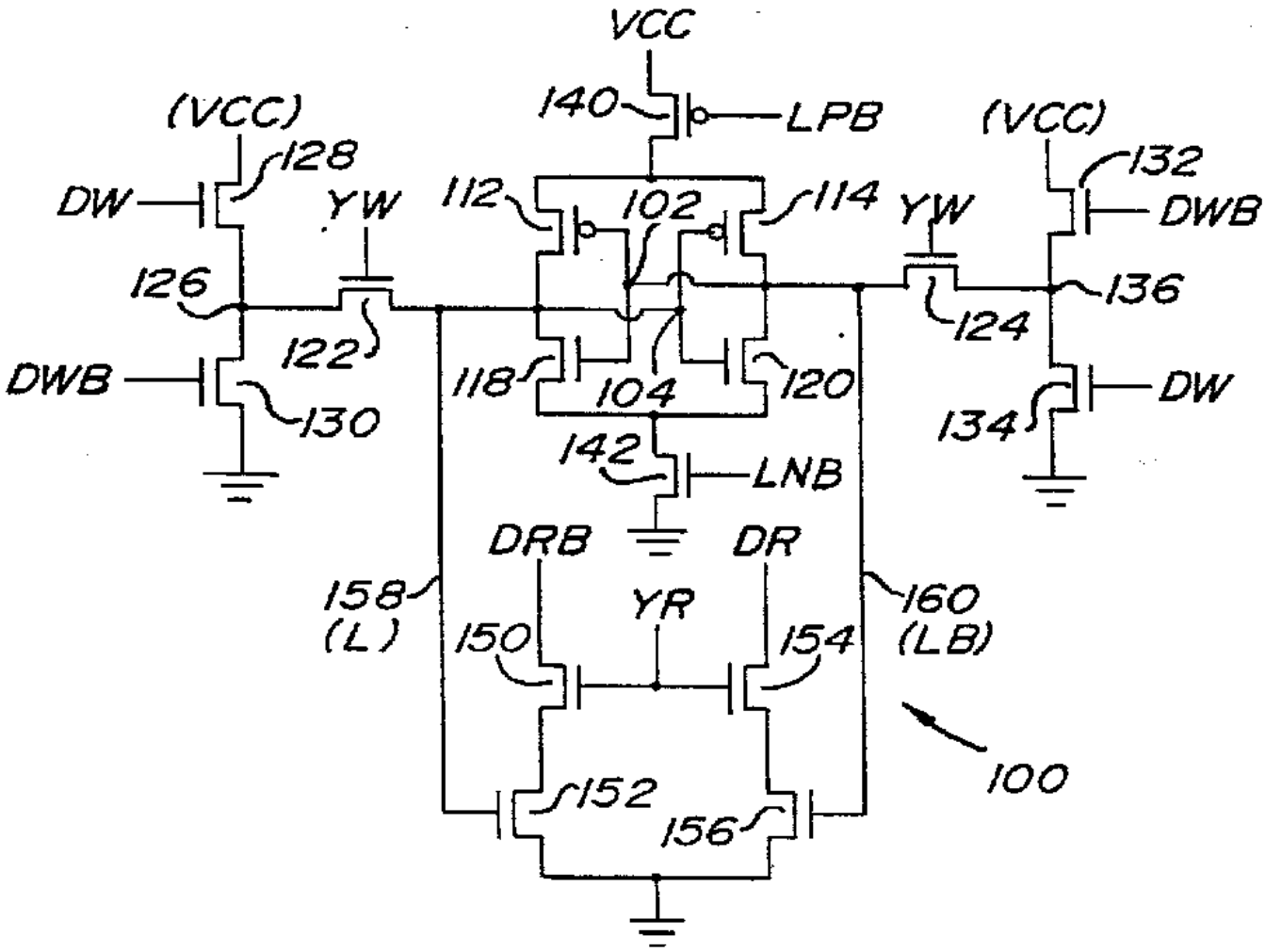


(종래기술)

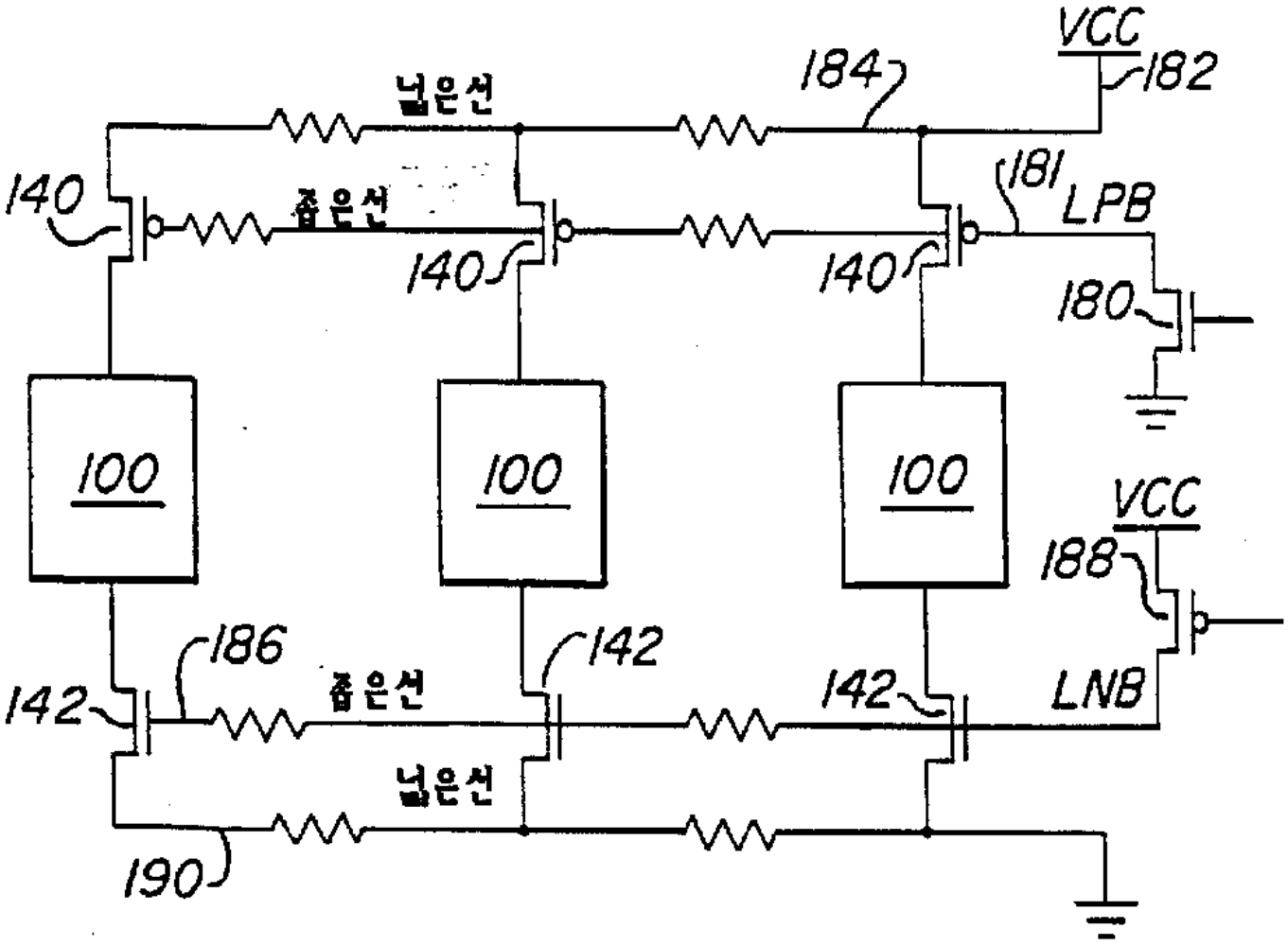
도면 4


LP (VCC/2)
10A
DW (VCC)
DWB (VCC)
비활성 블 럭
52A
LN (VCC/2)
블럭선택 1 (0V)
LP (VCC)
10B
DW (VCC)
DWB (VCC)
활성블럭 - 기입없음
52B
LN (0V)
블럭선택 2 (0V)
LP (VCC)
10C
50C
50C
DW (VCC)
DWB (0V)
활성블럭 - 기입
52C
48C
48C
LN (0V)
블럭선택 3 (VCC)
열선택 (Y) (VCC)

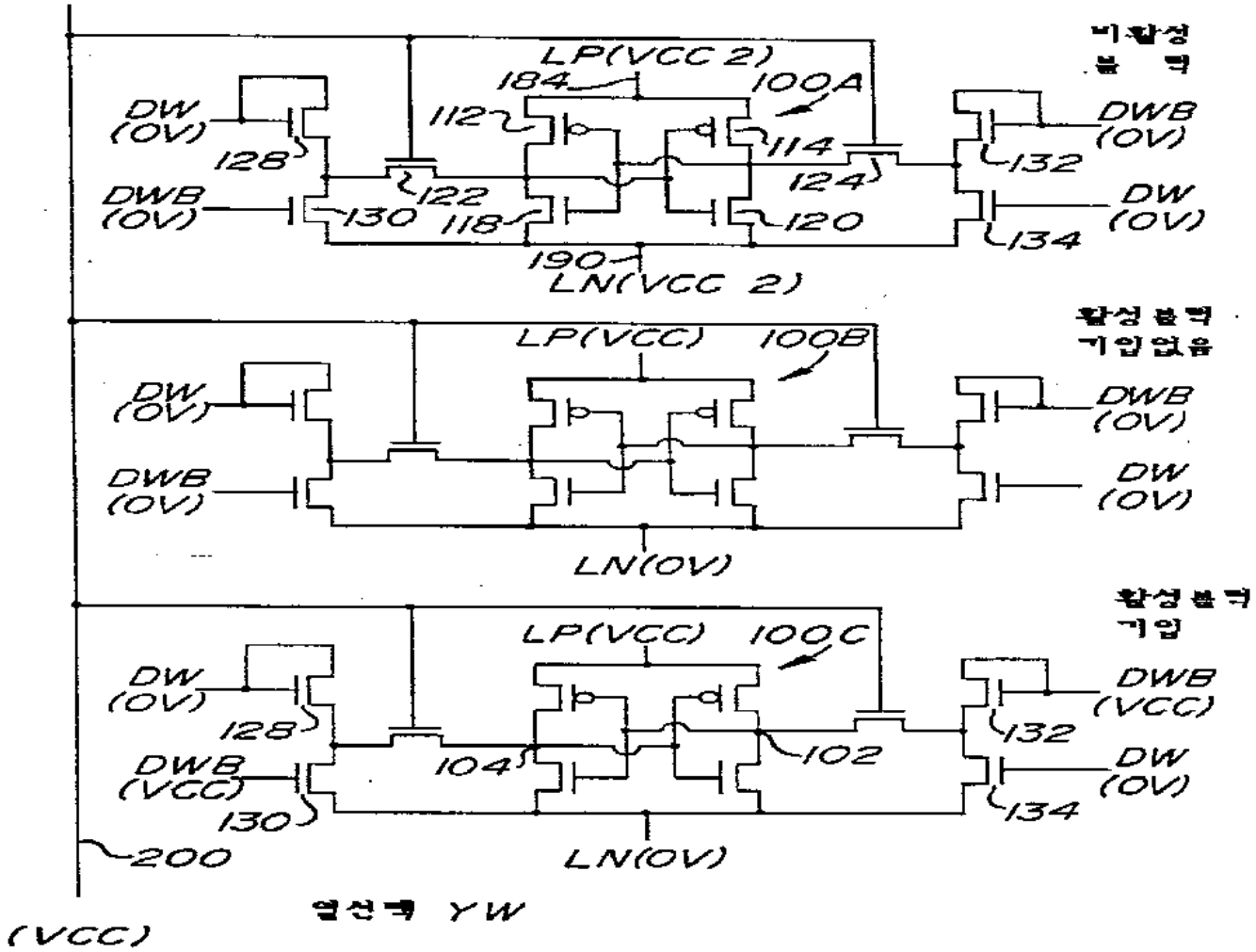
도면 5


VCC
140
LPB
(VCC)
128
DW
YW
112
102
114
YW
(VCC)
132
DWB
126
136
122
124
DWB
130
118
104
120
134
DW
142
LNB
DRB
DR
158
(L)
YR
160
(LB)
150
154
100
152
156

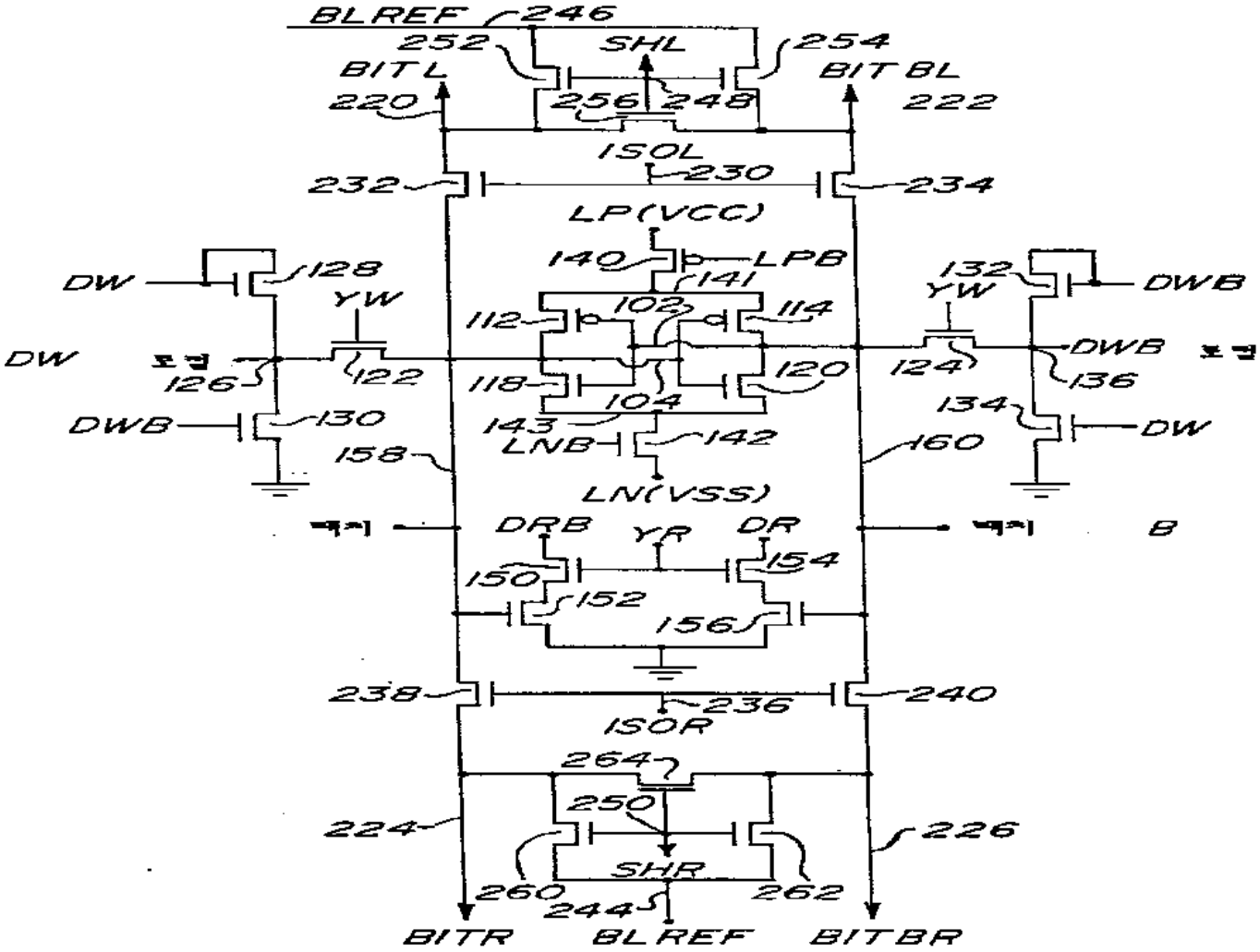
도면 6


VCC
182
184
넓은선
181
LPB
140
좁은선
140
140
180
100
100
100
VCC
188
186
142
142
142
LNB
좁은선
넓은선
190

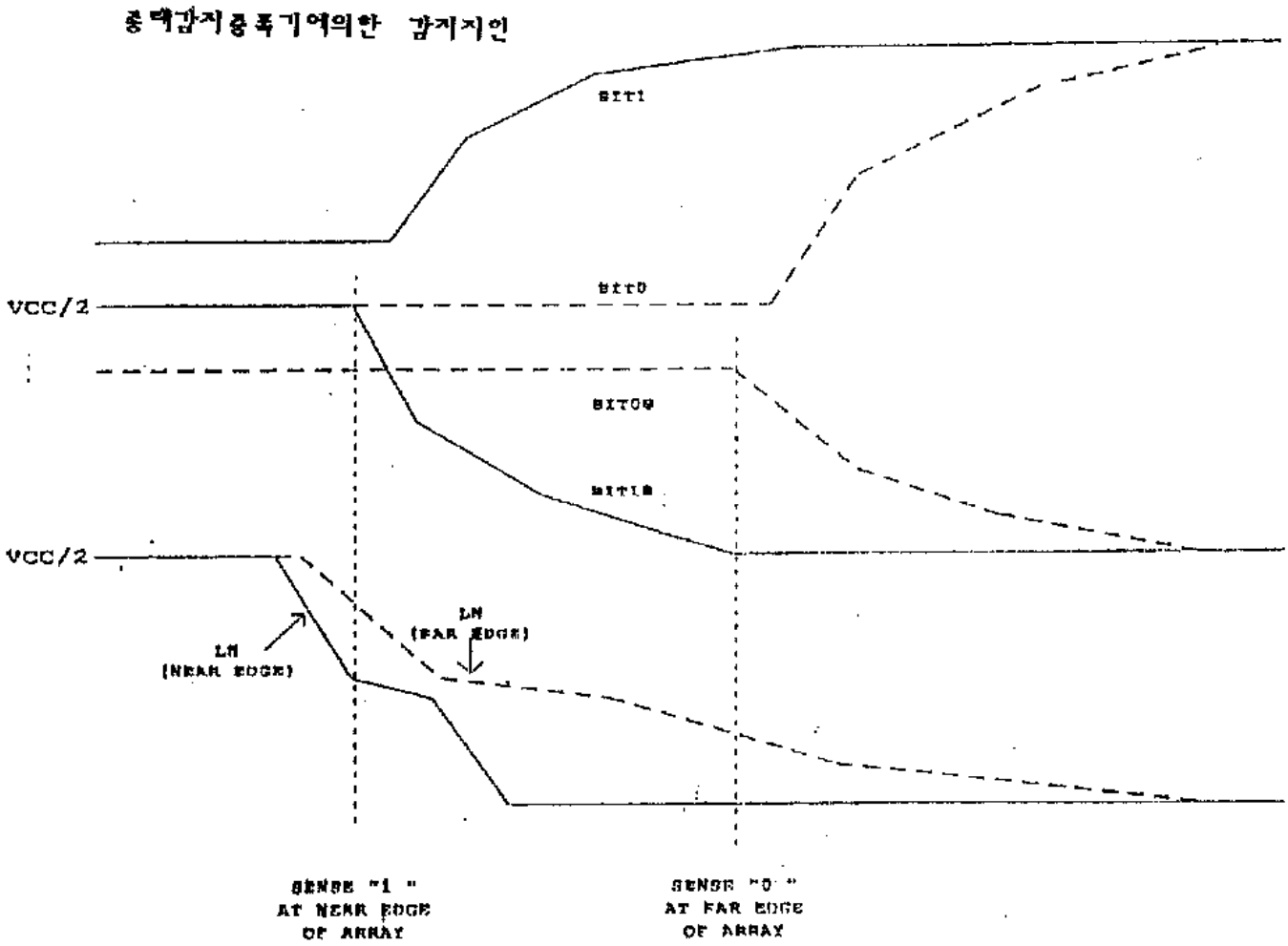
도면 7


비활성 블록
LP(VCC 2)
184
100A
112
114
DW (0V)
128
DWB (0V)
130
122
118
124
120
132
134
DWB (0V)
DW (0V)
190
LN(VCC 2)
활성블록 기입없음
LP(VCC)
100B
DW (0V)
DWB (0V)
LN(0V)
DWB (0V)
DW (0V)
활성블록 기입
LP(VCC)
100C
DW (0V)
128
DWB (VCC)
130
104
102
132
134
DWB (VCC)
DW (0V)
200
LN(0V)
열선택 YW
(VCC)

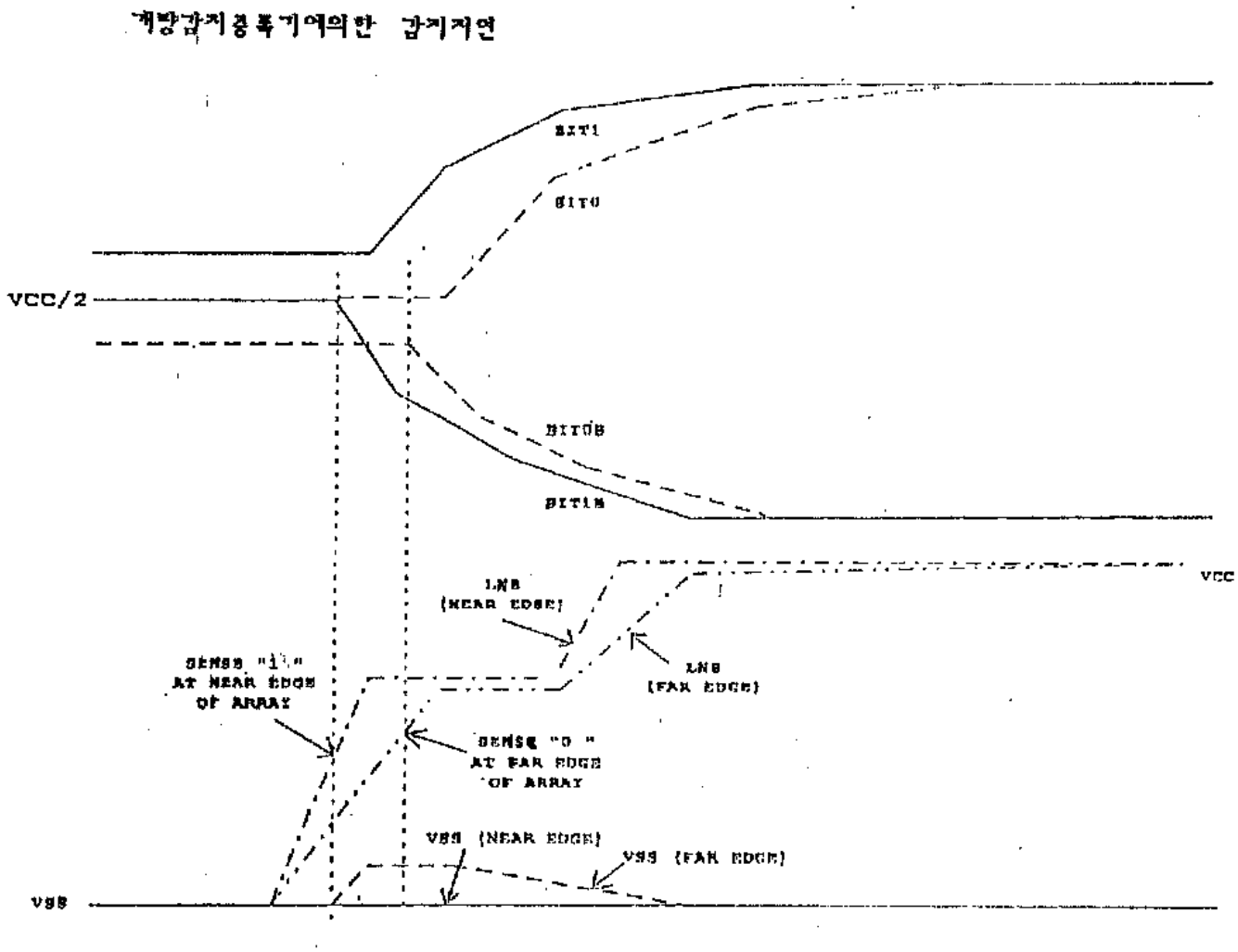
도면 8


BLREF
246
252
SHL
254
BIT L
BIT BL
220
256
248
222
ISOL
232
230
234
LP(VCC)
140
LPB
141
DW
128
YW
132
YW
DWB
112
102
114
DW
DWB
126
122
118
120
124
136
104
DWB
130
143
134
DW
LNB
142
158
160
LN(VSS)
DRB
YR
DR
B
150
154
152
156
238
236
240
ISOR
264
250
224
226
SHR
260
262
244
BITR
BLREF
BITBR

도면 9


종래감지증폭기에의한 감지지연
BIT1
BIT0
VCC/2
BIT0B
BIT1B
VCC/2
LN
(NEAR EDGE)
LN
(FAR EDGE)
SENSE "1"
AT NEAR EDGE
OF ARRAY
SENSE "0"
AT FAR EDGE
OF ARRAY

도면 10


계층감지증폭기에의한 감지지연
BIT1
BIT0
VCC/2
BIT0B
BIT1B
VCC
LNB
(NEAR EDGE)
LNB
(FAR EDGE)
SENSE "1"
AT NEAR EDGE
OF ARRAY
SENSE "0"
AT FAR EDGE
OF ARRAY
VSS (NEAR EDGE)
VSS (FAR EDGE)
VSS