

ITALIAN PATENT OFFICE

Document No.

102012902018054A1

Publication Date

20130730

Applicant

STMICROELECTRONICS S.R.L.

Title

CIRCUITO ELETTRONICO TRASLATORE DI LIVELLO AD ACCOPPIAMENTO
CAPACITIVO E DI TIPO ASINCRONO.

DESCRIZIONE

del brevetto per invenzione industriale dal titolo:

"CIRCUITO ELETTRONICO TRASLATORE DI LIVELLO AD ACCOPPIAMENTO CAPACITIVO E DI TIPO ASINCRONO"

di STMICROELECTRONICS S.R.L.

di nazionalità italiana

con sede: VIA C. OLIVETTI, 2

AGRATE BRIANZA (MB)

Inventori: SCANDIUZZO Mauro, CANI Salvatore Valerio, MUCCI Claudio, CANEGALLO Roberto, ROLANDI Pierluigi

* * *

La presente invenzione è relativa ad un circuito elettronico traslatore di livello ad accoppiamento capacitivo e di tipo asincrono.

Come noto, è oggi giorno possibile che un circuito integrato, formato su una rispettiva piastrina ("die"), presenti due o più domini di tensione. In altre parole, è possibile che, all'interno della piastrina, siano formate due o più regioni, anche note come isole ("well"), le quali condividono un medesimo substrato di materiale semiconduttore, ed al cui interno sono formate rispettive circuiterie elettroniche; inoltre, ciascuna regione può essere collegata elettricamente ad una rispettiva tensione di alimentazione e ad una rispettiva massa, le tensioni di alimentazione e/o le masse di regioni differenti essendo

tra loro differenti.

In pratica, assumendo per semplicità la presenza, all'interno del circuito integrato, di una prima ed una seconda regione, le quali ospitano rispettivamente una prima ed una seconda circuiteria elettronica, si verifica che tali prima e seconda circuiteria elettronica sono elettricamente accoppiate, in maniera tale da potersi trasmettere vicendevolmente segnali di tipo digitale o analogico.

Più in dettaglio, assumendo per semplicità che la prima e la seconda regione condividano una medesima massa e che siano rispettivamente collegate ad una prima ed una seconda tensione di alimentazione V_{DDA} , V_{ddb} tra loro differenti, la prima e la seconda tensione di alimentazione V_{DDA} , V_{ddb} definiscono rispettivamente un primo ed un secondo dominio di tensione, i quali a loro volta influenzano le dinamiche dei segnali generati all'interno della prima e della seconda circuiteria.

Assumendo che la prima circuiteria elettronica trasmetta un segnale di comunicazione alla seconda circuiteria elettronica, può verificarsi che la dinamica del segnale di comunicazione, cioè la differenza tra il valore massimo ed il valore minimo della tensione del segnale di comunicazione non consenta una corretta ricezione del medesimo da parte della seconda circuiteria

elettronica. Ad esempio, con riferimento ad un segnale di comunicazione di tipo digitale, è possibile che una transizione da un livello di tensione associato ad un bit "0" ad un livello di tensione associato ad un bit "1" non sia sufficiente a consentire una corretta interpretazione del bit "1" da parte della seconda circuiteria elettronica, e cioè non sia sufficiente per causare una commutazione di quest'ultima.

Al fine di adattare le dinamiche dei segnali, è noto avvalersi di cosiddetti traslatori di livello ("level shifter").

E' dunque noto realizzare un traslatore di livello tra due regioni collegate a domini di tensione differenti. Inoltre, i traslatori di livello sono utilizzati non solo per le comunicazioni tra regioni differenti di un medesimo circuito integrato, ma anche, ad esempio, all'interno dei cosiddetti stadi di ingresso/uscita ("input/output stage", I/O stage), i quali sono a formati da circuiti elettronici di ingresso/uscita collegati a piazzole ("pad") conduttive atte a ricevere segnali elettrici provenienti dal mondo esterno. Ciascun circuito elettronico di ingresso/uscita implementa un corrispondente traslatore di livello, in maniera tale da consentire l'adattamento dei segnali provenienti dal mondo esterno, quali ad esempio segnali elettrici provenienti da una scheda ("board"), in funzione

del dominio di tensione della regione che ospita il circuito elettronico di ingresso/uscita e la corrispondente piazzola conduttiva; in tal modo, il circuito integrato può comunicare con il mondo esterno, in modo unidirezionale o bidirezionale.

Riferendosi al caso del traslatore di livello tra due differenti regioni di un medesimo circuito integrato come al cosiddetto caso bidimensionale o 2D, è inoltre noto avvalersi di traslatori di livello per consentire la comunicazione tra due differenti circuiti integrati di un dispositivo elettronico, quest'ultimo caso essendo anche noto come tridimensionale o 3D. In particolare, i due differenti circuiti integrati sono formati all'interno di corrispondenti piastrine, le quali formano il dispositivo elettronico.

A titolo puramente esemplificativo, i documenti US7245152, US7835200 e US7446566 descrivono traslatori di livello formati mediante impiego di transistori, ed in particolare mediante impiego di transistori di tipo metallo-ossido-semiconduttore ("metal-oxide-semiconductor", MOS).

Al fine di ridurre i consumi ed ottenere migliori proprietà di filtraggio del rumore, sono altresì noti traslatori di livello ad accoppiamento capacitivo. Ad esempio, US2008/0088353 descrive un traslatore di livello

includente un circuito a capacità commutata; tale traslatore di livello è dunque di tipo sincrono, dal momento che la commutazione del circuito a capacità commutata è comandata da un segnale differente rispetto al segnale da traslare. Il traslatore di livello descritto in US2008/0088353 si caratterizza dunque per una certa complessità circuitale.

Inoltre, il documento US7777549 descrive un traslatore di livello includente una coppia di condensatori ed un circuito invertitore ("inverter circuit"), i quali sono collegati in modo da realizzare una conversione di un segnale di ingresso in un segnale differenziale. Tale traslatore di livello si caratterizza dunque per buone proprietà di filtraggio del segnale di ingresso, tuttavia è possibile che, a causa della traslazione di livello, il circuito invertitore non abbia una sensibilità sufficiente per rilevare transizioni del segnale di ingresso da un primo ad un secondo valore logico.

Scopo della presente invenzione è fornire un circuito elettronico traslatore di livello che risolva almeno in parte gli inconvenienti dell'arte nota.

Secondo la presente invenzione viene realizzato un circuito elettronico traslatore di livello come definito nella rivendicazione 1.

Per una migliore comprensione della presente

invenzione vengono ora descritte forme di realizzazione preferite, a puro titolo di esempi non limitativi, con riferimento ai disegni allegati, nei quali:

- la figura 1 mostra uno schema a blocchi del presente circuito elettronico traslatore di livello;

- la figura 2 mostra uno schema circuitale di una porzione del circuito elettronico traslatore di livello mostrato in figura 1;

- la figura 3 mostra uno schema circuitale di un componente della porzione del circuito elettronico traslatore di livello mostrata in figura 2;

- la figura 4 mostra un circuito elettrico equivalente del componente mostrato in figura 3;

- la figura 5 mostra qualitativamente una vista prospettica di una piastrina;

- la figura 6 mostra uno schema a blocchi di una differente forma di realizzazione del presente circuito elettronico traslatore di livello;

- la figura 7 mostra uno schema a blocchi di un dispositivo elettronico includente una coppia di piastrine;
e

- la figura 8 mostra in modo simbolico una cella configurabile.

La figura 1 mostra un circuito elettronico integrato 10, il quale è formato all'interno di una prima piastrina

12, la quale a sua volta comprende una prima ed una seconda isola W1, W2, le quali sono dunque formate a partire da un medesimo substrato semiconduttore (non mostrato). Come descritto in seguito, la prima e la seconda isola W1, W2 sono atte ad essere collegate a tensioni differenti, le quali definiscono dunque due domini di tensione differenti.

Nel circuito elettronico integrato 10 è formato un circuito elettronico traslatore di livello 14, al quale in seguito ci si riferisce, per brevità, come al traslatore di livello 14.

Più in dettaglio, all'interno della prima isola W1, è formato un circuito di buffer 16, il quale è collegato elettricamente ad una prima tensione di alimentazione VDDA e alla massa, rispettivamente mediante un primo ed un secondo terminale di alimentazione B₁, B₂. Inoltre, il circuito di buffer 16 ha un terminale di ingresso I₁ ed un terminale di uscita I₂; il terminale di ingresso I₁ è collegato ad una prima circuiteria elettronica 18, formata nella prima isola W1. A titolo puramente esemplificativo, il circuito di buffer 16 può essere formato da una coppia di invertitori collegati in cascata.

All'interno della seconda isola W2, sono formati un partitore capacitivo 20 ed un primo circuito ricevitore 22.

Nell'esempio mostrato in figura 1, il partitore capacitivo 20 comprende un primo ed un secondo condensatore

20a, 20b. Il primo condensatore 20a ha un primo terminale collegato al terminale di uscita I_2 del circuito di buffer 16, ed un secondo terminale collegato ad un primo terminale del secondo condensatore 20b, in maniera tale da definire un primo nodo N; il secondo terminale del secondo condensatore 20b è connesso a massa.

Il primo circuito ricevitore 22 è collegato ad una seconda tensione di alimentazione VDDB (collegamento non mostrato) e comprende un circuito di precarica 30, un blocco di ricezione 32 ed un blocco di ripristino di livello logico 34, i quali sono connessi in cascata.

In dettaglio, il circuito di precarica 30 ha un primo ed un secondo terminale di ingresso 30a, 30b ed un terminale di uscita 30c; il blocco di ricezione 32 ha un terminale di ingresso 32a ed un terminale di uscita 32b; ed il blocco di ripristino di livello logico 34, al quale in seguito ci si riferisce per brevità come al blocco di ripristino 34, ha un primo ed un secondo terminale di ingresso 34a, 34b, ed un primo ed un secondo terminale di uscita 34c, 34d.

Il primo terminale di ingresso 30a ed il terminale di uscita 30c del circuito di precarica 30 sono rispettivamente connessi al primo nodo N ed al terminale di ingresso 32a del blocco di ricezione 32, il cui terminale uscita 32b è connesso al primo terminale di ingresso 34a

del blocco di ripristino 34.

Il secondo terminale di ingresso 34b del blocco di ripristino 34 è atto a ricevere un segnale di inizializzazione S_{RESET} , il quale assolve la funzione di inizializzare un segnale di uscita S_{OUT} , presente sul primo terminale di uscita 34c del blocco di ripristino 34, ad un valore predefinito (ad esempio un valore logico basso o alto).

Infine, il secondo terminale di uscita 34d del blocco di ripristino 34 è collegato al secondo terminale di ingresso 30b del circuito di precarica 30.

Operativamente, indicando con S_{IN} un segnale di ingresso, presente sul terminale di uscita I_2 del circuito di buffer 16 e di tipo (ad esempio) digitale, ed indicando con S_{F} un corrispondente segnale filtrato, presente sul primo nodo N, il circuito di precarica 30 assolve la funzione di polarizzare il blocco di ricezione 32, al fine di consentire la corretta rilevazione del segnale filtrato S_{F} da parte del blocco di ricezione 32 stesso. Più in particolare, come descritto in maggior dettaglio in seguito, il circuito di precarica 30 assolve la funzione di generare sul proprio terminale di uscita 30c, e dunque sul terminale di ingresso 32a del blocco di ricezione 32, un primo segnale intermedio S_{INT1} , il quale può essere ricevuto e correttamente interpretato dal blocco di ricezione 32.

Il blocco di ricezione 32 riceve dunque il primo segnale intermedio S_{INT1} , rileva i valori logici ad esso associati e fornisce sul proprio terminale di uscita 32b un secondo segnale intermedio S_{INT2} , amplificato rispetto al primo segnale intermedio S_{INT1} .

Il blocco di ripristino 34 assolve la funzione di modellare ("shape") la forma d'onda del secondo segnale intermedio S_{INT2} , ad esempio rendendo i fronti di salita e di discesa più ripidi, e generando così il segnale di uscita S_{OUT} sul proprio primo terminale di uscita 34c.

A titolo puramente esemplificativo, la figura 2 mostra una rappresentazione circuitale di una forma di realizzazione dello schema a blocchi di figura 1.

Secondo la forma di realizzazione illustrata in figura 2, il circuito di precarica 30 include un dispositivo di precarica 45, quale ad esempio un invertitore di tipo CMOS, configurato per ricevere su un proprio primo ingresso 45a il segnale filtrato S_F e per generare su un proprio terminale di uscita 45b il primo segnale intermedio S_{INT1} . Il primo ingresso 45a del dispositivo di precarica 45 è dunque collegato al primo nodo N; inoltre, il primo ingresso 45a del dispositivo di precarica 45 è collegato con il terminale di uscita 45b del dispositivo di precarica 45 stesso, ad esempio mediante un corto circuito 31. In pratica, il terminale di uscita 45b del dispositivo di

precarica 45 definisce il terminale di uscita 30c del circuito di precarica 30.

Il blocco di ricezione 32 comprende un dispositivo a soglia 33, quale ad esempio un primo invertitore di tipo CMOS. In dettaglio, il dispositivo a soglia 33 presenta un terminale di ingresso, il quale definisce il terminale di ingresso 32a del blocco di ricezione 32 ed è collegato al terminale di uscita 45b del dispositivo di precarica 45, in modo da ricevere il primo segnale intermedio S_{INT1} . Il dispositivo a soglia 33 presenta inoltre un terminale di uscita, il quale definisce il terminale di uscita 32b del blocco di ricezione 32.

In uso, il dispositivo a soglia 33 genera sul terminale di uscita 32b il secondo segnale intermedio S_{INT2} , il quale dipende, oltre che dal primo segnale intermedio S_{INT1} , anche dalla soglia di inversione del dispositivo a soglia 33.

Il blocco di ripristino 34 comprende uno o più dispositivi invertitori di tensione, collegati in cascata tra loro.

Ad esempio, nella forma di realizzazione mostrata in figura 2, il blocco di ripristino 34 comprende un secondo ed un terzo invertitore 34', 34''. Il secondo invertitore 34' ha un terminale di ingresso 34a', il quale è collegato al terminale di uscita 32b del dispositivo a soglia 33.

Pertanto, il secondo invertitore 34' è atto a ricevere in ingresso il secondo segnale intermedio S_{INT2} e generare, su un rispettivo terminale di uscita 34b', un terzo segnale intermedio S_{INT3} , pari alla negazione logica del secondo segnale intermedio S_{INT2} ed avente fronti di salita e di discesa più ripidi di quest'ultimo. Il secondo invertitore 34' ha inoltre un terminale di controllo, atto a ricevere il segnale di inizializzazione S_{RESET} , il quale, all'occorrenza, forza il terzo segnale intermedio S_{INT3} ad un valore logico prestabilito.

Il terzo invertitore 34'' ha un terminale di ingresso 34a'', il quale è collegato al terminale di uscita 34b' del secondo invertitore 34'. Pertanto, il terzo invertitore 34'' è atto a ricevere in ingresso il terzo segnale intermedio S_{INT3} e a generare, su un rispettivo terminale di uscita 34b'', il segnale di uscita S_{OUT} , il quale è pari alla negazione logica del terzo segnale intermedio S_{INT3} ed ha fronti di salita e di discesa più ripidi rispetto a quest'ultimo.

I segnali generati in uscita dal secondo e dal terzo invertitore 34' e 34'', cioè il terzo segnale intermedio S_{INT3} ed il segnale di uscita S_{OUT} , sono utilizzati per comandare il funzionamento del blocco di ricezione 32, come meglio spiegato in seguito con riferimento alle figure 3 e 4. A tal fine, il dispositivo di precarica 45 comprende un

secondo ed un terzo terminale di ingresso α , β , i quali sono rispettivamente collegati al terminale di uscita 34b' del secondo invertitore 34' ed al terminale di uscita 34b'' del terzo invertitore 34''.

Ciò premesso, il primo circuito di buffer 16 e la prima circuiteria elettronica 18 formano un primo circuito trasmettitore 40, il quale si accoppia al primo circuito ricevitore 22 attraverso il partitore capacitivo 20.

Assumendo, ad esempio, che la prima tensione di alimentazione VDDA sia superiore alla seconda tensione di alimentazione VDDB, cioè assumendo che il primo circuito trasmettitore 40 appartenga ad un dominio a tensione maggiore rispetto al dominio in cui si trova il primo circuito ricevitore 22, si verifica quanto descritto qui di seguito.

In dettaglio, a causa della presenza del partitore capacitivo 20, il segnale filtrato S_F ha una dinamica ridotta rispetto alla dinamica del segnale di ingresso S_{IN} . Tale riduzione non è predicibile con esattezza, dal momento che l'accoppiamento del primo circuito trasmettitore 40 e del primo circuito ricevitore 22 avviene non solo attraverso il partitore capacitivo 20, ma anche attraverso inevitabili condensatori parassiti, quale ad esempio il condensatore (non mostrato) che si crea tra il terminale di uscita I_2 del circuito di buffer 16 e la massa, l'esatto

valore delle capacità introdotte da tali condensatori parassiti non essendo determinabile con esattezza.

In generale, è ad esempio possibile che la dinamica del segnale filtrato S_F sia ridotta a tal punto da non consentire, in assenza del circuito di precarica 30, la corretta interpretazione di tale segnale filtrato S_F da parte del blocco di ricezione 32, laddove per corretta interpretazione si intende il fatto che ciascun fronte (alternativamente di salita o di discesa) del segnale filtrato S_F , il quale corrisponde ad un corrispondente fronte del segnale di ingresso S_{IN} , causa una corrispondente commutazione del dispositivo a soglia 33.

In altre parole, è possibile che la massima tensione del segnale filtrato S_F sia inferiore alla soglia di inversione del dispositivo a soglia 33. Pertanto, il circuito di precarica 30 assolve la funzione di mantenere il livello di tensione sul proprio terminale di uscita 45b ad un valore tale da consentire un corretto funzionamento del dispositivo a soglia 33.

Più in particolare, la figura 3 mostra un esempio del dispositivo di precarica 45, il quale include un primo ramo ed un secondo ramo.

Il primo ramo è formato da un primo ed un secondo transistore P1 e P2 di tipo PMOS, collegati in parallelo tra loro. Più in particolare, ciascuno tra il primo ed il

secondo transistor P_1 e P_2 ha il rispettivo terminale di drain collegato ad una prima tensione di polarizzazione V_{max} , ad esempio pari alla seconda tensione di alimentazione V_{DD} ; inoltre, i terminali di sorgente del primo e del secondo transistor P_1 , P_2 sono connessi tra loro, in modo da definire un secondo nodo NS. In aggiunta, i terminali di porta ("gate") del primo e del secondo transistor P_1 , P_2 definiscono rispettivamente il secondo ed il terzo terminale di ingresso α , β del dispositivo di precarica 45 e sono dunque connessi, rispettivamente, al terminale di uscita 34b' del secondo invertitore 34' ed al terminale di uscita 34b'' del terzo invertitore 34''.

Il secondo ramo del dispositivo di precarica 45 include un terzo transistor N_1 , di tipo NMOS. Il terminale di drain del terzo transistor N_1 è collegato ad una seconda tensione di polarizzazione V_{min} , ad esempio pari alla massa, mentre il terminale di gate ed il terminale di sorgente del terzo transistor N_1 sono entrambi collegati al secondo nodo NS, il quale definisce il primo terminale di ingresso 45a ed il terminale di uscita 45b del dispositivo di precarica 45.

In uso, dal momento che il terminale di uscita 34b' del secondo invertitore 34' ed il terminale di uscita 34b'' del terzo invertitore 34'' si trovano a tensioni associate a valori logici opposti, il primo ed il secondo transistor

P1, P2 sono comandati in conduzione e interdizione in modo tra loro alternato. Come illustrato schematicamente in figura 4, il controllo in conduzione ed interdizione del primo e del secondo transistor P1 e P2 è elettricamente equivalente a quello di un interruttore I. Inoltre, il primo, il secondo ed il terzo transistor P1, P2, N1 si comportano elettricamente come, rispettivamente, un primo, un secondo ed un terzo resistore equivalente, i quali hanno resistenze rispettivamente pari a R_1 , R_2 e R_3 . Pertanto, il primo, il secondo ed il terzo transistor P1, P2, N1 formano un partitore resistivo, con la conseguenza che, sul terminale di uscita 45b, il primo segnale intermedio S_{INT1} ha una componente continua V_L pari ad un valore intermedio tra la prima tensione di polarizzazione V_{max} , che rappresenta il valore logico "1", e la seconda tensione di polarizzazione V_{min} , che rappresenta il valore logico "0". Alla componente continua è sovrapposta una componente variabile V_v , la quale è proporzionale al segnale filtrato S_F .

E' dunque possibile dimensionare, in modo di per sé noto, le resistenze R_1 , R_2 , R_3 in modo che la componente continua V_L del primo segnale intermedio S_{INT1} sia prossima alla soglia di inversione del blocco di ricezione 32, cioè alla soglia di inversione del dispositivo a soglia 33.

Più in dettaglio, i valori delle resistenze R_1 , R_2 e

R3 sono scelti in modo tale che, controllando il primo ed il secondo transistor P1 e P2 alternativamente in conduzione o interdizione, la componente continua V_L assuma alternativamente un valore V^+ prossimo, in eccesso, alla soglia di inversione del dispositivo a soglia 33, o un valore V^- prossimo, in difetto, alla soglia di inversione del dispositivo a soglia 33. La differenza tra V^+ e V^- determina la sensibilità del blocco di ricezione 32 e può essere scelta in modo da ottimizzare la sensibilità e la resistenza al rumore del blocco di ricezione 32 stesso.

A titolo puramente esemplificativo, in valore assoluto, il valore V^+ ed il valore V^- possono differire dalla soglia di inversione del dispositivo a soglia 33 di 50mV.

In pratica, il dispositivo di precarica 45 fornisce sul proprio terminale di uscita 45b un segnale avente la funzione di caricare l'ingresso del dispositivo a soglia 33 ad un valore di tensione tale da garantire che il dispositivo a soglia 33 lavori all'interno della cosiddetta zona ad alto guadagno, la quale comprende la soglia di inversione; in tal modo, si ottiene una maggior sensibilità al segnale filtrato S_F .

In dettaglio, il fatto che, ad un generico istante t_i , il primo segnale intermedio S_{INT1} assuma il valore V^+ , oppure il valore V^- , dipende dai valori di tensione assunti

in tale istante t_i dal terzo segnale intermedio S_{INT3} e dal segnale di uscita S_{OUT} , e quindi dipende dai valori di tensione assunti dal segnale di ingresso S_{IN} in istanti di tempo precedenti all'istante t_i .

Ancora più in dettaglio, ad ogni fronte di salita del segnale di ingresso S_{IN} , e dunque ad ogni fronte di salita del segnale filtrato S_F , il dispositivo di precarica 45 pone la componente continua V_L pari al valore V^+ , in maniera tale per cui il successivo fronte, che è inevitabilmente un fronte di discesa, può essere agevolmente rilevato dal dispositivo a soglia 33, cioè causa una corrispondente commutazione del medesimo. Similmente, ad ogni fronte di discesa del segnale di ingresso S_{IN} , e dunque ad ogni fronte di discesa del segnale filtrato S_F , il dispositivo di precarica 45 pone la componente continua V_L pari al valore V^- , in maniera tale per cui il successivo fronte, che è inevitabilmente un fronte di salita, può essere agevolmente rilevato dal dispositivo a soglia 33, cioè causa una corrispondente commutazione del medesimo.

In altre parole, ad un dato istante t_i , il valore di tensione assunto dalla componente continua V_L del primo segnale intermedio S_{INT1} dipende dall'ultimo fronte, cioè dall'ultima transizione da un primo ad un secondo valore logico tra loro differenti, avvenuto nel segnale filtrato

S_F , prima del dato istante t_i .

In pratica, il circuito di buffer 16, il partitore capacitivo 20 ed il circuito ricevitore 22 formano il circuito elettronico traslatore di livello 14, il quale consente appunto di generare, a partire dal segnale di ingresso S_{IN} , appartenente al primo dominio di tensione, il segnale di uscita S_{OUT} , il quale è logicamente coerente con il segnale di ingresso S_{IN} ed appartiene al secondo dominio di tensione.

Ciò detto, almeno uno tra il primo ed il secondo condensatore 20a, 20b del partitore capacitivo 20 può vantaggiosamente essere di tipo interdigitato. Ad esempio, assumendo che il primo condensatore 20a sia di tipo interdigitato, esso è formato, come mostrato in figura 5, da un primo ed un secondo elemento conduttivo 50a, 50b, i quali sono disposti su una superficie della prima piastrina 12, sono sostanzialmente bidimensionali, cioè hanno spessore trascurabile, e sono tra loro interdigitati.

Secondo una differente forma di realizzazione, il secondo condensatore 20b è assente. Tale forma di realizzazione è dunque particolarmente adatta al caso in cui il dominio di tensione in cui si trova il circuito trasmettitore 40 sia inferiore al dominio di tensione del circuito ricevitore 22. Infatti, in tal modo si limita la riduzione di dinamica del segnale filtrato S_F rispetto al

segnale di ingresso S_{IN} .

Secondo un'ulteriore forma di realizzazione, il traslatore di livello 14 è atto a consentire una comunicazione di tipo bidirezionale, come mostrato in figura 6.

In dettaglio, il circuito elettronico integrato 10 comprende inoltre un secondo circuito trasmettitore 52 ed un secondo circuito ricevitore 54, i quali sono rispettivamente formati all'interno della seconda e della prima isola W2, W1, e sono dunque collegati, rispettivamente, alla seconda ed alla prima tensione di alimentazione VDDB, VDDA. Il secondo circuito trasmettitore 52 può essere uguale al primo circuito trasmettitore 40, mentre il secondo circuito ricevitore 54 può essere uguale al primo circuito ricevitore 22.

Inoltre, il circuito elettronico integrato 10 comprende un primo, un secondo ed un terzo multiplexer 60, 62, 64, ciascuno dei quali ha una coppia di terminali di ingresso, un terminale di selezione ed un terminale di uscita.

Il primo multiplexer 60 può essere formato all'interno della prima isola W1; inoltre, i terminali di ingresso del primo multiplexer 60 sono rispettivamente collegati al terminale di uscita I_2 del circuito di buffer 16 del primo circuito trasmettitore 40 ed al primo terminale di ingresso

del circuito di precarica del secondo circuito ricevitore 54.

Il secondo multiplexer 62, formato ad esempio nella seconda isola W2, ha i propri terminali di ingresso collegati rispettivamente al terminale di uscita del primo multiplexer 60 ed a massa; inoltre, il secondo condensatore 20b è collegato tra il primo nodo N ed il terminale di uscita del secondo multiplexer 62.

Il terzo multiplexer 64 è formato, ad esempio, nella seconda isola W2. Inoltre, i terminali di ingresso del terzo multiplexer 64 sono rispettivamente collegati al primo terminale di ingresso 30a del circuito di precarica 30 del primo circuito ricevitore 22 ed al terminale di uscita del circuito di buffer del secondo circuito trasmettitore 52. Il terminale di uscita del terzo multiplexer 64 è collegato al primo nodo N.

I terminali di selezione del primo, del secondo e del terzo multiplexer 60-64, indicati rispettivamente con S_1 , S_2 ed S_3 , sono collegati a corrispondenti circuiti elettronici di selezione di per sé noti (non mostrati).

In tal modo, comandando in modo di per sé noto il primo, il secondo ed il terzo multiplexer 60-64, è possibile trasmettere un segnale di comunicazione dalla prima isola W1 alla seconda isola W2, o viceversa, ponendo in collegamento (capacitivo) il primo trasmettitore 40 ed

il primo ricevitore 22, oppure il secondo trasmettitore 52 ed il secondo ricevitore 54. Inoltre, nel caso in cui si pongano in collegamento il primo trasmettitore 40 ed il primo ricevitore 22, tra di essi è ancora presente il partitore capacitivo 20. Al contrario, nel caso in cui si pongano in collegamento il secondo trasmettitore 52 ed il secondo ricevitore 54, essi sono accoppiati dal parallelo del primo e del secondo condensatore 20a, 20b.

Come mostrato in figura 7 con riferimento, a titolo esemplificativo, al caso in cui non sono presenti il secondo trasmettitore ed il secondo ricevitore, è altresì possibile che il primo trasmettitore 40 ed il primo ricevitore 22 siano formati rispettivamente nella prima piastrina 12 ed in una seconda piastrina 72. In tal caso, il secondo condensatore 20b (non mostrato in figura 7) può essere formato all'interno della seconda piastrina 72, mentre il primo condensatore 20a può essere formato, ad esempio, da una prima ed una seconda piazzola 80a, 80b, le quali sono disposte su corrispondenti superfici della prima e, rispettivamente, della seconda piastrina 12, 72, in modo da risultare tra loro affacciate.

E' inoltre possibile che il circuito elettronico integrato 10, e dunque anche il traslatore di livello 14, siano implementati mediante impiego di cosiddette celle logiche configurabili. In particolare, è possibile che uno

più componenti del circuito elettronico integrato 10 siano formati in una o più celle uguali ad una cella configurabile 100 (figura 8), la quale è ad esempio del tipo descritto in US7965107. A titolo puramente esemplificativo, uno o più transistori tra il primo, il secondo ed il terzo transistore P1, P2 e N1 del dispositivo di precarica 45 possono essere formati in una medesima cella configurabile. Analogamente, ciascuno tra il primo, il secondo ed il terzo invertitore 33, 34', 34'' può essere formato in una corrispondente cella configurabile.

I vantaggi del presente circuito elettronico traslatore di livello emergono chiaramente dalla precedente descrizione. In particolare, esso consente di fruire dei benefici derivanti dall'accoppiamento capacitivo, quali ad esempio la possibilità di filtrare il segnale di ingresso S_{IN} e la riduzione dei consumi, ed al contempo di far operare il blocco di ricezione 32 in prossimità della propria tensione di soglia, così da ottimizzarne la sensibilità rispetto alle transizioni del segnale di filtrato S_F . Inoltre, scegliendo opportunamente i valori V^+ e V^- , è possibile ottimizzare la resilienza al rumore dello stesso blocco di ricezione 32. In aggiunta, il presente circuito elettronico traslatore di livello risulta particolarmente adatto per applicazioni del tipo cosiddetto "ultra-low power".

Uno o più traslatori di livello del tipo descritto possono altresì essere realizzati in una porzione di un cosiddetto circuito integrato specifico di applicazione ("application specific integrated circuit", ASIC), ed in particolare in una porzione che di per sé non sarebbe utilizzata per i fini ai quali è preposto l'ASIC stesso. Tale porzione può dunque essere una cosiddetta porzione periferica dell'ASIC, in modo da non dover modificare la rimanente circuiteria elettronica dell'ASIC. In tal modo, qualora si rendesse necessario, è possibile collegare tali uno o più traslatori di livello a corrispondenti piazzole ("pad") tra le cosiddette piazzole di ingresso/uscita ("input/output pad", I/O pad) dell'ASIC. Così facendo, è possibile utilizzare piazzole di input/output originariamente previste per la ricezione di segnali appartenenti, ad esempio, ad un dominio di tensione basso, per ricevere invece segnali appartenenti ad un dominio di tensione alto, qualora ciò si rendesse necessario.

Risulta infine chiaro che al trovato qui descritto ed illustrato possono essere apportate modifiche e varianti senza per questo uscire dall'ambito protettivo della presente invenzione, come definito nelle rivendicazioni allegate. Ad esempio, il dispositivo di precarica 45 potrebbe essere formato da un partitore resistivo.

RIVENDICAZIONI

1. Circuito elettronico traslatore di livello di tipo asincrono, comprendente:

- un primo circuito trasmettitore (40) configurato per essere collegato ad una prima tensione (VDDA) e per generare un segnale elettrico di comunicazione (S_{IN});
- un primo circuito ricevitore (22) configurato per essere collegato ad una seconda tensione (VDDB), differente da detta prima tensione; e
- uno stadio di accoppiamento capacitivo (20,60-64) configurato per operare in una prima condizione operativa, in cui riceve detto segnale elettrico di comunicazione e fornisce un corrispondente segnale filtrato (S_F) a detto primo circuito ricevitore;

ed in cui detto primo circuito ricevitore comprende:

- un dispositivo elettronico a soglia (32,33) avente un terminale di ingresso (32a) ed un terminale di uscita (32b) e configurato per commutare una grandezza elettrica su detto terminale di uscita tra un primo ed un secondo valore, in funzione di corrispondenti transizioni attraverso una soglia di un primo segnale intermedio (S_{INT1}) presente su detto terminale di ingresso, generando un secondo segnale intermedio (S_{INT2}); e

- un circuito di polarizzazione (30,34), collegato a detto stadio di accoppiamento capacitivo, a detto terminale

di ingresso e a detto terminale di uscita, e configurato per generare detto primo segnale intermedio in modo che comprenda una componente continua (V_L), la quale è funzione del secondo segnale intermedio, ed alla quale è sovrapposta una componente variabile (V_V), la quale è funzione di detto segnale filtrato.

2. Circuito elettronico secondo la rivendicazione 1, in cui detto circuito di polarizzazione (30,34) è configurato in maniera tale per cui, in seguito ad una transizione del secondo segnale intermedio (S_{INT2}) dal primo valore al secondo valore, detta componente continua (V_L) è pari ad un valore superiore a detta soglia e, in seguito ad una transizione del secondo segnale intermedio dal secondo valore al primo valore, detta componente continua è pari ad un valore inferiore a detta soglia.

3. Circuito elettronico secondo la rivendicazione 1 o 2, in cui detto dispositivo elettronico a soglia comprende un rispettivo invertitore di rilevazione (33).

4. Circuito elettronico secondo una qualsiasi delle rivendicazioni precedenti, comprendente inoltre un invertitore di prima squadratura (34') ed un invertitore di seconda squadratura (34''), connessi in cascata tra loro e collegati al terminale di uscita (32b) del dispositivo elettronico a soglia (32).

5. Circuito elettronico secondo una qualsiasi delle

rivendicazioni precedenti, comprendente inoltre un secondo circuito trasmettitore (52) ed un secondo circuito ricevitore (54), detto stadio di accoppiamento capacitivo (20, 60-64) essendo selettivamente operabile in detta prima condizione operativa ed in una seconda condizione operativa; ed in cui lo stadio di accoppiamento capacitivo, quando operante in detta seconda modalità operativa, accoppia capacitivamente detto secondo circuito trasmettitore a detto secondo circuito ricevitore.

6. Circuito elettronico secondo una qualsiasi delle rivendicazioni precedenti, in cui detto primo circuito trasmettitore (40) e detto primo circuito ricevitore (22) sono formati rispettivamente in una prima ed una seconda regione (W1,W2) di una prima piastrina (12).

7. Circuito elettronico secondo la rivendicazione 6 quando dipendente dalla rivendicazione 5, in cui detto secondo circuito trasmettitore (52) e detto secondo circuito ricevitore (54) sono formati rispettivamente nella seconda regione (W2) e nella prima regione (W1) di detta prima piastrina (12).

8. Circuito elettronico secondo la rivendicazione 6 o 7, in cui detto stadio di accoppiamento capacitivo (20) comprende almeno un condensatore (20a) formato da una coppia di elementi conduttori (50a,50b) tra loro interdigitati.

9. Circuito elettronico secondo la rivendicazione 8, in cui detto condensatore (20a) è formato in detta seconda regione (W2).

10. Circuito elettronico secondo una qualsiasi delle rivendicazioni da 1 a 5, in cui detto primo circuito trasmettitore (40) e detto primo circuito ricevitore (22) sono formati rispettivamente in una prima ed una seconda piastrina (12,72), detto stadio di accoppiamento capacitivo (20) comprendendo almeno un condensatore (20a) formato da un primo ed un secondo elemento conduttivo (80a,80b) disposti rispettivamente sulla prima e sulla seconda piastrina.

11. Circuito elettronico secondo una qualsiasi delle rivendicazioni precedenti, in cui almeno uno tra detto primo circuito trasmettitore (40) e detto primo circuito ricevitore (22) è formato almeno in parte in una cella configurabile (100).

p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO

CLAIMS

1. An asynchronous electronic level shifter circuit, comprising:

- a first transmitter circuit (40) configured to be connected to a first voltage (VDDA) and to generate an electrical communication signal (S_{IN});

- a first receiver circuit (22) configured to be connected to a second voltage (VDDB), differing from said first voltage; and

- a capacitive coupling stage (20, 60-64) configured to operating in a first operating condition, in which it receives said electrical communication signal and supplies a corresponding filtered signal (S_F) to said first receiver circuit;

and wherein said first receiver circuit comprises:

- an electronic threshold device (32, 33) having an input terminal (32a) and an output terminal (32b) and configured to switch an electrical quantity on said output terminal between a first value and a second value as a function of corresponding transitions through a threshold of a first intermediate signal (S_{INT1}) present on said input terminal, to generate a second intermediate signal (S_{INT2}); and

- a biasing circuit (30, 34), connected to said capacitive coupling stage, to said input terminal, and to said output terminal, and configured to generate said first intermediate signal so that it comprises a d.c. component (V_L), which is a function of the second intermediate signal and superposed on which is a variable component (V_V), which is a function of said filtered signal.

2. The electronic circuit according to claim 1, wherein said biasing circuit (30, 34) is configured in such a way that, following upon a transition of the second intermediate signal

(S_{INT2}) from the first value to the second value, said d.c. component (V_L) is equal to a value higher than said threshold and, following upon a transition of the second intermediate signal from the second value to the first value, said d.c. component is equal to a value lower than said threshold.

3. The electronic circuit according to claim 1 or claim 2, wherein said electronic threshold device comprises a respective detection inverter (33).

4. The electronic circuit according to any one of the preceding claims, further comprising a first-squaring inverter (34') and a second-squaring inverter (34''), cascaded to one another and connected to the output terminal (32b) of the electronic threshold device (32).

5. The electronic circuit according to any one of the preceding claims, further comprising a second transmitter circuit (52) and a second receiver circuit (54), said capacitive coupling stage (20, 60-64) being selectively operable into said first operating condition and into a second operating condition; and wherein the capacitive coupling stage, when operating in said second operating mode, capacitively couples said second transmitter circuit to said second receiver circuit.

6. The electronic circuit according to any one of the preceding claims, wherein said first transmitter circuit (40) and said first receiver circuit (22) are formed, respectively, in a first region (W1) and a second region (W2) of a first die (12).

7. The electronic circuit according to claim 6 when depending

upon Claim 5, wherein said second transmitter circuit (52) and said second receiver circuit (54) are formed, respectively, in the second region (W2) and in the first region (W1) of said first die (12).

5

8. The electronic circuit according to claim 6 or claim 7, wherein said capacitive coupling stage (20) comprises at least one capacitor (20a) formed by a pair of conductor elements (50a, 50b) comb-fingered with respect to one another.

10

9. The electronic circuit according to claim 8, wherein said capacitor (20a) is formed in said second region (W2).

10. The electronic circuit according to any one of claims 1 to 5, wherein said first transmitter circuit (40) and said first receiver circuit (22) are formed, respectively, in a first die (12) and a second die (72), said capacitive coupling stage (20) comprising at least one capacitor (20a) formed by a first conductive element (80a) and a second conductive element (80b), which are arranged, respectively, on the first die and on the second die.

11. The electronic circuit according to any one of the preceding claims, wherein at least one between said first transmitter circuit (40) and said first receiver circuit (22) is formed at least in part in a configurable cell (100).

30

p.i.: STMICROELECTRONICS S.R.L.
Elena CERBARO

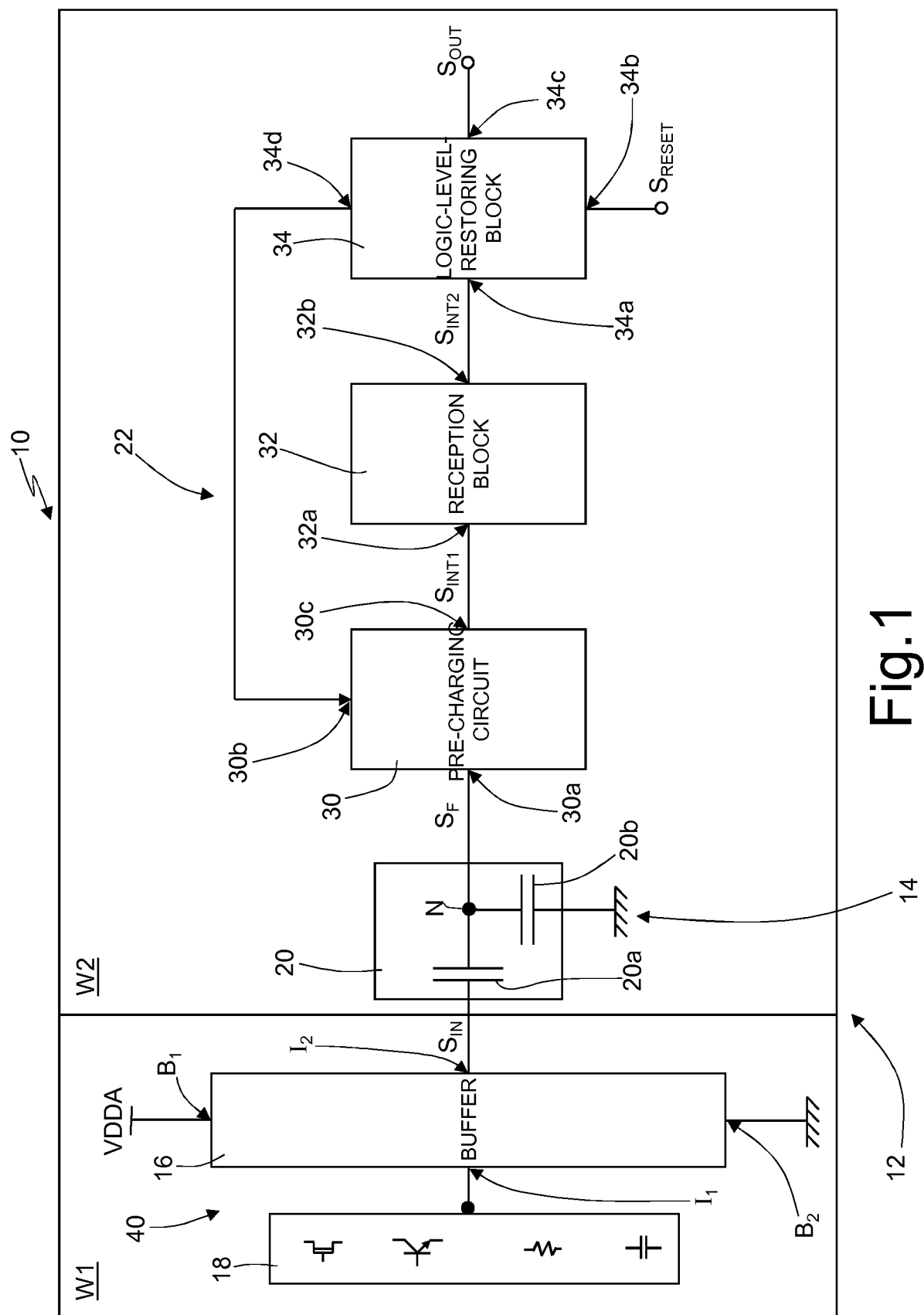


Fig.1

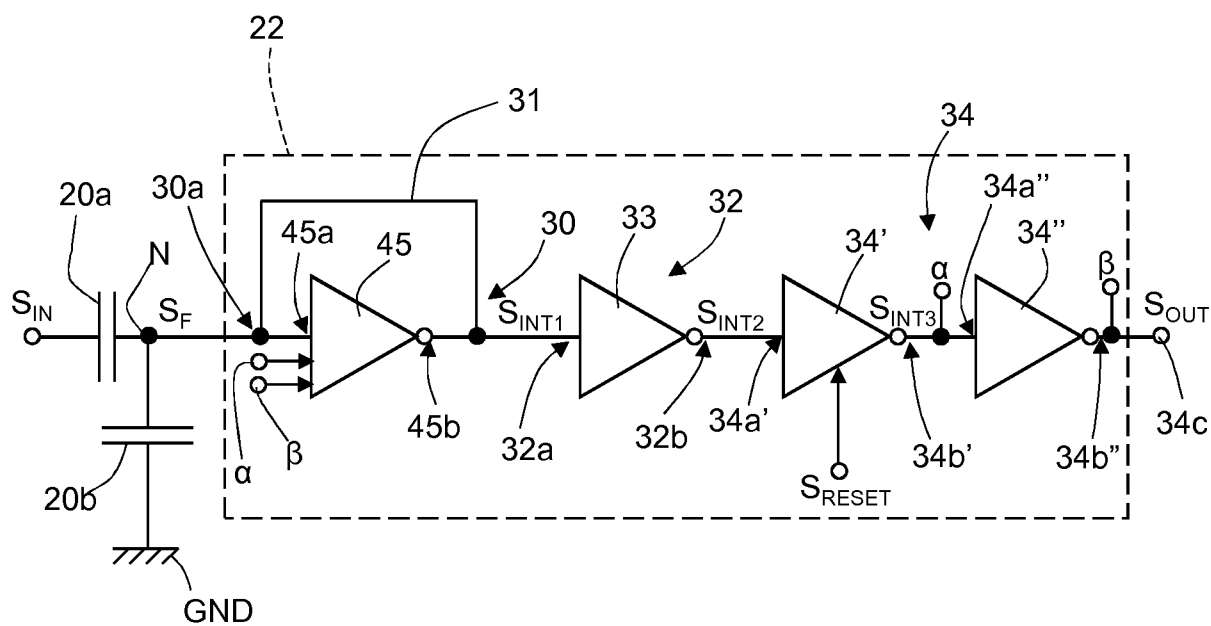


Fig.2

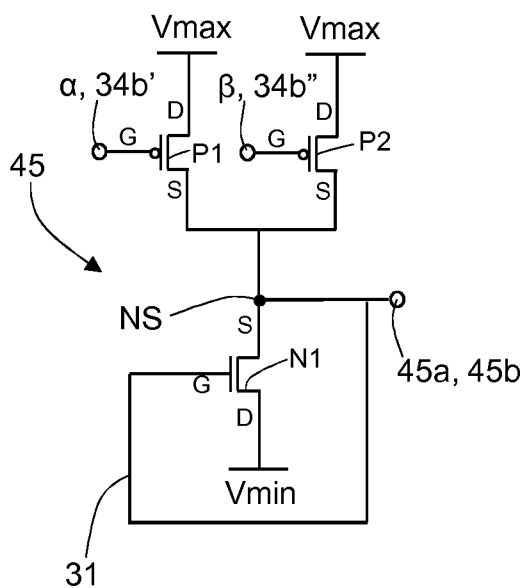


Fig.3

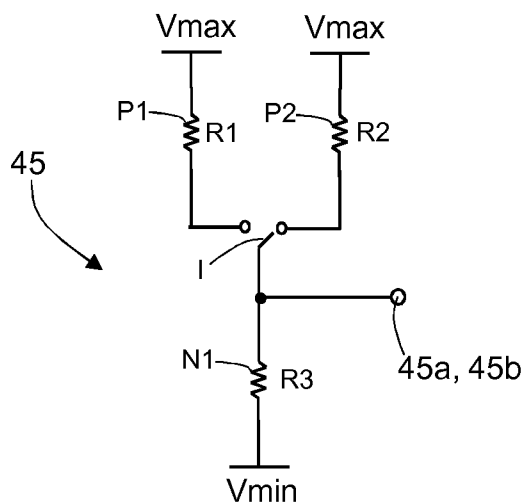


Fig.4

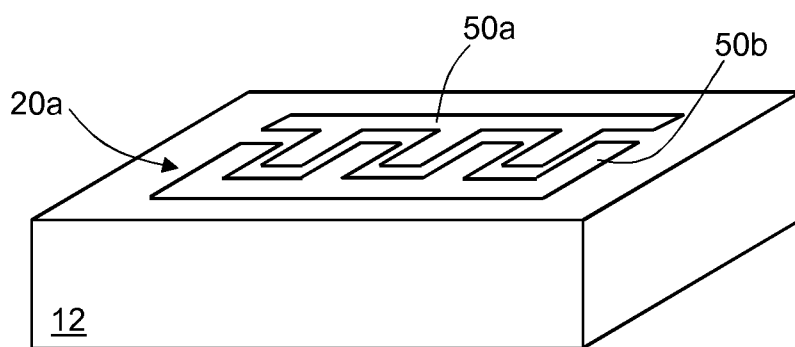


Fig.5

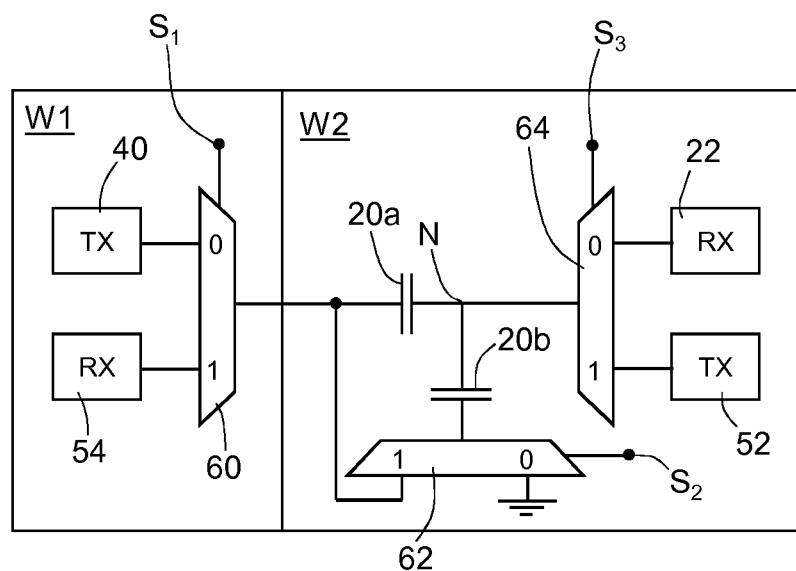


Fig.6

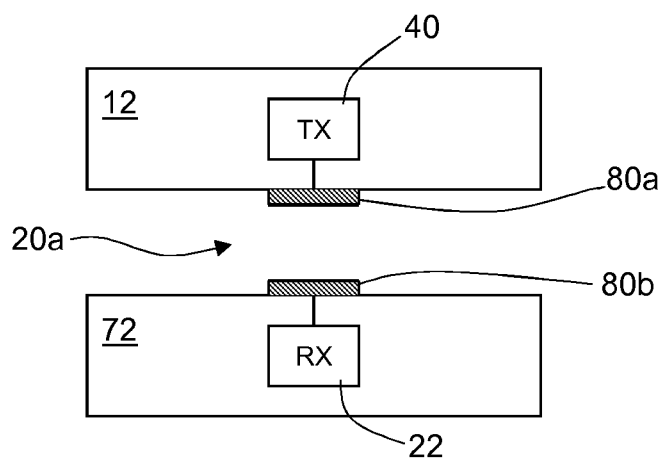


Fig.7

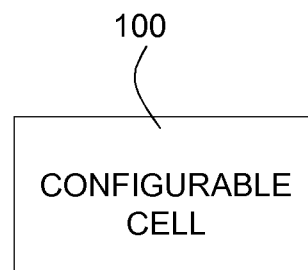


Fig.8