СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1016779 A

3(51) G 06 F 7/38

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3368503/18-24
(22) 02.11.81
(46) 07.05.83. Бюл. № 17
(72) Л.В.Вариченко, В.И.Жабин, З.Д.Коноплянко, В.И.Корнейчук, М.А.Раков, А.И.Селезнев, В.П.Тарасенко и В.В.Ткаченко
(71) Киевский ордена Ленина политехнический институт имени 50-летия Великой Октябрьской социалистической революции
(53) 681.325.66(088.8)
(56) 1. Авторское свидетельство СССР № 744559, кл. G 06 F 7/38, 1980.
2. Патент США № 4142242, кл. G 06 F 7/38, опублик. 1979.
3. Патент Японии № 53-24264, кл. 97(7), опублик. 1978 (прототип).

(54)(57) ВЫЧИСЛИТЕЛЬНОЕ УСТРОЙСТВО, содержащее блок умножения, сумматор, регистр аргумента и регистр промежуточного результата, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия и расширения функциональных возможностей его путем обеспечения возможности вычисления функций $S_i = A_i X_i + B_i$ и $S_n = \sum_{i=1}^{n} A_i X_i$, в него введены первый и второй буферные регистры, первый и второй коммутаторы, причем установочные входы первого и второго буферных регистров являются соответственно входами первого и второго коэффициентов устройства, управляющие входы первого и второго коммутаторов являются соответственно первым и вторым управляющими входами устройства, установочные входы регистра аргумента являются группой входов аргумента устройства, выходы первого буферного регистра соединены с первой группой информационных входов первого коммутатора, выходы которого соединены с первой группой входов сумматора, вторая группа входов которого подключена к выходам блока умножения, а выходы сумматора являются группой выходов устройства и соединены с установочными входами регистра промежуточного результата, выходы которого соединены со вторыми группами входов первого и второго коммутаторов, причем первая группа входов второго коммутатора подключена к выходам второго буферного регистра, а выходы второго коммутатора соединены с первой группой входов блока умножения, вторая группа входов которого подключена к выходам регистра аргумента.

(19) SU (11) 1016779 A

Изобретение относится к вычислительной технике и может быть использовано в цифровых вычислительных машинах и системах для получения значений функций $S_i = A_i X_i + B_i$ $S_n = \sum_{i=1}^{n} A_i X_i$ и $S_n = B_1 X^{n-1} + B_2 X^{n-2} + \ldots + B_k X^{n-k} + \ldots + B_{n-1} X B_n$

Известно устройство для вычисления значения полинома m-ой степени, содержащее устройство управления, три сдвигающих регистра, четыре элемента И, счетчик переносов и сумматор [1].

Недостатками известного устройства являются невозможность вычисления величины $S_n = \sum_{i=1}^{n} A_i X_i$, а также низкое быстродействие при формировании значений полинома m-ой степени и выражения $S_i = A_i X_i + B_i$.

Известно множительно-накопительное устройство содержащее блок умножения, приемные регистры операндов, накопитель и отклоняющий блок [2].

Такое устройство позволяет получать значения $S_n = \sum_{i=1}^{n} A_i X_i$ однако не может быть использовано для вычисления значений полиномов и выражения $S_i = A_i X_i + B_i$, т.е. обладает узкими функциональными возможностями.

Наиболее близким к предлагаемому является устройство для вычисления суммы степенного ряда. В схеме устройства имеется операционный блок для выполнения операций умножения и суммирования, регистры аргумента и промежуточного результата, а также сдвиговая память для хранения значений коэффициентов A_i [3].

Такое устройство характеризуется низким быстродействием, поскольку для вычисления полинома n-й степени сначала происходит формирование членов полинома, а затем выполняется их суммирование. Для получения i-го члена устройством вычисляется произведение $X^{i-1} X$ (где X - аргумент), а затем происходит умножение коэффициента A_i на i-ую степень аргумента, т.е. X^i. Время формирования результата в этом случае $t = nt_y + (n+1)t_c$ где t - время умножения двух операндов, t_y - время сложения двух операндов.

Кроме того, прототип обладает узкими функциональными возможностями, так как не позволяет вычислять значения функций $S_i = A_i X_i + B_i$ и $S_n = \sum_{i=1}^{n} A_i X_i$.

Цель изобретения - повышение быстродействия и расположение функциональных возможностей путем обеспечения возможности вычисления функций $S_i = A_i X_i + B_i$ и $S_n = \sum_{i=1}^{n} A_i X_i$.

Поставленная цель достигается тем, что в вычислительное устройство, содержащее блок умножения, сумматор, регистр аргумента и регистр промежуточного результата, введены первый и второй буферные регистры, первый и второй коммутаторы, причем установочные входы первого и второго буферных регистров являются соответственно входами первого и второго коэффициентов устройства, управляющие входы первого и второго коммутаторов являются соответственно первым и вторым управляющими входами устройства, установочные входы регистра аргумента являются группой входов аргумента устройства, выходы первого буферного регистра соединены с первой группой информационных входов первого коммутатора, выходы которого соединены с первой группой входов сумматора, вторая группа входов которого подключена к выходам блока умножения, а выходы сумматора являются группой выходов устройства и соединены с установочными входами регистра промежуточного результата, выходы которого соединены с вторыми группами входов первого и второго коммутаторов, причем первая группа входов второго коммутатора подключена к выходам второго буферного регистра, а выходы второго коммутатора соединены с первой группой входов блока умножения, вторая группа входов которого подключена к выходам регистра аргумента.

На чертеже представлена структурная схема устройства.

Вычислительное устройство содержит первый буферный регистр 1, регистр 2 аргумента и второй буферный регистр 3. Входы 4_1-4_m первого коэффициента подключены к установочным входам регистра 1, входы 5_1-5_m аргумента - к установочным входам регистра 2, а входы 6_1-6_m второго коэффициента - к установочным входам регистра 3. В состав устройства также входят регистр 7 промежуточного результата, первый коммутатор 8, второй коммутатор 9, блок 10 умножения и сумматор 11, выходы которого являются выходами 12_1÷12_m устройства, и к ним подключены входы регистра 7. К управляющему входу коммутатора 8 подсоединен первый вход 13 управления, а к управляющему входу коммутатора 9 - второй вход 14 управления. Выходы регистра 1 соединены с первой группой входов коммутатора 8, выходы которого подключены к первой группе входов сумматора 11, вторая группа входов сумматора 11 соединена с выходами блока 10 умножения, первая группа входов которого подключена к выходам регистра 2, а вторая группа входов - к выходам коммутатора 9. Первая группа входов коммутатора 9 сое-

динена с выходами регистра 3, а вторая группа входов - с второй группой входов коммутатора 8 и выходами регистра 7.

Регистры 1, 2, 3 и 7 представляют собой m-разрядные регистры (где m-разрядность поступающих операндов) с параллельной записью и выдачей информации. Входы управления записью информации в эти регистры на чертеже условно не показаны.

Блок 10 умножения предназначен для перемножения m-разрядных двоичных операндов. Сумматор 11 - это m-разрядный параллельный сумматор комбинационного типа.

Вычислительное устройство может работать в одном из трех режимов, задаваемых потенциальными логическими сигналами на входах 13 и 14. В каждом режиме вычисляется значение функции в соответствии с приводимой ниже таблицей режимов работы.

Режим работы	Вход 13	Вход 14	Вычисляемая функция
1	0	0	$S_i = A_i X_i + B_i$
2	1	0	$S_n = A_1 X_1 + A_2 X_2 + \ldots + A_n X_n = \sum_{i=1}^{n} A_i X_i$
3	0	1	$S = (\ldots(\ldots((0\, X_1 + B_1) X_2 + B_2) X_3 + \ldots + B_i) X_{i+1} + \ldots + B_{n-1}) X_n + B_n$

В таблице приняты следующие обозначения: S_i и S_1 - результат вычислений, B_i и A_i - соответственно первый и второй коэффициенты, X_i - аргумент.

Кроме того, поскольку в режиме 3 реализуется алгоритм (схема) Горнера, устройством можно вычислять значения полинома следующего вида (если $X_1 = X_2 = \ldots = X_{n-1} = X_n = X$);

$$S_n = B_1 X^{n-1} + B_2 X^{n-2} + \ldots + B_k X^{n-k} + \ldots + B_{n-2} X^2 + B_{n-1} X + B_n = \sum_{i=1}^{n} B_i X^{n-i}$$

Рассмотрим работу вычислительного устройства последовательно во всех трех режимах.

Для задания режима 1 на входах 13 и 14 устанавливаются потенциальные сигналы уровня логического нуля. Коммутаторы 8 и 9 по этим сигналам подключают к выходам первые группы своих входов. Таким образом, выходы регистра 1 через коммутатор 8 подключаются к первой группе входов сумматора 11, а выходы регистра 3 - к первой группе входов блока 10 множения через коммутатор 9. Регистры 1,2 и 3 устанавливаются в нулевое состояние.

На входы 4_1-4_m, 5_1-5_m и 6_1-6_m поступают двоичные коды величины соответственно первого коэффициента B_i, аргумента X_i и второго коэффициента A_i. Запись указанных величин соответственно в регистры 1,2 и 3 осуществляется при каждом i-ом синхронизирующем сигнале, поступающем на входы разрешения записи информации регистров. После приема информации в регистры устройства блок 10 умножения формирует произведение $A_i X_i$, старшие m разрядов которого поступают на входы сумматора 11. Последний осуществляет вычисление суммы $S_i = A_i X_i + B_i$, которая в данном режиме является окончательным результатом и устанавливается на выходах 12-12_m устройства.

Перед началом работы устройства в режиме 2 регистры 2,3 и 7 устанавливаются в нулевое состояние, а на вход 13 подается потенциальный сигнал уровня логической единицы, на входе 14 остается сигнал уровня логического нуля. Сигнал логической единицы переключает коммутатор 8 таким образом, что выходы регистра 7 оказываются подключенными к входам сумматора 11.

Работа устройства в этом режиме начинается с момента поступления синхронизирующих сигналов на входы разрешения записи информации регистров 2,3 и 7. При этом в регистр 2 с входом 5_1-5_m поступает величина X_i, а с входов 6_1-6_m в регистр 3 - величина A_i. После приема величин в регистры 2 и 3 блок 10 умножения осуществляет перемножение содержимого этих регистров и формирует на своих выходах m-разрядный двоичный код величины $A_i X_i$. Сумматор 11 выполняет сложение двоичных кодов на выходах

блока 10 умножения и регистра 7, причем результат этого сложения по каждому i-му синхронизирующему сигналу записывается в регистр 7. Таким образом, после n тактов вычислений на выходах 12_1-12_m устройства формируется величина $S_n=\sum_{i=1}^{n} A_i X_i$

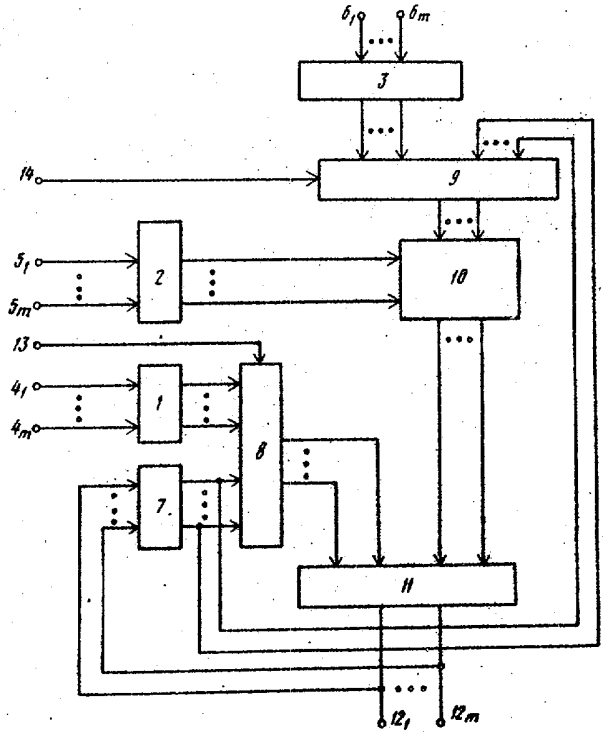
При вычислениях в режиме 3 перед началом работы устройства производится установка в нулевое состояние регистров 1, 2 и 7. Кроме того, на входе 13 устанавливается потенциальный сигнал уровня логического нуля, а на входе 14 - потенциальный сигнал уровня логической единицы. Этими сигналами обеспечивается подключение выходов регистра 1 через коммутатор 8 к входам сумматора 11 и выходов регистра 7 через коммутатор 9 к входам блока 10 умножения. По каждому i-му синхронизирующему сигналу с входов 4_1-4_m и 5_1-5_m регистры 1 и 2 соответственно записываются величины B_i и X_i. Блок 10 умножения выполняет перемножение содержимого регистров 2 и 7. В свою очередь, сумматор 11 осуществляет сложение содержимого регистра 1 и произведения, которое вычисляется блоком 10 умножения. Вычисленная сумма по каждому i-му синхронизирующему сигналу записывается в регистр 7. После выполнения тактов вычислений на выходах 12_1-12_m устройства получаем величину

$$S_n=\left(\ldots\left(\ldots\left(\left(0\cdot X_1+B_1\right)X_2+B_2\right)X_3+\ldots+B_i\right)X_{i+1}+\ldots\right.$$
$$\left.\ldots+B_{n-1}\right)X_n+B_n$$

В режиме 3 устройством также реализуется алгоритм (схема) Горнера. Поэтому если на входах 5_1+5_m величина аргумента X_i не будет изменяться от такта к такту (т.е. $X_1=X_2=\ldots X_{n-1}=X_n=X$), то после выполнения (n+1)-го такта вычислений на выходах 12_1+12_m будет получено значение полинома n-ой степени. При этом затраченное время составит $t_{зу}=(n+1)(y+t_c)$.

По сравнению с известным, предлагаемое устройство обладает более высоким быстродействием, а также возможностью вычисления функций

$S_i=A_iX_i+B_i$ и $S_n=\sum_{i=1}^{n} A_iX_i$



ВНИИПИ Заказ 3387/48 Тираж 706 Подписное

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4