

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6391290号
(P6391290)

(45) 発行日 平成30年9月19日(2018.9.19)

(24) 登録日 平成30年8月31日(2018.8.31)

(51) Int.Cl.

F 1

HO4N 5/3745 (2011.01)
HO4N 101/00 (2006.01)HO4N 5/3745
HO4N 101:00

請求項の数 14 (全 14 頁)

(21) 出願番号	特願2014-96530 (P2014-96530)
(22) 出願日	平成26年5月8日 (2014.5.8)
(65) 公開番号	特開2015-216434 (P2015-216434A)
(43) 公開日	平成27年12月3日 (2015.12.3)
審査請求日	平成29年4月28日 (2017.4.28)

(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(74) 代理人	100094112 弁理士 岡部 譲
(74) 代理人	100101498 弁理士 越智 隆夫
(74) 代理人	100106183 弁理士 吉澤 弘司
(74) 代理人	100128668 弁理士 斎藤 正巳
(72) 発明者	桜木 孝正 東京都大田区下丸子3丁目30番2号 キ ヤノン株式会社内

最終頁に続く

(54) 【発明の名称】撮像装置

(57) 【特許請求の範囲】

【請求項 1】

光電変換素子と、前記光電変換素子により生成された電荷に応じた電圧を出力する増幅トランジスタと、

前記増幅トランジスタに第1のバイアス電流を供給する第1の負荷トランジスタと、

前記増幅トランジスタの出力を増幅して出力する増幅器と、

前記増幅器に第2のバイアス電流を供給する第2の負荷トランジスタと、

電圧値が互いに異なる第1の電圧又は第2の電圧を、入力容量素子を介して前記第2の負荷トランジスタの制御ノードに入力する電圧供給部とを有し、

前記第2の電圧が前記入力容量素子を介して前記制御ノードに入力されることによって、前記第2の負荷トランジスタが供給する前記第2のバイアス電流の電流値が、前記第1の電圧が前記入力容量素子を介して前記制御ノードに入力されることによって、前記第2の負荷トランジスタが供給する前記第2のバイアス電流の電流値よりも大きいことを特徴とする撮像装置。

【請求項 2】

光電変換素子と、前記光電変換素子により生成された電荷に応じた電圧を出力する増幅トランジスタと、

前記増幅トランジスタにバイアス電流を供給する負荷トランジスタと、

制御ノードが前記負荷トランジスタの出力端子に接続され、第1の主ノードが前記負荷トランジスタの制御ノードにそれぞれ接続された入力トランジスタと、

10

20

電圧値が互いに異なる第1の電圧又は第2の電圧を、前記入力トランジスタの第2の主ノードに入力する電圧供給部とを有し、

前記第2の電圧が前記第2の主ノードに入力されることによって、前記負荷トランジスタが供給する前記バイアス電流の電流値が、前記第1の電圧が前記第2の主ノードに入力されることによって、前記負荷トランジスタが供給する前記バイアス電流の電流値よりも大きいことを特徴とする撮像装置。

【請求項3】

前記第1の電圧と前記第2の電圧の差は、前記増幅トランジスタから出力される前記電圧に応じて制御されることを特徴とする請求項1又は2に記載の撮像装置。 10

【請求項4】

前記電圧供給部が前記第2の電圧を出力する期間は前記増幅トランジスタから出力される電圧に応じて制御されることを特徴とする請求項1又は2に記載の撮像装置。

【請求項5】

前記第2の電圧は前記第1の電圧よりも振幅が大きいことを特徴とする請求項1乃至4のいずれか1項に記載の撮像装置。 20

【請求項6】

前記光電変換素子と前記増幅トランジスタとの間の電気的経路を、オンの状態で導通とし、オフの状態で非導通とする転送トランジスタをさらに有し、

前記電圧供給部は、前記転送トランジスタがオフの状態においては前記第1の電圧を出力し、前記転送トランジスタがオフからオンとなった状態から所定の期間は、前記第2の電圧を出力し、前記所定の期間の経過後から再び前記転送トランジスタがオフの状態になるまでの期間は、前記第1の電圧を出力することを特徴とする請求項1乃至5のいずれか1項に記載の撮像装置。 20

【請求項7】

請求項1乃至6のいずれか1項に記載の撮像装置がライン状に配置されていることを特徴とするラインセンサ。 30

【請求項8】

請求項1乃至6のいずれか1項に記載の撮像装置が行列状に配置されていることを特徴とするエリアセンサ。

【請求項9】

請求項1乃至6のいずれか1項に記載の撮像装置を備えることを特徴とする撮像システム。 30

【請求項10】

請求項3又は4に記載の撮像装置を備える撮像システムであって、前記撮像システムのI S O感度設定に基づいて前記撮像装置の制御が行われることを特徴とする撮像システム。 40

【請求項11】

光電変換素子と、前記光電変換素子により生成された電荷に応じた電圧を出力する増幅トランジスタと、

前記増幅トランジスタに第1のバイアス電流を供給する第1の負荷トランジスタと、

前記増幅トランジスタの出力を増幅して出力する増幅器と、

前記増幅器に第2のバイアス電流を供給する第2の負荷トランジスタとを有する撮像装置の駆動方法であって、

電圧値が互いに異なる第1の電圧又は第2の電圧を、入力容量素子を介して前記第2の負荷トランジスタの制御ノードに入力し、

前記第2の電圧を前記入力容量素子を介して前記制御ノードに入力することによって、前記第2の負荷トランジスタが供給する前記第2のバイアス電流の電流値が、前記第1の電圧を前記入力容量素子を介して前記制御ノードに入力することによって、前記第2の負荷トランジスタが供給する前記第2のバイアス電流の電流値よりも大きいことを特徴とする撮像装置の駆動方法。 50

【請求項 1 2】

前記光電変換素子と前記増幅トランジスタとの間の電気的経路を、オンの状態で導通とし、オフの状態で非導通とする転送トランジスタをさらに有し、

前記転送トランジスタがオフの状態においては前記第1の電圧を前記制御ノードに入力し、前記転送トランジスタがオフからオンとなった状態から所定の期間は、前記第2の電圧を前記制御ノードに入力し、前記所定の期間の経過後から前記転送トランジスタが再びオフの状態になるまでの期間は、前記第1の電圧を前記制御ノードに入力することを特徴とする請求項1_1に記載の撮像装置の駆動方法。

【請求項 1 3】

光電変換素子と、前記光電変換素子により生成された電荷に応じた電圧を出力する増幅トランジスタと、10

前記増幅トランジスタにバイアス電流を供給する負荷トランジスタと、
制御ノードが前記負荷トランジスタの出力端子に接続され、第1の主ノードが前記負荷トランジスタの制御ノードにそれぞれ接続された入力トランジスタとを有する撮像装置の駆動方法であって、

電圧値が互いに異なる第1の電圧又は第2の電圧を、前記入力トランジスタの第2の主ノードに入力し、

前記第2の電圧を前記第2の主ノードに入力することによって、前記負荷トランジスタが供給する前記バイアス電流の電流値が、前記第1の電圧を前記第2の主ノードに入力することによって、前記負荷トランジスタが供給する前記バイアス電流の電流値よりも大きいことを特徴とする撮像装置の駆動方法。20

【請求項 1 4】

前記光電変換素子と前記増幅トランジスタとの間の電気的経路を、オンの状態で導通とし、オフの状態で非導通とする転送トランジスタをさらに有し、

前記転送トランジスタがオフの状態においては前記第1の電圧を前記第2の主ノードに入力し、前記転送トランジスタがオフからオンとなった状態から所定の期間は、前記第2の電圧を前記第2の主ノードに入力し、前記所定の期間の経過後から前記転送トランジスタが再びオフの状態になるまでの期間は、前記第1の電圧を前記第2の主ノードに入力することを特徴とする請求項1_3に記載の撮像装置の駆動方法。

【発明の詳細な説明】30**【技術分野】****【0 0 0 1】**

本発明は、撮像装置に関する。

【背景技術】**【0 0 0 2】**

C M O Sイメージセンサ等の撮像装置において、画素信号を読み出し回路によって読み出す際の動作速度の向上が要求されている。特許文献1には、画素信号電荷を電圧増幅する増幅トランジスタのバイアス電流を、ある一部の期間増加させることで高速に画素信号を読み出すことができる旨が記載されている。特許文献2には、読出電流源部において、通常の読出電流に加えて加速読出電流を一時的に供給できることにより、読み出し時間の短縮化が可能である旨が記載されている。40

【先行技術文献】**【特許文献】****【0 0 0 3】**

【特許文献1】特開2010-28320号公報

【特許文献2】特開2006-186467号公報

【発明の概要】**【発明が解決しようとする課題】****【0 0 0 4】**

特許文献1では、バイアス電流を増加させる方法として、増幅トランジスタにバイアス

50

電流を供給する定電流回路のスイッチ（トランジスタ）を切り替えて電流を変化させている。このような電流経路には寄生容量が付随するため、切り替え時に寄生容量を充電するための充電電流が必要となる。すなわち、切り替えにより増加させた電流の一部が充電電流として用いられる。そのため増幅トランジスタの出力電圧の変化に要する時間が長くなり、セトリング時間が長くなるため、画素信号電圧の読み出しが低速、かつ不安定になるという問題がある。

【0005】

特許文献2による読み出し方法では、負荷制御信号を制御することにより、動作電流をある一定期間増加させている。負荷制御信号を切り替える際にスイッチングノイズが発生するため、出力信号電圧のセトリング時間が長くなり、画素信号電圧の読み出しが低速、かつ不安定になるという問題がある。10

【0006】

本発明は、上述した課題に鑑みてなされたものであって、画素信号電圧の読み出しを高速かつ安定にすることを目的とする。

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明の一態様に係る撮像装置は、光電変換素子と、前記光電変換素子により生成された電荷に応じた電圧を出力する増幅トランジスタと、前記増幅トランジスタに第1のバイアス電流を供給する第1の負荷トランジスタと、前記増幅トランジスタの出力を増幅して出力する増幅器と、前記増幅器に第2のバイアス電流を供給する第2の負荷トランジスタと、電圧値が互いに異なる第1の電圧又は第2の電圧を、入力容量素子を介して前記第2の負荷トランジスタの制御ノードに入力する電圧供給部とを有し、前記第2の電圧が前記入力容量素子を介して前記制御ノードに入力されることによつて、前記第2の負荷トランジスタが供給する前記第2のバイアス電流の電流値が、前記第1の電圧が前記入力容量素子を介して前記制御ノードに入力されることによって、前記第2の負荷トランジスタが供給する前記第2のバイアス電流の電流値よりも大きいことを特徴とする。20

【発明の効果】

【0008】

本発明の撮像装置によれば、画素信号電圧の読み出しを高速かつ安定にすることが可能となる。30

【図面の簡単な説明】

【0009】

【図1】本発明の第1の実施形態に係る撮像装置の回路図である。

【図2】本発明の第1の実施形態に係る撮像装置のタイミング図である。

【図3A】本発明の第1の実施形態の効果を表すシミュレーション結果のグラフである。

【図3B】本発明の第1の実施形態の効果を表すシミュレーション結果のグラフである。

【図3C】本発明の第1の実施形態の効果を表すシミュレーション結果のグラフである。

【図4】本発明の第1の実施形態の効果が電圧パルスの幅によって変化することを示すシミュレーション結果のグラフである。40

【図5】本発明の第2の実施形態に係る撮像装置の回路図である。

【図6】本発明の第2の実施形態に係る撮像装置のタイミング図である。

【図7】本発明の第2の実施形態の効果を表すシミュレーション結果のグラフである。

【図8】本発明の第3の実施形態に係る撮像装置の回路図である。

【図9】本発明の第3の実施形態に係る撮像装置のタイミング図である。

【図10】本発明の第4の実施形態に係る1次元センサの回路図である。

【図11】本発明の第4の実施形態に係る2次元センサの回路図である。

【図12】本発明の第5の実施形態に係る撮像システムのブロック図である。

【発明を実施するための形態】

【0010】

以下、本発明の実施の形態を図面に基づいて説明する。各図面を通じて同一の部材には同一の符号を付し、説明を省略することもある。

【0011】

(第1の実施形態)

図1は、本発明の第1の実施形態に係る撮像装置の回路図である。撮像装置は複数の画素をライン状又はアレイ状に配列して構成されているが、図1においては、簡単化のため、1つの画素と1つの信号読み出し回路が例示されている。撮像装置は、増幅トランジスタ1、負荷トランジスタ2、転送トランジスタ3、光電変換素子4、電流源5、カレントミラートランジスタ6、入力容量素子7、電圧ドライバ8（電圧供給部）、垂直信号線9、電源配線11を備える。各トランジスタはN型又はP型のMOSトランジスタである。
10 本実施形態においては、各トランジスタはN型のMOSトランジスタであるものとする。すなわち、ゲート（制御ノード）にハイレベルの電圧が入力されたときにオン（導通状態）になり、ローレベルの電圧が入力されたときにオフ（非導通状態）になるものとする。

【0012】

光電変換素子4は、光電変換によって入射光量に応じた電荷を生成し、蓄積する、フォトダイオードなどの光センサ素子である。転送トランジスタ3のソースは光電変換素子4に接続され、ドレインは増幅トランジスタ1のゲートに接続される。転送トランジスタ3のゲートに入力される制御信号PTXがハイレベルになると、光電変換素子4に蓄積された電荷が増幅トランジスタ1の入力ノードであるフローティングディフュージョン10に転送される。増幅トランジスタ1のドレインには電源配線11から電源電圧Vddが供給され、増幅トランジスタ1のソースは垂直信号線9を介して負荷トランジスタ2のドレインに接続される。すなわち、増幅トランジスタ1はソースフォロワ回路を構成しており、垂直信号線9には光電変換素子4からフローティングディフュージョン10に転送された電荷に応じた電圧が出力される。光電変換素子4で発生する電荷は電子であるものとすると、フローティングディフュージョン10には負電荷を有する電子が転送されるため、垂直信号線9に出力される電圧は降下する。その際のスルーレート（Slew Rate）は負荷トランジスタ2のドレイン-ソース間を流れる電流、及び垂直信号線9とグラウンド、他の配線等との間に生じる寄生容量に依存する。
20

【0013】

カレントミラートランジスタ6のゲートはドレインと接続され、さらに負荷トランジスタ2のゲートとも接続される。カレントミラートランジスタ6のドレインには電流源5から電流が供給される。カレントミラートランジスタ6及び負荷トランジスタ2のソースは接地されている。カレントミラートランジスタ6と負荷トランジスタ2はカレントミラーリング回路を構成しており、カレントミラートランジスタ6のドレイン-ソース間を流れる電流に応じた電流が負荷トランジスタ2のドレイン-ソース間にも流れ。上述のように、負荷トランジスタ2のドレインは増幅トランジスタ1のソースと接続されているので、このカレントミラーリング回路により供給される電流は増幅トランジスタ1に対するバイアス電流として機能する。
30

【0014】

電圧ドライバ8は入力された制御信号PT_Drを増幅又はバッファリングした電圧を出力する回路である。電圧ドライバ8の出力端子は入力容量素子7を介してカレントミラートランジスタ6のドレインに接続される。入力容量素子7とカレントミラートランジスタ6のオン抵抗は微分回路を構成する。すなわち、電圧ドライバ8の出力電圧のうち、高周波成分のみがカレントミラートランジスタ6に入力される。なお、カレントミラートランジスタ6の相互コンダクタンスをgmとすると、オン抵抗はgmの逆数（1/gm）となる。
40

【0015】

図2は本発明の第1の実施形態に係る撮像装置の動作を示すタイミング図である。本タイミング図には、制御信号PTX、PT_Dr及び負荷トランジスタ2を流れる電流の関係が示されている。制御信号PT_Drは時刻T1から時刻T2の期間に電圧値がハイレ
50

ベルとなり、その他の期間はローレベルとなるパルス信号である。

【0016】

時刻 T₁以前の期間において、制御信号 P_TX はローレベルである。このとき、転送トランジスタ 3 がオフである。また、制御信号 P_T_D_r はローレベルであるため、電圧ドライバ 8 にはローレベルの電圧が入力されている。このときに電圧ドライバ 8 が負荷トランジスタ 2 の制御ノードに供給する電圧を第 1 の電圧とする。

【0017】

時刻 T₁において、制御信号 P_TX がハイレベルになる。これにより、転送トランジスタ 3 がオンになり、光電変換素子 4 と増幅トランジスタ 1 の間の電気的経路が導通状態となる。また、同時刻において、制御信号 P_T_D_r もハイレベルになる。これにより、電圧ドライバ 8 にハイレベルの電圧が入力される。このときに電圧ドライバ 8 が負荷トランジスタ 2 の制御ノードに供給する電圧を第 2 の電圧とする。第 2 の電圧は第 1 の電圧よりも振幅が大きい。

【0018】

転送トランジスタ 3 がオンになってから所定の期間（この期間を T とする）経過後の時刻 T₂において、制御信号 P_T_D_r がローレベルになる。これにより、電圧ドライバ 8 が負荷トランジスタ 2 の制御ノードに供給する電圧は再び第 1 の電圧になる。その後、制御信号 P_TX がローレベルになり、再び転送トランジスタ 3 がオフになる。すなわち、時刻 T₂から制御信号 P_TX がローレベルになるまでの間、電圧ドライバ 8 が負荷トランジスタ 2 の制御ノードに供給する電圧は第 1 の電圧となる。

【0019】

前述したように、入力容量素子 7 と、カレントミラートランジスタ 6 のオン抵抗は微分回路を構成し、カレントミラートランジスタ 6 と負荷トランジスタ 2 はカレントミラー回路を構成する。したがって、負荷トランジスタ 2 には、制御信号 P_T_D_r の値がローレベルからハイレベルに変わったタイミング付近では三角波に近いピークを有する電流が流れ、電流値が大きくなり、それ以外の期間には一定の DC バイアス電流が流れる。その結果、制御信号 P_T_D_r がハイレベルになる時刻 T₁からローレベルに戻る時刻 T₂までの期間 Tにおいて、負荷トランジスタ 2 は多くの電流を流すことができるため、垂直信号線 9 の電圧を急速に降下させることができる。

【0020】

図 3A、図 3B 及び図 3C は、本発明の第 1 の実施形態の回路における、垂直信号線 9 の電圧のシミュレーション結果のグラフである。各図には本実施形態による垂直信号線 9 の電圧変動（実線）と、その比較例である電圧ドライバ 8 及び入力容量素子 7 を有しない構成での電圧変動（破線）とが示されている。また、図 3A には光電変換素子に蓄積された画素信号電荷量がゼロの場合（a）、図 3B には画素信号電荷量が少ない場合（b）、図 3C には画素信号電荷量が多い場合（c）が示されている。特に、図 3C の画素信号電荷量が多い場合（c）の結果を参照すると、比較例に比べ、本実施形態では 2 μs 程度早く垂直信号線 9 の電圧の降下が完了しており、セトリング時間が短くなっていることがわかる。また、図 3B の画素信号電荷量が少ない場合（b）を参照すると、比較例との差は 1 μs 程度であり（c）の場合より効果は小さいものの、同様にセトリング時間短縮効果が得られている。以上により、（b）及び（c）により、特に画素信号電荷量が多い場合において本実施形態の効果が大きいことが理解できる。この理由は、比較例の構成において、画素信号電荷量が多いほど垂直信号線 9 の電圧降下量が大きくなり、セトリング時間が長くなるためである。なお、図 3A の画素信号電荷量がゼロの場合（a）、フローティングディフィュージョン 10 に電荷は転送されないため、比較例では電圧変動がほとんどないが、本実施形態では電圧のアンダーシュートが発生している。この現象については後述する。

【0021】

図 4 は本発明の第 1 の実施形態において、セトリング時間が制御信号 P_T_D_r の電圧パルス幅によって変化することを示すシミュレーション結果のグラフである。図 4 では、

10

20

30

40

50

上述の比較例及び本実施形態において、期間 $T = 20\text{ ns}$ 、 40 ns 、 60 ns とした場合の計4つが対比されている。図4より、期間 T を大きくするほどセトリング時間が短くなっていることから、垂直信号線9の電圧変動を高速化する効果が大きいことがわかる。したがって、図3A、図3B、図3C及び図4の結果によれば、垂直信号線9の電圧変化量が大きい場合ほど期間 T を長く設定することにより、本実施形態の電圧変化の高速化の効果がより発揮される。

【0022】

本実施形態の撮像装置はカメラ等の撮像システムに適用することができる。撮影対象の輝度が低いとき、通常カメラはISO感度設定値が大きくなるように動作する。よって、カメラにより設定されたISO感度設定値の大きさに応じて期間 T を大きくすることが好適である。また、電圧ドライバ8の出力のハイレベル時とローレベル時の電圧差が大きいほど、負荷トランジスタ2の出力電流の変化量を大きくすることができるため、ISO感度設定値が大きい場合に電圧差を大きく設定することも好適である。10

【0023】

(第2の実施形態)

図5は本発明の第2の実施形態に係る撮像装置の回路図である。図1に示した第1の実施形態の回路図との相違点は、入力容量素子7がなく、PMOSで構成される入力トランジスタ12が追加されている点である。入力トランジスタ12のゲート(制御ノード)は垂直信号線9に、ドレイン(第1の主ノード)は負荷トランジスタ2のゲートに、ソース(第2の主ノード)は電圧ドライバ8の出力端子にそれぞれ接続されている。20

【0024】

第1の実施形態に係るシミュレーション結果を示す図3A～図3Cを再度参照すると、特に図3Aの画素信号電荷量がゼロの場合(a)では、負荷トランジスタ2の出力電流の影響で一旦垂直信号線9の電圧が下がるアンダーシュートが発生している。このアンダーシュートは垂直信号線9の電圧を高速に読み出す際の障害になり得る。本実施形態はこのアンダーシュートの発生を抑制するように構成されている。

【0025】

図6は本発明の第2の実施形態に係る撮像装置の動作を示すタイミング図である。光電変換素子4に信号電荷が蓄積された後、時刻T1において、制御信号PTXがハイレベルになり、転送トランジスタ3がオンになる。このとき、增幅トランジスタのゲート電圧は低下し、それにしたがって一点鎖線で示されているように、垂直信号線9の電圧も負荷トランジスタ2の出力電流によって徐々に降下する(T1からT2の間の期間 T1)。また、制御信号PT_Drもハイレベルになり、電圧ドライバ8から入力トランジスタ12のソースにハイレベルの出力電圧が入力される。30

【0026】

垂直信号線9の電圧と電圧ドライバ8のハイレベル時の出力電圧との差が入力トランジスタ12のしきい値電圧VTh以上に達すると入力トランジスタ12はオンになる(この時刻をT2とする)。これにより、入力トランジスタ12のドレイン電流が負荷トランジスタ2のゲートに印加され、負荷トランジスタ2の出力電流は急激に増加し、垂直信号線9の電圧は急激に降下する(T2からT3の間の期間 T2)。一方、光電変換素子4から転送された信号電荷がゼロの場合は垂直信号線9の電圧の降下は発生せず、入力トランジスタ12がオンになることもないため、垂直信号線9の電圧のアンダーシュートは発生しない。40

【0027】

図7は、本発明の第2の実施形態の回路における、垂直信号線9の電圧のシミュレーション結果のグラフである。図示されている波形は、光電変換素子4から転送された信号電荷がゼロの場合の電圧変化を示している。図中の約11μsの時刻が、上述の図6の時刻T1、すなわち制御信号PT_Drがハイレベルになる時刻に相当する。第1の実施形態の(a)の場合と異なり、時刻T1においてアンダーシュートが発生していないことがわかる。したがって、本実施形態においては、第1の実施形態と同様の効果が得られること50

に加え、垂直信号線 9 の電圧のアンダーシュートの発生を抑制することができる。

【0028】

(第3の実施形態)

図8は本発明の第3の実施形態に係る撮像装置の回路図である。図1に示した第1の実施形態の回路図との相違点は、カレントミラートランジスタ6のドレインに接続される入力容量素子7及び電圧ドライバ8がなく、同様の機能を垂直信号線9に接続される増幅器13及びその制御回路を用いて実現している点である。撮像装置は、図1の構成に加え、増幅器13、負荷トランジスタ14、カレントミラートランジスタ15、電流源16、電圧ドライバ17、入力容量素子18をさらに備える。

【0029】

増幅器13は、増幅トランジスタ1の出力信号電圧を増幅し、出力端子19から出力するアンプであり、負荷トランジスタ14によってバイアス電流が供給される。負荷トランジスタ14のゲートはカレントミラートランジスタ15のゲート及びドレインと接続されており、カレントミラー回路を構成している。カレントミラートランジスタ15のドレインには電流源16によって電源配線11から電流が供給され、該ドレインにはさらに入力容量素子18を介して電圧ドライバ17が接続されている。電圧ドライバ17は入力された制御信号PT_Drを増幅又はバッファリングして出力する。第1の実施形態の場合と同様に、入力容量素子18とカレントミラートランジスタ15のオン抵抗とは微分回路を形成しており、電圧ドライバ17の出力のうち、高周波成分のみがカレントミラートランジスタ15に入力される。なお、負荷トランジスタ14とカレントミラートランジスタ15のソースは接地されている。

【0030】

図9は本発明の第3の実施形態に係る撮像装置の動作を示すタイミング図である。本タイミング図には、制御信号PT_X、PT_Dr及び負荷トランジスタ14を流れる電流の関係が示されている。前述したように、入力容量素子18と、カレントミラートランジスタ15は微分回路を構成し、負荷トランジスタ14とカレントミラートランジスタ15はカレントミラー回路を構成する。したがって、負荷トランジスタ14からは、制御信号PT_Drの値がローレベルからハイレベルに変わると同時に、負荷トランジスタ14とカレントミラートランジスタ15の間の電流が流れ、それ以外の期間には一定のDCバイアス電流が流れる。一方、増幅回路のバイアス電流とスルーレートとの間には正の相関があり、バイアス電流が大きいほどスルーレートは大きくなる。その結果、ハイレベルになる時刻T1からローレベルに戻る時刻T2までの期間Tにおいて、出力端子19の出力電圧は高速に変化するため信号電圧を高速に読み出すことが可能になる。

【0031】

なお、本実施形態では、信号を増幅するアンプの電流を一時的に増加させているが、例えばバッファアンプ等の増幅器以外の手段を用いて一時的に電流を増幅させても良い。また、第2の実施形態のようにトランジスタにより電流増幅させる回路を本実施形態と組み合わせて用いてもよい。

【0032】

(第4の実施形態)

図10及び図11に本発明の第4の実施形態に係るイメージセンサの回路図を示す。図10は1次元センサ(ラインセンサ)、図11は2次元センサ(エリアセンサ)の実施形態を示している。

【0033】

図10を参照して本実施形態の構成を説明する。図10(a)には、第1の実施形態で説明した画素の回路構成が示されており、図10(b)には画素がライン状に複数配置されたラインセンサの構成が示されている。負荷トランジスタ2_1~2_nはラインセンサの列ごとに配置される。負荷トランジスタ2_1~2_nのゲートは共通化され、ゲートドレインを短絡した1つのカレントミラートランジスタ6に接続される。さらに、列ごとに入力容量素子7を介して電圧ドライバ8から制御信号PT_Drが入力される。

10

20

30

40

50

【 0 0 3 4 】

負荷トランジスタ 2 の共通ゲートを 1 つの電圧ドライバ 8 と入力容量素子 7 により一括して制御した場合、共通ラインの配線抵抗の影響により、電圧ドライバ 8 の出力波形が伝搬する過程で鈍る。これにより、電圧ドライバ 8 から離れた位置にある負荷トランジスタ 2_1 ~ 2_n の電流波形のピークが小さくなり、垂直信号線の電圧変化が遅くなり、読み出しが遅くなる、又は列ごとの読み出し速度のバラツキが大きくなる。本実施形態では、列ごとに入力容量素子 7 を介して電圧ドライバ 8 が接続されるように構成されているので、電圧ドライバ 8 の出力波形の鈍りが低減され、読み出しを高速化すること又は列ごとの読み出し速度のバラツキを低減することが可能となる。入力容量素子 7 及び電圧ドライバ 8 は列ごとではなく、数列に 1 つの割合で配置してもよい。この場合、上述の効果を維持しつつ、素子数の削減が可能となる。

10

【 0 0 3 5 】

図 11 には上述の 1 次元センサの変形例として 2 次元センサの実施形態が示されている。図 11 (a) には、画素の回路構成が示されており、図 11 (b) には複数の画素が行列状に配置されたエリアセンサの構成が示されている。2 次元センサは、1 つの垂直信号線に複数の画素が接続されており、行ごとに順次駆動される。各画素は 1 次元センサ用の画素の構成に加え、さらに選択トランジスタ 20 を備えており、制御信号 SEL によって選択された行の信号が垂直信号線 9 に読み出される。これ以外の点は上述の 1 次元センサと同様であるため説明を省略する。本実施形態の場合 1 つの垂直信号線に複数の画素が接続されているため寄生容量が大きくなることがある。寄生容量が大きいと、抵抗と容量の積で決まる回路の時定数が大きくなるため、上述の電圧ドライバ 8 の出力波形の鈍りがより顕著となる。よって、本発明の効果は 1 次元センサの場合よりもさらに大きくなり、2 次元センサに本発明を適用することはより好ましい。したがって、高速な読み出しに対応した 2 次元センサを提供することができる。

20

【 0 0 3 6 】**(第 5 の実施形態)**

上記の第 1 乃至第 4 の実施形態で述べた撮像装置は種々の撮像システムに適用可能である。撮像システムの一例としては、デジタルスチルカメラ、デジタルカムコーダー、監視カメラなどがあげられる。図 12 に、撮像システムの一例としてデジタルスチルカメラに本発明の第 1 乃至第 4 の実施形態のいずれかの撮像装置を適用した撮像システムの模式図を示す。

30

【 0 0 3 7 】

図 12 に例示した撮像システムは、撮像装置 154、レンズの保護のためのバリア 151、被写体の光学像を撮像装置 154 に結像させるレンズ 152 及びレンズ 152 を通過する光量を可変にするための絞り 153 を有する。レンズ 152 及び絞り 153 は撮像装置 154 に光を集光する光学系である。また、図 12 に例示した撮像システムは撮像装置 154 より出力される出力信号の処理を行う出力信号処理部 155 を有する。

【 0 0 3 8 】

出力信号処理部 155 は、撮像装置 154 が出力するアナログ信号をデジタル信号に変換する A/D 変換を行う。また、出力信号処理部 155 はその他、必要に応じて各種の補正、圧縮を行って画像データを出力する動作を行う。図 12 に例示した撮像システムはさらに、画像データを一時的に記憶するためのバッファメモリ部 156、外部コンピュータ等と通信するための外部インターフェース部（外部 I/F 部）157 を有する。さらに撮像システムは、撮像データの記録又は読み出しを行うための半導体メモリ等の記録媒体 159、記録媒体 159 に記録又は読み出しを行うための記録媒体制御インターフェース部（記録媒体制御 I/F 部）158 を有する。なお、記録媒体 159 は撮像システムに内蔵されてもよく、着脱可能であってもよい。

40

【 0 0 3 9 】

さらに撮像システムは、各種演算とデジタルスチルカメラ全体を制御する全体制御・演算部 1510、撮像装置 154 と出力信号処理部 155 に各種タイミング信号を出力する

50

タイミング発生部 1511 を有する。ここで、タイミング信号などは外部から入力されてもよく、撮像システムは少なくとも撮像装置 154 と、撮像装置 154 から出力された出力信号を処理する出力信号処理部 155 とを有すればよい。以上のように、本実施形態の撮像システムは、撮像装置 154 を適用して撮像動作を行うことが可能である。

【0040】

第 1 の実施形態の説明で述べたように、撮影対象の輝度が低いとき、ISO 感度設定値が大きくなるように撮像システムを動作させることができることが好ましい。このとき、撮像システムは、ISO 感度の設定とともに、ISO 感度設定値の大きさに応じて制御信号 PT_Dr のパルス幅 T を大きくするように撮像装置 154 を制御させることができるのである。また、電圧ドライバ 8 の出力のハイレベル時とローレベル時の電圧差が大きいほど、負荷トランジスタ 2 の出力電流の変化量を大きくすることができるため、ISO 感度設定値が大きい場合に上記電圧差を大きく設定することも好適である。10

【0041】

なお、上記実施形態は、いずれも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらの例示によって本発明の技術的範囲が限定的に解釈されなければならない。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な態様で実施することができる。また、これまで述べた各実施形態を種々組み合わせて実施することができる。

【符号の説明】

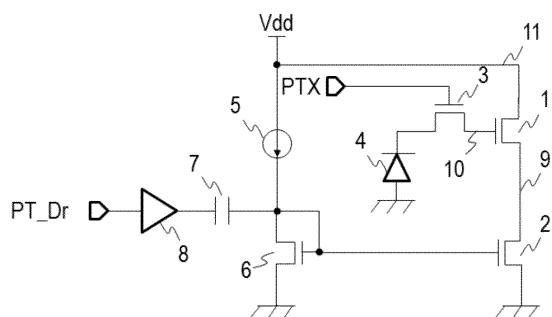
【0042】

- 1 増幅トランジスタ
- 2 負荷トランジスタ
- 3 転送トランジスタ
- 4 光電変換素子
- 5 電流源
- 6 カレントミラートランジスタ
- 7 入力容量素子
- 8 電圧ドライバ
- 9 垂直信号線
- 10 フローティングディフュージョン
- 11 電源配線

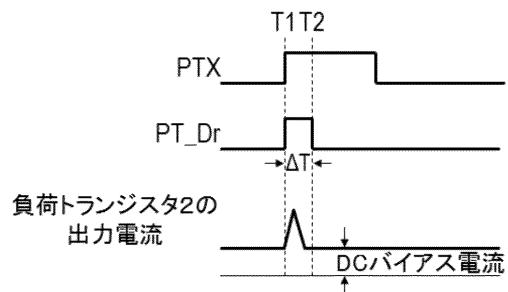
20

30

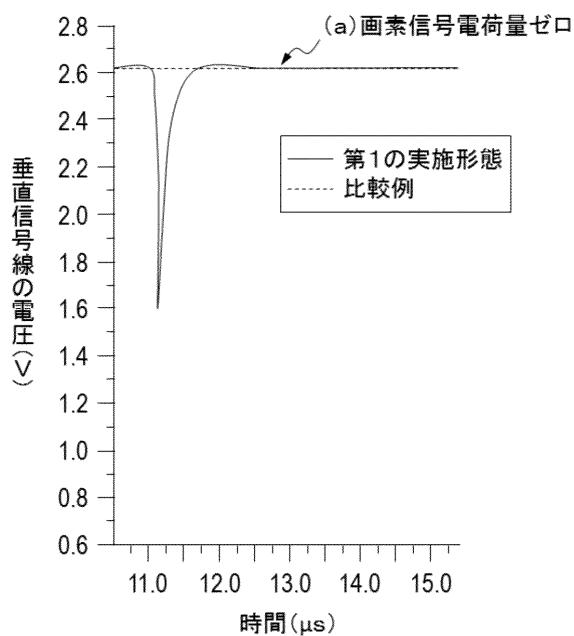
【図1】



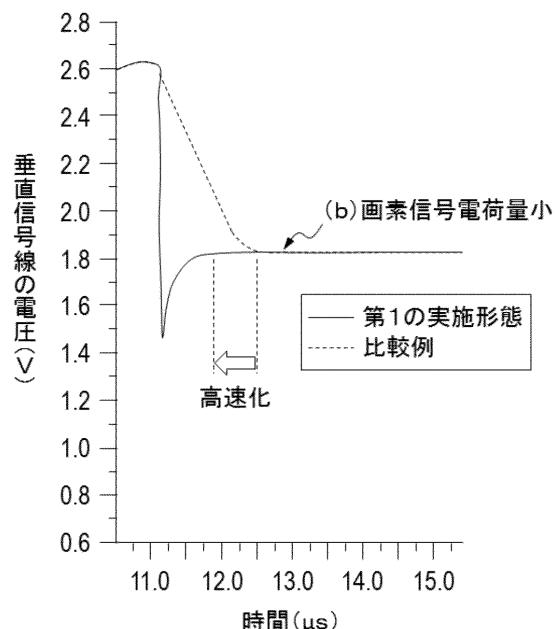
【図2】



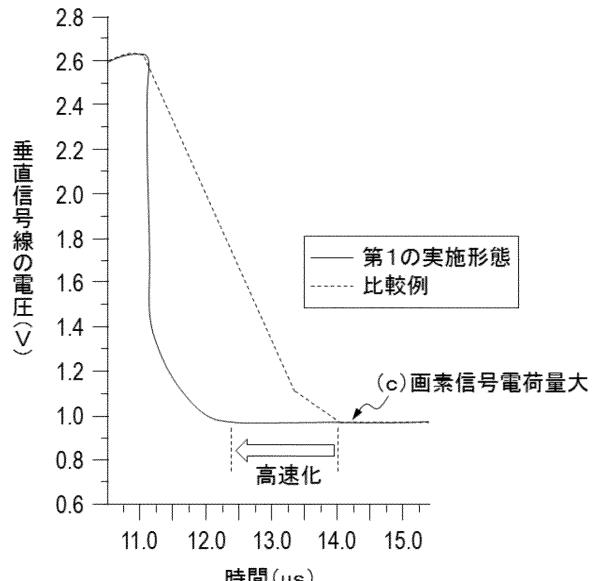
【図3 A】



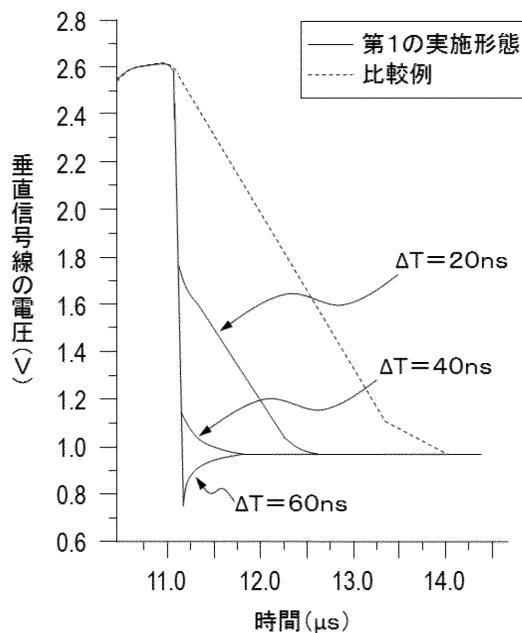
【図3 B】



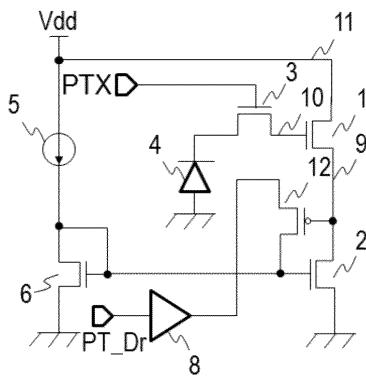
【図3 C】



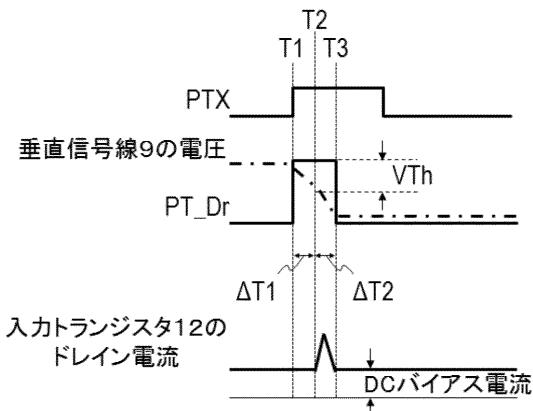
【図4】



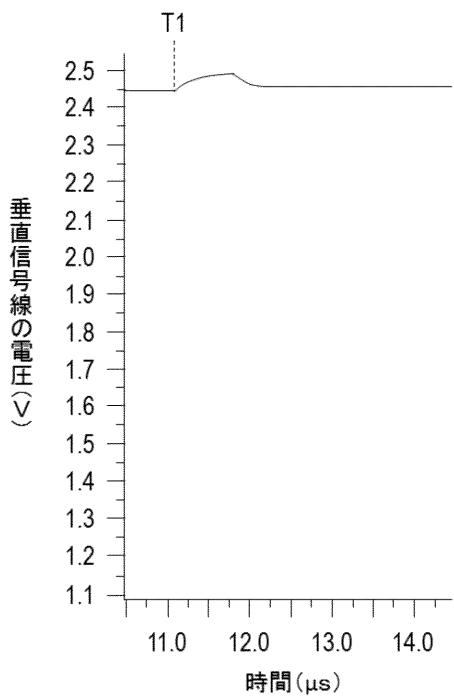
【図5】



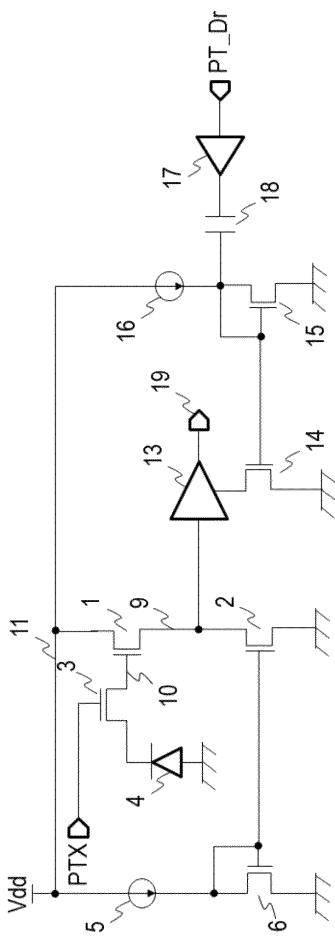
【図6】



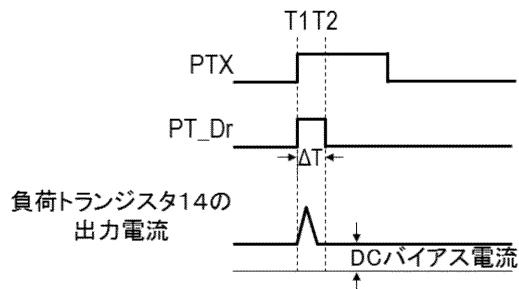
【図7】



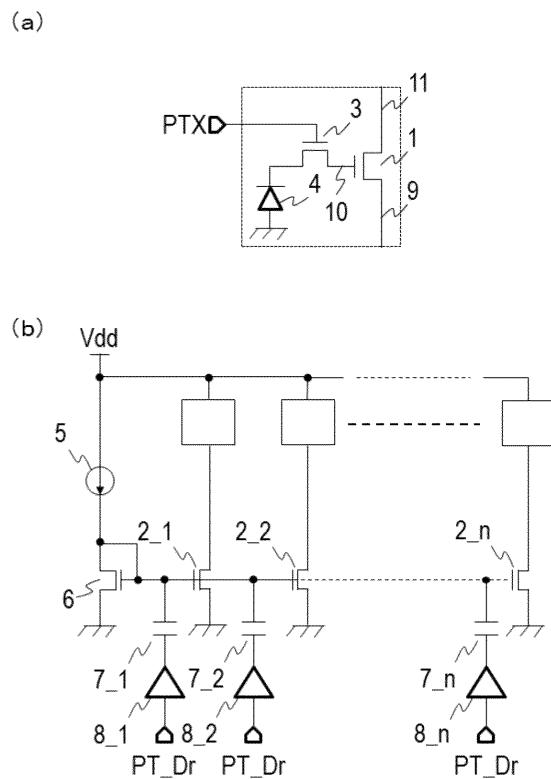
【図8】



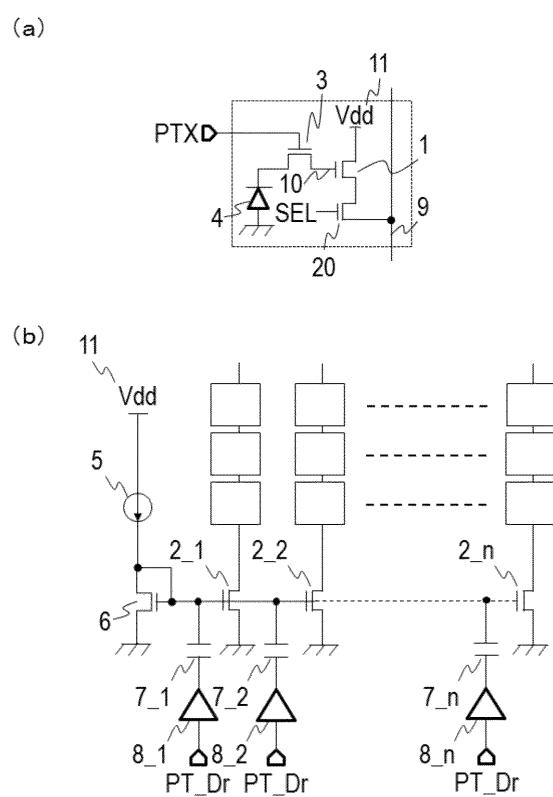
【 図 9 】



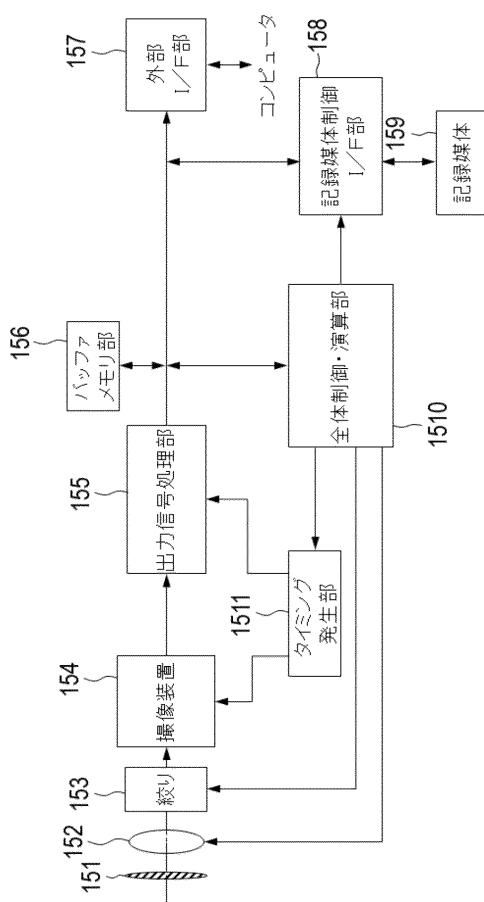
【 図 1 0 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

審査官 粕谷 満成

(56)参考文献 特開2003-228427(JP,A)
特開2010-028320(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/3745

H04N 101/00