

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) . Int. Cl.⁷
 G09G 3/28

(45) 공고일자 2005년10월28일
 (11) 등록번호 10-0524312
 (24) 등록일자 2005년10월20일

(21) 출원번호	10-2003-0079783	(65) 공개번호	10-2005-0045636
(22) 출원일자	2003년11월12일	(43) 공개일자	2005년05월17일

(73) 특허권자
 엘지전자 주식회사
 서울특별시 영등포구 여의도동 20번지

(72) 발명자
 강성호
 대구광역시북구태전동442번지우방3차105동903호

윤상진
 경상북도칠곡군석적면남율리710우방신천지타운103동1802호

(74) 대리인
 김영호

심사관 : 이만금

(54) 플라즈마 디스플레이 패널의 초기화 제어방법 및 장치

요약

본 발명은 플라즈마 디스플레이 패널의 초기화를 제어하기 위한 방법 및 장치에 관한 것이다.

이 플라즈마 디스플레이 패널의 초기화 제어방법 및 장치는 입력 영상의 평균밝기에 따라 초기화신호가 생략 가능하거나 상기 초기화신호의 전압이 조절 가능한 다수의 서브필드들로 한 프레임기간을 시분할하며, 상기 입력 영상의 평균밝기가 이전 영상의 평균밝기보다 낮을 때 상기 초기화신호가 생략되는 서브필드의 수를 증가시키거나 상기 초기화신호의 전압이 낮은 서브필드의 수를 증가시킨다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 종래의 플라즈마 디스플레이 패널을 개략적으로 나타내는 평면도이다.

도 2는 도 1에 도시된 셀의 구조를 상세히 나타내는 사시도이다.

도 3은 한 프레임 기간을 다수의 서브필드로 시분할한 서브필드 패턴을 나타내는 도면이다.

도 4는 도 1과 같은 플라즈마 디스플레이 패널을 구동하기 위한 종래의 구동신호를 나타내는 과정도이다.

도 5는 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 초기화 제어방법의 제어 수순을 단계적으로 나타내는 흐름도이다.

도 6은 본 발명의 제2 실시예에 따른 플라즈마 디스플레이 패널의 초기화 제어방법의 제어 수순을 단계적으로 나타내는 흐름도이다.

도 7은 본 발명의 제1 및 제2 실시예에 따른 플라즈마 디스플레이 패널의 초기화 제어방법에 있어서 상승 램프파형이 생략되는 서브필드의 구동신호를 나타내는 과정도이다.

도 8은 본 발명의 제3 실시예에 따른 플라즈마 디스플레이 패널의 초기화 제어방법의 제어 수순을 단계적으로 나타내는 흐름도이다.

도 9는 본 발명의 제4 실시예에 따른 플라즈마 디스플레이 패널의 초기화 제어방법의 제어 수순을 단계적으로 나타내는 흐름도이다.

도 10은 본 발명의 제3 및 제4 실시예에 따른 플라즈마 디스플레이 패널의 초기화 제어방법에 있어서 상승 램프파형의 셋업전압이 평균밝기에 따라 달라지는 것을 나타내는 과정도이다.

도 11은 본 발명의 제5 실시예에 따른 플라즈마 디스플레이 패널의 초기화 제어방법의 제어 수순을 단계적으로 나타내는 흐름도이다.

도 12는 본 발명의 제6 실시예에 따른 플라즈마 디스플레이 패널의 초기화 제어방법의 제어 수순을 단계적으로 나타내는 흐름도이다.

도 13은 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 초기화 제어장치를 나타내는 블록도이다.

도 14는 도 13에서 과정 발생부를 상세히 나타내는 블록도이다.

도 15는 도 13에 도시된 APL 계산부에서 계산되는 APL과 그에 따른 서스테인 펄스 수를 나타내는 그래프이다.

< 도면의 주요 부분에 대한 부호의 설명 >

1A, 1B : 역감마 조정부 2 : 개인 조정부

3 : 오차 확산부 4 : 서브필드 맵핑부

5 : 데이터 정렬부 6 : APL 계산부

7 : 과정 발생부 8 : 플라즈마 디스플레이 패널

101 : 타이밍 콘트롤러 102 : 데이터 구동부

103 : 스캔 구동부 104 : 서스테인 구동부

105 : 구동전압 발생부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 패널에 관한 것으로 특히, 플라즈마 디스플레이 패널의 초기화를 제어하기 위한 방법 및 장치에 관한 것이다.

플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 한다)은 가스방전에 의해 발생되는 자외선이 형광체를 예기시킬 때 형광체로부터 발생하는 가시광선을 이용하여 화상을 표시하게 된다. 이러한 PDP는 지금까지 표시수단의 주종을 이루어 왔던 음극선관(Cathode Ray Tube : CRT)에 비해 두께가 얇고 가벼우며, 고선명/대화면의 구현이 가능하다는 장점이 있다.

도 1 및 도 2를 참조하면, 3전극 교류 면방전형 PDP는 상부기판(10) 상에 형성되어진 스캔전극(Y1 내지 Yn) 및 서스테인전극(Z)과, 하부기판(18) 상에 형성되어진 어드레스전극(X1 내지 Xm)을 구비한다.

이 PDP의 방전셀들(1)은 스캔전극들(Y1 내지 Yn), 서스테인전극들(Z) 및 어드레스전극들(X1 내지 Xm)의 교차부에 형성된다.

스캔전극(Y1 내지 Yn)과 서스테인전극(Z) 각각은 투명전극(12)과, 투명전극(12)보다 작은 선폭을 가지며 투명전극의 일측 가장자리에 형성되는 금속버스전극(11)을 포함한다. 투명전극(12)은 통상 인듐틴옥사이드(Indium-Tin-Oxide : ITO)로 상부기판(10) 상에 형성된다. 금속버스전극(11)은 통상 금속으로 투명전극(12) 상에 형성되어 저항이 높은 투명전극(12)에 의한 전압강하를 줄이는 역할을 한다. 스캔전극(Y1 내지 Yn)과 서스테인전극(Z)이 형성된 상부기판(10)에는 상부 유전체층(13)과 보호막(14)이 적층된다. 상부 유전체층(13) 상에는 플라즈마 방전시 발생된 벽전하가 쌓이게 된다. 보호막(14)은 플라즈마 방전시 발생된 스퍼터링으로부터 전극들(Y1 내지 Yn, Z)과 상부 유전체층(13)을 보호하고 2차 전자의 방출 효율을 높이게 된다. 이 보호막(14)으로는 통상 산화마그네슘(MgO)이 이용된다.

어드레스전극(X1 내지 Xm)은 스캔전극(Y1 내지 Yn) 및 서스테인전극(Z)과 교차되는 방향으로 하부기판(18) 상에 형성된다. 하부기판(18) 상에는 하부 유전체층(17)과 격벽(15)이 형성된다. 하부 유전체층(17)과 격벽(15)의 표면에는 형광체층(16)이 형성된다. 격벽(15)은 어드레스전극(X1 내지 Xm)과 나란하게 형성되어 방전셀을 물리적으로 구분하여 이웃한 방전셀들(1) 사이의 전기적, 광학적 간섭을 차단한다. 형광체층(16)은 플라즈마 방전시 발생된 자외선에 의해 예기·발광되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생한다.

상/하부기판(10,18)과 격벽(15) 사이에 마련된 방전셀(1)의 방전공간에는 방전을 위한 He+ Xe, Ne+ Xe, He+ Ne+ Xe 등의 불활성 혼합가스가 주입된다.

이러한 PDP는 화상의 계조(Gray Level)를 구현하기 위하여 한 프레임을 발광횟수가 다른 여러 개의 서브필드로 나누어 시분할 구동하고 있다. 각 서브필드는 방전을 균일하게 일으키기 위한 리셋 기간, 방전셀을 선택하기 위한 어드레스 기간 및 방전횟수에 따라 계조를 구현하는 서스테인 기간으로 나뉘어진다. 예를 들어, 256 계조로 화상을 표시하고자 하는 경우에 1/60 초에 해당하는 프레임 기간(36.67ms)은 도 3과 같이 8 개의 서브필드들(SF1 내지 SF8)로 나누어지게 된다. 아울러, 8 개의 서브필드들(SF1 내지 SF8) 각각은 리셋기간, 어드레스 기간 및 서스테인 기간으로 다시 나누어지게 된다. 여기서, 각 서브필드(SF1 내지 SF8)의 리셋기간 및 어드레스 기간은 각 서브필드마다 동일한 반면에, 서스테인 기간과 그 방전 횟수는 서스테인펄스의 수에 비례하여 각 서브필드(SF1 내지 SF8)에서 2^n (n=0,1,2,3,4,5,6,7)의 비율로 증가된다. 이와 같이 각 서브필드(SF1 내지 SF8)에서 서스테인 기간이 달라지게 되므로 화상의 계조를 구현할 수 있다.

각 서브필드들(SF1 내지 SF8)에서 PDP의 전극들에 공급되는 구동신호들은 도 4와 같다.

도 4를 참조하면, 리셋기간의 초기에는 모든 스캔전극들(Y)에 상승 램프신호(Ramp-up)이 동시에 공급된다. 이와 동시에, 서스테인전극(Z)과 어드레스전극(X)에는 0[V]가 공급된다. 상승 램프신호(Ramp-up)에 의해 전화면의 셀들 내에서 스캔전극(Y)과 어드레스전극(X) 사이와 스캔전극(Y)과 서스테인전극(Z) 사이에는 약방전으로 쓰기방전이 일어난다. 이 쓰기방전에 의해 어드레스전극(X)과 서스테인전극(Z) 상에는 정극성(+)의 벽전하가 쌓이게 되며, 스캔전극(Y) 상에는 부극성(-)의 벽전하가 쌓이게 된다.

이러한 상승 램프신호(Ramp-up)이 공급된 후에 그 상승 램프신호(Ramp-up)의 피크전압보다 낮은 서스테인전압(Vs)에서 떨어지기 시작하여 부극성의 스캔바이어스전압(-Vy)까지 전압이 낮아지는 하강 램프신호(Ramp-dn)이 스캔전극들(Y)에 동시에 공급된다. 이와 동시에, 서스테인전극(Z)에는 서스테인전압(Vs)의 바이어스전압(Vz-bias)이 공급되고, 어드레

스캔전극(X)에는 0[V]가 공급된다. 이렇게 하강 램프신호(Ramp-dn)이 공급될 때, 스캔전극(Y)과 서스테인전극(Z) 사이와 스캔전극(Y)과 어드레스전극(Z) 사이에 약방전으로 소거방전이 일어난다. 이러한 소거방전에 의해 쓰기방전에 형성된 벽 전하들 중에서 어드레스방전에 불필요한 과도한 벽전하들이 소거된다.

어드레스기간에는 부극성의 스캔펄스(scan)가 스캔전극들(Y)에 순차적으로 공급됨과 동시에 스캔펄스(scan)에 동기되어 어드레스전극들(X)에 정극성의 데이터펄스(data)가 공급된다. 스캔펄스(scan)와 데이터펄스(data)의 전압차와 리셋기간에 생성된 벽전압이 더해지면서 데이터펄스(data)가 공급되는 셀 내에는 어드레스 방전이 발생된다. 어드레스방전에 의해 선택된 셀들 내에는 서스테인전압(Vs)이 공급될 때 방전이 일어날 수 있게 하는 정도의 벽전하가 형성된다. 이 어드레스기간 동안 서스테인전극(Z)에는 정극성 직류전압(Zdc)이 공급된다.

서스테인기간에는 스캔전극들(Y)과 서스테인전극들(Z)에 교번적으로 서스테인펄스(sus)가 공급된다. 그러면 어드레스방전에 의해 선택된 방전셀들(1)은 방전셀(1) 내의 벽전압과 서스테인펄스(sus)가 더해지면서 매 서스테인펄스(sus1 내지 sus6)마다 스캔전극(Y)과 서스테인전극(Z) 사이에 서스테인방전 즉, 표시방전이 발생된다. 서스테인펄스(sus1 내지 sus6)의 개수는 각 서브필드들(SF1 내지 SF8)에 부여된 휘도 가중치에 따라 서브필드마다 다르게 설정된다.

서스테인방전이 완료된 후에는 도시하지 않은 소거 램프신호이 스캔전극(Y)이나 서스테인전극(Z)에 공급된다. 소거 램프신호은 셀 내에 약방전으로 소거방전을 일으킴으로써 서스테인방전에 의해 생성된 벽전하를 소거시킨다.

그런데 PDP는 비표시기간에 발생되는 빛으로 인하여 콘트라스트비(contrast ratio)가 낮은 단점이 있다. 예컨대, 매 서브필드마다 할당되는 리셋기간 동안 전 방전셀들(1) 내에서 수 차례 발생되는 방전들 특히 상승 램프신호(Ramp-up)의 의해 발생되는 쓰기방전 또는 셋업방전에 수반하여 빛이 발생되고 그 빛에 의해 블랙휘도가 높아지게 된다.

또한, PDP는 리셋기간이 매 서브필드들마다 할당되므로 리셋기간 만큼 어드레스기간이나 서스테인기간이 제약되는 문제점이 있다. 예컨대, 매 서브필드마다 할당되는 리셋기간으로 인하여 콘터노이즈(Contour noise) 등의 화질 불량요인을 줄이기 위하여 서브필드를 추가하거나 휘도를 증가시키기 위하여 서스테인펄스를 추가하기가 곤란하다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 콘트라스트를 개선하고 리셋기간을 줄이도록 한 PDP의 초기화 제어방법 및 장치를 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 PDP의 초기화 제어방법은 입력 영상의 평균밝기에 따라 초기화신호가 생략 가능하거나 상기 초기화신호의 전압이 조절 가능한 다수의 서브필드들로 한 프레임기간을 시분할하는 단계와; 상기 입력 영상의 평균밝기가 이전 영상의 평균밝기보다 낮을 때 상기 초기화신호가 생략되는 서브필드의 수를 증가시키거나 상기 초기화신호의 전압이 낮은 서브필드의 수를 증가시키는 단계를 포함한다.

본 발명의 다른 실시예에 따른 PDP의 초기화 제어방법은 입력 영상의 평균밝기에 따라 초기화신호가 생략 가능하거나 상기 초기화신호의 전압이 조절 가능한 다수의 서브필드들로 한 프레임기간을 시분할하는 단계와; 상기 입력 영상의 평균밝기가 소정의 기준치이면 상기 서브필드들 각각에서 상기 초기화신호를 이용하여 셀의 초기화를 행하는 단계와; 상기 입력 영상의 평균밝기가 상기 기준치보다 작으면 상기 초기화신호가 생략되는 서브필드의 수를 증가시키거나 상기 초기화신호의 전압이 낮은 서브필드의 수를 증가시키는 단계와; 상기 입력 영상의 평균밝기가 상기 기준치보다 높으면 상기 초기화신호가 생략되는 서브필드의 수를 증가시키거나 상기 초기화신호의 전압이 낮은 서브필드의 수를 증가시키는 단계를 포함한다.

상기 초기화신호는 전압이 점진적으로 상승하여 약방전으로 쓰기방전을 일으키기 위한 램프신호인 것을 특징으로 한다.

본 발명의 실시예에 따른 PDP의 초기화 제어장치는 입력 영상의 평균밝기에 따라 초기화신호가 생략 가능하거나 상기 초기화신호의 전압이 조절 가능한 다수의 서브필드들로 시분할 구동되는 PDP와; 상기 입력 영상의 평균밝기를 계산하는 APL 계산부와; 상기 APL 계산부에 의해 계산된 상기 입력 영상의 평균밝기가 이전 영상의 평균밝기보다 낮을 때 상기 초기화신호가 생략되는 서브필드의 수를 증가시키거나 상기 초기화신호의 전압이 낮은 서브필드의 수를 증가시키는 초기화제어부를 구비한다.

본 발명의 다른 실시예에 따른 PDP의 초기화 제어장치는 입력 영상의 평균밝기에 따라 초기화신호가 생략 가능하거나 상기 초기화신호의 전압이 조절 가능한 다수의 서브필드들로 시분할 구동되는 PDP와; 상기 입력 영상의 평균밝기를 계산하는 APL 계산부와; 상기 APL 계산부에 의해 계산된 상기 입력 영상의 평균밝기가 소정의 기준치이면 상기 서브필드들 각각에서 상기 초기화신호를 상기 PDP에 공급하는 제1 초기화 제어부와; 상기 입력 영상의 평균밝기가 상기 기준치보다 작으면 상기 초기화신호가 생략되는 서브필드의 수를 증가시키거나 상기 초기화신호의 전압이 낮은 서브필드의 수를 증가시키는 제2 초기화 제어부와; 상기 입력 영상의 평균밝기가 상기 기준치보다 높으면 상기 초기화신호가 생략되는 서브필드의 수를 증가시키거나 상기 초기화신호의 전압이 낮은 서브필드의 수를 증가시키는 제3 초기화 제어부를 구비한다.

삭제

삭제

상기 초기화 제어부들은 상기 초기화신호를 발생하는 초기화신호 발생부와;

상기 APL에 의해 계산된 평균밝기신호에 응답하여 상기 초기화신호 발생부를 제어하기 위한 제어부를 구비한다.
상기 생략 가능한 초기화신호는 상승 램프신호이다.
상기 생략 가능한 초기화신호는 전체 초기화신호 중 일부이다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 표 1 내지 표 7과 도 5 내지 도 15를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

본 발명의 제1 실시예에 따른 PDP의 초기화 제어방법은 한 화면의 평균휘도레벨(Average Picture Level : 이하 "APL"이라 한다)을 계산하고 그 APL이 낮을수록 가중치가 높은 서브필드들에서 상승 램프신호(Ramp-up)를 더 많이 생략한다.

아래의 표 1과 도 5는 서브필드의 개수가 8 개이고 최대 1024 계조까지 표현할 수 있는 서브필드패턴을 가정하여 본 발명의 제1 실시예에 따른 PDP의 초기화 제어방법에 있어서 상승 램프신호(Ramp-up)의 생략여부를 나타낸다.

표 1.

	SF1 (1×k)	SF2 (2×k)	SF3 (4×k)	SF4 (8×k)	SF5 (16×k)	SF6 (32×k)	SF7 (64×k)	SF8 (128×k)
APL1	있음	없음	없음	없음	없음	없음	없음	없음
APL2	있음	있음	없음	없음	없음	없음	없음	없음
APL3	있음	있음	있음	없음	없음	없음	없음	없음
APL4	있음	있음	있음	있음	없음	없음	없음	없음
APL5	있음	있음	있음	있음	있음	없음	없음	없음
APL6	있음	있음	있음	있음	있음	있음	없음	없음
APL7	있음	있음	있음	있음	있음	있음	없음	없음
APL8	있음	있음	있음	있음	있음	있음	있음	없음

표 1에 있어서, ()안의 숫자는 각 서브필드에 부여되는 휘도 가중치이며 'k'는 APL에 따라 휘도 가중치를 최대 4 배로 증산시키는 값이다. 예를 들면, APL이 낮을 수록 제8 서브필드(SF8)의 가중치 '128'은 '256', '384', '512'로 조정된다.

APL은 최대 1024의 계조에 대응하여 0~1023까지 총 1024 단계로 세분화되며, 총 1024 단계의 APL는 표 1에서 알 수 있는 바 다시 8 개의 APL군으로 나뉜다. 제1 APL군(APL1)은 가장 낮은 범위의 APL로서 0~100 단계의 APL을 포함하며, 제2 APL군(APL2)은 101~200 단계의 APL을 포함한다. 제3 APL군(APL3)은 201~300 단계의 APL, 제4 APL군

(APL4)은 301~400 단계의 APL, 제5 APL군(APL5)은 401~500 단계의 APL, 제6 APL군(APL6)은 501~600 단계의 APL, 제7 APL군(APL7)은 601~700 단계의 APL을 포함한다. 그리고 제8 APL군(APL8)은 가장 높은 범위의 APL로서 701~1023 단계의 APL을 포함한다.

표 1 및 도 5에서 알 수 있는 바 APL이 제1 APL군(APL1)으로 계산되어지면 휘도 가중치가 가장 낮은 제1 서브필드(SF1)에만 상승 램프신호(Ramp-up)이 할당되고 그 이외의 서브필드들(SF2 내지 SF8)에는 상승 램프신호(Ramp-up)이 할당되지 않는다.

그리고 APL이 101~200 사이의 값 즉, 제2 APL군(APL2)으로 계산되면 제1 및 제2 서브필드(SF1, SF2)에만 상승 램프신호(Ramp-up)이 인가된다.

화면이 밝아지면서 APL이 601~700 사이의 값 즉, 제7 APL군(APL7)으로 계산되면 제8 서브필드(SF8)를 제외한 제1 내지 제7 서브필드들(SF1 내지 SF7)에 상승 램프신호(Ramp-up)이 인가되고, 화면이 퍼크화이트에 근접하는 밝기로 더 밝아지면서 APL이 701~1023 사이의 값 즉, 제8 APL군(APL8)으로 계산되면 모든 서브필드들(SF1 내지 SF8)에 상승 램프신호(Ramp-up)이 인가된다.

APL 값이 낮으면 즉, 화면이 비교적 어두운 경우에는 데이터들이 최하위 비트들(Least Significant Bits : LSB)에 대응하는 저 휘도 가중치의 서브필드들 예컨데, 제1 내지 제3 서브필드들(SF1 내지 SF3)에 주로 존재하는 반면에, 최상위 비트들(Most Significant Bits : MSB)에 대응하는 고 휘도 가중치의 서브필드들에 거의 존재하지 않는다. 따라서, 본 발명의 제1 실시예에 따른 PDP의 초기화 제어방법은 어두운 화면에서 데이터가 존재하는 서브필드들의 초기화를 안정화시키는 반면에 데이터가 없는 즉, 켜지는 셀이 거의 없는 고 휘도 가중치의 서브필드들에서 리셋기간을 줄이거나 생략함으로써 어두운 화면에서 블랙휘도를 낮추어 콘트라스트비를 높이게 된다. 그리고 본 발명의 제1 실시예에 따른 PDP의 초기화 제어방법은 밝은 화면에서 리셋기간이 포함되는 서브필드들의 개수를 증가시켜 데이터가 존재할 수 있는 거의 모든 서브필드들의 초기화를 안정화시켜 매 서브필드마다 구동마진을 충분히 확보할 수 있다.

한편, 하강 램프신호(Ramp-dn)은 매 서브필드마다 할당될 수도 있으며, APL에 따라 상승 램프신호(Ramp-up)과 함께 생략될 수도 있다.

본 발명의 제2 실시예에 따른 PDP의 초기화 제어방법은 한 화면의 APL을 계산하고 그 APL이 낮을수록 가중치가 높은 서브필드들의 상승 램프신호(Ramp-up)를 더 많이 생략함과 아울러, APL이 높을수록 가중치가 낮은 서브필드들의 상승 램프신호(Ramp-up)를 더 많이 생략한다.

아래의 표 2와 도 6은 서브필드의 개수가 8 개이고 최대 1024 계조까지 표현할 수 있는 서브필드패턴을 가정하여 본 발명의 제2 실시예에 따른 PDP의 초기화 제어방법에 있어서 상승 램프신호(Ramp-up)의 생략여부를 나타낸다.

표 2.

	SF1 (1×k)	SF2 (2×k)	SF3 (4×k)	SF4 (8×k)	SF5 (16×k)	SF6 (32×k)	SF7 (64×k)	SF8 (128×k)
APL1	있음	있음	없음	없음	없음	없음	없음	없음
APL2	있음	있음	있음	있음	없음	없음	없음	없음
APL3	있음	있음	있음	있음	있음	있음	없음	없음
APL4	있음	있음	있음	있음	있음	있음	있음	있음
APL5	있음	있음	있음	있음	있음	있음	있음	있음
APL6	없음	없음	있음	있음	있음	있음	있음	있음
APL7	없음	없음	없음	없음	있음	있음	있음	있음
APL8	없음	없음	없음	없음	없음	없음	있음	있음

표 2 및 도 6에서 알 수 있는 바 APL이 제1 APL군(APL1)으로 계산되어지면 휘도 가중치가 가장 낮은 제1 및 제2 서브필드(SF1, SF2)에만 상승 램프신호(Ramp-up)이 할당되고 그 이외의 서브필드들(SF3 내지 SF8)에는 상승 램프신호(Ramp-up)이 할당되지 않는다. 그리고 APL이 0~100 사이의 값 즉, 제2 APL군(APL2)으로 계산되면 제1 내지 제4 서브필드(SF1 내지 SF4)에 상승 램프신호(Ramp-up)이 인가되고, APL이 제3 APL군(APL3)으로 계산되면 제1 내지 제6 서브필드(SF1 내지 SF6)에 상승 램프신호(Ramp-up)이 인가된다.

중간 밝기로 밝기가 밝아지면서 즉, APL이 제4 및 제5 APL군(APL4, APL5) 내에서 계산되면 상승 램프신호(Ramp-up)은 모든 서브필드들(SF1 내지 SF8)에 인가된다.

화면이 밝아지면서 APL이 제6 APL군(APL6)으로 계산되면 제3 내지 제8 서브필드(SF3 내지 SF8)에 상승 램프신호(Ramp-up)이 인가되고, 제7 APL군(APL7)으로 계산되면 제5 내지 제8 서브필드(SF5 내지 SF8)에 상승 램프신호(Ramp-up)이 인가된다. 화면이 퍼크화이트에 균접하는 밝기로 더 밝아지면서 APL이 제8 APL군(APL8)으로 계산되면 제7 및 제8 서브필드들(SF7, SF8)에만 상승 램프신호(Ramp-up)이 인가된다.

APL 값이 낮으면 즉, 화면이 비교적 어두운 경우에는 데이터들이 최하위 비트들(Least Significant Bits : LSB)에 대응하는 저 휘도 가중치의 서브필드들 예컨데, 제1 내지 제3 서브필드들(SF1 내지 SF3)에 주로 존재하는 반면에, 최상위 비트들(Most Significant Bits : MSB)에 대응하는 고 휘도 가중치의 서브필드들에 거의 존재하지 않는다. 그리고 방전횟수가 많을수록 방전셀 내에 하전입자가 많아지고 안정화되는 프라이밍 효과가 강해지면서 방전셀의 방전특성이 안정화된다. 따라서, 본 발명의 제2 실시예에 따른 PDP의 초기화 제어방법은 어두운 화면에서 데이터가 존재하는 서브필드들의 초기화를 안정화시키는 반면에 데이터가 없는 즉, 켜지는 셀이 거의 없는 고 휘도 가중치의 서브필드들에서 리셋기간을 생략함으로써 어두운 화면에서 블랙휘도를 낮추어 콘트라스트비를 높이게 된다. 그리고 본 발명의 제2 실시예에 따른 PDP의 초기화 제어방법은 방전횟수가 많아지기 때문에 비교적 각 서브필드에서 구동마진이 높아지는 밝은 화면에서 밝기가 밝아질수록 상승 램프신호(Ramp-up)이 생략되는 서브필드의 개수를 증가시킨다. 밝은 화면에서 상승 램프신호(Ramp-up)이 생략되는 서브필드는 밝은 화면에서 최상위 비트들(MSB)에 데이터가 존재할 확률이 높기 때문에 최하위 비트들(LSB)에 대응하는 저 휘도 가중치의 서브필드들에서 리셋기간이 생략된다.

도 7은 본 발명의 제1 및 제2 실시예에 따른 PDP의 초기화 제어방법에 있어서 상승 램프신호(Ramp-up)이 생략되는 서브필드의 구동신호들을 나타낸다. 도 7에서 알 수 있는 바 본 발명의 제1 및 제2 실시예에 따른 PDP의 초기화 제어방법은 확률적으로 데이터가 거의 없는 서브필드들에서 상승 램프신호(Ramp-up)이 생략되므로 그 만큼 리셋기간이 줄어들게 되고 리셋기간에 쓰기 방전이 발생되지 않으므로 블랙휘도가 낮아진다.

본 발명의 제3 실시예에 따른 PDP의 초기화 제어방법은 APL이 낮을수록 제1 서브필드(SF1)를 제외한 나머지 서브필드들(SF2 내지 SF8)에서 상승 램프신호(Ramp-up)의 셋업전압(Vsetup)을 낮추게 된다.

아래의 표 3과 도 8은 서브필드의 개수가 8 개이고 최대 1024 계조까지 표현할 수 있는 서브필드패턴을 가정하여 본 발명의 제3 실시예에 따른 PDP의 초기화 제어방법에 있어서 상승 램프신호(Ramp-up)의 셋업전압(Vsetup)을 나타낸다.

표 3.

	SF1 (1×k)	SF2 (2×k)	SF3 (4×k)	SF4 (8×k)	SF5 (16×k)	SF6 (32×k)	SF7 (64×k)	SF8 (128×k)
APL1	210V	100V	100V	100V	100V	100V	100V	100V
APL2	210V	110V	110V	110V	110V	110V	110V	110V
APL3	210V	120V	120V	120V	120V	120V	120V	120V
APL4	210V	130V	130V	130V	130V	130V	130V	130V
APL5	210V	140V	140V	140V	140V	140V	140V	140V
APL6	210V	150V	150V	150V	150V	150V	150V	150V
APL7	210V	160V	160V	160V	160V	160V	160V	160V
APL8	210V	170V	170V	170V	170V	170V	170V	170V

제1 서브필드(SF1)는 프레임이 시작되는 서브필드로써 초기화가 가장 안정화될 필요가 있다. 이 때문에 제1 서브필드(SF1)에는 APL에 관계없이 180V~240V 사이의 전압, 바람직하게는 210V 셋업전압의 상승 램프신호(Ramp-up)으로 초기화를 위한 쓰기방전이 발생된다. 이 제1 서브필드(SF1)를 제외한 다른 서브필드들(SF2 내지 SF8)에는 APL에 따라 상승 램프신호(Ramp-up)의 셋업전압이 달라진다. APL이 낮을 때 즉, 어두운 화면에서 블랙휘도가 낮아질 수 있도록 APL이 낮은 값으로 계산되어지면 제2 내지 제8 서브필드(SF2 내지 SF8)에서의 셋업전압(Vsetup)은 낮게 된다.

표 3과 도 8에서 알 수 있는 바 APL이 제1 APL군(APL1)으로 계산되어지면 제2 내지 제8 서브필드(SF2 내지 SF8)에서의 셋업전압(Vsetup)은 100V로 가장 낮게 설정된다. APL이 제2 APL군(APL2)으로 계산되면 제2 내지 제8 서브필드

(SF2 내지 SF8)에서의 셋업전압(Vsetup)은 110V로 설정된다. 이렇게 APL이 낮을수록 셋업전압(Vsetup)은 높게 설정되며, 화면이 밝아지면서 APL이 제7 APL군(APL7)으로 계산되면 제2 내지 제8 서브필드(SF2 내지 SF8)에서의 셋업전압(Vsetup)은 160V로 설정되고 제8 APL군(APL8)으로 계산되면 제2 내지 제8 서브필드(SF2 내지 SF8)에서의 셋업전압(Vsetup)은 170V로 설정된다.

본 발명의 제4 실시예에 따른 PDP의 초기화 제어방법은 APL이 낮을수록 그리고 APL이 높을수록 제1 서브필드(SF1)를 제외한 나머지 서브필드들(SF2 내지 SF8)에서 상승 램프신호(Ramp-up)의 셋업전압(Vsetup)을 낮추게 된다.

아래의 표 4와 도 9는 서브필드의 개수가 8 개이고 최대 1024 계조까지 표현할 수 있는 서브필드패턴을 가정하여 본 발명의 제4 실시예에 따른 PDP의 초기화 제어방법에 있어서 상승 램프신호(Ramp-up)의 셋업전압(Vsetup)을 나타낸다.

표 4.

	SF1 (1×k)	SF2 (2×k)	SF3 (4×k)	SF4 (8×k)	SF5 (16×k)	SF6 (32×k)	SF7 (64×k)	SF8 (128×k)
APL1	210V	100V	100V	100V	100V	100V	100V	100V
APL2	210V	110V	110V	110V	110V	110V	110V	110V
APL3	210V	120V	120V	120V	120V	120V	120V	120V
APL4	210V	130V	130V	130V	130V	130V	130V	130V
APL5	210V	140V	140V	140V	140V	140V	140V	140V
APL6	210V	130V	130V	130V	130V	130V	130V	130V
APL7	210V	120V	120V	120V	120V	120V	120V	120V
APL8	210V	110V	110V	110V	110V	110V	110V	110V

제1 서브필드(SF1)는 프레임이 시작되는 서브필드로써 초기화가 가장 안정화될 필요가 있다. 이 때문에 제1 서브필드(SF1)에는 APL에 관계없이 180V~240V 사이의 전압, 바람직하게는 210V 셋업전압의 상승 램프신호(Ramp-up)으로 초기화를 위한 쓰기방전이 발생된다. 이 제1 서브필드(SF1)를 제외한 다른 서브필드들(SF2 내지 SF8)에는 APL에 따라 상승 램프신호(Ramp-up)의 셋업전압(Vsetup)이 달라진다. APL이 낮을 때 즉, 어두운 화면에서 블랙휘도가 낮아질 수 있도록 APL이 낮은 값으로 계산되어지면 제2 내지 제8 서브필드(SF2 내지 SF8)에서의 셋업전압(Vsetup)은 낮게 된다. APL이 높을 때 즉, 밝은 화면에서는 방전 횟수가 많기 때문에 프라이밍 효과가 강하다. 이 때문에 밝은 화면에서는 셋업전압(Vsetup)이 낮은 경우에도 초기화를 위한 쓰기방전이 전 방전셀에서 안정되게 일어날 수 있으므로 APL이 높은 값으로 계산되어지면 제2 내지 제8 서브필드(SF2 내지 SF8)에서의 셋업전압(Vsetup)은 낮게 된다.

표 4와 도 9에서 알 수 있는 바 APL이 제1 APL군(APL1)으로 계산되어지면 제2 내지 제8 서브필드(SF2 내지 SF8)에서의 셋업전압(Vsetup)은 100V로 가장 낮게 설정된다. APL이 제2 APL군(APL2)으로 계산되면 제2 내지 제8 서브필드(SF2 내지 SF8)에서의 셋업전압(Vsetup)은 110V로 설정된다. 이렇게 APL이 높을수록 셋업전압(Vsetup)은 높게 설정되며, 화면이 밝아지면서 APL이 제6 APL군(APL6)으로 계산되면 제2 내지 제8 서브필드(SF2 내지 SF8)에서의 셋업전압(Vsetup)은 130V로 다시 낮게 설정된다. 그리고 화면이 밝을수록 셋업전압(Vsetup)은 더 낮게 설정된다. 즉, APL이 제7 APL군(APL7)로 계산되면 제2 내지 제8 서브필드(SF2 내지 SF8)에서의 셋업전압(Vsetup)은 120V로 설정되고, 제8 APL군(APL8)으로 계산되면 제2 내지 제8 서브필드(SF2 내지 SF8)에서의 셋업전압(Vsetup)은 110V로 설정된다.

도 10은 본 발명의 제3 및 제4 실시예에 따른 PDP의 초기화 제어방법에 있어서 상승 램프신호(Ramp-up)이 셋업전압(Vsetup)을 나타낸다. 도 10에서 알 수 있는 바 본 발명의 제3 및 제4 실시예에 따른 PDP의 초기화 제어방법은 APL에 따라 적어도 일부 서브필드에서 상승 램프신호(Ramp-up)의 셋업전압(Vsetup)이 점선으로 나타낸 바와 같이 100V~200V 사이에서 가변적으로 설정된다. 셋업전압(Vsetup)이 점선과 같이 낮게 설정되면 그 만큼 상승 램프신호(Ramp-up)에 의한 쓰기 방전이 약하게 발생되어 블랙휘도를 낮출 수 있다.

본 발명의 제5 실시예에 따른 PDP의 초기화 제어방법은 APL이 낮을수록 상승 램프신호(Ramp-up)이 생략되는 서브필드의 개수를 많게 하거나 적어도 일부 서브필드에서 상승 램프신호(Ramp)의 셋업전압(Vsetup)을 낮게 설정한다. 그리고 본 발명의 제5 실시예에 따른 PDP의 초기화 제어방법은 APL이 높을수록 상승 램프신호(Ramp-up)이 생략되는 서브필드의 개수를 작게 하거나 적어도 일부 서브필드에서 상승 램프신호(Ramp-up)의 셋업전압(Vsetup)을 높게 설정한다.

아래의 표 5와 도 11은 서브필드의 개수가 8 개이고 최대 1024 계조까지 표현할 수 있는 서브필드패턴을 가정하여 본 발명의 제5 실시예에 따른 PDP의 초기화 제어방법에 있어서 상승 램프신호(Ramp-up)의 생략여부와 셋업전압(Vsetup)을 나타낸다.

표 5.

	SF1 (1×k)	SF2 (2×k)	SF3 (4×k)	SF4 (8×k)	SF5 (16×k)	SF6 (32×k)	SF7 (64×k)	SF8 (128×k)
APL1	있음	100V	100V	100V	100V	100V	100V	100V
APL2	있음	120V	120V	120V	120V	120V	120V	120V
APL3	있음	없음	없음	없음	없음	없음	없음	없음
APL4	있음	있음	없음	없음	없음	없음	없음	없음
APL5	있음	있음	있음	없음	없음	없음	없음	없음
APL6	있음	있음	있음	있음	없음	없음	없음	없음
APL7	있음	있음	있음	있음	있음	없음	없음	없음
APL8	있음	있음	있음	있음	있음	있음	없음	없음

표 5에 있어서, '있음'은 상승 램프신호(Ramp-up)가 생략되지 않는 서브필드를 의미한다. 이 서브필드들에서는 정상적인 210V 셋업전압(Vsetup)의 상승 램프신호(Ramp-up)이 인가된다. '없음'은 상승 램프신호(Ramp-up)가 생략되거나 셋업전압(Vsetup)이 140V로 낮게 설정되는 상승 램프신호(Ramp-up)가 인가되는 서브필드를 의미한다.

제1 서브필드(SF1)에는 210V 셋업전압의 상승 램프신호(Ramp-up)으로 초기화를 위한 쓰기방전이 발생된다. 이 제1 서브필드(SF1)를 제외한 다른 서브필드들(SF2 내지 SF8)에는 APL에 따라 상승 램프신호(Ramp-up)가 생략되거나 상승 램프신호(Ramp-up)의 셋업전압(Vsetup)이 달라진다. APL이 낮을 때 즉, 어두운 화면에서 블랙휘도가 낮아질 수 있도록 APL이 낮은 값으로 계산되어지면 제2 내지 제8 서브필드(SF2 내지 SF8) 중 적어도 일부에는 상승 램프신호(Ramp-up)가 생략되거나 낮은 셋업전압(Vsetup)의 상승 램프신호(Ramp-up)가 인가된다.

표 5와 도 11에서 알 수 있는 바 APL이 제1 APL군(APL1)으로 계산되어지면 제2 내지 제8 서브필드(SF2 내지 SF8)에는 100V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가된다. APL이 제2 APL군(APL2)으로 계산되면 제2 내지 제8 서브필드(SF2 내지 SF8)에는 120V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가된다. APL이 제3 APL군(APL3)으로 계산되면 제2 내지 제8 서브필드(SF2 내지 SF8)에는 상승 램프신호(Ramp-up)가 생략되거나 140V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가된다. APL이 제4 APL군(APL4)으로 계산되면 제1 및 제2 서브필드(SF1, SF2)에는 210V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가되고 제3 내지 제8 서브필드(SF3 내지 SF8)에는 상승 램프신호(Ramp-up)가 생략되거나 140V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가된다. APL이 제5 APL군(APL5)으로 계산되면 제1 내지 제3 서브필드(SF1 내지 SF3)에는 210V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가되고 제4 내지 제8 서브필드(SF4 내지 SF8)에는 상승 램프신호(Ramp-up)가 생략되거나 140V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가된다. 이렇게 APL이 높을수록 상승 램프신호(Ramp-up)가 생략되는 서브필드의 개수가 줄어들거나 정상적인 셋업전압(Vsetup)의 상승 램프신호(Ramp-up)가 인가되는 서브필드의 개수가 줄어들게 된다. 즉, 화면이 밝아지면서 APL이 제7 APL군(APL7)으로 계산되면 제1 내지 제5 서브필드(SF1 내지 SF5)에는 210V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가되고 제6 내지 제8 서브필드(SF6 내지 SF8)에는 상승 램프신호(Ramp-up)가 생략되거나 140V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가된다. 그리고 APL이 제8 APL군(APL8)으로 계산되면 제1 내지 제6 서브필드(SF1 내지 SF6)에는 210V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가되고 제7 및 제8 서브필드(SF7, SF8)에는 상승 램프신호(Ramp-up)가 생략되거나 140V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가된다.

본 발명의 제5 실시예에 따른 PDP의 초기화 제어방법은 표 6과 같이 APL이 낮을수록 상승 램프신호(Ramp-up)가 생략되는 서브필드의 개수를 많게 하고 APL이 높을 때 적어도 일부 서브필드에서 상승 램프신호(Ramp-up)의 셋업전압(Vsetup)이 낮게 설정된다.

표 6.

	SF1 (1×k)	SF2 (2×k)	SF3 (4×k)	SF4 (8×k)	SF5 (16×k)	SF6 (32×k)	SF7 (64×k)	SF8 (128×k)
APL1	있음	없음	없음	없음	없음	없음	없음	없음
APL2	있음	있음	없음	없음	없음	없음	없음	없음
APL3	있음	있음	있음	없음	없음	없음	없음	없음
APL4	있음	있음	있음	있음	없음	없음	없음	없음
APL5	있음	140V	140V	140V	140V	140V	140V	140V
APL6	있음	150V	150V	150V	150V	150V	150V	150V
APL7	있음	160V	160V	160V	160V	160V	160V	160V
APL8	있음	170V	170V	170V	170V	170V	170V	170V

본 발명의 제6 실시예에 따른 PDP의 초기화 제어방법은 APL이 낮을수록 그리고 APL이 높을수록 상승 램프신호(Ramp-up)가 생략되거나 상승 램프신호(Ramp-up)의 셋업전압(Vsetup)이 낮게 설정된다.

아래의 표 7과 도 12는 서브필드의 개수가 8 개이고 최대 1024 계조까지 표현할 수 있는 서브필드패턴을 가정하여 본 발명의 제6 실시예에 따른 PDP의 초기화 제어방법에 있어서 상승 램프신호(Ramp-up)의 생략여부와 셋업전압(Vsetup)을 나타낸다.

표 7.

	SF1 (1×k)	SF2 (2×k)	SF3 (4×k)	SF4 (8×k)	SF5 (16×k)	SF6 (32×k)	SF7 (64×k)	SF8 (128×k)
APL1	있음	100V	100V	100V	100V	100V	100V	100V
APL2	있음	120V	120V	120V	120V	120V	120V	120V
APL3	있음	없음	없음	없음	없음	없음	없음	없음
APL4	있음	있음	없음	없음	없음	없음	없음	없음
APL5	있음	있음	있음	없음	없음	없음	없음	없음
APL6	있음	있음	없음	없음	없음	없음	없음	없음
APL7	있음	120V	120V	120V	120V	120V	120V	120V
APL8	있음	100V	100V	100V	100V	100V	100V	100V

제1 서브필드(SF1)는 프레임이 시작되는 서브필드로써 초기화가 가장 안정화될 필요가 있다. 이 때문에 제1 서브필드(SF1)에는 APL에 관계없이 180V~240V 사이의 전압, 바람직하게는 210V 셋업전압의 상승 램프신호(Ramp-up)으로 초기화를 위한 쓰기방전이 발생된다. 이 제1 서브필드(SF1)를 제외한 다른 서브필드들(SF2 내지 SF8)에는 APL이 낮을 때와 APL이 높을 때 상승 램프신호(Ramp-up)이 생략되는 서브필드들의 개수가 증가되거나 셋업전압(Vsetup)이 낮게 설정된다.

표 7과 도 12에서 알 수 있는 바 APL이 제1 APL군(APL1)으로 계산되어지면 제2 내지 제8 서브필드(SF2 내지 SF8)에서의 셋업전압(Vsetup)은 100V로 낮게 설정된다. APL이 제2 APL군(APL2)으로 계산되면 제2 내지 제8 서브필드(SF2 내지 SF8)에서의 셋업전압(Vsetup)은 120V로 설정된다. APL이 제3 APL군(APL3)으로 계산되면 제2 내지 제8 서브필드(SF2 내지 SF8)에는 상승 램프신호(Ramp-up)가 생략되거나 140V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가된다. APL이 제4 APL군(APL4)으로 계산되면 제1 및 제2 서브필드(SF1, SF2)에는 210V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가되고 제3 내지 제8 서브필드(SF3 내지 SF8)에는 상승 램프신호(Ramp-up)가 인가된다. APL이 제5 APL군(APL5)으로 계산되면 제1 내지 제3 서브필드(SF1 내지 SF3)에는 210V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가되고 제4 내지 제8 서브필드(SF4 내지 SF8)에는 상승 램프신호(Ramp-up)가 인가된다. APL이 제6 APL군(APL6) 이상으로 높아지면 상승 램프신호(Ramp-up)가 생략되는 서브필드의 개수가 늘어나거나 셋업전압이 낮아지게 된다. 즉, 화면이 밝아지면서 APL이 제5 APL군(APL5)으로 계산되면 제1 및 제2 서브필드(SF1, SF2)에는 210V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가되고 제3 내지 제8 서브필드(SF3 내지 SF8)에는 상승 램프신호(Ramp-up)가 생략되거나 140V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가된다. APL이 제7 APL군(APL7)으로 계산되면 제1 서브필드(SF1)에는 210V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가되고 제2 내지 제8 서브필드(SF2 내지 SF8)에는 120V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가되고 제3 내지 제8 서브필드(SF3 내지 SF8)에는 상승 램프신호(Ramp-up)가 생략되거나 140V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가된다.

(Vsetup)으로 상승 램프신호(Ramp-up)가 인가된다. 그리고 APL이 제8 APL군(APL8)으로 계산되면 제1 서브필드(SF1)에는 210V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가되고 제2 내지 제8 서브필드(SF7, SF8)에는 100V의 셋업전압(Vsetup)으로 상승 램프신호(Ramp-up)가 인가된다.

도 13 및 도 14는 본 발명의 PDP의 초기화 제어장치를 나타낸 것이다.

도 13 및 도 14를 참조하면, 본 발명의 실시예에 따른 PDP의 초기화 제어장치는 제1 역감마 조정부(1A)와 데이터 정렬부(5) 사이에 접속된 개인 조정부(2), 오차확산부(3) 및 서브필드 맵핑부(4)와, 제2 역감마 조정부(1B)와 과형 발생부(7) 사이에 접속된 APL 계산부(6)를 구비한다.

제1 및 제2 역감마 보정부(1A, 1B)는 입력라인(10)으로부터의 디지털 비디오 데이터(RGB)를 역감마보정하여 영상신호의 계조값에 대한 휘도를 선형적으로 변환시킨다.

개인 조정부(2)는 적색, 녹색 및 청색의 각 데이터별로 유효이득을 조정하여 색온도를 보상한다.

오차 확산부(3)는 개인 조정부(2)로부터 입력되는 디지털 비디오 데이터의 양자화 오차를 인접한 셀들로 확산시킴으로써 휘도값을 미세하게 조정하게 된다. 이를 위하여, 오차확산부(3)는 데이터를 정수부와 소수부로 분리하고 소수부에 플로이드-스타인버그(Floyd-Steinberg) 계수를 곱한다.

서브필드 맵핑부(4)는 오차 확산부(3)로부터 입력된 데이터를 각 비트별로 미리 저장된 서브필드 패턴에 맵핑하고 그 맵핑 데이터를 데이터 정렬부(5)에 공급한다.

데이터 정렬부(5)는 서브필드 맵핑부(4)로부터 입력되는 디지털 비디오 데이터를 PDP(8)의 데이터 구동부(102)에 공급한다. 데이터 구동부(102)는 PDP(8)의 어드레스전극들(X1 내지 Xm)에 접속되어 데이터 정렬부(5)로부터 입력되는 데이터를 1 수평라인분씩 래치한 후에 래치된 데이터를 1 수평기간 단위로 어드레스전극들(X1 내지 Xm)에 공급한다.

APL 계산부(6)는 제2 역감마 보정부(1B)로부터 입력되는 디지털 비디오 데이터에 대하여 한 화면 단위로 APL을 계산하고 계산된 APL에 대응하는 서스테인 펄스 수 데이터(Nsus)를 출력한다. 그리고 APL 계산부(6)는 계산된 APL이 포함되는 APL군의 식별 데이터(APL#)를 출력한다. 이를 위하여, APL 계산부(6)는 도 15와 같이 APL에 대응하는 서스테인 수 데이터(Nsus)가 등재된 룩업 테이블을 검색하여 서스테인 수데이터(Nsus)와 APL군의 식별 데이터(APL#)를 읽어낸다.

과형 발생부(7)는 도 14와 같이 타이밍 콘트롤러(101), 구동전압 발생부(105), 스캔 구동부(103) 및 서스테인 구동부(104)를 구비한다.

타이밍 콘트롤러(101)는 수직/수평 동기신호(H, V)과 클럭신호(CLK)를 이용하여 각 구동부(102, 103, 104)에 필요한 타이밍 제어신호(Cx, Cy, Cz)를 발생하고 그 타이밍 제어신호(Cx, Cy, Cz)를 해당 구동부(102, 103, 104)에 공급함으로써 각 구동부(102, 103, 104)를 제어한다. 데이터 제어신호(Cx)에는 데이터를 샘플링하기 위한 샘플링클럭, 래치제어신호, 에너지 회수회로와 구동 스위치소자의 온/오프타임을 제어하기 위한 스위치제어신호가 포함된다. 스캔 제어신호(Cy)에는 스캔구동부(103) 내의 에너지 회수회로와 구동 스위치소자의 온/오프타임을 제어하기 위한 스위치제어신호가 포함된다. 그리고 서스테인 제어신호(Cz)에는 서스테인구동부(104) 내의 에너지 회수회로와 구동 스위치소자의 온/오프타임을 제어하기 위한 스위치제어신호가 포함된다. 그리고 타이밍 콘트롤러(101)는 서스테인 펄스 수 데이터(Nsus)에 따라 스캔 제어신호(Cy)와 서스테인 제어신호(Cz)를 조정함으로써 APL에 따라 서스테인 펄스 수를 제어하며, APL군 식별 데이터(APL#)에 응답하여 전술한 실시예들과 같이 상승 램프신호(Ramp-up)를 생략하거나 그 셋업전압(Vsetup)을 조정하게 된다.

스캔 구동부(103)는 타이밍 콘트롤러(101)의 제어 하에 스캔전극들(Y1 내지 Ym)에 리셋기간 동안 상승 램프신호(Ramp-up)과 하강 램프신호(Ramp-dn)을 공급하고 어드레스기간 동안 스캔펄스(scp)를 순차적으로 공급한다. 그리고 스캔 구동부(103)는 타이밍 콘트롤러(101)의 제어 하에 스캔전극들(Y1 내지 Ym)에 서스테인기간 동안 서스테인펄스(sus1, sus3, sus5)를 공급한다. 특히, 스캔 구동부(103)는 타이밍 콘트롤러(101)의 제어 하에 전술한 실시예들과 같이 APL에 따라 선택적으로 적어도 일부의 서브필드에서 상승 램프신호(Ramp-up)을 생략하거나 상승 램프신호(Ramp-up)의 셋업전압(Vsetup1~Vsetupn)을 조정하게 된다.

서스테인 구동부(104)는 타이밍 콘트롤러(101)의 제어 하에 어드레스기간 동안 직류 바이어스전압(Vz-bias)을 공급한 후에 서스테인기간 동안 스캔 구동부(103)와 교대로 동작하여 서스테인펄스(sus2, sus4, sus6)를 공급하게 된다.

구동전압 발생부(105)는 상승 램프신호(Ruy, Ruz)의 셋업전압(Vsetup1~Vsetupn), 스캔전압으로 설정되는 부극성의 스캔바이어스전압(-Vy), 직류 바이어스전압(Vy-bias, Vz-bias), 서스테인전압(Vs), 데이터전압(Vd) 등을 발생한다. 이러한 구동전압들은 방전가스의 조성이나 방전셀 구조에 따라 변할 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 PDP의 초기화 제어방법 및 장치는 기준치보다 APL이 낮을 때 및/또는 APL이 높을 때 상승 램프신호를 생략하거나 그 셋업전압을 낮추게 된다. 그 결과, 본 발명은 초기화방전 수를 줄이거나 초기화방전을 약하게 일으켜 방전시 수반되는 광방출량을 줄임으로써 블랙홀드를 낮추어 콘트라스트비를 향상시키고 리셋기간을 줄일 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 예컨대, APL에 따라 상승 램프파형의 수나 그 셋업전압을 조절하는 것을 중심으로 실시예들이 설명되었지만 상승 램프파형의 기울기를 APL에 따라 제어하거나 하강 램프파형의 수나 전압을 APL에 따라 제어할 수도 있다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

입력 영상의 평균밝기로 따라 초기화신호가 생략 가능하거나 상기 초기화신호의 전압이 조절 가능한 다수의 서브필드들로 한 프레임기간을 시분할하는 단계와;

상기 입력 영상의 평균밝기가 이전 영상의 평균밝기보다 낮을 때 상기 초기화신호가 생략되는 서브필드의 수를 증가시키거나 상기 초기화신호의 전압이 낮은 서브필드의 수를 증가시키는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 초기화 제어방법.

청구항 2.

입력 영상의 평균밝기로 따라 초기화신호가 생략 가능하거나 상기 초기화신호의 전압이 조절 가능한 다수의 서브필드들로 한 프레임기간을 시분할하는 단계와;

상기 입력 영상의 평균밝기가 소정의 기준치이면 상기 서브필드들 각각에서 상기 초기화신호를 이용하여 셀의 초기화를 행하는 단계와;

상기 입력 영상의 평균밝기가 상기 기준치보다 작으면 상기 초기화신호가 생략되는 서브필드의 수를 증가시키거나 상기 초기화신호의 전압이 낮은 서브필드의 수를 증가시키는 단계와;

상기 입력 영상의 평균밝기가 상기 기준치보다 높으면 상기 초기화신호가 생략되는 서브필드의 수를 증가시키거나 상기 초기화신호의 전압이 낮은 서브필드의 수를 증가시키는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 초기화 제어방법.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 초기화신호는 전압이 점진적으로 상승하여 약방전으로 쓰기방전을 일으키기 위한 램프신호인 것을 특징으로 하는 플라즈마 디스플레이 패널의 초기화 제어방법.

청구항 4.

입력 영상의 평균밝기에 따라 초기화신호가 생략 가능하거나 상기 초기화신호의 전압이 조절 가능한 다수의 서브필드들로 시분할 구동되는 플라즈마 디스플레이 패널과;

상기 입력 영상의 평균밝기를 계산하는 APL 계산부와;

상기 APL 계산부에 의해 계산된 상기 입력 영상의 평균밝기가 이전 영상의 평균밝기보다 낮을 때 상기 초기화신호가 생략되는 서브필드의 수를 증가시키거나 상기 초기화신호의 전압이 낮은 서브필드의 수를 증가시키는 초기화 제어부를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 초기화 제어장치.

청구항 5.

입력 영상의 평균밝기에 따라 초기화신호가 생략 가능하거나 상기 초기화신호의 전압이 조절 가능한 다수의 서브필드들로 시분할 구동되는 플라즈마 디스플레이 패널과;

상기 입력 영상의 평균밝기를 계산하는 APL 계산부와;

상기 APL 계산부에 의해 계산된 상기 입력 영상의 평균밝기가 소정의 기준치이면 상기 서브필드들 각각에서 상기 초기화신호를 상기 플라즈마 디스플레이 패널에 공급하는 제1 초기화 제어부와;

상기 입력 영상의 평균밝기가 상기 기준치보다 작으면 상기 초기화신호가 생략되는 서브필드의 수를 증가시키거나 상기 초기화신호의 전압이 낮은 서브필드의 수를 증가시키는 제2 초기화 제어부와;

상기 입력 영상의 평균밝기가 상기 기준치보다 높으면 상기 초기화신호가 생략되는 서브필드의 수를 증가시키거나 상기 초기화신호의 전압이 낮은 서브필드의 수를 증가시키는 제3 초기화 제어부를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 초기화 제어장치.

청구항 6.

제 4 항 또는 제 5 항에 있어서,

상기 초기화신호는 전압이 점진적으로 상승하여 약방전으로 쓰기방전을 일으키기 위한 램프신호인 것을 특징으로 하는 플라즈마 디스플레이 패널의 초기화 제어장치.

청구항 7.

제 4 항 또는 제 5 항에 있어서,

상기 초기화 제어부들은,

상기 초기화신호를 발생하는 초기화신호 발생부와;

상기 APL에 의해 계산된 평균밝기신호에 응답하여 상기 초기화신호 발생부를 제어하기 위한 제어부를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 초기화 제어장치.

청구항 8.

제 4 항 또는 제 5 항에 있어서,

상기 생략 가능한 초기화신호는 상승 램프신호인 것을 특징으로 하는 플라즈마 디스플레이 패널의 초기화 제어장치.

청구항 9.

제 4 항 또는 제 5 항에 있어서,

상기 생략 가능한 초기화신호는 전체 초기화신호 중 일부인 것을 특징으로 하는 플라즈마 디스플레이 패널의 초기화 제어장치.

청구항 10.

제 1 항 또는 제 2 항에 있어서,

상기 생략 가능한 초기화신호는 상승 램프신호인 것을 특징으로 하는 플라즈마 디스플레이 패널의 초기화 제어방법.

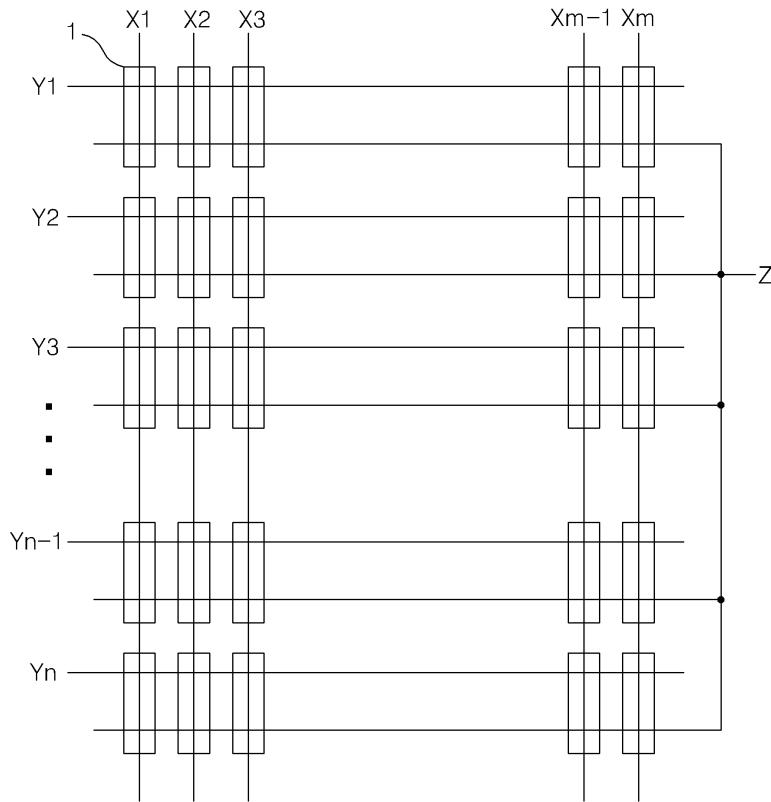
청구항 11.

제 1 항 또는 제 2 항에 있어서,

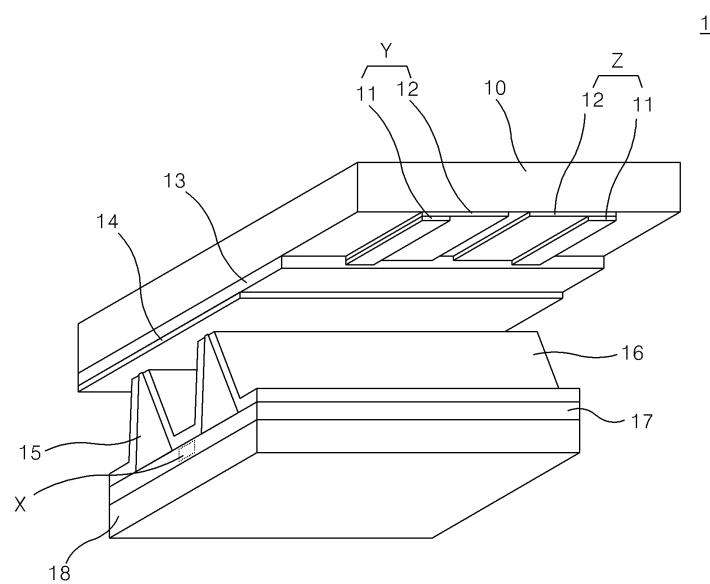
상기 생략 가능한 초기화신호는 전체 초기화신호 중 일부인 것을 특징으로 하는 플라즈마 디스플레이 패널의 초기화 제어방법.

도면

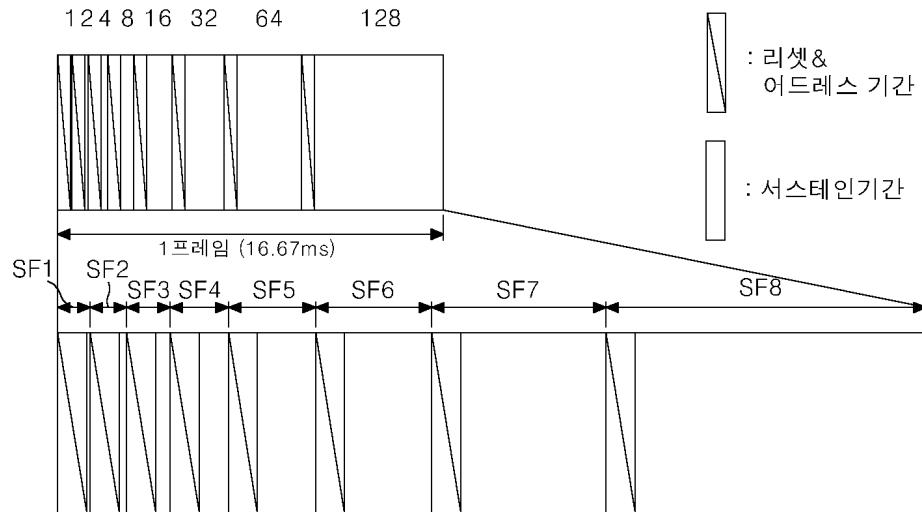
도면1



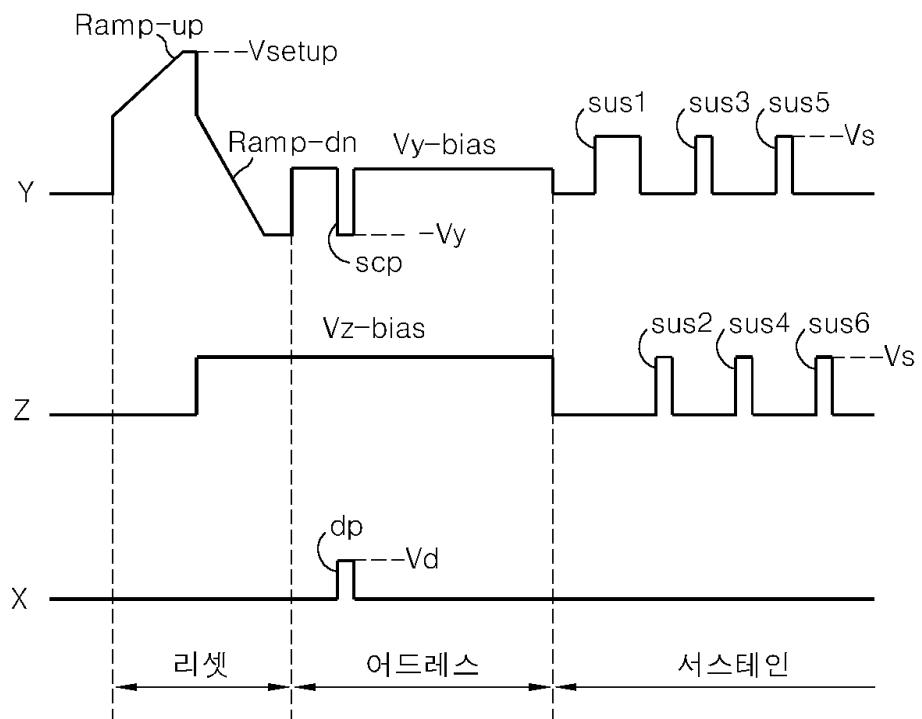
도면2



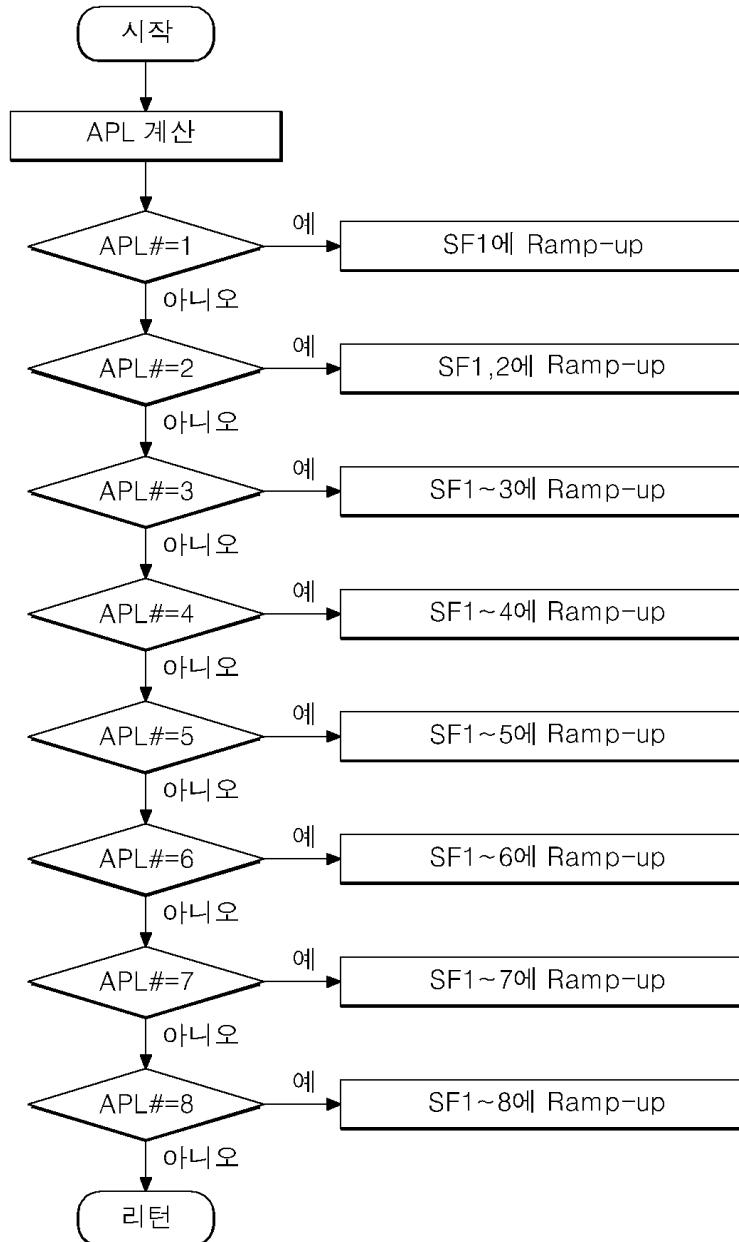
도면3



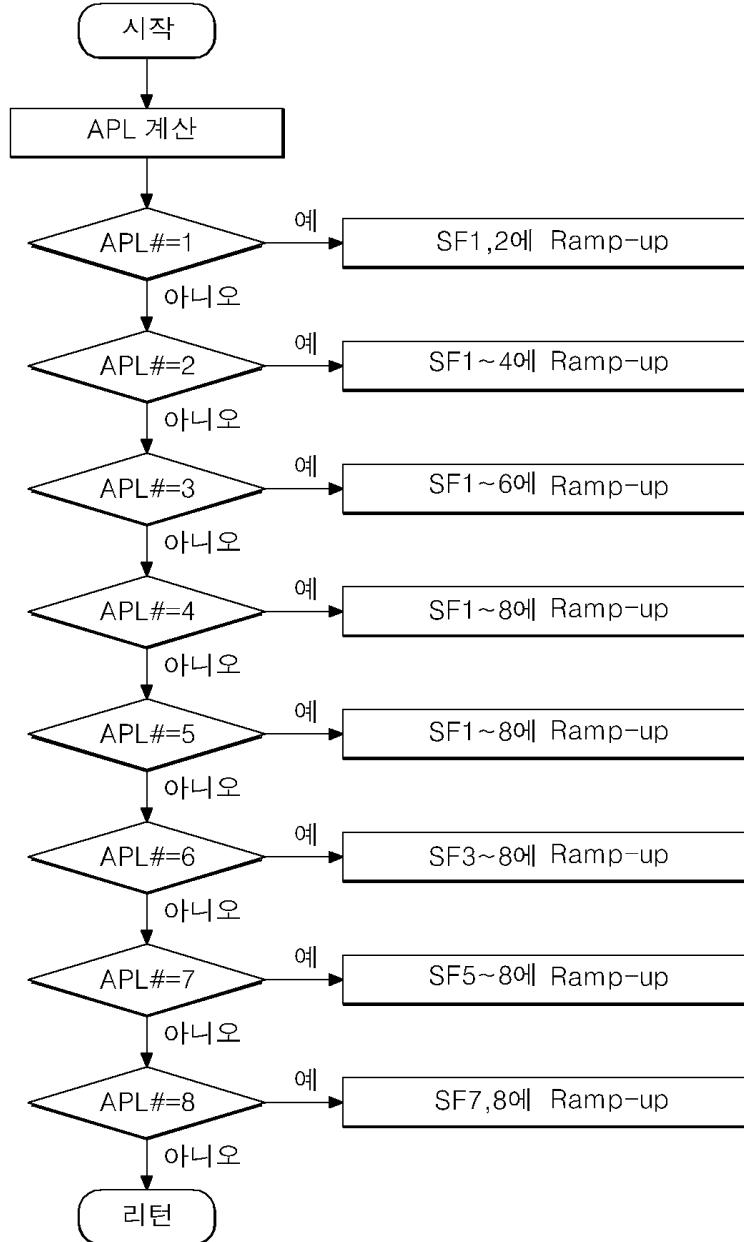
도면4



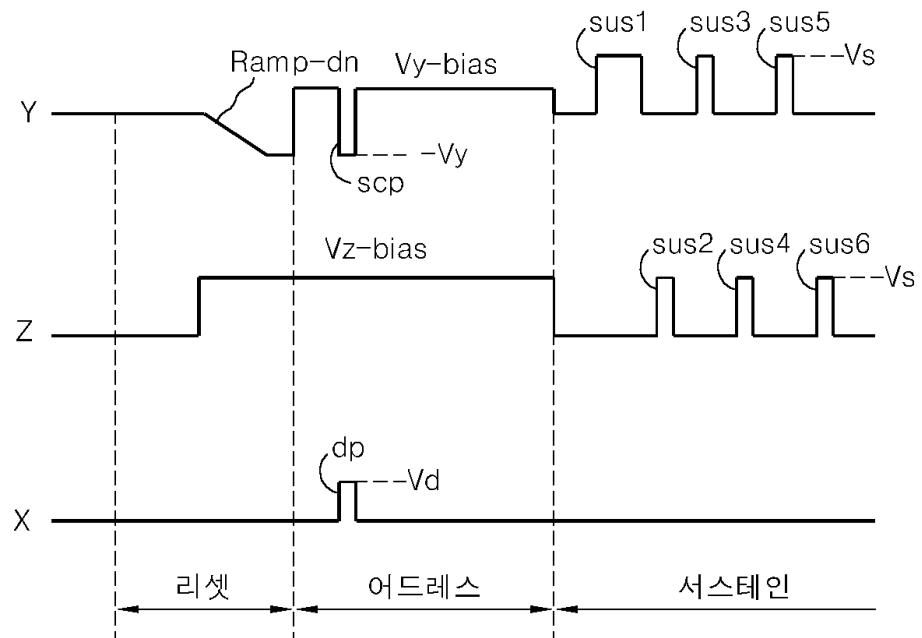
도면5



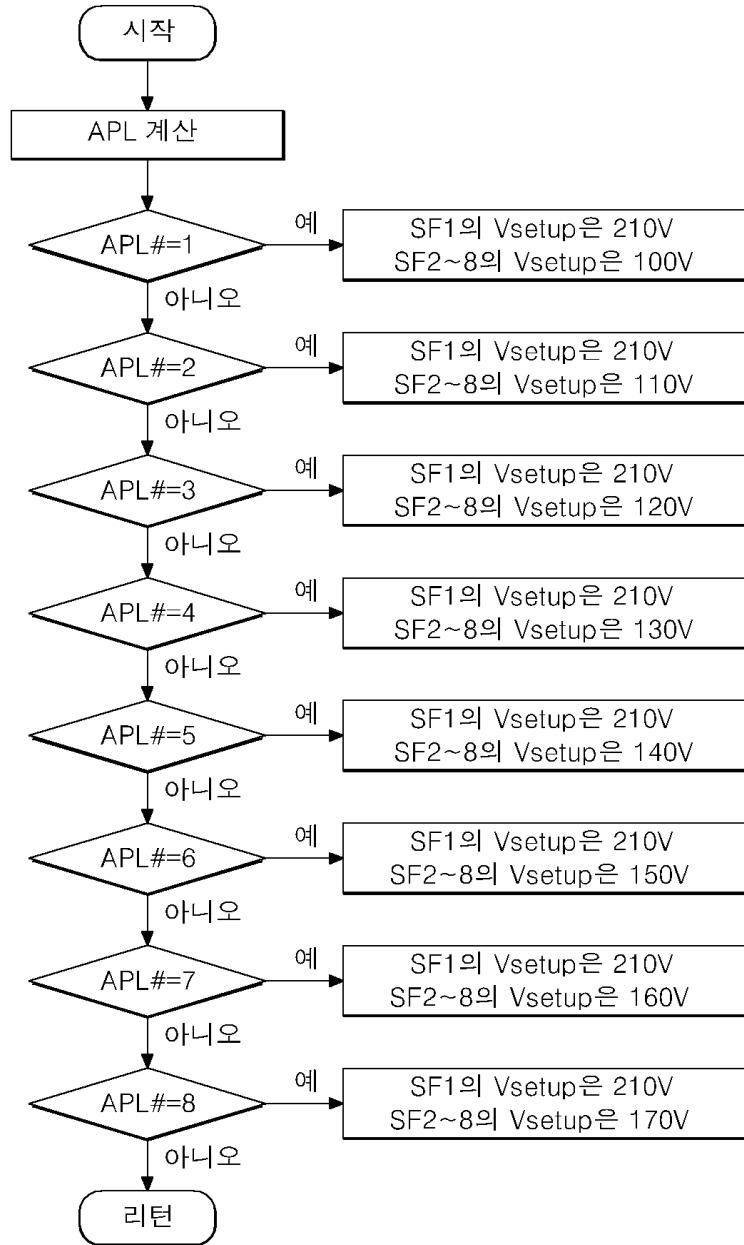
도면6



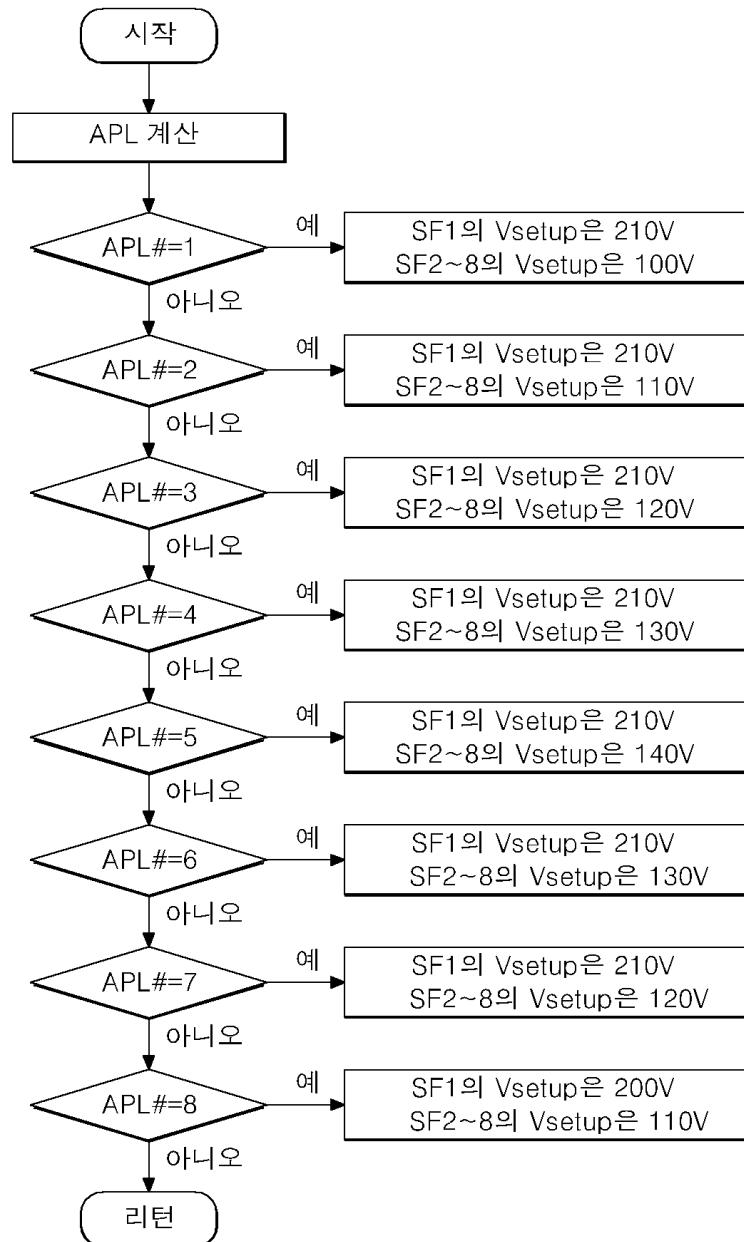
도면7



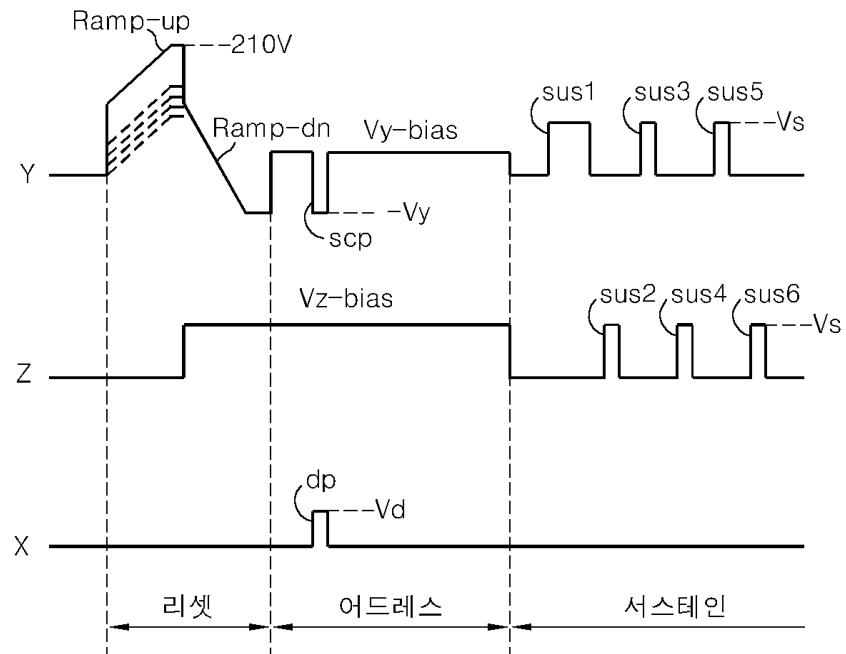
도면8



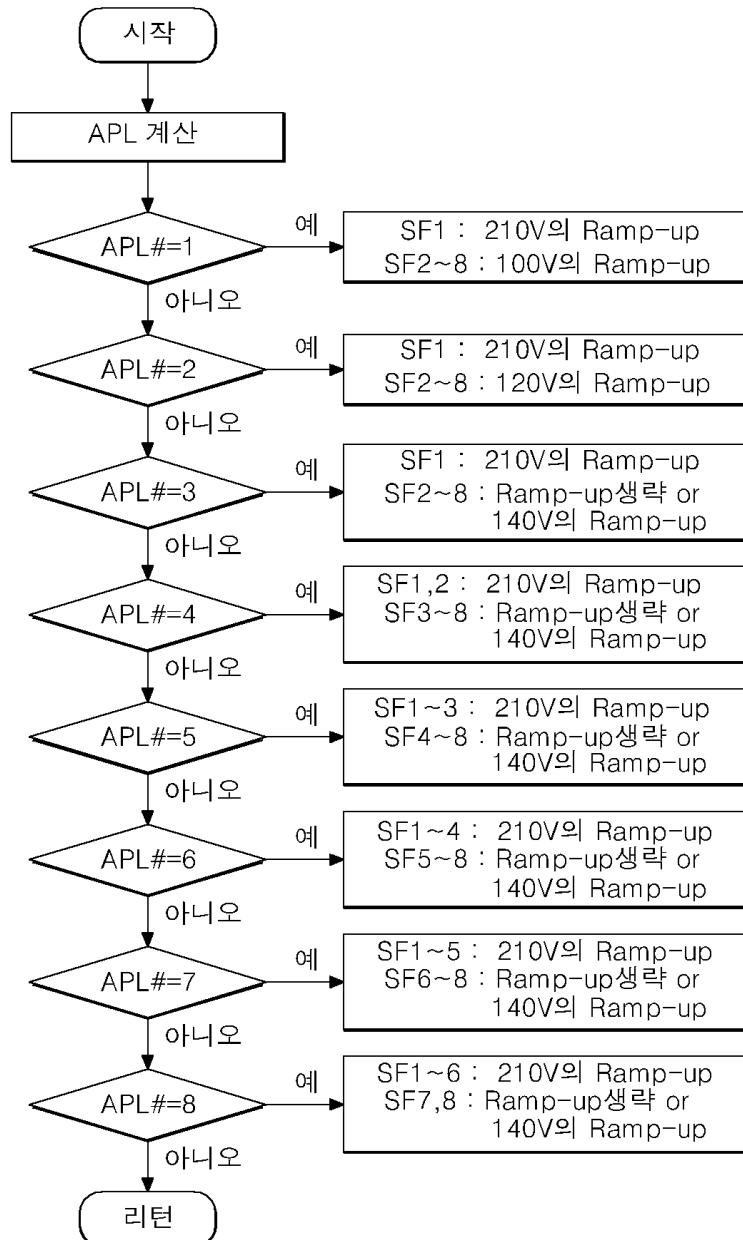
도면9



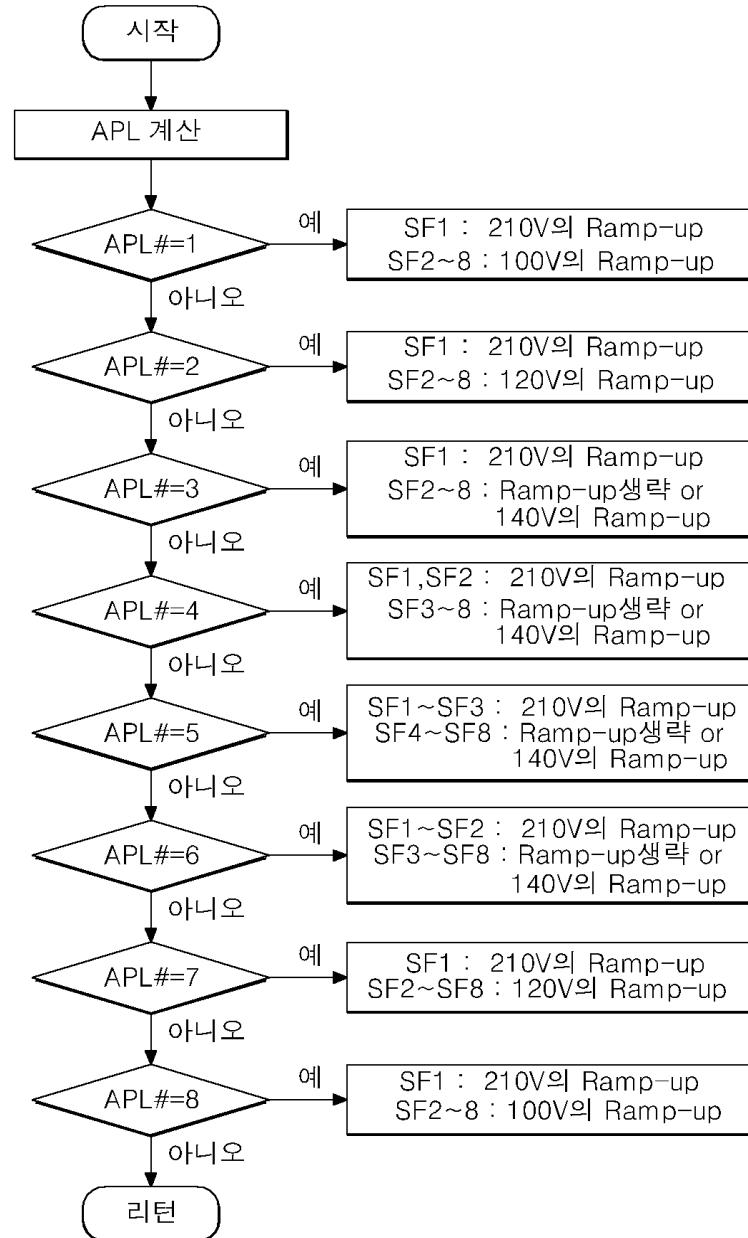
도면10



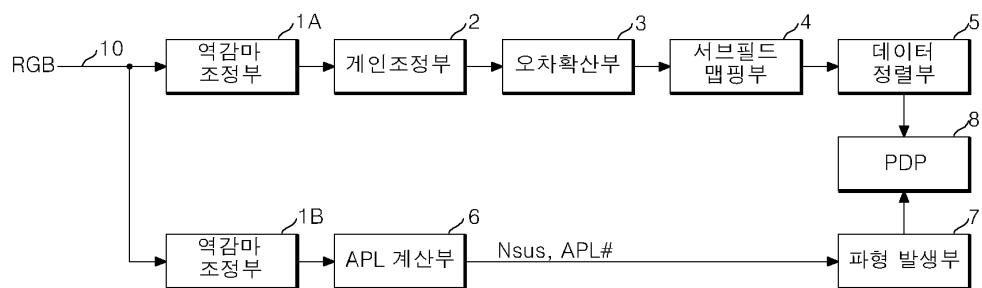
도면11



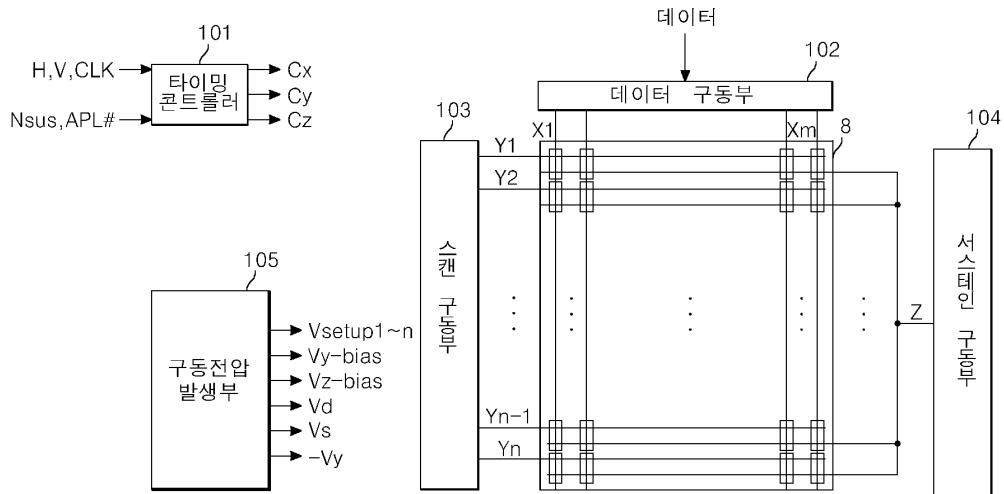
도면12



도면13



도면14



도면15

