



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년03월17일
(11) 등록번호 10-0947897
(24) 등록일자 2010년03월09일

(51) Int. Cl.

H01L 29/49 (2006.01)

(21) 출원번호 10-2004-7009730

(22) 출원일자 2002년12월19일

심사청구일자 2007년12월14일

(85) 번역문제출일자 2004년06월18일

(65) 공개번호 10-2004-0071742

(43) 공개일자 2004년08월12일

(86) 국제출원번호 PCT/US2002/041330

(87) 국제공개번호 WO 2003/054969

국제공개일자 2003년07월03일

(30) 우선권주장

10/022,847 2001년12월20일 미국(US)

(56) 선행기술조사문현

EP00411573 A2*

EP0329047 A

US19975614747 A1

*는 심사관에 의하여 인용된 문현

전체 청구항 수 : 총 17 항

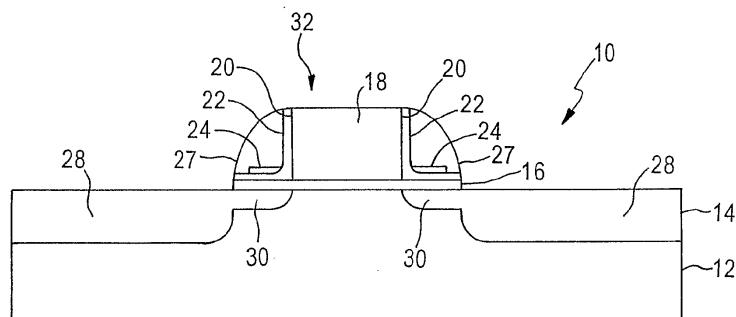
심사관 : 정두한

(54) 전기적으로 프로그램된 MOS 트랜지스터 소스/드레인직렬 저항

(57) 요 약

트랜지스터 게이트 측벽들(27)에 매립된 도전층(24)을 형성하므로써 고속 MOS 트랜지스터(32)가 제공된다. 이 매립된 도전층(24)은 트래지스터(32)의 게이트 전극(18)과 소스/드레인 영역들(28)로 부터 전기적으로 절연된다. 이 매립된 도전층(24)이 상기 소스/드레인 확장부들(30) 위에 위치되어 상기 소스/드레인 영역들(28)의 직렬 저항을 저하시키는 상기 소스/드레인 확장부들(30)에 전하가 축적되게 한다.

대 표 도 - 도7



특허청구의 범위

청구항 1

트랜지스터가 형성된 반도체 기판과, 여기서 상기 트랜지스터는 상기 기판에 형성된 대향 측벽들을 가진 게이트 전극을 구비하며;

상기 기판에 형성된 활성 영역과;

상기 게이트 전극의 대향 측벽들과 나란히 형성되고, 상기 측벽들과 접촉하는 절연 측벽 스페이서들과; 그리고

상기 측벽 스페이서들에 매립되며, 상기 게이트 전극과 상기 활성 영역으로 부터 전기적으로 절연된 도전층을 포함하여 구성되며,

상기 매립된 도전층은 금속과 금속 실리사이드로 구성되는 군으로부터 선택된 도전물질로 이루어진 것을 특징으로 하는 반도체 디바이스.

청구항 2

제 1항에 있어서,

상기 활성 영역은 소스 및 드레인 영역으로 된 것을 특징으로 하는 반도체 디바이스.

청구항 3

제 1항에 있어서,

상기 게이트 전극과 상기 활성 영역 사이에 삽입된 게이트 절연층을 더 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 4

제 1항에 있어서,

상기 측벽 스페이서들은 실리콘 질화물로 된 것을 특징으로 하는 반도체 디바이스.

청구항 5

제 1항에 있어서,

상기 매립된 도전층은 50\AA 내지 300\AA 의 두께를 갖는 것을 특징으로 하는 반도체 디바이스.

청구항 6

제 1항에 있어서,

상기 측벽 스페이서들은 300\AA 내지 2000\AA 의 두께를 갖는 것을 특징으로 하는 반도체 디바이스.

청구항 7

제 1항에 있어서,

상기 매립된 도전층은 100\AA 내지 $1,800\text{\AA}$ 의 폭을 갖는 것을 특징으로 하는 반도체 디바이스.

청구항 8

제 1항에 있어서,

상기 도전층은 50\AA 내지 500\AA 의 거리 만큼 상기 게이트 전극 측벽으로 부터 이격된 것을 특징으로 하는 반도체 디바이스.

청구항 9

제 1항에 있어서,

상기 매립된 도전층은 바이어스(bias)되는 것을 특징으로 하는 반도체 디바이스.

청구항 10

제 1항에 있어서,

상기 매립된 도전층은 부동(floating) 하는 것을 특징으로 하는 반도체 디바이스.

청구항 11

트랜지스터가 형성된 반도체 기판과, 여기서 상기 트랜지스터는 상기 기판에 형성된 대향 측벽들을 가진 게이트 전극을 구비하며;

상기 기판에 형성된 활성 영역과;

상기 게이트 전극의 대향 측벽들과 나란히 형성되고, 상기 측벽들과 접촉하는 절연 측벽 스페이서들과; 그리고 상기 측벽 스페이서들에 매립되며, 상기 게이트 전극과 상기 활성 영역으로 부터 전기적으로 절연된 도전층을 포함하여 구성되며,

상기 매립된 도전층은 도전성 폴리실리콘으로 이루어진 것을 특징으로 하는 반도체 디바이스.

청구항 12

트랜지스터가 형성된 반도체 기판을 제공하는 단계와, 여기서 상기 트랜지스터는 상기 기판에 형성된 대향 측벽들을 가진 게이트 전극을 구비하며;

상기 게이트 전극과 활성 영역에 제 1의 절연층을 형성하는 단계와;

상기 제 1의 절연층에 도전층을 증착시키는 단계와;

상기 도전층의 부분들을 선택적으로 제거하여, 상기 게이트 전극과 상기 활성 영역에 놓인 상기 제 1의 절연층의 부분들을 노출시키는 단계와;

상기 도전층 및 제 1의 절연층에 제 2의 절연층을 증착시키는 단계와; 그리고

상기 제 1의 절연층 및 상기 제 2의 절연층의 부분들을 제거하여, 상기 도전층에 매립된 상기 게이트 전극의 대향 측벽들과 나란하며 상기 측벽들과 접촉하는 측벽 스페이서를 형성하는 단계를 포함하여 구성되며,

상기 활성 영역들의 직렬 저항이 서로 독립적으로 프로그램되는 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 13

제 12항에 있어서,

상기 제 1의 절연층과 상기 제 2의 절연층은 실리콘 질화물로 된 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 14

제 12항에 있어서,

상기 도전층은 폴리실리콘 또는 금속으로 된 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 15

제 12항에 있어서,

상기 도전층을 증착시키는 단계는:

상기 제 1의 절연층에 폴리실리콘층을 증착시키고;

상기 폴리실리콘층에 금속층을 증착시키고; 그리고

상기 금속층이 상기 폴리실리콘층과 반응하기에 충분한 온도로 상기 반도체 기판을 가열하여, 금속 규화물층을

형성하는 것을 포함하는 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 16

제 1항에 있어서,

상기 트랜지스터는 금속 산화물 전계 효과 트랜지스터(MOSFET)인 것을 특징으로 하는 반도체 디바이스.

청구항 17

제 11항에 있어서,

상기 트랜지스터는 금속 산화물 전계 효과 트랜지스터(MOSFET)인 것을 특징으로 하는 반도체 디바이스.

명세서

기술 분야

[0001]

본 발명은 금속 산화물 반도체(MOS) 트랜지스터들의 분야에 관한 것으로서, 특히 전기적으로 프로그램된 소스/드레인 챕터를 가진 MOS 트랜지스터들에 관한 것이다.

배경 기술

[0002]

반도체 산업에서 연구를 진행하는 중요한 목적은 반도체 디바이스들의 성능을 증대시키는 것이다. 금속 산화물 반도체 전계 효과 트랜지스터들(MOSFET)과 같은 플라너 트랜지스터들(planar transistors)은 특히 고-밀도 집적 회로들에 사용하기에 매우 적합하다. 2가지의 일반적인 형태의 MOS 트랜지스터들이 존재하는데, 하나는 p-형 웨이퍼에 n-형 소스와 드레인 영역들이 형성된 N-채널 MOS(NMOS)이고, 다른 하나는 p-형 소스와 드레인 영역들이 형성된 P-채널 MOS(PMOS)이다. NMOS 트랜지스터들이 상기 트랜지스터 채널을 통하여 전자를 도통시키는 반면에, PMOS 트랜지스터들은 상기 트랜지스터 채널을 통해 정공을 도통시킨다. 통상적으로, 상기 소스와 드레인 영역들이 인(phosphorous) 또는 비소(arsonic)로 도핑되어 n-형 소스/드레인 영역들을 형성하는 반면에, 봉소(boron) 도핑은 p-형 소스/드레인 영역들을 형성하는데 사용된다. 상보형 금속 산화물 반도체(CMOS) 디바이스들은 동일한 기판 위에 N-과 P-채널 MOS 트랜지스터들을 포함한다. 고-성능 반도체 디바이스들을 생성하기 위해 CMOS 디바이스 속도를 증가시키는 것이 바람직하다. 상기 소스/드레인 영역들의 전기 저항을 감소시키면, 트랜지스터의 속도가 증가한다. CMOS 트랜지스터들을 형성하기 위해 종래의 재료들을 사용하여 효과적인 방식으로 고속 트랜지스터 디바이스들을 생성하는 것이 바람직하다.

[0003]

본원에 사용된 바와같은 반도체 디바이스들이란 용어는 특히 설명된 실시예들에 제한되진 않는다. 본원에 사용된 바와같은 반도체 디바이스들은 플립 칩들, 플립 칩/패키지 어셈블리들, 트랜지스터들, 캐패시터들, 마이크로 프로세서들, 랜덤 액세스 메모리들 등을 포함하는 폭넓은 종류의 전자 디바이스들을 포함한다. 일반적으로, 반도체 디바이스들은 반도체를 포함한 임의의 전기 디바이스를 언급한다.

발명의 상세한 설명

[0004]

반도체 디바이스 기술에서 고속 MOSFET를 제공할 필요가 있다. 이 기술에서 종래의 트랜지스터 재료들로 부터 형성된 고속 CMOS 디바이스들을 제공할 필요가 있다. 이 기술에서 감소된 층별 저항 소스/드레인 영역들을 가진 CMOS 디바이스들을 제공할 필요가 있다.

[0005]

이들 및 기타 필요사항들은 반도체 기판과 상기 기판 위에 형성된 트랜지스터를 포함하는 반도체 디바이스를 제공하는 본 발명의 실시예들에 의해 충족된다. 상기 트랜지스터는 상기 기판 위에 형성된 대향하는 측벽들을 가진 게이트 전극을 포함한다. 활성 영역이 상기 기판에 형성된다. 절연 측벽 스페이서들이 상기 게이트 전극 대향 측벽들과 나란히 그리고 상기 측벽들과 접촉하도록 형성된다. 도전층이 상기 측벽 스페이서들에 매립된다. 상기 매립된 도전층은 상기 게이트 전극과 상기 활성 영역으로 부터 전기적으로 절연된다.

[0006]

초기에는 언급된 필요사항들은 또한 반도체 기판과 상기 기판 위에 형성된 트랜지스터를 제공하는 단계를 포함하는 반도체 디바이스를 형성하는 방법을 제공하는 본 발명의 특정 실시예들에 의해 충족된다. 상기 트랜지스터는 상기 기판 위에 형성된 대향 측벽들과 상기 기판에 형성된 활성 영역을 가진 게이트 전극을 포함한다. 제 1의 절연층이 상기 게이트 전극과 활성 영역 위에 형성되고, 도전층이 상기 제 1의 절연층 위에 증착된다. 상기 도전층의 부분들이 제거되어, 상기 게이트 전극과 활성 영역 위에 놓인 상기 제 1의 절연층의 부분들을 노출시킨

다. 제 2의 절연층이 상기 도전층과 제 1의 절연층 위에 형성된다. 상기 제 1의 절연층과 상기 제 2의 절연층의 부분들이 제거되어, 상기 게이트 전극 대향 측벽들과 나란히 그리고 상기 측벽들과 접촉하도록 측벽 스페이서들을 형성하는데, 상기 스페이서내에 상기 도전층이 매립된다.

[0007] 본 발명은 CMOS 디바이스들과 같은 개선된 고속 트랜지스터들에 대한 필요를 역점을 두어 다룬다. 본 발명은 전기적으로 프로그램되며, 감소된 직렬 저항 소스/드레인 영역들을 가진 트랜지스터에 대한 필요를 역점을 두어 다룬다.

[0008] 본 발명의 전술한 특징들과 기타 특징들, 양상들과, 그리고 장점들은 첨부한 도면들을 참조할 시에 본 발명의 이하 상세한 설명에서 명백해질 것이다.

실시예

[0013] 본 발명은 개선된 고속 반도체 디바이스들의 생성을 가능하게 한다. 본 발명은 감소된 소스/드레인 직렬 저항을 가진 MOS 트랜지스터의 생성을 가능하게 한다. 부분적으로, 이를 장점은 MOS 트랜지스터 게이트의 측벽 스페이서들에 전기적으로 절연된 도전층을 매립하므로써 제공된다.

[0014] 상기 트랜지스터 게이트 측벽 스페이서들에 매립된 상기 절연된 도전층은 바이어스 전위에 부착된 접촉들을 통해 플로팅되거나 또는 바이어스될 수 있다. 상기 매립된 도전층은 상기 도전층 밑에 위치된 약하게 도핑된 소스/드레인 확장부에 전하들을 축적하는데 사용된다. 상기 매립된 도전층은 상기 도전층이 플로팅될 시에, 트랜지스터 게이트에 의해서나 또는 상기 도전층이 바이어스될 시에, 바이어스 전위에 의해서 상기 소스/드레인 영역 직렬 저항이 프로그램되게 한다.

[0015] 본 발명은 첨부한 도면들에 도시된 반도체 디바이스의 형성과 관련하여 설명될 것이다. 그러나, 이는 단지 예에 불과하며, 청구된 발명은 도면에 도시된 특정한 디바이스의 형성과 이 특정한 디바이스에 제한되지는 않는다.

[0016] 실리콘 웨이퍼와 같은 기초층(12)과 상기 기초층에 형성된 활성 영역(14)을 포함하는 반도체 기판(10)이 도 1에 도시된 바와같이 제공된다. 게이트 절연층(16)이 상기 활성 영역(14) 위에 형성된다. 상기 게이트 절연층(16)은 통상적으로 반도체 기판의 열적 산화에 의해서나 또는 화학적 증기 증착(CVD)과 같은 증착 기술 중 어느 하나에 의해 형성된 약 10Å 내지 약 100Å 두께의 산화물층이다. 상기 반도체 기판(10)은 또한 상기 게이트 절연층(16) 위에 형성된 대향하는 측벽들(20)을 가진 게이트 전극(18)을 포함한다. 상기 게이트 전극(18)은 통상적으로 약 100Å 내지 약 5,000Å 두께의 폴리실리콘 층을 포함한다. 본 발명의 특정 실시예들에서, 상기 게이트 전극(18)은 약 100Å 내지 약 1,000Å 두께를 갖는다.

[0017] 제 1의 절연층(22)이 도 2에 도시된 바와같이 상기 게이트 전극(18) 위에 형성된다. 특정 실시예들에서, 상기 제 1의 절연층(22)은 약 50Å 내지 약 300Å 두께의 실리콘 질화물층이다. 대안으로, 상기 제 1의 절연층(22)은 상기 게이트 전극(18)과 상기 활성 영역(14), 또는 기타 적합한 절연층의 열적 산화에 의해 형성된 산화물층일 수 있다.

[0018] 약 50Å 내지 약 300Å 두께의 도전층(24)이 도 3에 도시된 바와같이 상기 제 1의 절연층(22) 위에 형성된다. 상기 도전층(24)은 예를 들어, 폴리실리콘, 금속, 또는 금속 규화물이다. 폴리실리콘은 통상적으로 CVD에 의해 증착된다. 알루미늄, 티타늄, 텉스텐, 니켈, 및 코발트와 같은 금속층들이 CVD 또는 스퍼터링과 같은 종래의 금속 증착 기술들에 의해 증착된다. 대안으로, 본 발명의 특정 실시예들에서, 상기 도전층은 도 8에 도시된 바와같이, 폴리실리콘(42)을 증착시키고 뒤이어 티타늄, 텉스텐, 니켈, 또는 코발트와 같은 금속층(44)을 증착시키므로써 형성된 금속 규화물이다. 상기 금속 규화물은 상기 폴리실리콘(42)을 상기 금속층(44)과 반응시키기 위해 충분한 온도로 상기 반도체 기판(10)을 가열하므로써 생성되어, 도 9에 도시된 바와같이 금속 규화물층(46)을 형성한다.

[0019] 상기 도전층(24)은 도 4에 도시된 바와같이, 게이트 전극(18) 위에 놓인 상기 제 1의 절연층을 노출시키기 위해 상기 도전층(24)의 부분들을 제거하고, 남아있는 대향 게이트 전극 측벽들(20)에 인접한 상기 도전층(24)의 부분들을 남겨둔채, 상기 활성 영역들(14) 위에 놓인 부분들을 제거하므로 선택적으로 패턴화된다. 상기 도전층(24)의 상기 남아있는 부분들의 폭은 약 100Å 내지 약 1,800Å 이다. 상기 도전층(24)은 등방성 에칭, 이방성 에칭, 또는 등방성 에칭과 이방성 에칭의 조합에 의해서와 같은 종래의 마스킹과 에칭 기술들에 의해 패턴화된다. 사용된 에칭 기술과 특정한 부식액은 도전층 재료의 특정한 형태의 제거에 매우-적합한 공지된 기술과 부식액들에서 선택된다.

[0020] 본 발명의 특정 실시예들에서, 상기 도전층(24)은 마스킹과 이방성 에칭에 의해서와 뒤이어 제 2의 마스킹과 후

속의 등방성 에칭에 의해 선택적으로 패턴화되어, 패턴화된 도전층(24)을 제공한다. 상기 후속의 등방성 에칭은 도 4에 도시된 바와같이, 이방성 에칭 후에 상기 제 1의 절연층(22)의 측벽 부분들(23)을 따라 확장한채 남아있을 수도 있는 상기 도전층(24)의 부분들을 제거한다. 본 발명의 특정 실시예들에서, 상기 제 2의 마스킹과 후속의 등방성 에칭은 수행되지 않는다.

[0021] 상기 도전층(24)을 선택적으로 제거한 후에, 제 2의 절연층(26)이 도 5에 도시된 바와같이, 상기 남아있는 도전층(24)과 상기 제 1의 절연층(22) 위에 증착된다. 상기 제 2의 절연층은 통상적으로 약 300Å 내지 약 2,000Å 두께의 CVD 실리콘 질화물층이다. 상기 제 2의 절연층(26)은 그 후에 도 6에 도시된 바와같이, 플라즈마 에칭과 같은 종래의 이방성 에칭 기술을 사용하여 이방성으로 에칭되어, 매립된 도전층(24)을 가진 측벽 스페이서들(27)을 형성한다. 본 발명의 특정 실시예들에서, 산화물 게이트 절연 층(16)의 사용은 실리콘 규화물 절연층들(22, 26)을 에칭하기 위한 에칭 단계로서 작용하여 상기 측벽 스페이서들(27)을 형성한다.

[0022] 상기 측벽 스페이서들(27)은 강한 소스/드레인 이온 주입 동안 약하게 도핑된 소스/드레인 확장부들(30)을 마스크한다. 상기 강한 소스/드레인 이온 주입은 상기 게이트 절연층(16)을 에칭하기 전이나 또는 후 중 어느 한 순간에 형성될 수 있으며, 활성 영역(14)을 노출시킨다. 상기 게이트 절연층(16)은 이방성 에칭이나 또는 등방성 에칭 중 어느 하나에 의해 에칭된다. 본 발명의 특정 실시예들에서, 실리콘 산화물을 포함하는 게이트 절연층(16)은 BOD(buffered oxide etch) 또는 불화수소산(hydrofluoric acid)과 같은 실리콘 산화물을 선택적 부식액을 사용하여 에칭된다.

[0023] 도 7에 도시된 바와같이, 본 발명에 의해 형성된 MOS 트랜지스터(32)의 활성 영역들(14)은 소스/드레인 영역들(28)과 약하게 도핑된 소스/드레인 확장부들(30)을 포함한다. 상기 매립된 도전층(24)은 상기 소스/드레인 확장부들(30) 위에 위치되고 상기 게이트 전극(18)과 활성 영역들(14)로 부터 전기적으로 절연된다.

[0024] 상기 매립된 도전층(24)은 도 7에 도시된 바와같이, 전기적으로 플로팅되거나 또는 도 10에 도시된 바와같이 바이어스된다. 상기 도전층(24)은 상기 매립된 도전층을 포텐티오스타트(potentiostat)와 같은 전압원에 접촉시키므로써 바이어스될 수 있다. 트랜지스터(32, 도 10)의 측면에 도시된 바와같이, 바이어스는 전압원(36)으로부터 리드(34)를 통하여 매립된 도전층(24)에 인가된다. 본 발명의 특정 실시예에서, NMOS 트랜지스터의 상기 매립된 도전층(24)은 음 전위로 바이어스되고 PMOS 트랜지스터의 상기 매립된 도전층은 양 전위로 바이어스될 것이다.

[0025] CMOS 디바이스는 동일한 기판 위에 본 발명에 따른 NMOS와 PMOS 트랜지스터들을 형성하므로써 제공될 수 있다. 상기 NMOS와 PMOS 매립 도전층들(24)에 관한 상이한 바이어스 외에도, 본 발명에 따른 CMOS 디바이스는 플로팅 매립 도전층(24)을 가진 NMOS와 PMOS 트랜지스터들을 포함할 수 있다.

[0026] 본 발명의 트랜지스터들은 MOS 트랜지스터들의 소스/드레인 영역들의 직렬 저항을 프로그램하기 위한 능력을 제공하여 고속 디바이스들을 제공한다. 본 발명의 특정 실시예들에서, 트랜지스터(32)의 소스/드레인 영역(28)의 전기적 저항은 상기 매립된 도전층(24)에 관한 바이어스를 조정하거나 또는 상기 매립된 도전층(24)에 사용된 재료 형태의 선택을 통하여 소망의 전기적 직렬 저항으로 "프로그램"된다. 상기 소망의 소스/드레인 직렬 저항의 선택에 영향을 미치는 요인들(factors)에는 채널 치수들, 도편트의 놓도, 소망의 트랜지스터의 속도, 및 밸런싱 CMOS 디바이스들이 있다. CMOS 디바이스들은 일반적으로 언밸런싱되는데, 이는 NMOS 트랜지스터의 전자의 이동도가 일반적으로 PMOS 트랜지스터의 정공의 이동도 보다 더 크기 때문이다. 상기 매립된 도전층(24)의 사용은 NMOS와 PMOS 트랜지스터들의 활성 영역들(14)의 직렬 저항이 독자적으로 프로그램되게 하여, 보다 밸런싱된 CMOS를 달성한다.

[0027] 다른 양상들에서, 스퀘어-형 측벽 스페이서들을 가진 반도체 디바이스가 반도체 기판 위에 형성된다. 실리콘 웨이퍼와 같은 반도체 기판(52)을 포함하는 반도체 디바이스(52)에는 상기 반도체 기판 위에 형성된 게이트 절연층(53)이 제공된다. 도 11에 도시된 바와같이, 폴리실리콘층(54)이 상기 게이트 절연층(53) 위에 형성되고, 제 1의 실리콘 질화물층(56)이 상기 폴리실리콘층(54) 위에 형성된다. 실리콘 산화물층(58)이 상기 제 1의 실리콘 질화물층(56) 위에 형성되고, 제 2의 실리콘 질화물층(60)이 바닥 반-반사 코팅(BARC; bottom anti-reflection coating)으로서 상기 실리콘 산화물층(58) 위에 형성된다.

[0028] 게이트 절연층(53), 폴리실리콘층(54), 제 1의 실리콘 질화물층(56), 실리콘 산화물층(58), 및 상기 산화물층(53) 위에 형성된 제 2의 실리콘 질화물층(60)을 가진 반도체 디바이스(50)가 패턴화되어, 대향하는 측벽들(63)을 가진 적층된 구조(61)를 형성한다. 그 후에 상기 반도체 디바이스(50)는 이온 주입되어, 약하게 도핑된 소스/드레인 확장부들(62)을 형성한다. 상기 소스/드레인 확장부들(62)을 형성한 후에, 상기 적층된 구조(61)와

반도체 기판이 절연 재료의 층으로 커버되고 상기 절연 재료는 이방성으로 에칭되어 도 12에 도시된 바와같이 적층된 구조 대향 측벽들(63)과 나란히 측벽 스페이서들(64)을 형성한다.

[0029] 상기 제 2의 실리콘 질화물층(60)은 도 13에 도시된 바와같이 적층된 구조(61)로부터 제거된다. 상기 반도체 디바이스(50)는 화학적-기계적 연마(CMP)를 겪어 도 14에 도시된 바와같이 적층된 구조(61)와 측벽 스페이서(64)의 높이가 감소되어 스퀘어-형 측벽 스페이서들(64)을 형성한다. 상기 제 1의 실리콘 질화물층(56)은 CMP동안 연마 저지로서 기능을 한다. 상기 반도체 디바이스(50)는 그 후에 강하게 이온 주입되어 도 15에 도시된 바와같이 상기 반도체 디바이스(50)의 소스/드레인 영역들(66)을 형성한다.

[0030] 상기 상세한 설명에 제시된 실시예들은 단지 설명을 위한 것이다. 상기 실시예들은 청구항들의 범위를 제한하는 것으로 해석되지 말아야 한다. 당업자에게는 명백한 바와 같이, 본 발명의 상세한 설명은 여기서 제시되지 않은 다양한 형태의 다른 실시예들을 포괄하도록 의도된 것이다.

도면의 간단한 설명

[0009] 도 1 내지 도 7은 감소된 직렬 저항 소스와 드레인 영역들을 가진 MOS 트랜지스터의 형성을 개략적으로 도시한다.

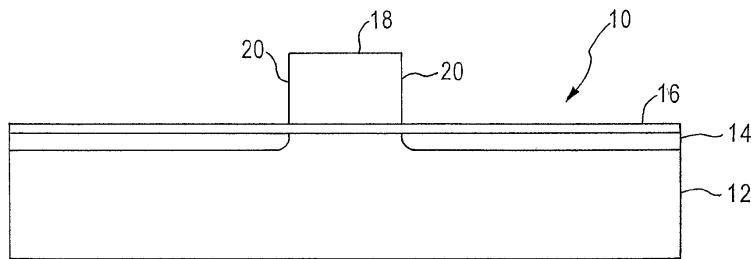
[0010] 도 8 및 도 9는 금속 규화물 도전층의 형성을 도시한다.

[0011] 도 10은 바이어스된 매립된 도전층을 도시한다.

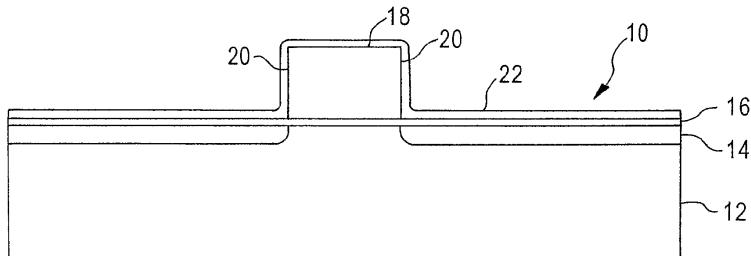
[0012] 도 11 내지 도 15는 스퀘어-형 측벽 스페이서들을 가진 트랜지스터의 형성을 개략적으로 도시한다.

도면

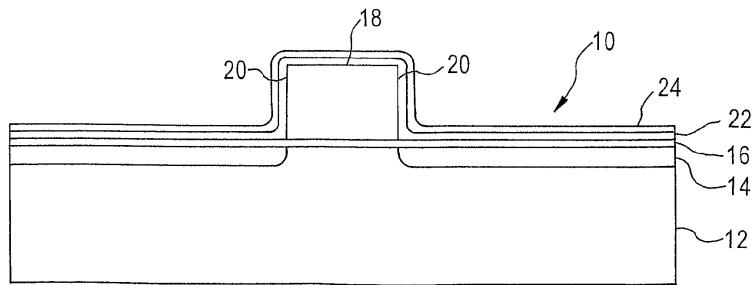
도면1



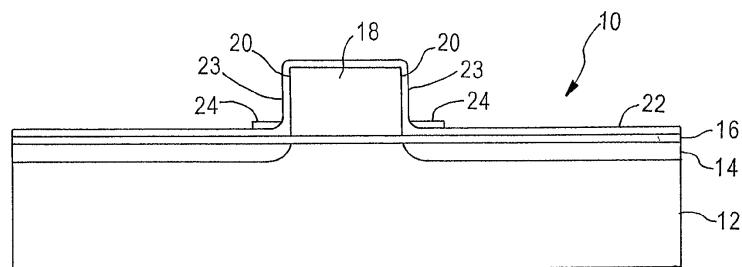
도면2



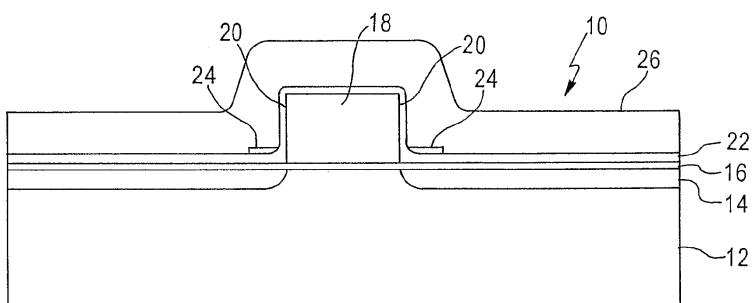
도면3



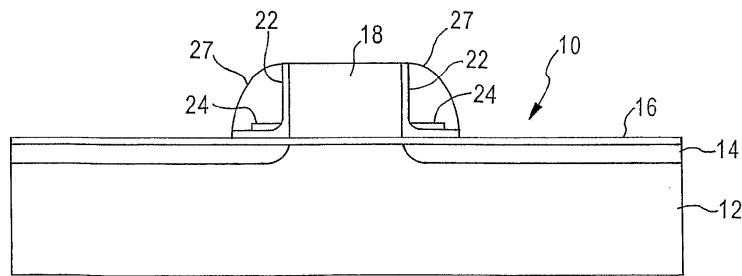
도면4



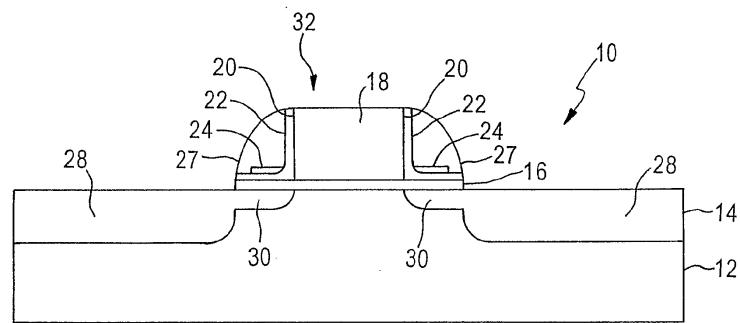
도면5



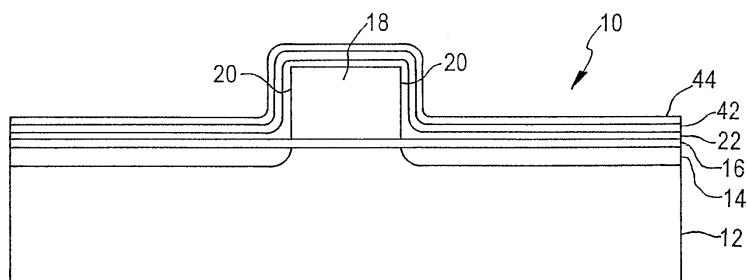
도면6



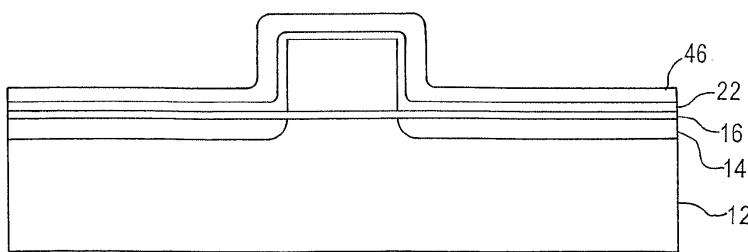
도면7



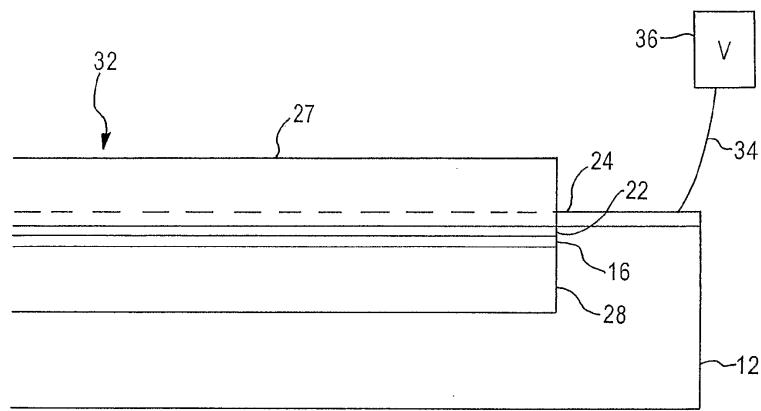
도면8



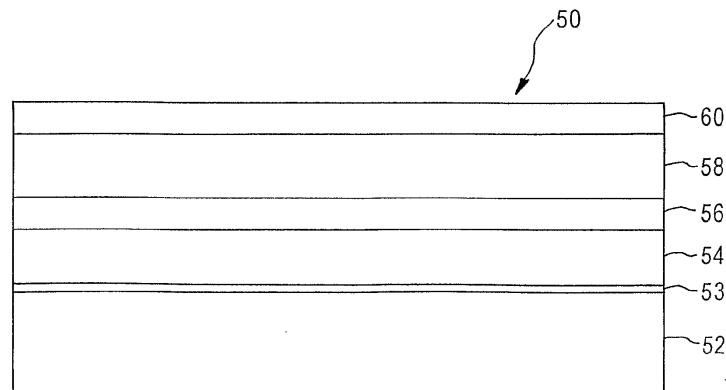
도면9



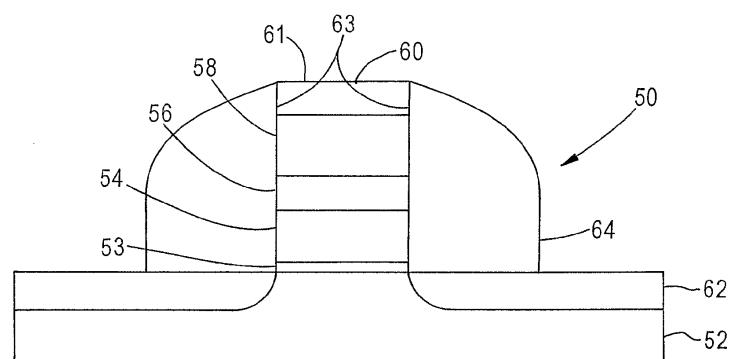
도면10



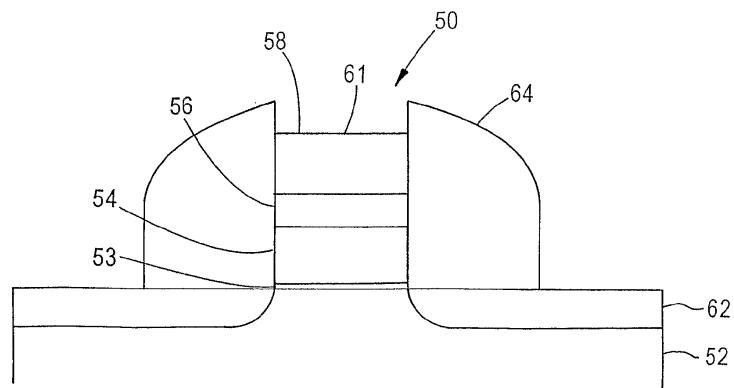
도면11



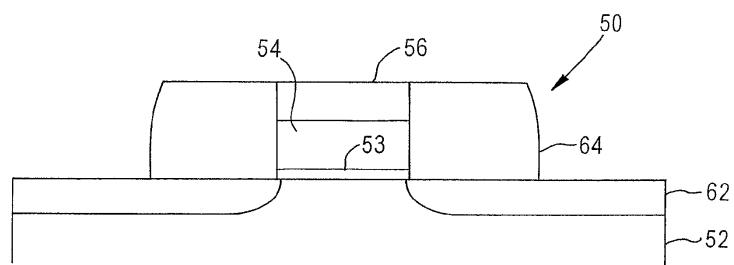
도면12



도면13



도면14



도면15

