

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年5月25日(25.05.2023)



(10) 国際公開番号

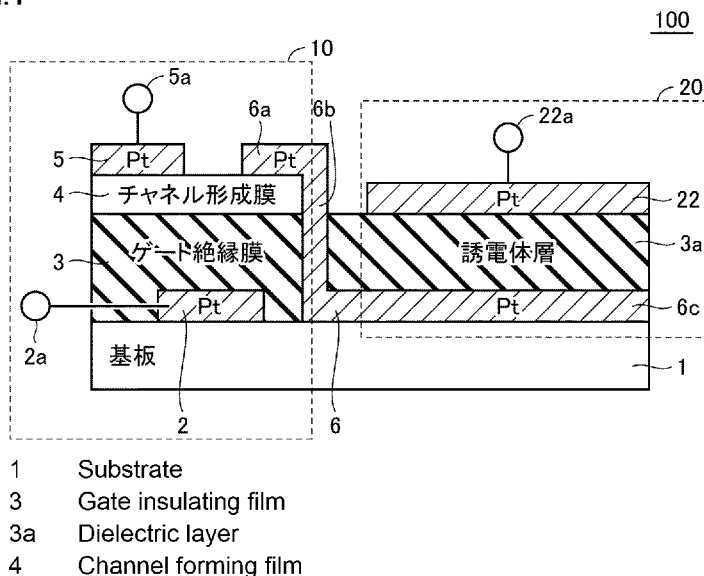
WO 2023/090293 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/822 (2006.01)
H01G 4/33 (2006.01) H01L 21/8234 (2006.01)
H01G 7/00 (2006.01) H01L 27/04 (2006.01)
H01G 17/00 (2006.01) H01L 27/06 (2006.01)
H01L 21/336 (2006.01) H01L 27/088 (2006.01)
- (21) 国際出願番号: PCT/JP2022/042259
- (22) 国際出願日: 2022年11月14日(14.11.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-187089 2021年11月17日(17.11.2021) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
- JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 宮迫 毅明 (MIYASAKO, Takaaki);
〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 弁理士法人深見特許事務所 (FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島三丁目 2 番 4 号 中之島フェスティバルタワー・ウエスト Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: ELECTRONIC ELEMENT AND CIRCUIT DEVICE

(54) 発明の名称: 電子素子、および回路装置

FIG.1



- 1 Substrate
3 Gate insulating film
3a Dielectric layer
4 Channel forming film

(57) Abstract: Provided are an electronic element in which a physical quantity of a passive element can be varied in a wide range including the case where the physical quantity is 0(zero), and a circuit device. A variable capacitance element (100) comprises a switch portion (10) and an element portion (20) constituting a capacitor. The switch portion (10) includes a source electrode (5), a drain electrode (6), a channel forming film (4) formed overlapping with at least a part of the source electrode (5) and at least a part of the drain electrode (6), a gate insulating film (3) formed overlapping with the channel forming film (4), and a gate electrode (2) formed on the gate insulating film (3). The element portion (20) includes a terminal electrode (5a) (first terminal electrode) electrically connected to the source electrode (5), and a terminal electrode

WO 2023/090293 A1

HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(22) (second terminal electrode) that sandwiches the dielectric layer (3a) or adjoins the dielectric layer (3a), and that constitutes a capacitor between a part (electrode 6c) of the drain electrode (6) and the terminal electrode (22). The dielectric layer and the gate insulating film are of the same insulating film.

(57) 要約: 本発明は、受動素子の物理量が0 (ゼロ) となる場合を含む広い範囲で物理量を可変することができる電子素子、および回路装置を提供する。可変容量素子(100)は、スイッチ部(10)と、キャパシタを構成する素子部(20)と、を備えている。スイッチ部(10)は、ソース電極(5)と、ドレイン電極(6)と、少なくともソース電極(5)の一部とドレイン電極(6)の一部とを重ねて形成されたチャネル形成膜(4)と、チャネル形成膜(4)に重ねて形成されたゲート絶縁膜(3)と、ゲート絶縁膜(3)に形成されたゲート電極(2)と、を有している。素子部(20)は、ソース電極(5)と電氣的に接続される端子電極(5a)(第1端子電極)と、誘電体層(3a)を挟む、または誘電体層(3a)に接してドレイン電極(6)の一部(電極6c)との間でキャパシタを構成する端子電極(22)(第2端子電極)と、を有し、誘電体層とゲート絶縁膜とは、同じ絶縁膜である。

明 細 書

発明の名称：電子素子、および回路装置

技術分野

[0001] 本発明は、受動素子の物理量を可変することができる電子素子、および当該電子素子を備える回路装置に関する。

背景技術

[0002] 受動素子の物理量を可変することができる電子素子として、例えば、容量（キャパシタ）を可変することができる可変容量素子が知られている。具体的に、マイクロマシニング技術を用いて板状の可動櫛歯電極と、当該可動櫛歯電極と微小空隙を介して面対向するように板状の固定櫛歯電極とを設けた可変容量素子が特許文献1に開示されている。また、FET（Field Effect Transistor）のON/OFF動作を利用した2端子構造の可変容量素子が非特許文献1に開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2002-373829号公報

非特許文献

[0004] 非特許文献1：Tokumitsu Eisuke, Kikuchi Kazuya, "Evaluation of Channel Modulation in In₂O₃/(Bi,La)₄Ti₃O₁₂Ferroelectric-Gate Thin Film Transistors by Capacitance-Voltage Measurements", Ferroelectrics, 429, p.15-21, Jun 2012

発明の概要

発明が解決しようとする課題

[0005] 特許文献1に開示された可変容量素子は、可変できる容量の幅は可変前の容量のせいぜい数倍程度と小さく、周波数を大幅に変調することが要求されるワイドバンドの通信システムや電源回路等の用途に用いるには可変できる容量の幅が不十分であった。また、特許文献1に開示された可変容量素子は

、対向する櫛歯電極の間の距離を変更することで容量を可変する構成である。そのため、当該可変容量素子では、変更できる距離に制限があり原理的に容量を0（ゼロ）にすることができない。

[0006] また、非特許文献1で開示された可変容量素子では、耐電圧を上げるためにゲート絶縁膜（誘電体）の膜厚を厚くすると、容量値が膜厚に対して反比例して減少することになる。

[0007] そこで、本発明の目的は、受動素子の物理量が0（ゼロ）となる場合を含む広い範囲で物理量を可変することができる電子素子、および回路装置を提供する。

課題を解決するための手段

[0008] 本開示の一形態に係る電子素子は、電界効果トランジスタを構成するスイッチ部と、スイッチ部と電氣的に接続され、受動素子を構成する素子部と、を備える。スイッチ部は、ソース電極と、ドレイン電極と、少なくともソース電極の一部とドレイン電極の一部とを重ねて形成されたチャネル形成膜と、チャネル形成膜に重ねて形成されたゲート絶縁膜と、ゲート絶縁膜に形成されたゲート電極と、を有する。素子部は、ソース電極と電氣的に接続される第1端子電極と、誘電体層を挟む、または誘電体層に接してドレイン電極の一部との間で受動素子を構成する第2端子電極と、を有し、誘電体層とゲート絶縁膜とは、同じ絶縁膜である。

[0009] 本開示の一形態に係る回路装置は、回路配線と、回路配線に電氣的に接続される、上記の電子素子と、を備える。

発明の効果

[0010] 本開示によれば、電子素子が、第1端子電極と、誘電体層を挟む、または誘電体層に接してドレイン電極の一部との間で受動素子を構成する第2端子電極と、を有する素子部を備えるので、受動素子の物理量が0（ゼロ）となる場合を含む広い範囲で物理量を可変することができる。

図面の簡単な説明

[0011] [図1]実施の形態1に係る可変容量素子の構成を説明するための断面図である

- [図2]実施の形態1に係る可変容量素子の構成を説明するための平面図である
- [図3]実施の形態1に係る可変容量素子の製造方法を説明するための断面図である。
- [図4]実施の形態1に係る多値化の可変容量素子の回路図である。
- [図5]実施の形態1の第1変形例に係る可変容量素子の構成を説明するための断面図である。
- [図6]実施の形態1の第2変形例に係る可変容量素子の構成を説明するための断面図である。
- [図7]実施の形態1の第3変形例に係る可変容量素子の構成を説明するための断面図である。
- [図8]実施の形態2に係る可変容量素子の構成を説明するための断面図である
- [図9]実施の形態2の第1変形例に係る可変容量素子の構成を説明するための断面図である。
- [図10]実施の形態2の第2変形例に係る可変容量素子の構成を説明するための断面図である。
- [図11]実施の形態2の第3変形例に係る可変容量素子の構成を説明するための断面図である。
- [図12]実施の形態2の第4変形例に係る可変容量素子の構成を説明するための断面図である。
- [図13]実施の形態3に係る可変容量素子の構成を説明するための断面図である。
- [図14]実施の形態3に係る可変容量素子の構成を説明するための平面図である。
- [図15]実施の形態3の第1変形例に係る可変容量素子の構成を説明するための断面図である。

[図16]実施の形態3の第2変形例に係る可変容量素子の構成を説明するための断面図である。

[図17]実施の形態3の第3変形例に係る可変容量素子の構成を説明するための断面図である。

[図18]実施の形態4に係る可変インダクタンス素子の構成を説明するための断面図である。

[図19]実施の形態4に係る可変インダクタンス素子の等価回路図である。

[図20]実施の形態4の変形例に係る可変インダクタンス素子の構成を説明するための平面図である。

[図21]実施の形態4の変形例に係る可変インダクタンス素子の構成を説明するための断面図である。

[図22]実施の形態5に係る可変容量素子の構成を説明するための断面図である。

発明を実施するための形態

[0012] 以下に、本開示の実施の形態に係る電子素子について図面を参照して詳しく説明する。特に、本開示の実施の形態に係る電子素子では、受動素子の物理量を可変することができる電子素子について説明する。なお、図中同一符号は同一または相当部分を示す。また、本開示において、受動素子の物理量が0（ゼロ）となる場合とは、完全に物理量が0（ゼロ）の場合に限定されず、物理量がある状態に対して物理量を0（ゼロ）と見なすことができる所定量以下（例えば、1万分の1以下）の物理量であればよい。さらに、電子素子は、受動素子の物理量がある状態と、物理量が0（ゼロ）となる状態とを切り替えることができることからメモリ特性を付与することもできる。

[0013] （実施の形態1）

実施の形態1では、受動素子がキャパシタで、可変させる物理量が容量である可変容量素子について説明する。特に、実施の形態1では、容量がある状態と、容量が0（ゼロ）となる状態（以下、容量がない状態ともいう）とを切り替えることができる可変容量素子について図面を参照しながら説明す

る。図1は、実施の形態1に係る可変容量素子100の構成を説明するための断面図である。図2は、実施の形態1に係る可変容量素子100の構成を説明するための平面図である。

[0014] 図1に示す可変容量素子100は、半導体基板1上に形成した電界効果トランジスタを構成するスイッチ部10と、スイッチ部10と電氣的に接続され、キャパシタを構成する素子部20とを含んでいる。素子部20とスイッチ部10とは、半導体基板1に対して水平方向に配置されている。

[0015] スイッチ部10は、ゲート電極2、ゲート絶縁膜3、チャネル形成膜4、ソース電極5、およびドレイン電極6を有している。図1に示すスイッチ部10では、半導体基板1上にゲート電極2を形成し、ゲート電極2に重ねてゲート絶縁膜3およびチャネル形成膜4を順に形成し、それらの上にソース電極5およびドレイン電極6の一部をそれぞれ形成している。

[0016] より具体的に、スイッチ部10は、酸化物FET (Field Effect Transistor) である。半導体基板1には、例えば、アルミン酸ランタン (LAO) を用い、その上に白金 (Pt) でゲート電極2を図2に示す所定のパターンで形成する。ゲート絶縁膜3には、例えば、膜厚が70nmのLa-HfO₂膜を用い、チャネル形成膜4には、例えば、膜厚が25nmのIZO膜を用いる。IZO膜のチャネル形成膜4の上に、白金 (Pt) でソース電極5およびドレイン電極6を図2に示す所定のパターンで形成する。なお、図2に示すソース電極5の上には、端子電極5a (第1端子電極) が設けられているが、ソース電極5自体を端子電極5aとして用いてもよい。スイッチ部10では、例えばチャネル幅Wを100μm、チャネル長Lを10μmとする。

[0017] 図1に示すように、ドレイン電極6は、チャネル形成膜4上に形成される部分だけでなく、素子部20を構成する部分まで延びている。具体的に、ドレイン電極6は、スイッチ部10を構成する電極6aと、素子部20を構成する電極6cと、電極6aと電極6cとを繋ぐ電極6bと、を含む。電極6aは、チャネル形成膜4上に形成されるドレイン電極6の一部である。電極

6cは、半導体基板1上に形成されるドレイン電極6の一部である。電極6bは、ゲート絶縁膜3を貫いて形成されるドレイン電極6の一部である。

[0018] 素子部20は、ドレイン電極6の一部（電極6cの上部）に設けたキャパシタである。素子部20は、電極6cと、ゲート絶縁膜3と同じ絶縁膜で形成された誘電体層3a、誘電体層3aに重ねて形成される白金（Pt）の端子電極22（第2端子電極）とを含む。端子電極22は、図2に示す所定のパターンで形成される。なお、ゲート電極2は、図2に示すようにソース電極5とドレイン電極6とが重なる領域から引き出され、ゲート電極2の上に制御電極端子2aが設けられている。

[0019] 素子部20は、ドレイン電極6の一部（電極6c）と端子電極22との間に設けられている誘電体層3aでキャパシタを構成する。キャパシタは、図2に示すようにドレイン電極6と端子電極22とが平面視で重なる部分C1である。なお、ドレイン電極6は、浮遊電極であり、可変容量素子100の端子電極5aとは電氣的に直接接続されていない。

[0020] 可変容量素子100は、スイッチ部10がOFF状態の場合、ゲート電極2に閾値以上のゲート電圧が印加されないので、平面視でゲート電極2と重なるチャンネル形成膜4の位置に電子空乏層があり、ソース電極5とドレイン電極6とは導通しない。そのため、可変容量素子100は、ソース電極5のみに電圧が印加され、電極6cと端子電極22との間に電圧が印加されないため、キャパシタが構成されない。

[0021] 一方、可変容量素子100は、スイッチ部10がON状態の場合、ゲート電極2に閾値以上のゲート電圧を印加することでチャンネルが形成されソース電極5とドレイン電極6とが導通する。そのため、可変容量素子100は、ソース電極5およびドレイン電極6に電圧が印加され、電極6cと端子電極22との間にも電圧が印加されるのでキャパシタが構成される。

[0022] つまり、可変容量素子100では、スイッチ部10をON/OFF動作することで、キャパシタがない状態と、キャパシタがある状態とを切り替え、キャパシタをON/OFFしている。可変容量素子100は、ゲート電極2

(制御電極端子 2 a) への印加電圧により ON/OFF 動作するスイッチ部 10 と、端子電極 5 a (第 1 端子電極) を介してドレイン電極 6 の一部 (電極 6 c) と端子電極 22 (第 2 端子電極) の端子 22 a とで動作する素子部 20 とに分けられ、3 端子で動作する。

[0023] また、可変容量素子 100 では、スイッチ部 10 のゲート電極 2 (制御電極端子 2 a) と、素子部 20 の端子電極 22 (第 2 端子電極) の端子 22 a とが電氣的に分離されているため、素子部 20 側の信号によってスイッチ部 10 の動作に影響を与えることがない。可変容量素子 100 の端子電極 5 a (第 1 端子電極) および端子電極 22 (第 2 端子電極) の端子 22 a がフィルタ回路などに接続される一方、容量の有無を切り替えるための制御電極端子 2 a は当該フィルタ回路とは別の回路と接続される。そのため、フィルタ回路の信号によって制御電極端子 2 a に印加される信号が影響される可能性が低い。

[0024] さらに、可変容量素子 100 では、スイッチ部 10 のチャンネル長 L を短くすることで、ソース電極 5 とドレイン電極 6 との間のチャンネル形成膜 4 の電気抵抗を下げるができる。そのため、可変容量素子 100 では、容量の有無を高速に切り替えるために、スイッチ部 10 のスイッチング速度 (時定数) を改善することで対応することができる。

[0025] 次に、可変容量素子 100 の製造方法について図を用いて説明する。図 3 は、実施の形態 1 に係る可変容量素子の製造方法を説明するための断面図である。まず、図 3 (a) では、準備したアルミン酸ランタン (LAO) の半導体基板 1 の (100) 面に、膜厚 80 nm の白金 (Pt) のゲート電極 2 およびドレイン電極 6 の一部 (電極 6 c) を形成する。具体的に、ゲート電極 2 は、半導体基板 1 の (100) 面にフォトリソグラフィ技術を用いて所定のパターンのフォトレジストを形成し、その後、高周波 (RF) スパッタリングで白金 (Pt) を成膜して、リフトオフでフォトレジストを取り去ることで形成される。

[0026] 図 3 (b) では、ゲート電極 2 およびドレイン電極 6 の一部 (電極 6 c)

を形成した半導体基板 1 の面に重ねて膜厚 70 nm のゲート絶縁膜 3 を形成する。具体的に、ゲート絶縁膜 3 は、化学溶液堆積法 (CSD: Chemical Solution Deposition) を用いゲート電極 2 を形成した半導体基板 1 の面に La-HfO_2 溶液をスピコートして成膜し、150°C で乾燥させた後、酸素雰囲気下、800°C で焼成して結晶化することで形成される。

[0027] 図 3 (c) では、ゲート絶縁膜 3 に重ねて膜厚 25 nm のチャネル形成膜 4 を形成する。具体的に、チャネル形成膜 4 は、化学溶液堆積法 (CSD) を用い、ゲート絶縁膜 3 に重ねて IZO 溶液をスピコートして成膜し、150°C で乾燥させた後、酸素雰囲気下、500°C で焼成して結晶化することで形成される。

[0028] 図 3 (d) では、ゲート絶縁膜 3 およびチャネル形成膜 4 を貫くドレイン電極 6 の一部 (電極 6 b) を形成する。具体的に、電極 6 b は、例えば、電極 6 c と重なる位置にゲート絶縁膜 3 およびチャネル形成膜 4 を貫くホールを形成し、形成したホールに導電材料を充填したビア導体である。さらに、図 3 (d) では、チャネル形成膜 4 の上に、膜厚 80 nm の白金 (Pt) のソース電極 5 およびドレイン電極 6 の一部 (電極 6 c) を形成する。具体的に、ソース電極 5 および電極 6 c は、チャネル形成膜 4 の上にフォトリソグラフィ技術を用いて所定のパターンのフォトレジストを形成し、その後、高周波 (RF) スパッタリングで白金 (Pt) を成膜して、リフトオフでフォトレジストを取り去ることで形成される。なお、電極 6 c と電極 6 b とは、電氣的に接続されている。

[0029] 図 3 (e) では、ドレイン電極 6 の一部 (電極 6 c) 上にあるチャネル形成膜 4 を取り除いて、膜厚 80 nm の白金 (Pt) の端子電極 22 を形成する。具体的に、端子電極 22 は、チャネル形成膜 4 を取り除いた後、誘電体層 3 a の上にフォトリソグラフィ技術を用いて所定のパターンのフォトレジストを形成し、その後、高周波 (RF) スパッタリングで白金 (Pt) を成膜して、リフトオフでフォトレジストを取り去ることで形成される。

[0030] これまで説明した可変容量素子 100 は、キャパシタがない状態と、キャ

パシタがある状態とを切り替えることができる素子について説明した。しかし、半導体基板 1 上に、複数の可変容量素子 100 をマトリクス状に形成することで、多値化の可変容量素子を構成することができる。図 4 は、実施の形態 1 に係る多値化の可変容量素子 100 a の回路図である。

[0031] 図 4 では、図 1 に示した 1 つの可変容量素子 100 をマトリクス状に $n \times n$ 個接続した可変容量素子 100 a の回路図が図示されている。図 4 に示す可変容量素子 100 a では、端子電極 5 a (第 1 端子電極) および端子電極 2 2 (第 2 端子電極) が $n \times n$ 個の可変容量素子 100 に対して共通である。しかし、 $n \times n$ 個の可変容量素子 100 の各々の制御電極端子 2 a は、別々に設けられており、端子 G 1 1 ~ 端子 G n n と図 4 では図示されている。これら端子 G 1 1 ~ 端子 G n n に信号を供給することで、必要な数の可変容量素子 100 を ON 状態にして必要な容量を得ることができるので、可変容量素子 100 a は容量を多値化することができる。

[0032] 以上のように、実施の形態 1 に係る可変容量素子 100 は、電界効果トランジスタを構成するスイッチ部 10 と、スイッチ部 10 と電氣的に接続され、キャパシタを構成する素子部 20 と、を備えている。スイッチ部 10 は、ソース電極 5 と、ドレイン電極 6 と、少なくともソース電極 5 の一部とドレイン電極 6 の一部とを重ねて形成されたチャネル形成膜 4 と、チャネル形成膜 4 に重ねて形成されたゲート絶縁膜 3 と、ゲート絶縁膜 3 に重ねて形成されたゲート電極 2 と、を有している。素子部 20 は、ソース電極 5 と電氣的に接続される端子電極 5 a (第 1 端子電極) と、誘電体層 3 a を挟んでドレイン電極 6 の一部 (電極 6 c) との間でキャパシタを構成する端子電極 2 2 (第 2 端子電極) と、を有する。誘電体層 3 a とゲート絶縁膜 3 とは同じ絶縁膜である。

[0033] これにより、実施の形態 1 に係る可変容量素子 100 は、ゲート絶縁膜 3 と同じ絶縁膜で形成される誘電体層 3 a を挟んでドレイン電極 6 の一部 (電極 6 c) と端子電極 2 2 との間でキャパシタを構成するので、容量が 0 (ゼロ) となる場合を含む広い範囲で容量を可変することができる。

[0034] また、可変容量素子100では、誘電体層3aとゲート絶縁膜3とを同じ絶縁膜とすることで、プロセス数の削減することができる。さらに、可変容量素子100は、スイッチ部10に重ねて素子部20を形成せずに、スイッチ部10と素子部20とを、半導体基板1に対して水平方向に形成することで、高温処理などでスイッチ部10に悪影響を与える工程が必要な誘電体材料や、下地の配向性に影響を受ける誘電体材料などを、誘電体層3aに選択することができ、材料の選択性が改善する。

[0035] 可変容量素子100では、ドレイン電極6の一部（電極6c）が、ゲート電極2を形成したゲート絶縁膜3の面と同じ側の誘電体層3aの面に形成しており、端子電極22が、ゲート電極2を形成したゲート絶縁膜3の面に対して反対側の誘電体層3aの面に形成してある。

[0036] （変形例1-1）

可変容量素子100では、図1に示すようにドレイン電極6の一部（電極6c）と端子電極22との間に設けられている誘電体層3aでキャパシタを構成している。可変容量素子100において、キャパシタの容量をさらに大きくするには、素子部20を構成する誘電体層を複数にして積層する構成が考えられる。図5は、実施の形態1の第1変形例に係る可変容量素子100Aの構成を説明するための断面図である。なお、図5に示す可変容量素子100Aにおいて、図1に示す可変容量素子100と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

[0037] 図5に示す可変容量素子100Aは、半導体基板1上に形成した電界効果トランジスタを構成するスイッチ部10と、スイッチ部10と電氣的に接続され、受動素子を構成する素子部20Aとを含んでいる。

[0038] 素子部20Aは、ドレイン電極6の一部（電極6c）と端子電極22との間に設けられている誘電体層3aでキャパシタを構成し、さらに端子電極22とドレイン電極6の一部（電極6d）との間に設けられている誘電体層7でキャパシタを構成している。ドレイン電極6の一部（電極6c, 6d）と端子電極22とで挟む誘電体層は、ゲート絶縁膜3と同じ絶縁膜で形成され

た誘電体層 3 a (第 1 誘電体層) と、ゲート絶縁膜 3 と異なる絶縁膜で形成された誘電体層 7 (第 2 誘電体層) と、を含む。

[0039] 素子部 20 A は、ドレイン電極 6 の一部 (電極 6 c) と、誘電体層 3 a (第 1 誘電体層) と、端子電極 22 と、誘電体層 7 (第 2 誘電体層) と、ドレイン電極 6 の一部 (電極 6 d) とを順に積層して、複数層のキャパシタを構成している。これにより、素子部 20 A を含む可変容量素子 100 A は、キャパシタの容量をさらに大きくすることができる。例えば、誘電体層 3 a で構成されるキャパシタの容量を C_A 、誘電体層 7 で構成されるキャパシタの容量を C_B とすると、可変容量素子 100 A は、スイッチ部 10 を ON 状態にした場合の容量 C_{ON} が、 $C_{ON} = C_A + C_B$ となる。

[0040] 誘電体層 3 a と誘電体層 7 とは、同じ膜厚であっても、異なる膜厚であってもよい。さらに、誘電体層 3 a と誘電体層 7 とは同じ誘電体材料であっても、異なる誘電体材料であってもよい。具体的に、誘電体層 3 a または誘電体層 7 のどちらか一方に、誘電率が DC バイアス電圧に依存する誘電体材料 (例えば (Ba, Sr) TiO₃ 系ペロブスカイト酸化物など) を用いてもよい。当該誘電体材料を誘電体層 3 a または誘電体層 7 のどちらか一方に用いることで、スイッチ部 10 を ON 状態にした場合の容量 C_{ON} を微調整することができる。例えば、誘電体層 7 に当該誘電体材料を用い、端子電極 22 に DC バイアス電圧 (V_{DC}) を印加した場合、可変容量素子 100 A は、スイッチ部 10 を ON 状態にした場合の容量 C_{ON} が、 $C_{ON} = C_A + C_B (V_{DC})$ となる。 $C_B (V_{DC})$ は、端子電極 22 に印加した DC バイアス電圧 (V_{DC}) により変化するので、容量 C_{ON} を微調整することが可能となる。

[0041] 可変容量素子 100 A では、素子部 20 A において、ドレイン電極 6 の一部 (電極 6 c) と、誘電体層 3 a (第 1 誘電体層) と、端子電極 22 と、誘電体層 7 (第 2 誘電体層) と、ドレイン電極 6 の一部 (電極 6 d) とを順に積層して、2 層のキャパシタを構成したが、3 層以上のキャパシタを構成してもよい。

[0042] (変形例 1-2)

図6は、実施の形態1の第2変形例に係る可変容量素子100Bの構成を説明するための断面図である。なお、図6に示す可変容量素子100Bにおいて、図5に示す可変容量素子100Aと同じ構成については同じ符号を付して詳細な説明は繰り返さない。

[0043] 図6に示す可変容量素子100Bは、半導体基板1上に形成した電界効果トランジスタを構成するスイッチ部10Aと、スイッチ部10Aと電氣的に接続され、受動素子を構成する素子部20Aとを含んでいる。

[0044] スイッチ部10Aは、ゲート電極2、ゲート絶縁膜3、チャネル形成膜4、ソース電極5、ドレイン電極6、およびパッシベーション膜7aを有している。図6に示すスイッチ部10Aでは、半導体基板1上にゲート電極2を形成し、ゲート電極2に重ねてゲート絶縁膜3およびチャネル形成膜4を順に形成し、それらの上にソース電極5およびドレイン電極6の一部をそれぞれ形成してパッシベーション膜7aで被っている。

[0045] 可変容量素子100Bでは、誘電体層7の一部で、ソース電極5とドレイン電極6との間のチャネル形成膜4を被いパッシベーション膜7aを形成している。パッシベーション膜7aは、スイッチ部10の特性劣化を抑制することができる。また、誘電体層7の一部でパッシベーション膜7aを形成することで、別途プロセスを追加せずにチャネル形成膜4を被いパッシベーション膜を形成できる。

[0046] (変形例1-3)

図7は、実施の形態1の第3変形例に係る可変容量素子100Cの構成を説明するための断面図である。なお、図7に示す可変容量素子100Cにおいて、図5に示す可変容量素子100Aと同じ構成については同じ符号を付して詳細な説明は繰り返さない。

[0047] 図7に示す可変容量素子100Cは、半導体基板1上に形成した電界効果トランジスタを構成するスイッチ部10Bと、スイッチ部10Bと電氣的に接続され、受動素子を構成する素子部20Bとを含んでいる。

[0048] スイッチ部10Bは、ゲート電極2、ゲート絶縁膜3、チャネル形成膜4

、ソース電極5、およびドレイン電極6を有している。しかし、スイッチ部10Bは、図1に示すスイッチ部10のようなボトムゲート構造ではなく、トップゲート構造を採用している。スイッチ部10Bは、誘電体層7上にチャンネル形成膜4を重ね、チャンネル形成膜4の上にソース電極5およびドレイン電極6をそれぞれ形成し、ソース電極5およびドレイン電極6にゲート絶縁膜3を形成し、ゲート絶縁膜3の上にゲート電極2を形成している。

[0049] なお、素子部20Bは、ドレイン電極6の一部（電極6d）が半導体基板1側に形成されるので、ドレイン電極6の一部（電極6d）と、誘電体層7（第2誘電体層）と、端子電極22と、誘電体層3a（第1誘電体層）と、ドレイン電極6の一部（電極6c）とを順に積層して、2層のキャパシタを構成している。

[0050] 可変容量素子100Cは、トップゲート構造のスイッチ部10Bを採用しているが、ボトムゲート構造のスイッチ部10を採用した可変容量素子100Aと同様の効果が得られる。また、図1に示した可変容量素子100のスイッチ部に、トップゲート構造のスイッチ部を採用してもよい。

[0051] （実施の形態2）

実施の形態1に係る可変容量素子100では、素子部20において浮遊電極であるドレイン電極6の一部（電極6c）が半導体基板1側に形成される構成を説明した。実施の形態2に係る可変容量素子では、素子部において端子電極が半導体基板側に形成される構成を説明する。図8は、実施の形態2に係る可変容量素子200の構成を説明するための断面図である。なお、図8に示す可変容量素子200において、図1に示す可変容量素子100と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

[0052] 図8に示す可変容量素子200は、電界効果トランジスタを構成するスイッチ部10と、スイッチ部10と電氣的に接続され、受動素子を構成する素子部20Cとを含んでいる。素子部20Cとスイッチ部10とは、半導体基板1に対して水平方向に配置されている。

[0053] スwitch部10は、ゲート電極2、ゲート絶縁膜3、チャンネル形成膜4、

ソース電極 5、およびドレイン電極 6 を有している。図 8 に示すスイッチ部 10 では、半導体基板 1 上にゲート電極 2 を形成し、ゲート電極 2 に重ねてゲート絶縁膜 3 およびチャネル形成膜 4 を順に形成し、それらの上にソース電極 5 およびドレイン電極 6 の一部をそれぞれ形成している。

[0054] 図 1 に示すように、ドレイン電極 6 は、チャネル形成膜 4 上に形成される部分だけでなく、素子部 20C を構成する部分まで延びている。素子部 20C は、ドレイン電極 6 の一部に設けたキャパシタである。素子部 20C は、ドレイン電極 6 の一部と、ゲート絶縁膜 3 と同じ絶縁膜で形成された誘電体層 3a、誘電体層 3a に重ねて形成される白金 (Pt) の端子電極 22 (第 2 端子電極) とを含む。なお、ドレイン電極 6 は、浮遊電極であり、可変容量素子 200 の端子電極 5a とは電氣的に直接接続されていない。

[0055] 可変容量素子 200 は、スイッチ部 10 が OFF 状態の場合、ゲート電極 2 に閾値以上のゲート電圧が印加されないので、平面視でゲート電極 2 と重なるチャネル形成膜 4 の位置に電子空乏層があり、ソース電極 5 とドレイン電極 6 とは導通しない。そのため、可変容量素子 200 は、ソース電極 5 のみに電圧が印加され、電極 6c と端子電極 22 との間に電圧が印加されないため、キャパシタが構成されない。

[0056] 一方、可変容量素子 200 は、スイッチ部 10 が ON 状態の場合、ゲート電極 2 に閾値以上のゲート電圧を印加することでチャネルが形成されソース電極 5 とドレイン電極 6 とが導通する。そのため、可変容量素子 200 は、ソース電極 5 およびドレイン電極 6 に電圧が印加され、電極 6c と端子電極 22 との間にも電圧が印加されるのでキャパシタが構成される。

[0057] つまり、可変容量素子 200 では、スイッチ部 10 を ON/OFF 動作することで、キャパシタがない状態と、キャパシタがある状態とを切り替え、キャパシタを ON/OFF している。可変容量素子 200 は、ゲート電極 2 (制御電極端子 2a) への印加電圧により ON/OFF 動作するスイッチ部 10 と、端子電極 5a (第 1 端子電極) を介してドレイン電極 6 の一部と端子電極 22 (第 2 端子電極) の端子 22a とで動作する素子部 20C とに分

けられ、3端子で動作する。

[0058] 以上のように、実施の形態2に係る可変容量素子200は、端子電極22が、ゲート電極2を形成したゲート絶縁膜3の面と同じ側の誘電体層3aの面に形成してあり、ドレイン電極6の一部が、ゲート電極2を形成したゲート絶縁膜3の面に対して反対側の誘電体層3aの面に形成してある。

[0059] これにより、実施の形態1に係る可変容量素子200は、ゲート絶縁膜3と同じ絶縁膜で形成される誘電体層3aを挟んでドレイン電極6の一部と端子電極22との間でキャパシタを構成するので、容量が0（ゼロ）となる場合を含む広い範囲で容量を可変することができる。

[0060] （変形例2-1）

可変容量素子200では、図8に示すようにドレイン電極6の一部と端子電極22との間に設けられている誘電体層3aでキャパシタを構成している。可変容量素子200において、キャパシタの容量をさらに大きくするには、素子部20Cを構成する誘電体層を複数にして積層する構成が考えられる。図9は、実施の形態2の第1変形例に係る可変容量素子200Aの構成を説明するための断面図である。なお、図9に示す可変容量素子200Aにおいて、図8に示す可変容量素子200と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

[0061] 図9に示す可変容量素子200Aは、半導体基板1上に形成した電界効果トランジスタを構成するスイッチ部10と、スイッチ部10と電氣的に接続され、受動素子を構成する素子部20Dとを含んでいる。

[0062] 素子部20Dは、ドレイン電極6の一部と端子電極22の一部（端子電極221）との間に設けられている誘電体層3aでキャパシタを構成し、さらにドレイン電極6の一部と端子電極22の一部（端子電極222）との間に設けられている誘電体層7でキャパシタを構成している。なお、端子電極22は、半導体基板1上に形成される端子電極221と、誘電体層7上に形成される端子電極222と、端子電極221と端子電極222とを繋ぐ端子電極223と、を含む。ドレイン電極6の一部と端子電極22の一部（端子電

極 2 2 1, 2 2 2) とで挟む誘電体層は、ゲート絶縁膜 3 と同じ絶縁膜で形成された誘電体層 3 a (第 1 誘電体層) と、ゲート絶縁膜 3 と異なる絶縁膜で形成された誘電体層 7 (第 2 誘電体層) と、を含む。

[0063] 素子部 2 0 D は、端子電極 2 2 の一部 (端子電極 2 2 1) と、誘電体層 3 a (第 1 誘電体層) と、ドレイン電極 6 と、誘電体層 7 (第 2 誘電体層) と、端子電極 2 2 の一部 (端子電極 2 2 2) とを順に積層して、複数層のキャパシタを構成している。これにより、素子部 2 0 D を含む可変容量素子 2 0 0 A は、キャパシタの容量をさらに大きくすることができる。誘電体層 3 a と誘電体層 7 とは、同じ膜厚であっても、異なる膜厚であってもよい。さらに、誘電体層 3 a と誘電体層 7 とは同じ誘電体材料であっても、異なる誘電体材料であってもよい。

[0064] 可変容量素子 2 0 0 A では、素子部 2 0 D において、端子電極 2 2 の一部 (端子電極 2 2 1) と、誘電体層 3 a (第 1 誘電体層) と、ドレイン電極 6 と、誘電体層 7 (第 2 誘電体層) と、端子電極 2 2 の一部 (端子電極 2 2 2) とを順に積層して、2 層のキャパシタを構成したが、3 層以上のキャパシタを構成してもよい。

[0065] (変形例 2-2)

図 1 0 は、実施の形態 2 の第 2 変形例に係る可変容量素子 2 0 0 B の構成を説明するための断面図である。なお、図 1 0 に示す可変容量素子 2 0 0 B において、図 9 に示す可変容量素子 2 0 0 A と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

[0066] 図 1 0 に示す可変容量素子 2 0 0 B は、半導体基板 1 上に形成した電界効果トランジスタを構成するスイッチ部 1 0 A と、スイッチ部 1 0 A と電氣的に接続され、受動素子を構成する素子部 2 0 D とを含んでいる。

[0067] スイッチ部 1 0 A は、ゲート電極 2、ゲート絶縁膜 3、チャネル形成膜 4、ソース電極 5、ドレイン電極 6、およびパッシベーション膜 7 a を有している。図 1 0 に示すスイッチ部 1 0 A では、半導体基板 1 上にゲート電極 2 を形成し、ゲート電極 2 に重ねてゲート絶縁膜 3 およびチャネル形成膜 4 を

順に形成し、それらの上にソース電極5およびドレイン電極6の一部をそれぞれ形成してパッシベーション膜7aで被っている。

[0068] 可変容量素子200Bでは、誘電体層7の一部で、ソース電極5とドレイン電極6との間のチャンネル形成膜4を被いパッシベーション膜7aを形成している。パッシベーション膜7aは、スイッチ部10Aの特性劣化を抑制することができる。また、誘電体層7の一部でパッシベーション膜7aを形成することで、別途プロセスを追加せずにチャンネル形成膜4を被いパッシベーション膜を形成できる。

[0069] (変形例2-3)

図11は、実施の形態2の第3変形例に係る可変容量素子200Cの構成を説明するための断面図である。なお、図11に示す可変容量素子200Cにおいて、図9に示す可変容量素子200Aと同じ構成については同じ符号を付して詳細な説明は繰り返さない。

[0070] 図11に示す可変容量素子100Cは、半導体基板1上に形成した電界効果トランジスタを構成するスイッチ部10Bと、スイッチ部10Bと電氣的に接続され、受動素子を構成する素子部20Eとを含んでいる。

[0071] スイッチ部10Bは、ゲート電極2、ゲート絶縁膜3、チャンネル形成膜4、ソース電極5、およびドレイン電極6を有している。しかし、スイッチ部10Bは、図9に示すスイッチ部10のようなボトムゲート構造ではなく、トップゲート構造を採用している。スイッチ部10Bは、誘電体層7上にチャンネル形成膜4を重ね、チャンネル形成膜4の上にソース電極5およびドレイン電極6をそれぞれ形成し、ソース電極5およびドレイン電極6にゲート絶縁膜3を形成し、ゲート絶縁膜3の上にゲート電極2を形成している。

[0072] なお、素子部20Eは、端子電極22の一部（端子電極222）と、誘電体層7（第2誘電体層）と、ドレイン電極6と、誘電体層3a（第1誘電体層）と、端子電極22の一部（端子電極221）とを順に積層して、2層のキャパシタを構成している。

[0073] 可変容量素子200Cは、トップゲート構造のスイッチ部10Bを採用し

ているが、ボトムゲート構造のスイッチ部10を採用した可変容量素子200Aと同様の効果が得られる。また、図8に示した可変容量素子200のスイッチ部に、トップゲート構造のスイッチ部を採用してもよい。

[0074] (変形例2-4)

図12は、実施の形態2の第4変形例に係る可変容量素子200Dの構成を説明するための断面図である。なお、図12に示す可変容量素子200Dにおいて、図8に示す可変容量素子200と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

[0075] 図12に示す可変容量素子100Dは、半導体基板1上に形成した電界効果トランジスタを構成するスイッチ部10Cと、スイッチ部10Cと電氣的に接続され、受動素子を構成する素子部20Cとを含んでいる。

[0076] スイッチ部10Cは、ゲート電極2、ゲート絶縁膜3、チャネル形成膜4、ソース電極5、およびドレイン電極6を有している。しかし、スイッチ部10Cは、図8に示すスイッチ部10のようなソース電極5およびドレイン電極6の下側にチャネル形成膜4を形成してあるトップコンタクト構造ではなく、ソース電極5およびドレイン電極6の上側にチャネル形成膜4を形成してあるボトムコンタクト構造である。ボトムコンタクト構造は、チャネル形成膜4の下側でソース電極5およびドレイン電極6とコンタクトする構造である。

[0077] 可変容量素子200Dは、ボトムコンタクト構造のスイッチ部10Cを採用しているが、トップコンタクト構造のスイッチ部10を採用した可変容量素子200Aと同様の効果が得られる。また、図1に示した可変容量素子100のスイッチ部に、ボトムコンタクト構造のスイッチ部を採用してもよい。

[0078] (実施の形態3)

実施の形態2に係る可変容量素子200では、スイッチ部10をON/OFF動作することで、キャパシタがない状態と、キャパシタがある状態とを切り替え、キャパシタをON/OFFしていると説明した。実施の形態3に

係る可変容量素子では、スイッチ部をON/OFF動作することで、キャパシタがない状態ではなくキャパシタの容量が小さい状態と、キャパシタの容量が大きい状態とを切り替える。図13は、実施の形態3に係る可変容量素子300の構成を説明するための断面図である。図14は、実施の形態3に係る可変容量素子300の構成を説明するための平面図である。なお、図13および図14に示す可変容量素子300において、図8に示す可変容量素子200と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

[0079] 図13に示す可変容量素子300は、半導体基板1上に形成した電界効果トランジスタを構成するスイッチ部10と、スイッチ部10と電氣的に接続され、受動素子を構成する素子部20FAとを含んでいる。素子部20FAとスイッチ部10とは、半導体基板1に対して水平方向に配置されている。

[0080] 素子部20FAは、誘電体層3aと、誘電体層3aに重ねて形成される端子電極22（第2端子電極）とを含む。端子電極22は、図14に示すようにソース電極5とドレイン電極6との間に形成されるチャネル領域を避けたパターンで形成される。そのため、図13に示す断面図において、端子電極22は、ドレイン電極6の下部に形成されている端子電極22Aだけでなく、ソース電極5の下部に形成されている端子電極22Bにも設けられている。

[0081] 素子部20FAは、ドレイン電極6と端子電極22Aとの間で第1キャパシタを構成し、ソース電極5と端子電極22Bとの間で第2キャパシタを構成する。第1キャパシタは、図14に示すようにドレイン電極6と端子電極22Aとが平面視で重なる部分C1である。第2キャパシタは、ソース電極5と端子電極22Bとが平面視で重なる部分C2である。

[0082] 可変容量素子300は、スイッチ部10がOFF状態の場合、ゲート電極2に閾値以上のゲート電圧が印加されないので、平面視でゲート電極2と重なるチャネル形成膜4の位置に電子空乏層があり、ソース電極5とドレイン電極6とは導通しない。そのため、可変容量素子300は、ソース電極5と

当該ソース電極5と対向する端子電極22Bの部分との間にのみ電圧が印加されるので第2キャパシタのみの容量となる。

[0083] しかし、可変容量素子300は、スイッチ部10がON状態の場合、ゲート電極2に閾値以上のゲート電圧を印加することでチャンネルが形成されソース電極5とドレイン電極6とが導通する。そのため、可変容量素子300は、ソース電極5およびドレイン電極6と、対向する端子電極22との間に電圧が印加されるので、第1キャパシタおよび第2キャパシタの合成容量となる。

[0084] 可変容量素子300は、図14に示したように端子電極22が、ソース電極5とドレイン電極6との間に形成されるチャンネル領域の全ての部分を迂回するパターンで形成されなくても、チャンネル領域の一部と重なるパターンでもよい。

[0085] 以上のように、可変容量素子300は、端子電極22の一部（端子電極22B）が、誘電体層3aを挟んでソース電極5の一部と対向する。これにより、可変容量素子300は、スイッチ部10のON/OFFで、素子部20FAの状態を第2キャパシタの状態と、第1キャパシタ+第2キャパシタの状態とに切り替えることができる。

[0086] （変形例3-1）

可変容量素子300では、図13に示すようにドレイン電極6と端子電極22A、およびソース電極5と端子電極22Bとの間に設けられている誘電体層3aでキャパシタを構成している。可変容量素子300において、キャパシタの容量をさらに大きくするには、素子部20FAを構成する誘電体層を複数にして積層する構成が考えられる。図15は、実施の形態3の第1変形例に係る可変容量素子300Aの構成を説明するための断面図である。なお、図15に示す可変容量素子300Aにおいて、図15に示す可変容量素子300と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

[0087] 図15に示す可変容量素子300Aは、半導体基板1上に形成した電界効

果トランジスタを構成するスイッチ部10Aと、スイッチ部10Aと電氣的に接続され、受動素子を構成する素子部20Fとを含んでいる。

[0088] 素子部20Fの第1キャパシタは、ドレイン電極6の一部と端子電極22の一部（端子電極22A）との間に設けられている誘電体層3aで構成したキャパシタと、ドレイン電極6の一部と端子電極22の一部（端子電極22C）との間に設けられている誘電体層7で構成したキャパシタとを含む。なお、端子電極22は、半導体基板1上に形成される端子電極22Aと、誘電体層7上に形成される端子電極22Cと、端子電極22Aと端子電極22Cとを繋ぐ端子電極22Dと、を含む。ドレイン電極6の一部と端子電極22の一部（端子電極22A、22C）とで挟む誘電体層は、ゲート絶縁膜3と同じ絶縁膜で形成された誘電体層3a（第1誘電体層）と、ゲート絶縁膜3と異なる絶縁膜で形成された誘電体層7（第2誘電体層）と、を含む。

[0089] 素子部20Fの第1キャパシタは、端子電極22の一部（端子電極22A）と、誘電体層3a（第1誘電体層）と、ドレイン電極6と、誘電体層7（第2誘電体層）と、端子電極22の一部（端子電極22C）とを順に積層して、複数層のキャパシタを構成している。これにより、素子部20Fを含む可変容量素子300Aは、キャパシタの容量をさらに大きくすることができる。誘電体層3aと誘電体層7とは、同じ膜厚であっても、異なる膜厚であってもよい。さらに、誘電体層3aと誘電体層7とは同じ誘電体材料であっても、異なる誘電体材料であってもよい。

[0090] 可変容量素子300Aでは、素子部20Fの第1キャパシタにおいて、端子電極22の一部（端子電極22A）と、誘電体層3a（第1誘電体層）と、ドレイン電極6と、誘電体層7（第2誘電体層）と、端子電極22の一部（端子電極22C）とを順に積層して、2層のキャパシタを構成したが、3層以上のキャパシタを構成してもよい。

[0091] （変形例3-2）

図16は、実施の形態3の第2変形例に係る可変容量素子300Bの構成を説明するための断面図である。なお、図16に示す可変容量素子300B

において、図15に示す可変容量素子300Aと同じ構成については同じ符号を付して詳細な説明は繰り返さない。

[0092] 図16に示す可変容量素子300Bは、半導体基板1上に形成した電界効果トランジスタを構成するスイッチ部10Aと、スイッチ部10Aと電氣的に接続され、受動素子を構成する素子部20Gとを含んでいる。

[0093] 素子部20Gの第2キャパシタは、ソース電極5と端子電極22の一部（端子電極22B）との間に設けられている誘電体層3aで構成したキャパシタではなく、ソース電極5と端子電極22の一部（端子電極22E）との間に設けられている誘電体層7で構成したキャパシタである。素子部20Gの第2キャパシタは、ドレイン電極6上に形成した誘電体層7をソース電極5上まで延長し、平面視でソース電極5と重なる位置に端子電極22Eを形成してある。

[0094] つまり、端子電極22の一部（端子電極22E）が、誘電体層7を挟んでソース電極5の一部と対向している。なお、端子電極22Eは、チャネル領域を迂回して端子電極22Cと電氣的に接続されている。また、誘電体層7は、ソース電極5とドレイン電極6との間のチャネル形成膜4を被うパッシベーション膜7aを構成している。

[0095] 素子部20Gの第2キャパシタは、端子電極22Bをさらに設けてもよい。端子電極22Bを設けた場合、素子部20Gの第2キャパシタは、端子電極22の一部（端子電極22B）と、誘電体層3a（第1誘電体層）と、ソース電極5の一部と、誘電体層7（第2誘電体層）と、端子電極22の一部（端子電極22E）とを順に積層して、2層のキャパシタを構成する。

[0096] （変形例3-3）

図17は、実施の形態3の第3変形例に係る可変容量素子300Cの構成を説明するための断面図である。なお、図17に示す可変容量素子300Cにおいて、図15に示す可変容量素子300Aと同じ構成については同じ符号を付して詳細な説明は繰り返さない。

[0097] 図17に示す可変容量素子300Cは、半導体基板1上に形成した電界効

果トランジスタを構成するスイッチ部10Aと、スイッチ部10Aと電氣的に接続され、受動素子を構成する素子部20Hとを含んでいる。

[0098] 素子部20Hは、ドレイン電極6上に形成した誘電体層7をソース電極5上まで延長し、さらに端子電極22Cをソース電極5上まで延長して形成してある。つまり、素子部20Hでは、図16に示す素子部20Gと異なり、チャンネル領域を迂回せずに端子電極22Cをソース電極5上まで延長して形成してある。そのため、端子電極22Cの一部が、誘電体層7を挟んでチャンネル形成膜4と対向する。

[0099] 素子部20Hは、端子電極22Bをさらに設けてもよい。端子電極22Bを設けた場合、素子部20Hの第2キャパシタは、端子電極22の一部（端子電極22B）と、誘電体層3a（第1誘電体層）と、ソース電極5の一部と、誘電体層7（第2誘電体層）と、端子電極22の一部（端子電極22Cの一部）とを順に積層して、2層のキャパシタを構成する。

[0100] （実施の形態4）

実施の形態1～3に係る電子素子では、含まれる受動素子がキャパシタで、可変させる物理量が容量である可変容量素子について説明したが、含まれる受動素子はキャパシタに限定されない。実施の形態4に係る電子素子では、含まれる受動素子がインダクタで、可変させる物理量がインダクタンスである可変インダクタンス素子について図面を参照しながら説明する。図18は、実施の形態4に係る可変インダクタンス素子400の構成を説明するための断面図である。図19は、実施の形態4に係る可変インダクタンス素子400の等価回路図である。なお、図18、図19に示す可変インダクタンス素子400において、図1に示す可変容量素子100と同じ構成については同じ符号を付して詳細な説明は繰り返さない。また、可変インダクタンス素子400において、可変容量素子100と同じ構成については同じ材料を用いることができる。

[0101] 図18に示す可変インダクタンス素子400は、電界効果トランジスタを構成するスイッチ部10と、スイッチ部10と電氣的に接続され、受動素子

を構成する素子部40とを含んでいる。素子部40は、スイッチ部10の図中右側に設けられている。

[0102] スwitch部10は、ゲート電極2、ゲート絶縁膜3、チャネル形成膜4、ソース電極5、およびドレイン電極6を有している。図18に示すスイッチ部10では、半導体基板1上にゲート電極2を形成し、ゲート電極2に重ねてゲート絶縁膜3およびチャネル形成膜4を順に形成し、それらの上にソース電極5およびドレイン電極6の一部をそれぞれ形成している。

[0103] 可変インダクタンス素子400では、素子部40がインダクタであり、ドレイン電極6の一部（電極6cの上部）にコイル電極41の一端が電氣的に接続されている。コイル電極41は、ゲート絶縁膜3と同じ絶縁膜で形成された誘電体層3a内に積層することで形成されており、他端が端子22aと電氣的に接続されている。つまり、素子部4Aは、ソース電極5と電氣的に接続される端子電極5a（第1端子電極）と、誘電体層3aを挟んでドレイン電極6の一部との間でインダクタ（コイル電極41）を構成する端子22a（第2端子電極）と、を有する。可変インダクタンス素子400では、スイッチ部10を第1インダクタL1とし、素子部40を第2インダクタL2とする。なお、第1インダクタL1は、コイル電極を含まないので、0（ゼロ）と見なすことができる所定量以下（例えば、1万分の1以下）のインダクタンスを有している。一方、第2インダクタL2は、コイル電極41を含むので、コイル電極41によるインダクタンスを有している。

[0104] 可変インダクタンス素子400は、可変容量素子100と同様に、スイッチ部10がOFF状態の場合、ゲート電極2に閾値以上のゲート電圧が印加されないので、平面視でゲート電極2と重なるチャネル形成膜4の位置に電子空乏層があり、ソース電極5とドレイン電極6とは導通しない。そのため、可変インダクタンス素子400は、第1インダクタL1のみのインダクタンスとなる。

[0105] 一方、可変インダクタンス素子400は、スイッチ部10がON状態の場合、ゲート電極2に閾値以上のゲート電圧を印加することでチャネルが形成

されソース電極5とドレイン電極6とが導通する。そのため、可変インダクタンス素子400は、ドレイン電極6と端子22aとの間のコイル電極41とに電流が流れるので第2インダクタL2のインダクタンスとなる。

[0106] つまり、可変インダクタンス素子400では、スイッチ部10をON/OFF動作することで、インダクタがない状態と、インダクタがある状態とを切り替え、インダクタをON/OFFしている。可変インダクタンス素子400は、ゲート電極2（制御電極端子2a）への印加電圧によりON/OFF動作するスイッチ部10と、端子電極5a（第1端子電極）を介してドレイン電極6の一部（電極6c）と端子電極22（第2端子電極）の端子22aとで動作する素子部40とに分けられ、3端子で動作する。

[0107] 可変インダクタンス素子400は、図19（a）に示す等価回路図からも分かるように、端子電極5a（第1端子電極）および端子22a（第2端子電極）がコンバータ回路などに接続される一方、インダクタンスを可変するための制御電極端子2aは当該コンバータ回路とは別の回路と接続される。そのため、コンバータ回路の信号によって制御電極端子2aに印加される信号が影響される可能性が低い。なお、可変インダクタンス素子400は、図19（b）に示す等価回路図のように、端子電極5a（第1端子電極）と端子22a（第2端子電極）との間を配線で電氣的に接続してもよい。

[0108] 可変インダクタンス素子400では、図18に示すようにコイル電極41を誘電体層3a内に積層することで第2インダクタL2を形成しているが、誘電体層3a上にコイル電極を平面的に形成してもよい。図20は、実施の形態4の変形例に係る可変インダクタンス素子400Aの構成を説明するための平面図である。図21は、実施の形態4の変形例に係る可変インダクタンス素子400Aの構成を説明するための断面図である。なお、図20、図21に示す可変インダクタンス素子400Aにおいて、図1に示す可変容量素子100、図18に示す可変インダクタンス素子400と同じ構成については同じ符号を付して詳細な説明は繰り返さない。また、可変インダクタンス素子400Aにおいて、可変容量素子100と同じ構成については同じ材

料を用いることができる。

[0109] 可変インダクタンス素子400Aでは、素子部40Aがインダクタであり、ドレイン電極6にコイル電極42の一端が電氣的に接続されている。コイル電極42は、ゲート絶縁膜3と同じ絶縁膜で形成された誘電体層3a上に、平面的に形成されており、他端が端子22aと電氣的に接続されている。つまり、素子部40Aは、ソース電極5と電氣的に接続される端子電極5a（第1端子電極）と、誘電体層3aに接してドレイン電極6の一部との間でインダクタ（コイル電極42）を構成する端子22a（第2端子電極）と、を有する。可変インダクタンス素子400Aでは、スイッチ部10を第1インダクタL1とし、素子部40Aを第2インダクタL2とする。なお、第2インダクタL2は、コイル電極42を含むので、コイル電極42によるインダクタンスを有している。

[0110] 以上のように、実施の形態4に係る可変インダクタンス素子400、400Aは、電界効果トランジスタを構成するスイッチ部10と、スイッチ部10と電氣的に接続され、インダクタを構成する素子部40、40Aと、を備えている。スイッチ部10は、ソース電極5と、ドレイン電極6と、少なくともソース電極5の一部とドレイン電極6の一部とに重ねて形成されたチャネル形成膜4と、チャネル形成膜4に重ねて形成されたゲート絶縁膜3と、ゲート絶縁膜3に重ねて形成されたゲート電極2と、を有している。素子部40、40Aは、ソース電極5と電氣的に接続される端子電極5a（第1端子電極）と、ドレイン電極6との間でコイル電極41、42によりインダクタを構成する端子22a（第2端子電極）と、を有する。

[0111] これにより、実施の形態4に係る可変インダクタンス素子400、400Aは、ドレイン電極6と端子22aとの間でインダクタを構成するので、インダクタンスが0（ゼロ）となる場合を含む広い範囲でインダクタンスを可変することができる。

[0112] なお、複数の可変インダクタンス素子400、400Aをマトリクス状に形成することで、多値化の可変インダクタンス素子を構成してもよい。また

、図18に示すコイル電極41を抵抗素子に変更することで、受動素子をレジスタとして可変レジスタ素子としてもよい。さらに、スイッチ部10の構成は、例えば、シリコンMOSFETやGaNFETなどであってもよい。

[0113] また、可変インダクタンス素子400では、図1に示す可変容量素子100のドレイン電極の一部（電極6c）と第2端子電極（端子電極22）とで誘電体層を挟むことで構成されるキャパシタに代えて、ドレイン電極の一部（電極6c）と第2端子電極（端子22a）とを繋ぐコイル電極41で構成されるインダクタを採用している。同様に、可変容量素子100A~100C, 200, 200A~200D, 300, 300A~300Cにおいてキャパシタを構成している部分に代えて、インダクタを採用することで可変インダクタンス素子としてもよい。また、可変容量素子100A~100C, 200, 200A~200D, 300, 300A~300Cにおいてキャパシタを構成している部分に代えて、レジスタを採用することで可変抵抗素子としてもよい。可変容量素子100A~100C, 200A~200C, 300A~300Cにおいて異なる誘電体に異なる種類の受動素子（キャパシタ、インダクタ、レジスタ）を設けてもよい。

[0114] （実施の形態5）

図5に示す可変容量素子100Aでは、半導体基板1上に誘電体層3aと誘電体層7との2層を積層した可変容量素子について説明したが、半導体基板1上に積層する誘電体層は3層以上であってもよい。実施の形態5に係る電子素子では、基板上に3層の誘電体層を積層した可変容量素子について図面を参照しながら説明する。もちろん、可変容量素子は、基板上に4層以上の誘電体層を積層してもよい。図22は、実施の形態5に係る可変容量素子500の構成を説明するための断面図である。なお、図22に示す可変容量素子500において、図1に示す可変容量素子100, 100Aなどと同じ構成については同じ符号を付して詳細な説明は繰り返さない。また、可変容量素子500において、可変容量素子100, 100Aなどと同じ構成については同じ材料を用いることができる。

- [0115] 図22に示す可変容量素子500は、半導体基板1上に誘電体層3a（第1誘電体層）、誘電体層7（第2誘電体層）、誘電体層3b（第3誘電体層）が積層され、誘電体層3bに電界効果トランジスタを構成するスイッチ部10を含んでいる。さらに、可変容量素子500は、誘電体層3aおよび誘電体層7に、スイッチ部10と電氣的に接続され、キャパシタを構成する素子部201を含んでいる。素子部201とスイッチ部10とは、半導体基板1に対して垂直方向に配置されている。
- [0116] スイッチ部10は、ゲート電極2、ゲート絶縁膜を構成する誘電体層3b、チャンネル形成膜4、ソース電極5、およびドレイン電極6を有している。図22に示すスイッチ部10では、誘電体層3b（第3誘電体層）にゲート電極2を形成し、ゲート電極2が形成されている誘電体層3bにチャンネル形成膜4を重ねて形成し、それらの上にソース電極5およびドレイン電極6の一部（電極6a）をそれぞれ形成している。
- [0117] 素子部201は、端子電極22の一部（端子電極221）と、誘電体層3a（第1誘電体層）と、ドレイン電極6の一部（電極6c）と、誘電体層7（第2誘電体層）と、端子電極22の一部（端子電極222）とを順に積層して、複数層のキャパシタを構成している。これにより、素子部201を含む可変容量素子500は、キャパシタの容量をさらに大きくすることができる。なお、誘電体層7（第2誘電体層）とゲート絶縁膜を構成する誘電体層3b（第3誘電体層）とは、同じ絶縁膜（誘電体材料）である。もちろん、誘電体層7および誘電体層3bが、誘電体層3aと同じ誘電体材料（つまり、すべてが同じ誘電体材料）であってよい。さらに、誘電体層3aと誘電体層3bとが同じ誘電体材料であっても、誘電体層3aと誘電体層7とが同じ誘電体材料であっても、誘電体層3a、3b、誘電体層7がすべて異なる誘電体材料であってもよい。また、誘電体層3a、3bと誘電体層7とは、同じ膜厚であっても、すべて異なる膜厚であってもよい。
- [0118] 可変容量素子500では、素子部201において、半導体基板1上に3層積層した誘電体層3a、3b、7のうち誘電体層3b（第3誘電体層）にス

スイッチ部10を形成し、残り2層の誘電体層3a, 7で2層のキャパシタの素子部201を構成したが、素子部201を3層以上のキャパシタで構成してもよい。

[0119] スイッチ部10がOFF状態の場合、ゲート電極2に閾値以上のゲート電圧が印加されないので、平面視でゲート電極2と重なるチャネル形成膜4の位置に電子空乏層があり、ソース電極5とドレイン電極6とは導通しない。そのため、可変容量素子500は、ソース電極5のみに電圧が印加され、電極6cと端子電極22との間に電圧が印加されないので、キャパシタが構成されない。

[0120] 一方、可変容量素子500は、スイッチ部10がON状態の場合、ゲート電極2に閾値以上のゲート電圧を印加することでチャネルが形成されソース電極5とドレイン電極6とが導通する。そのため、可変容量素子500は、ソース電極5およびドレイン電極6に電圧が印加され、電極6cと端子電極22との間にも電圧が印加されるのでキャパシタが構成される。

[0121] 図22に示した可変容量素子500の構成は、キャパシタを構成している部分に代えて、インダクタを採用することで可変インダクタンス素子としても、キャパシタを構成している部分に代えて、レジスタを採用することで可変抵抗素子としてもよい。

[0122] (変形例)

ゲート絶縁膜3および誘電体層3a, 7に採用することが可能な材料を、以下にまとめて列記する。もちろん、当該材料は、以下の記載に限定されない。

・ SiO_2 , Al_2O_3 , HfO_2 , ZrO_2 , La_2O_3 , Ta_2O_5 などのアモルファスまたは多結晶金属酸化物

・ SiN , Si_3N_4 , SiON 等の窒化膜

・強誘電体 HfO_2 , および HfO_2 に Si , Ce , Y , Zr , Bi , Ni , Ta , La 等の3価または4価または5価金属原子を少なくとも1種類以上ドーピングした強誘電体膜、 PbTiO_3 を母結晶とした強誘電体材料、(B

a, Sr) TiO₃を母結晶とした強誘電体材料、Bi層状構造を有する強誘電体材料、その他ペロブスカイト型結晶を有する金属酸化物、パイロクロア型結晶を有する金属酸化物、有機強誘電体材料、その他樹脂材料（ポリイミド、アクリル、エポキシ、ポリプロピレン、ポリエステル、ポリエチレンテレフタレート、ポリエチレンナフタレート、ポリフェニレンスルフィド、ポリ乳酸など）

チャンネル形成膜4に採用することが可能な材料を、以下にまとめて列記する。もちろん、当該材料は、以下の記載に限定されない。

- ・ In-O, In-Sn-O, In-Zn-O, In-Sn-Zn-O, In-Ga-Zn-O, In-Ga-O, Ga-O, Zn-O, Al-Zn-O, Sn-O, Ti-O系のn型酸化物半導体
- ・ Cu-O, Sn-O, Zn-O系のp型酸化物半導体
- ・ Cu-Sn-I系アモルファスp型酸化物半導体
- ・ n型Si、p型Si、SiC等のSi半導体
- ・ GaNなどの窒化物半導体
- ・ グラフェン、遷移金属カルコゲナイド系の2次元導電材料
- ・ LaNiO₃, BaSnO₃, SrTiO₃等のペロブスカイト型導電材料

前述の可変容量素子100, 200, 300などは、様々な回路装置に適用することができる。当該回路装置は、回路配線と、回路配線に電氣的に接続される、前述の可変容量素子100, 200, 300と、を備える。例えば、LLC共振コンバータ、無線通信端末に設けられる通信回路、直流遮断器に用いるハイブリッドスイッチ回路などの回路装置に、前述の可変容量素子100, 200, 300などを適用することができる。

[0123] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した説明ではなく、請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0124] 1 半導体基板、2 ゲート電極、2 a 制御電極端子、3 ゲート絶縁膜、3 a、7 誘電体層、4 チャネル形成膜、5 ソース電極、5 a、2 2 端子電極、6 ドレイン電極、10 スイッチ部、20、40 素子部、41、42 コイル電極、100、200、300、500 可変容量素子、400 可変インダクタンス素子。

請求の範囲

- [請求項1] 電界効果トランジスタを構成するスイッチ部と、
前記スイッチ部と電氣的に接続され、受動素子を構成する素子部と、
を備え、
前記スイッチ部は、
ソース電極と、
ドレイン電極と、
少なくとも前記ソース電極の一部と前記ドレイン電極の一部とに
重ねて形成されたチャネル形成膜と、
前記チャネル形成膜に重ねて形成されたゲート絶縁膜と、
前記ゲート絶縁膜に形成されたゲート電極と、を有し、
前記素子部は、
前記ソース電極と電氣的に接続される第1端子電極と、
誘電体層を挟む、または前記誘電体層に接して前記ドレイン電極
の一部との間で前記受動素子を構成する第2端子電極と、を有し、
前記誘電体層と前記ゲート絶縁膜とは、同じ絶縁膜である、電子素
子。
- [請求項2] 前記スイッチ部と前記素子部とは、基板に対して水平方向に配置さ
れる、請求項1に記載の電子素子。
- [請求項3] 前記ドレイン電極の一部は、前記ゲート電極を形成した前記ゲート
絶縁膜の面と同じ側の前記誘電体層の面に形成してあり、
前記第2端子電極は、前記ゲート電極を形成した前記ゲート絶縁膜
の面に対して反対側の前記誘電体層の面に形成してある、請求項1ま
たは請求項2に記載の電子素子。
- [請求項4] 前記第2端子電極は、前記ゲート電極を形成した前記ゲート絶縁膜
の面と同じ側の前記誘電体層の面に形成してあり、
前記ドレイン電極の一部は、前記ゲート電極を形成した前記ゲート
絶縁膜の面に対して反対側の前記誘電体層の面に形成してある、請求

項 1 または請求項 2 に記載の電子素子。

[請求項5] 前記誘電体層は、少なくとも前記ゲート絶縁膜と同じ絶縁膜で形成された第 1 誘電体層と、第 2 誘電体層と、を含み、

前記素子部は、

前記ドレイン電極の一部と、前記第 1 誘電体層と、前記第 2 端子電極と、前記第 2 誘電体層と、前記ドレイン電極の一部とを順に積層して、複数層の前記受動素子を構成する、請求項 1 ～請求項 4 のいずれか 1 項に記載の電子素子。

[請求項6] 前記第 2 誘電体層の一部は、前記ソース電極と前記ドレイン電極との間の前記チャンネル形成膜を被う、請求項 5 に記載の電子素子。

[請求項7] 前記第 2 端子電極の一部が、前記第 1 誘電体層を挟んで前記ソース電極の一部と対向する、請求項 5 または請求項 6 に記載の電子素子。

[請求項8] 前記第 2 端子電極の一部が、前記第 2 誘電体層を挟んで前記ソース電極の一部と対向する、請求項 5 ～請求項 7 のいずれか 1 項に記載の電子素子。

[請求項9] 前記第 2 端子電極の一部が、前記第 2 誘電体層を挟んで前記チャンネル形成膜と対向する、請求項 8 に記載の電子素子。

[請求項10] 前記受動素子は、前記ドレイン電極の一部と前記第 2 端子電極とで前記誘電体層を挟むことで構成されるキャパシタ、前記ドレイン電極の一部と前記第 2 端子電極とを繋ぐコイル電極で構成されるインダクタ、前記ドレイン電極の一部と前記第 2 端子電極とを繋ぐ抵抗素子で構成されるレジスタのいずれかである、請求項 1 ～請求項 9 のいずれか 1 項に記載の電子素子。

[請求項11] 前記受動素子は、インダクタであって、
前記第 1 端子電極と前記第 2 端子電極とを配線で接続した、請求項 1 ～請求項 9 のいずれか 1 項に記載の電子素子。

[請求項12] 前記受動素子は、インダクタであって、
前記第 1 端子電極、前記ドレイン電極、および前記第 2 端子電極は

、前記ゲート電極を形成した前記ゲート絶縁膜の面に対して反対側の前記誘電体層の面に形成してある、請求項 1 または請求項 2 に記載の電子素子。

[請求項13]

前記誘電体層は、基板に 3 層以上積層され、

前記スイッチ部は、前記誘電体層の最上層を前記ゲート絶縁膜に用いて、

前記素子部は、前記ゲート絶縁膜に用いた前記誘電体層以外の層を用いて前記受動素子を構成する、請求項 2 に記載の電子素子。

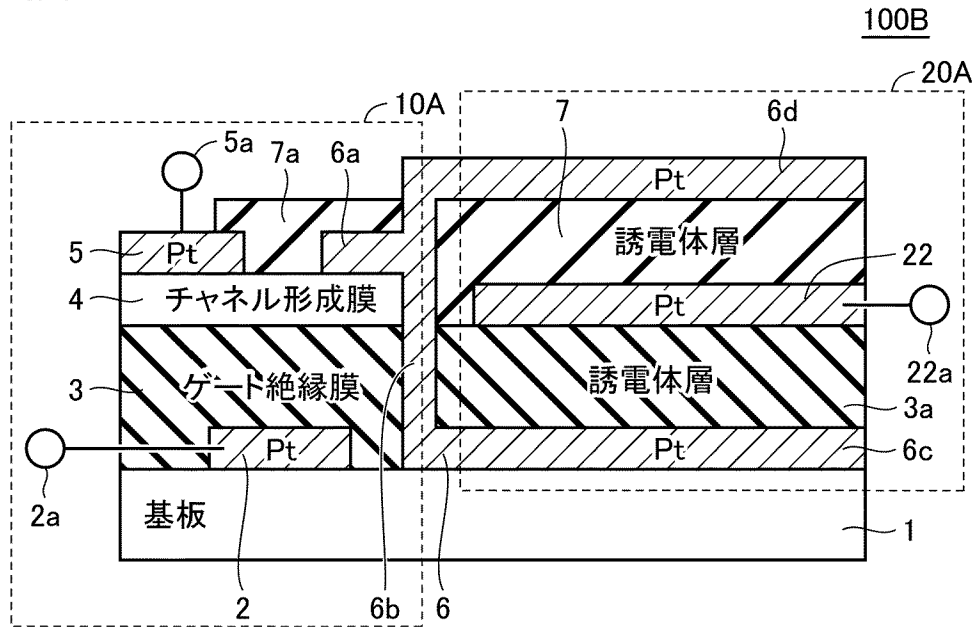
[請求項14]

回路配線と、

前記回路配線に電氣的に接続される、請求項 1 ～請求項 1 3 のいずれか 1 項に記載の前記電子素子と、を備える回路装置。

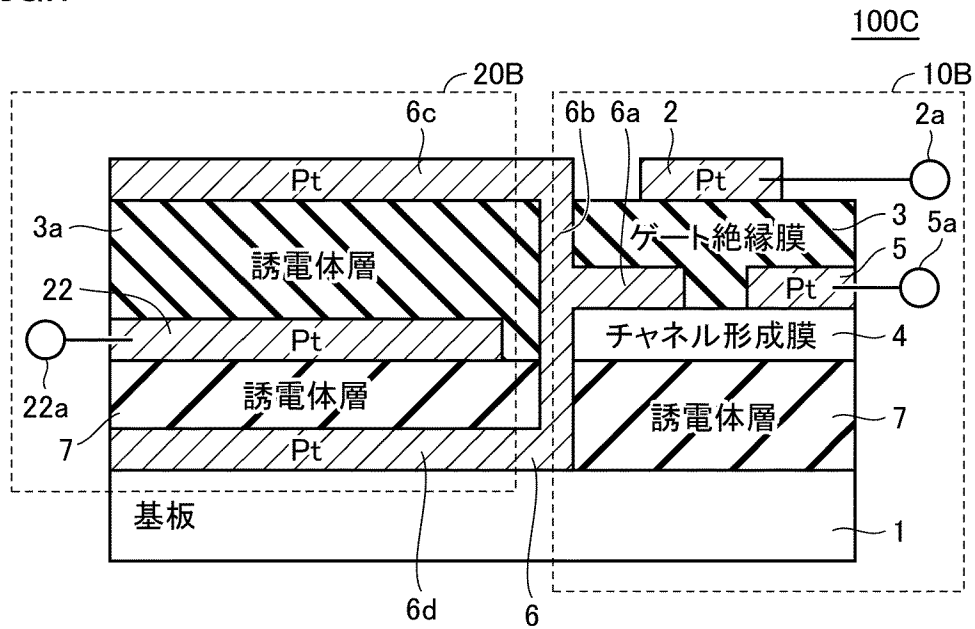
[図6]

FIG.6



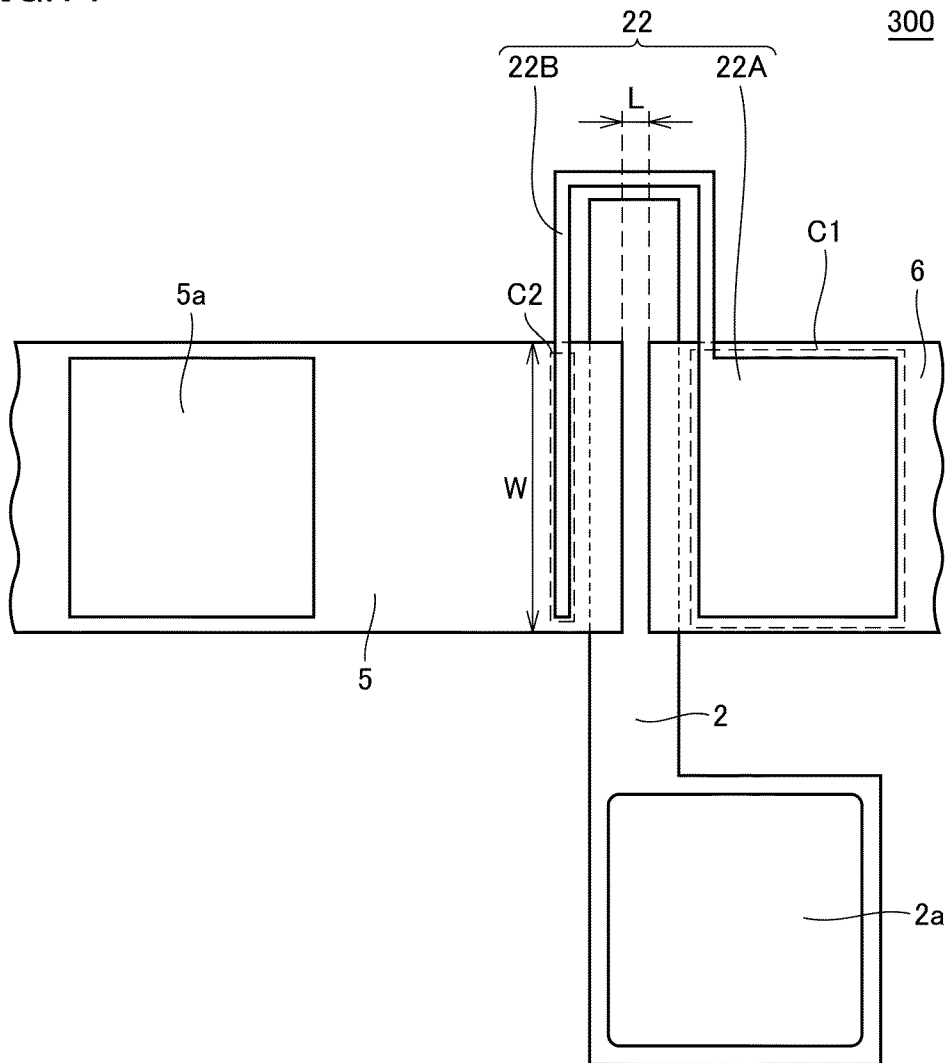
[図7]

FIG.7



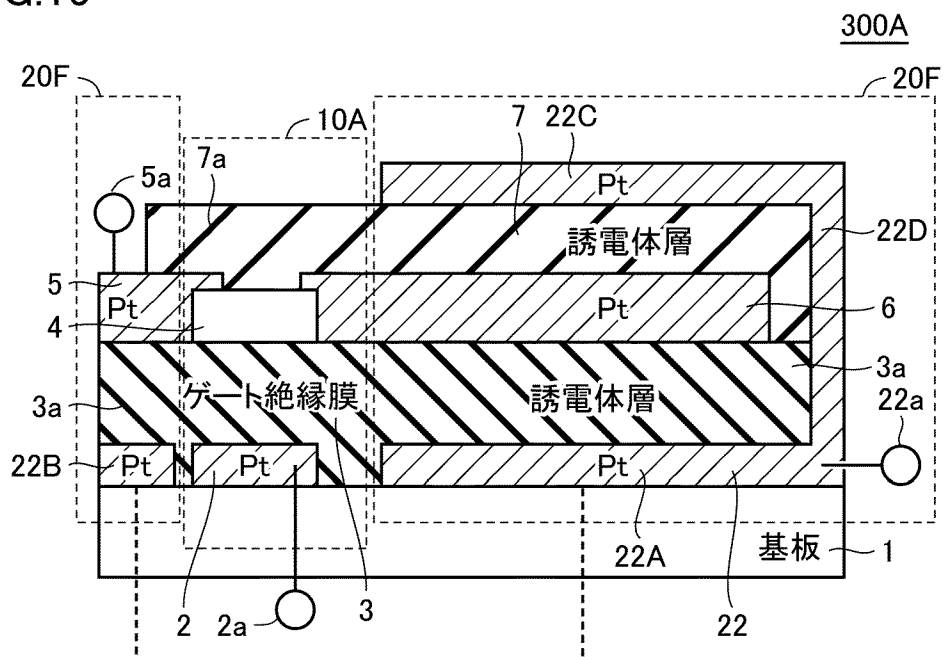
[図14]

FIG.14



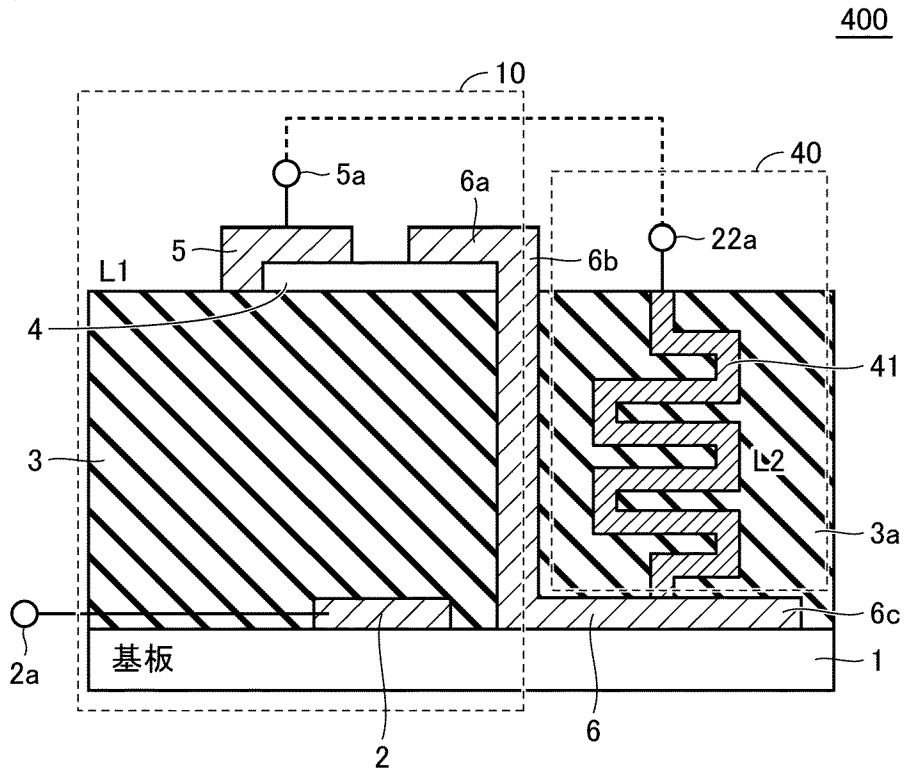
[図15]

FIG.15



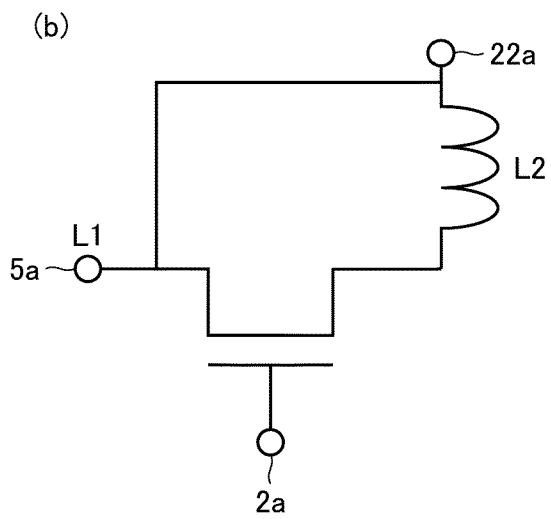
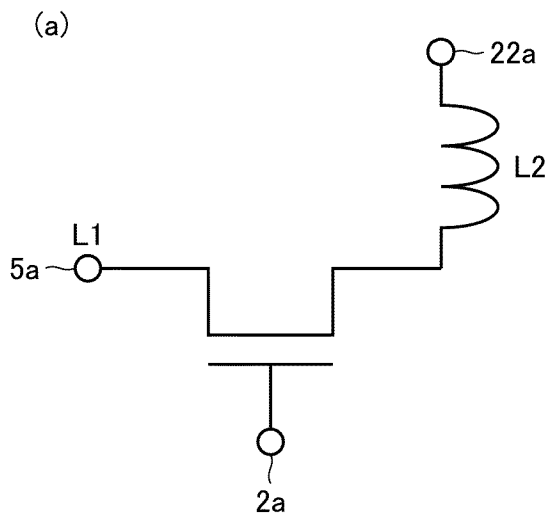
[図18]

FIG.18



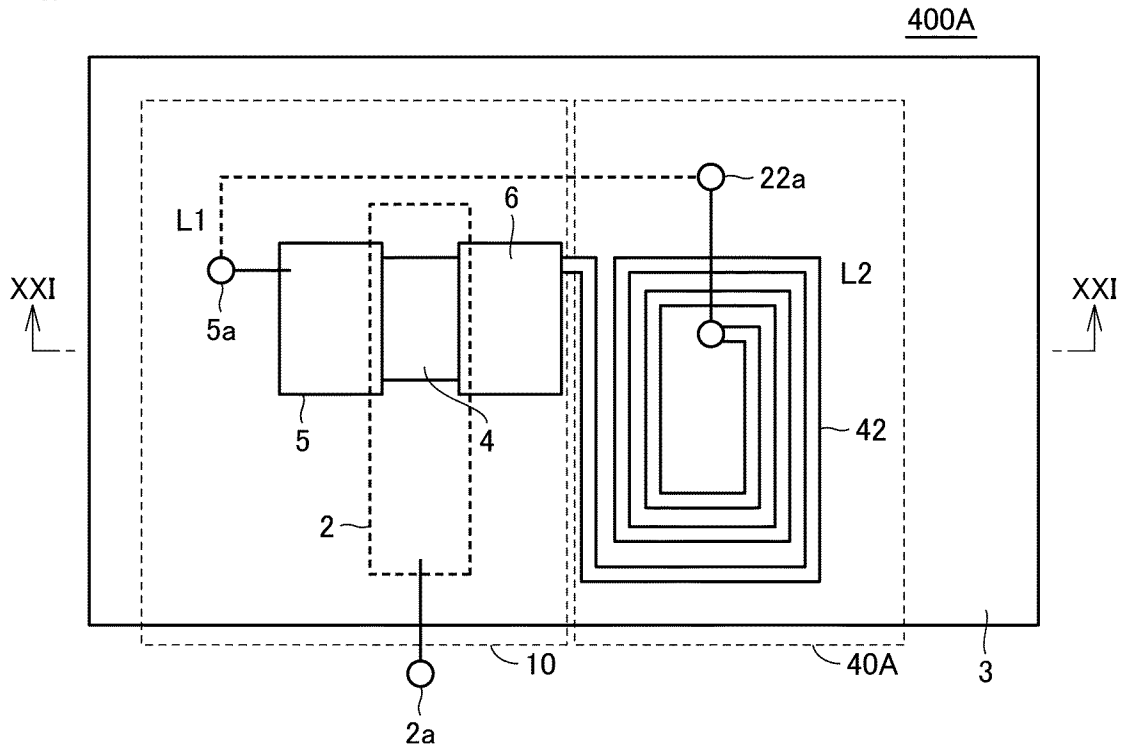
[図19]

FIG.19



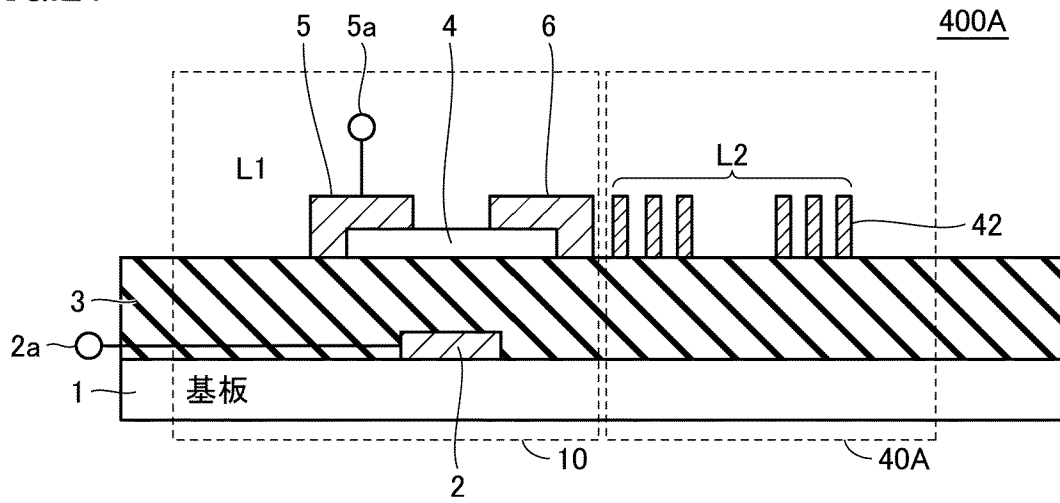
[図20]

FIG.20



[図21]

FIG.21



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/042259

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 29/786</i> (2006.01)i; <i>H01G 4/33</i> (2006.01)i; <i>H01G 7/00</i> (2006.01)i; <i>H01G 17/00</i> (2006.01)i; <i>H01L 21/336</i> (2006.01)i; <i>H01L 21/822</i> (2006.01)i; <i>H01L 21/8234</i> (2006.01)i; <i>H01L 27/04</i> (2006.01)i; <i>H01L 27/06</i> (2006.01)i; <i>H01L 27/088</i> (2006.01)i FI: H01L29/78 613Z; H01G17/00; H01L27/04 V; H01L27/04 C; H01L27/06 102A; H01L27/088 331E; H01L29/78 627Z; H01G4/33 102; H01G7/00 Z		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/786; H01G4/33; H01G7/00; H01G17/00; H01L21/336; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2011-205017 A (DAINIPPON PRINTING CO., LTD.) 13 October 2011 (2011-10-13) paragraphs [0050], [0066]-[0085], fig. 4-7	1-3, 10, 14 4-9, 11-13
X A	JP 2016-027590 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 February 2016 (2016-02-18) paragraphs [0060]-[0070], fig. 2	1-2, 4, 10, 14 3, 5-9, 11-13
X A	JP 7-142258 A (IKEDA, Takeshi) 02 June 1995 (1995-06-02) paragraphs [0057]-[0070], [0099], fig. 7-9	1-2, 10-11, 14 3-9, 12-13
X A	JP 2013-149648 A (RENESAS ELECTRONICS CORP.) 01 August 2013 (2013-08-01) paragraphs [0017]-[0029], fig. 1-3	1-2, 10, 14 3-9, 11-13
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 23 January 2023		Date of mailing of the international search report 31 January 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/042259

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-171394 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 05 August 2010 (2010-08-05)	1-14
A	JP 2016-518700 A (QUALCOMM INC.) 23 June 2016 (2016-06-23)	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/042259

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2011-205017	A	13 October 2011	(Family: none)	
JP	2016-027590	A	18 February 2016	US 2015/0060845	A1
				paragraphs [0092]-[0102], fig. 2	
				DE 102014217529	A1
				KR 10-2015-0028214	A
				TW 201515229	A
JP	7-142258	A	02 June 1995	US 5629553	A
				column 13, line 30 to column 15, line 18, column 22, lines 24 to column 22, line 28, fig. 15-17	
				EP 654802	A1
				KR 10-1995-0015422	A
JP	2013-149648	A	01 August 2013	US 2013/0181221	A1
				paragraphs [0040]-[0052], fig. 1-3	
JP	2010-171394	A	05 August 2010	US 2010/0163874	A1
				EP 2202802	A1
				CN 101794791	A
				KR 10-2010-0075407	A
JP	2016-518700	A	23 June 2016	US 2014/0266494	A1
				EP 2973695	A1
				CN 105051897	A
				KR 10-2015-0131205	A

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 29/786(2006.01)i; H01G 4/33(2006.01)i; H01G 7/00(2006.01)i; H01G 17/00(2006.01)i; H01L 21/336(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i FI: H01L29/78 613Z; H01G17/00; H01L27/04 V; H01L27/04 C; H01L27/06 102A; H01L27/088 331E; H01L29/78 627Z; H01G4/33 102; H01G7/00 Z</p>																	
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L29/786; H01G4/33; H01G7/00; H01G17/00; H01L21/336; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年							
日本国実用新案公報	1922 - 1996年																
日本国公開実用新案公報	1971 - 2023年																
日本国実用新案登録公報	1996 - 2023年																
日本国登録実用新案公報	1994 - 2023年																
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X A</td> <td>JP 2011-205017 A（大日本印刷株式会社）13.10.2011（2011 - 10 - 13） 段落[0050], [0066]-[0085], 図4-7</td> <td>1-3, 10, 14 4-9, 11-13</td> </tr> <tr> <td>X A</td> <td>JP 2016-027590 A（株式会社半導体エネルギー研究所）18.02.2016（2016 - 02 - 18） 段落[0060]-[0070], 図2</td> <td>1-2, 4, 10, 14 3, 5-9, 11-13</td> </tr> <tr> <td>X A</td> <td>JP 7-142258 A（池田 毅）02.06.1995（1995 - 06 - 02） 段落[0057]-[0070], [0099], 図7-9</td> <td>1-2, 10-11, 14 3-9, 12-13</td> </tr> <tr> <td>X A</td> <td>JP 2013-149648 A（ルネサスエレクトロニクス株式会社）01.08.2013（2013 - 08 - 01） 段落[0017]-[0029], 図1-3</td> <td>1-2, 10, 14 3-9, 11-13</td> </tr> </tbody> </table> <p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X A	JP 2011-205017 A（大日本印刷株式会社）13.10.2011（2011 - 10 - 13） 段落[0050], [0066]-[0085], 図4-7	1-3, 10, 14 4-9, 11-13	X A	JP 2016-027590 A（株式会社半導体エネルギー研究所）18.02.2016（2016 - 02 - 18） 段落[0060]-[0070], 図2	1-2, 4, 10, 14 3, 5-9, 11-13	X A	JP 7-142258 A（池田 毅）02.06.1995（1995 - 06 - 02） 段落[0057]-[0070], [0099], 図7-9	1-2, 10-11, 14 3-9, 12-13	X A	JP 2013-149648 A（ルネサスエレクトロニクス株式会社）01.08.2013（2013 - 08 - 01） 段落[0017]-[0029], 図1-3	1-2, 10, 14 3-9, 11-13
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
X A	JP 2011-205017 A（大日本印刷株式会社）13.10.2011（2011 - 10 - 13） 段落[0050], [0066]-[0085], 図4-7	1-3, 10, 14 4-9, 11-13															
X A	JP 2016-027590 A（株式会社半導体エネルギー研究所）18.02.2016（2016 - 02 - 18） 段落[0060]-[0070], 図2	1-2, 4, 10, 14 3, 5-9, 11-13															
X A	JP 7-142258 A（池田 毅）02.06.1995（1995 - 06 - 02） 段落[0057]-[0070], [0099], 図7-9	1-2, 10-11, 14 3-9, 12-13															
X A	JP 2013-149648 A（ルネサスエレクトロニクス株式会社）01.08.2013（2013 - 08 - 01） 段落[0017]-[0029], 図1-3	1-2, 10, 14 3-9, 11-13															
<p>国際調査を完了した日</p> <p>23.01.2023</p>	<p>国際調査報告の発送日</p> <p>31.01.2023</p>																
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>石塚 健太郎 5F 4815</p> <p>電話番号 03-3581-1101 内線 3516</p>																

C. 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-171394 A (株式会社半導体エネルギー研究所) 05.08.2010 (2010 - 08 - 05)	1-14
A	JP 2016-518700 A (クアルコム, インコーポレイテッド) 23.06.2016 (2016 - 06 - 23)	1-14

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/042259

引用文献	公表日	パテントファミリー文献	公表日
JP 2011-205017 A	13.10.2011	(ファミリーなし)	
JP 2016-027590 A	18.02.2016	US 2015/0060845 A1 段落[0092]-[0102], 図2 DE 102014217529 A1 KR 10-2015-0028214 A TW 201515229 A	
JP 7-142258 A	02.06.1995	US 5629553 A 第13欄第30行-第15欄第18 行, 第22欄第24行-第22欄第 28行, 図15-17 EP 654802 A1 KR 10-1995-0015422 A	
JP 2013-149648 A	01.08.2013	US 2013/0181221 A1 段落[0040]-[0052], 図1-3	
JP 2010-171394 A	05.08.2010	US 2010/0163874 A1 EP 2202802 A1 CN 101794791 A KR 10-2010-0075407 A	
JP 2016-518700 A	23.06.2016	US 2014/0266494 A1 EP 2973695 A1 CN 105051897 A KR 10-2015-0131205 A	