

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2020年3月19日 (19.03.2020)



(10) 国际公布号  
**WO 2020/052343 A1**

- (51) 国际专利分类号: *G09G 3/36* (2006.01) *GI1C 19/28* (2006.01) 省福州市福清市石竹街道西环北路36号, Fujian 350300 (CN)。
- (21) 国际申请号: PCT/CN2019/095793 (72) 发明人: 翁祖伟 (WENG, Zuwei); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。
- (22) 国际申请日: 2019年7月12日 (12.07.2019) (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路87号4-1105室, Beijing 100089 (CN)。
- (25) 申请语言: 中文 (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
- (26) 公布语言: 中文
- (30) 优先权: 201811056464.9 2018年9月11日 (11.09.2018) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路10号, Beijing 100015 (CN)。福州京东方光电科技有限公司 (FUZHOU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国福建

(54) Title: SHIFT REGISTER UNIT AND DRIVE METHOD THEREFOR, GATE DRIVER CIRCUIT, AND DISPLAY DEVICE

(54) 发明名称: 移位寄存器单元及其驱动方法、栅极驱动电路和显示设备

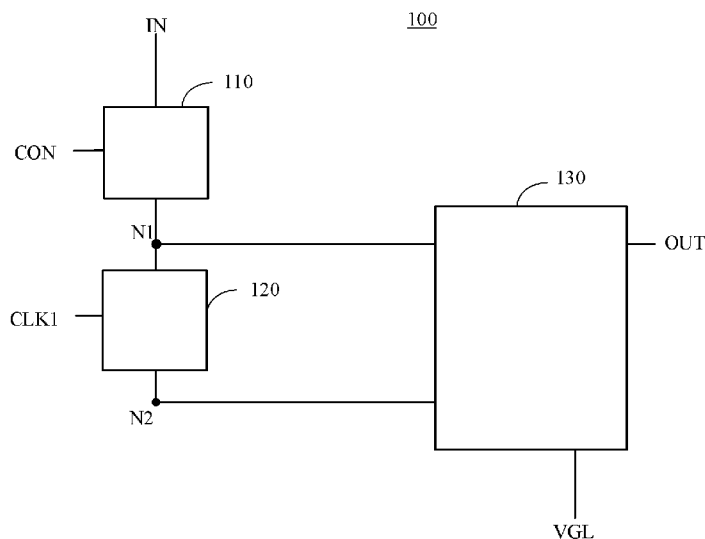


图 2

(57) Abstract: Shift register units (100, 200) and drive method (900) therefor, a gate driver circuit (1010), and a display device (1000). The shift register units (100, 200) comprise: input sub-circuits (110, 210), and a first pull-down node (N1) electrically connected to the shift register units (100, 200), the input sub-circuits (110, 210) being configured to receive an input control signal and input signals (in1, in2, in3, ..., inN) and transmit the input signals (in1, in2, in3, ..., inN) to the first pull-down node (N1) under the control of the input control signal; first control sub-circuits (120, 220), and a second pull-down node (N2) electrically connected to the first pull-down node (N1) and the shift register units (100, 200), the first control sub-circuits (120, 220) being configured to receive a first clock signal



WO 2020/052343 A1

LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

**(84)** 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

---

(clk1) and enable the first pull-down node (N1) to be in electrical communication with the second pull-down node (N2) of the shift register units (100, 200) under the control of the first clock signal (clk1); and output sub-circuits (130, 230), electrically connected to the second pull-down node (N2), the first pull-down node (N1), and output ends (OUT) of the shift register units (100, 200), the output sub-circuit (130, 230) being configured to receive a first constant voltage signal (vgl) and transmit the first constant voltage signal (vgl) to the output ends (OUT) under the control of a voltage of the second pull-down node (N2), so as to be used as output signals (out1, out2, ..., outN) for outputting.

**(57) 摘要:** 一种移位寄存器单元 (100, 200) 及其驱动方法 (900)、栅极驱动电路 (1010) 和显示设备 (1000)。移位寄存器单元 (100, 200) 包括: 输入子电路 (110, 210), 电连接移位寄存器单元 (100, 200) 的第一下拉节点 (N1), 输入子电路 (110, 210) 被配置为接收输入控制信号和输入信号 (in1, in2, in3, ..., inN), 并在输入控制信号的控制下将输入信号 (in1, in2, in3, ..., inN) 传送到第一下拉节点 (N1); 第一控制子电路 (120, 220), 电连接第一下拉节点 (N1) 和移位寄存器单元 (100, 200) 的第二下拉节点 (N2), 第一控制子电路 (120, 220) 被配置为接收第一时钟信号 (clk1) 并在第一时钟信号 (clk1) 的控制下将第一下拉节点 (N1) 与移位寄存器单元 (100, 200) 的第二下拉节点 (N2) 电连通; 以及输出子电路 (130, 230), 电连接第二下拉节点 (N2)、第一下拉节点 (N1) 和移位寄存器单元 (100, 200) 的输出端 (OUT), 输出子电路 (130, 230) 被配置为接收第一恒定电压信号 (vgl) 并在第二下拉节点 (N2) 的电压的控制下将第一恒定电压信号 (vgl) 传送到输出端 (OUT), 以作为输出信号 (out1, out2, ..., outN) 输出。

## 移位寄存器单元及其驱动方法、栅极驱动电路和显示设备

本申请要求于 2018 年 9 月 11 日提交的、申请号为 201811056464.9 的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

### 技术领域

本公开涉及显示技术领域，具体地涉及一种移位寄存器单元及其驱动方法、栅极驱动电路和显示设备。

### 背景技术

在基于薄膜晶体管（Thin Film Transistor, TFT）的显示技术中，例如在有机发光二极管（Organic Light Emitting Diode, OLED）显示器中，栅极驱动电路可以包括多个级联的移位寄存器单元，每个移位寄存器单元产生具有高电平和低电平的输出信号来驱动显示面板上的像素单元。通常，高电平与低电平中的至少一个是通过时钟信号来提供的，这在一些情况下可能会使得输出信号的电平不稳定。

### 发明内容

本公开提出了一种移位寄存器单元及其驱动方法、栅极驱动电路和显示设备。

根据本公开的一个方面，提供了一种移位寄存器单元，包括：

输入子电路，被配置为接收输入控制信号和输入信号，并在所述输入控制信号的控制下将所述输入信号传送到所述移位寄存器单元的第一下拉节点；

第一控制子电路，被配置为接收第一时钟信号并在所述第一时钟信号的控制下将所述第一下拉节点与所述移位寄存器单元的第二下拉节点电连通；以及

输出子电路，被配置为接收第一恒定电压信号并在所述第二下拉节点的电压的控制下将所述第一恒定电压信号传送到所述移位寄存器单元的输出端，以作为输出信号输出。

例如，所述移位寄存器单元还包括：

第二控制子电路，被配置为接收所述第一恒定电压信号、第二恒定电压信号和第二时钟信号，并在所述第二时钟信号和所述第二下拉节点的电压的控制下将所述第一

恒定电压信号或所述第二恒定电压信号传送到所述移位寄存器单元的上拉节点。

例如，所述输出子电路还被配置为接收所述第二恒定电压信号，并在所述上拉节点的电压的控制下将所述第二恒定电压信号传送到所述输出端，以作为输出信号输出。

例如，所述移位寄存器单元还包括：

复位子电路，被配置为接收复位控制信号和第二恒定电压信号，并在所述复位控制信号的控制下使用所述第二恒定电压信号对所述第二下拉节点进行复位。

例如，所述输入子电路包括第一晶体管，所述第一晶体管的栅极电连接为接收所述输入控制信号，所述第一晶体管的第一极电连接为接收所述输入信号，所述第一晶体管的第二极电连接所述第一下拉节点。

例如，所述输入控制信号是第二时钟信号。

例如，所述输入控制信号是所述输入信号。

例如，所述第一控制子电路包括第二晶体管，所述第二晶体管的栅极电连接为接收所述第一时钟信号，所述第二晶体管的第一极电连接所述第一下拉节点，所述第二晶体管的第二极电连接所述第二下拉节点。

例如，所述输出子电路包括第三晶体管、第四晶体管和第一电容器，其中，

所述第三晶体管的栅极电连接所述第二下拉节点，所述第三晶体管的第一极电连接为接收所述第一恒定电压信号，所述第三晶体管的第二极电连接所述输出端；

所述第四晶体管的栅极电连接所述上拉节点，所述第四晶体管的第一极电连接为接收所述第二恒定电压信号，所述第四晶体管的第二极电连接所述输出端；并且

所述第一电容器的一端电连接所述第一下拉节点，所述第一电容器的另一端电连接所述输出端。

例如，所述输出子电路还包括第二电容器，所述第二电容器的一端电连接所述上拉节点，所述第二电容器的另一端电连接为接收所述第二恒定电压信号。

例如，所述第二控制子电路包括第五晶体管和第六晶体管，其中，

所述第五晶体管的栅极电连接为接收所述第二时钟信号，所述第五晶体管的第一极电连接为接收所述第一恒定电压信号，所述第五晶体管的第二极电连接所述上拉节点；并且

所述第六晶体管的栅极电连接所述第二下拉节点，所述第六晶体管的第一极电连接为接收所述第二恒定电压信号，所述第六晶体管的第二极电连接所述上拉节点。

例如，所述复位子电路包括第七晶体管，所述第七晶体管的栅极电连接为接收所

述复位控制信号，所述第七晶体管的第一极电连接为接收所述第二恒定电压信号，所述第七晶体管的第二极电连接所述第二下拉节点。

例如，所述复位控制信号是第二时钟信号。

例如，所述复位子电路还包括第八晶体管，所述第八晶体管的栅极电连接为接收所述复位控制信号，所述第八晶体管的第一极电连接为接收所述第二恒定电压信号，所述第八晶体管的第二极电连接所述第一下拉节点。

例如，所述复位控制信号是来自另一移位寄存器单元的输出信号。

根据本公开的另一方面，提供了一种栅极驱动电路，包括N级级联的上述移位寄存器单元，其中，第n级移位寄存器单元接收第n-1级移位寄存器单元的输出信号作为第n级移位寄存器单元的输入信号，其中n和N均为整数， $N \geq 2$ ， $2 \leq n \leq N$ 。

例如，每一级移位寄存器单元接收第二时钟信号作为复位控制信号。

例如，第n级移位寄存器单元接收第n+1级移位寄存器单元的输出信号，作为第n级移位寄存器单元的复位控制信号。

根据本公开的另一方面，提供了一种上述移位寄存器单元的驱动方法，包括：

在输入时段，在输入控制信号的控制下输入子电路将第一电平的输入信号传送到第一下拉节点；以及

在输出时段，第一控制子电路在第一时钟信号的控制下将第一下拉节点和第二下拉节点电连通，第二下拉节点的电压使输出子电路将第一恒定电压信号传送到所述移位寄存器单元的输出端，以作为输出信号输出。

例如，所述移位寄存器单元还包括复位子电路和第二控制子电路，所述驱动方法还包括：

在复位时段，复位子电路在复位控制信号的控制下使用第二恒定电压信号将第二下拉节点复位，第二下拉节点的电压使第二控制子电路在第二时钟信号的控制下将第一恒定电压信号传送到所述移位寄存器单元的上拉节点，上拉节点的电压使所述输出子电路将第二恒定电压信号传送到所述输出端，以作为输出信号输出。

例如，所述复位控制信号或所述输入控制信号中的至少一个是所述第二时钟信号。

根据本公开的另一方面，提供了一种显示设备，包括上述栅极驱动电路。

## 附图说明

为了更清楚地说明本公开实施例或现有技术中的技术方案，下面将对实施例描述中

所需要使用的附图作简单地介绍。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图，图中：

图 1 示出了根据相关技术的移位寄存器单元的示意方框图。

图 2 示出了根据本公开实施例的移位寄存器单元的结构框图。

图 3 示出了根据本公开另一实施例的移位寄存器单元的结构框图。

图 4 示出了根据本公开实施例的移位寄存器单元的电路图。

图 5 示出了图 4 中的移位寄存器单元的信号时序图。

图 6 示出了根据本公开的另一实施例的移位寄存器单元的电路图。

图 7 示出了图 6 中的移位寄存器单元的信号时序图。

图 8A 示出了根据本公开实施例的栅极驱动电路的示意方框图。

图 8B 示出了根据本公开另一实施例的栅极驱动电路的示意方框图。

图 9 示出了根据本公开实施例的移位寄存器单元的驱动方法的流程图。

图 10 示出了根据本公开实施例的显示设备的示意方框图。

### 具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整的描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部。基于所描述的本公开实施例，本领域普通技术人员在无需创造性劳动的前提下获得的所有其他实施例都属于本公开保护的范围。应注意，贯穿附图，相同的元素由相同或相近的附图标记来表示。在以下描述中，一些具体实施例仅用于描述目的，而不应该理解为对本公开有任何限制，而只是本公开实施例的示例。在可能导致对本公开的理解造成混淆时，将省略常规结构或构造。应注意，图中各部件的形状和尺寸不反映真实大小和比例，而仅示意本公开实施例的内容。

除非另外定义，本公开实施例使用的技术术语或科学术语应当是本领域技术人员所理解的通常意义。本公开实施例中使用的“第一”、“第二”以及类似词语并不表示任何顺序、数量或重要性，而只是用于区分不同的组成部分。

此外，在本公开实施例的描述中，术语“连接”或“电连接”可以是指两个组件直接连接或电连接，也可以是指两个组件之间经由一个或多个其他组件连接或电连接。此外，这两个组件可以通过有线或无线方式电连接或电连接。在下文中，当提及“A 与 B

连接”时包括“A与B电连接”的情形，还包括“A与B通过其他方式连接”的情形。

本公开实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。根据在电路中的作用，本公开实施例使用的晶体管主要为开关晶体管。由于这里采用的薄膜晶体管的源极、漏极是对称的，所以其源极、漏极可以互换。在本公开实施例中，将源极和漏极中的一个称为第一极，将源极和漏极中的另一个称为第二极。在以下示例中以P型薄膜晶体管作为示例进行描述。类似地，在其他实施例中，也可以以N型薄膜晶体管来实现本公开的技术方案。本领域技术人员能够理解的是，通过将输入信号、复位信号、时钟信号和恒定电压信号反相（和/或进行其他适应性修改），同样能够实现本公开的技术方案。

此外，在本公开实施例的描述中，术语“有效电平”和“无效电平”分别是使相关晶体管导通和截止的电平。在本公开中，“第一有效电平”和“第二有效电平”仅用于区分两个有效电平的幅值不同。在下文中，由于采用P型薄膜晶体管作为示例，因此“有效电平”和“第一电平”为低电平，“无效电平”和“第二电平”为高电平。

相应地，在下文中，用于提供有效驱动电平的“第一恒定电压信号”被示为低电平信号  $v_{gl}$ ，用于提供无效驱动电平的“第二恒定电压信号”被示为高电平信号  $v_{gh}$ 。

在下文中，为了便于说明，用大写字母来表示用来接收或发送信号的信号端或信号端，用小写字母来标识相应的信号端或信号端所接收或发送的信号。例如，CON 表示用来提供第一控制信号的第一控制信号端，而 con 则表示第一控制信号。

以下参考附图对本公开进行具体描述。

图1示出了根据相关技术的移位寄存器单元的示意方框图。

如图1所示，移位寄存器单元包括输入和控制电路10和输出电路20。输出电路20包括两个控制晶体管  $T_m$  和  $T_n$ ，二者分别在来自输入和控制电路10的控制信号的控制下，控制来自电源信号端 VGH（提供无效电平）和时钟信号端 CK（提供有效电平）的信号向输出端 OUT 输出。针对图1中的移位寄存器单元，在某个时刻存在晶体管  $T_m$  导通但晶体管  $T_n$  截止的情况，此时输出端 OUT 输出的高电平具有时钟信号的高电平振幅，例如为  $v_{gh\_1}$ ，在另一时刻又存在晶体管  $T_m$  和  $T_n$  同时导通的情况，此时输出端 OUT 输出的高电平等于电源信号端 VGH 的信号和时钟信号端 CK 的信号的高电平振幅和值的有效值。若电源信号端 VGH 和时钟信号端 CK 的高电平振幅误差较大，则输出端 OUT 输出的高电平介于二者之间，例如为  $v_{gh\_2}$ 。可见，当通过时钟信号来提供在输出端 OUT 输出的有效输出电平时，输出端 OUT 输出的信号不同时刻完整输出波形的高

电平值有偏差和波动，这使得栅极驱动电路的可靠性降低。

图 2 示出了根据本公开实施例的移位寄存器单元 100 的结构框图。

从图 2 可见，移位寄存器单元 100 包括输入子电路 110、第一控制子电路 120 和输出子电路 130。本领域技术人员可以理解，可以省略这些子电路中的一个或多个，或者新增其它子电路，或者对各个子电路进行修改，或者前述各项的任意组合，这些都落入本公开的保护范围内。

输入子电路 110 可以连接输入控制信号端 CON 以接收输入控制信号，连接输入信号端 IN 以接收输入信号 in，并连接第一下拉节点 N1。输入子电路 110 可以在输入信号端 IN 处接收到的输入控制信号的控制下将输入信号传送到第一下拉节点 N1。

第一控制子电路 120 可以连接第一时钟信号端 CLK1 以接收第一时钟信号，并且连接第一下拉节点 N1 和第二下拉节点 N2。第一控制子电路 120 可以在第一时钟信号端 CLK1 处接收到的第一时钟信号的控制下将第一下拉节点 N1 与第二下拉节点 N2 电连通。例如，当第一时钟信号使第一控制子电路 120 导通时，第一下拉节点 N1 与第二下拉节点 N2 电连通。

输出子电路 130 可以连接第二下拉节点 N2，连接第一恒定电压信号端 VGL 以接收第一恒定电压信号，连接第一下拉节点 N1，并且连接移位寄存器 100 的输出端 OUT 以输出输出信号。输出子电路 130 可以在第二下拉节点 N2 的电压的控制下将第一恒定电压信号端 VGL 处接收到的第一恒定电压信号传送到信号输出端 OUT，以作为输出信号输出。

在图 2 所示的实施例中，通过第一控制子电路 120 的引入，实现了通过恒定电压信号而不是时钟信号来提供期望的有效输出电平，提高了输出信号的稳定性。

图 3 示出了根据本公开另一实施例的移位寄存器单元 200 的结构框图。

从图 3 可见，移位寄存器单元 200 包括输入子电路 210、第一控制子电路 220、输出子电路 230、复位子电路 240 和第二控制子电路 250。本领域技术人员可以理解，可以省略这些子电路中的一个或多个，或者新增其它子电路，或者对各个子电路进行修改，或者前述各项的任意组合，这些都落入本公开的保护范围内。

图 3 中的移位寄存器单元 200 的输入子电路 210、第一控制子电路 220 和输出子电路 230 可以分别实现为图 2 中的移位寄存器单元 100 的输入子电路 110、第一控制子电路 120 和输出子电路 130，对这些子电路的描述在此不再重复。

在以上结构的基础上，输出子电路 230 还可以连接上拉节点 N3，并且连接第二恒

定电压信号端 VGH 以接收第二恒定电压信号。

复位子电路 240 可以连接复位控制信号端 RESET 以接收复位控制信号，连接第二恒定电压信号端 VGH 以接收第二恒定电压信号，并且连接第二下拉节点 N2。复位子电路 240 可以在复位控制信号端 VGH 处接收到的复位控制信号的控制下使用在第二恒定电压信号端 VGH 接收到的第二恒定电压信号对第二下拉节点 N2 进行复位。

在一些实施例中，复位子电路 240 还可以连接第一下拉节点 N1。从而，复位子电路 240 还可以在复位控制信号的控制下使用第二恒定电压信号对第一下拉节点 N1 进行复位。

第二控制子电路 250 可以连接第二时钟信号端 CLK2 以接收第二时钟信号，连接第二下拉节点 N2，连接第一恒定电压信号端 VGL 以接收第一恒定电压信号，连接第二恒定电压信号端 VGH 以接收第二恒定电压信号，并且连接上拉节点 N3。第二控制子电路 250 可以在第二时钟信号端 CLK2 和第二下拉节点 N2 的电压的控制下将第一恒定电压信号端 VGL 的第一恒定电压信号或第二恒定电压信号端 VGH 处的第二恒定电压信号传送到上拉节点 N3。

在图 3 所示的实施例中，通过第二控制子电路 250 的引入，实现了通过恒定电压信号来提供期望的输出电平，从而提高移位寄存器单元的输出信号的稳定性。

图 4 示出了根据本公开实施例的移位寄存器单元的电路图。

如图 4 所示，输入子电路 210 包括第一晶体管 T1。第一晶体管 T1 的栅极连接输入控制信号端 CON，第一极连接输入信号端 IN，第二极连接第一下拉节点 N1。从而，第一晶体管 T1 在输入控制信号端 CON 处接收到的输入控制信号的控制下导通或截止，并且在导通的情况下（输入控制信号端 CON 为低电平），将输入信号端 IN 处接收到的输入信号输入到第一下拉节点 N1。

在本实施例中，输入控制信号端 CON 可以连接到第二时钟信号端 CLK2，从而输入控制信号可以通过第二时钟信号来实现。

第一控制子电路 220 包括第二晶体管 T2。第二晶体管 T2 的栅极连接第一时钟信号端 CLK1，第一极连接第一下拉节点 N1，第二极连接第二下拉节点 N2。从而，第二晶体管 T2 在第一时钟信号端 CLK1 处接收到的第一时钟信号的控制下导通或截止。在导通的情况下，第二晶体管 T2 将第一下拉节点 N1 与第二下拉节点 N2 电连通。在截止的情况下，第二晶体管 T2 将第一下拉节点 N1 与第二下拉节点 N2 电隔离。

输出子电路 230 包括第三晶体管 T3、第四晶体管 T4 和第一电容器 C1。第三晶体管

T3 的栅极连接第二下拉节点 N2，第一极连接第一恒定电压信号端 VGL，第二极连接输出端 OUT。从而，第三晶体管 T3 在第二下拉节点 N2 的电压的控制下导通或截止。在导通的情况下，第三晶体管 T3 将第一恒定电压信号端 VLG 处接收到的第一恒定电压信号传送到信号输出端 OUT 以作为输出信号输出。

第四晶体管 T4 的栅极连接上拉节点 N3，第一极连接第二恒定电压信号端 VGH，第二极连接输出端 OUT。从而，第四晶体管 T4 在上拉节点 N3 的电压的控制下导通或截止。在导通的情况下，第四晶体管 T4 将第二恒定电压信号端 VGH 处接收到的第二恒定电压信号传送到信号输出端 OUT 以作为输出信号输出。

第一电容器 C1 的一端连接第一下拉节点 N1，另一端连接输出端 OUT。第一电容器 C1 用于维持第一下拉节点 N1 与输出端 OUT 之间的电压差，并使得在第一控制子电路 220 导通的情况下能够形成使第三晶体管 T3 导通的栅源电压，从而在一定时段内维持稳定的有效电平输出。

图 4 中还示出了输出子电路 230 包括第二电容器 C2。应该理解的是，在其他实施例中，可以不具有该第二电容器 C2，因此，图 3 中通过虚线示出了 C2 及其与电路的连接关系。第二电容器 C2 的一端可以连接上拉节点 N3，另一端可以连接第二恒定电压信号端 VGH。从而，第二电容器 C2 可以用于在某些阶段维持上拉节点 N3 与第二恒定电压信号端 VGH 之间的电压差。

第二控制子电路 250 包括第五晶体管 T5 和第六晶体管 T6。第五晶体管 T5 的栅极连接第二时钟信号端 CLK2，第一极连接第一恒定电压信号端 VGL，第二极连接输出端 OUT。从而，第五晶体管 T5 在第二时钟信号端 CLK2 处接收到的第二时钟信号的控制下导通或截止。在导通的情况下，第五晶体管 T5 将第一恒定电压信号端 VGL 处接收到的第一恒定电压信号传送到上拉节点 N3。第六晶体管 T6 的栅极连接第二下拉节点 N2，第一极连接第二恒定电压信号端 VGH，第二极连接输出端 OUT。从而，第六晶体管 T6 在第二下拉节点 N2 的电压的控制下导通或截止。在导通的情况下，第六晶体管 T6 将第二恒定电压信号端 VGH 处接收到的第二恒定电压信号传送到上拉节点 N3。

通过控制第五晶体管 T5 和第六晶体管 T6 的导通或截止，可以向上拉节点 N3 提供有效或无效电平，进而控制第二恒定电压信号向输出端 OUT 的传送。

复位子电路 240 包括第七晶体管 T7。第七晶体管 T7 的栅极连接复位控制信号端 RESET 以接收复位控制信号，第一极连接第二恒定电压信号端 VGH 以接收第二恒定电压信号，第二极连接第二下拉节点 N2。从而，第七晶体管 T7 在复位控制信号端 RESET

处接收到的复位控制信号的控制下导通或截止。在导通的情况下，第七晶体管 T7 将第二恒定电压信号端 VGH 处接收到的第二恒定电压信号传送到第二下拉节点 N2，以对第二下拉节点 N2 进行复位。

在本实施例中，复位控制信号端 RESET 可以连接到第二时钟信号端 CLK2，从而复位控制信号通过第二时钟信号来提供。

图 5 示出了图 4 中的移位寄存器单元 200 的信号时序图。以下结合图 5 对图 4 中的移位寄存器单元 200 的操作进行说明。在图 5 中，第二时钟信号端 CLK2、输入控制信号端 CON 和复位控制信号端 RESET 可以连接在一起或者实现为一个信号端，从而具有相同的信号波形，即，输入控制信号和复位控制信号均由第二时钟信号来实现。第一时钟信号端 CLK1 处提供的第一时钟信号可以是第二时钟信号端 CLK2 提供的第二时钟信号的反转。

在时段 t1，输入信号端 IN 处接收到的输入信号为高电平，输入控制信号端 CON、第二时钟信号端 CLK2 和复位控制信号端 RESET 均为低电平，第一晶体管 T1、第七晶体管 T7 和第五晶体管 T5 导通，从而将输入信号的高电平传送到第一下拉节点 N1，将第二恒定电压信号端 VGH 的高电平传递至第二下拉节点 N2，并将第一恒定电压信号端 VGL 的低电平传送到上拉节点 N3。上拉节点 N3 的低电平使第四晶体管 T4 导通，从而将第二恒定电压信号端 VGH 的高电平传送到输出端 OUT。

在时段 t2，第一时钟信号端 CLK1 为高电平，第二时钟信号端 CLK2 为低电平，第二晶体管 T2 导通，第一晶体管 T1、第五晶体管 T5 和第七晶体管 T7 关断，第一电容器 C1 的存在使第一下拉节点 N1 仍然为高电平，第二晶体管 T2 的导通将第一下拉节点 N1 的高电平传送到第二下拉节点 N2。第二下拉节点 N2 的高电平使第三晶体管 T3 和第六晶体管 T6 仍然保持关断状态。第二电容器 C2 的存在使上拉节点 N3 保持低电平，使得第四晶体管 T4 继续将输出端 OUT 保持在高电平。在一些实施例中，如果没有单独设置第二电容器 C2，可以借助于电路中的寄生电容来使上拉节点 N3 保持在低电平。通过设置第二电容器 C2，能够提高信号稳定性。

通过上述时段 t1 和 t2 的操作，使得在输入信号端 IN 的有效电平（即，低电平）未到来的期间，第一下拉节点 N1 和第二下拉节点 N2 保持在高电平高电平，上拉节点 N3 保持在低电平，输出端 OUT 持续输出高电平的输出信号。

在时段 t3，输入信号端变为低电平，第一时钟信号端 CLK1 处于高电平，第二时钟信号端 CLK2（进而输入控制信号端 CON 和复位控制信号端 RESET）处于低电平。因

此, 第一晶体管 T1、第五晶体管 T5 和第七晶体管 T7 导通, 第二晶体管 T2 截止。第一下拉节点 N1 变为低电平, 第二下拉节点 N2 仍处于高电平, 上拉节点 N3 仍处于低电平。从而, 第三晶体管 T3、第六晶体管 T6 保持截止, 第四晶体管 T4 保持导通。此时, 输出到输出端 OUT 的是来自第二恒定电压信号端 VGH 的高电平。时段 t3 也可称为“输入时段”。

在时段 t4, 输入结束, 输入信号端 IN 的输入信号变为高电平, 第一时钟信号端 CLK1 处于低电平, 第二时钟信号端 CLK2 (进而输入控制信号端 CON 和复位控制信号端 RESET) 处于高电平。因此, 第一晶体管 T1、第五晶体管 T5 和第七晶体管 T7 截止, 第二晶体管 T2 导通。由于电容 C1 的存在, 第一下拉节点 N1 的电压不会发生突变, 仍保持低电平。在第二晶体管 T2 导通的情况下, 第一下拉节点 N1 与第二下拉节点 N2 电连通, 使得第二下拉节点 N2 也变为低电平。从而, 第三晶体管 T3 和第六晶体管 T6 导通。在第三晶体管 T3 导通的情况下, 第一恒定电压信号端 VGL 的低电平被传送到输出端 OUT, 由于第一电容器 C1 的自举效应, 第一电容器 C1 两端的压差保持不变, 从而第一下拉节点 N1 的电压以及第二下拉节点 N2 的电压进一步降低, 如图 5 所示。在第六晶体管 T6 导通的情况下, 第二恒定电压信号端 VGH 的高电平传送到上拉节点 N3, 使得上拉节点 N3 充电为高电平。进而, 第四晶体管 T4 截止。此时, 输出到输出端 OUT 的是来自第一恒定电压信号端 VGL 的低电平。时段 t4 也可称为“输出时段”。

在时段 t5, 输入信号端 IN 的输入信号保持为高电平, 第一时钟信号端 CLK1 处于高电平, 第二时钟信号端 CLK2 (进而输入控制信号端 CON 和复位控制信号端 RESET) 处于低电平。因此, 第一晶体管 T1、第五晶体管 T5 和第七晶体管 T7 导通, 第二晶体管 T2 截止。第一下拉节点 N1 被高电平的输入信号充电为高电平。第二下拉节点 N2 被第二恒定电压信号端 VGH 的高电平充电为高电平。上拉节点 N3 被第一恒定电压信号端 VGL 的低电平拉至低电平。从而, 在第二下拉节点 N2 高电平的情况下, 第三晶体管 T3、第六晶体管 T6 截止。第一恒定电压信号端 VGL 的低电平不再输入到输出端 OUT。在上拉节点 N3 处的低电平的作用下, 第四晶体管 T4 导通, 使得第二恒定电压信号端 VGH 的高电平能够传送到输出端 OUT。此时, 输出到输出端 OUT 的是来自第二恒定电压信号端 VGH 的高电平。时段 t5 也可称为“复位时段”。

在时段 t6, 输入信号端 IN 处的输入信号保持高电平, 节点 N1、N2 和 N3 处保持高电平。从而, 输出端 OUT 将保持高电平。

图6示出了根据本公开另一实施例的移位寄存器单元的电路图。图6的移位寄存器单元与图4的移位寄存器单元类似，区别至少在于图6的输入子电路210和复位子电路240与图4不同。

如图6所示，输入子电路210接收的输入控制信号与输入信号均来自输入信号端IN。在图6中，输入子电路210包括第一晶体管T1。第一晶体管T1的栅极和第一极连接到用于提供输入信号的输入信号端IN，第二极连接第一下拉节点N1。从而，第一晶体管T1在输入信号端IN处接收到的输入控制信号（与输入信号是同一信号）的控制下导通或截止，并且在导通的情况下（输入信号具有低电平），将输入信号端IN处的输入信号输入到第一下拉节点N1。

第一控制子电路220包括第二晶体管T2。第二晶体管T2的栅极连接第一时钟信号端CLK1以接收第一时钟信号，第一极连接第一下拉节点N1，第二极连接第二下拉节点N2。从而，第二晶体管T2在第一时钟信号端CLK1处接收到的第一时钟信号的控制下导通或截止。在导通的情况下，第二晶体管T2将第一下拉节点N1与第二下拉节点N2电连通。在截止的情况下，第二晶体管T2将第一下拉节点N1与第二下拉节点N2电隔离。

输出子电路230包括第三晶体管T3、第四晶体管T4和第一电容器C1。第三晶体管T3的栅极连接第二下拉节点N2，第一极连接第一恒定电压信号端VGL，第二极连接输出端OUT。从而，第三晶体管T3在第二下拉节点N2的电压的控制下导通或截止。在导通的情况下，第三晶体管T3将第一恒定电压信号端VGL的低电平传送到输出端OUT以作为输出信号输出。

第四晶体管T4的栅极连接上拉节点N3，第一极连接第二恒定电压信号端VGH，第二极连接输出端OUT。从而，第四晶体管T4在上拉节点N3的电压的控制下导通或截止。在导通的情况下，第四晶体管T4将第二恒定电压信号端VGH处的高电平传送到输出端OUT以作为输出信号输出。

第一电容器C1的一端连接第一下拉节点N1，另一端连接输出端OUT。第一电容器C1用于维持第一下拉节点N1与输出端OUT之间的电压差，并使得在第一控制子电路220导通的情况下能够形成使第三晶体管T3导通的栅源电压，从而在一定时段内维持稳定的有效电平输出。

图6中还示出了输出子电路230包括第二电容器C2。应该理解的是，在其他实施例中，可以不具有该第二电容器C2，因此，图3中通过虚线示出了C2及其与电路的连接

关系。第二电容器 C2 的一端可以连接上拉节点 N3, 另一端可以连接第二恒定电压信号端 VGH。从而, 第二电容器 C2 可以用于在某些阶段维持上拉节点 N3 与第二恒定电压信号端 VGH 之间的电压差。

第二控制子电路 250 包括第五晶体管 T5 和第六晶体管 T6。第五晶体管 T5 的栅极连接第二时钟信号端 CLK2 以接收第二时钟信号, 第一极连接第二恒定电压信号端 VGL, 第二极连接输出端 OUT。从而, 第五晶体管 T5 在第二时钟信号端 CLK2 处的第二时钟信号的控制下导通或截止。在导通的情况下, 第五晶体管 T5 将第一恒定电压信号端 VGL 的低电平传送到上拉节点 N3。

第六晶体管 T6 的栅极连接第二下拉节点 N2, 第一极连接第二恒定电压信号端 VGH 以接收第二恒定电压信号, 第二极连接上拉节点 N3。从而, 第六晶体管 T6 在第二下拉节点 N2 的电压的控制下导通或截止。在导通的情况下, 第六晶体管 T6 将第二恒定电压信号端 VGH 的高电平传送到上拉节点 N3。

通过控制第五晶体管 T5 和第六晶体管 T6 的导通或截止, 可以向上拉节点 N3 提供有效电平 (低电平) 或无效电平 (高电平), 进而控制第二恒定电压信号端 VGH 处的高电平向输出端 OUT 的传送。

复位子电路 240 包括第七晶体管 T7 和第八晶体管 T8。第七晶体管 T7 的栅极连接复位控制信号端 RESET 以接收复位控制信号, 第一极连接第二恒定电压信号端 VGH 以接收第二恒定电压信号, 第二极连接第二下拉节点 N2。从而, 第七晶体管 T7 在复位控制信号端 RESET 处接收到的复位控制信号的控制下导通或截止。在导通的情况下, 第七晶体管 T7 将第二恒定电压信号端 VGH 的高电平传送到第二下拉节点 N2, 以对第二下拉节点进行复位。第八晶体管 T8 的栅极连接复位控制信号端 RESET 以接收复位控制信号, 第一极连接第二恒定电压信号端 VGH 以接收第二恒定电压信号, 第二极连接第一下拉节点。从而, 第八晶体管 T8 在复位控制信号端 RESET 接收到的复位控制信号的控制下导通或截止。在导通的情况下, 第八晶体管 T8 将第二恒定电压信号端 VGH 的高电平传送到第一下拉节点 N1, 以对第一下拉节点 N1 进行复位。

在本实施例中, 复位控制信号端 RESET 可以与在栅极驱动电路中位于移位寄存器单元 200 的下一级的移位寄存器的输出端相连以接收其输出信号作为复位控制信号。从而, 对于本级移位寄存器单元来说, 其复位控制信号比输入信号落后一个时钟周期。栅极驱动电路的结构可以是下文中根据图 8B 所述的栅极驱动电路。本领域技术人员能够理解, 能够适用的栅极驱动电路不限于此。

图7示出了图6中的移位寄存器单元200的信号时序图。以下结合图7对图6中的移位寄存器单元200的操作进行说明。

在时段t1和t2，类似于以上参考图5描述的过程，使第一下拉节点N1和第二下拉节点N2保持高电平，使上拉节点N3保持在低电平，以等待输入信号的低电平的到来。

在时段t3，输入信号端IN变为低电平，第一时钟信号端CLK1处于高电平，第二时钟信号端CLK2处于低电平，复位控制信号端RESET处于高电平。因此，第一晶体管T1、第五晶体管T5导通，第二晶体管T2、第七晶体管T7和第八晶体管T8截止。第一下拉节点N1变为低电平，第二下拉节点N2仍处于高电平，上拉节点N3仍处于低电平。从而，第三晶体管T3、第六晶体管T6保持截止，第四晶体管T4保持导通。此时，输出到输出端OUT的是来自第二恒定电压信号端VGH的高电平。时段t3也可称为“输入时段”。

在时段t4，输入结束，输入信号端IN处的输入信号变为高电平，第一时钟信号端CLK1处于低电平，第二时钟信号端CLK2处于高电平，复位控制信号端RESET仍处于高电平。因此，第一晶体管T1、第五晶体管T5、第七晶体管T7和第八晶体管T8截止，第二晶体管T2导通。由于第一电容器C1的存在，第一下拉节点N1的电压不会发生突变，仍保持低电平。在第二晶体管T2导通的情况下，第一下拉节点N1与第二下拉节点N2电连通，第二下拉节点N2也变为低电平。从而，第三晶体管T3和第六晶体管T6导通。在第三晶体管T3导通的情况下，第一恒定电压信号端VGL处的低电平传送到输出端OUT，由于第一电容器C1的自举效应，第一电容器C1两端的压差保持不变，从而第一下拉节点N1的电压以及第二下拉节点N2的电压进一步降低，如图7所示。在第六晶体管T6导通的情况下，第二恒定电压信号端VGH处的高电平传送到上拉节点N3，使得上拉节点N3为高电平。进而，第四晶体管T4截止。此时，输出到输出端OUT的是来自第一恒定电压信号端VGL的低电平。时段t4也可称为“输出时段”。

在时段t5，输入信号端IN保持为高电平，第一时钟信号端CLK1处于高电平，第二时钟信号端CLK2处于低电平，复位控制信号端RESET变为低电平。因此，第五晶体管T5、第七晶体管T7和第八晶体管T8导通，第一晶体管T1和第二晶体管T2截止。第一下拉节点N1和第二下拉节点N2都被复位至第二恒定电压信号端VGH的高电平。第一恒定电压信号端VGL处的低电平被提供至上拉节点N3。从而，在第二下拉节点N2变为高电平的情况下，第三晶体管T3、第六晶体管T6截止。第二恒定电压信号端VGH的高电平不再输入到输出端OUT。在上拉节点N3处的低电平的作用下，第四晶

晶体管 T4 导通,使得第二恒定电压信号端 VGH 的高电平能够传送到输出端 OUT。此时,输出到输出端 OUT 的是来自第二恒定电压信号端 VGH 的高电平。时段 t5 也可称为“复位时段”。

在时段 t6,输入信号端 IN 保持高电平,节点 N1、N2 和 N3 保持高电平。从而,输出端 OUT 将保持高电平。

与图 5 不同的是,在图 7 的实施例中复位控制信号端 RESET 提供单独的复位控制信号,而不是以第二时钟信号作为复位控制信号。如图 7 所示,在除了时段 t5 以外的其他时段,复位控制信号端 RESET 处的复位控制信号为高电平,第七晶体管 T7 和第八晶体管 T8 保持关断状态,从而不影响第一下拉节点 N1 和第二下拉节点 N2 的电位。在时段 t5,复位控制信号端 RESET 处的复位控制信号为低电平,第七晶体管 T7 和第八晶体管 T8 导通,从而将第一下拉节点 N1 和第二下拉节点 N2 分别上拉至第二恒定电压信号端 VGH 的高电平。

图 8A 示出了根据本公开实施例的栅极驱动电路的级联示意图。如图 8A 所示,栅极驱动电路包括多个级联的移位寄存器单元(例如,根据图 4 所示的移位寄存器单元)。其中,除第一级移位寄存器单元之外,每一级移位寄存器单元接收上一级移位寄存器单元的输出信号 out,作为本级的输入信号 in,并且第一级移位寄存器单元接收帧起始信号 STV,作为输入信号 in。此外,每一级移位寄存器单元接收时钟信号 clk1 和 clk2 以及恒定电压信号 vgh 和 vgl。如图 8A 所示,第 1 级移位寄存器单元的输入信号端接收帧起始信号 STV 作为输入信号 in1,第 2 级移位寄存器单元的输入信号端接收第 1 级移位寄存器单元的输出信号 out1 作为输入信号 in1,以此类推,第 n 级移位寄存器单元接收第 n-1 级移位寄存器单元的输出信号作为第 n 级移位寄存器单元的输入信号,其中 n 和 N 均为整数, $N \geq 2$ ,  $2 \leq n \leq N$ 。每一级移位寄存器单元的第一时钟信号端连接为接收第一时钟信号 clk1,第二时钟信号端连接为接收第二时钟信号 clk2,第一恒定电压信号端连接为接收第一恒定电压信号 vgl,第二恒定电压信号端连接为接收第二恒定电压信号 vgh。在本实施例中,第一恒定电压信号可以为恒定低电平,第二恒定电压信号可以为恒定高电平,第一时钟信号 clk1 是第二时钟信号 clk2 的反相信号。

图 8B 示出了根据本公开另一实施例的栅极驱动电路的级联示意图。如图 8B 所示,栅极驱动电路包括多个级联的移位寄存器单元(例如,根据图 6 所示的移位寄存器单元)。其中,除第一级移位寄存器单元之外,每一级移位寄存器单元接收上一级移位寄存器单

元的输出信号 out，作为本级的输入信号 in，并且第一级移位寄存器单元接收帧起始信号 STV，作为输入信号 in。此外，每一级移位寄存器单元接收相同的时钟信号 clk1 和 clk2 以及相同的恒定电压信号 vgh 和 vgl。

在图 8B 中，除最后一级移位寄存器单元之外，每一级移位寄存器单元接收来自下一级的输出信号 out，作为本级的复位控制信号 reset，最后一级移位寄存器单元接收帧起始信号 STV，作为复位控制信号 reset。

图 9 示出了根据本公开实施例的移位寄存器单元的驱动方法 900 的流程图。所述驱动方法 900 可以用于驱动根据图 2、图 3、图 4 或图 6 所示的移位寄存器单元。

如图 9 所示，在步骤 S910 中，在输入时段，在输入控制信号的控制下输入子电路将第一电平的输入信号传送到第一下拉节点。例如，如上所述，输入子电路可以将第一下拉节点充电至第一有效电平，第一控制子电路和复位子电路使第二下拉节点保持在无效电平（高电平）。

在步骤 S920 中，在输出时段，第一控制子电路在第一时钟信号的控制下将第一下拉节点和第二下拉节点电连同，第二下拉节点的电压使输出子电路将第一恒定电压信号传送到移位寄存器单元的输出端，以作为输出信号输出。

在一些实施例中，驱动方法还可以包括步骤 S930。在步骤 S930 中，在复位时段，复位子电路在复位控制信号的控制下使用第二恒定电压信号将第二下拉节点复位，例如复位到无效电平。第二下拉节点的电压使第二控制子电路在第二时钟信号的控制下将第一恒定电压信号传送到所述移位寄存器单元的上拉节点，上拉节点的电压使所述输出子电路将第二恒定电压信号传送到所述输出端，以作为输出信号输出。

在以上过程中，复位控制信号或输入控制信号中的至少一个可以由所述第二时钟信号来实现。在一些实施例中，在复位时段，还通过复位控制信号将第一下拉节点复位为无效电平。在另一些实施例中，在复位时段，还通过输入控制信号将第一下拉节点复位为无效电平。

上文中结合图 4 和图 6 对所述方法 900 在不同实施例中的驱动过程进行了描述，在此不再赘述。应理解的是，上文的对应描述在此同样适用。

本公开的实施例提供的移位寄存器单元和栅极驱动电路可以应用于各种显示设备，例如基于 OLED 技术的显示设备，如有源矩阵有机发光二极管（Active Matrix Organic Light Emitting Diode, AMOLED）显示设备。当然本公开不限于此，本公开的实施例也可以应用于基于液晶显示（Liquid Crystal Device, LCD）技术的显示设备。

图 10 示出了根据本公开实施例的显示设备的示意方框图。如图 10 所示，显示设备 1000 包括栅极驱动电路 1010。所述栅极驱动电路 1010 可以通过根据本公开任一实施例的栅极驱动电路来实现。根据本公开实施例的显示设备 1000 可以是电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相机、导航仪等任何具有显示功能的产品或部件。

以上的详细描述通过使用示意图、流程图和/或示例，已经阐述了众多实施例。在这种示意图、流程图和/或示例包含一个或多个功能和/或操作的情况下，本领域技术人员应理解，这种示意图、流程图或示例中的每一功能和/或操作可以通过各种结构、硬件、软件、固件或实质上它们的任意组合来单独和/或共同实现。

虽然已参照几个典型实施例描述了本公开，但应当理解，所用的术语是说明和示例性、而非限制性的术语。由于本公开能够以多种形式具体实施而不脱离公开的精神或实质，所以应当理解，上述实施例不限于任何前述的细节，而应在随附权利要求所限定的精神和范围内广泛地解释，因此落入权利要求或其等效范围内的全部变化和改型都应为随附权利要求所涵盖。

## 权利要求

### 1. 一种移位寄存器单元，包括：

输入子电路，电连接所述移位寄存器单元的第一下拉节点，所述输入子电路被配置为接收输入控制信号和输入信号，并在所述输入控制信号的控制下将所述输入信号传送到所述第一下拉节点；

第一控制子电路，电连接所述第一下拉节点和所述移位寄存器单元的第二下拉节点，所述上拉控制子电路被配置为接收第一时钟信号并在所述第一时钟信号的控制下将所述第一下拉节点与所述移位寄存器单元的第二下拉节点电连通；以及

输出子电路，电连接所述第二下拉节点、所述第一下拉节点和所述移位寄存器单元的输出端，所述输出子电路被配置为接收第一恒定电压信号并在所述第二下拉节点的电压的控制下将所述第一恒定电压信号传送到所述输出端，以作为输出信号输出。

### 2. 根据权利要求1所述的移位寄存器单元，还包括：

第二控制子电路，电连接所述第二下拉节点和所述移位寄存器单元的上拉节点，所述下拉控制子电路被配置为接收所述第一恒定电压信号、第二恒定电压信号和第二时钟信号，并在所述第二时钟信号和所述第二下拉节点的电压的控制下将所述第一恒定电压信号或所述第二恒定电压信号传送到所述上拉节点。

3. 根据权利要求2所述的移位寄存器单元，其中，所述输出子电路还电连接所述上拉节点，并且所述输出子电路还被配置为接收所述第二恒定电压信号，并在所述上拉节点的电压的控制下将所述第二恒定电压信号传送到所述输出端，以作为输出信号输出。

### 4. 根据权利要求1所述的移位寄存器单元，还包括：

复位子电路，电连接所述第二下拉节点，所述复位子电路被配置为接收复位控制信号和第二恒定电压信号，并在所述复位控制信号的控制下使用所述第二恒定电压信号对所述第二下拉节点进行复位。

5. 根据权利要求1所述的移位寄存器单元，其中，所述输入子电路包括第一晶体管，所述第一晶体管的栅极电连接为接收所述输入控制信号，所述第一晶体管的第一极电连接为接收所述输入信号，所述第一晶体管的第二极电连接所述第一下拉节点。

6. 根据权利要求5所述的移位寄存器单元，其中，所述输入控制信号是第二时钟信号。

7. 根据权利要求5所述的移位寄存器单元，其中，所述输入控制信号是所述输入

信号。

8. 根据权利要求 1 所述的移位寄存器单元, 其中, 所述第一控制子电路包括第二晶体管, 所述第二晶体管的栅极电连接为接收所述第一时钟信号, 所述第二晶体管的第一极电连接所述第一下拉节点, 所述第二晶体管的第二极电连接所述第二下拉节点。

9. 根据权利要求 3 所述的移位寄存器单元, 其中, 所述输出子电路包括第三晶体管、第四晶体管和第一电容器, 其中,

所述第三晶体管的栅极电连接所述第二下拉节点, 所述第三晶体管的第一极电连接为接收所述第一恒定电压信号, 所述第三晶体管的第二极电连接所述输出端;

所述第四晶体管的栅极电连接所述上拉节点, 所述第四晶体管的第一极电连接为接收所述第二恒定电压信号, 所述第四晶体管的第二极电连接所述输出端; 并且

所述第一电容器的一端电连接所述第一下拉节点, 所述第一电容器的另一端电连接所述输出端。

10. 根据权利要求 9 所述的移位寄存器单元, 其中, 所述输出子电路还包括第二电容器, 所述第二电容器的一端电连接所述上拉节点, 所述第二电容器的另一端电连接为接收所述第二恒定电压信号。

11. 根据权利要求 2 所述的移位寄存器单元, 其中, 所述第二控制子电路包括第五晶体管和第六晶体管, 其中,

所述第五晶体管的栅极电连接为接收所述第二时钟信号, 所述第五晶体管的第一极电连接为接收所述第一恒定电压信号, 所述第五晶体管的第二极电连接所述上拉节点; 并且

所述第六晶体管的栅极电连接所述第二下拉节点, 所述第六晶体管的第一极电连接为接收所述第二恒定电压信号, 所述第六晶体管的第二极电连接所述上拉节点。

12. 根据权利要求 4 所述的移位寄存器单元, 其中, 所述复位子电路包括第七晶体管, 所述第七晶体管的栅极电连接为接收所述复位控制信号, 所述第七晶体管的第一极电连接为接收所述第二恒定电压信号, 所述第七晶体管的第二极电连接所述第二下拉节点。

13. 根据权利要求 12 所述的移位寄存器单元, 其中, 所述复位控制信号是第二时钟信号。

14. 根据权利要求 12 所述的移位寄存器单元, 其中, 所述复位子电路还包括第八晶体管, 所述第八晶体管的栅极电连接为接收所述复位控制信号, 所述第八晶体管的

第一极电连接为接收所述第二恒定电压信号，所述第八晶体管的第二极电连接所述第一下拉节点。

15. 根据权利要求14所述的移位寄存器单元，其中，所述复位控制信号是来自另一移位寄存器单元的输出信号。

16. 一种栅极驱动电路，包括N级级联的根据权利要求1至15中任一项权利要求所述的移位寄存器单元，其中，第n级移位寄存器单元接收第n-1级移位寄存器单元的输出信号作为第n级移位寄存器单元的输入信号，其中n和N均为整数， $N \geq 2$ ， $2 \leq n \leq N$ 。

17. 根据权利要求16所述的栅极驱动电路，其中，每一级移位寄存器单元接收第二时钟信号作为复位控制信号。

18. 根据权利要求16所述的栅极驱动电路，其中，第n级移位寄存器单元接收第n+1级移位寄存器单元的输出信号，作为第n级移位寄存器单元的复位控制信号。

19. 一种根据权利要求1至15中任一项权利要求所述的移位寄存器单元的驱动方法，包括：

在输入时段，在输入控制信号的控制下输入子电路将第一电平的输入信号传送至第一下拉节点；以及

在输出时段，第一控制子电路在第一时钟信号的控制下将第一下拉节点和第二下拉节点电连通，第二下拉节点的电压使输出子电路将第一恒定电压信号传送到所述移位寄存器单元的输出端，以作为输出信号输出。

20. 根据权利要求19所述的驱动方法，其中，所述移位寄存器单元还包括复位子电路和第二控制子电路，所述驱动方法还包括：

在复位时段，复位子电路在复位控制信号的控制下使用第二恒定电压信号将第二下拉节点复位，第二下拉节点的电压使第二控制子电路在第二时钟信号的控制下将第一恒定电压信号传送到所述移位寄存器单元的上拉节点，上拉节点的电压使所述输出子电路将第二恒定电压信号传送到所述输出端，以作为输出信号输出。

21. 根据权利要求20所述的驱动方法，其中，所述复位控制信号或所述输入控制信号中的至少一个是所述第二时钟信号。

22. 一种显示设备，包括根据权利要求16至18中任一项权利要求所述的栅极驱动电路。

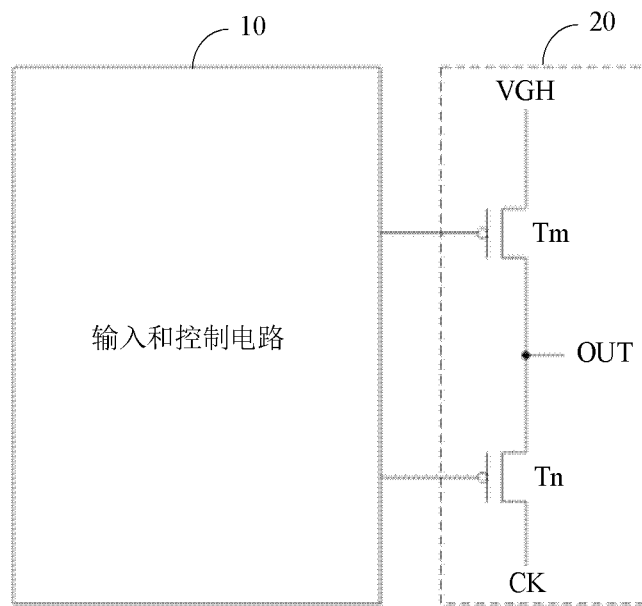


图 1

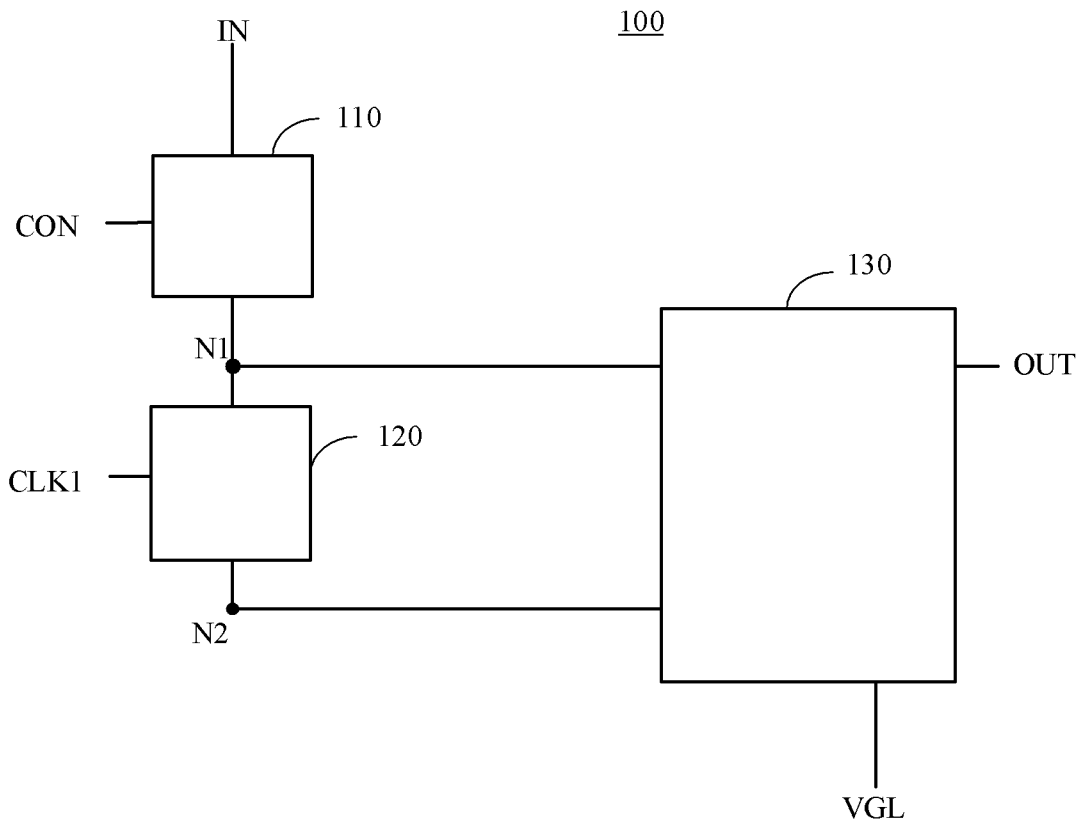


图 2

200

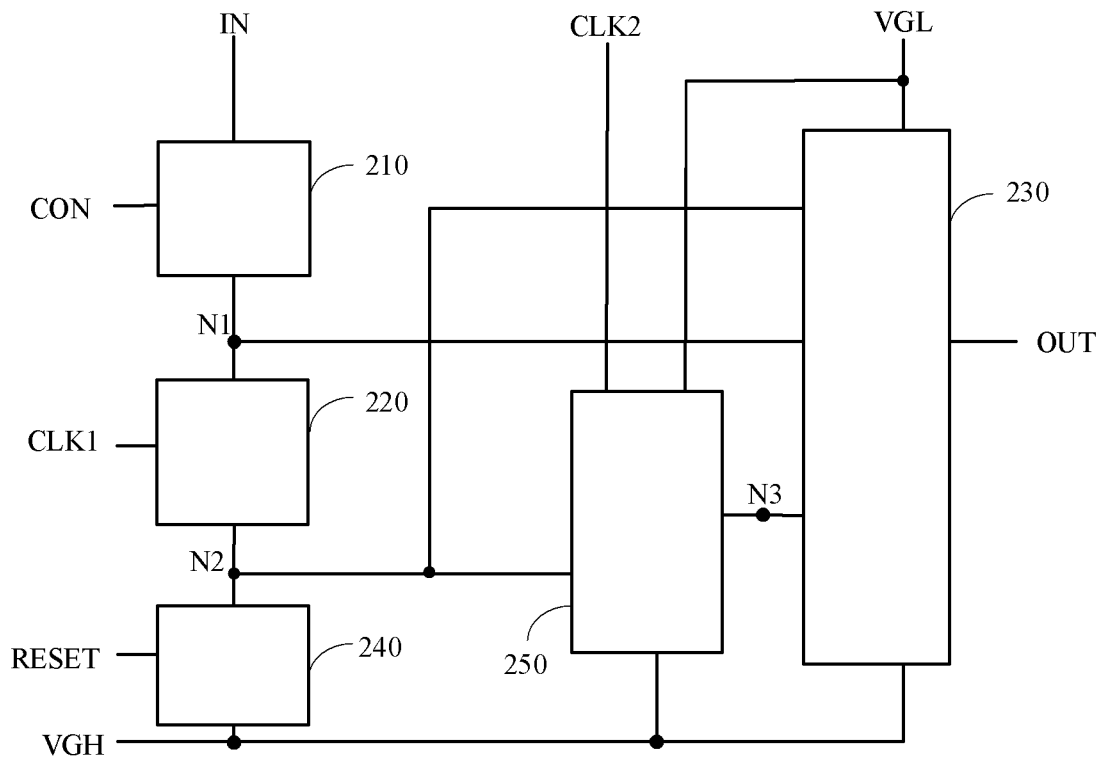


图 3

200

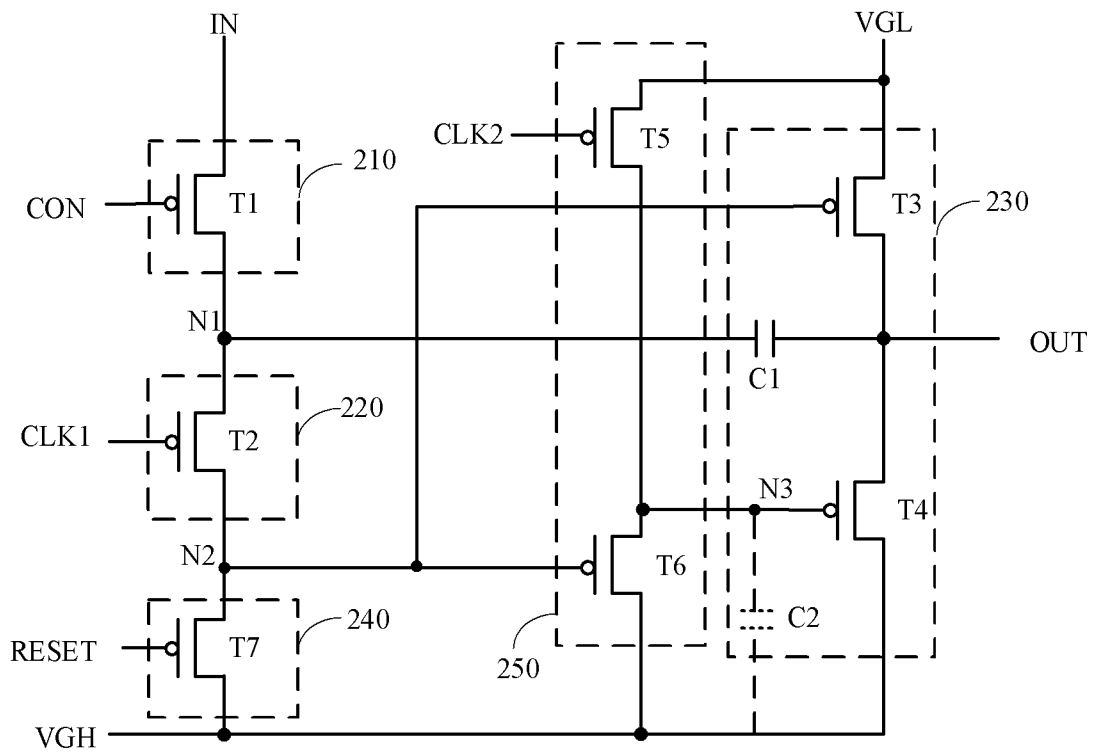


图 4

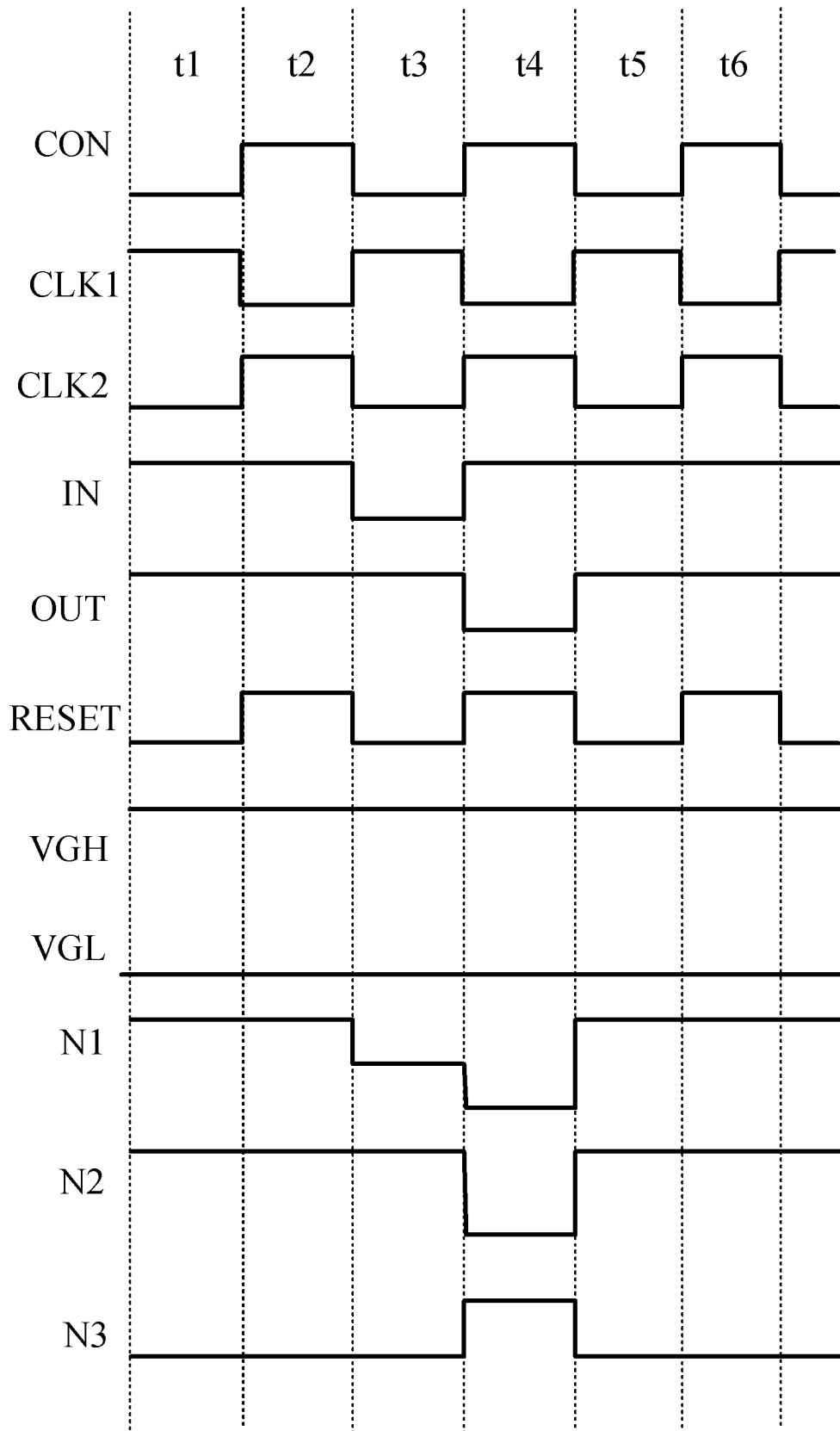


图 5

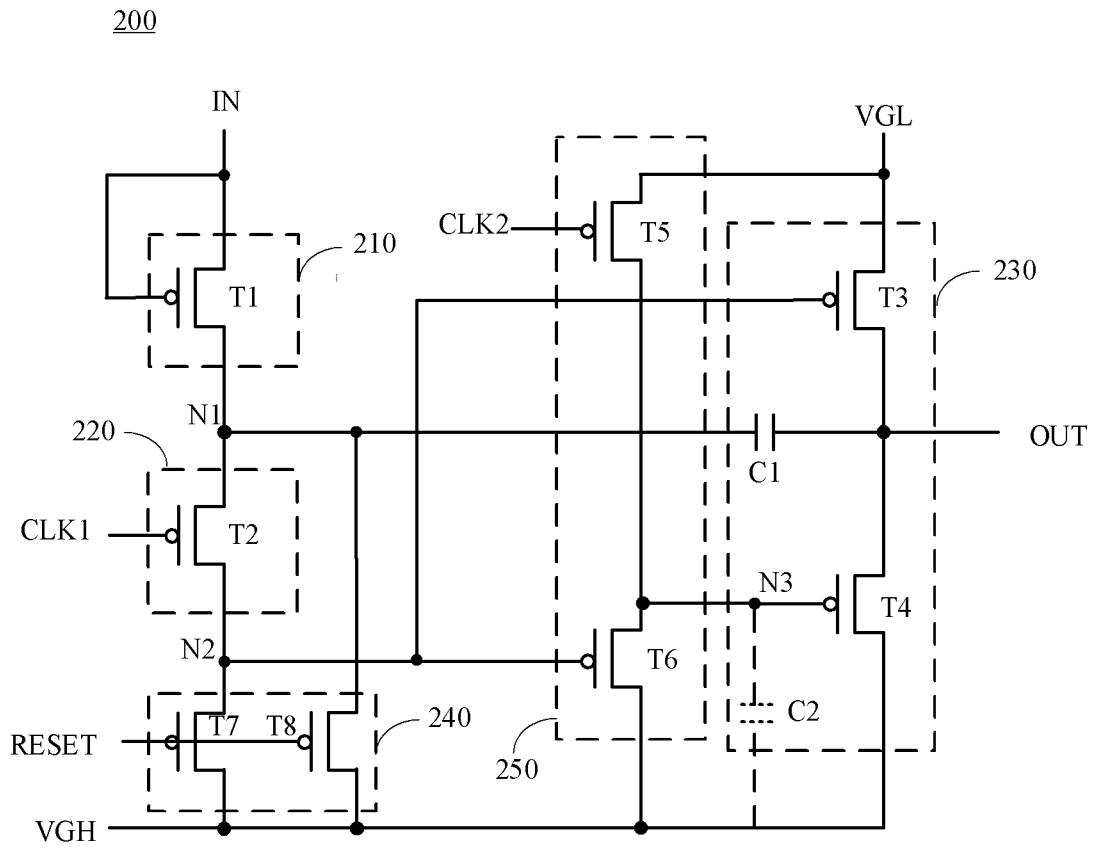


图 6

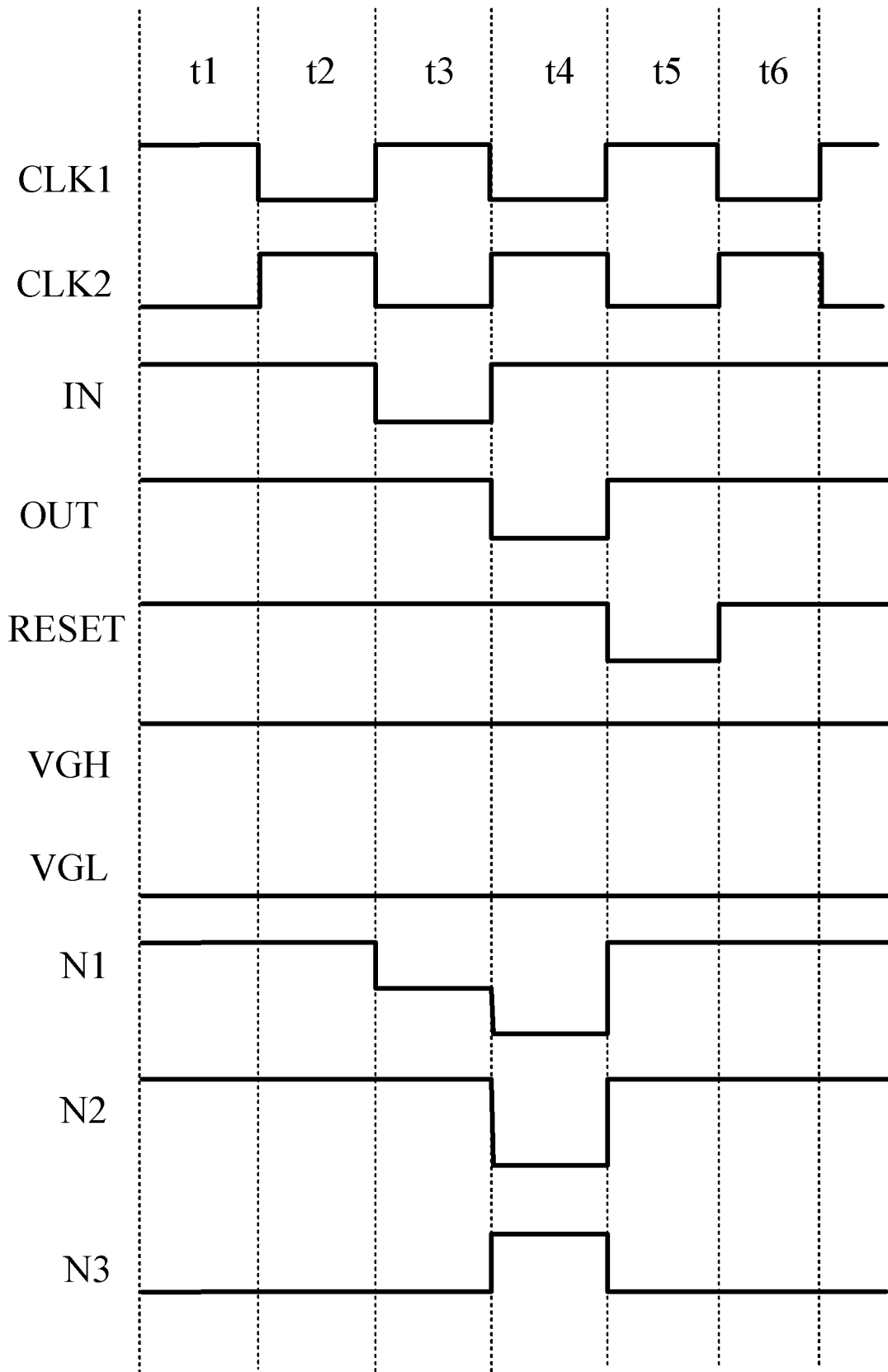


图 7

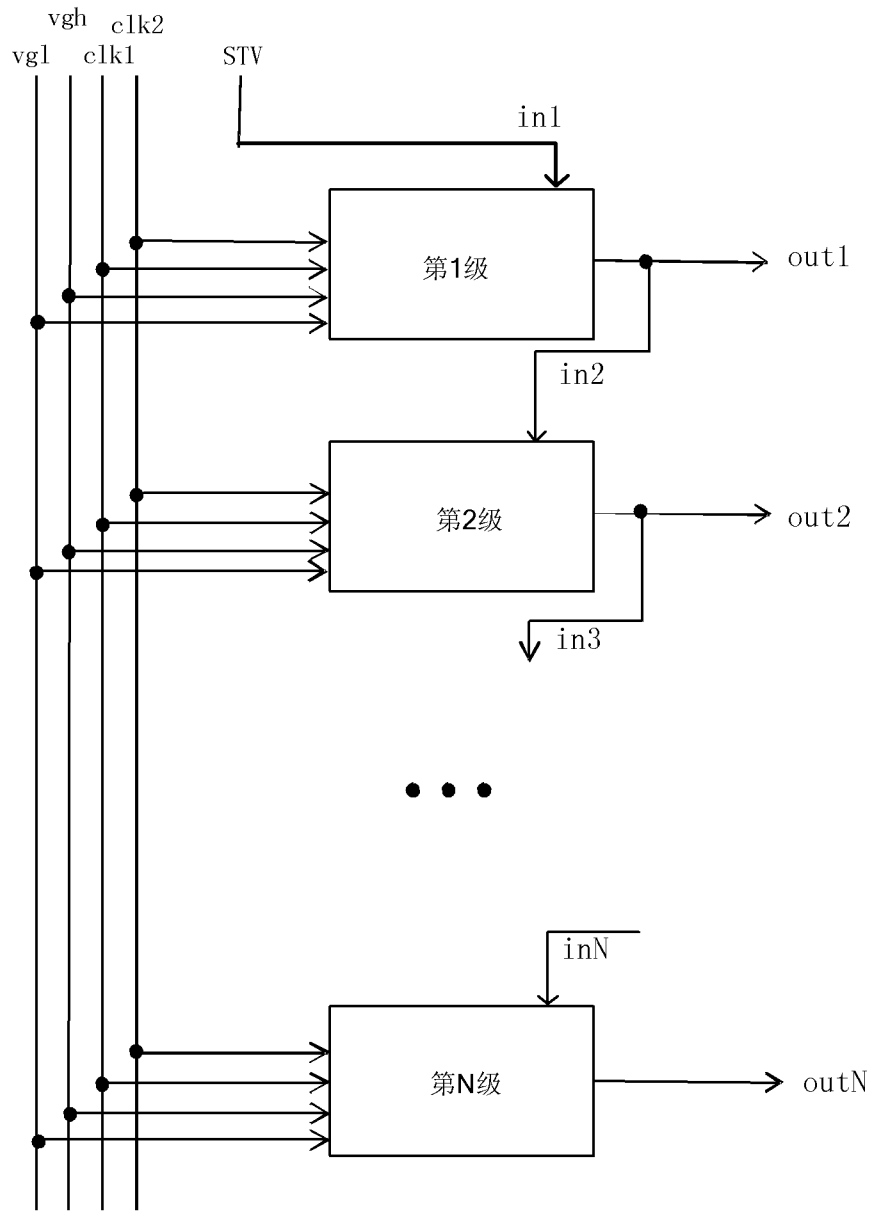


图 8A

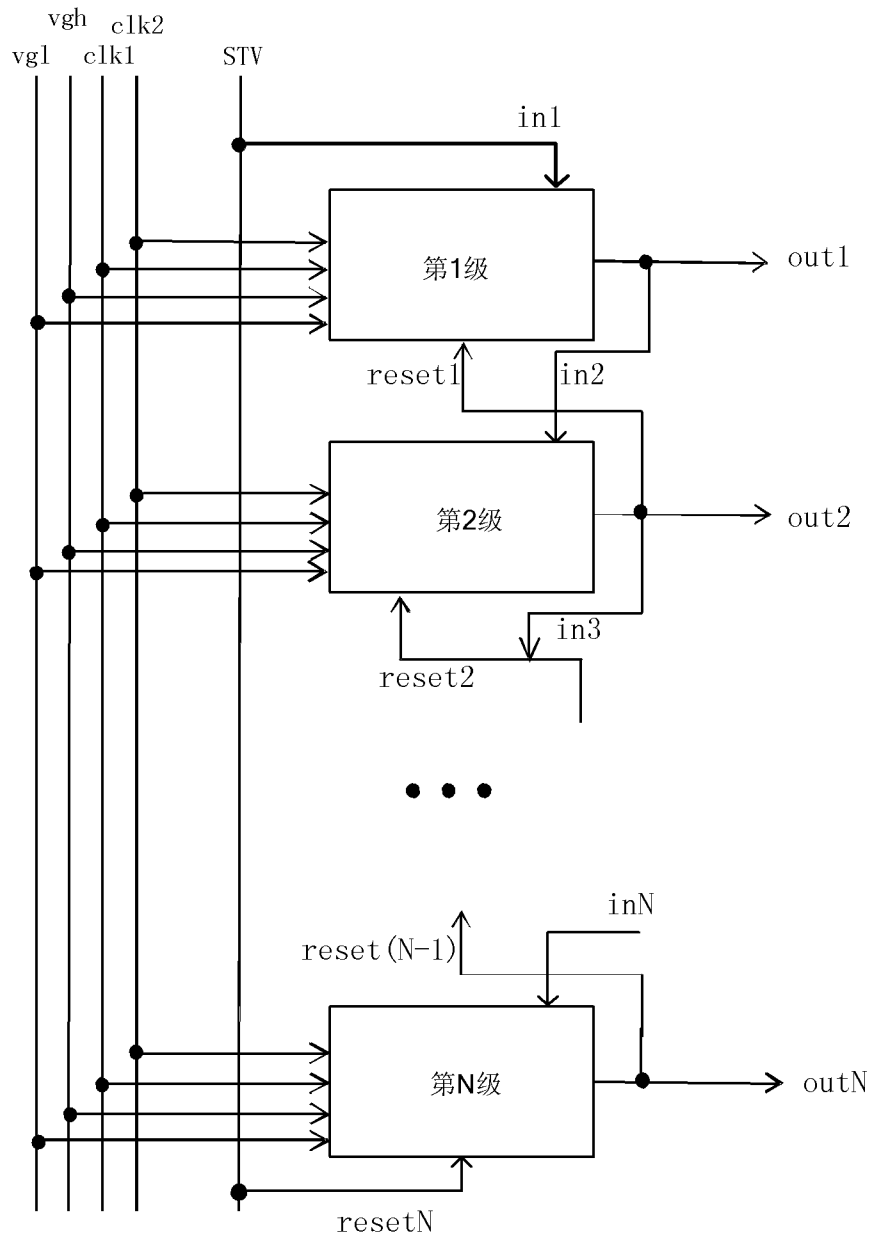


图 8B

900

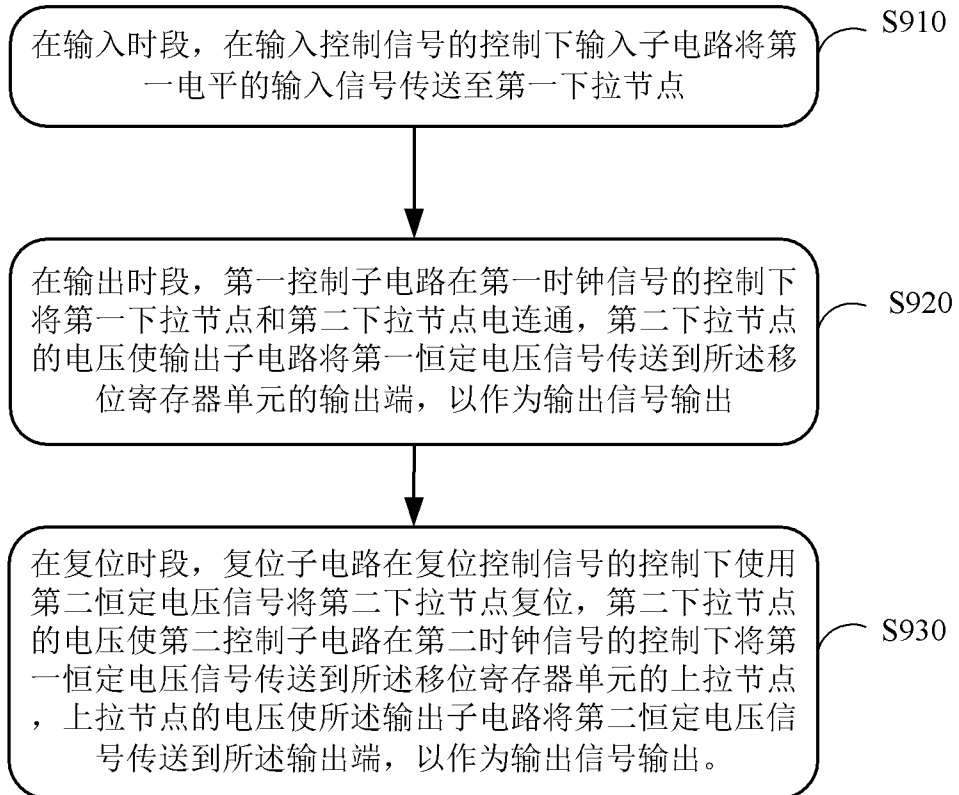


图 9

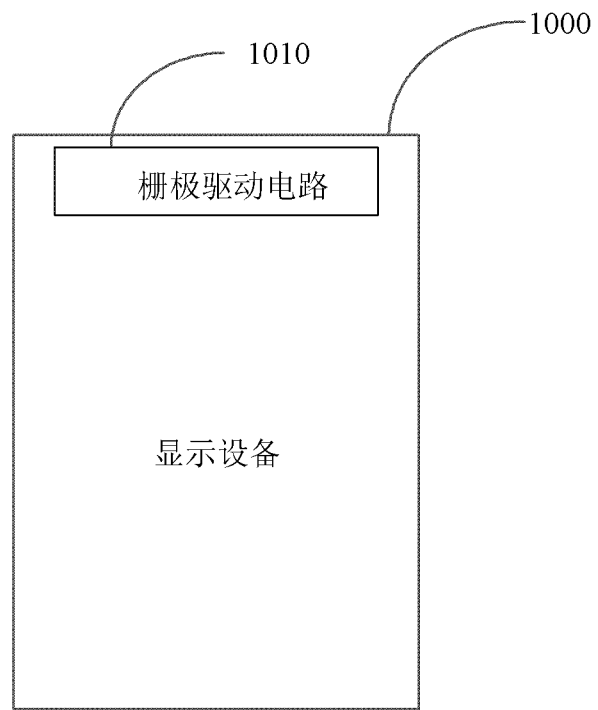


图 10

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/095793

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
G09G 3/36(2006.01)i; G11C 19/28(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)		
G11C; G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNPAT, CNKI, WPI, EPODOC: 京东方, 翁祖伟, 位移寄存, 移位寄存, 平移寄存, 移位缓存, 移位暂存, 第一上拉, 第1上拉, 连, 导通, 第二上拉, 第2上拉, 第一下拉, 第1下拉, 第二下拉, 第2下拉, PU1, N1, PU2, N2, PD1, PD2, GOA, grid w driv+, gate w driv+, shift w register, Output, gate w electrode, tft, transistor, switch+, noise, isolat+, separat+, lossless, resist+, pull+ 1w up, pull+ 1w down		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102460587 A (SHARP CORPORATION) 16 May 2012 (2012-05-16) description, paragraphs [0130]-[0171], and figures 1-7	1-22
X	CN 101866697 A (AU OPTRONICS CORP.) 20 October 2010 (2010-10-20) description, paragraphs [0079]-[0096], and figures 1-4	1-22
X	CN 108053801 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 18 May 2018 (2018-05-18) description, paragraphs [0058]-[0084], and figures 5-9	1-22
PX	CN 108806636 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 13 November 2018 (2018-11-13) claims 1-20, description, paragraphs [0044]-[0112], and figures 1-10	1-22
A	CN 101075481 A (CHI MEI OPTOELECTRONICS CORPORATION) 21 November 2007 (2007-11-21) entire document	1-22
A	CN 103578395 A (LG DISPLAY CO., LTD.) 12 February 2014 (2014-02-12) entire document	1-22
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
10 September 2019		29 September 2019
Name and mailing address of the ISA/CN		Authorized officer
<b>China National Intellectual Property Administration (ISA/CN)</b> <b>No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088</b> <b>China</b>		
Facsimile No. (86-10)62019451		Telephone No.



**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2019/095793**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	102460587	A	16 May 2012	WO	2010150574	A1	29 December 2010
				US	8605029	B2	10 December 2013
				CN	102460587	B	17 December 2014
				JP	5398831	B2	29 January 2014
				RU	2488180	C1	20 July 2013
				EP	2447950	A1	02 May 2012
				US	2012098804	A1	26 April 2012
CN	101866697	A	20 October 2010	US	2011116592	A1	19 May 2011
				CN	101866697	B	25 June 2014
				US	8149985	B2	03 April 2012
				US	8054935	B2	08 November 2011
				US	2012008732	A1	12 January 2012
				US	8184764	B1	22 May 2012
				TW	201117557	A	16 May 2011
				EP	2323257	A1	18 May 2011
				US	2012213323	A1	23 August 2012
				US	2012140872	A1	07 June 2012
				TW	1399923	B	21 June 2013
				US	8290114	B2	16 October 2012
				EP	2323257	B1	18 December 2013
				CN	108053801	A	18 May 2018
CN	108806636	A	13 November 2018	None			
CN	101075481	A	21 November 2007	CN	101075481	B	16 June 2010
CN	103578395	A	12 February 2014	TW	1506640	B	01 November 2015
				US	2014044228	A1	13 February 2014
				KR	20140020391	A	19 February 2014
				CN	103578395	B	23 December 2015
				TW	201407624	A	16 February 2014
				KR	101992889	B1	25 June 2019
				US	8842803	B2	23 September 2014
KR	20140096613	A	06 August 2014	None			

<p><b>A. 主题的分类</b></p> <p>G09G 3/36(2006.01)i; G11C 19/28(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p><b>B. 检索领域</b></p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G11C; G09G</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, CNKI, WPI, EP0DOC: 京东方, 翁祖伟, 位移寄存, 移位寄存, 平移寄存, 移位缓存, 移位暂存, 第一上拉, 第1上拉, 连, 导通, 第二上拉, 第2上拉, 第一下拉, 第1下拉, 第二下拉, 第2下拉, PU1, N1, PU2, N2, PD1, PD2, GOA, grid w driv+, gate w driv+, shift w register, Output, gate w electrode, tft, transistor, switch+, noise, isolat+, separat+, lossless, resist+, pull+ lw up, pull+ lw down</p>																							
<p><b>C. 相关文件</b></p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 102460587 A (夏普株式会社) 2012年 5月 16日 (2012 - 05 - 16) 说明书第[0130]-[0171]段, 附图1-7</td> <td>1-22</td> </tr> <tr> <td>X</td> <td>CN 101866697 A (友达光电股份有限公司) 2010年 10月 20日 (2010 - 10 - 20) 说明书第[0079]-[0096]段, 附图1-4</td> <td>1-22</td> </tr> <tr> <td>X</td> <td>CN 108053801 A (京东方科技集团股份有限公司 等) 2018年 5月 18日 (2018 - 05 - 18) 说明书第[0058]-[0084]段, 附图5-9</td> <td>1-22</td> </tr> <tr> <td>PX</td> <td>CN 108806636 A (京东方科技集团股份有限公司 等) 2018年 11月 13日 (2018 - 11 - 13) 权利要求1-20, 说明书第[0044]-[0112]段, 附图1-10</td> <td>1-22</td> </tr> <tr> <td>A</td> <td>CN 101075481 A (奇美电子股份有限公司) 2007年 11月 21日 (2007 - 11 - 21) 全文</td> <td>1-22</td> </tr> <tr> <td>A</td> <td>CN 103578395 A (乐金显示有限公司) 2014年 2月 12日 (2014 - 02 - 12) 全文</td> <td>1-22</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 102460587 A (夏普株式会社) 2012年 5月 16日 (2012 - 05 - 16) 说明书第[0130]-[0171]段, 附图1-7	1-22	X	CN 101866697 A (友达光电股份有限公司) 2010年 10月 20日 (2010 - 10 - 20) 说明书第[0079]-[0096]段, 附图1-4	1-22	X	CN 108053801 A (京东方科技集团股份有限公司 等) 2018年 5月 18日 (2018 - 05 - 18) 说明书第[0058]-[0084]段, 附图5-9	1-22	PX	CN 108806636 A (京东方科技集团股份有限公司 等) 2018年 11月 13日 (2018 - 11 - 13) 权利要求1-20, 说明书第[0044]-[0112]段, 附图1-10	1-22	A	CN 101075481 A (奇美电子股份有限公司) 2007年 11月 21日 (2007 - 11 - 21) 全文	1-22	A	CN 103578395 A (乐金显示有限公司) 2014年 2月 12日 (2014 - 02 - 12) 全文	1-22
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 102460587 A (夏普株式会社) 2012年 5月 16日 (2012 - 05 - 16) 说明书第[0130]-[0171]段, 附图1-7	1-22																					
X	CN 101866697 A (友达光电股份有限公司) 2010年 10月 20日 (2010 - 10 - 20) 说明书第[0079]-[0096]段, 附图1-4	1-22																					
X	CN 108053801 A (京东方科技集团股份有限公司 等) 2018年 5月 18日 (2018 - 05 - 18) 说明书第[0058]-[0084]段, 附图5-9	1-22																					
PX	CN 108806636 A (京东方科技集团股份有限公司 等) 2018年 11月 13日 (2018 - 11 - 13) 权利要求1-20, 说明书第[0044]-[0112]段, 附图1-10	1-22																					
A	CN 101075481 A (奇美电子股份有限公司) 2007年 11月 21日 (2007 - 11 - 21) 全文	1-22																					
A	CN 103578395 A (乐金显示有限公司) 2014年 2月 12日 (2014 - 02 - 12) 全文	1-22																					
<p><input checked="" type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型:                      “A” 认为不特别相关的表示了现有技术一般状态的文件                      “E” 在国际申请日的当天或之后公布的在先申请或专利                      “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)                      “O” 涉及口头公开、使用、展览或其他方式公开的文件                      “P” 公布日先于国际申请日但迟于所要求的优先权日的文件                      “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件                      “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性                      “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性                      “&amp;” 同族专利的文件</p>																							
<p>国际检索实际完成的日期</p> <p>2019年 9月 10日</p>		<p>国际检索报告邮寄日期</p> <p>2019年 9月 29日</p>																					
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>李小兰</p> <p>电话号码 86-(10)-53962509</p>																					

C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	KR 20140096613 A (LG DISPLAY CO., LTD.) 2014年 8月 6日 (2014 - 08 - 06) 全文	1-22

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2019/095793

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102460587	A	2012年 5月 16日	WO	2010150574	A1	2010年 12月 29日
				US	8605029	B2	2013年 12月 10日
				CN	102460587	B	2014年 12月 17日
				JP	5398831	B2	2014年 1月 29日
				RU	2488180	C1	2013年 7月 20日
				EP	2447950	A1	2012年 5月 2日
				US	2012098804	A1	2012年 4月 26日
CN	101866697	A	2010年 10月 20日	US	2011116592	A1	2011年 5月 19日
				CN	101866697	B	2014年 6月 25日
				US	8149985	B2	2012年 4月 3日
				US	8054935	B2	2011年 11月 8日
				US	2012008732	A1	2012年 1月 12日
				US	8184764	B1	2012年 5月 22日
				TW	201117557	A	2011年 5月 16日
				EP	2323257	A1	2011年 5月 18日
				US	2012213323	A1	2012年 8月 23日
				US	2012140872	A1	2012年 6月 7日
				TW	1399923	B	2013年 6月 21日
				US	8290114	B2	2012年 10月 16日
				EP	2323257	B1	2013年 12月 18日
				CN	108053801	A	2018年 5月 18日
CN	108806636	A	2018年 11月 13日	无			
CN	101075481	A	2007年 11月 21日	CN	101075481	B	2010年 6月 16日
CN	103578395	A	2014年 2月 12日	TW	1506640	B	2015年 11月 1日
				US	2014044228	A1	2014年 2月 13日
				KR	20140020391	A	2014年 2月 19日
				CN	103578395	B	2015年 12月 23日
				TW	201407624	A	2014年 2月 16日
				KR	101992889	B1	2019年 6月 25日
				US	8842803	B2	2014年 9月 23日
KR	20140096613	A	2014年 8月 6日	无			

表 PCT/ISA/210 (同族专利附件) (2015年1月)