



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년09월06일  
(11) 등록번호 10-1302956  
(24) 등록일자 2013년08월27일

(51) 국제특허분류(Int. Cl.)  
H01L 27/092 (2006.01) H01L 21/8238 (2006.01)  
(21) 출원번호 10-2012-0040997  
(22) 출원일자 2012년04월19일  
심사청구일자 2012년04월19일  
(65) 공개번호 10-2013-0079082  
(43) 공개일자 2013년07월10일  
(30) 우선권주장  
13/340,937 2011년12월30일 미국(US)  
(56) 선행기술조사문헌  
JP2007258485 A  
JP2009054705 A  
KR100725951 B1  
KR1020050065908 A

(73) 특허권자  
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드  
중화민국, 타이완 300-77, 신쥬, 사이언스-베이스드 인더스트리얼 파크, 리신 로드. 6, 8호  
(72) 발명자  
우 쉐 시엔  
중화민국 타이완 신쥬 시티 300 이스트 디스트릭트 케수에유안 로드 엘엔 107 넘버 18 7에프-2  
고 치 신  
중화민국 타이완 카오시웅 카운티 830 풍산 시티 운행 로드 라인 200 넘버 1  
완 클레멘트 상젠  
미국 뉴욕 10512 카르멜 바렛 씨클 웨스트 1179  
(74) 대리인  
신정건, 김태홍

전체 청구항 수 : 총 10 항

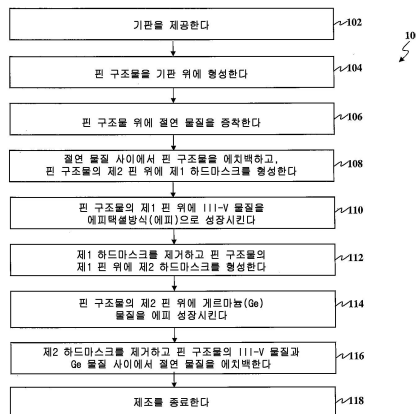
심사관 : 방기인

(54) 발명의 명칭 CMOS FINFET 소자 및 그 형성 방법

(57) 요약

CMOS FinFET 소자 및 CMOS FinFET 소자를 제조하는 방법이 개시된다. 예시적인 CMOS FinFET 소자는 제1 영역과 제2 영역을 구비한 기판을 포함한다. CMOS FinFET는 제1 영역 내의 제1 핀 및 제2 영역 내의 제2 핀을 구비하고 기판 위에 배치된 핀 구조물을 또한 포함한다. CMOS FinFET는 기판의 물질과 동일한 물질을 포함하는 제1 핀의 제1 부분과, 제1 핀의 제1 부분 위에 증착된 III-V 반도체 물질을 포함한 제1 핀의 제2 부분을 또한 포함한다. CMOS FinFET는 기판의 물질과 동일한 물질을 포함하는 제2 핀의 제1 부분과, 제2 핀의 제1 부분 위에 증착된 게르마늄(Ge) 물질을 포함한 제2 핀의 제2 부분을 또한 포함한다.

대표도 - 도1



**특허청구의 범위**

**청구항 1**

CMOS FinFET 소자에 있어서,

제1 영역과 제2 영역을 구비한 기판과;

제1 영역 내의 제1 핀 및 제2 영역 내의 제2 핀을 구비하고 기판 위에 배치된 핀 구조물과;

기판 위에서 제1 핀과 제2 핀 사이에 배치된 절연 물질과;

기판과 동일한 물질인 물질을 포함하는 제1 핀의 제1 부분과;

제1 핀의 제1 부분 위에 증착된 III-V 반도체 물질을 포함한 제1 핀의 제2 부분과;

기판과 동일한 물질인 물질을 포함하는 제2 핀의 제1 부분과;

제2 핀의 제1 부분 위에 증착된 게르마늄(Ge) 물질을 포함한 제2 핀의 제2 부분과;

CMOS FinFET 소자의 N형 금속 산화물 반도체(NMOS) 핀형 전계 효과 트랜지스터(FinFET) 소자의 소스 영역과 드레인 영역을 분리시키도록 III-V 반도체 물질을 포함한 제1 핀의 중앙 부분에 배치되고, CMOS FinFET 소자의 P형 금속 산화물 반도체(PMOS) 핀형 전계 효과 트랜지스터(FinFET) 소자의 소스 영역과 드레인 영역을 분리시키도록 Ge 물질을 포함한 제2 핀의 중앙 부분에 배치된 게이트 구조물을 포함하고,

NMOS 소자의 소스 영역과 드레인 영역은 그 사이에서 NMOS 소자의 채널 영역을 규정하는 것이고,

PMOS 소자의 소스 영역과 드레인 영역은 그 사이에서 PMOS 소자의 채널 영역을 규정하는 것인, CMOS FinFET 소자.

**청구항 2**

제1항에 있어서, NMOS 소자의 소스 영역과 드레인 영역에 있는 제1 핀의 제2 부분 위에 증착된 제1의 도핑된 반도체 물질을 포함한 제1 핀의 제3 부분과;

PMOS 소자의 소스 영역과 드레인 영역에 있는 제2 핀의 제2 부분 위에 증착된 제2의 도핑된 반도체 물질을 포함한 제2 핀의 제3 부분을 더 포함하는, CMOS FinFET 소자.

**청구항 3**

CMOS FinFET 소자를 형성하는 방법에 있어서,

제1 영역과 제2 영역을 구비한 기판을 제공하는 단계와;

기판 위에서 제1 영역에 형성되는 제1 핀 및 제2 영역에 형성되는 제2 핀을 구비한 핀 구조물을 형성하는 단계와;

제1 핀이 제1 영역에서 절연 물질 사이에 개재되고 제2 핀이 제2 영역에서 절연 물질 사이에 개재되도록 핀 구조물 위에 절연 물질을 증착하는 단계와;

제1 영역에서 절연 물질 사이에 개재된 제1 핀 및 제2 영역에서 절연 물질 사이에 개재된 제2 핀을 에치백(etching back)하는 단계와;

에치백된 제1 핀의 위 및 제1 영역의 절연 물질 사이에 III-V 반도체 물질을 에피택셜방식으로(에피) 성장시키는 단계와;

에치백된 제2 핀의 위 및 제2 영역의 절연 물질 사이에 게르마늄(Ge) 물질을 에피 성장시키는 단계와;

절연 물질을 에치백하여 제1 핀의 제1 높이 및 제2 핀의 제2 높이를 규정하는 단계를 포함하고, 상기 제1 높이는 절연 물질의 상부 표면으로부터 제1 핀의 III-V 반도체 물질의 상부 표면까지 측정된 것이고 제2 높이는 절연 물질의 상부 표면으로부터 제2 핀의 Ge 물질의 상부 표면까지 측정된 것인, CMOS FinFET 소자 형성 방법.

**청구항 4**

제3항에 있어서, 제1 핀의 III-V 반도체 물질의 중앙 부분 위에서 CMOS FinFET 소자의 N형 금속 산화물 반도체 (NMOS) 핀형 전계 효과 트랜지스터(FinFET) 소자의 소스 영역과 드레인 영역을 분리시키는 제1 게이트 구조물을 형성하는 단계와;

제2 핀의 Ge 물질의 중앙 부분 위에서 CMOS FinFET 소자의 P형 금속 산화물 반도체(PMOS) 핀형 전계 효과 트랜지스터(FinFET) 소자의 소스 영역과 드레인 영역을 분리시키는 제2 게이트 구조물을 형성하는 단계를 더 포함한, CMOS FinFET 소자 형성 방법.

**청구항 5**

제3항에 있어서, 제1 핀의 III-V 반도체 물질의 다른 하나의 상부 표면이 규정되도록 제1 핀의 III-V 반도체 물질을 에치백하는 단계와;

제2 핀의 Ge 물질의 다른 하나의 상부 표면이 규정되도록 제2 핀의 Ge 물질을 에치백하는 단계와;

제1 영역에서 제1 핀의 III-V 반도체 물질의 다른 하나의 상부 표면 위에 제1의 도핑된 반도체 물질을 에피 성장시키는 단계와;

제2 영역에서 제2 핀의 Ge 물질의 다른 하나의 상부 표면 위에 제2의 도핑된 반도체 물질을 에피 성장시키는 단계를 더 포함한, CMOS FinFET 소자 형성 방법.

**청구항 6**

제3항에 있어서, 제1 핀 위에 III-V 반도체 물질을 에피 성장시키는 단계는,

제1 및 제2 영역 위에 제1 하드마스크를 형성하는 단계와;

제1 핀을 포함하는 제1 영역이 노출되고 제2 핀을 포함하는 제2 영역이 보호되도록 제1 하드마스크를 패터닝하는 단계와;

노출된 제1 핀의 위 및 제1 영역의 절연 물질 사이에 III-V 반도체 물질을 에피 성장시키는 단계를 포함하고, 상기 제2 핀 위에 Ge 물질을 에피 성장시키는 단계는,

제1 및 제2 영역 위에 제2 하드마스크를 형성하는 단계와;

제2 핀을 포함하는 제2 영역이 노출되고 III-V 반도체 물질을 포함한 제1 핀을 포함하는 제1 영역이 보호되도록 제2 하드마스크를 패터닝하는 단계와;

노출된 제2 핀의 위 및 제2 영역의 절연 물질 사이에 Ge 물질을 에피 성장시키는 단계를 포함한 것인, CMOS FinFET 소자 형성 방법.

**청구항 7**

제3항에 있어서, 제2 핀 위에 Ge 물질을 에피 성장시키는 단계는,

제1 및 제2 영역 위에 제2 하드마스크를 형성하는 단계와;

제2 핀을 포함하는 제2 영역이 노출되고 제1 핀을 포함하는 제1 영역이 보호되도록 제2 하드마스크를 패터닝하는 단계와;

노출된 제2 핀의 위 및 제2 영역의 절연 물질 사이에 Ge 물질을 에피 성장시키는 단계를 포함하고,

상기 제1 핀 위에 III-V 반도체 물질을 에피 성장시키는 단계는,

제1 및 제2 영역 위에 제1 하드마스크를 형성하는 단계와;

제1 핀을 포함하는 제1 영역이 노출되고 Ge 물질을 포함한 제2 핀을 포함하는 제2 영역이 보호되도록 제1 하드마스크를 패터닝하는 단계와;

노출된 제1 핀의 위 및 제1 영역의 절연 물질 사이에 III-V 반도체 물질을 에피 성장시키는 단계를 포함한 것인, CMOS FinFET 소자 형성 방법.

**청구항 8**

제3항에 있어서, 상기 제1 핀 위에 III-V 반도체 물질을 에피 성장시키는 단계는,  
 제1 핀과 제2 핀의 위 및 절연 물질 사이에 III-V 반도체 물질을 에피 성장시키는 단계를 포함하고,  
 상기 제2 핀 위에 Ge 물질을 에피 성장시키는 단계는,  
 제2 핀의 위 및 절연 물질 사이에서 III-V 반도체 물질을 제거하는 단계와;  
 제1 및 제2 영역 위에 하드마스크를 형성하는 단계와;  
 제2 핀을 포함하는 제2 영역이 노출되고 제1 핀을 포함하는 제1 영역이 보호되도록 하드마스크를 패터닝하는 단계와;  
 노출된 제2 핀의 위 및 절연 물질 사이에 Ge 물질을 에피 성장시키는 단계를 포함한 것인, CMOS FinFET 소자 형성 방법.

**청구항 9**

제3항에 있어서, 상기 제2 핀 위에 Ge 물질을 에피 성장시키는 단계는,  
 제1 핀과 제2 핀의 위 및 절연 물질 사이에 Ge 물질을 에피 성장시키는 단계를 포함하고,  
 상기 제1 핀 위에 III-V 반도체 물질을 에피 성장시키는 단계는,  
 제1 핀의 위 및 절연 물질 사이에서 Ge 물질을 제거하는 단계와;  
 제1 및 제2 영역 위에 하드마스크를 형성하는 단계와;  
 제1 핀을 포함하는 제1 영역이 노출되고 제2 핀을 포함하는 제2 영역이 보호되도록 하드마스크를 패터닝하는 단계와;  
 노출된 제1 핀의 위 및 절연 물질 사이에 III-V 반도체 물질을 에피 성장시키는 단계를 포함한 것인, CMOS FinFET 소자 형성 방법.

**청구항 10**

CMOS FinFET 소자를 형성하는 방법에 있어서,  
 제1 및 제2 영역을 구비한 기판을 제공하는 단계와;  
 제1 영역에 제1 핀을 형성하고 제2 영역에 제2 핀을 형성하는 단계와;  
 제1 및 제2 핀 위에 절연 물질을 증착하는 단계와;  
 제1 트렌치 - 상기 제1 트렌치는 바닥 표면을 포함하며, 상기 제1 트렌치의 바닥 표면은 제1 핀의 제1 부분의 상부 표면이 됨 - 가 형성되도록 절연 물질 사이에서 제1 핀을 에칭하는 단계와;  
 제2 트렌치 - 상기 제2 트렌치는 바닥 표면을 포함하며, 상기 제2 트렌치의 바닥 표면은 제2 핀의 제1 부분의 상부 표면이 됨 - 가 형성되도록 절연 물질 사이에서 제2 핀을 에칭하는 단계와;  
 제1 및 제2 영역 위에 제1 하드마스크를 형성하는 단계와;  
 제1 트렌치를 포함한 제1 영역이 노출되고 제2 영역이 보호되도록 제1 하드마스크를 패터닝하는 단계와;  
 제1 핀의 제1 부분의 상부 표면상에서 노출된 제1 트렌치에 III-V 반도체 물질을 에피택셜방식으로(에피) 성장시켜서 제1 핀의 제2 부분을 형성하는 단계와;  
 과잉 III-V 반도체 물질이 제1 영역으로부터 제거되고 제1 하드마스크가 제2 영역으로부터 제거되도록 CMOS FinFET 소자상에서 평탄화 공정을 수행하는 단계와;  
 제1 및 제2 영역 위에 제2 하드마스크를 형성하는 단계와;  
 제2 트렌치를 포함한 제2 영역이 노출되고 제1 영역이 보호되도록 제2 하드마스크를 패터닝하는 단계와;  
 제2 핀의 제1 부분의 상부 표면상에서 제2 트렌치에 게르마늄(Ge) 물질을 에피 성장시켜서 제2 핀의 제2 부분을

형성하는 단계와;

과잉 Ge 물질이 제2 영역으로부터 제거되고 제2 하드마스크가 제1 영역으로부터 제거되도록 CMOS FinFET 소자상에서 평탄화 공정을 수행하는 단계와;

제1 핀의 III-V 반도체 물질의 제1 및 제2 측벽이 노출되고 제2 핀의 Ge 물질의 제1 및 제2 측벽이 노출되도록 절연 물질을 에치백하는 단계를 포함한, CMOS FinFET 소자 형성 방법.

**명세서**

**기술분야**

[0001] 본 발명은 CMOS FINFET 소자 및 CMOS FINFET 소자를 제조하는 방법에 관한 것이다.

**배경기술**

[0002] 반도체 집적회로(IC) 산업은 급속도로 성장하고 있다. IC 진화의 과정에서, 기능 밀도(즉, 칩 면적당 상호접속되는 소자의 수)는 일반적으로 증가하고 기하학적 크기(즉, 제조 공정을 이용하여 생성될 수 있는 최소 컴포넌트(또는 라인))는 감소된다. 이러한 규모 축소 공정은 일반적으로 생산 효율을 증가시키고 관련 비용을 감소시킴으로써 이익을 제공한다. 이러한 규모 축소는 또한 IC의 처리 및 제조의 복잡도(complexity)를 증가시키고, 이러한 진보를 실현시키기 위해 IC 제조에 있어서의 유사한 개발이 필요하다.

**발명의 내용**

**해결하려는 과제**

[0003] 예를 들면, 반도체 산업이 더 높은 소자 밀도, 고성능 및 저비용을 추구하기 위해 나노미터 기술 공정 노드로 진보함에 따라, 제조 및 설계에 있어서의 도전과제에 의해 핀(fin)형 전계 효과 트랜지스터(FinFET) 소자의 개발을 가져왔다. FinFET 소자는, 예를 들면, P형 금속 산화물 반도체(PMOS) FinFET 소자 및 N형 금속 산화물 반도체(NMOS) FinFET 소자를 포함한 상보형 금속 산화물 반도체(CMOS) 소자일 수 있다. 비록 기존의 FinFET 소자 및 FinFET 소자 제조 방법이 일반적으로 그들의 의도된 목적을 충족하지는 않지만, 이들이 모든 점에서 전체적으로 만족스러운 것은 아니었다.

**과제의 해결 수단**

[0004] 예시적인 CMOS FinFET 소자는 제1 영역과 제2 영역을 구비한 기판을 포함한다. CMOS FinFET는 제1 영역 내의 제1 핀 및 제2 영역 내의 제2 핀을 구비하고 기판 위에 배치된 핀 구조물을 또한 포함한다. CMOS FinFET는 기판의 물질과 동일한 물질을 포함하는 제1 핀의 제1 부분과, 제1 핀의 제1 부분 위에 증착된 III-V 반도체 물질을 포함한 제1 핀의 제2 부분을 또한 포함한다. CMOS FinFET는 기판의 물질과 동일한 물질을 포함하는 제2 핀의 제1 부분과, 제2 핀의 제1 부분 위에 증착된 게르마늄(Ge) 물질을 포함한 제2 핀의 제2 부분을 또한 포함한다.

**발명의 효과**

[0005] 채널 영역에서의 고유 캐리어 이동도가, 이 기술 분야에서 공지된 NMOS FinFET 및 PMOS FinFET에 대하여 각각 공통의 물질을 가진 종래의 FinFET 소자와 비교할 때, 약 4배(300K에서 480, Si → 1900, Ge cm<sup>2</sup>/Vs) 및 약 6배(300K에서 1350, Si → 8500, GaAs cm<sup>2</sup>/Vs, InAs 또는 InSb는 GaAs보다 이동도가 더 크다)로 크게 개선된다.

**도면의 간단한 설명**

[0006] 본 발명은 첨부 도면과 함께하는 이하의 상세한 설명으로부터 최상으로 이해될 것이다. 산업계의 표준 실시예에 따라서, 각종 특징들은 정확한 축척으로 도시된 것이 아니며 설명의 용도로만 사용된다는 것을 이해하여야 한다. 사실, 각종 특징들의 치수는 설명을 명확히 하기 위해 임의로 증가 또는 축소될 수 있다.

도 1은 본 발명의 각종 태양에 따른 반도체 소자 제조 방법을 보인 흐름도이다.

도 2 내지 도 13은 도 1의 방법에 따른 각종 제조 단계에서 반도체 소자의 일 실시예의 도식적 횡단면 측면도이다.

도 14는 본 발명의 각종 태양에 따른 반도체 소자 제조 방법을 보인 흐름도이다.

도 15 내지 도 21은 도 14의 방법에 따른 각종 제조 단계에서 반도체 소자의 일 실시예의 도식적 횡단면 측면도이다.

도 22는 본 발명의 각종 태양에 따른 반도체 소자 제조 방법을 보인 흐름도이다.

도 23 내지 도 29는 도 22의 방법에 따른 각종 제조 단계에서 반도체 소자의 일 실시예의 도식적 횡단면 측면도이다.

도 30과 도 31은 본 발명의 각종 태양에 따른 각종 제조 단계에서 반도체 소자의 일 실시예의 사시도이다.

**발명을 실시하기 위한 구체적인 내용**

[0007] 이하의 설명은 본 발명의 다른 특징들을 구현하기 위한 많은 다른 실시예 또는 예를 제공한다. 컴포넌트 및 구성에 대한 특정 예는 이하에서 본 발명의 설명을 단순화하기 위해 제공된다. 물론, 이것은 단순히 예이고 제한하는 것으로 의도되지 않는다. 예를 들면, 이어지는 설명에서 제2 특징 위에 제1 특징을 형성하는 것은 제1 특징과 제2 특징이 직접 접촉으로 형성되는 실시예를 포함할 수 있고, 제1 특징과 제2 특징이 직접 접촉되지 않도록 제1 특징과 제2 특징 사이에 추가의 특징이 형성되는 실시예를 또한 포함할 수 있다. 또한, 이 명세서에서는 각종 예에 있어서 참조 번호 및/또는 문자를 반복할 것이다. 이 반복은 단순성 및 명확성을 위한 것이고, 설명되는 각종 실시예 및/또는 구성 간의 관계를 그 자체로 규정하는 것은 아니다. 또한 여기에서 설명하는 컴포넌트들은 본 발명의 범위로부터 벗어나지 않고 여기에서 도시한 예시적인 실시예와는 다른 방법으로 배열, 결합 또는 구성될 수 있다. 이 기술에 숙련된 사람이라면 비록 여기에서 명시적으로 설명하지는 않았지만 본 발명의 원리를 구체화하는 각종 등가물을 고안해 낼 수 있을 것이다.

[0008] 본 발명의 하나 이상의 실시예로부터 이익을 취할 수 있는 소자의 예는 반도체 소자이다. 이러한 소자는, 예를 들면, 핀형 전계 효과 트랜지스터(FinFET)이다. FinFET 소자는, 예를 들면, P형 금속 산화물 반도체(PMOS) FinFET 소자 및 N형 금속 산화물 반도체(NMOS) FinFET 소자를 포함한 상보형 금속 산화물 반도체(CMOS) 소자일 수 있다. 이하의 설명은 본 발명의 각종 실시예를 설명하기 위해 CMOS FinFET 예를 이용할 것이다. 그러나, 본 발명은 명시적으로 표시한 것을 제외하고 특수 유형의 소자로 제한되지 않는다고 이해하여야 한다.

[0009] 도 1 및 도 2 내지 도 13을 참조해서, 방법(100) 및 반도체 소자(200)가 이하에서 함께 설명된다. 도 1은 본 발명의 각종 태양에 따른 집적회로 소자를 제조하는 방법(100)의 흐름도이다. 이 실시예에서, 방법(100)은 상보형 금속 산화물 반도체(CMOS) 핀형 전계 효과 트랜지스터(FinFET) 소자를 포함한 집적회로 소자를 제조하는 방법이다. 방법(100)은 제1 및 제2 영역을 포함한 기판을 제공하는 블록 102에서 시작한다. 블록 104에서, 핀 구조물이 기판 위에 형성된다. 핀 구조물을 형성하는 단계는 마스크 층을 패터닝하는 단계와 마스크 층을 이용하여 반도체 기판을 에칭하는 단계를 포함한다. 블록 106에서, 절연 물질이 핀 구조물 위에 증착된다. 절연 물질은 핀 구조물을 덮도록 증착될 수 있다. 평탄화 공정을 수행하여 절연 물질의 상부 표면을 평탄화하고 핀 구조물의 상부를 노출시킬 수 있다. 방법은 블록 108에서 계속되고, 이 블록에서 핀 구조물이 절연 물질 사이에서 에치백(etched back)되고, 제1 하드마스크가 기판의 제2 영역 내의 제2 핀 위에 형성되며, 기판의 제1 영역 내의 제1 핀이 노출된다. 블록 110에서, 핀 구조물의 노출된 제1 핀 위에 III-V형 물질이 에피택셜방식으로(에피) 성장된다. 블록 112에서, 제1 하드마스크가 제거되고 제2 하드마스크가 제1 영역 내의 핀 구조물의 제1 핀 위에 형성되고, 제2 영역 내의 핀 구조물의 제2 핀이 노출된다. 블록 114에서, 게르마늄(Ge)이 핀 구조물의 노출된 제2 핀 위에 에피 성장된다. 대안적으로, 방법(100)은 제1 영역에서 제1 하드마스크를 형성하고, 제2 영역의 노출된 제2 핀 위에 Ge를 에피 성장하며, 그 다음에 제2 영역 위에 제2 하드마스크를 형성하고, 제1 영역의 노출된 제1 핀 위에 III-V 물질을 에피 성장함으로써 구현될 수 있다는 것을 이해하여야 한다. 블록 116에서, 제2 하드마스크가 제거되고 절연 물질이 핀 구조물의 III-V 물질과 Ge 물질 사이에서 에치백된다. 방법(100)은 블록 118에서 계속되고, 이 블록에서 집적회로 소자의 제조가 완료된다.

[0010] 제조 공정을 완료하는 단계는 다른 무엇보다도 핀 구조물의 채널 영역 위에 게이트 적층물을 형성하는 단계와, 반도체 소자의 소스 및 드레인(S/D) 영역 내에 S/D 특징을 형성하는 단계를 포함할 수 있다. 게이트 적층물을 형성하는 공정은 게이트 최초(gate first) 또는 게이트 최종(gate last) 공정일 수 있다. 예를 들면, 게이트 최초 공정에서, 게이트 적층물을 형성하는 단계는 중앙 영역 내의 핀 구조물 위에 유전체 층을 증착하는 단계와, 유전체 층 위에 게이트 구조물(예를 들면, 게이트 전극)을 형성하는 단계와, 게이트 구조물의 벽 위 및 반도체 소자의 S/D 영역 부근에 게이트 스페이서를 형성하는 단계를 포함할 수 있다. 그 다음에, S/D 영역 내의 반도체 물질을 리세스(recessing)하고 S/D 영역에 도핑된 반도체 물질을 증착함으로써 S/D 영역에 S/D 특징이 형성될 수 있다. 도핑된 반도체 물질의 증착은 반도체 물질을 에피 성장시키는 단계를 포함할 수 있다. 추가의 단계들

이 방법(100)의 전에, 중에 및 후에 제공될 수 있고, 여기에서 설명한 단계들의 일부가 방법의 다른 실시예로서 교체 또는 제거될 수 있다. 이어지는 설명은 도 1의 방법(100)에 따라 제조될 수 있는 반도체 소자의 각종 실시예에 관한 것이다.

[0011] 도 2 내지 도 13은 도 1의 방법에 따른 각종 제조 단계에서 반도체 소자의 일 실시예의 도식적 횡단면 측면도이다. 이 설명에 있어서, 반도체 소자는 CMOS FinFET 소자(200)이다. CMOS FinFET 소자(200)는 NMOS FinFET 소자와 PMOS FinFET 소자를 포함한다. FinFET 소자(200)는 마이크로프로세서, 메모리 셀, 및/또는 다른 집적회로 소자에 포함될 수 있다. 도 2 내지 도 13은 본 발명의 발명 개념을 더 잘 이해하도록 명확히 하기 위해 단순화된 것이다. CMOS FinFET 소자(200)에 추가의 특징들이 추가될 수 있고, 이하에서 설명하는 특징들의 일부는 CMOS FinFET 소자(200)의 다른 실시예에서 교체 또는 제거될 수 있다.

[0012] 도 2를 참조하면, FinFET 소자(200)는 기판(예를 들면, 웨이퍼)(210)를 포함한다. 기판(210)은 벌크 실리콘 기판이다. 대안적으로, 기판(210)은 결정 구조의 실리콘 또는 게르마늄과 같은 기본 반도체; 실리콘 게르마늄, 실리콘 카바이드, 갈륨 비소, 인화갈륨, 인화인듐, 비화인듐, 및/또는 안티몬화인듐과 같은 복합 반도체; 또는 이들의 조합을 포함한다. 대안적으로, 기판(210)은 실리콘 온 절연체(SOI) 기판일 수 있다. SOI 기판은 산소 주입 분리법(separation by implantation of oxygen; SIMOX), 웨이퍼 접착법, 및/또는 다른 적당한 방법으로 제조될 수 있다. 기판(210)은 각종 도핑된 영역 및 다른 적당한 특징을 포함할 수 있다.

[0013] 도 3을 참조하면, 포토리소그래피 및 에칭 공정과 같은 임의의 적당한 공정에 의해 핀 구조물(212)(복수의 핀(212a~212d)을 포함함)이 형성된다. 예를 들면, 이 실시예에서, 핀 구조물(212)은 포토레지스트 층을 노광하여 패터닝하고, 노광후 베이킹(bake) 공정을 수행하고, 포토레지스트 층을 현상하여 포토레지스트 층 및 마스크 층을 포함한 마스크잉 요소를 형성함으로써 형성된다. 일부 실시예에 있어서, 포토레지스트 층 패터닝은 포토레지스트 코팅, 소프트 베이킹, 마스크 정렬, 패턴 노출, 노광후 베이킹, 포토레지스트 현상하기, 및 하드 베이킹의 처리 단계들을 포함할 수 있다. 일부 실시예에 있어서, 패터닝이 또한 구현되거나 마스크없는 포토리소그래피, 전자 빔 기록, 이온 빔 기록, 및 분자 임프린트(molecular imprint)와 같은 다른 적당한 방법으로 교체될 수 있다. 마스크잉 요소(포토레지스트 층 및 마스크 층을 포함함)는 그 다음에 핀 구조물(212)을 기판(210) 내로 에칭하기 위한 에칭 공정에서 사용될 수 있다. 에칭 공정은 패터닝 마스크 층을 이용하여 에칭될 영역을 규정하고 CMOS FinFET 소자(200)의 다른 영역들을 보호한다. 일부 실시예에 있어서, 에칭 공정은 습식 에칭 공정, 건식 에칭 공정 또는 이들의 조합을 포함한다. 핀 구조물(212)은 반응성 이온 에칭(RIE)을 이용한 에칭 공정 및/또는 다른 적당한 공정에 의해 형성될 수 있다. 일 예로서, 마스크 층에 의해 규정된 패턴에 따라 유전체 층을 에칭하여 기판(210)을 노출시키기 위해 플루오르화수소산(HF) 또는 완충 HF(buffered HF)가 사용된다. 다른 예로서, 기판(210)을 에칭하기 위해 사용되는 건식 에칭 공정은 플루오르 함유 가스를 포함한 화학물질을 포함한다. 또 다른 예로서, 건식 에칭의 화학물질은  $CF_4$ ,  $SF_6$  또는  $NF_3$ 를 포함한다. 대안적으로, 핀 구조물(212)은 더블 패턴 리소그래피(DPL) 공정에 의해 형성된다. DPL은 패턴을 2개의 인터리브 패턴으로 나눔으로써 기판 위에 패턴을 구성하는 방법이다. DPL은 특징(예를 들면, 핀) 밀도를 향상시킬 수 있다. 이 중 노광(예를 들면, 2개의 마스크 세트를 이용하는 것)을 비롯한 각종의 DPL 방법이 사용될 수 있다.

[0014] 도 4를 참조하면, 기판(210) 위에(및 핀 구조물(212) 위에) 절연 물질(214)이 증착된다. 절연 물질(214)은 절연 물질(214)이 핀 구조물(212)의 각 핀(212a~212d)을 둘러싸서 각 핀이 다른 핀으로부터 격리되도록 증착된다. 일부 실시예에 있어서, 절연 물질(214)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 낮은 k 물질, 에어겍, 다른 적당한 물질, 또는 이들의 조합과 같은 절연 물질을 포함한다. 이 실시예에서, 절연 물질(214)은 실리콘 산화물을 포함한다. 실리콘 산화물은 CVD 처리에 의해 증착될 수 있다. 각종 예에서, 실리콘 산화물은 원자층 증착(ALD), 고밀도 플라즈마 CVD(HDPCVD), 다른 적당한 방법, 및/또는 이들의 조합에 의해 형성될 수 있다. 실리콘 산화물은 대안적으로 높은 중형비 처리(HARP)에 의해 형성될 수 있다. 각종 실시예에서, 트렌치 인터페이스를 개선하기 위해 선택적인 열 산화물 트렌치 라이너가 성장된다. 예를 들어서 CVD 처리는 헥사클로로디실란(HCD 또는  $Si_2Cl_6$ ), 디클로로실란(DCS 또는  $SiH_2Cl_2$ ), 비스(제3부틸아미노)실란(BTBAS 또는  $C_8H_{22}N_2Si$ ) 및 디실란(DS 또는  $Si_2H_6$ )을 포함한 화학물질을 이용할 수 있다. 일부 실시예에 있어서, 절연 물질(214)은 예를 들면 라이너 위에 실리콘 질화물이 형성된 열 산화물 라이너 층과 같은 다층 구조를 가질 수 있다.

[0015] 도 5를 참조하면, CMOS FinFET 소자(200) 위에서 평탄화 공정이 수행된다. 일 실시예에 있어서, 평탄화 공정은 절연 물질(214)의 과잉 부분을 제거하기 위해 CMOS FinFET 소자(200)에 적용되는 화학 기계 연마(CMP) 공정을 포함한다. 평탄화 공정은 핀 구조물(212)의 상부가 노출되도록 수행될 수 있다.

- [0016] 도 6을 참조하면, 에칭 공정을 이용하여 절연 물질(214) 사이에서 핀 구조물(212)의 물질을 에치백(etch-back)하고 이것에 의해 핀 구조물(212)의 핀(212a~212d)에 대응하는 복수의 트렌치를 형성한다. 복수의 트렌치는 핀 구조물(212)의 하부 핀(예를 들면 핀(212a~212d))의 상부 표면에 의해 규정된, 개공의 반대측에 있는 바닥 표면과 주변의 절연 물질(214)에 의해 규정되는 측벽을 갖는다. 일부 실시예에 있어서, 핀 구조물(212)의 물질을 에치백하기 위해 사용되는 에칭 공정은 습식 에칭, 건식 에칭 공정, 또는 이들의 조합을 포함한다. 일 예로서, 건식 에칭 공정은 포토레지스트 층을 형성하는 단계, 포토레지스트 층을 패터닝하는 단계, 핀 구조물(212)의 각 핀(212a~212d)을 에칭하는 단계, 및 포토레지스트 층을 제거하는 단계를 포함할 수 있다. 다른 예로서, 핀 물질을 에칭하기 위해 사용되는 건식 에칭 공정은 플루오르 함유 가스를 포함한 화학물질을 포함한다.
- [0017] 도 7을 참조하면, 제1 하드마스크(216)가 기판(210) 위에 형성된다. 일부 실시예에 있어서, 제1 하드마스크(216)를 형성하는 공정은 핀 구조물(212) 위에 산화물 층(218)과 질화물 층(220)을 증착하는 공정을 포함한다. 하드마스크(216)는 임의의 적당한 공정에 의해 임의의 적당한 두께로 형성된다. 이 실시예에서, 제1 하드마스크(216)는 CVD 공정에 의해 처리된다. 각종 예에서, 제1 하드마스크(216)는 원자층 증착(ALD), 고밀도 플라즈마 CVD(HDPCVD), 다른 적당한 방법, 및/또는 이들의 조합에 의해 형성될 수 있다. CVD 처리는, 예를 들면, 헥사클로로디실란(HCD 또는  $\text{Si}_2\text{Cl}_6$ ), 디클로로실란(DCS 또는  $\text{SiH}_2\text{Cl}_2$ ), 비스(제3부틸아미노) 실란(BTBAS 또는  $\text{C}_8\text{H}_{22}\text{N}_2\text{Si}$ ) 및 디실란(DS 또는  $\text{Si}_2\text{H}_6$ )을 포함한 화학물질을 이용할 수 있다.
- [0018] 도 8을 참조하면, 제1 하드마스크(216)의 일부가 패터닝되어 기판(210)의 제1 영역(219)을 노출시키고 기판(210)의 제2 영역(221)을 보호한다. 제1 영역(219)은 핀 구조물(212)의 핀(예를 들면, 212a, 212b)을 포함하고, 제2 영역(221)은 핀 구조물(212)의 핀(예를 들면, 212c, 212d)을 포함한다. 이 실시예에서, 제1 영역(219)은 CMOS FinFET 소자(200)의 NMOS 영역을 규정하고 제2 영역(221)은 CMOS FinFET 소자(200)의 PMOS 영역을 규정한다. 일부 실시예에 있어서, 제1 하드마스크(216)는 포토리소그래피 처리 및 에칭 처리와 같은 임의의 적당한 처리에 의해 패터닝된다. 예를 들면, 제1 하드마스크(216)를 형성한 후에, 포토레지스트 층이 제1 하드마스크(216) 위에 증착된다. 그 다음에, 포토레지스트 층이 소정의 패턴으로 노광되고, 노광후 베이킹 공정이 수행되고, 포토레지스트 층이 현상되어 패턴을 형성한다. 포토레지스트 층 패터닝은 포토레지스트 코팅, 소프트 베이킹, 마스크 정렬, 패턴 노출, 노광후 베이킹, 포토레지스트 현상하기, 및 하드 베이킹의 처리 단계들을 포함할 수 있다. 포토레지스트 패턴이 형성된 후 에칭 공정을 이용하여 제1 하드마스크(216)의 일부를 제거하고, 제1 하드마스크(216)의 나머지 부분이 기판(210)의 제2 영역(221)만을 덮고 기판(210)의 제1 영역(219)을 노출시키게 한다. 기판(210)의 제1 영역(219)을 노출시키는 단계는 핀(212a, 212b)의 상부 표면을 노출시키는 단계를 포함한다.
- [0019] 다시 도 8을 참조하면, III-V 물질(222)이 기판(210)의 제1 영역(219)에서 핀(212a, 212b)의 노출된 표면 위에 에피 성장된다. 이 실시예에서, III-V 물질(222)은 에피택시 처리에 의해 형성된 InAs, InGaAs, InGaSb, InP, AlSb 등과 같은 III-V형 물질을 포함한다. 에피택시 처리는 CVD 증착 기술(예를 들면, 기상 에피택시(VPE) 및/또는 초고진공 CVD(UHV-CVD)), 분자 빔 에피택시, 및/또는 다른 적당한 처리를 포함할 수 있다. 에피택시 처리는 핀 구조물(212)의 조성물(예를 들면, 실리콘)과 상호작용하는 기체 및/또는 액체 전구체를 이용할 수 있다.
- [0020] 도 9를 참조하면, CMOS FinFET 소자(200) 위에서 평탄화 공정이 수행된다. 이 실시예에 있어서, 평탄화 공정은 III-V 물질(222)과 제1 하드마스크(216)의 과잉 부분을 제거하기 위해 CMOS FinFET 소자(200)의 제1 영역(219)과 제2 영역(221)에 적용되는 화학 기계 연마(CMP) 공정을 포함한다. 일부 실시예에 있어서, 평탄화 공정은 (핀 구조물(212)의) 핀(212a, 212b)의 III-V 물질(222)의 상부 표면이 (핀 구조물(212)의) 핀(212c, 212d)의 위에 있는 제1 하드마스크(216)의 산화물 층(218)의 상부 표면과 동일 평면이 되도록 수행될 수 있다.
- [0021] 도 10을 참조하면, 제2 하드마스크(224)가 기판(210) 위에 형성된다. 제2 하드마스크(224)를 형성하는 공정은 핀 구조물(212) 위에 산화물 층(226)과 질화물 층(228)을 증착하는 공정을 포함한다. 제2 하드마스크(224)는 임의의 적당한 공정에 의해 임의의 적당한 두께로 형성된다. 이 실시예에서, 제2 하드마스크(224)는 CVD 공정에 의해 처리된다. 각종 예에서, 제2 하드마스크(224)는 원자층 증착(ALD), 고밀도 플라즈마 CVD(HDPCVD), 다른 적당한 방법, 및/또는 이들의 조합에 의해 형성될 수 있다. CVD 처리는, 예를 들면, 헥사클로로디실란(HCD 또는  $\text{Si}_2\text{Cl}_6$ ), 디클로로실란(DCS 또는  $\text{SiH}_2\text{Cl}_2$ ), 비스(제3부틸아미노) 실란(BTBAS 또는  $\text{C}_8\text{H}_{22}\text{N}_2\text{Si}$ ) 및 디실란(DS 또는  $\text{Si}_2\text{H}_6$ )을 포함한 화학물질을 이용할 수 있다.
- [0022] 도 11을 참조하면, 기판(210)의 제1 영역(219)을 보호하고 기판(210)의 제2 영역(221)을 노출시키도록 제2 하드마스크(224)의 일부가 패터닝된다. 제2 하드마스크(224)는 포토리소그래피 처리 및 에칭 처리와 같은 임의의 적

당한 처리에 의해 패터닝될 수 있다. 예를 들면, 제2 하드마스크(224)를 형성한 후에, 포토레지스트 층이 제2 하드마스크(224) 위에 증착된다. 그 다음에, 포토레지스트 층이 소정의 패턴으로 노광되고, 노광후 베이킹 공정이 수행되고, 포토레지스트 층이 현상되어 패턴을 형성한다. 일부 실시예에 있어서, 포토레지스트 층 패터닝은 포토레지스트 코팅, 소프트 베이킹, 마스크 정렬, 패턴 노출, 노광후 베이킹, 포토레지스트 현상하기, 및 하드 베이킹의 처리 단계들을 포함한다. 포토레지스트 패턴이 형성된 후 에칭 공정을 이용하여 제2 하드마스크(224)의 일부를 제거하여 제2 하드마스크(224)의 나머지 부분이 기판(210)의 제1 영역(219)만을 덮고 기판(210)의 제2 영역(221)을 노출시키게 한다. 기판(210)의 제2 영역(221)을 노출시키는 단계는 핀(212c, 212d)의 상부 표면을 노출시키는 단계를 포함한다.

[0023] 다시 도 11을 참조하면, 게르마늄(Ge) 물질(226)이 기판(210)의 제2 영역(221)에서 핀(212c, 212d)의 노출된 표면 위에 에피 성장된다. 에피택시 처리는 CVD 증착 기술(예를 들면, 기상 에피택시(VPE) 및/또는 초고진공 CVD(UHV-CVD)), 분자 빔 에피택시, 및/또는 다른 적당한 처리를 포함할 수 있다. 에피택시 처리는 핀 구조물(212)의 조성물(예를 들면, 실리콘)과 상호작용하는 기체 및/또는 액체 전구체를 이용할 수 있다.

[0024] 도 12를 참조하면, CMOS FinFET 소자(200) 위에서 평탄화 공정이 수행된다. 이 실시예에 있어서, 평탄화 공정은 Ge 물질(226)의 과잉 부분을 제거하고 제2 하드마스크(224)를 제거하기 위해 적용되는 화학 기계 연마(CMP) 공정을 포함한다. 평탄화 공정은 (핀 구조물(212)의) 핀(212a, 212b)의 III-V 물질(222)의 상부 표면이 (핀 구조물(212)의) 핀(212c, 212d)의 Ge 물질(226)의 상부 표면과 동일 평면이 되도록 수행될 수 있다.

[0025] 도 13을 참조하면, 에칭 공정을 이용하여 핀 구조물(212)의 각 핀(212a~212d)의 제1 및 제2 측면을 노출시키도록 핀 구조물(212)의 각 핀(212a~212d) 사이에서 절연 물질(214)을 에치백한다. 기판(210)의 제1 영역(219)은 III-V 물질을 포함하고 높이가 h1인 핀(212a, 212b)을 구비한다. 높이 h1은 각 핀(212a, 212b)의 상부 표면으로부터 절연 물질(214)의 상부 표면까지 측정된 값이다. 기판(210)의 제2 영역(221)은 Ge 물질을 포함하고 높이가 h2인 핀(212c, 212d)을 구비한다. 높이 h2는 각 핀(212c, 212d)의 상부 표면으로부터 절연 물질(214)의 상부 표면까지 측정된 값이다. 높이 h1은 높이 h2와 실질적으로 동일하다. 일부 실시예에 있어서, 에칭 공정은 습식 에칭, 건식 에칭 공정, 또는 이들의 조합을 포함한다. 다른 예로서, 건식 에칭 공정은 포토레지스트 층을 형성하는 단계, 포토레지스트 층을 패터닝하는 단계, 절연 물질(212)을 에칭하는 단계, 및 포토레지스트 층을 제거하는 단계를 포함한다. 또다른 예로서, 절연 물질을 에칭하기 위해 사용되는 건식 에칭 공정은 플루오르 함유 가스를 포함한 화학물질을 포함한다. 또다른 예로서, 건식 에칭의 화학 물질은 CF<sub>4</sub>, SF<sub>6</sub>, 또는 NF<sub>3</sub>를 포함한다.

[0026] 도 14를 참조하면, 본 발명의 각종 태양에 따른 반도체 소자를 제조하는 방법(300)이 도시되어 있다. 이 방법(300)의 실시예는 위에서 설명한 방법(100)의 실시예와 유사한 처리 단계들을 포함한다. 방법(300)의 실시예를 설명함에 있어서, 처리 및/또는 구조에 관한 일부 세부는 만일 이들이 방법(100)의 실시예에서 설명한 것과 유사한 것이면 간단히 하기 위해 건너뛴 수 있다.

[0027] 이 실시예에서, 방법(300)은 상보형 금속 산화물 반도체(CMOS) 핀형 전계 효과 트랜지스터(FinFET) 소자를 포함한 집적회로 소자를 제조하기 위한 것이다. 방법(300)은 제1 및 제2 영역을 포함한 기판을 제공하는 블록 302에서 시작한다. 블록 304에서, 핀 구조물이 기판 위에 형성된다. 핀 구조물을 형성하는 단계는 마스크 층을 패터닝하는 단계와 마스크 층을 이용하여 반도체 기판을 에칭하는 단계를 포함한다. 블록 306에서, 절연 물질이 핀 구조물 위에 증착된다. 절연 물질은 핀 구조물을 덮도록 증착될 수 있다. 평탄화 공정을 수행하여 절연 물질의 상부 표면을 평탄화하고 핀 구조물의 상부를 노출시킬 수 있다. 방법은 블록 308에서 계속되고, 이 블록에서 핀 구조물이 절연 물질 사이에서 에치백되고, 기판의 제1 영역에서 핀 구조물의 제1 핀 위에 및 기판의 제2 영역에서 핀 구조물의 제2 핀 위에 III-V형 물질이 에피택셜방식으로(에피) 성장된다. 블록 310에서, 평탄화 공정이 수행되고 기판의 제2 영역으로부터 III-V형 물질이 제거된다. 블록 312에서, 하드마스크가 기판의 제1 영역 위에 형성되고, 게르마늄(Ge) 물질이 제2 영역에 있는 핀 구조물의 제2 핀 위에 에피 성장된다. Ge 물질을 에피 성장한 후에, 평탄화 공정이 수행되어 기판의 상부 표면을 평탄하게 한다. 대안적으로, 방법(300)은 제1 및 제2 영역에서 제1 및 제2 핀 위에 Ge 물질을 에피 성장하고, 그 다음에 제2 영역 위에 하드마스크를 형성하며, 제1 영역으로부터 Ge 물질을 제거하고, 제1 영역의 제1 핀 위에 III-V 물질을 에피 성장함으로써 구현될 수 있다는 것을 이해하여야 한다. 블록 314에서, 절연 물질이 핀 구조물의 III-V 물질과 Ge 물질 사이에서 에치백된다. 방법(300)은 블록 316에서 계속되고, 이 블록에서 집적회로 소자의 제조가 완료된다.

[0028] 제조 공정을 완료하는 단계는 다른 무엇보다도 핀 구조물의 채널 영역 위에 게이트 적층물을 형성하는 단계와, 반도체 소자의 소스 및 드레인(S/D) 영역 내에 S/D 특징을 형성하는 단계를 포함할 수 있다. 게이트 적층물을 형성하는 공정은 게이트 최초 또는 게이트 최종 공정일 수 있다. 예를 들면, 게이트 최초 공정에서, 게이트 적

층물을 형성하는 단계는 중앙 영역 내의 핀 구조물 위에 유전체 층을 증착하는 단계와, 유전체 층 위에 게이트 구조물(예를 들면, 게이트 전극)을 형성하는 단계와, 게이트 구조물의 벽 위 및 반도체 소자의 S/D 영역 부근에 게이트 스페이서를 형성하는 단계를 포함할 수 있다. 그 다음에, S/D 영역 내의 반도체 물질을 리세싱하고 S/D 영역에 도핑된 반도체 물질을 증착함으로써 S/D 영역에 S/D 특징이 형성될 수 있다. 도핑된 반도체 물질의 증착은 반도체 물질을 에피 성장시키는 단계를 포함할 수 있다. 추가의 단계들이 방법(300)의 전에, 중에 및 후에 제공될 수 있고, 여기에서 설명한 단계들의 일부가 방법의 다른 실시예로서 교체 또는 제거될 수 있다. 이어지는 설명은 도 14의 방법(300)에 따라 제조될 수 있는 반도체 소자의 각종 실시예에 관한 것이다.

[0029] 도 15 내지 도 21은 도 14의 방법에 따른 각종 제조 단계에서 반도체 소자의 일 실시예의 도식적 횡단면 측면도이다. 도 15 내지 도 21의 반도체 소자(400)는 도 2 내지 도 13의 반도체 소자(200)와 특정의 관점에서 유사하다. 따라서, 도 2 내지 도 13 및 도 15 내지 도 21의 유사한 특징들은 명확성 및 간편성을 위해 동일한 참조 번호로 표시된다. 이 설명에 있어서, 반도체 소자는 CMOS FinFET 소자(400)이다. CMOS FinFET 소자(400)는 NMOS FinFET 소자와 PMOS FinFET 소자를 포함한다. CMOS FinFET 소자(400)는 마이크로프로세서, 메모리 셀, 및/또는 다른 집적회로 소자에 포함될 수 있다. 도 15 내지 도 21은 본 발명의 발명 개념을 더 잘 이해하도록 명확히 하기 위해 단순화된 것이다. CMOS FinFET 소자(400)에 추가의 특징들이 추가될 수 있고, 이하에서 설명하는 특징들의 일부는 CMOS FinFET 소자(400)의 다른 실시예에서 교체 또는 제거될 수 있다.

[0030] 도 15를 참조하면, CMOS FinFET 소자(400)는 기판(예를 들면, 웨이퍼)(210)을 포함한다. 이 실시예에 있어서, CMOS FinFET 소자(400)에서 규정되는 기판(210)은 조성물, 형성 및 구성에 있어서 CMOS FinFET 소자(200)의 기판(210)과 실질적으로 유사하다. 다른 실시예에서는 다른 기판을 사용할 수 있다. CMOS FinFET 소자(400)는 임의의 적당한 공정에 의해 형성되는 핀 구조물(복수의 핀(212a~212d)을 포함함)(212)을 또한 포함한다. 이 실시예에 있어서, CMOS FinFET 소자(400)에서 규정되는 핀 구조물(212)은 조성물, 형성 및 구성에 있어서 CMOS FinFET 소자(200)의 핀 구조물(212)과 실질적으로 유사하다. 다른 실시예에서는 다른 핀 구조물을 사용할 수 있다. CMOS FinFET 소자(400)는 절연 물질(214)을 또한 포함한다. 이 실시예에 있어서, CMOS FinFET 소자(400)에서 규정되는 절연 물질(214)은 조성물, 형성 및 구성에 있어서 CMOS FinFET 소자(200)의 절연 물질(214)과 실질적으로 유사하다. 다른 실시예에서는 다른 절연 물질을 사용할 수 있다.

[0031] 도 16을 참조하면, 에칭 공정을 이용하여 절연 물질(214) 사이에서 핀 구조물(212)의 물질을 에치백하고 이것에 의해 핀 구조물(212)의 핀(212a~212d)에 대응하는 복수의 트렌치를 형성한다. 복수의 트렌치는 핀 구조물(212)의 하부 핀(예를 들면 핀(212a~212d))의 상부 표면에 의해 규정된, 개공의 반대측에 있는 바닥 표면과 주변의 절연 물질(214)에 의해 규정되는 측벽을 갖는다. 핀 구조물(212)의 물질을 에치백하기 위해 사용되는 에칭 공정은 습식 에칭, 건식 에칭 공정, 또는 이들의 조합을 포함한다. 일 예로서, 건식 에칭 공정은 포토레지스트 층을 형성하는 단계, 포토레지스트 층을 패터닝하는 단계, 핀 구조물(212)의 각 핀(212a~212d)을 에칭하는 단계, 및 포토레지스트 층을 제거하는 단계를 포함할 수 있다. 다른 예로서, 핀 물질을 에칭하기 위해 사용되는 건식 에칭 공정은 플루오르 함유 가스를 포함한 화학물질을 포함할 수 있다.

[0032] 도 17을 참조하면, III-V 물질(222)이 기판(210)의 제1 영역(219) 및 제2 영역(221) 위에 에피 성장된다. 제1 영역(219)은 핀 구조물(212)의 핀(예를 들면, 212a, 212b)을 포함하고, 제2 영역(221)은 핀 구조물(212)의 핀(예를 들면, 212c, 212d)을 포함한다. 이 실시예에서, 제1 영역(219)은 CMOS FinFET 소자(400)의 NMOS 영역을 규정하고 제2 영역(221)은 PMOS 영역을 규정한다. 이 실시예에서, III-V 물질(222)은 에피택시 처리에 의해 형성된 InAs, InGaAs, InGaSb, InP, AlSb 등과 같은 III-V형 물질을 포함한다. 에피택시 처리는 CVD 증착 기술(예를 들면, 기상 에피택시(VPE) 및/또는 초고진공 CVD(UHV-CVD)), 분자 빔 에피택시, 및/또는 다른 적당한 처리를 포함할 수 있다. 에피택시 처리는 핀 구조물(212)의 조성물(예를 들면, 실리콘)과 상호작용하는 기체 및/또는 액체 전구체를 이용할 수 있다.

[0033] 도 18을 참조하면, CMOS FinFET 소자(400) 위에서 평탄화 공정이 수행된다. 이 실시예에 있어서, 평탄화 공정은 III-V 물질(222)의 과잉 부분을 제거하기 위해 CMOS FinFET 소자(400)의 제1 영역(219)과 제2 영역(221)에 적용되는 화학 기계 연마(CMP) 공정을 포함한다. 평탄화 공정은 (핀 구조물(212)의) 핀(212a, 212b)의 III-V 물질(222)의 상부 표면이 (핀 구조물(212)의) 핀(212c, 212d)의 III-V 물질(222)의 상부 표면과 동일 평면이 되도록 수행될 수 있다.

[0034] 다시 도 18을 참조하면, 하드마스크(410)가 기판(210) 위에 형성된다. 하드마스크(410)를 형성하는 공정은 핀 구조물(212) 위에 산화물 층(412)과 질화물 층(414)을 증착하는 공정을 포함한다. 하드마스크(410)는 임의의 적당한 공정에 의해 임의의 적당한 두께로 형성된다. 이 실시예에서, 하드마스크(410)는 CVD 공정에 의해 처리된

다. 각종 예에서, 하드마스크(410)는 물리 기상 증착(PVD), 원자층 증착(ALD), 고밀도 플라즈마 CVD(HDPCVD), 다른 적당한 방법, 및/또는 이들의 조합에 의해 형성될 수 있다. CVD 처리는, 예를 들면, 헥사클로로디실란(HCD 또는  $\text{Si}_2\text{Cl}_6$ ), 디클로로실란(DCS 또는  $\text{SiH}_2\text{Cl}_2$ ), 비스(제3부틸아미노) 실란(BTBAS 또는  $\text{C}_8\text{H}_{22}\text{N}_2\text{Si}$ ) 및 디실란(DS 또는  $\text{Si}_2\text{H}_6$ )을 포함한 화학물질을 이용할 수 있다.

[0035] 도 19를 참조하면, 기판(210)의 제1 영역(219)을 보호하고 기판(210)의 제2 영역(221)을 노출시키도록 하드마스크(410)의 일부가 패터닝된다. 하드마스크(410)는 포토리소그래피 처리 및 에칭 처리와 같은 임의의 적당한 처리에 의해 패터닝될 수 있다. 예를 들면, 하드마스크(410)를 형성한 후에, 포토레지스트 층이 하드마스크(410) 위에 증착된다. 그 다음에, 포토레지스트 층이 소정의 패턴으로 노광되고, 노광후 베이킹 공정이 수행되고, 포토레지스트 층이 현상되어 패턴을 형성한다. 포토레지스트 층 패터닝은 포토레지스트 코팅, 소프트 베이킹, 마스크 정렬, 패턴 노출, 노광후 베이킹, 포토레지스트 현상하기, 및 하드 베이킹의 처리 단계들을 포함할 수 있다. 포토레지스트 패턴이 형성된 후 에칭 공정을 이용하여 하드마스크(410)의 일부를 제거하여 하드마스크(410)가 핀 구조물(212)의 제1 부분만을 덮게 한다. 에칭 공정은 습식 에칭, 건식 에칭 공정, 또는 이들의 조합을 포함할 수 있다.

[0036] 하드마스크(410)를 패터닝함으로써 제2 영역(221)이 노출된 후에, III-V 물질(222)이 제2 영역(221)으로부터 제거되고, 이것에 의해 핀 구조물(212)의 핀(212c, 212d)의 상부 표면이 노출된다. 제2 영역(221)으로부터 III-V 물질(222)을 제거하는 공정은 습식 에칭, 건식 에칭, 또는 이들의 조합을 포함할 수 있다.

[0037] 다시 도 19를 참조하면, 게르마늄(Ge) 물질(226)이 기판(210)의 제2 영역(221)에서 핀(212c, 212d)의 노출된 상부 표면 위에 에피 성장된다. 에피택시 처리는 CVD 증착 기술(예를 들면, 기상 에피택시(VPE) 및/또는 초고진공 CVD(UHV-CVD)), 분자 빔 에피택시, 및/또는 다른 적당한 처리를 포함할 수 있다. 에피택시 처리는 핀 구조물(212)의 조성물(예를 들면, 실리콘)과 상호작용하는 기체 및/또는 액체 전구체를 이용할 수 있다.

[0038] 도 20을 참조하면, CMOS FinFET 소자(400) 위에서 평탄화 공정이 수행된다. 이 실시예에 있어서, 평탄화 공정은 하드마스크(410)를 제거하고 Ge 물질의 과잉 부분을 제거하기 위해 적용되는 화학 기계 연마(CMP) 공정을 포함한다. 평탄화 공정은 핀 구조물(212)의 핀(212a, 212b)의 III-V 물질(222)의 상부 표면이 핀 구조물(212)의 핀(212c, 212d)의 Ge 물질(226)의 상부 표면과 동일 평면이 되도록 수행될 수 있다.

[0039] 도 21을 참조하면, 에칭 공정을 이용하여 핀 구조물(212)의 각 핀(212a~212d)의 제1 및 제2 측면을 노출시키도록 핀 구조물(212)의 각 핀(212a~212d) 사이에서 절연 물질(214)을 에치백한다. 기판(210)의 제1 영역(219)은 III-V 물질을 포함하고 높이가 h1인 핀(212a, 212b)을 구비한다. 높이 h1은 각 핀(212a, 212b)의 상부 표면으로부터 절연 물질(214)의 상부 표면까지 측정된 값이다. 기판(210)의 제2 영역(221)은 Ge 물질을 포함하고 높이가 h2인 핀(212c, 212d)을 구비한다. 높이 h2는 각 핀(212c, 212d)의 상부 표면으로부터 절연 물질(214)의 상부 표면까지 측정된 값이다. 높이 h1은 높이 h2와 실질적으로 동일하다. 에칭 공정은 습식 에칭, 건식 에칭 공정, 또는 이들의 조합을 포함한다. 일 예로서, 건식 에칭 공정은 포토레지스트 층을 형성하는 단계, 포토레지스트 층을 패터닝하는 단계, 절연 물질(212)을 에칭하는 단계, 및 포토레지스트 층을 제거하는 단계를 포함한다. 다른 예로서, 절연 물질을 에칭하기 위해 사용되는 건식 에칭 공정은 플루오르 함유 가스를 포함한 화학물질을 포함할 수 있다. 또다른 예로서, 건식 에칭의 화학 물질은  $\text{CF}_4$ ,  $\text{SF}_6$ , 또는  $\text{NF}_3$ 를 포함한다.

[0040] 도 22를 참조하면, 본 발명의 각종 태양에 따른 반도체 소자를 제조하는 방법(500)이 도시되어 있다. 이 방법(500)의 실시예는 위에서 설명한 방법(100)의 실시예와 유사한 처리 단계들을 포함한다. 방법(500)의 실시예를 설명함에 있어서, 처리 및/또는 구조에 관한 일부 세부는 만일 이들이 방법(100)의 실시예에서 설명한 것과 유사한 것이면 간단히 하기 위해 건너뛴 수 있다.

[0041] 이 실시예에서, 방법(500)은 상보형 금속 산화물 반도체(CMOS) 핀형 전계 효과 트랜지스터(FinFET) 소자를 포함한 집적회로 소자를 제조하기 위한 것이다. 방법(500)은 제1 및 제2 영역을 포함한 기판을 제공하는 블록 502에서 시작한다. 블록 504에서, 핀 구조물이 기판 위에 형성된다. 핀 구조물을 형성하는 단계는 마스크 층을 패터닝하는 단계와 마스크 층을 이용하여 반도체 기판을 에칭하는 단계를 포함한다. 블록 506에서, 절연 물질이 핀 구조물 위에 증착된다. 절연 물질은 핀 구조물을 덮도록 증착될 수 있다. 평탄화 공정을 수행하여 절연 물질의 상부 표면을 평탄화하고 핀 구조물의 상부를 노출시킬 수 있다. 방법은 블록 508에서 계속되고, 이 블록에서 핀 구조물이 절연 물질 사이에서 에치백되고, 하드마스크가 기판의 제2 영역에서 핀 구조물의 제2 핀 위에 형성되고 기판의 제1 영역에서 핀 구조물의 제1 핀을 노출된 채 남겨둔다. 블록 510에서, 핀 구조물의 노출된 제1 핀 위에 III-V형 물질이 에피택셜방식으로(에피) 성장된다. 블록 512에서, 하드마스크가 제거되어 핀 구조물의 제2

핀을 노출시키고, 게르마늄(Ge) 물질이 핀 구조물의 제1 및 제2 핀 위에 에피 성장된다. 대안적으로, 방법(500)은 제1 영역에서 하드마스크를 형성하고, 제2 영역의 노출된 제2 핀 위에 Ge를 에피 성장하고, 그 다음에 하드마스크를 제거하고, 제1 영역의 노출된 제1 핀 위에 III-V 물질을 에피 성장함으로써 구현될 수 있다는 것을 이해하여야 한다. 블록 514에서, 과잉 Ge 물질 및 과잉 III-V 물질이 기관(210)으로부터 제거되고 절연 물질이 핀 구조물의 III-V 물질과 Ge 물질 사이에서 에치백된다. 방법(500)은 블록 516에서 계속되고, 이 블록에서 집적회로 소자의 제조가 완료된다.

[0042] 제조 공정을 완료하는 단계는 다른 무엇보다도 핀 구조물의 채널 영역 위에 게이트 적층물을 형성하는 단계와, 반도체 소자의 소스 및 드레인(S/D) 영역 내에 S/D 특징을 형성하는 단계를 포함할 수 있다. 게이트 적층물을 형성하는 공정은 게이트 최초 또는 게이트 최종 공정일 수 있다. 예를 들면, 게이트 최초 공정에서, 게이트 적층물을 형성하는 단계는 중앙 영역 내의 핀 구조물 위에 유전체 층을 증착하는 단계와, 유전체 층 위에 게이트 구조물(예를 들면, 게이트 전극)을 형성하는 단계와, 게이트 구조물의 벽 위 및 반도체 소자의 S/D 영역 부근에 게이트 스페이서를 형성하는 단계를 포함할 수 있다. 그 다음에, S/D 영역 내의 반도체 물질을 리세싱하고 S/D 영역에 도핑된 반도체 물질을 증착함으로써 S/D 영역에 S/D 특징이 형성될 수 있다. 도핑된 반도체 물질의 증착은 반도체 물질을 에피 성장시키는 단계를 포함할 수 있다. 추가의 단계들이 방법(500)의 전에, 중에 및 후에 제공될 수 있고, 여기에서 설명한 단계들의 일부가 방법의 다른 실시예로서 교체 또는 제거될 수 있다. 이어지는 설명은 도 22의 방법(500)에 따라 제조될 수 있는 반도체 소자의 각종 실시예에 관한 것이다.

[0043] 도 23 내지 도 29는 도 22의 방법에 따른 각종 제조 단계에서 반도체 소자의 일 실시예의 도식적 횡단면 측면도이다. 도 23 내지 도 29의 반도체 소자(600)는 도 2 내지 도 13의 반도체 소자(200)와 특징의 관점에서 유사하다. 따라서, 도 2 내지 도 13 및 도 23 내지 도 29와 유사한 특징들은 명확성 및 간편성을 위해 동일한 참조 번호로 표시된다. 이 설명에 있어서, 반도체 소자는 CMOS FinFET 소자(600)이다. CMOS FinFET 소자(600)는 NMOS FinFET 소자와 PMOS FinFET 소자를 포함한다. CMOS FinFET 소자(600)는 마이크로프로세서, 메모리 셀, 및/또는 다른 집적회로 소자에 포함될 수 있다. 도 23 내지 도 29는 본 발명의 발명 개념을 더 잘 이해하도록 명확히 하기 위해 단순화된 것이다. CMOS FinFET 소자(600)에 추가의 특징들이 추가될 수 있고, 이하에서 설명하는 특징들의 일부는 CMOS FinFET 소자(600)의 다른 실시예에서 교체 또는 제거될 수 있다.

[0044] 도 23을 참조하면, CMOS FinFET 소자(600)는 기관(예를 들면, 웨이퍼)(210)을 포함한다. 이 실시예에 있어서, CMOS FinFET 소자(600)에서 규정되는 기관(210)은 조성물, 형성 및 구성에 있어서 CMOS FinFET 소자(200)의 기관(210)과 실질적으로 유사하다. 다른 실시예에서는 다른 기관을 사용할 수 있다. CMOS FinFET 소자(600)는 임의의 적당한 공정에 의해 형성되는 핀 구조물(212)(복수의 핀(212a~212d)을 포함함)을 또한 포함한다. 이 실시예에 있어서, CMOS FinFET 소자(600)에서 규정되는 핀 구조물(212)은 조성물, 형성 및 구성에 있어서 CMOS FinFET 소자(200)의 핀 구조물(212)과 실질적으로 유사하다. 다른 실시예에서는 다른 핀 구조물을 사용할 수 있다. CMOS FinFET 소자(600)는 절연 물질(214)을 또한 포함한다. 이 실시예에 있어서, CMOS FinFET 소자(600)에서 규정되는 절연 물질(214)은 조성물, 형성 및 구성에 있어서 CMOS FinFET 소자(200)의 절연 물질(214)과 실질적으로 유사하다. 다른 실시예에서는 다른 절연 물질을 사용할 수 있다.

[0045] 도 24를 참조하면, 에칭 공정을 이용하여 절연 물질(214) 사이에서 핀 구조물의 물질을 에치백하고 이것에 의해 핀 구조물(212)의 핀(212a~212d)에 대응하는 복수의 트렌치를 형성한다. 복수의 트렌치는 핀 구조물(212)의 하부 핀(예를 들면 핀(212a~212d))의 상부 표면에 의해 규정된, 개공의 반대측에 있는 바닥 표면과 주변의 절연 물질(214)에 의해 규정되는 측벽을 갖는다. 핀 구조물(212)의 물질을 에치백하기 위해 사용되는 에칭 공정은 습식 에칭, 건식 에칭 공정, 또는 이들의 조합을 포함한다. 일 예로서, 건식 에칭 공정은 포토레지스트 층을 형성하는 단계, 포토레지스트 층을 패터닝하는 단계, 핀 구조물(212)의 각 핀(212a~212d)을 에칭하는 단계, 및 포토레지스트 층을 제거하는 단계를 포함할 수 있다. 다른 예로서, 핀 물질을 에칭하기 위해 사용되는 건식 에칭 공정은 플루오르 함유 가스를 포함한 화학물질을 포함할 수 있다.

[0046] 도 25를 참조하면, 하드마스크(610)가 기관(210) 위에 형성된다. 하드마스크(610)를 형성하는 공정은 핀 구조물(212) 위에 산화물 층(612)과 질화물 층(614)을 증착하는 공정을 포함한다. 하드마스크(610)는 임의의 적당한 공정에 의해 임의의 적당한 두께로 형성된다. 이 실시예에서, 하드마스크(610)는 CVD 공정에 의해 처리된다. 각종 예에서, 하드마스크(610)는 물리 기상 증착(PVD), 원자층 증착(ALD), 고밀도 플라즈마 CVD(HDPCVD), 다른 적당한 방법, 및/또는 이들의 조합에 의해 형성될 수 있다. CVD 처리는, 예를 들면, 헥사클로로디실란(HCD 또는 Si<sub>2</sub>Cl<sub>6</sub>), 디클로로실란(DCS 또는 SiH<sub>2</sub>Cl<sub>2</sub>), 비스(제3부틸아미노) 실란(BTBAS 또는 C<sub>8</sub>H<sub>22</sub>N<sub>2</sub>Si) 및 디실란(DS 또는 Si<sub>2</sub>H<sub>6</sub>)을 포함한 화학물질을 이용할 수 있다.

- [0047] 도 26을 참조하면, 하드마스크(610)의 일부가 패터닝되어 기판(210)의 제1 영역(219)을 노출시키고 기판(210)의 제2 영역(221)을 보호한다. 제1 영역(219)은 핀 구조물(212)의 핀(예를 들면, 212a, 212b)을 포함하고, 제2 영역(221)은 핀 구조물(212)의 핀(예를 들면, 212c, 212d)을 포함한다. 이 실시예에서, 제1 영역(219)은 CMOS FinFET 소자(600)의 NMOS 영역을 규정하고 제2 영역(221)은 CMOS FinFET 소자(600)의 PMOS 영역을 규정한다. 하드마스크(610)는 포토리소그래피 처리 및 에칭 처리와 같은 임의의 적당한 처리에 의해 패터닝될 수 있다. 예를 들면, 하드마스크(610)를 형성한 후에, 포토레지스트 층이 하드마스크(610) 위에 증착된다. 그 다음에, 포토레지스트 층이 소정의 패턴으로 노광되고, 노광후 베이킹 공정이 수행되고, 포토레지스트 층이 현상되어 패턴을 형성한다. 포토레지스트 층 패터닝은 포토레지스트 코팅, 소프트 베이킹, 마스크 정렬, 패턴 노출, 노광후 베이킹, 포토레지스트 현상하기, 및 하드 베이킹의 처리 단계들을 포함할 수 있다. 포토레지스트 패턴이 형성된 후에 에칭 공정을 이용하여 하드마스크(610)의 일부를 제거함으로써 하드마스크(610)가 기판(210)의 제2 영역(221)만을 덮고 기판(210)의 제1 영역(219)을 노출시키게 할 수 있다. 기판(210)의 제1 영역(219)을 노출시키는 단계는 핀(212a, 212b)의 상부 표면을 노출시키는 단계를 포함한다.
- [0048] 다시 도 26을 참조하면, III-V 물질(222)이 기판(210)의 제1 영역(219)에서 핀(212a, 212b)의 노출된 표면에 에피 성장된다. 이 실시예에서, III-V 물질(222)은 에피택시 처리에 의해 형성된 InAs, InGaAs, InGaSb, InP, AlSb 등과 같은 III-V형 물질을 포함한다. 에피택시 처리는 CVD 증착 기술(예를 들면, 기상 에피택시(VPE) 및/또는 초고진공 CVD(UHV-CVD)), 분자 빔 에피택시, 및/또는 다른 적당한 처리를 포함할 수 있다. 에피택시 처리는 핀 구조물(212)의 조성물(예를 들면, 실리콘)과 상호작용하는 기체 및/또는 액체 전구체를 이용할 수 있다.
- [0049] 도 27을 참조하면, 하드마스크(610)가 제거되고 기판(210)의 제2 영역(221)이 노출된다. 기판(210)의 제2 영역(221)의 노출은 핀(212c, 212d)의 상부 표면의 노출을 포함한다. 하드마스크(610)는 에칭 공정과 같은 임의의 적당한 공정에 의해 제거될 수 있다. 에칭 공정은 습식 에칭, 건식 에칭 공정, 또는 이들의 조합을 포함할 수 있다.
- [0050] 다시 도 27을 참조하면, 게르마늄(Ge) 물질(226)이 기판(210)의 제2 영역(221)에서 핀(212c, 212d)의 노출된 상부 표면 위에 및 기판(210)의 제1 영역(219)의 III-V 물질 위에 에피 성장된다. 에피택시 처리는 CVD 증착 기술(예를 들면, 기상 에피택시(VPE) 및/또는 초고진공 CVD(UHV-CVD)), 분자 빔 에피택시, 및/또는 다른 적당한 처리를 포함할 수 있다. 에피택시 처리는 핀 구조물(212)의 조성물(예를 들면, 실리콘) 및 III-V 물질과 상호작용하는 기체 및/또는 액체 전구체를 이용할 수 있다.
- [0051] 도 28을 참조하면, CMOS FinFET 소자(600) 위에서 평탄화 공정이 수행된다. 이 실시예에 있어서, 평탄화 공정은 Ge 물질(226)의 과잉 부분 및 III-V 물질(222)의 과잉 부분을 제거하기 위해 적용되는 화학 기계 연마(CMP) 공정을 포함한다. 평탄화 공정은 핀 구조물(212)의 핀(212a, 212b)의 III-V 물질(222)의 상부 표면이 핀 구조물(212)의 핀(212c, 212d)의 Ge 물질(226)의 상부 표면과 동일 평면이 되도록 수행될 수 있다.
- [0052] 도 29를 참조하면, 에칭 공정을 이용하여 핀 구조물(212)의 각 핀(212a~212d)의 제1 및 제2 측면을 노출시키도록 핀 구조물(212)의 각 핀(212a~212d) 사이에서 절연 물질(214)을 에치백한다. 기판(210)의 제1 영역(219)은 III-V 물질을 포함하고 높이가 h1인 핀(212a, 212b)을 구비한다. 높이 h1은 각 핀(212a, 212b)의 상부 표면으로부터 절연 물질(214)의 상부 표면까지 측정된 값이다. 기판(210)의 제2 영역(221)은 Ge 물질을 포함하고 높이가 h2인 핀(212c, 212d)을 구비한다. 높이 h2는 각 핀(212c, 212d)의 상부 표면으로부터 절연 물질(214)의 상부 표면까지 측정된 값이다. 높이 h1은 높이 h2와 실질적으로 동일하다. 에칭 공정은 습식 에칭, 건식 에칭 공정, 또는 이들의 조합을 포함한다. 일 예로서, 건식 에칭 공정은 포토레지스트 층을 형성하는 단계, 포토레지스트 층을 패터닝하는 단계, 절연 물질(212)을 에칭하는 단계, 및 포토레지스트 층을 제거하는 단계를 포함할 수 있다. 다른 예로서, 절연 물질을 에칭하기 위해 사용되는 건식 에칭 공정은 플루오르 함유 가스를 포함한 화학 물질을 포함할 수 있다. 또다른 예로서, 건식 에칭의 화학 물질은 CF<sub>4</sub>, SF<sub>6</sub>, 또는 NF<sub>3</sub>를 포함한다.
- [0053] 도 30 및 도 31은 본 발명의 각종 태양에 따른 각 제조 단계에서 반도체 소자의 일 실시예의 사시도이다. 도 30 및 도 31의 반도체 소자(800)는 도 2 내지 도 13, 도 15 내지 도 21 및 도 23 내지 도 29의 반도체 소자(200, 400, 600)와 특징의 관점에서 각각 유사하다. 따라서, 유사한 특징들은 명확성 및 간편성을 위해 동일한 참조 번호로 표시된다. 이 설명에 있어서, 반도체 소자(800)는 CMOS FinFET 소자(800)이다. CMOS FinFET 소자(800)는 NMOS FinFET 소자와 PMOS FinFET 소자를 포함한다. CMOS FinFET 소자(800)는 마이크로프로세서, 메모리 셀, 및/또는 다른 집적회로 소자에 포함될 수 있다. 도 30은 본 발명의 발명 개념을 더 잘 이해하도록 명확히 하기 위해 단순화된 것이다. CMOS FinFET 소자(800)에 추가의 특징들이 추가될 수 있고, 이하에서 설명하는 특징들의

일부는 CMOS FinFET 소자(800)의 다른 실시예에서 교체 또는 제거될 수 있다.

[0054] 도 30을 참조하면, FinFET 소자(800)는 제1 영역(219) 및 제2 영역(221)을 구비한 기판(210), 복수의 핀(212a~212d)을 가진 핀 구조물(212), 및 핀 구조물(212)의 각 핀(212a~212d) 사이에 배치된 절연 물질(214)을 포함한다. 제1 영역(219)은 NMOS FinFET 소자를 포함하고 제2 영역(221)은 PMOS FinFET 소자를 포함한다. 제1 영역(219)의 각 핀(예를 들면, 핀 구조물(212)의 핀(212a, 212b))은 III-V 물질을 포함하고 제2 영역(221)의 각 핀(예를 들면, 핀 구조물(212)의 핀(212c, 212d))은 Ge 물질을 포함한다. 제1 영역(219)의 핀들은 높이 h1을 갖고 제2 영역(221)의 핀들은 높이 h2를 갖는다. 높이 h1은 높이 h2와 실질적으로 동일하다. 핀 구조물(212)의 각 핀(212a~212d) 위에는 게이트 구조물(810)이 형성된다. 핀 구조물(212)의 각 핀(212a~212d)에 대하여, 게이트 구조물(810)은 CMOS FinFET 소자(800)의 소스/드레인(S/D) 영역(820)을 분리한다. 핀 구조물(212)의 각 핀(212a~212d)에 대하여, S/D 영역(820) 사이에 및 게이트 구조물(810) 아래에 채널 영역이 형성된다. 특히, 이러한 실시예에서, NMOS 소자의 모든 S/D 영역(820)은 III-V 물질을 포함하고 PMOS 소자의 모든 S/D 영역(820)은 Ge 물질을 포함한다. 또한, 각 채널 영역은 모두 각 S/D 영역과 동일한 물질을 포함한다. 다시 말해서, NMOS 소자의 모든 채널 영역은 III-V 물질을 포함하고 PMOS 소자의 모든 채널 영역은 Ge 물질을 포함한다.

[0055] 다시 도 30을 참조하면, 게이트 구조물(810)은 핀 구조물(212)을 교차하고, 도시된 실시예에서는 핀 구조물(212)의 중앙 부분 위에 형성된다. 게이트 구조물(810)은 게이트 유전체 층(812), 게이트 전극(814) 및 게이트 스페이서를 포함할 수 있다. 게이트 유전체 층(812)은 실리콘 산화물, 높은 k 유전체 물질, 다른 적당한 유전체 물질, 또는 이들의 조합과 같은 유전체 물질을 포함한다. 높은 k 유전체 물질의 예로는 HfO<sub>2</sub>, HfSiO, HfSiON, HfTaO, HfTiO, HfZrO, 지르코늄 산화물, 알루미늄 산화물, 하프늄 이산화물-알루미나(HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub>) 합금, 다른 적당한 높은 k 유전체 물질, 및/또는 이들의 조합이 있다. 게이트 전극(814)은 폴리실리콘 및/또는 Al, Cu, Ti, Ta, W, Mo, TaN, NiSi, CoSi, TiN, WN, TiAl, TiAlN, TaCN, TaC, TaSiN, 다른 도전성 물질, 또는 이들의 조합을 비롯한 금속을 포함한다. 게이트 전극은 게이트 최초 또는 게이트 최종 처리에서 형성될 수 있다. 게이트 구조물(810)은 복수의 다른 층, 예를 들면, 캡핑 층, 계면 층, 확산 층, 장벽 층, 또는 이들의 조합을 포함할 수 있다. 하드마스크 층은 게이트 구조물(810) 위에 형성될 수 있다. 하드마스크 층은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 카바이드, 다른 적당한 물질, 또는 이들의 조합을 포함할 수 있다.

[0056] 게이트 구조물(810)은 증착, 리소그래피 패터닝 및 에칭 공정을 포함한 적당한 공정에 의해 형성된다. 증착 공정은 화학 기상 증착(CVD), 물리 기상 증착(PVD), 원자 층 증착(ALD), 고밀도 플라즈마 CVD(HDPCVD), 금속 유기 CVD(MOCVD), 리모트 플라즈마 CVD(RPCVD), 플라즈마 엔한스드 CVD(PECVD), 저압 CVD(LPCVD), 원자 층 증착(ALCVD), 대기압 CVD(APCVD), 도금, 다른 적당한 방법, 또는 이들의 조합을 포함한다. 리소그래피 패터닝 공정은 포토레지스트 코팅(예를 들면, 스핀온 코팅), 소프트 베이킹, 마스크 정렬, 노광, 노광후 베이킹, 포토레지스트 현상하기, 행구기, 건조(예를 들면, 하드 베이킹), 다른 적당한 공정, 또는 이들의 조합을 포함한다. 대안적으로, 리소그래피 노광 공정이 구현되거나, 마스크없는 포토리소그래피, 전자빔 기록 및 이온빔 기록과 같은 다른 방법에 의해 교체될 수 있다. 다른 대안예에 있어서, 리소그래피 패터닝 공정은 나노임프린트 기술을 구현할 수 있다. 에칭 공정은 건식 에칭, 습식 에칭 및/또는 다른 에칭 방법을 포함한다.

[0057] 도 31을 참조하면, 다른 실시예로서, III-V 물질(222) 및 Ge 물질(226)이 S/D 영역(820)에서 리세스되고, 제1 및 제2의 도핑된 반도체 물질(822, 824)이 III-V 물질(222) 및 Ge 물질(226) 위에서 S/D 영역(820) 내에 각각 증착된다. 리세스하는 공정은 III-V 물질(222) 및 Ge 물질(226)의 상부 표면이 절연 물질(214)의 상부 표면 아래의 평면 내에 있도록 III-V 물질(222) 및 Ge 물질(226)을 에치백하는 공정을 포함할 수 있다. 제1 및 제2의 도핑된 반도체 물질(822, 824)을 증착하는 공정은 S/D 영역(820)에서 리세스된 III-V 물질(222) 및 리세스된 Ge 물질(226) 위에 각각 제1 및 제2의 도핑된 반도체 물질(822, 824)을 직접 에피 성장시키는 공정을 포함할 수 있다. 특정 실시예에서는 제1 및 제2의 도핑된 반도체 물질(822, 824)이 채널 영역(820)에 포함되지 않는다. 제1 및 제2의 도핑된 반도체 물질(822, 824)을 에피 성장시키는 공정은 소자의 성능(예를 들면, 캐리어 이동도)이 향상되도록 도핑된 반도체 물질을 선택하는 공정을 포함할 수 있다. 예를 들면, CMOS FinFET 소자(800)의 NMOS FinFET 소자에 대하여, 제1의 도핑된 반도체 물질(822)은 SiC, Ge, SiGe:P, SiAs, SiP를 포함할 수 있다. CMOS FinFET 소자(800)의 PMOS FinFET 소자에 대하여, 제2의 도핑된 반도체 물질(824)은 게르마늄(Ge), InGaAs, GaAsSb, InAs, InP를 포함할 수 있다.

[0058] 도 31에 도시된 것처럼, 핀 구조물(212)은 기판(210) 위에 배치되고 제1 영역(219) 내의 핀(예를 들면, 212a, 212b) 및 제2 영역(221) 내의 핀(예를 들면, 212c, 212d)을 포함한다. 핀(212a, 212b)은 기판(210)의 물질과 동일한 물질을 포함하는 제1 부분과, 제1 부분 위에 증착된 III-V 물질(222)을 포함한 제2 부분과, 제2 부분 위

에 배치된 제1의 도핑된 반도체 물질(822)을 포함한 제3 부분을 포함한다. 핀(212c, 212d)은 기판(210)의 물질과 동일한 물질을 포함하는 제1 부분과, 제1 부분 위에 증착된 게르마늄(Ge) 물질(226)을 포함한 제2 핀의 제2 부분과, 제2 부분 위에 배치된 제2의 도핑된 반도체 물질(824)을 포함한 제3 부분을 포함한다. 또한, 게이트 구조물(810)은 CMOS FinFET 소자의 NMOS FinFET 소자의 소스 및 드레인 영역(820)을 분리시키는 III-V 반도체 물질을 포함한 핀(212a, 212b)의 중앙 부분에 배치되고, CMOS FinFET 소자의 PMOS FinFET 소자의 소스 및 드레인 영역(820)을 분리시키는 Ge 물질을 포함한 핀(212c, 212d)의 중앙 부분에 또한 배치된다. 특히, 이러한 실시예에서, III-V 물질(222) 및 Ge 물질(226)이 S/D 영역(820)에서 리세스되고, 제1 및 제2의 도핑된 반도체 물질(822, 824)이 증착되며, 채널 영역은 본래의 에피 성장된 물질(예를 들면, III-V 물질 또는 Ge 물질)을 포함한다. 다시 말해서, NMOS 소자의 모든 채널 영역은 III-V 물질을 포함하고 PMOS 소자의 모든 채널 영역은 Ge 물질을 포함한다.

[0059] CMOS FinFET 소자(800)는 후속 공정에 의해 형성될 수 있는 추가의 특징들을 포함할 수 있다. 예를 들면, 후속 공정은 CMOS FinFET 소자의 각종 특징 또는 구조물들을 연결하도록 구성된 각종 접점/비아/라인 및 다층 상호접속 특징(예를 들면, 금속층 및 층간 유전체)을 기판 위에 추가로 형성할 수 있다. 추가의 특징들은 소자에 대한 전기 상호접속을 제공할 수 있다. 예를 들면, 다층 상호접속은 종래의 비아 또는 접점과 같은 수직 상호접속, 및 금속 라인과 같은 수평 상호접속을 포함한다. 각종 상호접속 특징은 구리, 텅스텐, 및/또는 실리사이드를 비롯한 각종 도전성 물질을 구현할 수 있다. 일 예로서, 다마신 및/또는 이중 다마신 공정을 이용하여 구리 관련 다층 상호접속 구조물을 형성할 수 있다. 다른 예로서, 텅스텐을 이용하여 접촉 홀 내에 텅스텐 플러그를 형성할 수 있다.

[0060] 비록 상기 방법(100, 300, 500)이 CMOS FinFET 소자(200, 400, 600, 800)의 NMOS FinFET 소자 및 PMOS FinFET 소자에 대하여 별도의 물질들을 증착하기 위한 추가의 단계를 제공함으로써 생산 복잡도 및 비용을 증가시키는 것은 하지만, 채널 영역에서의 고유 캐리어 이동도는, 이 기술 분야에서 공지된, NMOS FinFET 및 PMOS FinFET에 대하여 각각 공통의 물질을 가진 종래의 FinFET 소자와 비교할 때, 약 4배(300K에서 480, Si → 1900, Ge  $\text{cm}^2/\text{Vs}$ ) 및 약 6배(300K에서 1350, Si → 8500, GaAs  $\text{cm}^2/\text{Vs}$ , InAs 또는 InSb는 GaAs보다 이동도가 더 클 것이다)로 크게 개선된다. 다른 실시예는 다른 장점을 가질 수 있고, 특성의 장점이 임의의 실시예에서 반드시 요구되는 것은 아니다.

[0061] 따라서, CMOS FinFET 소자가 제공된다. 예시적인 CMOS FinFET 소자는 제1 영역과 제2 영역을 구비한 기판을 포함한다. CMOS FinFET 소자는 제1 영역 내의 제1 핀 및 제2 영역 내의 제2 핀을 구비하고 기판 위에 배치된 핀 구조물과, 기판 위에서 제1 핀과 제2 핀 사이에 배치된 절연 물질을 또한 포함한다. CMOS FinFET 소자는 기판의 물질과 동일한 물질을 포함하는 제1 핀의 제1 부분과, 제1 핀의 제1 부분 위에 증착된 III-V 반도체 물질을 포함한 제1 핀의 제2 부분을 또한 포함한다. CMOS FinFET 소자는 기판의 물질과 동일한 물질을 포함하는 제2 핀의 제1 부분과, 제2 핀의 제1 부분 위에 증착된 게르마늄(Ge) 물질을 포함한 제2 핀의 제2 부분을 또한 포함한다. 또한, CMOS FinFET 소자는 CMOS FinFET 소자의 N형 금속 산화물 반도체(NMOS) 핀형 전계 효과 트랜지스터(FinFET) 소자의 소스 영역과 드레인 영역을 분리시키도록 III-V 반도체 물질을 포함한 제1 핀의 중앙 부분에 배치되고, CMOS FinFET 소자의 P형 금속 산화물 반도체(PMOS) 핀형 전계 효과 트랜지스터(FinFET) 소자의 소스 영역과 드레인 영역을 분리시키도록 Ge 물질을 포함한 제2 핀의 중앙 부분에 배치된 게이트 구조물을 포함한다. NMOS 소자의 소스 영역과 드레인 영역은 그 사이에서 NMOS 소자의 채널 영역을 규정하고, PMOS 소자의 소스 영역과 드레인 영역은 그 사이에서 PMOS 소자의 채널 영역을 규정한다.

[0062] 일부 실시예에 있어서, CMOS FinFET 소자는 NMOS 소자의 소스 영역과 드레인 영역에 있는 제1 핀의 제2 부분 위에 증착된 제1의 도핑된 반도체 물질을 포함한 제1 핀의 제3 부분과, PMOS 소자의 소스 영역과 드레인 영역에 있는 제2 핀의 제2 부분 위에 증착된 제2의 도핑된 반도체 물질을 포함한 제2 핀의 제3 부분을 또한 포함한다.

[0063] 일부 실시예에 있어서, 제1의 도핑된 반도체 물질은 제2의 도핑된 반도체 물질과 다르고, 제1의 도핑된 반도체 물질은 NMOS 소자의 채널 영역에 포함되지 않고, 제2의 도핑된 반도체 물질은 PMOS 소자의 채널 영역에 포함되지 않으며, 제1 핀의 제3 부분은 제1 높이로 절연 물질 위로 연장하고, 제2 핀의 제3 부분은 제2 높이로 절연 물질 위로 연장하며, 제1 높이와 제2 높이는 실질적으로 동일하다. 각종 실시예에서, 제1 핀의 제3 부분은 제1 높이로 절연 물질 위로 연장하고, 제2 핀의 제3 부분은 제2 높이로 절연 물질 위로 연장하며, 제1 높이와 제2 높이는 실질적으로 동일하다. 특정 실시예에서, 제1 핀의 제2 부분은 제1 높이로 절연 물질 위로 연장하고, 제2 핀의 제2 부분은 제2 높이로 절연 물질 위로 연장하며, 제1 높이와 제2 높이는 실질적으로 동일하다. 다른 실시예에 있어서, 기판은 벌크 실리콘과 실리콘 온 절연체(SOI)로 이루어진 그룹으로부터 선택된다. 일부 실시예에 있어서, 게이트 구조물은 게이트 유전체 층, 게이트 유전체 층 위에 배치된 게이트 전극, 및 게이트 전극의 측

벽에 배치된 게이트 스페이서를 포함한다.

[0064] CMOS FinFET 소자를 형성하는 방법이 또한 제공된다. 이 방법은 제1 영역과 제2 영역을 구비한 기판을 제공하는 단계를 포함한다. 이 방법은 기판 위에 제1 핀 및 제2 핀을 구비한 핀 구조물을 형성하는 단계를 또한 포함한다. 제1 핀은 제1 영역에 형성되고 제2 핀은 제2 영역에 형성된다. 이 방법은 또한 제1 핀이 제1 영역에서 절연 물질 사이에 개재되고 제2 핀이 제2 영역에서 절연 물질 사이에 개재되도록 핀 구조물 위에 절연 물질을 증착하는 단계를 포함한다. 이 방법은 또한 제1 영역에서 절연 물질 사이에 개재된 제1 핀 및 제2 영역에서 절연 물질 사이에 개재된 제2 핀을 에치백하는 단계를 포함한다. 이 방법은 또한 에치백된 제1 핀의 위 및 제1 영역의 절연 물질 사이에서 III-V 반도체 물질을 에피택셜방식으로(에피) 성장시키는 단계를 포함한다. 이 방법은 또한 에치백된 제2 핀의 위 및 제2 영역의 절연 물질 사이에서 게르마늄(Ge) 물질을 에피 성장시키는 단계를 포함한다. 이 방법은 또한 절연 물질을 에치백하여 제1 핀의 제1 높이 및 제2 핀의 제2 높이를 규정하는 단계를 포함하고, 여기에서 제1 높이는 절연 물질의 상부 표면으로부터 제1 핀의 III-V 반도체 물질의 상부 표면까지에서 측정된 것이고 제2 높이는 절연 물질의 상부 표면으로부터 제2 핀의 Ge 물질의 상부 표면까지에서 측정된 것이다.

[0065] 일부 실시예에 있어서, 상기 방법은 제1 핀의 III-V 반도체 물질의 중앙 부분 위에서 CMOS FinFET 소자의 N형 금속 산화물 반도체(NMOS) 핀형 전계 효과 트랜지스터(FinFET) 소자의 소스 영역과 드레인 영역을 분리시키는 제1 게이트 구조물을 형성하는 단계와; 제2 핀의 Ge 물질의 중앙 부분 위에서 CMOS FinFET 소자의 P형 금속 산화물 반도체(PMOS) 핀형 전계 효과 트랜지스터(FinFET) 소자의 소스 영역과 드레인 영역을 분리시키는 제2 게이트 구조물을 형성하는 단계를 또한 포함한다. 특정 실시예에서, 이 방법은 제1 핀의 III-V 반도체 물질의 다른 하나의 상부 표면이 규정되도록 제1 핀의 III-V 반도체 물질을 에치백하는 단계와; 제2 핀의 Ge 물질의 다른 하나의 상부 표면이 규정되도록 제2 핀의 Ge 물질을 에치백하는 단계와; 제1 영역에서 제1 핀의 III-V 반도체 물질의 다른 하나의 상부 표면 위에 제1의 도핑된 반도체 물질을 에피 성장시키는 단계와; 제2 영역에서 제2 핀의 Ge 물질의 다른 하나의 상부 표면 위에 제2의 도핑된 반도체 물질을 에피 성장시키는 단계를 또한 포함한다.

[0066] 일부 실시예에 있어서, NMOS 소자의 소스 영역과 드레인 영역은 그 사이에서 NMOS 소자의 채널 영역을 규정하고, NMOS 소자의 채널 영역은 제1 핀의 III-V 반도체 물질을 포함하며, PMOS 소자의 소스 영역과 드레인 영역은 그 사이에서 PMOS 소자의 채널 영역을 규정하고, PMOS 소자의 채널 영역은 제2 핀의 Ge 물질을 포함한다. 각종 실시예에서, 제1 핀 위에 III-V 반도체 물질을 에피 성장시키는 단계는 제1 및 제2 영역 위에 제1 하드마스크를 형성하는 단계와; 제1 핀을 포함하는 제1 영역이 노출되고 제2 핀을 포함하는 제2 영역이 보호되도록 제1 하드마스크를 패터닝하는 단계와; 노출된 제1 핀의 위 및 제1 영역의 절연 물질 사이에서 III-V 반도체 물질을 에피택셜방식으로 성장시키는 단계를 포함하고, 제2 핀 위에 Ge 물질을 에피 성장시키는 단계는 제1 및 제2 영역 위에 제2 하드마스크를 형성하는 단계와; 제2 핀을 포함하는 제2 영역이 노출되고 에피 성장된 III-V 반도체 물질을 포함한 제1 핀을 포함하는 제1 영역이 보호되도록 제2 하드마스크를 패터닝하는 단계와; 노출된 제2 핀의 위 및 제2 영역의 절연 물질 사이에서 Ge 물질을 에피택셜방식으로 성장시키는 단계를 포함한다. 특정 실시예에 있어서, 제2 핀 위에 Ge 물질을 에피 성장시키는 단계는 제1 및 제2 영역 위에 제2 하드마스크를 형성하는 단계와; 제2 핀을 포함하는 제2 영역이 노출되고 제1 핀을 포함하는 제1 영역이 보호되도록 제2 하드마스크를 패터닝하는 단계와; 노출된 제2 핀의 위 및 제2 영역의 절연 물질 사이에서 Ge 물질을 에피택셜방식으로 성장시키는 단계를 포함하고; 제1 핀 위에 III-V 반도체 물질을 에피 성장시키는 단계는 제1 및 제2 영역 위에 제1 하드마스크를 형성하는 단계와; 제1 핀을 포함하는 제1 영역이 노출되고 에피 성장된 Ge 물질을 포함한 제2 핀을 포함하는 제2 영역이 보호되도록 제1 하드마스크를 패터닝하는 단계와; 노출된 제1 핀의 위 및 제1 영역의 절연 물질 사이에서 III-V 반도체 물질을 에피택셜방식으로 성장시키는 단계를 포함한다. 일부 실시예에 있어서, 제1 핀 위에 III-V 반도체 물질을 에피 성장시키는 단계는 제1 핀과 제2 핀 위에서 절연 물질 사이에 III-V 반도체 물질을 에피 성장시키는 단계를 포함하고, 제2 핀 위에 Ge 물질을 에피 성장시키는 단계는 제2 핀의 위 및 절연 물질 사이에서 에피 성장된 III-V 반도체 물질을 제거하는 단계와; 제1 및 제2 영역 위에 하드마스크를 형성하는 단계와; 제2 핀을 포함하는 제2 영역이 노출되고 제1 핀을 포함하는 제1 영역이 보호되도록 하드마스크를 패터닝하는 단계와; 노출된 제2 핀의 위 및 절연 물질 사이에서 Ge 물질을 에피택셜방식으로 성장시키는 단계를 포함한다. 각종 실시예에 있어서, 제2 핀 위에 Ge 물질을 에피 성장시키는 단계는 제1 핀과 제2 핀의 위 및 절연 물질 사이에 Ge 물질을 에피 성장시키는 단계를 포함하고, 제1 핀 위에 III-V 반도체 물질을 에피 성장시키는 단계는 제1 핀의 위 및 절연 물질 사이에서 에피 성장된 Ge 물질을 제거하는 단계와; 제1 및 제2 영역 위에 하드마스크를 형성하는 단계와; 제1 핀을 포함하는 제1 영역이 노출되고 제2 핀을 포함하는 제2 영역이 보호되도록 하드마스크를 패터닝하는 단계와; 노출된 제1 핀의 위 및 절연 물질 사이에서 III-V 반

도체 물질을 에피택셜방식으로 성장시키는 단계를 포함한다.

[0067] CMOS FinFET 소자를 형성하는 대안적인 방법이 또한 제공된다. 이 방법은 제1 및 제2 영역을 구비한 기판을 제공하는 단계를 포함한다. 이 방법은 제1 영역에 제1 핀을 형성하고 제2 영역에 제2 핀을 형성하는 단계를 또한 포함한다. 이 방법은 제1 및 제2 핀 위에 절연 물질을 증착하는 단계를 또한 포함한다. 이 방법은 제1 트렌치가 형성되도록 절연 물질 사이에서 제1 핀을 에칭하는 단계를 또한 포함하고, 상기 제1 트렌치는 바닥 표면을 포함하며, 제1 트렌치의 바닥 표면은 제1 핀의 제1 부분의 상부 표면으로 된다. 이 방법은 제2 트렌치가 형성되도록 절연 물질 사이에서 제2 핀을 에칭하는 단계를 또한 포함하고, 상기 제2 트렌치는 바닥 표면을 포함하며, 제2 트렌치의 바닥 표면은 제2 핀의 제1 부분의 상부 표면으로 된다. 이 방법은 제1 및 제2 영역 위에 제1 하드마스크를 형성하는 단계를 또한 포함한다. 이 방법은 제1 트렌치를 포함한 제1 영역이 노출되고 제2 영역이 보호되도록 제1 하드마스크를 패터닝하는 단계를 또한 포함한다. 이 방법은 제1 핀의 제1 부분의 상부 표면에서 노출된 제1 트렌치에 III-V 반도체 물질을 에피택셜방식으로(에피) 성장시켜서 제1 핀의 제2 부분을 형성하는 단계를 또한 포함한다. 이 방법은 과잉 III-V 반도체 물질이 제1 영역으로부터 제거되고 제1 하드마스크가 제2 영역으로부터 제거되도록 CMOS FinFET 소자에서 평탄화 공정을 수행하는 단계를 또한 포함한다. 이 방법은 제1 및 제2 영역 위에 제2 하드마스크를 형성하는 단계를 또한 포함한다. 이 방법은 제2 트렌치를 포함한 제2 영역이 노출되고 제1 영역이 보호되도록 제2 하드마스크를 패터닝하는 단계를 또한 포함한다. 이 방법은 제2 핀의 제1 부분의 상부 표면에서 제2 트렌치에 게르마늄(Ge) 물질을 에피 성장시켜서 제2 핀의 제2 부분을 형성하는 단계를 또한 포함한다. 이 방법은 과잉 Ge 물질이 제2 영역으로부터 제거되고 제2 하드마스크가 제1 영역으로부터 제거되도록 CMOS FinFET 소자에서 평탄화 공정을 수행하는 단계를 또한 포함한다. 이 방법은 제1 핀의 III-V 반도체 물질의 제1 및 제2 측벽이 노출되고 제2 핀의 Ge 물질의 제1 및 제2 측벽이 노출되도록 절연 물질을 에치백하는 단계를 또한 포함한다.

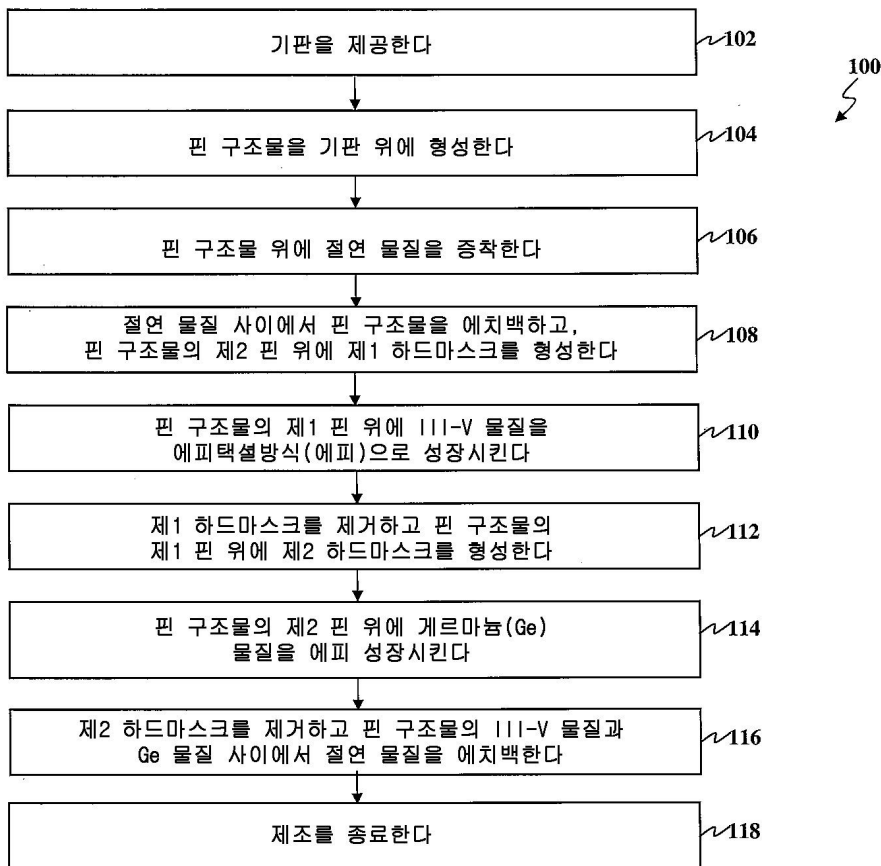
[0068] 일부 실시예에 있어서, 상기 방법은 제1 핀의 III-V 반도체 물질의 중앙 부분 위에서 CMOS FinFET 소자의 N형 금속 산화물 반도체(NMOS) 핀형 전계 효과 트랜지스터(FinFET) 소자의 소스 영역과 드레인 영역을 분리시키는 제1 게이트 구조물을 형성하는 단계와; 제2 핀의 Ge 물질의 중앙 부분 위에서 CMOS FinFET 소자의 P형 금속 산화물 반도체(PMOS) 핀형 전계 효과 트랜지스터(FinFET) 소자의 소스 영역과 드레인 영역을 분리시키는 제2 게이트 구조물을 형성하는 단계를 또한 포함한다. 다른 실시예에서, 제1 게이트 구조물을 형성하는 단계는 제1 게이트 유전체 및 제1 게이트 유전체 위에 제1 게이트 전극을 형성하는 단계를 포함하고, 제2 게이트 구조물을 형성하는 단계는 제2 게이트 유전체 및 제2 게이트 유전체 위에 제2 게이트 전극을 형성하는 단계를 포함한다. 또 다른 실시예에 있어서, NMOS 소자의 소스 영역과 드레인 영역은 그 사이에서 NMOS 소자의 채널 영역을 규정하고, NMOS 소자의 채널 영역은 제1 핀의 III-V 반도체 물질을 포함하며, PMOS 소자의 소스 영역과 드레인 영역은 그 사이에서 PMOS 소자의 채널 영역을 규정하고, PMOS 소자의 채널 영역은 제2 핀의 Ge 물질을 포함한다.

[0069] 일부 실시예에 있어서, 이 방법은 제1 핀의 III-V 반도체 물질의 상부 표면이 규정되도록 NMOS 소자의 소스 및 드레인 영역에서 제1 핀의 III-V 반도체 물질을 에치백하는 단계와; 제2 핀의 Ge 물질의 상부 표면이 규정되도록 PMOS 소자의 소스 및 드레인 영역에서 제2 핀의 Ge 물질을 에치백하는 단계와; NMOS 소자의 소스 및 드레인 영역에서 제1 핀의 III-V 반도체 물질의 상부 표면 위에 제1의 도핑된 반도체 물질을 에피 성장시키는 단계와; PMOS 소자의 소스 및 드레인 영역에서 제2 핀의 Ge 물질의 상부 표면 위에 제2의 도핑된 반도체 물질을 에피 성장시키는 단계를 또한 포함하며, 상기 제1의 도핑된 반도체 물질은 제2의 도핑된 반도체 물질과 다른 것이고, 제1의 도핑된 반도체 물질은 NMOS 소자의 채널 영역에 포함되지 않으며, 제2의 도핑된 반도체 물질은 PMOS 소자의 채널 영역에 포함되지 않는다.

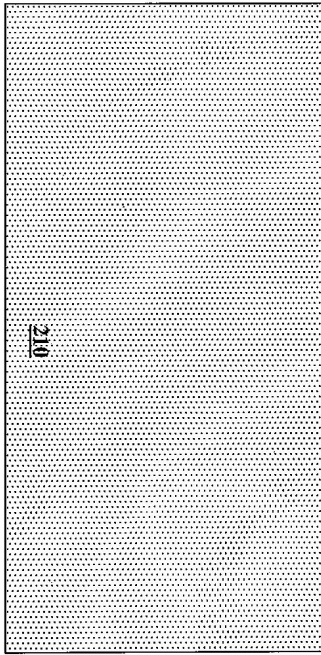
[0070] 상기의 설명은 이 기술 분야에 숙련된 사람이 본 발명의 태양들을 더 잘 이해할 수 있도록 몇 가지 실시예의 특징들을 간략히 설명한 것이다. 이 기술 분야에 숙련된 사람이라면 여기에서 소개한 실시예와 동일한 목적을 실시하고 및/또는 동일한 장점을 달성하는 다른 처리 및 구조물을 설계 또는 수정하기 위한 기초로서 본 발명을 쉽게 이용할 수 있다는 것을 이해할 것이다. 이 기술 분야에 숙련된 사람이라면 그러한 등가적 구성은 본 발명의 정신 및 범위로부터 벗어나지 않는 것이고, 본 발명의 정신 및 범위로부터 벗어남이 없이 각종 변경, 치환 및 변형이 가능하다는 것을 또한 이해할 것이다.

도면

도면1

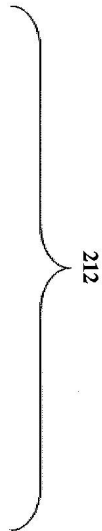
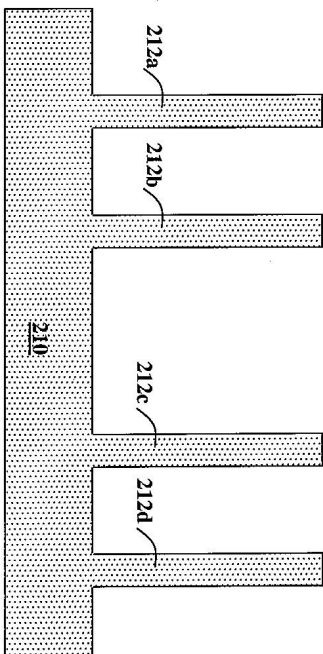


도면2



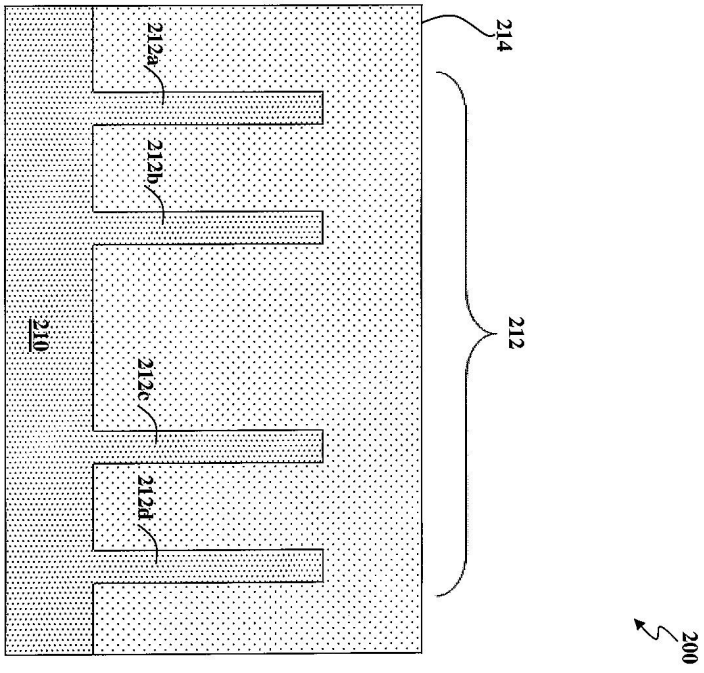
200

도면3

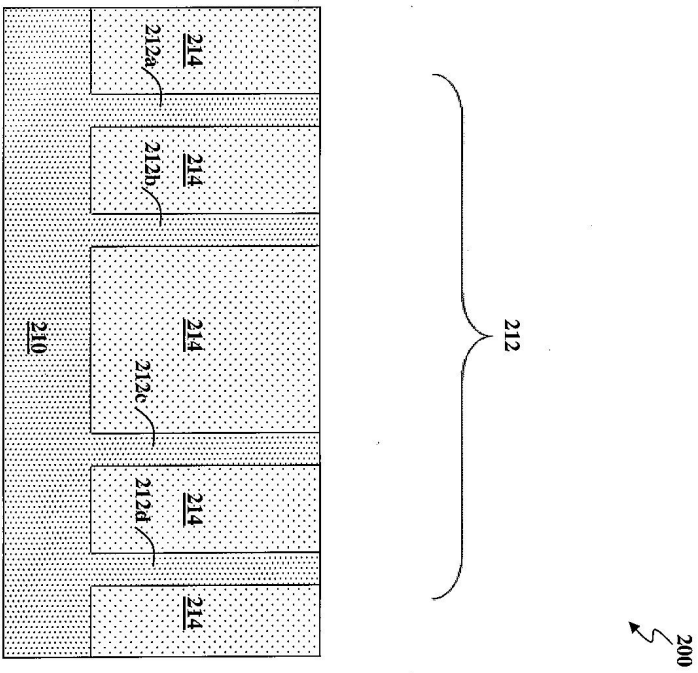


200

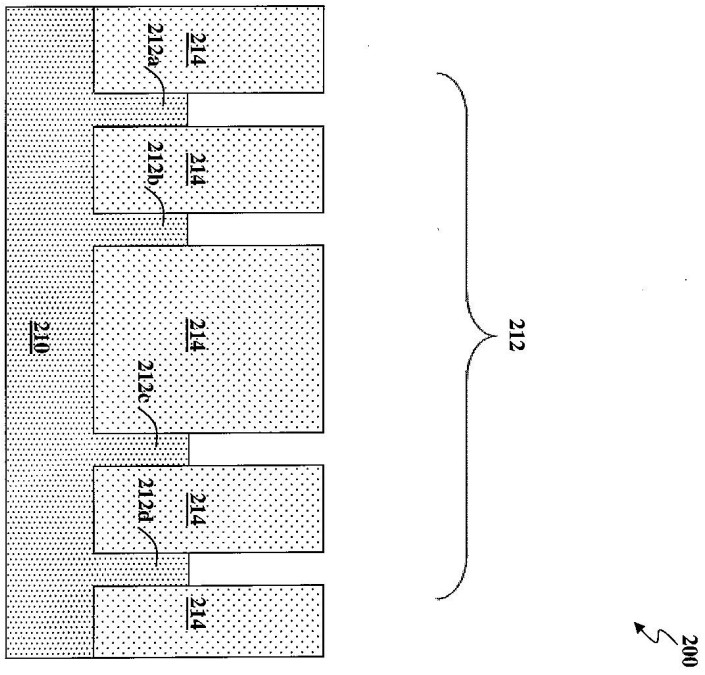
도면4



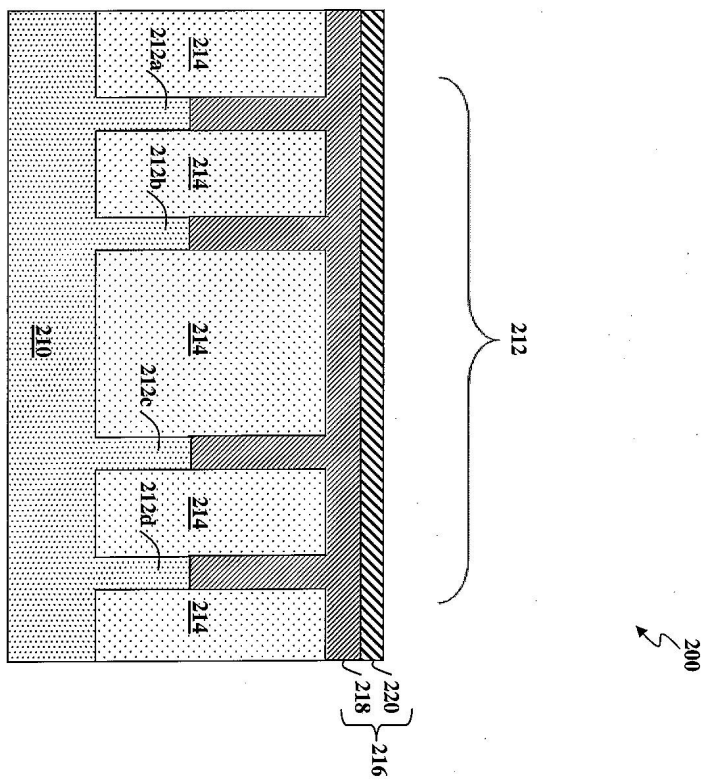
도면5



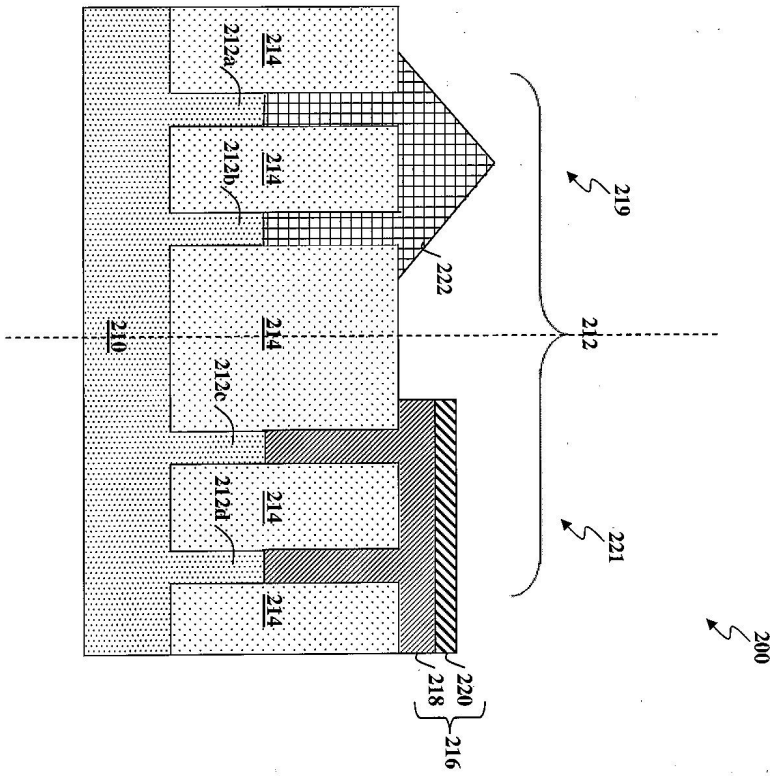
도면6



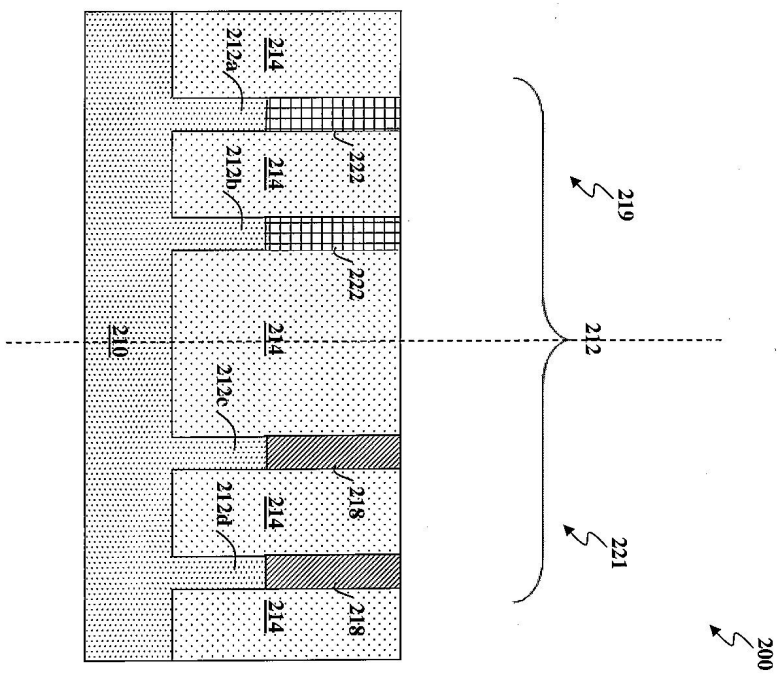
도면7



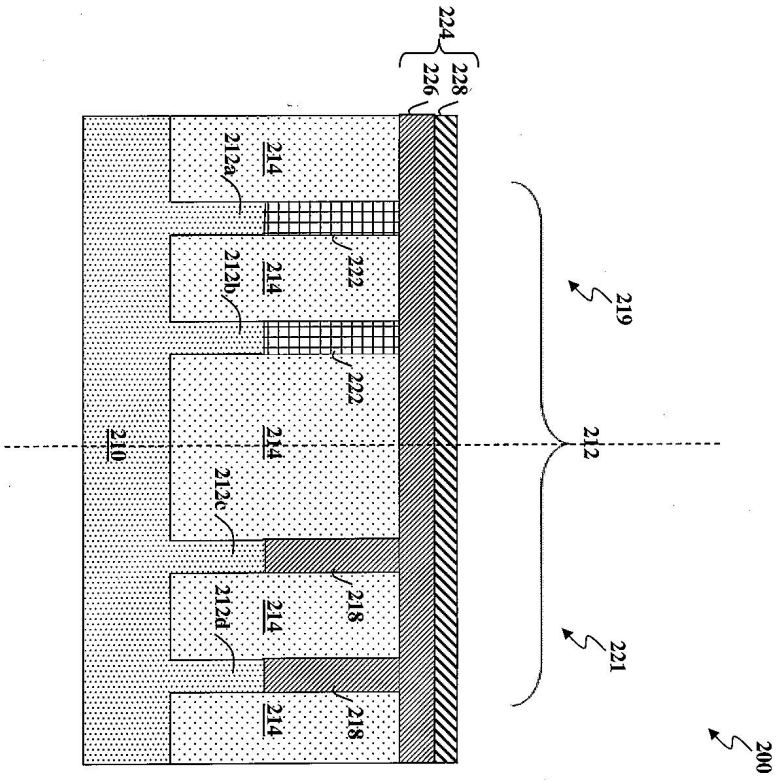
도면8



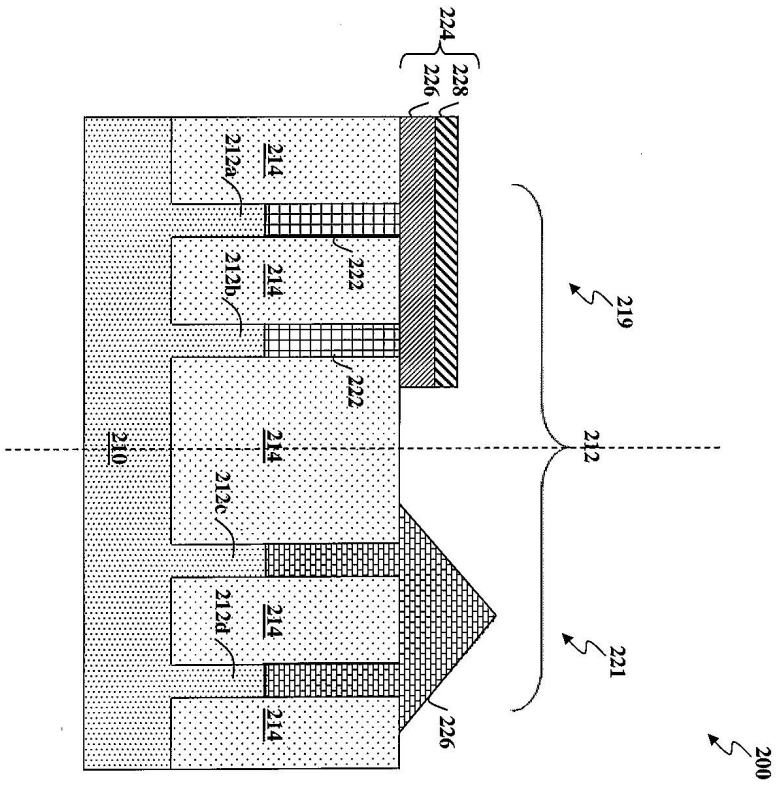
도면9



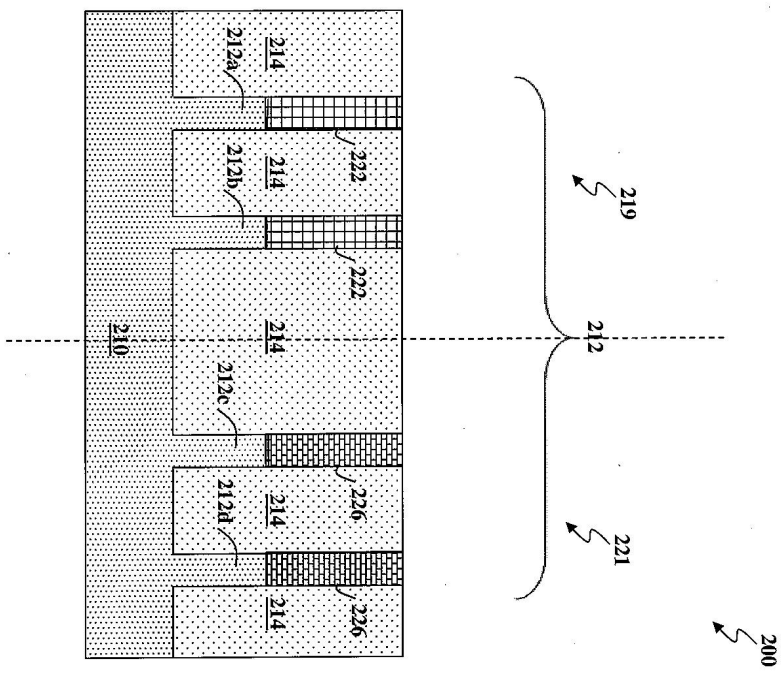
도면10



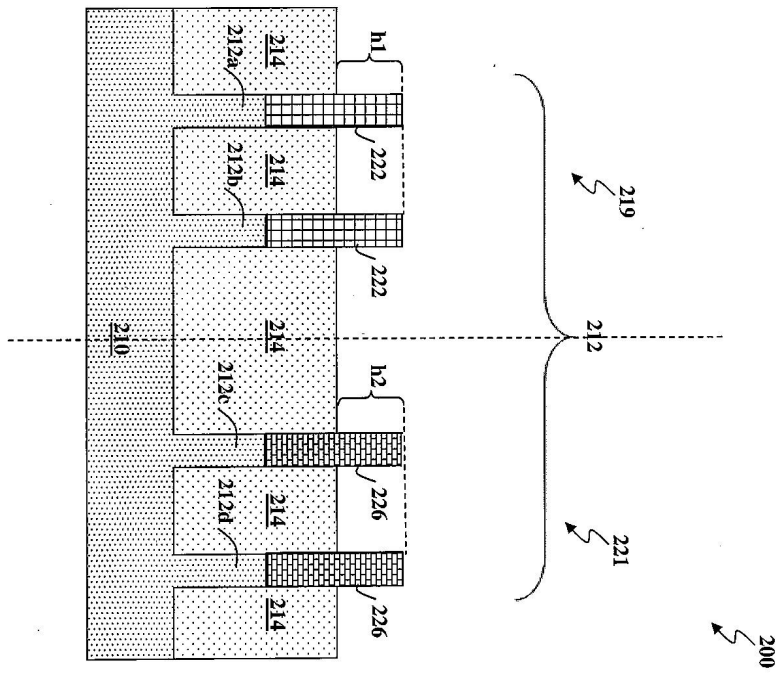
도면11



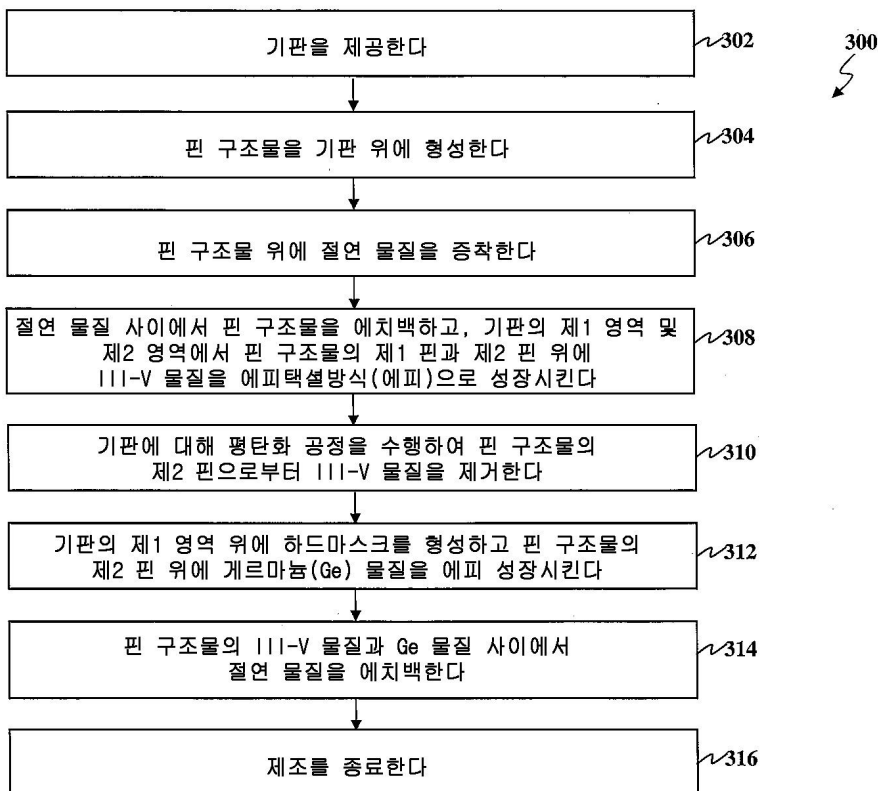
도면12



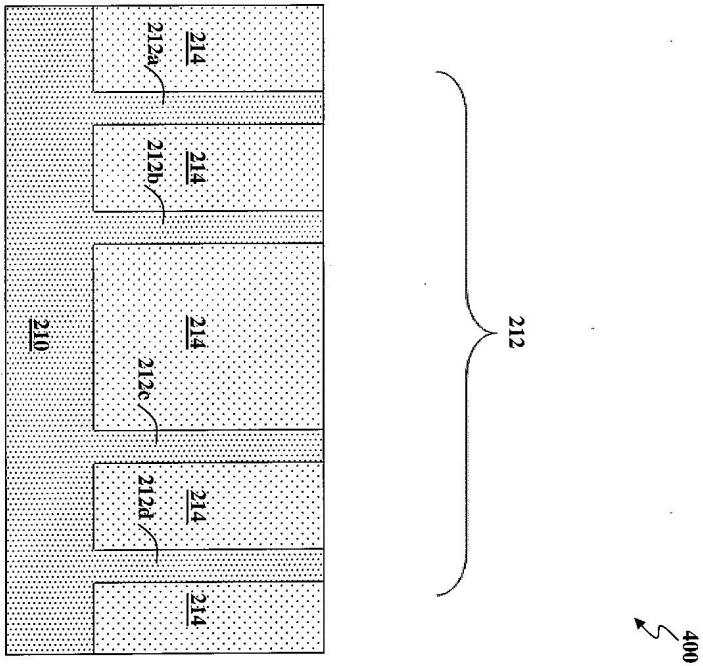
도면13



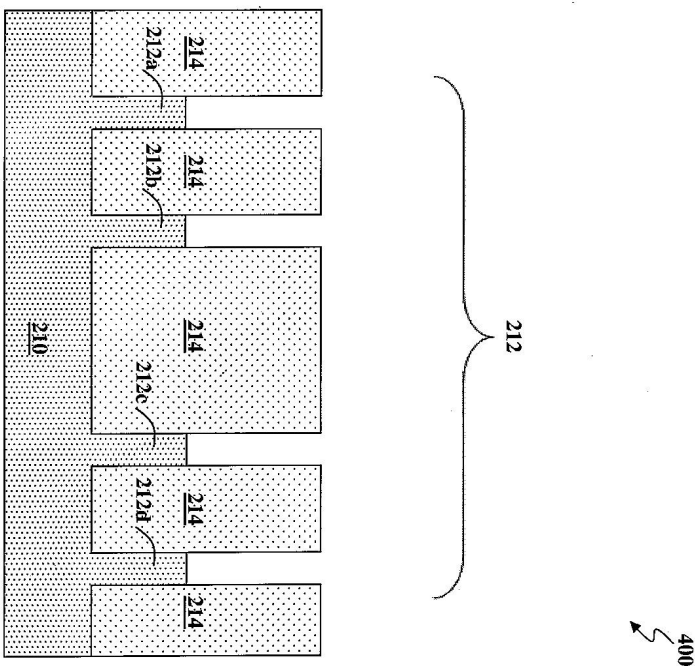
도면14



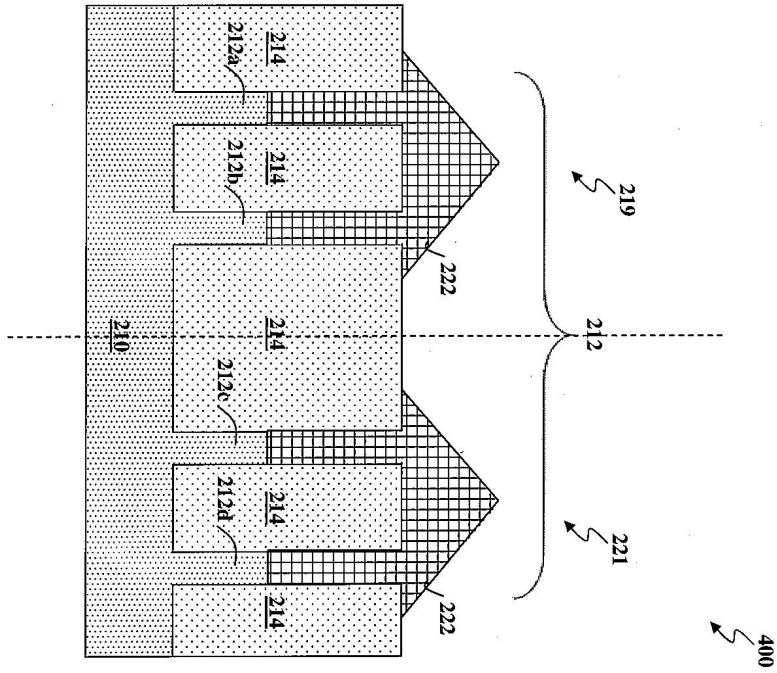
도면15



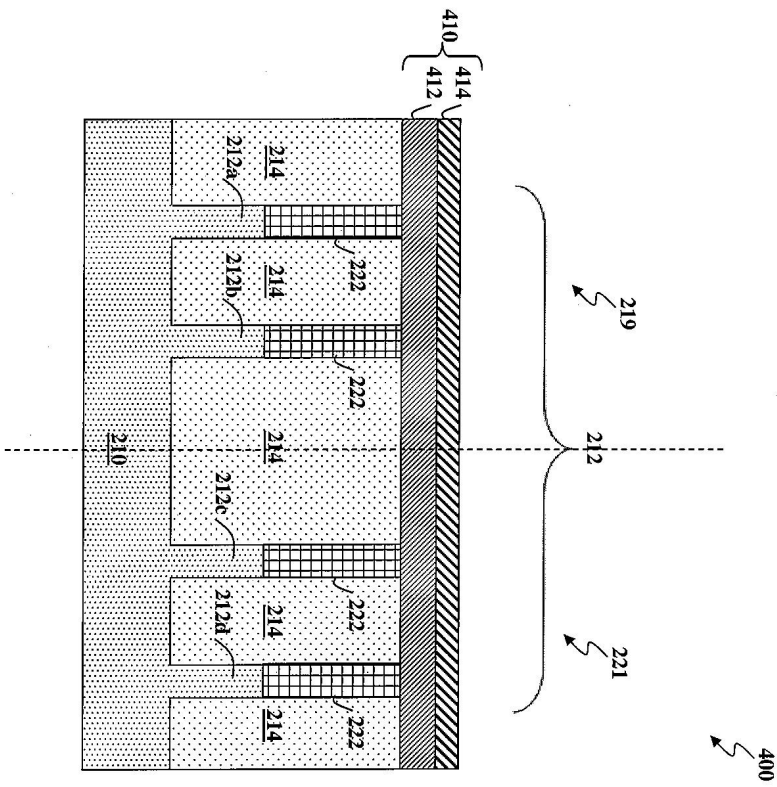
도면16



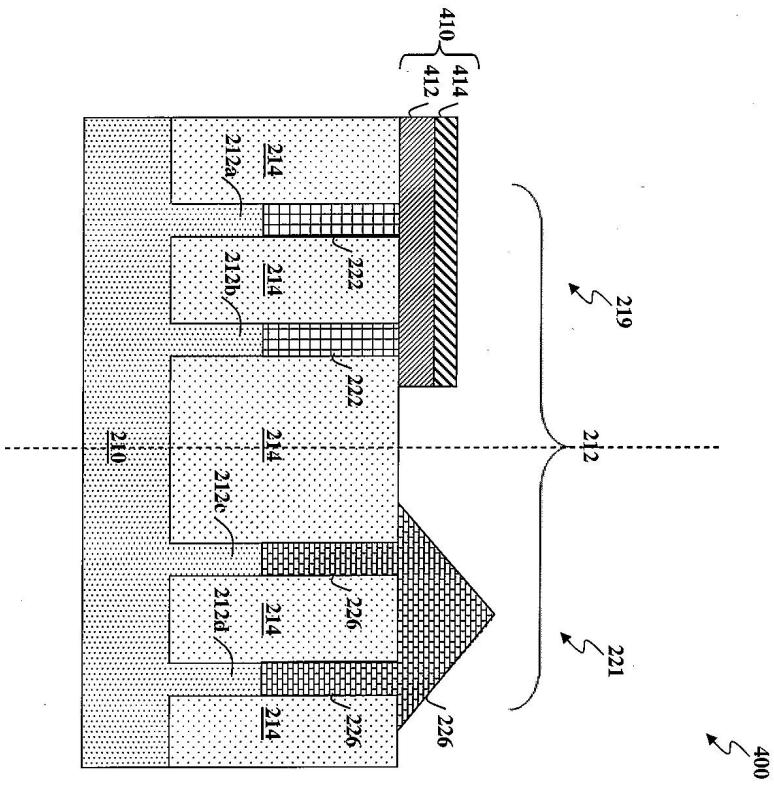
도면17



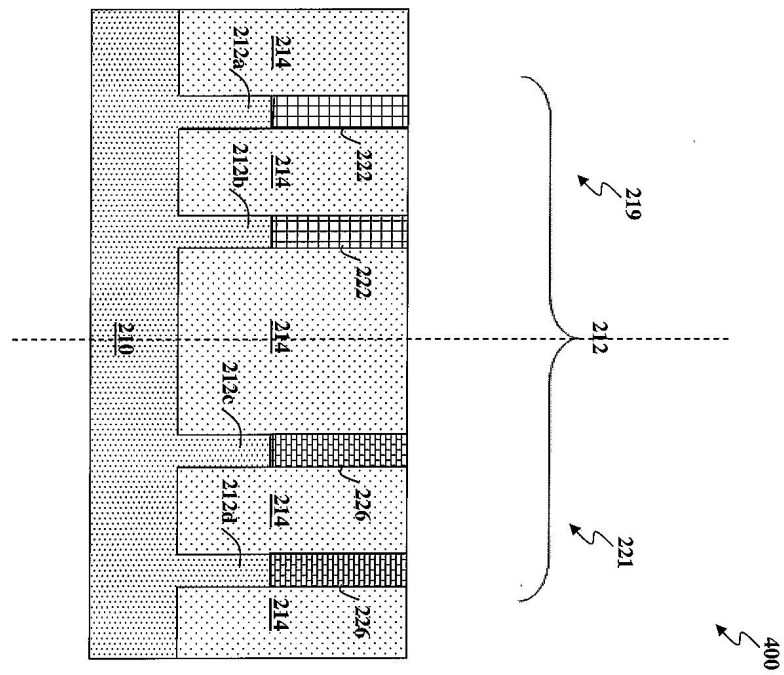
도면18



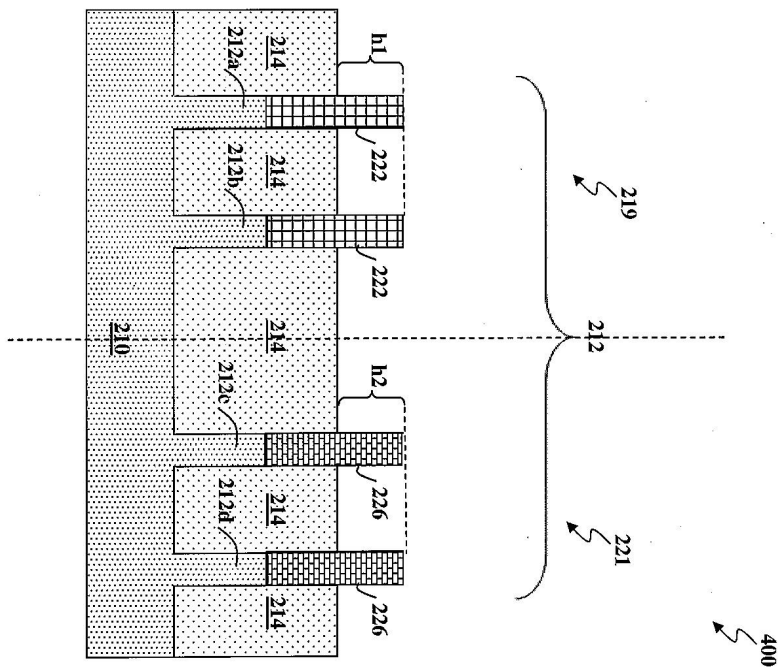
도면19



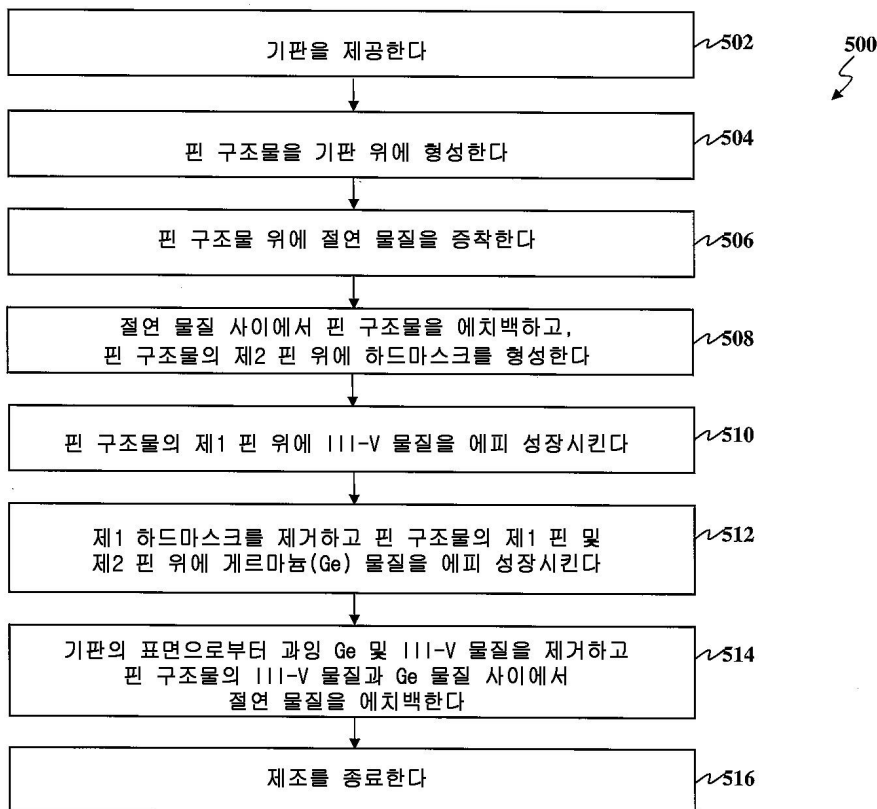
도면20



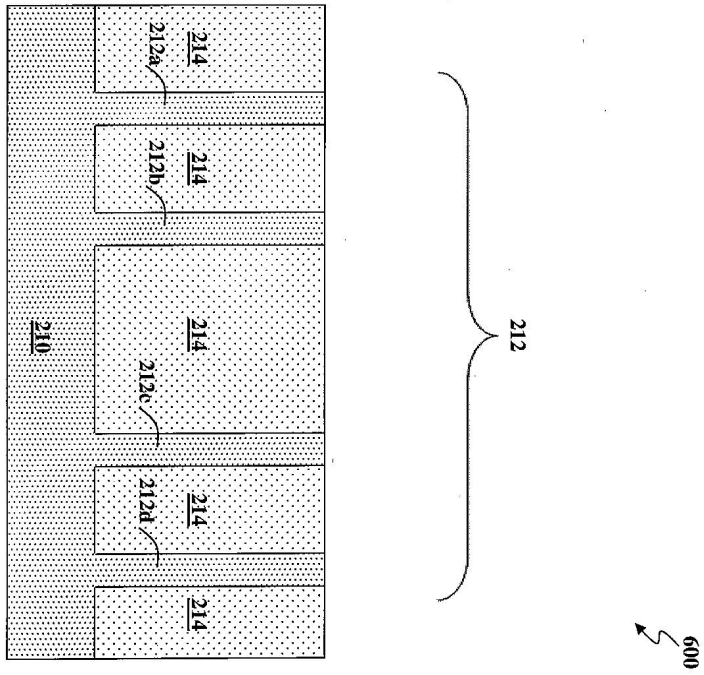
도면21



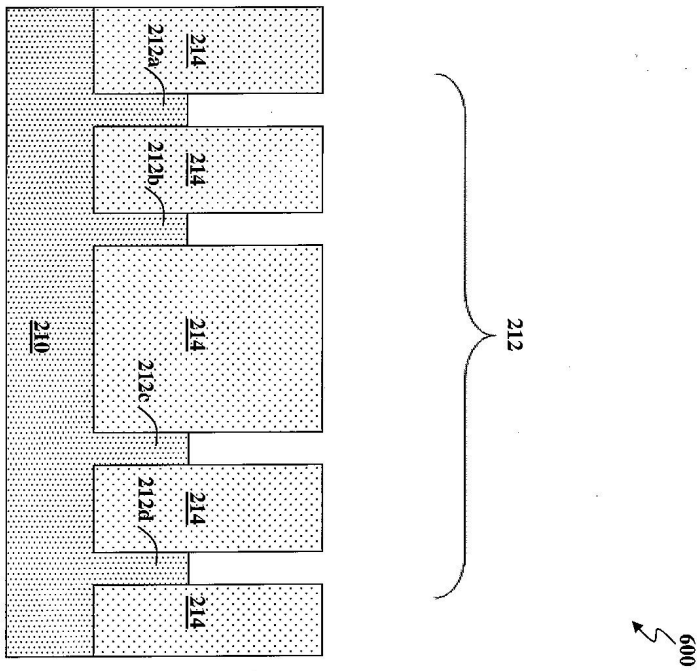
도면22



도면23

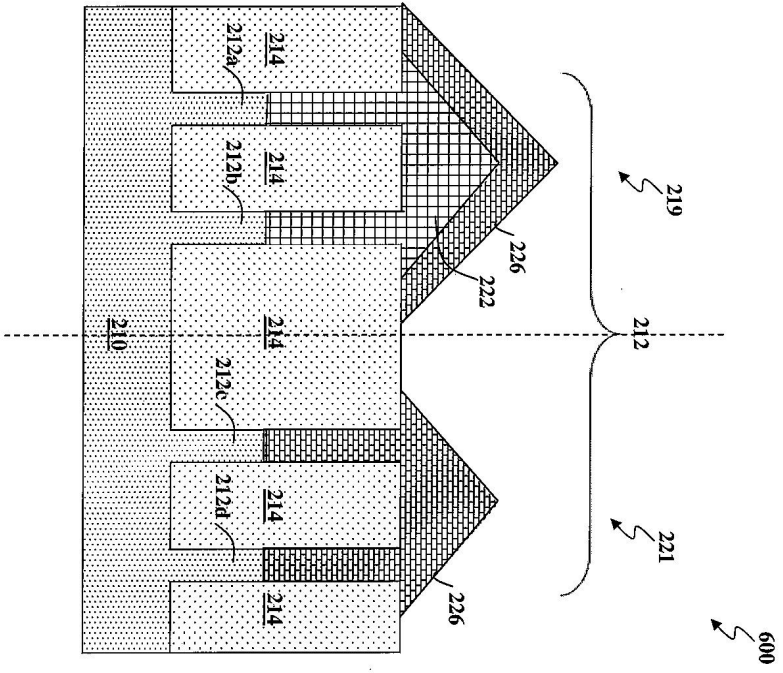


도면24

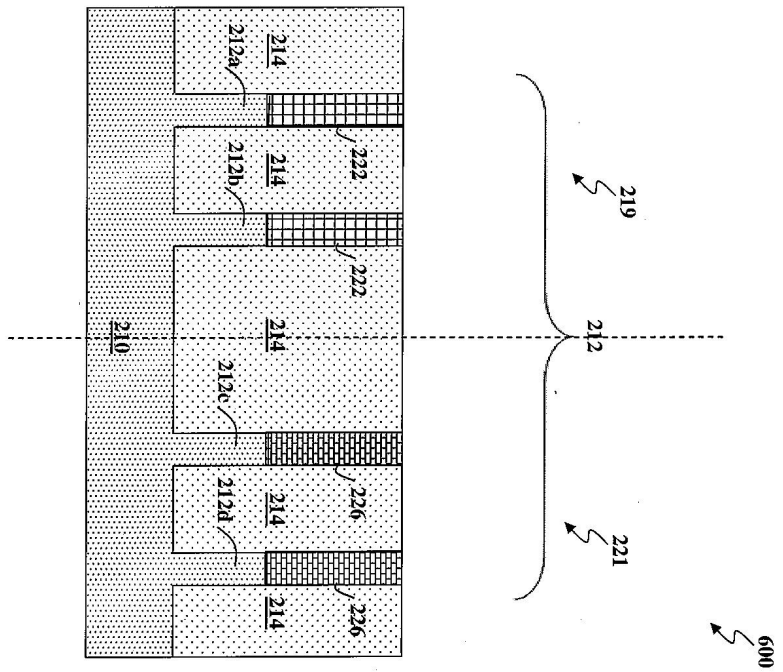




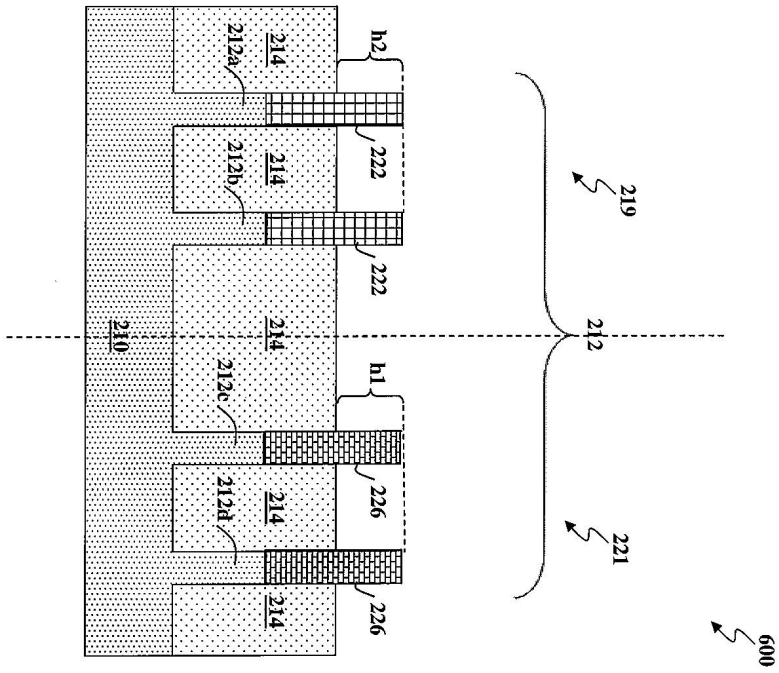
도면27



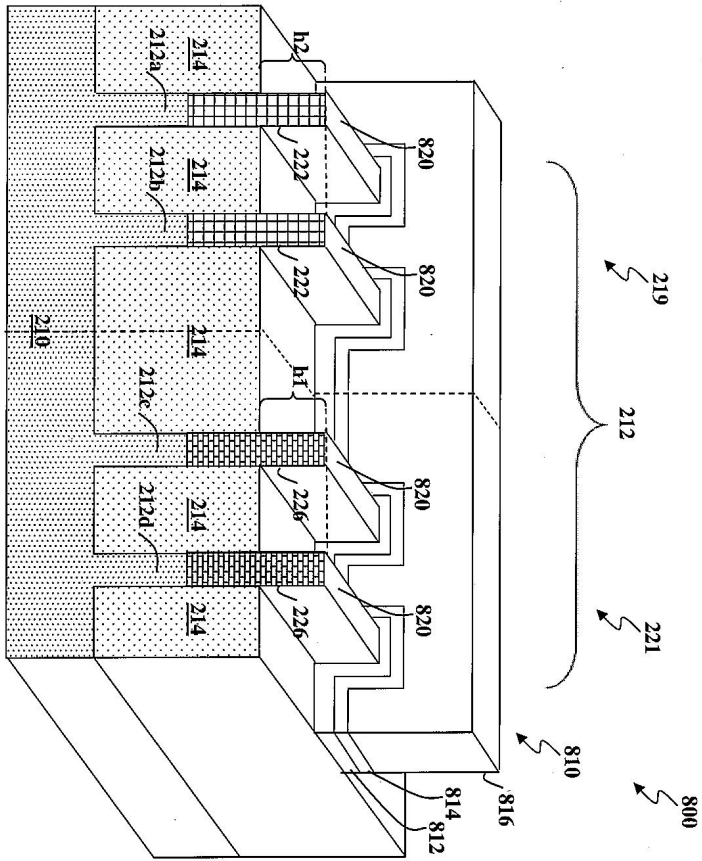
도면28



도면29



도면30



도면31

