

公 告 本

申請日期	90. 12. 28
案 號	90132765
類 別	H01L 31/101

A4
C4

516243

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	低功率有機發光二極體像素電路
	英 文	LOW-POWER ORGANIC LIGHT EMITTING DIODE PIXEL CIRCUIT
二、發明 創作人	姓 名	1.詹姆斯 樓倫斯 山福特 JAMES LAWRENCE SANFORD 2.尤金 S. 斯庫理 EUGENE S. SCHLIG
	國 籍	1.-2.均美國
三、申請人	住、居所	1.美國紐約州后普維爾連接市飛狐區2號 2.美國紐約州薩瑪市巴特勒路13號
	姓 名 (名稱)	美商萬國商業機器公司 INTERNATIONAL BUSINESS MACHINES CORPORATION
代 表 人 姓 名	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市新果園路
		傑拉德 羅森賽 GERALD ROSENTHAL

裝
訂
線

(由本局填寫)

承辦人代碼：	
大類：	
IPC分類：	-

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權

美國 2001年01月04日 09/754,489 有 無主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 · 訂 · 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明領域

本發明一般有關一像素電路，尤其，有關一種利用互補金屬氧化物半導體(CMOS)技術之低功率有機發光二極體(OLED)像素電路。

發明背景

當施加電流於其上時，任一種OLED像素可以利用任何一種發光之有機材料。一OLED顯示器包含複數個組織成一陣列之OLED像素。

一OLED像素的發光由一像素電路來控制，其包括一恆定電流源，或是一恆定電壓源。通常認為恆定電流源在該等像素之陣列中，提供較均勻的亮度。此乃因為亮度對電流的從屬性趨向均勻，然而在不同的像素中，該等OLED上之電壓在一給定電流時比較不均勻。Howard等人之美國專利案號6,023,259說明一種電流驅動器，其提供一OLED之被動矩陣驅動電流。對通常之顯示器亮度而言，被動矩陣驅動操作造成較低OLED功率效益，為了避免閃爍，需要一刷新率大於或等於60 Hz。

在一活動矩陣顯示器中，通常提供儲存一像素的狀態於其分別之像素電路之內。此一般達成的方式為，將相當於一動態RAM之單元併入每一像素電路中，在其中該狀態以一電容器上之電壓來儲存。該配置的缺點是，該電壓很快地從該等電容器流出，因此必須定期刷新顯示器上所呈現的影像。刷新該影像之動作消耗相當大的功率。因此需要找尋有別於傳統動態RAM的另一種替代方案。

五、發明說明 (2)

對一"開"像素之亮度的控制，通常可以使用控制一類比電壓值的方式來達成，該類比電壓決定施加於該像素之電壓或電流。類比控制電路為另一種過量功率消耗的來源。因此需要找尋有別於傳統類比控制電路的另一種替代方案。

該 OLED 顯示器由有機材料的薄層構成，其中單獨之 OLED 像素受到該 OLED 一陽極與該 OLED 之一相反電極間偶發之短路。該短路可以引起在該電路中流動的過度電流、在該像素電路上過度之電壓、以及過度之功率消耗。與一短路之像素鄰接的優質像素可能受到該短路像素的熱度而遭到破壞，而過度的電流可能改變電源電壓。

在該 OLED 顯示器的操作期間，該等有機材料層會限制電荷，使得在該 OLED 上的壓降增加，因而引起亮度的不均勻以及一個燒結之影像。該限制電荷可以藉由反向偏壓該 OLED 的方式來移除。

該 OLED 本身通常需要一電壓在 +/-6 伏特之譜，以於"開"啟時展現一適當之亮度，並在反向偏壓時以移除該受限電荷。傳統之 CMOS 積體電路技術使用以低於 4 伏特電壓操作的電晶體。如此，CMOS 技術並不能夠驅動 OLED。還有，在一 OLED 像素電路中之 CMOS 裝置，特別容易在超過 4 伏特的電壓時受到損害。

改變一顯示器之影像的傳統方式係用一處理器來更新一顯示控制器的記憶體，其可定期並單獨定址該顯示器的每一個像素，並在必要時將其"開"(ON)或"關"(OFF)。如果該

五、發明說明 (3)

顯示器包括大量像素，如十萬、一百萬、或是更多個像素的話，此操作可能消耗大量的功率，並成為處理器的負擔。

在將複數個像素電路併入顯示器時的另外一個問題為，該顯示器的匯集元件的實體佈置問題。也就是說，該顯示器為限制該等像素及其伴隨電路的有限區域，然像素間必須維持一恆定間距，以提供一均勻之影像。

由於以上所提諸缺點，OLED顯示器尚未如許多其他傳統顯示技術受到設計者的使用。使用動態RAM與其刷新影像所需之對應電路，以及有關功率消耗的議題等，對使用OLED於電池操作的裝置中、以及如手持裝置或手錶所用之小型顯示器來說為一障礙。該等OLED操作電壓對於一OLED像素電路中CMOS電路的使用來說為一障礙。對使用OLED之大型顯示器來說，在一陣列中每一個像素的定期定址為一障礙。在諸像素間恆定間距的維持，對任何一種顯示器來說都是很重要的考量。

發明目的

本發明之一目的，係提供一種克服以上及其他問題之改良OLED顯示器。

本發明之另一目的，係提供一種消耗低功率之改良OLED像素電路，並因此適合使用於一小型電池供電的裝置中。

本發明另一目的，係提供將像素的狀態留在一靜態儲存單元或是記憶體中之OLED像素電路，而同時維持高電路密度與低功率。

本發明另一目的，係提供一利用CMOS技術來控制一

五、發明說明(4)

OLED之OLED像素電路。

本發明另有一目的，係提供一OLED像素電路以限制一短路像素的效應，使得非短路像素繼續以正常方式操作。

本發明還有一目的，係提供一OLED像素電路能夠處理OLED上在正常與反向偏壓狀態間之大型電壓變化，而不會使該OLED像素電路電晶體受到一過量之電壓。

本發明尚另有一目的，係提供一OLED像素電路適合使用於一大型顯示器的格式。

發明概要

根據本發明之一第一具體實施例，一像素電路包括一有機發光二極體(OLED)、及一靜態記憶用來儲存代表該OLED操作狀態之資料。

根據本發明之一第二具體實施例，一像素電路包括一OLED、一控制該OLED之互補金屬氧化物半導體(CMOS)電路、及一保護電路用來保護該CMOS電路免於過電壓的狀況。

根據本發明之一第三具體實施例，一像素電路包括一OLED、及一控制該OLED之CMOS電路。該CMOS電路含有一使用一場效電晶體(FET)構成之電流源，而該FET具有源極電壓大於該FET門限電壓的靜態閘極。

根據本發明之一第四具體實施例，一顯示器包括像素電路陣列。每一個該像素電路含有一OLED及一靜態記憶體用來儲存代表該OLED操作狀態的資料。

五、發明說明 (5)

圖式之簡單說明

本發明以上所說明的特性與其他優點，在發明詳細說明中參考所附之圖式說明得更詳盡，所附之圖式中：

圖1A示範一根據本發明宗旨的OLED陣列結構之俯視圖；

圖1B為圖1A陣列在線1B-1B方向之側視圖；

圖2為一OLED像素字元陣列結構的方塊圖，每一字元由16個像素組成；

圖3為一OLED像素字元電路之一具體實施例的方塊圖；

圖4為一字元選擇電路中之邏輯電路的示意圖，符合本發明的宗旨；

圖5為一OLED像素電路之一具體實施例簡化之示意圖；

圖6為一OLED像素電路更詳盡之示意圖；

圖7為顯示與控制暫存器清除連接以驅動一OLED陣列之方塊圖；及

圖8為一OLED像素字元結構的方塊圖，顯示像素電路與一字元選擇電路對OLED像素各陽極間的實體關係。

發明之詳細說明

根據本發明諸較佳具體實施例之教示，係有關主動矩陣OLED顯示器。該等顯示器可以配置為微顯示，並併入小型、以電池操作之裝置，如電子錶。然而，此特別之使用範圍與應用並不能做為實施本發明教示的限制。

圖1A為OLED結構一陣列100的俯視圖，例如圖樣元素(像素)或是發光元素，而圖1B為陣列100從圖1A中之1B-1B線的側視圖。陣列100的每一個OLED結構係建構以具有一

五、發明說明(6)

像素電路，其包括一OLED以及一用來儲存代表該OLED操作狀態資料的靜態記憶體。

陣列100一般可視為一規則之 $n \times m$ 像素陣列，其中 n 可等於 m 或不等於 m 。

陣列100包括複數個OLED結構，每一結構具有一陽極電極105。該陽極電極105以二維配置，形成一平面顯示。在圖1B中所示之側示圖，說明陣列100之垂直結構，例如一矽晶片101，其上為圖樣化的陽極電極105。在陽極電極105之下佈置一擋光層(圖未示)，以防止OLED光或是外來光線到達以下之電路。一有機層102與一透明陰極相反電極層103佈局在陽極電極105之上。

在一些具有透明陽極之OLED顯示器中，一觀察者可以透過其陽極電極105看到該OLED，但是該較佳具體實施例有關透過其陰極相反電極層103看到該OLED。此乃因為該矽基板101不是透明，而是非透明之故。

一保護罩玻璃104附於該矽晶片101之陰極電極層103上，以提供該OLED結構環境之保護。一適當之濕氣吸收劑也可以置放於一矽玻璃罩的密封之內，但在陣列100的邊界之外。

在定址該顯示器之一主動陣列方案中，定義該等像素狀態之資料，即是否該像素為ON，即亮，或是OFF，即暗的資料，可以寫入並儲存於動態或是靜態記憶體結構中。該儲存之資料也可以從該記憶體結構中讀出，若是如此的話，其乃配置為做電力測試的目的。在一動態記憶體陣列中

五、發明說明 (7)

，資料儲存於一電容器中，並必須要定期刷新，此操作消耗功率。在一靜態記憶體中，資料儲存於一包含CMOS電路之電子鎖定器中，保持該資料幾乎不消耗功率。根據本發明之較佳具體實施例中，該OLED顯示裝置使用低功率消耗的靜態記憶體。

在根據本發明宗旨之主動陣列顯示器中，該有機材料夾在底下電路之像素電極與一相反電極之間。該像素電極通常為該發光二極體的陽極，而相反電極通常為陰極。該顯示器按該等像素的長方形陣列形成，可隨所顯示之影像需要而打開(ON)或是關閉(OFF)。每一像素具有一像素陽極電極與像素電路，以控制該陽極相對於該相反電極之電力狀態。

該等像素電路可以使用形成於一絕緣基板上的薄膜來建構，或是使用積體電路技術來建構，以矽為主較佳。一般來說，該像素電路可以(1)任何合適之材料，舉例如結晶矽、非結晶矽、多晶矽、微結晶矽、一有機半導體或是高分子半導體，及(2)佈置於，例如，矽、玻璃、塑膠、陶瓷或是藍寶石(Al_2O_3)的基板上來製造。該等薄膜電路佈置於一絕緣(介電)基板的優點為成本較低以及可以製成大型顯示器。一般來說，使用結晶矽裝置受到小面積陣列的限制，但該等電路的效能及製造密度較該等薄膜電路高。根據本發明宗旨的該OLED電路適合使用不同的製造技術來實施，但是該結晶矽技術為較佳的具體實施例。因為矽基板對可見光來說為不透明，發光較佳的方式為經由該相反電極

五、發明說明(8)

，其較佳係形成為連續的透明導體材料板，如氧化銦錫，例如見相反電極層103。

在以下的說明中，該術語"陣列"指的是該等像素之陣列，也為該等陽極的陣列。

圖2為一OLED陣列200的方塊圖，包含複數個資料儲存裝置或是單元，在此也稱為字元結構205。每一字元結構205為一16位元的靜態隨機存取記憶體(SRAM)，其對應陣列200一橫列上的十六個像素。在此具體實施例中，資料每次以16位元寫入及讀出。

對每一字元結構205的輸入等為一縱行區塊選擇204、位元線203、一字元線讀取202與一字元線寫入201。當字元線寫入201與縱行區塊選擇204兩者同時啟動時，資料從位元線203寫入字元結構205，例如將其切換成一高位準狀態。而當字元線讀取202與縱行區塊選擇204兩者同時啟動時，資料從字元結構205讀入位元線203。而當字元線讀取202與字元線寫入201兩者同時啟動時，沒有操作受到定義。

注意每一縱行區塊選擇204有關陣列200之一縱行，其中每一字元線寫入201與字元線讀取202有關陣列200之一橫列。藉由使用一適當的縱行區塊選擇204、一字元線寫入201與一字元線讀取202的組合，可以將資料寫入或是讀出陣列200之任何字元結構205。

位元線203的總數目對應陣列200像素的縱行數。因為每一字元結構205代表16像素，縱行區塊選擇204的數目對應陣列200中像素的縱行數除以16。

五、發明說明 (9)

傳統之SRAM通常使用互補位元線等，即每位元兩線。本發明每像素縱行使用一單一位元線，因此，與傳統設計相較之下，可降低功率的消耗。例如，在圖2中，一組位元線203代表資料位元1-16配置為16條單一的線。

從系統的觀點而言，從一顯示器的該等記憶體單元讀取資料較從該顯示器外接式的系統記憶體讀取的效率來得差，因為從該顯示器讀取的功率消耗通常較高而且速度較低。然而，從該顯示器的該等記憶單元讀取資料在電路測試該顯示器時卻很有用。儘管如此，重點還是應該擺在寫入該顯示器而不是從該顯示器讀取。如此，便不需要如脈衝式字元線定址、位元線均衡與位元線感測電路等之傳統SRAM設計技術。

圖3為一OLED像素字元結構205之方塊圖。字元結構205包括一字元選擇電路300與十六個像素電路400。對字元選擇電路300的輸入為縱行區塊選擇204、字元線讀取202與字元線寫入201。字元選擇電路300的輸出則為字元讀取404與字元寫入405。像素電路400的輸入為一單一位元線203、字元讀取404及字元寫入405。字元讀取404與字元寫入405分別為字元線讀取202與字元線寫入201之局部字元選擇的延伸。字元選擇電路300顯示於像素電路400的左邊做為示範。

圖4示範在字元選擇電路300中一些邏輯的電路細節。字元選擇電路300包括兩個AND(及)閘500與501。

AND(及)閘500的輸入為縱行區塊選擇204與字元線讀取

五、發明說明 (10)

202。字元讀取404為AND(及)閘500的輸出。當縱行區塊選擇204與字元線讀取202都為高位準時，即作用時，字元讀取404變高位準，即作用。

AND(及)閘501的輸入為縱行區塊選擇204與字元線寫入201。字元讀取405為AND(及)閘501的輸出。當縱行區塊選擇204與字元線寫入201都為高位準時，即作用時，字元讀取405變高位準，即作用。

圖5為陣列200中像素電路400主要功能元件一簡化之示意圖。像素電路400包括一SRAM單元10、一連接至一電壓電源供應V1之電流源20、三個開關30、40與50、一接地之閘極p-型金屬氧化物半導體(PMOS)電晶體60，其n-井連接至其源極64，即一浮動井，以及一OLED 70連接至一電源電壓V2。在正常的操作期間，V1為正電壓，V2為負電壓。

SRAM單元10的輸入為一單一位元線203、字元讀取404、與字元寫入405。注意該位元線203為一單一位元線，用來輸入一代表該資料之信號至SRAM單元10，以及從SRAM單元10輸出一代表該資料之信號。字元寫入405使得資料能夠寫入SRAM單元10，而字元讀取404使得資料能夠從SRAM單元10讀取。SRAM單元10的輸出為位元線203及一控制線8。注意該位元線203同時為SRAM單元10之輸入與輸出。控制線8係用來控制開關40。在位元線203與字元寫入405上之高位準狀態，一高位準狀態寫入SRAM單元10。當SRAM單元10儲存一高位準狀態時，控制線8關閉開關40。當SRAM單元10儲存一低位準狀態時，控制線8打開開關40。

五、發明說明 (11)

V1提供電流源20的電源。電流源20產生一輸出電流對應OLED 70之一預先決定之最大亮度位準。

吾人希望能夠用控制經過OLED 70之平均電流來控制該OLED 70之亮度。一工作係數NOT(否)6為一脈衝寬度調變信號，其做為陣列200中所有像素共同之輸入。在該工作係數NOT(否)6之低位準狀態關閉開關30。在該工作係數NOT(否)6之高位準狀態打開開關30。該工作係數NOT(否)6控制經過OLED 70之平均電流，以設定其亮度至一低於最大亮度之位準。

一反向偏壓7係為一信號，其做為陣列200中所有像素共同之輸入。在反向偏壓7之高位準狀態關閉開關50。在反向偏壓7之低位準狀態打開開關50。

當開關30與40關閉而開關50為開啟時，電流從電流源20流出，經過開關30及40，流入PMOS電晶體60之源極64。PMOS電晶體60操作為一串疊(cascode)級，以提供電流源20一較大之電壓順應範圍，如此項技術中所熟知。PMOS電晶體60汲極62出來之電流流入OLED 70使OLED 70開啟。電壓順應範圍係為輸出電流幾乎固定之輸出電壓範圍。一串疊級為一共同閘極放大器級，其藉由提供電壓增益來改善該電壓順應之範圍。

當電流流經PMOS電晶體60時，其具有一相當低之電壓，例如大約10微伏特，流過其汲極62與源極64。當電流流動時，在汲極62上之電壓可以高於或低於接地數伏特，而在源極64上的電壓為高於接地之最小門限電壓，並總是高於

五、發明說明 (12)

其汲極62上的電壓。一門限電壓為維持該電晶體在正常操作導電區域之最小源極至閘極電壓。當沒有電流流入PMOS電晶體60之源極64時，在源極64上之電壓並不低於接地。

在一OLED的操作期間，電荷可以在其有機層中受到限制。此動作增加OLED流動一給定電流所需的前向偏壓電壓。該受限電荷可以藉由反向偏壓該OLED來移除，定期或是不定期均可。

OLED 70藉由開啟開關30來反向偏壓，因此中斷來自電流源20之電流流動、關閉開關50並將V2從一負電壓切換至一正電壓。關閉開關50將源極64與PMOS電晶體60的n-井接地。PMOS電晶體60之汲極62係為一p-擴散區。當V2切換至一正電壓時，電流從V2流出，經過OLED 70 PMOS電晶體60與開關50。經由PMOS電晶體60與關閉之開關50，OLED 70之陽極72維持在接地以上一二極體壓降。OLED 70之反向偏壓電壓係為V2之正電壓減掉一二極體壓降。

一OLED之反向偏壓並不需要在頻繁的間隔中進行。而是可以進行於不規則間隔或是當一顯示器未受收看的時候。例如，在一手錶的顯示器中，一OLED可以在白天以正常偏壓方式驅動，在晚上時，當該顯示器上的影像為關閉(OFF)時，該OLED電壓可受反向偏壓。另一個例子是，該OLED可以在一脈衝寬度調變亮度控制控制循環中，在OLED關掉(OFF)時受到反向偏壓。

圖6示範圖5像素電路400的詳細細節。在此具體實施例中，V1設定為+3V而V2設定為-5V。

五、發明說明 (13)

SRAM單元10包括n-型金屬氧化物半導體(NMOS)電晶體11與15，以及反相器12、13與14。在寫入操作時，在字元寫入輸入405之一高位準狀態使得NMOS電晶體11耦合位元線203上之邏輯狀態與反相器12之輸入。

反相器12之輸出為其輸入之反置。反相器12之輸出與反相器13的輸入、反相器14的輸入連接，並提供控制線8的信號。

反相器13將其輸出連接至反相器12的輸入。請注意反相器12從位元線203以一打開(ON) NMOS電晶體11或是從反相器13的輸出接收其輸入。NMOS電晶體11的電流驅動係部分由其通道寬度與其通道長度的比值來決定。反相器12與NMOS電晶體11的電流驅動相當強，例如比反相器13的驅動強10倍。如此，位元線203的輸入，經由打開(ON)NMOS電晶體11至反相器12，決定SRAM單元10的狀態。一開始，經由NMOS電晶體11資料位準設定反相器12的狀態，然後反相器13回饋，即提供一鎖定信號給反相器12，以在移除NMOS電晶體11的資料位準後維持該狀態。因此，NMOS電晶體11與反相器12與13組成一資料鎖定器。

一PMOS電晶體40A做為開關40(圖5)。控制線8，從反相器12的輸出，連接至PMOS電晶體40A的閘極。

為了從SRAM單元10讀取資料，字元讀取404係設定為高位準，以引起NMOS電晶體15耦合反相器14的輸出與位元線3。經由反相器12與反相器14的反相動作，SRAM單元10讀出資料的極性與先前寫入SRAM單元10的相同。

五、發明說明 (14)

SRAM單元10可以藉由消除反相器14並將反相器12的輸出直接連接至NMOS電晶體15而簡化。在此狀況下，SRAM單元10的資料讀出為先前寫入SRAM單元10的反置，但其可在一位元線讀取電路(圖未示)中重新反置。較佳的是，反相器14包含在內，因為其在讀取操作期間，隔離像素電路400與位元線203上之雜訊以及由位元線203負載之電容。

一PMOS電晶體20A做為一電流源20(圖5)。一VREF 21連接至PMOS電晶體20A的閘極，並也連接至一同樣置於陣列200中所有其他像素電路中的PMOS電晶體。

先前提到之擋光層，舉例來說，可以用來分配該V1之+3V電源。該擋光層，為一導電層，在該陣列中佈置與連接，以對V1電源分配提供一低阻抗路徑。以此方式，該擋光層進行兩種功能，即，擋光與電源分配。

PMOS電晶體20A為一場效電晶體(FET)，其通道寬度(W)、通道長度(L)與閘極至源極電壓(V_{gs})在面積限制($\sim W \times L$)下可發揮最大作用，以縮小門限電壓(V_T)的效應與通道寬度在電流經過陣列中像素之OLED 70均勻度上的變化。該通道長度藉由如由該閘極導體形成汲極與源極擴散的間隔來決定。該通道寬度為該閘極導體上汲極或是源極尺寸。在飽和時，

$$(|V_{ds}| > |V_{gs} - V_T|),$$

該汲極電流與

$$(W/L)(V_{gs} - V_T)^2,$$

五、發明說明 (15)

成正比，其中 V_{ds} 為汲極至源極電壓。VREF 21 電壓相對 V1 而設定，並可調整以得到一 OLED 70 理想測量的最大亮度，因而移除電流源電晶體參數的效應，以及該顯示器最大總亮度的 OLED 效益。

在 PMOS 電晶體 20A 的具體實施例中，該通道長度為 79.12 微米，該通道寬度為 2.64 微米，而 PMOS 電晶體閘極至源極電壓正常為 -1.1 V。在門限電壓為 -0.6 V 的狀況下，該 PMOS 電晶體 20A 維持飽和的狀態，只要其源極至汲極電壓大於 0.5 V，即產生恆定電流。注意該 PMOS 電晶體 20A 之靜態源極至閘極電壓大於其門限電壓。換句話說，驅動 OLED 70 只需要 0.5 V 之消耗電壓。在此方面，該設計係非常有功率效率。用此實施方法，PMOS 電晶體 20A 的電流變化，在該陣列的像素中，都小於 1.05 : 1。

一 PMOS 電晶體 30A 扮演開關 30 (圖 5) 的角色，而一 NMOS 電晶體 50A 扮演開關 50 的角色 (圖 5)。此組件的配置允許圖 5 中所示之工作係數 NOT(否)6 與反向偏壓 7 在一單一反向偏壓 / 工作係數 NOT(否)9 信號中結合。反向偏壓 / 工作係數 NOT(否)9 為陣列 200 中所有像素之一共同輸入。

在 OLED 70 之正常前向偏壓操作下，反向偏壓 / 工作係數 NOT(否)9 係為工作係數調變，以快速地將 PMOS 電晶體 30A 開與關，以工作係數調變在 OLED 70 中的電流。對 OLED 70 亮度的此數位控制，較利用一類比電壓控制來得均勻。當 PMOS 電晶體 30A 藉由將電晶體 20A、30A、40A、50A 與 60 之寄生電容放電而關閉以幫助線性化脈衝寬度調變時，

五、發明說明 (16)

NMOS電晶體50A可藉由反向偏壓/工作係數NOT(否)9打開。如果未放電，該寄生繞線、汲極至基板、源極至基板與FET電極間電容會在PMOS電晶體30A為關閉時，允許電流連續流入該OLED一小段時間。該寄生電容趨向維持該PMOS電晶體60的源極64在高電壓，允許PMOS電晶體60繼續傳導，直到源極64的電荷放光為止。

如果CMOS電路曝露至一電壓超過一擊穿電壓的話(通常為3.6V)，可能受到損壞。同樣地，在受到超過攝氏100度的溫度時，該有機層的壽命大大地縮減。如果一OLED在其陽極與陰極間受到短路，一過度之電流可能流過該短路之OLED像素電路。該電流可能產生熱度並損害一鄰接之像素，而且其也可能干擾供應至該顯示器中其他像素的電壓。

如此，像素電路400包括一保護電路包含PMOS電晶體81、82與83，以及一電阻器84。在正常的操作期間，當該像素在OFF的狀態下，在該OLED 70上的壓降降低，使得在PMOS電晶體60的汲極62的電壓變得負得更多。PMOS電晶體81、82與83每一個都降低約1 V，使得在PMOS電晶體60的源極64的電壓的限制較接地負約3 V。即是，PMOS電晶體81、82與83提供一負值(-3 V)電壓限制，以確保PMOS電晶體60的閘極至汲極電壓不超過其擊穿電壓3.6 V。藉由限制PMOS電晶體60汲極62的電壓，該保護電路有效地限制流經像素電路400其他組件的電流。當OLED 70打開，在汲極62之電壓約為接地以上的1.75 V。在OLED 70打開時，PMOS電晶體81、82與83沒有作用。

五、發明說明 (17)

當 OLED 70 短路時，電阻器 84 限制可以流動的電流，以及可以消耗的功率。PMOS 電晶體 81、82 與 83 仍將 PMOS 電晶體 60 汲極 62 的電壓限制於 -3 V 左右，使得電阻器 84 上之任何過度電壓下降。在一較佳之具體實施例中，電阻器 84 是以具有 40,000 歐姆電阻之未摻雜的多晶矽來製作。

PMOS 電晶體 81、82 與 83 與電阻器 84 也允許測試 OLED 70，並經由同樣置放於其他像素電路之組件，測試陣列 200 中所有的 OLED 像素。此係藉由設定 V2 為一負值電壓，如相對接地 -7 V 的方式完成，允許 V1 浮動或是將之接地。以此配置的方式，電流路徑從接地經 PMOS 電晶體 81、82 與 83、電阻器 84、OLED 70 至 V2。每一個 PMOS 電晶體 81、82 與 83 降低約 0.7 V。OLED 70 係前向偏壓，而若屬優質則會開啟。此測試有用於，例如，在 OLED 沉積後與在顯示器進一步裝配前之密封時發現缺陷。

除了如以上所述節省功率的技術之外，可以藉由管理影像寫入一顯示器的方式來節省功率。例如，顯示器功率消耗與一像素的亮度與像素"開"的數目成正比，因此如果有一方法能降低一像素的亮度與像素"開"的數目就能節省功率。

例如，如果陣列 200 設於一手錶的顯示器中，像素的數目需要以時針顯示時間的像素需求數在像素總數的百分之 1 與 2 間。一典型的文字螢幕可能打開百分之 10 至 20 的像素。影像可能需要百分之 50 像素的亮度。

如此，有別於訊框序列操作，以空間混色產生灰階影像

五、發明說明 (18)

，以消除需要快速寫入顯示器的功率(其為訊框序列操作所必需)。

"開"像素的數目通常小於百分之50，而因此可以藉由在將新資料寫入該顯示器之前一個清除顯示的操作，以及藉由僅寫入像素已"開"的字元結構來節省電源。完全顯示可以使用位元線及在該陣列之外的字元線驅動器電路來清除。如果提高所有的字元線寫入201與縱行區塊選擇204，而所有位元線203上為低資料狀態的話，則低位準資料可寫入陣列200將顯示器所有像素關閉之所有的SRAM單元10。在手錶的例子中，此功能的控制是由手錶的處理器在更新顯示器之前所發出。然後，資料僅寫入在新顯示螢幕中必須打"開"的像素而已。

因為手錶顯示器通常百分之99的時間在顯示時間，而且因為手錶指示時間的指針並不需要高的對比，在顯示時間的時候，亮度可以降低至一相當低的亮度位準，例如約為30燭光/平方米。此亮度位準應足夠做夜間使用與房間環境光線位準低對比的應用。在室內環境下顯示文字與影像，100燭光/平方米應該足夠。只有在強烈陽光下使用才需要約500燭光/平方米的亮度位準。

為了在一手錶系統的待機功能中節省功率，該反向偏壓/工作係數NOT(否)9應在一高位準狀態。除此之外，V2至顯示器的連接應打開，以消除任何關閉狀態的OLED電流或是由於OLED短路產生的電流等。如此，在V1與V2間的該電流路徑斷開，使得沒有電流流經像素電路400。

五、發明說明 (19)

同時，如果V1的電壓降低，可以降低從SRAM單元10汲取之待機電流，但是不要設定太低以免該顯示器失去其資料。降低供應電壓會降低經過反相器12、13與14的漏電流，並因此降低待機功率。在手錶的應用上，待機的控制由手錶處理器提供。

工作係數NOT(否)6、反向偏壓7、待機與清除的控制信號可以寫入一SRAM字元結構，其形成一顯示控制暫存器，如以下所述，其並非為陣列200的一部分，而在其外部。以此方式，該顯示控制信號等為該顯示器的部分，但並不位於該手錶的其他地方，因此降低該顯示器專用信號線的數目。

該控制暫存器的一功能為"清除"顯示，即，將所有的像素在一操作中全部關閉。即是，清除顯示之影像，而不將該顯示器所有的單獨像素定址。此動作的完成，使得該處理器只需要將在新影像上為"開"的該等像素寫入，因此相較於寫入所有像素，可降低功率消耗與處理器的負擔。

圖7示範有關寫入與讀取陣列200及一顯示控制暫存器705，及清除操作的控制流程的顯示功能方塊圖。該處理器(圖未示)將一字元寫入顯示控制暫存器705，其包括一位元專用於清除功能。在圖7所示之示範性具體實施例中，一字元具有16位元。

在操作中，處理器傳送位址、一讀取/寫入信號、一晶片選擇信號、及影像資料給該顯示器。對每一個接收之位址與資料字元，一縱行選擇線204(圖2)由一縱行區塊解碼器

五、發明說明 (20)

701 啟動，一字元線讀取 202(圖 2)或一字元線寫入 201(圖 2)由一字元線解碼器 702 啟動，而且適當之位元線 203(圖 2)由位元線寫入/讀取驅動器 703 選擇。如果要進行清除操作，顯示控制暫存器 705 可定址以由縱行區塊解碼器 701 與字元線解碼器 702 寫入，而該清除之資料位元則可應用於該位元線寫入/讀取驅動器 703，並儲存於顯示控制暫存器 705。然後啟動顯示控制暫存器 705 之一清除線輸出 704，將一清除信號應用至縱行區塊解碼器 701、字元線解碼器 702 與位元線讀取/寫入驅動器 703，其使一"零"同時寫入陣列 200 所有的像素中，將所有的 OLED 都關閉。

該顯示器係設計以由一微處理器之記憶體擴充匯流排來定址，該微處理器將影像資料以字元的形式傳送至顯示器，每一字元一次包含數個像素的資料，例如，一次 16 像素。資料也可以從該顯示器之 SRAM 儲存區讀出，例如在做測試時，也是一次一字元。為了實施此動作，字元選擇電路可嵌入該顯示器中，例如，每 16 像素水平群組一個電路。此需要像素電路與實際像素間連接的定期移位，以維持一均勻、或是固定之像素間距。

圖 8 為一 OLED 像素字元結構 205 的方塊圖，示範像素電路 400 與一字元選擇電路 300 對 OLED 像素各陽極間之實體關係。字元結構 205 係包含在陣列 200 一橫列上佈置之 16 像素電路 400 與一個字元選擇電路 300。16 個 OLED 陽極電極 105 疊在字元結構 205 上，每一陽極藉由一導體通道 802 連接至一對應像素電路 400 之金屬導體 801。通道 802 與導體 801 為

五、發明說明 (21)

像素電路400至陽極105之傳導路徑的一部分，即從圖6中之電阻器84至OLED 70。雖然在圖8中，為了清楚之故，陽極電極105與像素電路400彼此鄰接，然不言可喻，在此項技術中，其至少一部分彼此重疊。在圖8中的例子，該像素電路400之平均列向尺寸及陽極電極105的間距為34.3微米，而字元選擇電路300的列向間距為8微米。為了使該16像素電路400與一字元選擇電路300與該16陽極電極105佔據相同的水平空間，每像素電路400的列向尺寸可減低0.5微米，即與該陽極電極105相較，從34.3微米降低至33.8微米。較佳的方式是，通道802應該放在每個陽極電極105的中心，或至少放在每個陽極電極105相同的相對位置。為了達成此方式，每一像素電路400之導體801具有一足夠之列向範圍，以配合通道802之移動位置。其結果為該OLED陽極的間距在陣列上均勻，甚至在像素電路的間距(其與OLED陽極連接)不均勻時亦然。

總結來說，本發明之像素電路較先前技藝有許多的優點。例如，CMOS電路併入一主動矩陣OLED顯示器的每一像素中。該等電路展示電池操作之低功率消耗、合併一亮度均勻之恆定電流源，以及降低亮度與OLED特性間的從屬關係，並允許使用該OLED所需要操作電壓一較低電壓的電路技術。每像素合併一SRAM記憶體單元以控制其狀態，像素之開或關，因此不需要定期刷新。當需要減少該OLED隨著時間的損壞時，該電路也提供反向電壓的應用，提供亮度之工作係數控制，以及一電流限制電阻器以隔絕短路像素

五、發明說明 (22)

的效應。該顯示器由一微處理器之記憶體擴充匯流排用數個像素長度字元的形式來定址，並且該顯示資料可以使用相同的形式讀出。解碼該字元位址的電路嵌入包含該顯示之像素的陣列中。還有，提供以一操作清除該顯示影像，因此僅需要定址"開"啟的像素，即可顯示新的像素。

雖然已使用較佳具體實施例特別示範與說明本發明，然而對熟知此項技藝之人士而言，只要不背離本發明，在形式與細節上可稍做變化。因此，本發明的主要目的在於包含所有在專利申請範圍內之替代方法、修改與變化。

裝

訂

線

四、中文發明摘要(發明之名稱: 低功率有機發光二極體像素電路)

本發明有關一種像素電路，包含一有機發光二極體(OLED)，及一用來儲存代表該OLED操作狀態資料的靜態記憶體。在替代性具體實施例中，一像素電路包括一互補金屬氧化物半導體(CMOS)電路用來控制該OLED，一保護電路用來保護該CMOS電路不至於有過電壓的狀況，以及一場效電晶體(FET)電流源具有一大於該FET門限電壓之源極電壓的靜態閘極。

英文發明摘要(發明之名稱: LOW-POWER ORGANIC LIGHT EMITTING DIODE PIXEL CIRCUIT)

A pixel circuit comprises an organic light emitting diode (OLED), and a static memory for storing data that represents an operational state of the OLED. In alternative embodiments, a pixel circuit may include a complementary metal oxide semiconductor (CMOS) circuit for controlling the OLED, a protection circuit for protecting the CMOS circuit from an over-voltage condition, and a current source with a field effect transistor (FET) having a static gate to source voltage that is greater than a threshold voltage of the FET.

六、申請專利範圍

1. 一種像素電路，包含：
 - 一有機發光二極體(OLED)；及
 - 一靜態記憶體，用來儲存代表該OLED操作狀態的資料。
2. 如申請專利範圍第1項之像素電路，進一步包含一單位元線將一代表該資料之信號輸入至該靜態記憶體，以及從該靜態記憶體輸出一代表該資料之信號。
3. 如申請專利範圍第1項之像素電路，進一步包含：
 - 一第一輸入，使該資料能夠寫入該靜態記憶體；及
 - 一第二輸入，使該資料能夠從該靜態記憶體讀取。
4. 如申請專利範圍第1項之像素電路，其中該靜態記憶體包含：
 - 一第一組件，經由與其耦合的一資料信號，以提供一來源信號；
 - 一第二組件，具有一輸入用來接收來自該第一組件的該來源信號，並用來受驅動至一狀態，以產生代表該儲存資料的輸出；及
 - 一第三組件，具有一輸入耦合該第二組件的該輸出，及一輸出耦合該第二組件的該輸入，以用來提供一鎖定信號，以在移除該來源信號之後維持該第二組件的該狀態。
5. 如申請專利範圍第4項之像素電路，其中該第一組件提供一第一驅動電流，及其中該第三組件提供一低於該第一驅動電流的第二驅動電流。

六、申請專利範圍

6. 如申請專利範圍第1項之像素電路，其中該像素電路包含佈置於一基板上的一材料，其中該材料從結晶矽、非結晶矽、多晶矽、微結晶矽、一有機材料與一多分子材料所組合的群組中選出，及其中該基板從包含矽、玻璃、塑膠、陶瓷及藍寶石(Al_2O_3)的群組中選出。
7. 一種像素電路，包含：
 - 一有機發光二極體(OLED)；
 - 一互補金屬氧化物半導體(CMOS)電路用來控制該OLED；及
 - 一保護電路，用來保護該CMOS電路免於過電壓的損害。
8. 如申請專利範圍第7項之像素電路，其中該CMOS電路包含：
 - 一電流源；及
 - 一串疊裝置在該CMOS電路的輸出級中。
9. 如申請專利範圍第8項之像素電路，其中該串疊裝置具有一浮動井。
10. 如申請專利範圍第7項之像素電路，其中該保護電路，將經由該CMOS電路之電流限制至一預先決定的值。
11. 如申請專利範圍第7項之像素電路，其中該保護電路，將跨過該CMOS電路之電壓限制至一預先決定的值。
12. 如申請專利範圍第7項之像素電路，進一步包含一電流限制電阻器與該OLED串聯。
13. 如申請專利範圍第12項之像素電路，其中該電阻器包含

六、申請專利範圍

薄膜。

14. 如申請專利範圍第12項之像素電路，其中該電阻器包含未摻雜的多晶矽。
15. 如申請專利範圍第7項之像素電路，其中該CMOS電路包含一電路，用來反向偏壓該OLED，以移除從該OLED所限制之電荷。
16. 如申請專利範圍第15項之像素電路，其中用於反向偏壓該OLED之該電路包含：
 - 一 n-型金屬氧化物半導體(NMOS)電晶體與該OLED串聯；及
 - 一 p-型金屬氧化物半導體(PMOS)電晶體與該NMOS電晶體串聯，其中該NMOS電晶體與該PMOS電晶體提供一反向偏壓電流路徑從該OLED之一陽極至接地。
17. 如申請專利範圍第7項之像素電路，其中該CMOS電路包含一工作係數電路用來控制經過該OLED之一平均電流。
18. 如申請專利範圍第17項之像素電路，其中該工作係數電路允許反向偏壓該OLED，以從該OLED移除受限電荷。
19. 如申請專利範圍第7項之像素電路，其中該CMOS電路包含一場效電晶體(FET)電流源。
20. 如申請專利範圍第19項之像素電路，其中該FET具有一大於該FET門限電壓之靜態開極至源極電壓。
21. 申請專利範圍第19項之像素電路，其中該FET具有一通道長度大於該FET之一通道寬度。

六、申請專利範圍

22. 如申請專利範圍第7項之像素電路，其中該CMOS電路包含：
- 一第一輸入，用來設定該像素之一最大亮度；及
 - 一第二輸入，用來控制該像素之一工作係數，以設定該像素一亮度小於該最大亮度。
23. 如申請專利範圍第7項之像素電路，其中該像素電路包含佈置於一基板上的一材料，其中該材料從結晶矽、非結晶矽、多晶矽、微結晶矽、一有機材料與一多分子材料所組成的群組中選出，其中該基板從包含矽、玻璃、塑膠、陶瓷及藍寶石(Al_2O_3)的群組中選出。
24. 如申請專利範圍第7項之像素電路，其中該保護電路能夠提供該OLED一前向偏壓電流路徑以照明該OLED。
25. 一種像素電路，包含：
- 一有機發光二極體(OLED)；及
 - 一互補金屬氧化物半導體(CMOS)電路用來控制該OLED，其中該CMOS電路包含一含有一場效電晶體(FET)之電流源，該FET具有一靜態閘極至源極電壓大於該FET之門限電壓。
26. 如申請專利範圍第25項之像素電路，其中該FET具有一通道長度大於該FET之一通道寬度。
27. 一種包含一像素電路陣列之顯示器，其中該每一像素電路包含：
- 一有機發光二極體(OLED)；及
 - 一靜態記憶體，用來儲存代表該OLED操作狀態的資

六、申請專利範圍

料。

28. 如申請專利範圍第27項之顯示器，其中每一該OLED包含一電極，其中該等OLED以一在該陣列中為均勻之間距彼此分開，且其中該等像素電路以一在該陣列中為不均勻之間距彼此分開。
29. 如申請專利範圍第27項之顯示器，進一步包含一電路用來將所有該等OLED同時設定至一均勻操作狀態。
30. 如申請專利範圍第29項之顯示器，其中該等OLED之該均勻操作狀態為"關"，且其中該顯示器由一隨後設定該等OLED選擇之單獨個體為"開"之處理器控制。
31. 如申請專利範圍第29項之顯示器，其中該電路係藉由一處理器經由一記憶體匯流排來定址。
32. 如申請專利範圍第27項之顯示器，其中每一該像素電路係藉由一處理器經由一記憶體匯流排來定址。
33. 如申請專利範圍第27項之顯示器，其中該陣列為一電子錶的一組件。

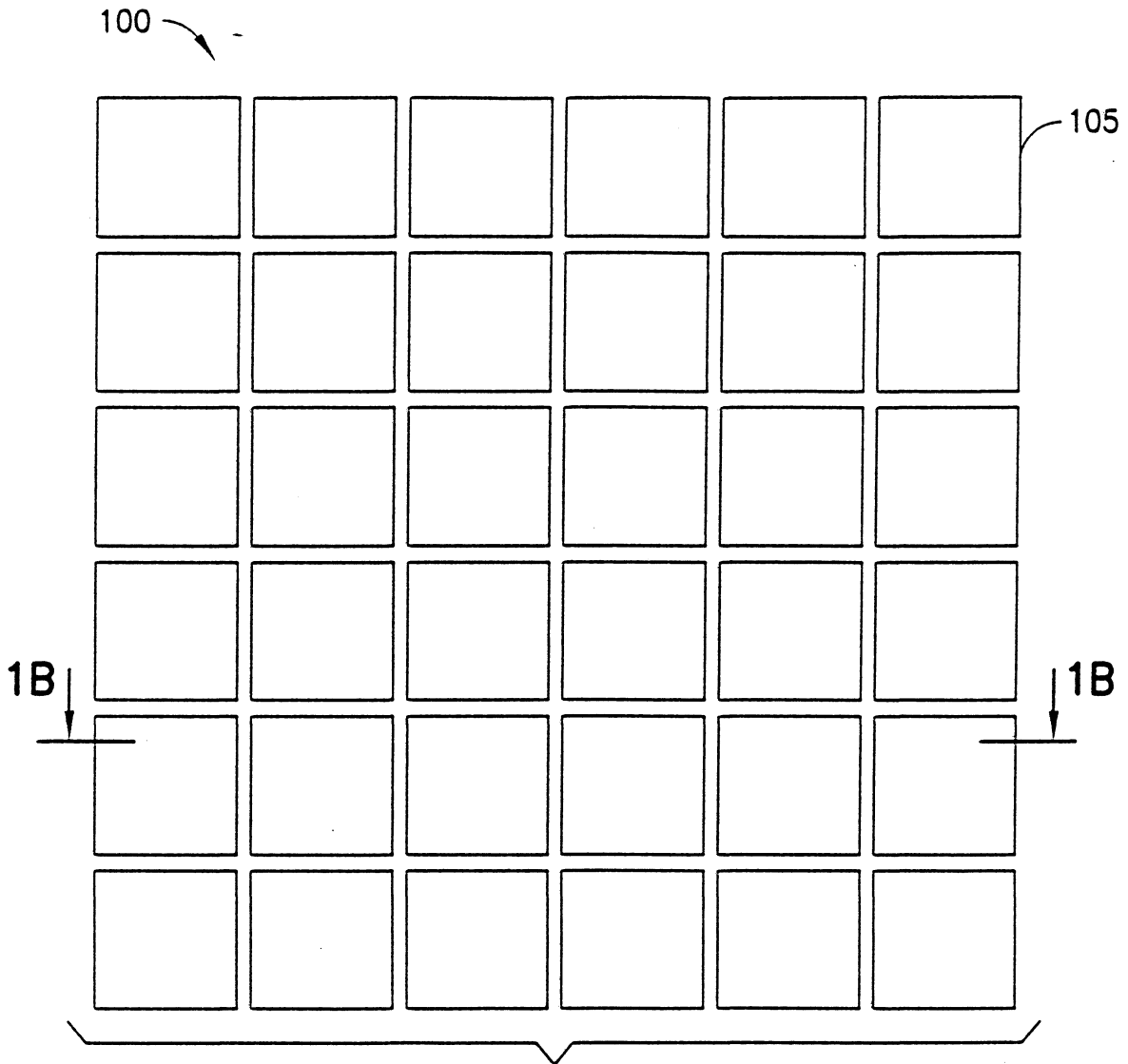


圖 1A

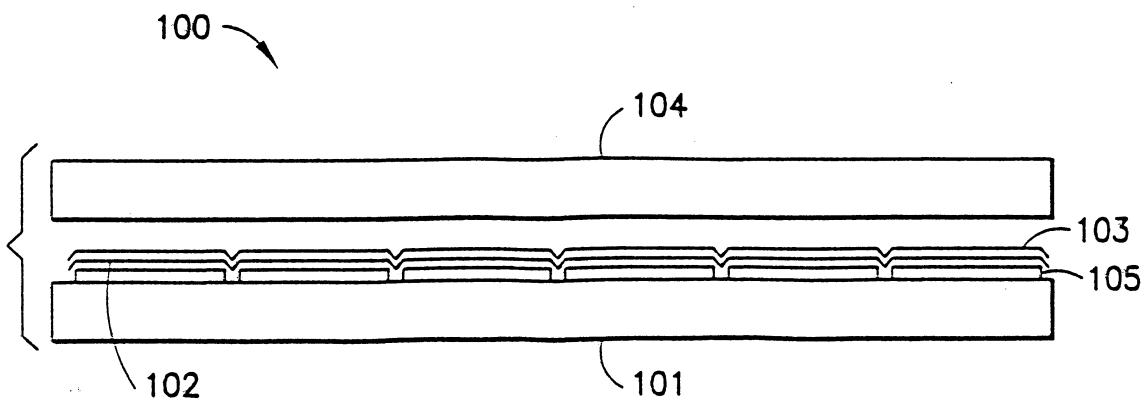


圖 1B

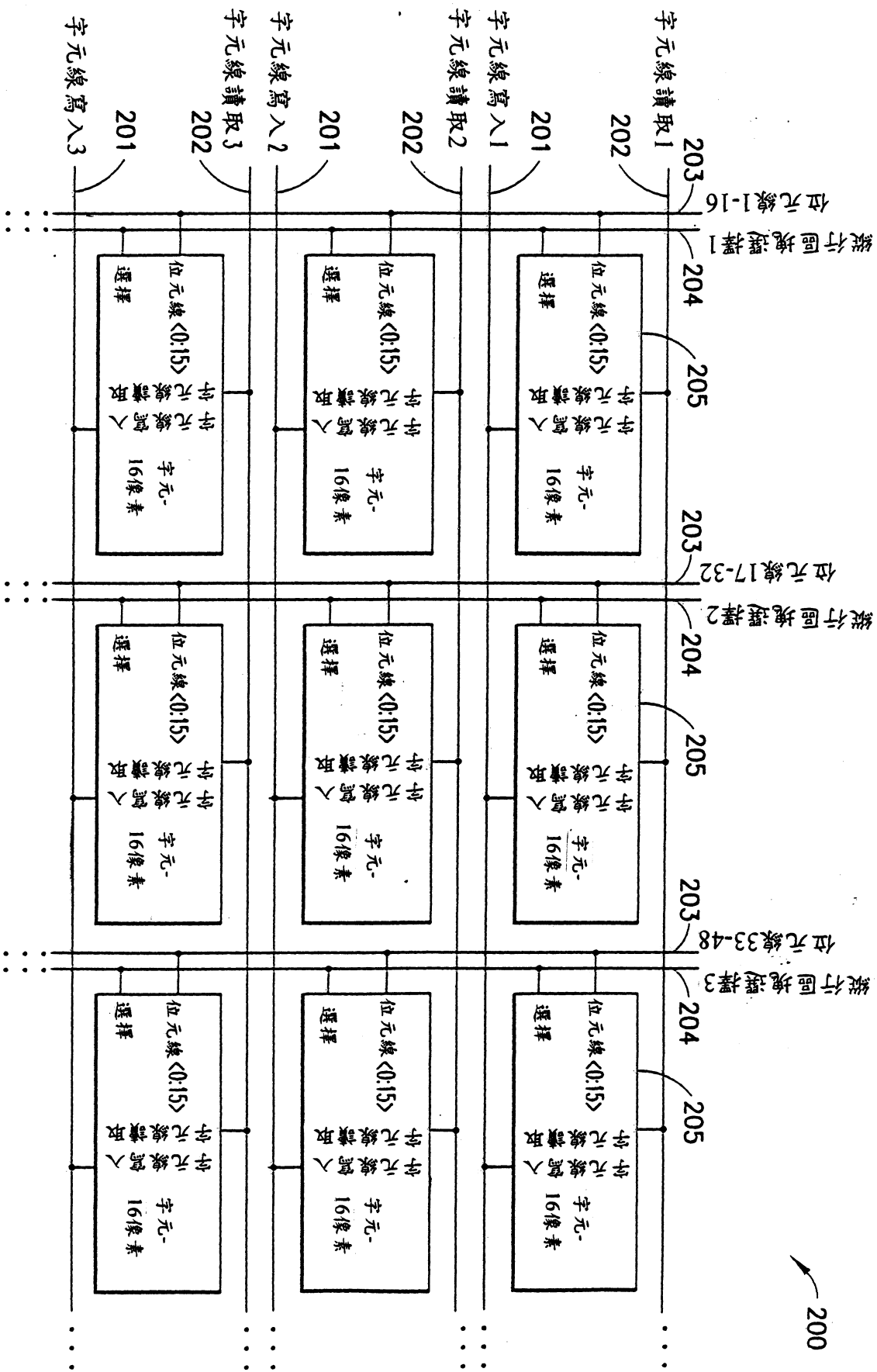


圖 2

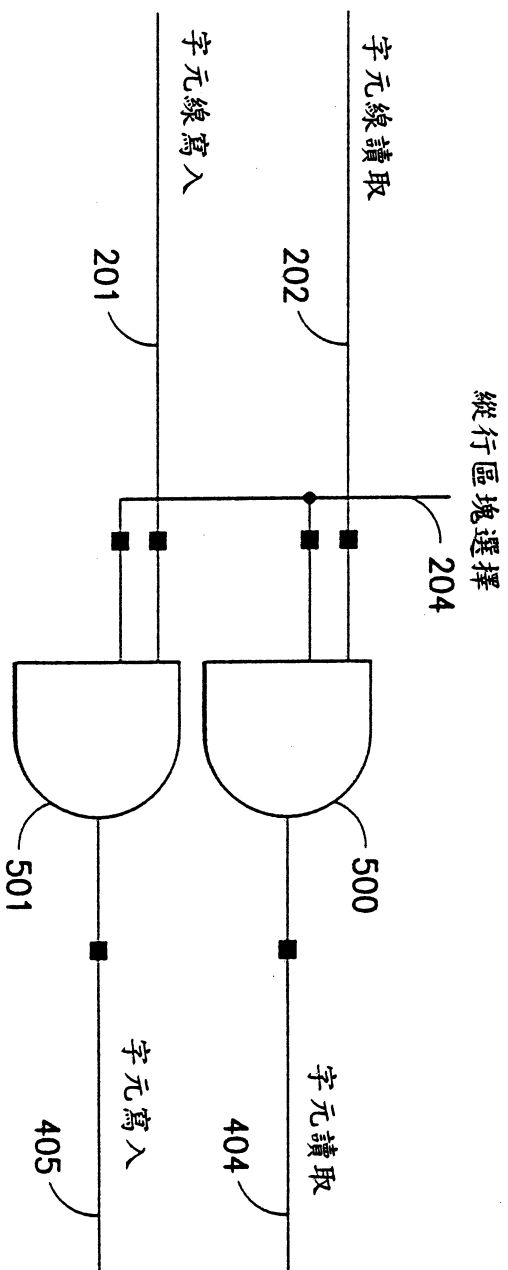


圖 4

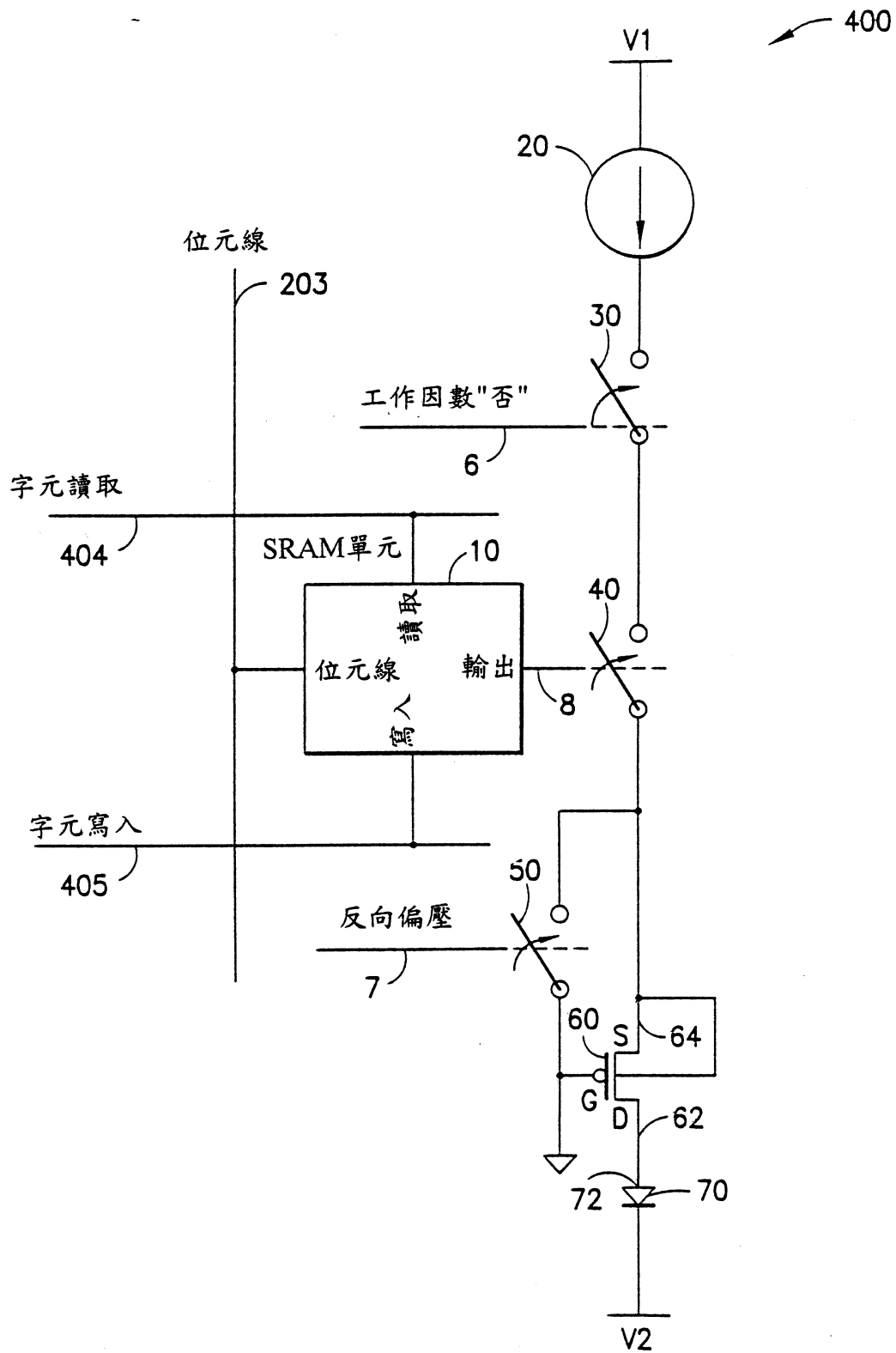


圖 5

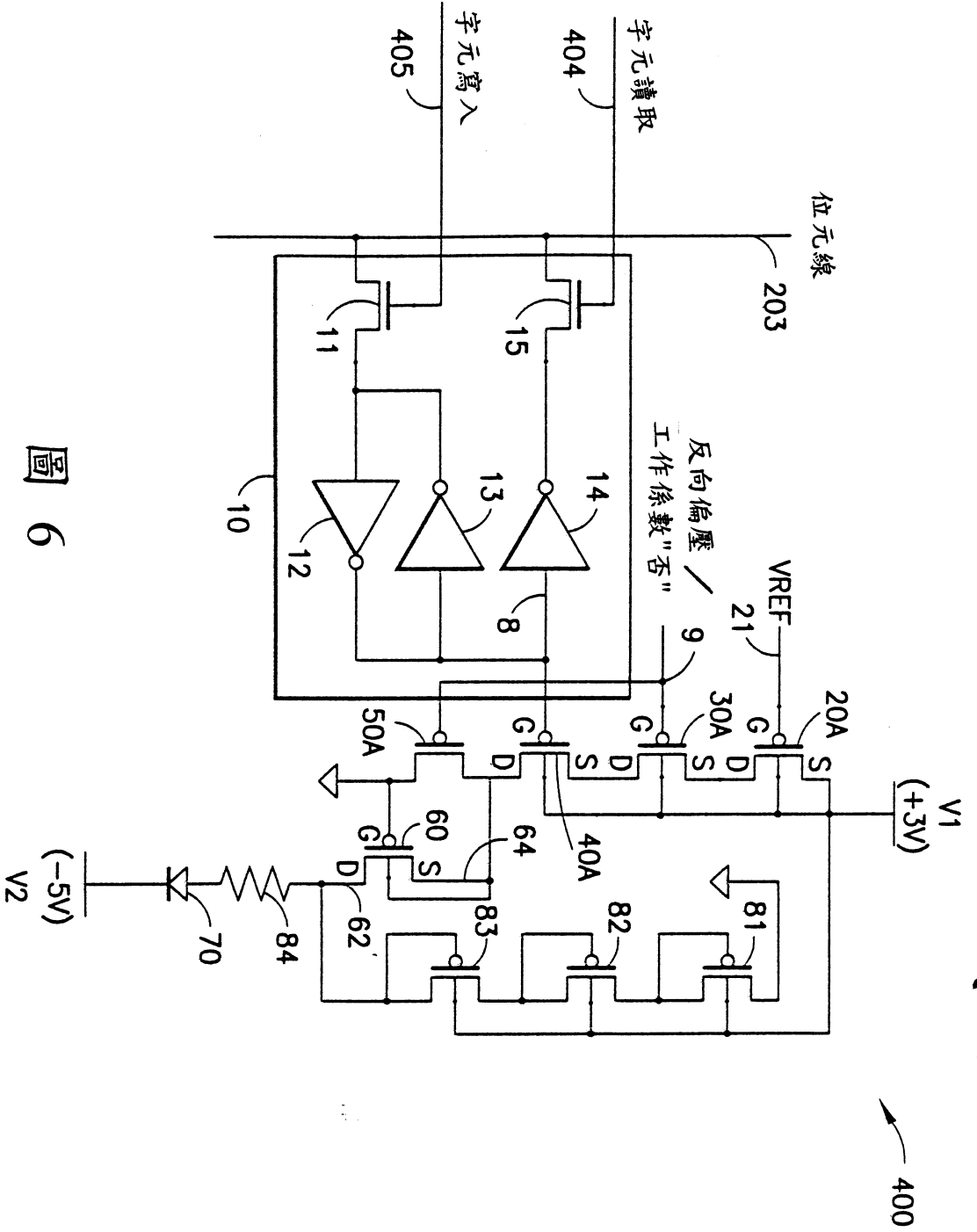


圖 6

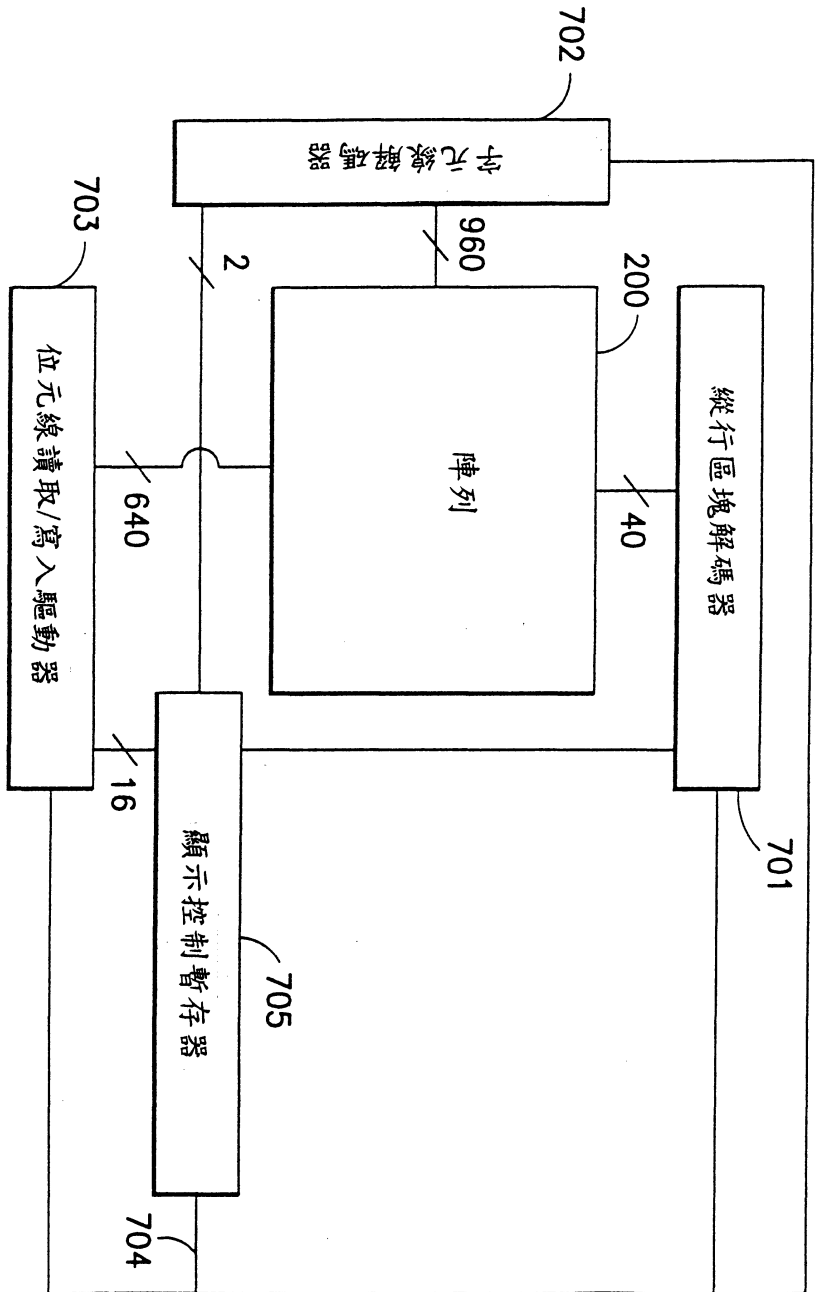


圖 7

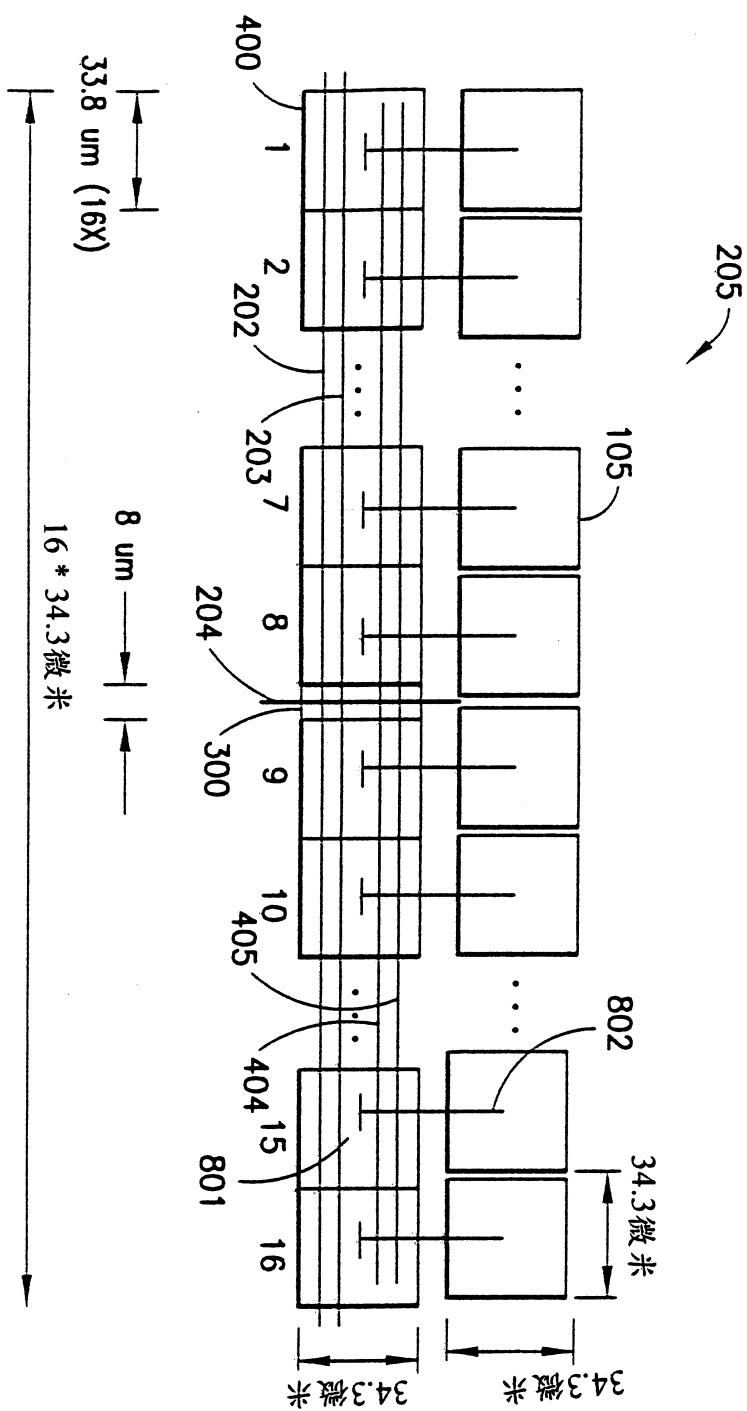


圖 8