(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6053005号
(P6053005)

(45)発行日　平成28年12月27日(2016.12.27)　(24)登録日　平成28年12月9日(2016.12.9)

(51)Int.Cl.		F I		
H01L 29/786	(2006.01)	H01L	29/78	616S
H01L 21/8242	(2006.01)	H01L	29/78	618B
H01L 27/108	(2006.01)	H01L	29/78	616T
H01L 21/8247	(2006.01)	H01L	29/78	617K
H01L 27/115	(2006.01)	H01L	27/10	321

請求項の数 6　(全 30 頁)　最終頁に続く

(21)出願番号　特願2013-61276(P2013-61276)
(22)出願日　平成25年3月25日(2013.3.25)
(65)公開番号　特開2013-236061(P2013-236061A)
(43)公開日　平成25年11月21日(2013.11.21)
審査請求日　平成27年12月18日(2015.12.18)
(31)優先権主張番号　特願2012-75612(P2012-75612)
(32)優先日　平成24年3月29日(2012.3.29)
(33)優先権主張国　日本国(JP)
(31)優先権主張番号　特願2012-90711(P2012-90711)
(32)優先日　平成24年4月12日(2012.4.12)
(33)優先権主張国　日本国(JP)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　手塚　祐朗
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　市川　武宜

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項１】
第１の導電層と、
第２の導電層と、
第３の導電層と、
チャネル形成領域を含む酸化物半導体層と、を有し、
前記第１の導電層は、
前記酸化物半導体層と重畳し、
前記第１の導電層は、
第１の膜厚を備えた第１の部分と、
前記第１の膜厚よりも膜厚の大きな第２の部分と、を有し、
前記第２の導電層は、
前記酸化物半導体層と重畳し、
前記第２の導電層は、
第３の膜厚を備えた第３の部分と、
前記第３の膜厚よりも膜厚の大きな第４の部分と、を有し、
前記第３の導電層は、
前記酸化物半導体層と重畳し、
前記第３の導電層は、
第５の膜厚を備えた第５の部分と、

前記第５の膜厚よりも膜厚の大きな第６の部分と、を有し、
前記酸化物半導体層は、
前記第１の部分と重畳する領域、前記第３の部分と重畳する領域、及び前記第５の部分と重畳する領域における低抵抗化元素の濃度は、それぞれ、前記チャネル形成領域における前記低抵抗化元素の濃度よりも高いことを特徴とする半導体装置。
【請求項２】
請求項１において、
前記第１の導電層がトランジスタのソースとして機能し、
前記第２の導電層が前記トランジスタのドレインとして機能し、
前記第３の導電層が前記トランジスタのゲートとして機能することを特徴とする半導体装置。
【請求項３】
請求項１又は請求項２において、
前記第１の導電層及び前記第２の導電層は、それぞれ、平坦な上面を有することを特徴とする半導体装置。
【請求項４】
請求項１乃至請求項３のいずれか一において、
前記第５の部分は、前記第１の部分又は前記第３の部分と重畳することを特徴とする半導体装置。
【請求項５】
請求項１乃至請求項４のいずれか一において、
前記第１の導電層が、第１の層及び第２の層を有し、
前記第１の層は、前記第１の部分に存在し、
前記第２の層は、前記第１の部分に存在せず、
前記第２の導電層が、第３の層及び第４の層を有し、
前記第３の層は、前記第３の部分に存在し、
前記第４の層は、前記第３の部分に存在せず、
前記第３の導電層が、第５の層及び第６の層を有し、
前記第５の層は、前記第５の部分に存在し、
前記第６の層は、前記第５の部分に存在しないことを特徴とする半導体装置。
【請求項６】
請求項１乃至請求項５のいずれか一において、
前記低抵抗化元素が、炭素（Ｃ）、リン（Ｐ）、砒素（Ａｓ）、アンチモン（Ｓｂ）、ホウ素（Ｂ）、アルミニウム（Ａｌ）、窒素（Ｎ）、アルゴン（Ａｒ）、ヘリウム（Ｈｅ）、ネオン（Ｎｅ）、インジウム（Ｉｎ）、フッ素（Ｆ）、塩素（Ｃｌ）、チタン（Ｔｉ）、及び亜鉛（Ｚｎ）の少なくとも一であることを特徴とする半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明はトランジスタ及びその作製方法に関する。特に、チャネルが酸化物半導体層に形成されるトランジスタ及びその作製方法に関する。また、当該トランジスタを用いて構成される半導体装置及びその作製方法に関する。
【０００２】
なお、本明細書において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指すこととする。例えば、電気光学装置、半導体回路および電子機器は、半導体装置である。
【背景技術】
【０００３】
絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が知られている。該トランジスタは、集積回路（ＩＣ）や画像表示装置（表示装置）のよ

うな電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【０００４】

例えば、トランジスタの活性層として、インジウム（Ｉｎ）、ガリウム（Ｇａ）、及び亜鉛（Ｚｎ）を含む非晶質酸化物を用いたトランジスタが開示されている（特許文献１参照）。

【先行技術文献】

【特許文献】

【０００５】

【特許文献１】特開２００６－１６５５２８号公報

【発明の概要】

【発明が解決しようとする課題】

【０００６】

本発明の一態様は、チャネルが酸化物半導体層に形成されるトランジスタのオン電流を増加させることを目的の一とする。

【課題を解決するための手段】

【０００７】

本発明の一態様は、ソース若しくはドレインの一部又はゲートの一部と重畳する領域に存在する酸化物半導体層に低抵抗化元素が導入されたトランジスタを提供する。例えば、ソース若しくはドレイン又はゲートとして機能する導電層の一部の領域（酸化物半導体層と重畳する領域の少なくとも一部）の膜厚を他の領域に存在する当該導電層の膜厚よりも小さくする。そして、酸化物半導体層に対する低抵抗化元素のドーピング処理を一部が薄膜化された導電層を介して行う。これにより、ソース若しくはドレインの一部又はゲートの一部と重畳する領域において低抵抗化元素が導入された酸化物半導体層を得ることが可能となる。

【発明の効果】

【０００８】

本発明の一態様のトランジスタにおいては、ソース又はドレインと重畳する領域における酸化物半導体層に低抵抗化元素が導入されている。これにより、ソース及びドレインと、酸化物半導体層との接触抵抗を低減することが可能となる。その結果、当該トランジスタにおけるオン電流の増加を図ることが可能となる。

【図面の簡単な説明】

【０００９】

【図１】本発明の一態様のトランジスタの（Ａ）平面図、（Ｂ）、（Ｃ）断面図。

【図２】（Ａ）～（Ｅ）本発明の一態様のトランジスタの作製工程の各段階の断面図。

【図３】本発明の一態様のトランジスタの（Ａ）平面図、（Ｂ）、（Ｃ）断面図。

【図４】（Ａ）～（Ｅ）本発明の一態様のトランジスタの作製工程の各段階の断面図。

【図５】（Ａ）～（Ｅ）本発明の一態様のトランジスタの作製工程の各段階の断面図。

【図６】記憶素子の構成例を示す（Ａ）断面図、（Ｂ）平面図、（Ｃ）回路図。

【図７】記憶素子の構成例を示す断面図。

【図８】（Ａ）～（Ｃ）ＣＰＵの構成例を示す図。

【図９】（Ａ）、（Ｂ）電子機器の一例を示す図。

【図１０】本発明の一態様のトランジスタの（Ａ）平面図、（Ｂ）、（Ｃ）断面図。

【図１１】（Ａ）～（Ｅ）本発明の一態様のトランジスタの作製工程の各段階の断面図。

【図１２】（Ａ）～（Ｄ）本発明の一態様のトランジスタの作製工程の各段階の断面図。

【図１３】本発明の一態様のトランジスタの（Ａ）平面図、（Ｂ）、（Ｃ）断面図。

【図１４】本発明の一態様のトランジスタの（Ａ）平面図、（Ｂ）、（Ｃ）断面図。

【発明を実施するための形態】

【００１０】

以下では、本発明の一態様について詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態を様々に変更し得る。したがって、本発明は以下に示す記載内容に限定して解釈されるものではない。

【００１１】

＜１．実施の形態１＞

本実施の形態では、本発明の一態様に係るトランジスタ及びその作製方法について図１～図５を参照して説明する。

【００１２】

＜１－１．トランジスタの構造例＞

図１（Ａ）～（Ｃ）は、トランジスタの構造例を示す図である。具体的には、図１（Ａ）は当該トランジスタの平面図であり、図１（Ｂ）は図１（Ａ）に示すＡ－Ｂ線における断面図であり、図１（Ｃ）は図１（Ａ）に示すＣ－Ｄ線における断面図である。

【００１３】

図１（Ａ）～（Ｃ）に示すトランジスタは、基板１００上に設けられている酸化物半導体層１０と、酸化物半導体層１０上に設けられている導電層１１及び導電層１２と、酸化物半導体層１０並びに導電層１１及び導電層１２上に設けられている絶縁層１３と、絶縁層１３上に設けられている導電層１４とを有する。なお、図１（Ａ）～（Ｃ）に示すトランジスタは、導電層１１及び導電層１２がソース及びドレインとして機能し、絶縁層１３がゲート絶縁層として機能し、導電層１４がゲートとして機能するトランジスタである。

【００１４】

さらに、導電層１４は、酸化物半導体層１０と重畳し、且つ導電層１１及び導電層１２と重畳しない領域に設けられている。

【００１５】

また、導電層１１及び導電層１２には、膜厚が異なる複数の部分が存在する。具体的には、酸化物半導体層１０と重畳する領域に存在する導電層１１の端部１１ａの膜厚が、その他の領域に存在する導電層１１の膜厚より小さく、且つ導電層１２の端部１２ａの膜厚が、その他の領域に存在する導電層１２の膜厚よりも小さい。

【００１６】

また、酸化物半導体層１０には、低抵抗化元素の濃度が異なる複数の領域が存在する。具体的には、導電層１１、導電層１２、及び導電層１４と重畳しない領域１０ａにおける低抵抗化元素の濃度が、導電層１１の端部１１ａ及び導電層１２の端部１２ａと重畳する領域１０ｂにおける低抵抗化元素の濃度よりも高い。加えて、領域１０ｂにおける低抵抗化元素の濃度が、導電層１４と重畳する領域、並びに導電層１１（端部１１ａを除く）及び導電層１２（端部１２ａを除く）と重畳する領域における低抵抗化元素の濃度よりも高い。

【００１７】

なお、本明細書において、低抵抗化元素とは、酸化物半導体層に導入されることで該酸化物半導体層の抵抗値を低減させる元素の全てを指す。例えば、低抵抗化元素としては、炭素（Ｃ）、リン（Ｐ）、砒素（Ａｓ）、アンチモン（Ｓｂ）、ホウ素（Ｂ）、アルミニウム（Ａｌ）、窒素（Ｎ）、アルゴン（Ａｒ）、ヘリウム（Ｈｅ）、ネオン（Ｎｅ）、インジウム（Ｉｎ）、フッ素（Ｆ）、塩素（Ｃｌ）、チタン（Ｔｉ）、及び亜鉛（Ｚｎ）などが挙げられる。

【００１８】

図１（Ａ）～（Ｃ）に示すトランジスタにおいては、酸化物半導体層１０の領域１０ｂにおける低抵抗化元素の濃度が、導電層１１（端部１１ａを除く）及び導電層１２（端部１２ａを除く）と重畳する領域の酸化物半導体層１０における低抵抗化元素の濃度よりも高い。これにより、導電層１１及び導電層１２と、酸化物半導体層１０との接触抵抗を低減することが可能となる。その結果、当該トランジスタにおけるオン電流の増加を図ることが可能となる。

【００１９】

なお、図１（Ａ）～（Ｃ）に示すトランジスタにおいては、端部１１ａ及び端部１２ａにおけるテーパ角を３０°以上６０°以下とすることが好ましい。絶縁層１３による端部１１ａ及び端部１２ａの被覆性を向上させることで、当該トランジスタの接続不良を防止するためである。ここで、テーパ角とは、テーパ形状を有する層の側面と、当該層の底面との間の角度を指す。

【００２０】

＜１－１－１．酸化物半導体層１０の具体例＞

＜（１）材料について＞

酸化物半導体層１０として、少なくともインジウムを含む膜を適用することができる。特に、インジウムと亜鉛を含む膜を適用することが好ましい。また、トランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウムを有する膜を適用することが好ましい。

【００２１】

また、酸化物半導体層１０として、スズ、ハフニウム、アルミニウム、若しくはジルコニウム、又はランタノイドである、ランタン、セリウム、プラセオジム、ネオジム、サマリウム、ユウロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、若しくはルテチウムのいずれか一種又は複数種をスタビライザーとして含む膜を適用することもできる。

【００２２】

例えば、酸化物半導体層１０として、酸化インジウム膜、二元系金属の酸化物であるＩｎ－Ｚｎ系酸化物膜、Ｉｎ－Ｍｇ系酸化物膜、Ｉｎ－Ｇａ系酸化物膜、三元系金属の酸化物であるＩｎ－Ｇａ－Ｚｎ系酸化物膜、Ｉｎ－Ａｌ－Ｚｎ系酸化物膜、Ｉｎ－Ｓｎ－Ｚｎ系酸化物膜、Ｉｎ－Ｈｆ－Ｚｎ系酸化物膜、Ｉｎ－Ｌａ－Ｚｎ系酸化物膜、Ｉｎ－Ｃｅ－Ｚｎ系酸化物膜、Ｉｎ－Ｐｒ－Ｚｎ系酸化物膜、Ｉｎ－Ｎｄ－Ｚｎ系酸化物膜、Ｉｎ－Ｓｍ－Ｚｎ系酸化物膜、Ｉｎ－Ｅｕ－Ｚｎ系酸化物膜、Ｉｎ－Ｇｄ－Ｚｎ系酸化物膜、Ｉｎ－Ｔｂ－Ｚｎ系酸化物膜、Ｉｎ－Ｄｙ－Ｚｎ系酸化物膜、Ｉｎ－Ｈｏ－Ｚｎ系酸化物膜、Ｉｎ－Ｅｒ－Ｚｎ系酸化物膜、Ｉｎ－Ｔｍ－Ｚｎ系酸化物膜、Ｉｎ－Ｙｂ－Ｚｎ系酸化物膜、Ｉｎ－Ｌｕ－Ｚｎ系酸化物膜、四元系金属の酸化物であるＩｎ－Ｓｎ－Ｇａ－Ｚｎ系酸化物膜、Ｉｎ－Ｈｆ－Ｇａ－Ｚｎ系酸化物膜、Ｉｎ－Ａｌ－Ｇａ－Ｚｎ系酸化物膜、Ｉｎ－Ｓｎ－Ａｌ－Ｚｎ系酸化物膜、Ｉｎ－Ｓｎ－Ｈｆ－Ｚｎ系酸化物膜、Ｉｎ－Ｈｆ－Ａｌ－Ｚｎ系酸化物膜を適用することができる。

【００２３】

ここで、例えば、Ｉｎ－Ｇａ－Ｚｎ系酸化物とは、ＩｎとＧａとＺｎを主成分として有する酸化物という意味であり、ＩｎとＧａとＺｎの比率は問わない。また、ＩｎとＧａとＺｎ以外の金属元素が入っていてもよい。

【００２４】

なお、酸化物半導体層１０を構成する酸素の一部は窒素で置換されてもよい。

【００２５】

＜（２）結晶構造について＞

酸化物半導体層１０として、単結晶、多結晶（ポリクリスタルともいう）又は非晶質などの結晶構造を有する膜を適用することができる。また、酸化物半導体層１０として、ＣＡＡＣ－ＯＳ（Ｃ Ａｘｉｓ Ａｌｉｇｎｅｄ Ｃｒｙｓｔａｌｌｉｎｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）膜を適用することができる。以下、ＣＡＡＣ－ＯＳ膜について詳述する。

【００２６】

ＣＡＡＣ－ＯＳ膜に含まれる結晶は、一辺が１００ｎｍ未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（ＴＥＭ：Ｔｒａｎｓｍｉｓｓｉｏｎ Ｅｌｅｃｔｒｏｎ Ｍｉｃｒｏｓｃｏｐｅ）による観察像では、ＣＡＡＣ－ＯＳ膜に含まれる結晶の境界は明確ではない。また、ＴＥＭによってＣＡＡＣ－ＯＳ膜には粒界は確認できない。そのため、ＣＡＡＣ－ＯＳ膜は、粒界に起因する電子移動度の低下が抑制される。

【００２７】
ＣＡＡＣ－ＯＳ膜に含まれる結晶は、ｃ軸がＣＡＡＣ－ＯＳ膜の被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃い、かつａｂ面に垂直な方向から見て三角形状又は六角形状の原子配列を有し、ｃ軸に垂直な方向から見て金属原子が層状又は金属原子と酸素原子とが層状に配列している。なお、異なる結晶間で、それぞれａ軸およびｂ軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、８５°以上９５°以下の範囲も含まれることとする。また、単に平行と記載する場合、－５°以上５°以下の範囲も含まれることとする。
【００２８】
なお、ＣＡＡＣ－ＯＳ膜において、膜厚方向における結晶の分布が一様でないことがある。例えば、ＣＡＡＣ－ＯＳ膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶の占める割合が高くなることがある。
【００２９】
ＣＡＡＣ－ＯＳ膜に含まれる結晶のｃ軸は、ＣＡＡＣ－ＯＳ膜の被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃うため、ＣＡＡＣ－ＯＳ膜の形状（被形成面の断面形状又は表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶領域のｃ軸の方向は、ＣＡＡＣ－ＯＳ膜が形成されたときの被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向となる。結晶は、成膜することにより、又は成膜後に熱処理などの結晶化処理を行うことにより形成される。
【００３０】
ＣＡＡＣ－ＯＳ膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。
【００３１】
＜（３）層構造について＞
酸化物半導体層１０として、単一層からなる酸化物半導体膜のみならず複数種の酸化物半導体膜の積層を適用することができる。例えば、非晶質酸化物半導体膜、多結晶酸化物半導体膜、及びＣＡＡＣ－ＯＳ膜の少なくとも２種を含む層を酸化物半導体層１０として適用することができる。
【００３２】
また、組成の異なる酸化物半導体膜の積層からなる層を酸化物半導体層１０として適用することもできる。具体的には、絶縁層１３と接する面を含む第１の酸化物半導体膜（以下、上層ともいう）と、当該面の裏面を含み、且つ第１の酸化物半導体膜と組成が異なる第２の酸化物半導体膜（以下、下層ともいう）とを含む層を酸化物半導体層１０として適用することもできる。なお、この場合、上層にチャネルが形成される領域の多くが含まれることになる。上層は、下層よりもゲートとして機能する導電層１４に近接するからである。
【００３３】
ここで、上層及び下層が共にインジウム、ガリウム、及び亜鉛を含んで構成される場合には、上層におけるインジウム濃度を下層におけるインジウム濃度よりも高くし、且つ下層におけるガリウム濃度を上層におけるガリウム濃度よりも高くすること、又は／及び、上層におけるインジウム濃度を上層におけるガリウム濃度よりも高くし、且つ下層におけるガリウム濃度を下層におけるインジウム濃度よりも高くすることが好ましい。
【００３４】
これにより、酸化物半導体層１０を有するトランジスタの移動度の向上及び寄生チャネルの形成の抑制を図ることが可能となる。具体的には、上層のインジウム濃度を高くすることによって当該トランジスタの移動度の向上を図ることが可能である。これは、酸化物半導体では主として重金属のｓ軌道がキャリア伝導に寄与しており、Ｉｎの含有率を高くすることでｓ軌道のオーバーラップが多くなることに起因する。また、下層のガリウム濃度を高くすることによって酸素の脱離を抑制し、下層における寄生チャネルの形成を抑制

することが可能である。これは、ＧａがＩｎと比較して酸素欠損の形成エネルギーが大きく、酸素欠損が生じにくいことに起因する。

【００３５】

＜１－１－２．導電層１１及び導電層１２の具体例＞

導電層１１及び導電層１２として、アルミニウム、銅、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、これらの元素を成分とする合金、又はこれらの元素を含む窒化物からなる膜を適用することができる。また、これらの膜の積層を適用することもできる。

【００３６】

＜１－１－３．絶縁層１３の具体例＞

絶縁層１３として、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、又は酸化ガリウム膜などの無機絶縁材料膜を適用することができる。また、これらの材料の積層を適用することもできる。なお、酸化アルミニウム膜は、水素などの不純物、及び酸素の両方に対して膜を透過させない遮断（ブロッキング）効果が高い。よって、絶縁層１３として酸化アルミニウム膜を含む層を適用することで、酸化物半導体層１０からの酸素の脱離を防止するとともに、酸化物半導体層１０への水素などの不純物の混入を防止することができる。

【００３７】

また、絶縁層１３として、酸化ハフニウム膜、酸化イットリウム膜、ハフニウムシリケート（$HfSi_xO_y$（ｘ＞０、ｙ＞０））膜、窒素が添加されたハフニウムシリケート膜、ハフニウムアルミネート（$HfAl_xO_y$（ｘ＞０、ｙ＞０））膜、又は酸化ランタン膜など（いわゆるｈｉｇｈ－ｋ材料からなる膜）を含む膜を適用することもできる。このような膜を用いることでゲートリーク電流の低減が可能である。

【００３８】

＜１－１－４．導電層１４の具体例＞

導電層１４として、アルミニウム、銅、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素又はこれらの元素を成分とする合金からなる膜を適用することができる。また、導電層１４として、窒素を含む金属酸化物、具体的には、窒素を含むＩｎ－Ｇａ－Ｚｎ－Ｏ膜、窒素を含むＩｎ－Ｓｎ－Ｏ膜、窒素を含むＩｎ－Ｇａ－Ｏ膜、窒素を含むＩｎ－Ｚｎ－Ｏ膜、窒素を含むＳｎ－Ｏ膜、窒素を含むＩｎ－Ｏ膜、又は金属窒化膜（ＩｎＮ、ＳｎＮなど）を適用することもできる。これらの窒化膜は５ｅＶ以上（電子ボルト）、好ましくは５．５ｅＶ（電子ボルト）以上の仕事関数を有し、ゲートとして用いた場合、トランジスタのしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。また、これらの膜の積層を適用することもできる。

【００３９】

＜１－２．トランジスタの作製工程例＞

図２（Ａ）～（Ｅ）は、図１（Ａ）～（Ｃ）に示すトランジスタの作製工程の各段階における断面図である。なお、図２（Ａ）～（Ｅ）では、図１（Ａ）に示すＡ－Ｂ線における断面図を示す。

【００４０】

＜１－２－１．酸化物半導体層１０の形成＞

まず、基板１００上に、酸化物半導体層を成膜し、当該酸化物半導体層を加工して、酸化物半導体層１０を形成する。

【００４１】

なお、基板１００に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などの基板を用いることができる。また、絶縁表面を有していれば、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、ＳＯＩ基板などを適用すること

も可能であり、これらの基板上に半導体素子が設けられていてもよい。また、基板１００上に下地膜が設けられていても良い。

【００４２】

酸化物半導体層の成膜方法としては、水素、水、水酸基又は水素化物などが酸化物半導体層中に混入され難い方法を適用することが好ましい。例えば、当該成膜方法として、スパッタリング法などを適用することができる。

【００４３】

スパッタリング法によって酸化物半導体層を成膜する場合、成膜の雰囲気は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または、希ガスと酸素の混合雰囲気下などとすればよい。また、酸化物半導体層への水素、水、水酸基、水素化物などの混入を防ぐために、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを用いた雰囲気とすることが望ましい。

【００４４】

例えば、酸化物半導体層は、以下の工程によって成膜することができる。

【００４５】

まず、減圧状態に保持された成膜室内に基板を保持し、基板温度が、２００℃を超えて５００℃以下、好ましくは３００℃を超えて５００℃以下、より好ましくは３５０℃以上４５０℃以下となるように加熱する。

【００４６】

次に、成膜室内の残留水分を除去しつつ、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを導入し、基板１００上に酸化物半導体層を成膜する。成膜室内の残留水分を除去するためには、排気手段として、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどの吸着型の真空ポンプを用いることが望ましい。また、排気手段は、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素、水、水酸基または水素化物などの不純物（より好ましくは炭素原子を含む化合物も）などが除去されているため、当該成膜室で成膜した酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を低減することができる。

【００４７】

成膜中の基板温度が低温（例えば、１００℃以下）の場合、酸化物半導体層に水素原子を含む物質が混入するおそれがあるため、基板１００を上述の温度で加熱することが好ましい。基板１００を上述の温度で加熱して、酸化物半導体層の成膜を行うことにより、基板温度は高温となるため、水素結合は熱により切断され、水素原子を含む物質が酸化物半導体層に取り込まれにくい。したがって、基板１００が上述の温度で加熱された状態で、酸化物半導体層の成膜を行うことにより、酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を十分に低減することができる。また、スパッタリングによる損傷を軽減することができる。

【００４８】

なお、酸化物半導体層をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、酸化物半導体層の被形成表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、基板に電圧を印加し、基板近傍にプラズマを形成して、基板側の表面を改質する方法である。なお、アルゴンに代えて、窒素、ヘリウム、酸素などのガスを用いてもよい。

【００４９】

成膜された酸化物半導体層の加工方法として、所望の形状のマスクを当該酸化物半導体層上に形成した後、当該酸化物半導体層をエッチングする方法が挙げられる。

【００５０】

上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。なお、酸化物半導体層のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これ

らを組み合わせて用いてもよい。
【００５１】
また、加工によって得られた酸化物半導体層１０（又は加工前の酸化物半導体層）に対して、熱処理（第１の熱処理）を行うのが好ましい。熱処理を行うことによって、酸化物半導体層１０中に含まれる水素原子の濃度を低減することができる。熱処理の温度は、不活性ガス雰囲気下、２５０℃以上７００℃以下、好ましくは４５０℃以上６００℃以下、または基板の歪み点未満とする。不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、６Ｎ（９９．９９９９％）以上、好ましくは７Ｎ（９９．９９９９９％）以上（すなわち、不純物濃度が１ｐｐｍ以下、好ましくは０．１ｐｐｍ以下）とする。
【００５２】
熱処理を行うことによって不純物を低減した、酸化物半導体層を形成することで、極めて優れた特性のトランジスタを実現することができる。
【００５３】
ところで、上述の熱処理には水素や水などを除去する効果があるため、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。なお、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。
【００５４】
＜１－２－２．導電層１１及び導電層１２の形成＞
次に、酸化物半導体層１０上に、導電層２０ａを成膜する（図２（Ａ）参照）。
【００５５】
導電層２０ａの成膜方法として、ＰＶＤ法や、ＣＶＤ法などを適用することができる。
【００５６】
次いで、導電層２０ａ上にレジストマスク２１ａ及びレジストマスク２２ａを形成する（図２（Ｂ）参照）。例えば、導電層２０ａ上にレジストを塗布した後、露光機にフォトマスクを設置し、レジストに光を投影して露光する。その後、レジストを現像することでレジストマスク２１ａ及びレジストマスク２２ａを形成することができる。
【００５７】
トランジスタのチャネル長を微細に形成するため、露光装置の光源としては波長３６５ｎｍ以下の光を用いることが好ましい。例えば、高圧水銀灯のスペクトル光であるｉ線（波長３６５ｎｍ）、またはＫｒＦレーザ光（波長２４８ｎｍ）やＡｒＦレーザ光（波長１９３ｎｍ）などの可視光から紫外領域の波長の光を用いることが好ましい。
【００５８】
レジストマスク２１ａ及びレジストマスク２２ａを形成後、当該マスクを介して導電層２０ａをハーフエッチングして、凹部を有する導電層２０ｂを形成する。なお、ハーフエッチングとは、導電層によって基板が覆われる状態でエッチングを止める処理を言うこととする。すなわち、ハーフエッチングとは、導電層の膜厚を減少（薄膜化）する処理であって完全に除去する処理ではない。
【００５９】
次いで、レジストマスク２１ａ及びレジストマスク２２ａを後退（縮小）させることで、レジストマスク２１ｂ及びレジストマスク２２ｂを形成する（図２（Ｃ）参照）。レジストマスクを後退（縮小）させるには、酸素プラズマによるアッシング等を行えばよい。レジストマスクを後退（縮小）させることにより、導電層２０ｂの一部が新たに露出する。
【００６０】
次いで、レジストマスク２１ｂ及びレジストマスク２２ｂを用いて導電層２０ｂをエッチングすることで、導電層１１及び導電層１２を形成する（図２（Ｄ）参照）。また、レジストマスク２１ｂ及びレジストマスク２２ｂから露出した導電層２０ｂの一部がエッチ

ングされることで、端部１１ａ及び端部１２ａの膜厚が小さい導電層１１及び導電層１２が得られる。

【００６１】

＜１－２－３．絶縁層１３の形成＞

次いで、酸化物半導体層１０並びに導電層１１及び導電層１２上に絶縁層１３を成膜する。

【００６２】

絶縁層１３の成膜方法として、ＰＶＤ法又はＣＶＤ法などを適用することができる。

【００６３】

絶縁層１３の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第２の熱処理を行うのが望ましい。熱処理の温度は、２００℃以上４５０℃以下、望ましくは２５０℃以上３５０℃以下である。例えば、窒素雰囲気下で２５０℃、１時間の熱処理を行えばよい。第２の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、絶縁層１３が酸素を含む場合、酸化物半導体層１０に酸素を供給し、該酸化物半導体層１０の酸素欠損を補填して、ｉ型（真性半導体）またはｉ型に限りなく近い酸化物半導体層を形成することもできる。

【００６４】

なお、第２の熱処理のタイミングはこれに限定されない。例えば、導電層１４の形成後に第２の熱処理を行っても良い。また、第２の熱処理に第１の熱処理を兼ねさせても良い。

【００６５】

上述のように、第１の熱処理と第２の熱処理を適用することで、酸化物半導体層１０を、その水素原子を含む物質が極力含まれないように高純度化することができる。

【００６６】

＜１－２－４．導電層１４の形成＞

次いで、導電層を成膜し、当該導電層を加工して、導電層１４を形成する。なお、当該成膜の方法及び当該加工の方法として、導電層２０ａの成膜方法及び加工方法と同様の方法を適用することができる。

【００６７】

＜１－２－５．低抵抗化元素の導入＞

次いで、酸化物半導体層１０に対する低抵抗化元素の導入処理を行う（図２（Ｅ）参照）。

【００６８】

低抵抗化元素の導入処理として、イオンドーピング法又はイオン注入法を適用することができる。当該導入処理は、導電層１１、導電層１２、及び導電層１４、並びに絶縁層１３を介して酸化物半導体層１０に対して行われる。よって、各導電層と重畳する領域であるか否か等に応じて酸化物半導体層１０に導入される低抵抗化元素の濃度を制御することが可能である。ここで、導電層１１及び導電層１２においては、端部１１ａ及び端部１２ａが他の領域よりも膜厚が小さくなっている。よって、酸化物半導体層１０において、導電層１１の端部１１ａ及び導電層１２の端部１２ａと重畳する領域１０ｂにおける低抵抗化元素の濃度が、導電層１１（端部１１ａを除く）及び導電層１２（端部１２ａを除く）と重畳する領域における酸化物半導体層１０の低抵抗化元素の濃度よりも高くなる。また、導電層１１、導電層１２、及び導電層１４と重畳しない領域１０ａにおける低抵抗化元素の濃度が、領域１０ｂにおける低抵抗化元素の濃度よりも高くなる。

【００６９】

以上により、図１（Ａ）～（Ｃ）に示すトランジスタが完成する。

【００７０】

＜１－３．トランジスタ及びその作製工程の変形例＞

図１（Ａ）～（Ｃ）に示すトランジスタは、本発明の一態様であり、当該トランジスタと異なる構造を有するトランジスタ、及び異なる工程を備えたトランジスタの作製工程も

本発明には含まれる。

【００７１】

＜１－３－１．変形例１＞

図３（Ａ）～（Ｃ）は、本発明の一態様のトランジスタを示す図である。なお、図３（Ａ）～（Ｃ）に示すトランジスタは、図１（Ａ）～（Ｃ）に示すトランジスタと導電層１１及び導電層１２の構造が異なるが、他の構造は図１（Ａ）～（Ｃ）に示すトランジスタと同様の構造を有する。具体的には、図３（Ａ）～（Ｃ）に示すトランジスタにおいては、導電層１１が導電層３１ａと導電層３１ｂの積層構造を有し、且つ導電層１２が導電層３２ａと導電層３２ｂの積層構造を有する。ただし、導電層３１ｂは、導電層３１ａの端部と重畳する領域には存在せず、且つ導電層３２ｂは、導電層３２ａの端部と重畳する領域には存在しない。

【００７２】

図３（Ａ）～（Ｃ）に示す構造のトランジスタであっても図１（Ａ）～（Ｃ）に示すトランジスタと同様の効果を奏する。すなわち、導電層３１ａの端部及び導電層３２ａの端部と重畳する領域に存在する酸化物半導体層における低抵抗化元素の濃度を、導電層３１ｂ及び導電層３２ｂと重畳する領域に存在する酸化物半導体層における低抵抗化元素の濃度よりも高くすることが可能である。これにより、導電層１１及び導電層１２と、酸化物半導体層との接触抵抗を低減することが可能となる。その結果、当該トランジスタにおけるオン電流の増加を図ることが可能となる。

【００７３】

なお、図３（Ａ）～（Ｃ）に示すトランジスタの作製工程として、図２（Ａ）～（Ｅ）を参照して説明したトランジスタの作製工程と同様の作製工程を適用することができる。加えて、図３（Ａ）～（Ｃ）に示すトランジスタでは、図１（Ａ）～（Ｃ）に示すトランジスタよりも導電層１１の端部の膜厚制御が容易である。具体的に述べると、図３（Ａ）～（Ｃ）に示すトランジスタにおいては、エッチングによって導電層３１ｂ及び導電層３２ｂとなる膜のエッチングレートが、エッチングによって導電層３１ａ及び導電層３２ａとなる膜のエッチングレートより高くなるようにエッチング条件を選択し、導電層３１ａ及び導電層３２ａの成膜時の膜厚を調整することによって導電層１１の端部の膜厚制御が可能である。

【００７４】

＜１－３－２．変形例２＞

図４（Ａ）～（Ｅ）は、本発明の一態様のトランジスタの作製工程例を示す図である。なお、図４（Ａ）～（Ｅ）は、トランジスタの作製工程の各段階における断面図である。

【００７５】

まず、図２（Ａ）～（Ｅ）を参照して説明したトランジスタの作製工程と同様に基板１００上に酸化物半導体層１０を形成し、導電層２０ａを成膜する（図４（Ａ）参照）。

【００７６】

次いで、導電層２０ａ上にレジストマスク４０ａ及びレジストマスク４０ｂを形成する（図４（Ｂ）参照）。例えば、導電層２０ａ上にレジストを塗布した後、露光機にフォトマスクを設置し、レジストに光を投影して露光する。その後、レジストを現像することでレジストマスク４０ａ及びレジストマスク４０ｂを形成することができる。

【００７７】

トランジスタのチャネル長を微細に形成するため、露光装置の光源としては波長３６５ｎｍ以下の光を用いることが好ましい。例えば、高圧水銀灯のスペクトル光であるｉ線（波長３６５ｎｍ）、またはＫｒＦレーザ光（波長２４８ｎｍ）やＡｒＦレーザ光（波長１９３ｎｍ）などの可視光から紫外領域の波長の光を用いることが好ましい。

【００７８】

レジストマスク４０ａ及びレジストマスク４０ｂを形成後、当該マスクを介して導電層２０ａをエッチングして導電層４１ａ及び導電層４２ａを形成する。

【００７９】

次いで、図２（Ａ）～（Ｅ）を参照して説明したトランジスタの作製工程と同様に絶縁層１３を成膜する（図４（Ｃ）参照）。

【００８０】

次いで、絶縁層１３及び導電層４１ａ及び導電層４２ａに対して平坦化処理を行うことで、絶縁層４３並びに導電層４１ｂ及び導電層４２ｂを形成する。なお、当該平坦化処理としては、化学的機械的研磨（Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ：ＣＭＰ）処理を適用することができる。

【００８１】

ここで、ＣＭＰ処理とは、被加工物の表面を化学的・機械的な複合作用により、平坦化する手法である。一般的に研磨ステージの上に研磨布を貼り付け、被加工物と研磨布との間にスラリー（研磨剤）を供給しながら研磨ステージと被加工物とを各々回転または揺動させて被加工物の表面を、スラリーと被加工物表面との間での化学反応と、研磨布と被加工物との機械的研磨の作用により、被加工物の表面を研磨する方法である。

【００８２】

なお、ＣＭＰ処理は、１回のみ行ってもよいし、複数回行ってもよい。複数回に分けてＣＭＰ処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、絶縁層１３並びに導電層４１ｂ及び導電層４２ｂの表面の平坦性をさらに向上させることができる。

【００８３】

次いで、図２（Ａ）～（Ｅ）を参照して説明したトランジスタの作製工程と同様に導電層１４を形成する（図４（Ｄ）参照）。

【００８４】

次いで、図２（Ａ）～（Ｅ）を参照して説明したトランジスタの作製工程と同様に酸化物半導体層１０に対する低抵抗化元素の導入処理を行う（図４（Ｅ）参照）。

【００８５】

これにより、酸化物半導体層１０において、導電層４１ｂ又は導電層４２ｂと重畳する領域１０ｂにおける低抵抗化元素の濃度を、導電層１４と重畳する領域における酸化物半導体層１０の低抵抗化元素の濃度よりも高くすることが可能である。また、導電層４１ｂ、導電層４２ｂ、及び導電層１４と重畳しない領域１０ａにおける低抵抗化元素の濃度を領域１０ｂにおける低抵抗化元素の濃度よりも高くすることが可能である。

【００８６】

以上により、図１（Ａ）～（Ｃ）に示すトランジスタと同様の効果を奏するトランジスタが完成する。

【００８７】

＜１－３－３．変形例３＞

図５（Ａ）～（Ｅ）は、本発明の一態様のトランジスタの作製工程例を示す図である。なお、図５（Ａ）～（Ｅ）は、トランジスタの作製工程の各段階における断面図である。

【００８８】

まず、図２（Ａ）～（Ｅ）を参照して説明したトランジスタの作製工程と同様に基板１００上に酸化物半導体層１０を形成する（図５（Ａ）参照）。

【００８９】

次いで、導電層５１、導電層５２、及び導電層５３を成膜する。なお、当該成膜の方法として、図２（Ａ）を参照して説明した導電層２０ａの成膜方法と同様の方法を適用することができる。

【００９０】

次いで、図４（Ａ）～（Ｅ）を参照して説明したトランジスタの作製工程と同様にレジストマスク４０ａ及びレジストマスク４０ｂを形成する。そして、レジストマスク４０ａ及びレジストマスク４０ｂを介して導電層５１、導電層５２、及び導電層５３をエッチングして、導電層５１ａ、導電層５２ａ、及び導電層５３ａ、並びに、導電層５１ｂ、導電

層５２ｂ、及び導電層５３ｂを形成する（図５（Ｂ）参照）。
【００９１】
次いで、図２（Ａ）～（Ｅ）を参照して説明したトランジスタの作製工程と同様に絶縁層１３を成膜する（図５（Ｃ）参照）。
【００９２】
次いで、図４（Ａ）～（Ｅ）を参照して説明したトランジスタの作製工程と同様に絶縁層１３及び導電層５３ａ及び導電層５３ｂに対して平坦化処理を行うことで、絶縁層４３並びに導電層５３ｃ及び導電層５３ｄを形成する。
【００９３】
なお、導電層５１ａ、導電層５２ａ、及び導電層５３ｃによってソース及びドレインの一方として機能する導電層１１が構成され、導電層５１ｂ、導電層５２ｂ、及び導電層５３ｄによってソース及びドレインの他方として機能する導電層１２が構成される。
【００９４】
次いで、図２（Ａ）～（Ｅ）を参照して説明したトランジスタの作製工程と同様に導電層１４を形成する（図５（Ｄ）参照）。
【００９５】
次いで、図２（Ａ）～（Ｅ）を参照して説明したトランジスタの作製工程と同様に酸化物半導体層１０に対する低抵抗化元素の導入処理を行う（図５（Ｅ）参照）。
【００９６】
これにより、酸化物半導体層１０において、導電層１１及び導電層１２と重畳する領域１０ｂにおける低抵抗化元素の濃度を、導電層１４と重畳する領域における酸化物半導体層１０の低抵抗化元素の濃度よりも高くすることが可能である。また、導電層１１、導電層１２、及び導電層１４と重畳しない領域１０ａにおける低抵抗化元素の濃度を領域１０ｂにおける低抵抗化元素の濃度よりも高くすることが可能である。
【００９７】
以上により、図１（Ａ）～（Ｃ）に示すトランジスタと同様の効果を奏するトランジスタが完成する。
【００９８】
＜２．実施の形態２＞
本実施の形態では、実施の形態１に示すトランジスタとは異なる本発明の一態様に係るトランジスタ及びその作製方法について図１０～図１４を参照して説明する。
【００９９】
＜２－１．トランジスタの構造例＞
図１０（Ａ）～（Ｃ）は、トランジスタの構造例を示す図である。具体的には、図１０（Ａ）は当該トランジスタの平面図であり、図１０（Ｂ）は図１０（Ａ）に示すＡ－Ｂ線における断面図であり、図１０（Ｃ）は図１０（Ａ）に示すＣ－Ｄ線における断面図である。
【０１００】
図１０（Ａ）～（Ｃ）に示すトランジスタは、基板２００上に設けられている酸化物半導体層６０と、酸化物半導体層６０上に設けられている導電層６１及び導電層６２と、酸化物半導体層６０並びに導電層６１及び導電層６２上に設けられている絶縁層６３と、絶縁層６３上に設けられている導電層６４とを有する。なお、図１０（Ａ）～（Ｃ）に示すトランジスタは、導電層６１及び導電層６２がソース及びドレインとして機能し、絶縁層６３がゲート絶縁層として機能し、導電層６４がゲートとして機能するトランジスタである。
【０１０１】
さらに、導電層６４には、膜厚が異なる複数の部分が存在する。具体的には、酸化物半導体層６０及び導電層６１又は導電層６２と重畳する領域に存在する導電層６４の端部６４ａの膜厚が、その他の領域に存在する導電層６４の膜厚よりも小さい。
【０１０２】

また、導電層６１及び導電層６２には、膜厚が異なる複数の部分が存在する。具体的には、酸化物半導体層６０と重畳する領域に存在する導電層６１の端部６１ａ及び導電層６２の端部６２ａの膜厚が、その他の領域に存在する導電層６１及び導電層６２の膜厚よりも小さい。

【０１０３】

また、導電層６４の端部６４ａと、導電層６１の端部６１ａ及び導電層６２の端部６２ａとは少なくとも一部が重畳している。

【０１０４】

また、酸化物半導体層６０には、低抵抗化元素の濃度が異なる複数の領域が存在する。具体的には、導電層６１（端部６１ａを除く）、導電層６２（端部６２ａを除く）、又は導電層６４（端部６４ａを除く）と重畳する領域６０ａにおける低抵抗化元素の濃度が、その他の領域６０ｂ（導電層６１、６２、６４と重畳しない領域、導電層６１の端部６１ａと重畳し且つ導電層６４と重畳しない領域、導電層６２の端部６２ａと重畳し且つ導電層６４と重畳しない領域、及び、導電層６１の端部６１ａ又は導電層６２の端部６２ａと重畳し且つ導電層６４の端部６４ａと重畳する領域）における低抵抗化元素の濃度よりも低い。

【０１０５】

図１０（Ａ）～（Ｃ）に示すトランジスタにおいては、酸化物半導体層６０の領域６０ｂにおける低抵抗化元素の濃度が、酸化物半導体層６０の領域６０ａにおける低抵抗化元素の濃度よりも高い。これにより、導電層６１及び導電層６２と、酸化物半導体層６０との接触抵抗を低減することが可能となる。その結果、当該トランジスタにおけるオン電流の増加を図ることが可能となる。

【０１０６】

なお、図１０（Ａ）～（Ｃ）に示すトランジスタにおいては、端部６１ａ及び端部６２ａにおけるテーパ角を３０°以上６０°以下とすることが好ましい。絶縁層６３による端部６１ａ及び端部６２ａの被覆性を向上させることで、当該トランジスタの接続不良を防止するためである。ここで、テーパ角とは、テーパ形状を有する層の側面と、当該層の底面との間の角度を指す。

【０１０７】

また、酸化物半導体層６０は、＜１．実施の形態１＞で説明した酸化物半導体層１０と同様の材料を用いて構成される。また、導電層６１及び導電層６２は、＜１．実施の形態１＞で説明した導電層１１及び導電層１２と同様の材料を用いて構成される。また、絶縁層６３は、＜１．実施の形態１＞で説明した絶縁層１３と同様の材料を用いて構成される。また、導電層６４は、＜１．実施の形態１＞で説明した導電層１４と同様の材料を用いて構成される。

【０１０８】

＜２－２．トランジスタの作製工程例＞

図１１（Ａ）～（Ｅ）、図１２（Ａ）～（Ｄ）は、図１０（Ａ）～（Ｃ）に示すトランジスタの作製工程の各段階における断面図である。なお、図１１（Ａ）～（Ｅ）、図１２（Ａ）～（Ｄ）では、図１０（Ａ）に示すＡ－Ｂ線における断面図を示す。

【０１０９】

まず、＜１．実施の形態１＞に示す酸化物半導体層１０と同様に酸化物半導体層６０を形成する。

【０１１０】

次に、＜１．実施の形態１＞に示す導電層１１、１２と同様に導電層６１、６２を形成する。

【０１１１】

具体的には、酸化物半導体層６０上に、導電層７０ａを成膜する（図１１（Ａ）参照）。次いで、導電層７０ａ上にレジストマスク７１ａ及びレジストマスク７２ａを形成する（図１１（Ｂ）参照）。そして、レジストマスク７１ａ及びレジストマスク７２ａを形成

後、当該マスクを介して導電層７０ａをハーフエッチングして、凹部を有する導電層７０ｂを形成する。次いで、レジストマスク７１ａ及びレジストマスク７２ａを後退（縮小）させることで、レジストマスク７１ｂ及びレジストマスク７２ｂを形成する（図１１（Ｃ）参照）。次いで、レジストマスク７１ｂ及びレジストマスク７２ｂを介して導電層７０ｂをエッチングすることで、導電層６１及び導電層６２を形成する（図１１（Ｄ）参照）。なお、導電層６１の端部６１ａ及び導電層６２の端部６２ａは、その他の部分よりも膜厚が小さい。

【０１１２】

次いで、＜１．実施の形態１＞に示す絶縁層１３と同様に、酸化物半導体層６０並びに導電層６１及び導電層６２上に絶縁層６３を成膜する（図１１（Ｅ）参照）。さらに、絶縁層６３の形成後に＜１．実施の形態１＞と同様に熱処理を行ってもよい。

【０１１３】

次いで、絶縁層６３上に導電層７３ａを成膜する。

【０１１４】

次いで、導電層７３ａ上にレジストマスク７４ａを形成する（図１２（Ａ）参照）。

【０１１５】

次いで、レジストマスク７４ａを形成後、当該マスクを介して導電層７３ａをハーフエッチングして、凸部を有する導電層７３ｂを形成する。

【０１１６】

次いで、レジストマスク７４ａを後退（縮小）させることで、レジストマスク７４ｂを形成する（図１２（Ｂ）参照）。レジストマスクを後退（縮小）させることにより、導電層７３ｂの一部が新たに露出する。

【０１１７】

次いで、レジストマスク７４ｂを介して導電層７３ｂをエッチングすることで、導電層６４を形成する（図１２（Ｃ）参照）。また、レジストマスク７４ｂの形成によって新たに露出した導電層７３ｂの一部がエッチングされることで、端部６４ａの膜厚が小さい導電層６４が得られる。

【０１１８】

次いで、酸化物半導体層６０に対する低抵抗化元素の導入処理を行う（図１２（Ｄ）参照）。

【０１１９】

低抵抗化元素の導入処理として、イオンドーピング法又はイオン注入法を適用することができる。当該導入処理は、導電層６１、導電層６２、及び導電層６４、並びに絶縁層６３を介して酸化物半導体層６０に対して行われる。よって、各導電層と重畳する領域であるか否か等に応じて酸化物半導体層６０に導入される低抵抗化元素の濃度を制御することが可能である。ここでは、領域６０ｂにおける低抵抗化元素の濃度が、領域６０ａにおける低抵抗化元素の濃度よりも高くなるように低抵抗化元素の導入処理を行う。

【０１２０】

以上により、図１０（Ａ）～（Ｃ）に示すトランジスタが完成する。

【０１２１】

＜２－３．トランジスタ及びその作製工程の変形例＞

図１０（Ａ）～（Ｃ）に示すトランジスタは、本発明の一態様であり、当該トランジスタと異なる構造を有するトランジスタ、及び異なる工程を備えたトランジスタの作製工程も本発明には含まれる。

【０１２２】

＜２－３－１．変形例１＞

図１３（Ａ）～（Ｃ）は、本発明の一態様のトランジスタを示す図である。なお、図１３（Ａ）～（Ｃ）に示すトランジスタは、図１０（Ａ）～（Ｃ）に示すトランジスタと導電層６１及び導電層６２並びに導電層６４の構造が異なるが、他の構造は図１０（Ａ）～（Ｃ）に示すトランジスタと同様である。具体的には、図１３（Ａ）～（Ｃ）に示すトラ

ンジスタにおいては、導電層６１が導電層８１ａと導電層８１ｂの積層構造を有し、且つ導電層６２が導電層８２ａと導電層８２ｂの積層構造を有し、且つ導電層６４が導電層８４ａと導電層８４ｂの積層構造を有する。なお、導電層８１ｂは、導電層８１ａと重畳する領域の一部（導電層８１ａの端部以外と重畳する領域）に存在する。また、導電層８２ｂは、導電層８２ａと重畳する領域の一部（導電層８２ａの端部以外と重畳する領域）に存在する。また、導電層８４ｂは、導電層８４ａと重畳する領域の一部（導電層８４ａの端部以外と重畳する領域）に存在する。

【０１２３】

図１３（Ａ）～（Ｃ）に示す構造のトランジスタであっても図１０（Ａ）～（Ｃ）に示すトランジスタと同様の効果を奏する。すなわち、導電層６１及び導電層６２と、酸化物半導体層との接触抵抗を低減することで、トランジスタにおけるオン電流の増加を図ることが可能である。

【０１２４】

なお、図１３（Ａ）～（Ｃ）に示すトランジスタの作製工程として、図１１（Ａ）～（Ｅ）、図１２（Ａ）～（Ｄ）を参照して説明したトランジスタの作製工程と同様の作製工程を適用することができる。加えて、図１３（Ａ）～（Ｃ）に示すトランジスタでは、図１０（Ａ）～（Ｃ）に示すトランジスタよりも導電層６１、６２、６４の端部（導電層８１ａ、８２ａ、８４ａ）の膜厚制御が容易である。具体的に述べると、図１３（Ａ）～（Ｃ）に示すトランジスタにおいては、エッチングによって導電層８１ｂ及び導電層８２ｂとなる膜のエッチングレートが、エッチングによって導電層８１ａ及び導電層８２ａとなる膜のエッチングレートより高くなるようにエッチング条件を選択し、導電層８１ａ及び導電層８２ａの成膜時の膜厚を調整することによって導電層６１、６２の端部の膜厚制御が可能である。同様に、エッチングによって導電層８４ｂとなる膜のエッチングレートが、エッチングによって導電層８４ａとなる膜のエッチングレートより高くなるようにエッチング条件を選択し、導電層８４ａの成膜時の膜厚を調整することによって導電層６４の端部の膜厚制御が可能である。

【０１２５】

＜２－３－２．変形例２＞

図１４（Ａ）～（Ｃ）は、本発明の一態様のトランジスタを示す図である。

【０１２６】

図１４（Ａ）～（Ｃ）に示すトランジスタは、基板２００上に設けられている導電層９１及び導電層９２と、導電層９１及び導電層９２上に設けられている酸化物半導体層９０と、酸化物半導体層９０並びに導電層９１及び導電層９２上に設けられている絶縁層６３と、絶縁層６３上に設けられている導電層６４とを有する。端的に述べると、図１４（Ａ）～（Ｃ）に示すトランジスタでは、ソース又はドレインとして機能する導電層９１、９２が酸化物半導体層９０の下に設けられている点で図１０（Ａ）～（Ｃ）に示すトランジスタと異なる。

【０１２７】

また、酸化物半導体層９０には、低抵抗化元素の濃度が異なる複数の領域が存在する。具体的には、導電層６４（端部６４ａを除く）と重畳する領域９０ａにおける低抵抗化元素の濃度が、その他の領域９０ｂ（導電層６４と重畳しない領域、及び導電層６４の端部６４ａと重畳する領域）における低抵抗化元素の濃度よりも低い。

【０１２８】

図１４（Ａ）～（Ｃ）に示す構造のトランジスタであっても図１０（Ａ）～（Ｃ）に示すトランジスタと同様の効果を奏する。すなわち、導電層９１及び導電層９２と、酸化物半導体層９０との接触抵抗を低減することで、トランジスタにおけるオン電流の増加を図ることが可能である。

【０１２９】

なお、図１４（Ａ）～（Ｃ）に示すトランジスタの作製工程として、図１１（Ａ）～（Ｅ）、図１２（Ａ）～（Ｄ）を参照して説明したトランジスタの作製工程の一部が変更さ

れた作製工程を適用することができる。具体的には、ソース又はドレインとして機能する導電層の形成工程と酸化物半導体層の形成工程の順序を逆にする点、及び、ソース又はドレインとして機能する導電層の端部を薄膜化しない（ハーフエッチング等の工程を設けない）点以外は、図１１（Ａ）～（Ｅ）、図１２（Ａ）～（Ｄ）を参照して説明したトランジスタの作製工程と同様の工程を適用することができる。

【実施例】

【０１３０】

以下では、上記の実施の形態において示したトランジスタを用いて構成される半導体装置の一例について図６～図９を参照して説明する。

【０１３１】

＜記憶装置＞

図６は、記憶装置が有する記憶素子の構成の一例である。なお、図６（Ａ）には、記憶素子の断面を、図６（Ｂ）には、記憶素子の平面を、それぞれ示す。ここで、図６（Ａ）は、図６（Ｂ）のＥ１－Ｅ２及びＦ１－Ｆ２における断面に相当する。また、図６（Ｃ）には、記憶素子の回路図を示す。図６（Ａ）及び図６（Ｂ）に示される記憶装置は、下部に第１の半導体材料を用いたトランジスタを有し、上部に第２の半導体材料を用いたトランジスタを有する。図６（Ａ）～（Ｃ）に示す記憶素子においては、第１の半導体材料を用いたトランジスタ２６０を酸化物半導体以外の半導体材料を用いたトランジスタとし、第２の半導体材料を用いたトランジスタ１６０を上記の実施の形態において示したトランジスタとする。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いるのが好ましい。このような半導体材料を用いたトランジスタは、高速動作が容易である。一方で、トランジスタ１６０は、その特性により長時間の電荷保持を可能とする。なお、図６（Ａ）、（Ｂ）においては、図１（Ａ）～（Ｃ）に示すトランジスタをトランジスタ１６０として適用する例について示すが、トランジスタ１６０の構造は、図１（Ａ）～（Ｃ）に示す構造に限定されない。例えば、図３（Ａ）～（Ｃ）に示すトランジスタをトランジスタ１６０として適用することも可能である。

【０１３２】

図６におけるトランジスタ２６０は、半導体材料（例えば、シリコンなど）を含む基板３０１に設けられたチャネル形成領域１１６と、チャネル形成領域１１６を挟むように設けられた不純物領域１１８と、不純物領域１１８に接する金属間化合物領域１２４と、チャネル形成領域１１６上に設けられたゲート絶縁層１０８と、ゲート絶縁層１０８上に設けられたゲート電極１０９と、を有する。

【０１３３】

半導体材料を含む基板３０１は、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、ＳＯＩ基板などを適用することができる。なお、一般に「ＳＯＩ基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含む。つまり、「ＳＯＩ基板」が有する半導体層は、シリコン半導体層に限定されない。また、ＳＯＩ基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

【０１３４】

図６（Ａ）、（Ｂ）に示す記憶素子においては、トランジスタ２６０を囲むように素子分離絶縁層１０６が設けられており、トランジスタ２６０を覆うように絶縁層１２８が設けられている。なお、図６（Ａ）、（Ｂ）に示す記憶素子を有する記憶装置の高集積化を実現するためには、図６（Ａ）に示すようにトランジスタ２６０がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ２６０の特性を重視する場合には、ゲート電極１０９の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域１１８を設けても良い。

【０１３５】

トランジスタ２６０は公知の技術を用いて作製することができる。半導体材料として、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いたトランジスタ２６０は、高速動作が可能であるという特徴を有する。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

【０１３６】

トランジスタ２６０を形成した後、トランジスタ１６０及び容量素子１６４の形成前の処理として、絶縁層１２８にＣＭＰ処理を施して、ゲート電極１０９の上面を露出させる。ゲート電極１０９の上面を露出させる処理としては、ＣＭＰ処理の他にエッチング処理などを適用することも可能であるが、トランジスタ１６０の特性を向上させるために、絶縁層１２８の表面は可能な限り平坦にしておくことが望ましい。

【０１３７】

平坦化された絶縁層１２８上に酸化物半導体層１４４にチャネルが形成されるトランジスタ１６０を設ける。具体的なトランジスタ１６０の作製方法については、上述した説明を援用することとする。なお、トランジスタ１６０のソース電極１４２ａは、トランジスタ２６０のゲート電極１０９と電気的に接続されるように形成される。

【０１３８】

また、図６（Ａ）、（Ｂ）に示す記憶素子においては、ゲート絶縁層１４６を介してソース電極１４２ａと少なくとも一部が重畳するように導電層１５８が設けられる。導電層１５８は、ゲート電極１４８と同じ工程で形成され、容量素子１６４の一方の電極として機能する。

【０１３９】

また、ゲート電極１４８及び導電層１５８の上には絶縁層１５０が設けられている。そして、絶縁層１５０上には配線１５４が設けられ、配線１５４は絶縁層１５０、ゲート絶縁層１４６に形成された開口においてトランジスタ１６０のドレイン電極１４２ｂと接続されている。ここで、配線１５４は、少なくともトランジスタ１６０の酸化物半導体層１４４の一部と重畳するように設けられる。また、配線１５４を覆うように絶縁層１５６が設けられている。

【０１４０】

また、図６（Ａ）、（Ｂ）に示す記憶素子において、トランジスタ２６０と、トランジスタ１６０とは、少なくとも一部が重畳するように設けられている。特に、トランジスタ２６０のソース領域またはドレイン領域と酸化物半導体層１４４の一部が重畳するように設けられているのが好ましい。また、配線１５４は、少なくとも酸化物半導体層１４４の一部と重畳するように設けられている。また、トランジスタ１６０や容量素子１６４が、トランジスタ２６０と重畳するように設けられている。

【０１４１】

例えば、容量素子１６４の導電層１５８は、トランジスタ２６０のゲート電極１０９と少なくとも一部が重畳して設けられている。このような、平面レイアウトを採用することにより、記憶素子を有する記憶装置の高集積化を図ることができる。例えば、当該記憶素子を用いてメモリセルを構成する場合、最小加工寸法をＦとして、メモリセルの占める面積を１５Ｆ^{2}～２５Ｆ^{2}とすることが可能である。

【０１４２】

図６（Ｃ）において、トランジスタ１６０のソース電極またはドレイン電極の一方と、容量素子１６４の電極の一方と、トランジスタ２６０のゲート電極とは電気的に接続されている。また、第１の配線（１ｓｔ　Ｌｉｎｅ：ソース線とも呼ぶ）とトランジスタ２６０のソース電極とは電気的に接続され、第２の配線（２ｎｄ　Ｌｉｎｅ：ビット線とも呼ぶ）とトランジスタ２６０のドレイン電極とは電気的に接続されている。また、第３の配線（３ｒｄ　Ｌｉｎｅ：第１の信号線とも呼ぶ）とトランジスタ１６０のソース電極またはドレイン電極の他方とは電気的に接続され、第４の配線（４ｔｈ　Ｌｉｎｅ：第２の信号線とも呼ぶ）と、トランジスタ１６０のゲート電極とは電気的に接続されている。そし

て、第５の配線（５ｔｈ　Ｌｉｎｅ：ワード線とも呼ぶ）と、容量素子１６４の電極の他方とは電気的に接続されている。

【０１４３】

酸化物半導体層にチャネルが形成されるトランジスタ１６０は、オフ電流が極めて小さいという特徴を有しているため、トランジスタ１６０をオフ状態とすることで、トランジスタ１６０のソース電極またはドレイン電極の一方と、容量素子１６４の電極の一方と、トランジスタ２６０のゲート電極とが電気的に接続されたノード（以下、ノードＦＧ）の電位を極めて長時間にわたって保持することが可能である。そして、容量素子１６４を有することにより、ノードＦＧに与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

【０１４４】

図６（Ａ）～（Ｃ）に示す記憶素子に情報を記憶させる場合（書き込み）、まず、第４の配線の電位を、トランジスタ１６０がオン状態となる電位にして、トランジスタ１６０をオン状態とする。これにより、第３の配線の電位が、ノードＦＧに供給され、ノードＦＧに所定量の電荷が蓄積される。ここでは、異なる二つの電位レベルを与える電荷（以下、ロー（Ｌｏｗ）レベル電荷、ハイ（Ｈｉｇｈ）レベル電荷という）のいずれかが与えられるものとする。その後、第４の配線の電位を、トランジスタ１６０がオフ状態となる電位にして、トランジスタ１６０をオフ状態とすることにより、ノードＦＧが浮遊状態となるため、ノードＦＧには所定の電荷が保持されたままの状態となる。以上のように、ノードＦＧに所定量の電荷を蓄積及び保持させることで、メモリセルに情報を記憶させることができる。

【０１４５】

トランジスタ１６０のオフ電流は極めて小さいため、ノードＦＧに供給された電荷は長時間にわたって保持される。したがって、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となり、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【０１４６】

図６（Ａ）～（Ｃ）に示す記憶素子に記憶された情報を読み出す場合（読み出し）、第１の配線に所定の電位（定電位）を与えた状態で、第５の配線に適切な電位（読み出し電位）を与えると、ノードＦＧに保持された電荷量に応じて、トランジスタ１６０は異なる状態をとる。トランジスタ１６０をｎチャネル型トランジスタであるとすると、ノードＦＧにＨｉｇｈレベル電荷が保持されている場合のトランジスタ１６０の見かけのしきい値V_{th_H}は、ノードＦＧにＬｏｗレベル電荷が保持されている場合のトランジスタ１６０の見かけのしきい値V_{th_L}より低くなるためである。ここで、見かけのしきい値とは、トランジスタ２６０を「オン状態」とするために必要な第５の配線の電位をいうものとする。したがって、第５の配線の電位をV_{th_H}とV_{th_L}の間の電位V_0とすることにより、ノードＦＧに保持された電荷を判別できる。例えば、書き込みにおいて、Ｈｉｇｈレベル電荷が与えられていた場合には、第５の配線の電位がV_0（＞V_{th_H}）となれば、トランジスタ２６０は「オン状態」となる。Ｌｏｗレベル電荷が与えられていた場合には、第５の配線の電位がV_0（＜V_{th_L}）となっても、トランジスタ２６０は「オフ状態」のままである。このため、第５の配線の電位を制御して、トランジスタ２６０のオン状態またはオフ状態を読み出す（第２の配線の電位を読み出す）ことで、記憶された情報を読み出すことができる。

【０１４７】

また、図６（Ａ）～（Ｃ）に示す記憶素子に記憶される情報を書き換える場合においては、上記の書き込みによって所定量の電荷を保持したノードＦＧに、新たな電位を供給することで、ノードＦＧに新たな情報に係る電荷を保持させる。具体的には、第４の配線の電位を、トランジスタ１６０がオン状態となる電位にして、トランジスタ１６０をオン状態とする。これにより、第３の配線の電位（新たな情報に係る電位）が、ノードＦＧに供

給され、ノードＦＧに所定量の電荷が蓄積される。その後、第４の配線の電位をトランジスタ１６０がオフ状態となる電位にして、トランジスタ１６０をオフ状態とすることにより、ノードＦＧには、新たな情報に係る電荷が保持された状態となる。すなわち、ノードＦＧに第１の書き込みによって所定量の電荷が保持された状態で、第１の書き込みと同様の動作（第２の書き込み）を行うことで、記憶させた情報を上書きすることが可能である。

【０１４８】

トランジスタ１６０では、高純度化され、真性化された酸化物半導体層１４４を用いることで、トランジスタ１６０のオフ電流を十分に低減することができる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な記憶素子が得られる。また、チャネル長（Ｌ）の微細化されたトランジスタ１６０を用いることで、当該記憶素子を有する記憶装置の集積度を向上させることができる。

【０１４９】

また、トランジスタ２６０とトランジスタ１６０を重畳させることで、集積度が十分に高められた記憶素子を有する記憶装置が実現される。

【０１５０】

なお、図６（Ａ）～（Ｃ）に示す記憶素子は一例であり、上記の実施の形態において示したトランジスタを有する記憶素子が図６（Ａ）～（Ｃ）に示す記憶素子に限定される訳ではない。

【０１５１】

例えば、当該トランジスタを有する記憶素子として、図７に示す構造の記憶素子を適用することが可能である。なお、図７に示す記憶素子は、トランジスタ２６０が設けられている層と、トランジスタ１６０が設けられている層との間に絶縁層３００並びに導電層３１０及び導電層３２０が設けられている点を除き、図６（Ａ）～（Ｃ）に示す記憶素子と同様の構造を有する。なお、図７に示す記憶素子においては、導電層３１０に所望の電位を供給することが可能である。また、導電層３２０は、ゲート電極１０９とソース電極１４２ａを電気的に接続させる機能を有する。

【０１５２】

図７に示す記憶素子においては、導電層３１０に接地電位などの固定電位を供給することでトランジスタ１６０のしきい値電圧のマイナスシフトを抑制すること、又は導電層３１０にゲート電極１４８に供給される信号と同期する信号を供給することでトランジスタ１６０のオン電流の増加を図ることが可能である。

【０１５３】

また、ＤＲＡＭ（Ｄｙｎａｍｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）の記憶素子に設けられるトランジスタとして、上記の実施の形態において示したトランジスタを適用することも可能である。

【０１５４】

＜ＣＰＵ＞

図８（Ａ）は、ＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）の具体的な構成例を示すブロック図である。図８（Ａ）に示すＣＰＵは、基板１１９０上に、ＡＬＵ１１９１（ＡＬＵ：Ａｒｉｔｈｍｅｔｉｃ　Ｌｏｇｉｃ　Ｕｎｉｔ、演算回路）、ＡＬＵコントローラ１１９２、インストラクションデコーダ１１９３、インタラプトコントローラ１１９４、タイミングコントローラ１１９５、レジスタ１１９６、レジスタコントローラ１１９７、バスインターフェース１１９８（Ｂｕｓ　Ｉ／Ｆ）、書き換え可能なＲＯＭ１１９９、及びＲＯＭインターフェース１１８９（ＲＯＭ　Ｉ／Ｆ）を有している。基板１１９０としては、半導体基板、ＳＯＩ基板、ガラス基板などが挙げられる。ＲＯＭ１１９９及びＲＯＭインターフェース１１８９は、別チップに設けられていてもよい。もちろん、図８（Ａ）に示すＣＰＵは、その構成を簡略化して示した一例にすぎず、実際のＣＰＵはその用途によって多種多様な構成を有している。

【０１５５】

バスインターフェース１１９８を介してＣＰＵに入力された命令は、インストラクションデコーダ１１９３に入力され、デコードされた後、ＡＬＵコントローラ１１９２、インタラプトコントローラ１１９４、レジスタコントローラ１１９７、タイミングコントローラ１１９５に入力される。

【０１５６】

ＡＬＵコントローラ１１９２、インタラプトコントローラ１１９４、レジスタコントローラ１１９７、タイミングコントローラ１１９５は、デコードされた命令に基づき、各種制御を行なう。具体的に述べると、ＡＬＵコントローラ１１９２は、ＡＬＵ１１９１の動作を制御するための信号を生成する。また、インタラプトコントローラ１１９４は、ＣＰＵのプログラム実行中に、外部の入出力装置又は周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。また、レジスタコントローラ１１９７は、レジスタ１１９６のアドレスを生成し、ＣＰＵの状態に応じてレジスタ１１９６の読み出し又は書き込みを行う。また、タイミングコントローラ１１９５は、ＡＬＵ１１９１、ＡＬＵコントローラ１１９２、インストラクションデコーダ１１９３、インタラプトコントローラ１１９４、及びレジスタコントローラ１１９７の動作のタイミングを制御する信号を生成する。例えば、タイミングコントローラ１１９５は、基準クロック信号ＣＬＫ１を元に、内部クロック信号ＣＬＫ２を生成する内部クロック生成部を備えており、内部クロック信号ＣＬＫ２を上記各種回路に供給する。

【０１５７】

図８（Ａ）に示すＣＰＵでは、レジスタ１１９６が、少なくとも論理回路と、上記の記憶素子とを含むメモリユニットを有する構成とすることができる。

【０１５８】

図８（Ａ）に示すＣＰＵにおいて、レジスタコントローラ１１９７は、ＡＬＵ１１９１からの指示に従い、レジスタ１１９６における保持動作の選択を行う。すなわち、レジスタ１１９６において、論理回路によるデータの保持を行うか、容量素子（上記の記憶素子）によるデータの保持を行うかを、選択する。論理回路によるデータの保持が選択されている場合、レジスタ１１９６内のメモリユニットへの、電源電圧の供給が行われる。キャパシタにおけるデータの保持が選択されている場合、キャパシタへのデータの書き換えが行われ、レジスタ１１９６内のメモリユニットへの電源電圧の供給を停止することができる。

【０１５９】

電源停止は、図８（Ｂ）または図８（Ｃ）に示すように、メモリユニット群１１４３と、電源電位ＶＤＤまたは電源電位ＶＳＳの与えられているノードとの間にスイッチング素子１１４１を設け、スイッチング素子１１４１のスイッチングを制御することにより行えばよい。以下では、図８（Ｂ）及び図８（Ｃ）に示す回路の説明を行う。

【０１６０】

なお、図８（Ｂ）及び図８（Ｃ）に示す回路では、スイッチング素子１１４１として、上記の実施の形態において示したトランジスタを適用することができる。

【０１６１】

図８（Ｂ）に示す回路は、スイッチング素子１１４１と、メモリユニット１１４２を複数有するメモリユニット群１１４３とを有している。各メモリユニット１１４２には、スイッチング素子１１４１を介して、ハイレベルの電源電位ＶＤＤが供給されている。さらに、各メモリユニット１１４２には、信号ＩＮの電位と、ローレベルの電源電位ＶＳＳの電位が与えられている。

【０１６２】

なお、図８（Ｂ）に示す回路では、スイッチング素子１１４１がトランジスタを一つだけ有する構成を示しているが、特に限定されず、トランジスタを複数有していてもよい。スイッチング素子１１４１が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わされて接続されていてもよい。

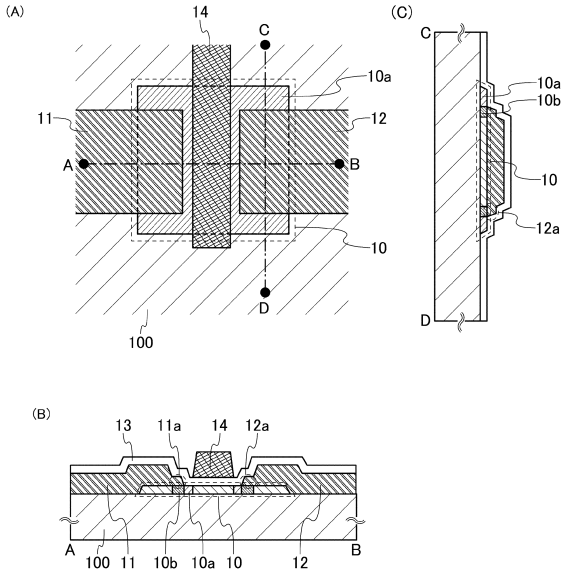
【０１６３】
また、図８（Ｂ）に示す回路では、スイッチング素子１１４１により、各メモリユニット１１４２への、ハイレベルの電源電位ＶＤＤの供給が制御されているが、スイッチング素子１１４１により、ローレベルの電源電位ＶＳＳの供給が制御されていてもよい。
【０１６４】
また、図８（Ｃ）に示す回路では、各メモリユニット１１４２に、スイッチング素子１１４１を介して、ローレベルの電源電位ＶＳＳが供給されている、記憶装置の一例を示す。スイッチング素子１１４１により、各メモリユニット１１４２への、ローレベルの電源電位ＶＳＳの供給を制御することができる。
【０１６５】
図８に示すＣＰＵでは、一時的に動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、ＣＰＵの動作を停止することができ、それにより消費電力を低減することができる。
【０１６６】
ここでは、ＣＰＵを例に挙げて説明したが、ＤＳＰ（Ｄｉｇｉｔａｌ　Ｓｉｇｎａｌ　Ｐｒｏｃｅｓｓｏｒ）、カスタムＬＳＩ、ＦＰＧＡ（Ｆｉｅｌｄ　Ｐｒｏｇｒａｍｍａｂｌｅ　Ｇａｔｅ　Ａｒｒａｙ）等のＬＳＩにも応用可能である。
【０１６７】
＜電子機器＞
本明細書で開示される半導体装置には、さまざまな電子機器が含まれる。以下では、当該電子機器の具体例について図９を参照して説明する。
【０１６８】
図９（Ａ）において、テレビジョン装置８０００は、筐体８００１に表示部８００２が組み込まれており、表示部８００２により映像を表示し、スピーカ部８００３から音声を出力することが可能である。なお、上記の実施の形態において示したトランジスタを用いて表示部８００２を構成することが可能である。
【０１６９】
表示部８００２は、液晶表示装置、有機ＥＬ素子などの発光素子を各画素に備えた発光装置、電気泳動表示装置、ＤＭＤ（Ｄｉｇｉｔａｌ　Ｍｉｃｒｏｍｉｒｒｏｒ　Ｄｅｖｉｃｅ）、ＰＤＰ（Ｐｌａｓｍａ　Ｄｉｓｐｌａｙ　Ｐａｎｅｌ）などの表示装置を用いることができる。
【０１７０】
テレビジョン装置８０００は、受信機やモデムなどを備えていてもよい。テレビジョン装置８０００は、受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線又は無線による通信ネットワークに接続することにより、一方向（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。
【０１７１】
また、テレビジョン装置８０００は、情報通信を行うためのＣＰＵや、メモリを備えていてもよい。テレビジョン装置８０００が、上記の記憶素子及びＣＰＵの少なくとも一方を有する構成とすることが可能である。
【０１７２】
図９（Ａ）において、室内機８２００及び室外機８２０４を有するエアコンディショナーは、上記のＣＰＵを用いた電気機器の一例である。具体的には、室内機８２００は、筐体８２０１、送風口８２０２、ＣＰＵ８２０３等を有する。図９（Ａ）において、ＣＰＵ８２０３が、室内機８２００に設けられている場合を例示しているが、ＣＰＵ８２０３は室外機８２０４に設けられていてもよい。なお、室内機８２００と室外機８２０４の両方に、ＣＰＵ８２０３が設けられていてもよい。

【０１７３】
図９（Ａ）において、電気冷凍冷蔵庫８３００は、上記のＣＰＵを備える電気機器の一例である。具体的には、電気冷凍冷蔵庫８３００は、筐体８３０１、冷蔵室用扉８３０２、冷凍室用扉８３０３、ＣＰＵ８３０４等を有する。図９（Ａ）では、ＣＰＵ８３０４が、筐体８３０１の内部に設けられている。
【０１７４】
図９（Ｂ）において、電気機器の一例である電気自動車の例を示す。電気自動車９７００には、二次電池９７０１が搭載されている。二次電池９７０１の電力は、制御回路９７０２により出力が調整されて、駆動装置９７０３に供給される。制御回路９７０２は、図示しないＲＯＭ、ＲＡＭ、ＣＰＵ等を有する処理装置９７０４によって制御される。
【０１７５】
駆動装置９７０３は、直流電動機若しくは交流電動機単体、又は電動機と内燃機関と、を組み合わせて構成される。処理装置９７０４は、電気自動車９７００の運転者の操作情報（加速、減速、停止など）や走行時の情報（上り坂や下り坂等の情報、駆動輪にかかる負荷情報など）の入力情報に基づき、制御回路９７０２に制御信号を出力する。制御回路９７０２は、処理装置９７０４の制御信号により、二次電池９７０１から供給される電気エネルギーを調整して駆動装置９７０３の出力を制御する。交流電動機を搭載している場合は、図示していないが、直流を交流に変換するインバータも内蔵される。
【符号の説明】
【０１７６】
１０　酸化物半導体層
１０ａ　領域
１０ｂ　領域
１１　導電層
１１ａ　端部
１２　導電層
１２ａ　端部
１３　絶縁層
１４　導電層
２０ａ　導電層
２０ｂ　導電層
２１ａ　レジストマスク
２１ｂ　レジストマスク
２２ａ　レジストマスク
２２ｂ　レジストマスク
３１ａ　導電層
３１ｂ　導電層
３２ａ　導電層
３２ｂ　導電層
４０ａ　レジストマスク
４０ｂ　レジストマスク
４１ａ　導電層
４１ｂ　導電層
４２ａ　導電層
４２ｂ　導電層
４３　絶縁層
５１　導電層
５１ａ　導電層
５１ｂ　導電層
５２　導電層

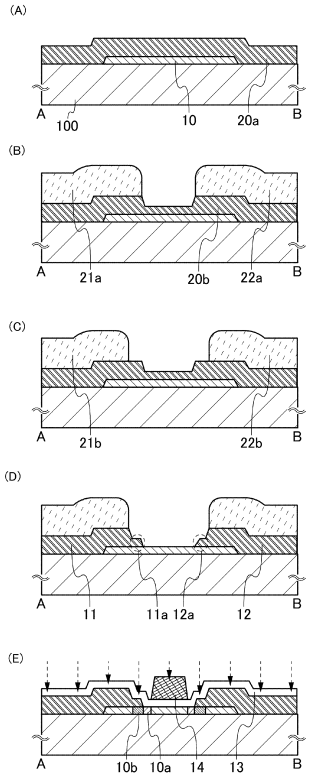
５２ａ　導電層
５２ｂ　導電層
５３　導電層
５３ａ　導電層
５３ｂ　導電層
５３ｃ　導電層
５３ｄ　導電層
６０　酸化物半導体層
６０ａ　領域
６０ｂ　領域
６１　導電層
６１ａ　端部
６２　導電層
６２ａ　端部
６３　絶縁層
６４　導電層
６４ａ　端部
７０ａ　導電層
７０ｂ　導電層
７１ａ　レジストマスク
７１ｂ　レジストマスク
７２ａ　レジストマスク
７２ｂ　レジストマスク
７３ａ　導電層
７３ｂ　導電層
７４ａ　レジストマスク
７４ｂ　レジストマスク
８１ａ　導電層
８１ｂ　導電層
８２ａ　導電層
８２ｂ　導電層
８４ａ　導電層
８４ｂ　導電層
９０　酸化物半導体層
９０ａ　領域
９０ｂ　領域
９１　導電層
９２　導電層
１００　基板
２００　基板
１０６　素子分離絶縁層
１０８　ゲート絶縁層
１０９　ゲート電極
１１６　チャネル形成領域
１１８　不純物領域
１２４　金属間化合物領域
１２８　絶縁層
１４２ａ　ソース電極
１４２ｂ　ドレイン電極
１４４　酸化物半導体層

１４６　ゲート絶縁層
１４８　ゲート電極
１５０　絶縁層
１５４　配線
１５６　絶縁層
１５８　導電層
１６０　トランジスタ
１６４　容量素子
２６０　トランジスタ
３００　絶縁層
３０１　基板
３１０　導電層
３２０　導電層
１１４１　スイッチング素子
１１４２　メモリユニット
１１４３　メモリユニット群
１１８９　ＲＯＭインターフェース
１１９０　基板
１１９１　ＡＬＵ
１１９２　ＡＬＵコントローラ
１１９３　インストラクションデコーダ
１１９４　インタラプトコントローラ
１１９５　タイミングコントローラ
１１９６　レジスタ
１１９７　レジスタコントローラ
１１９８　バスインターフェース
１１９９　ＲＯＭ
８０００　テレビジョン装置
８００１　筐体
８００２　表示部
８００３　スピーカ部
８２００　室内機
８２０１　筐体
８２０２　送風口
８２０３　ＣＰＵ
８２０４　室外機
８３００　電気冷凍冷蔵庫
８３０１　筐体
８３０２　冷蔵室用扉
８３０３　冷凍室用扉
８３０４　ＣＰＵ
９７００　電気自動車
９７０１　二次電池
９７０２　制御回路
９７０３　駆動装置
９７０４　処理装置

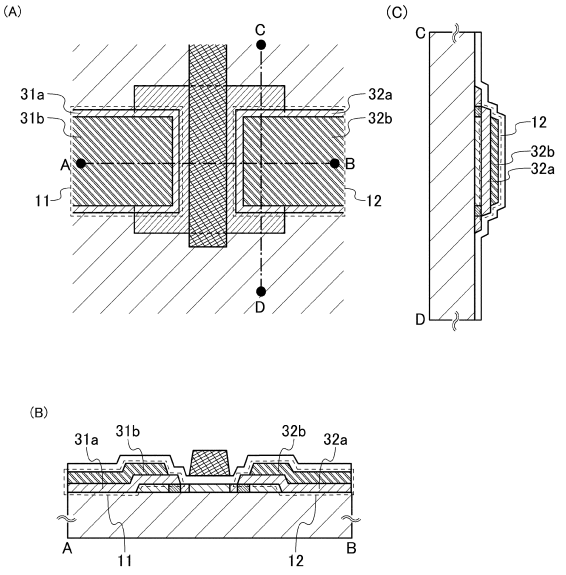
【図１】


(A)
14
C
10a
11
12
A
B
10
D
100
(C)
C
10a
10b
10
12a
D
(B)
13
11a
14
12a
A
100
11
10b
10a
10
12
B

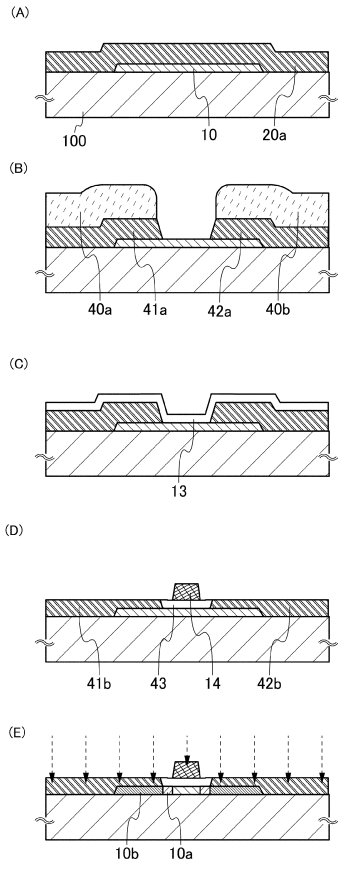
【図２】


(A)
A
100
10
20a
B
(B)
A
21a
20b
22a
B
(C)
A
21b
22b
B
(D)
A
11
11a
12a
12
B
(E)
A
10b
10a
14
13
B

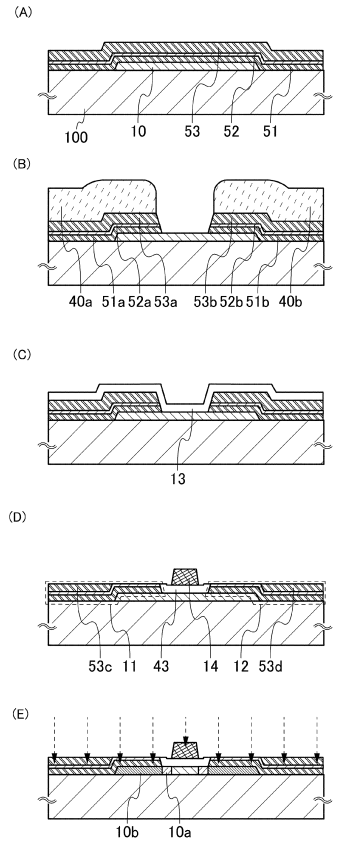
【図３】


(A)
C
31a
32a
31b
32b
A
B
11
12
D
(C)
C
12
32b
32a
D
(B)
31a
31b
32b
32a
A
11
12
B

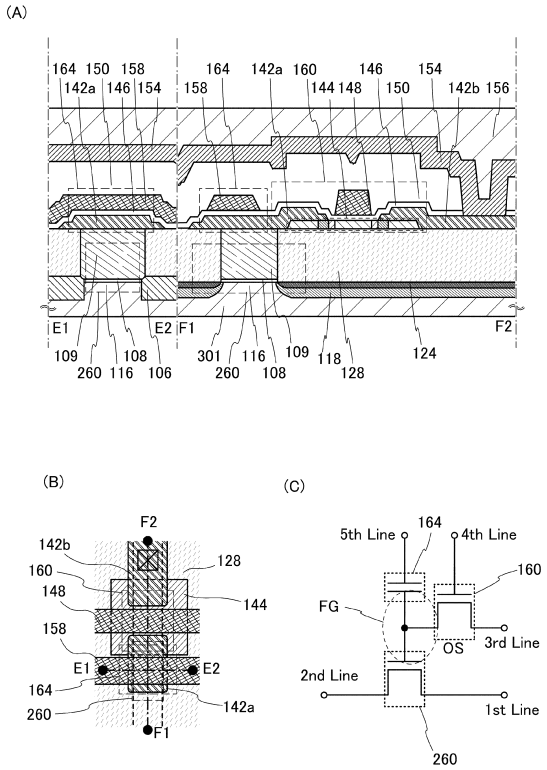
【図４】


(A)
100
10
20a
(B)
40a
41a
42a
40b
(C)
13
(D)
41b
43
14
42b
(E)
10b
10a

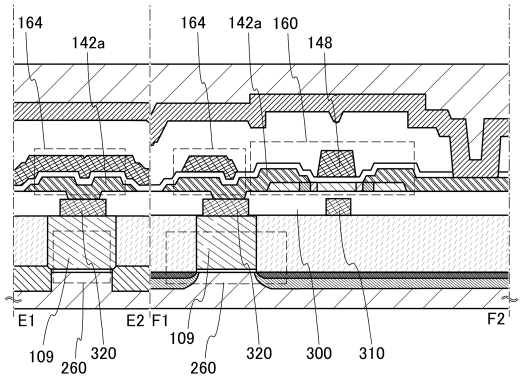
【図５】


(A)
100
10
53
52
51
(B)
40a
51a
52a
53a
53b
52b
51b
40b
(C)
13
(D)
53c
11
43
14
12
53d
(E)
10b
10a

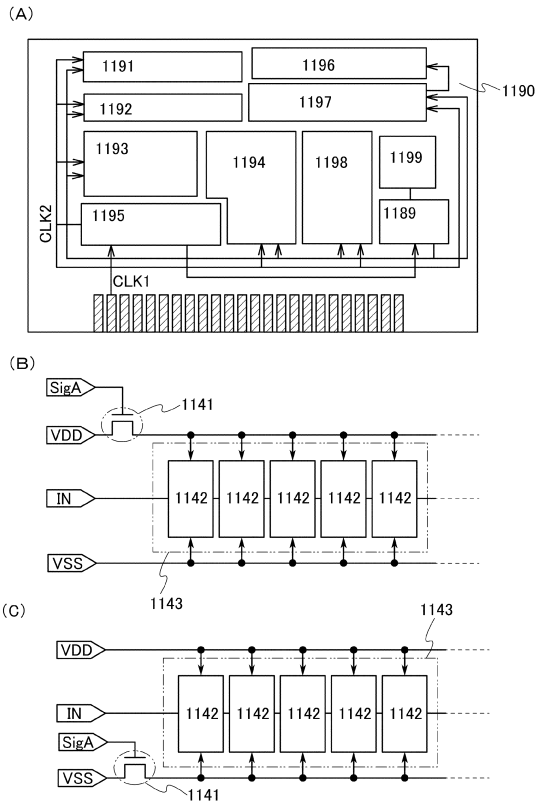
【図６】


(A)
164
150
158
142a
146
154
158
164
142a
160
144
148
150
142b
156
E1
E2
F1
F2
109
260
116
108
106
301
260
116
108
109
118
128
124
(B)
F2
142b
128
160
148
144
158
E1
E2
164
260
142a
F1
(C)
5th Line
164
4th Line
160
FG
OS
3rd Line
2nd Line
1st Line
260

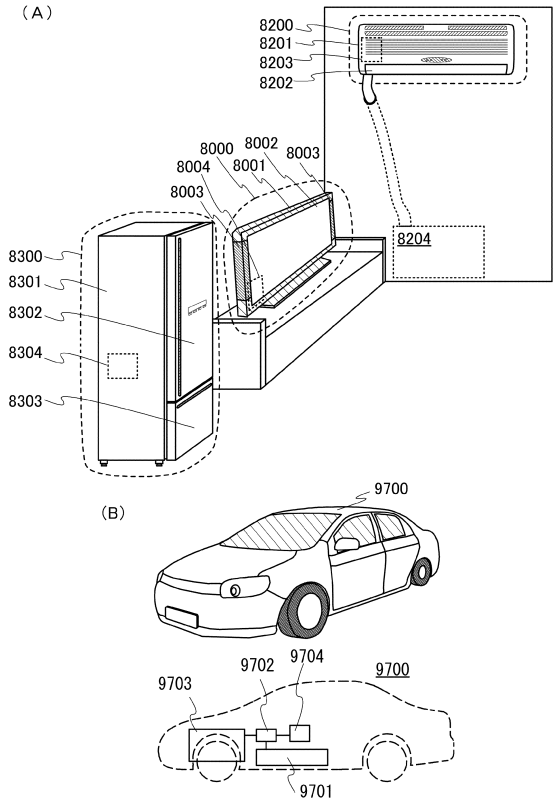
【図７】


164
142a
164
142a
160
148
E1
E2
F1
F2
109
260
320
109
260
320
300
310

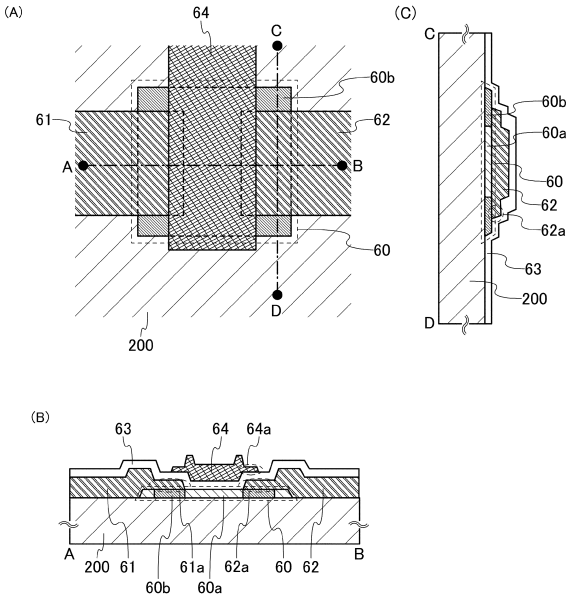
【図８】


(A)
1191
1196
1190
1192
1197
1193
1194
1198
1199
1195
1189
CLK2
CLK1
(B)
SigA
1141
VDD
IN
1142
1142
1142
1142
1142
VSS
1143
(C)
1143
VDD
IN
SigA
VSS
1142
1142
1142
1142
1142
1141

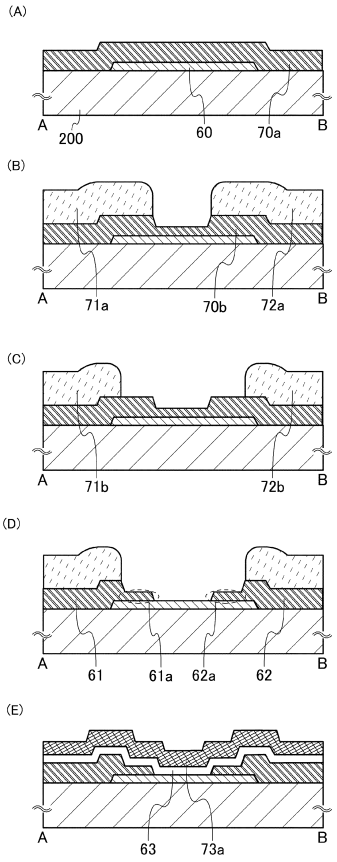
【図９】



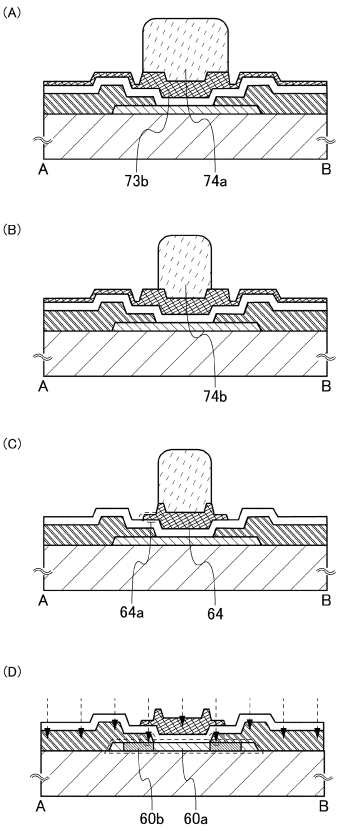
【図１０】



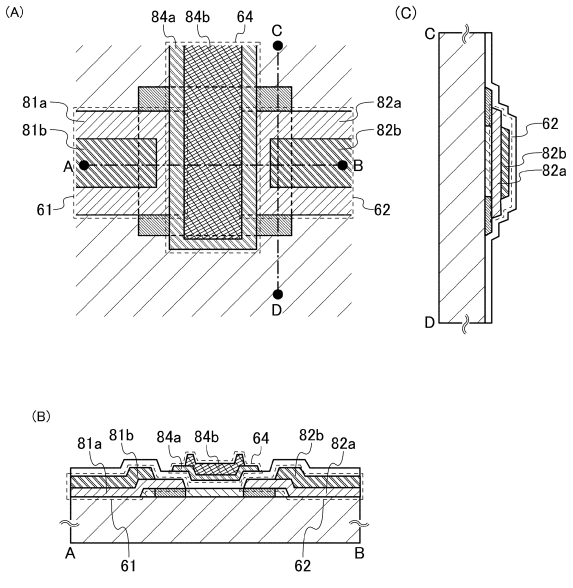
【図１１】



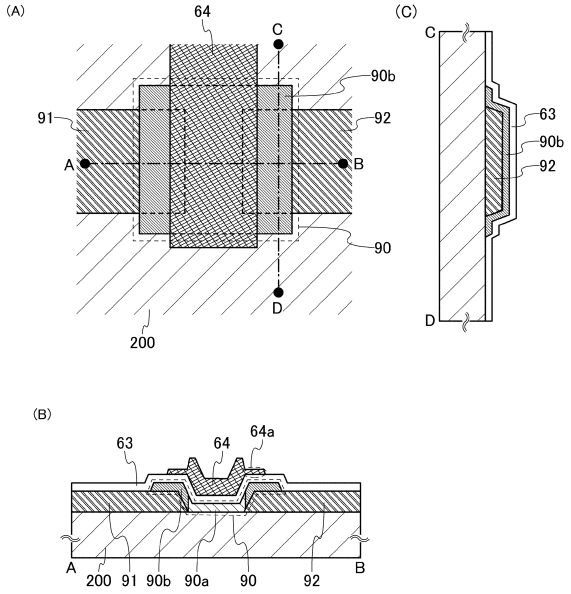
【図１２】



【図１３】


(A)
84a
84b
64
C
81a
81b
82a
82b
A
B
61
62
D
(C)
C
62
82b
82a
D
(B)
81a
81b
84a
84b
64
82b
82a
A
61
62
B

【図１４】


(A)
64
C
90b
91
92
A
B
90
D
200
(C)
C
63
90b
92
D
(B)
63
64
64a
A
200
91
90b
90a
90
92
B

フロントページの続き

(51)Int.Cl.			FI		
H01L	*27/105*	*(2006.01)*	H01L	27/10	434
H01L	*27/10*	*(2006.01)*	H01L	27/10	441
H01L	*21/336*	*(2006.01)*	H01L	27/10	461
H01L	*29/788*	*(2006.01)*	H01L	29/78	371
H01L	*29/792*	*(2006.01)*	C23C	14/08	K
C23C	*14/08*	*(2006.01)*			

(56)参考文献 特開２００７－１０９７３３（ＪＰ，Ａ）
特開２００７－２２０８１６（ＪＰ，Ａ）
特開２００８－４０３４３（ＪＰ，Ａ）
特開２０００－２２３７１４（ＪＰ，Ａ）
特開２０１１－１４６６９４（ＪＰ，Ａ）
特開２０１１－１９２９７４（ＪＰ，Ａ）
特開平６－３３３９４８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)

Ｈ０１Ｌ　２９／７８６
Ｃ２３Ｃ　１４／０８
Ｈ０１Ｌ　２１／３３６
Ｈ０１Ｌ　２１／８２４２
Ｈ０１Ｌ　２１／８２４７
Ｈ０１Ｌ　２７／１０
Ｈ０１Ｌ　２７／１０５
Ｈ０１Ｌ　２７／１０８
Ｈ０１Ｌ　２７／１１５
Ｈ０１Ｌ　２９／７８８
Ｈ０１Ｌ　２９／７９２