

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5261945号
(P5261945)

(45) 発行日 平成25年8月14日(2013.8.14)

(24) 登録日 平成25年5月10日(2013.5.10)

(51) Int.Cl. F I
 HO 1 L 21/338 (2006.01) HO 1 L 29/80 H
 HO 1 L 29/778 (2006.01) HO 1 L 29/78 3 O 1 B
 HO 1 L 29/812 (2006.01)
 HO 1 L 21/336 (2006.01)
 HO 1 L 29/78 (2006.01)

請求項の数 7 (全 23 頁)

(21) 出願番号 特願2007-43435 (P2007-43435)
 (22) 出願日 平成19年2月23日(2007.2.23)
 (65) 公開番号 特開2008-210836 (P2008-210836A)
 (43) 公開日 平成20年9月11日(2008.9.11)
 審査請求日 平成22年2月1日(2010.2.1)

(73) 特許権者 000106276
 サンケン電気株式会社
 埼玉県新座市北野3丁目6番3号
 (74) 代理人 100072154
 弁理士 高野 則次
 (72) 発明者 佐藤 憲
 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内
 審査官 儀同 孝信

最終頁に続く

(54) 【発明の名称】 電界効果半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

2次元キャリアガス層を電流通路として使用するノーマリオフ型の電界効果半導体装置であって、

一方及び他方の主面を有し、前記一方の主面が、平坦面から成る第1の部分(21)と、前記第1の部分と同一方向に延びている平坦面から成る第2の部分(22)と、前記第1の部分(21)と前記第2の部分(22)との間に位置し且つ前記第1の部分(21)が延びている方向に対して零度よりも大きい所定角度を有している少なくとも2つの段差部を含んでいる中間部分(20又は20a又は20b又は20')とを備えている第1の半導体層(3又は3a又は3b又は3h)と、

前記第1の半導体層の半導体材料と異なるバンドギャップを有する半導体材料から成り且つ前記第1の半導体層の前記一方の主面上に配置され、前記第1の半導体層の前記一方の主面の前記段差部を前記第1及び第2の部分(21, 22)よりも薄い厚みを有して覆っている第2の半導体層(4又は4a又は4b又は4c又は4i)と、

前記第1の半導体層の前記一方の主面の前記第1の部分(21)に沿って生じる2次元キャリアガス層(17)に電気的に結合されたソース電極(5)と、

前記第1の半導体層の前記一方の主面の前記第2の部分(22)に沿って生じる2次元キャリアガス層(17)に電気的に結合されたドレイン電極(6)と、

前記ソース電極と前記ドレイン電極との間の電流通路を制御するために前記第1の半導体層の前記段差部に対応する前記第2の半導体層の表面上に配置されたゲート手段(7)と

を備え、ノーマリ状態において、前記ソース電極と前記ドレイン電極との間の電流通路がオフ状態になるように前記第1の半導体層及び前記第2の半導体層が形成され、
 前記第1の半導体層の前記一方の主面の前記中間部分は、前記第1の部分と前記第2の部分との間に形成された少なくとも1つの溝を備えており、
 前記溝は、平坦な底面(25)と、前記底面(25)から前記第1の部分(21)の方向に立ち上がっている第1の段差部(23, 23a, 23b)と、前記底面(25)から前記第2の部分(22)の方向に立ち上がっている第2の段差部(24, 24a, 24b)とを備えていることを特徴とする電界効果半導体装置。

【請求項2】

2次元キャリアガス層を電流通路として使用するノーマリオフ型の電界効果半導体装置であって、

一方及び他方の主面を有し、前記一方の主面が、平坦面から成る第1の部分(21)と、前記第1の部分と同一方向に延びている平坦面から成る第2の部分(22)と、前記第1の部分(21)と前記第2の部分(22)との間に位置し且つ前記第1の部分(21)が延びている方向に対して零度よりも大きい所定角度を有している少なくとも2つの段差部を含んでいる中間部分とを備えている第1の半導体層(3d)と、
 前記第1の半導体層の半導体材料と異なるバンドギャップを有する半導体材料から成り且つ前記第1の半導体層の前記一方の主面上に配置され、前記第1の半導体層の前記一方の主面の前記段差部を前記第1及び第2の部分(21, 22)よりも薄い厚みを有して覆っている第2の半導体層(4e)と、

前記第1の半導体層の前記一方の主面の前記第1の部分(21)に沿って生じる2次元キャリアガス層(17)に電気的に結合されたソース電極(5)と、

前記第1の半導体層の前記一方の主面の前記第2の部分(22)に沿って生じる2次元キャリアガス層(17)に電気的に結合されたドレイン電極(6)と、

前記ソース電極と前記ドレイン電極との間の電流通路を制御するために前記第1の半導体層の前記段差部に対応する前記第2の半導体層の表面上に配置されたゲート手段(7)とを備え、ノーマリ状態において、前記ソース電極と前記ドレイン電極との間の電流通路がオフ状態になるように前記第1の半導体層及び前記第2の半導体層が形成され、

前記第1の半導体層の前記一方の主面の前記中間部分は、前記第1の部分と前記第2の部分との間に形成された少なくとも1つのV字状溝(20d)を備えていることを特徴とする電界効果半導体装置。

【請求項3】

2次元キャリアガス層を電流通路として使用するノーマリオフ型の電界効果半導体装置であって、

一方及び他方の主面を有し、前記一方の主面が、平坦面から成る第1の部分(21)と、前記第1の部分と同一方向に延びている平坦面から成る第2の部分(22)と、前記第1の部分(21)と前記第2の部分(22)との間に位置し且つ前記第1の部分(21)が延びている方向に対して零度よりも大きい所定角度を有している少なくとも1つの段差部を含んでいる中間部分(20又は20a又は20b又は20c又は20d又は20e又は20f又は20g又は20')とを備えている第1の半導体層(3又は3a又は3b又は3c又は3d又は3e又は3f又は3g又は3h)と、

前記第1の半導体層の半導体材料と異なるバンドギャップを有する半導体材料から成り且つ前記第1の半導体層の前記一方の主面上に配置され、前記第1の半導体層の前記一方の主面の前記段差部を前記第1及び第2の部分(21, 22)よりも薄い厚みを有して覆っている第2の半導体層(4又は4a又は4b又は4c又は4d又は4e又は4f又は4g又は4h又は4i)と、

前記第1の半導体層の前記一方の主面の前記第1の部分(21)に沿って生じる2次元キャリアガス層(17)に電気的に結合されたソース電極(5)と、

前記第1の半導体層の前記一方の主面の前記第2の部分(22)に沿って生じる2次元キャリアガス層(17)に電気的に結合されたドレイン電極(6)と、

10

20

30

40

50

前記ソース電極と前記ドレイン電極との間の電流通路を制御するために前記第 1 の半導体層の前記段差部に対応する前記第 2 の半導体層の表面上に配置されたゲート手段 (7) とを備え、ノーマリ状態において、前記ソース電極と前記ドレイン電極との間の電流通路がオフ状態になるように前記第 1 の半導体層及び前記第 2 の半導体層が形成され、

更に、前記第 1 の半導体層を支持する基板を有し、前記基板の主面は前記第 1 の半導体層の前記一方の主面の前記第 1 の部分 (2 1) と前記第 2 の部分 (2 2) と前記中間部分とに対応する凹凸を有し、

前記第 1 の半導体層は前記基板の上にエピタキシャル成長された層であることを特徴とする電界効果半導体装置。

【請求項 4】

前記ゲート手段は、前記第 2 の半導体層の上に配置されたショットキーバリア電極であることを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の電界効果半導体装置。

【請求項 5】

前記ゲート手段は、前記第 2 の半導体層の上に配置されたゲート絶縁膜と該ゲート絶縁膜の上に配置されたゲート電極とから成ることを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の電界効果半導体装置。

【請求項 6】

2 次元キャリアガス層を電流通路として使用するノーマリオフ型の電界効果半導体装置であって、

一方及び他方の主面を有し、前記一方の主面が、平坦面から成る第 1 の部分 (2 1) と、前記第 1 の部分と同一方向に延びている平坦面から成る第 2 の部分 (2 2) と、前記第 1 の部分 (2 1) と前記第 2 の部分 (2 2) との間に位置し且つ少なくとも 1 つの溝を備え且つ前記第 1 の部分 (2 1) が延びている方向に対して零度よりも大きい所定角度を有している少なくとも 2 つの段差部を有している中間部分 (2 0 又は 2 0 a 又は 2 0 b 又は 2 0 c 又は 2 0 d 又は 2 0 ´) とを備えている第 1 の半導体層 (3 又は 3 a 又は 3 b 又は 3 c 又は 3 d 又は 3 e 又は 3 h) と、

前記第 1 の半導体層の半導体材料と異なるバンドギャップを有する半導体材料から成り且つ前記第 1 の半導体層の前記一方の主面上を覆っている第 2 の半導体層 (4 又は 4 a 又は 4 b 又は 4 c 又は 4 d 又は 4 e 又は 4 f 又は 4 i) と、

前記第 1 の半導体層の前記一方の主面の前記第 1 の部分 (2 1) に沿って生じる 2 次元キャリアガス層 (1 7) に電気的に結合されたソース電極 (5) と、

前記第 1 の半導体層の前記一方の主面の前記第 2 の部分 (2 2) に沿って生じる 2 次元キャリアガス層 (1 7) に電気的に結合されたドレイン電極 (6) と、

前記ソース電極と前記ドレイン電極との間の電流通路を制御するために前記第 1 の半導体層の前記一方の主面の前記第 1 及び第 2 の段差部に対応する前記第 2 の半導体層の表面上に配置されたゲート手段 (7) と

を備え、ノーマリ状態において、前記ソース電極と前記ドレイン電極との間の電流通路がオフ状態になるように前記第 1 の半導体層及び前記第 2 の半導体層が形成されていることを特徴とする電界効果半導体装置。

【請求項 7】

2 次元キャリアガス層を電流通路として使用するノーマリオフ型の電界効果半導体装置の製造方法であって、

一方及び他方の主面を有する基板を用意し、該基板の前記一方の主面に、平坦面から成る第 1 の部分 (1 1) と、前記第 1 の部分と同一方向に延びている平坦面から成る第 2 の部分 (1 2) と、前記第 1 の部分 (1 1) と前記第 2 の部分 (1 2) との間に位置し且つ前記第 1 の部分 (1 1) が延びている方向に対して零度よりも大きい所定角度を有している少なくとも 1 つの段差部を含んでいる中間部分 (1 0 又は 1 0 b 又は 1 0 c 又は 1 0 d 又は 1 0 e 又は 1 0 f 又は 1 0 g 又は 1 0 ´) とを形成する工程と、

前記基板の前記一方の主面上に半導体材料をエピタキシャル成長させて前記基板の前記一方の主面の前記第 1 及び第 2 の部分 (1 1 , 1 2) と前記中間部分に対応する第 1 及び第

10

20

30

40

50

2の部分(21, 22)と中間部分(20又は20a又は20b又は20c又は20d又は20e又は20f又は20g又は20')とを有する第1の半導体層(3又は3a又は3b又は3c又は3d又は3e又は3f又は3g又は3h)を形成する工程と、前記第1の半導体層の半導体材料と異なるバンドギャップを有する半導体材料を前記第1の半導体層の上にエピタキシャル成長させて第2の半導体層(4又は4a又は4b又は4c又は4d又は4e又は4f又は4g又は4h又は4i)を形成する工程と、前記第1の半導体層の前記第1の部分(21)に沿って生じる2次元キャリアガス層(17)に電氣的に結合されたソース電極(5)を形成する工程と、前記第1の半導体層の前記第3の部分(24)に沿って生じる2次元キャリアガス層(17)に電氣的に結合されたドレイン電極(6)を形成する工程と、前記第1の半導体層の前記中間部分の段差部に対応する前記第2の半導体層の表面上にゲート手段(7)を形成する工程とを備えていることを特徴とする電界効果半導体装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ノーマリオフ(normally-off)特性を有するHEMT(High Electron Mobility Transistor)又はこれに類似の電界効果半導体装置及びその製造方法に関する。

【背景技術】

【0002】

3-5族化合物半導体の1種である窒化物半導体を用いた高電子移動度トランジスタ即ちHEMT(High Electron Mobility Transistor)等の半導体デバイスは例えば特開2005-158889号公報(特許文献1)等で公知である。

20

【0003】

上記特許文献1に開示されているHEMTは、例えば、シリコン基板の上にバッファ層を介して形成されたアンドープGaNから成る電子走行層と、n型AlGaNから成る電子供給層と、電子供給層の上に形成されたソース電極とドレイン電極とゲート電極とを有している。電子走行層と電子供給層とはバンドギャップの異なる異種材料から成り、ヘテロ接合されている。従って、ヘテロ接合面のピエゾ分極と自発分極とに基づいて周知の2次元電子ガス層即ち2DEG層が生じる。2DEG層は周知のようにドレイン電極とソース電極との間の電流通路(チャンネル)として利用され、この電流通路を流れる電流はゲート電極に印加されるバイアス電圧で制御される。

30

【0004】

ところで、一般的な構成のHEMTは、ゲート電極に電圧を印加しない状態(ノーマリ状態)でソース電極とドレイン電極との間に電流が流れる特性即ちノーマリオン特性を有する。ノーマリオン特性のHEMTをオフ状態に保つためにはゲート電極を負電位にするための負電源が必要になり、電気回路が必然的に高価になる。従って、ノーマリオン特性のHEMTの使い勝手は良くない。

【0005】

そこで、AlGaNから成る電子供給層を薄く形成することによってノーマリオフ特性、即ちゲート電極に電圧を印加しない状態(ノーマリ状態)でソース電極とドレイン電極との間に電流が流れない特性を得ることが試みられている。AlGaNから成る電子供給層を薄く形成すると、電子供給層と電子走行層との間のヘテロ接合に基づくピエゾ分極による電界が弱くなり、2DEG層の電子濃度が減少する。電子濃度が低下した2DEG層に対して電子供給層とここにショットキー接触しているゲート電極との間にビルトインポテンシャル(built-in potential)即ちバイアス電圧が無い状態での電位差に基づく電界が作用すると、ゲート電極の直下の2DEG層が消失する。このため、ゲート電極にバイアス電圧を加えない状態においてドレイン・ソース間がオフ状態になる。

40

【0006】

上述のように電子供給層を薄くすることによってノーマリオフのHEMTを提供するこ

50

とができる。しかし、電子供給層を薄くすると、ゲート電極の直下以外の2DEG層においても電子濃度の低下が生じ、ドレイン・ソース間のオン抵抗が増大する。この問題を解決するために例えば特開2005-183733号公報(特許文献2)に開示されているように電子供給層のゲート電極の下の部分のみを薄くしてノーマリオフ特性を得ることが知られている。しかし、この方法を採用すると、選択的エッチングによって電子供給層を薄くする時に電子走行層及び電子供給層の半導体結晶にダメージが生じ、HEMTの電気的特性が劣化する。また、電子供給層を部分的に薄くするための選択的エッチングを容易且つ正確に行うことが困難であった。このため、現在、ノーマリオフのHEMTが実用化されていない。

ノーマリオフ特性を有するHEMTを得るための別な方法として、電子走行層の上面及び電子供給層に傾斜部分を設け、傾斜部分よりも高い部分にソース電極を配置し、傾斜部分よりも低い部分にドレイン電極を配置し、傾斜部分の上にゲート絶縁膜を介してゲート電極を配置することが特開2006-100820号公報(特許文献3)に開示されている。しかし、単に電子走行層の上面及び電子供給層に傾斜部分を設け、この傾斜部分の上にゲート絶縁膜を介してゲート電極を配置しても、ノーマリオフ特性を確実に得ることが困難である。

【0007】

ノーマリオフの要望は、2DEG層の代わりに2次元ホールガス層を使用するHEMT及びHEMTに類似の電界効果半導体装置にもある。

【特許文献1】特開2005-158889号公報

【特許文献2】特開2005-183733号公報

【特許文献3】特開2006-100820号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

従って、本発明が解決しようとする課題は、電界効果半導体装置においてノーマリオフ特性を確実に得ることが困難なことであり、本発明の目的はノーマリオフ特性を容易且つ確実に得ることが可能な電界効果半導体装置及びこの製造方法を提供することである。

【課題を解決するための手段】

【0009】

上記課題を解決するための本発明を図面の参照符号を伴って説明する。なお、特許請求の範囲及びここでの参照符号は、本発明の理解を助けるためのものであって、本発明を限定するものではない。

上記課題を解決するための本願請求項1の発明は、2次元キャリアガス層を電流通路として使用するノーマリオフ型の電界効果半導体装置であって、

一方及び他方の主面を有し、前記一方の主面が、平坦面から成る第1の部分(21)と、前記第1の部分と同一方向に延びている平坦面から成る第2の部分(22)と、前記第1の部分(21)と前記第2の部分(22)との間に位置し且つ前記第1の部分(21)が延びている方向に対して零度よりも大きい所定角度を有している少なくとも2つの段差部を含んでいる中間部分(20又は20a又は20b又は20')とを備えている第1の半導体層(3又は3a又は3b又は3h)と、

前記第1の半導体層の半導体材料と異なるバンドギャップを有する半導体材料から成り且つ前記第1の半導体層の前記一方の主面上に配置され、前記第1の半導体層の前記一方の主面の前記段差部を前記第1及び第2の部分(21, 22)よりも薄い厚みを有して覆っている第2の半導体層(4又は4a又は4b又は4c又は4i)と、

前記第1の半導体層の前記一方の主面の前記第1の部分(21)に沿って生じる2次元キャリアガス層(17)に電氣的に結合されたソース電極(5)と、

前記第1の半導体層の前記一方の主面の前記第2の部分(22)に沿って生じる2次元キャリアガス層(17)に電氣的に結合されたドレイン電極(6)と、

前記ソース電極と前記ドレイン電極との間の電流通路を制御するために前記第1の半導体

10

20

30

40

50

層の前記段差部に対応する前記第2の半導体層の表面上に配置されたゲート手段(7)とを備え、ノーマリ状態において、前記ソース電極と前記ドレイン電極との間の電流通路がオフ状態になるように前記第1の半導体層及び前記第2の半導体層が形成され、
前記第1の半導体層の前記一方の主面の前記中間部分は、前記第1の部分と前記第2の部分との間に形成された少なくとも1つの溝を備えており、
前記溝は、平坦な底面(25)と、前記底面(25)から前記第1の部分(21)の方向に立ち上がっている第1の段差部(23, 23a, 23b)と、前記底面(25)から前記第2の部分(22)の方向に立ち上がっている第2の段差部(24, 24a, 24b)とを備えていることを特徴とする電界効果半導体装置に係わるものである。

【0010】

なお、請求項2に示すように、2次元キャリアガス層を電流通路として使用するノーマリオフ型の電界効果半導体装置において、

一方及び他方の主面を有し、前記一方の主面が、平坦面から成る第1の部分(21)と、前記第1の部分と同一方向に延びている平坦面から成る第2の部分(22)と、前記第1の部分(21)と前記第2の部分(22)との間に位置し且つ前記第1の部分(21)が延びている方向に対して零度よりも大きい所定角度を有している少なくとも2つの段差部を含んでいる中間部分とを備えている第1の半導体層(3d)と、
前記第1の半導体層の半導体材料と異なるバンドギャップを有する半導体材料から成り且つ前記第1の半導体層の前記一方の主面上に配置され、前記第1の半導体層の前記一方の主面の前記段差部を前記第1及び第2の部分(21, 22)よりも薄い厚みを有して覆っている第2の半導体層(4e)と、

前記第1の半導体層の前記一方の主面の前記第1の部分(21)に沿って生じる2次元キャリアガス層(17)に電氣的に結合されたソース電極(5)と、
前記第1の半導体層の前記一方の主面の前記第2の部分(22)に沿って生じる2次元キャリアガス層(17)に電氣的に結合されたドレイン電極(6)と、

前記ソース電極と前記ドレイン電極との間の電流通路を制御するために前記第1の半導体層の前記段差部に対応する前記第2の半導体層の表面上に配置されたゲート手段(7)とを備え、ノーマリ状態において、前記ソース電極と前記ドレイン電極との間の電流通路がオフ状態になるように前記第1の半導体層及び前記第2の半導体層が形成され、
前記第1の半導体層の前記一方の主面の前記中間部分は、前記第1の部分と前記第2の部分との間に形成された少なくとも1つのV字状溝(20d)を備えていることができる。
 また、請求項3に示すように、2次元キャリアガス層を電流通路として使用するノーマリオフ型の電界効果半導体装置において、

一方及び他方の主面を有し、前記一方の主面が、平坦面から成る第1の部分(21)と、前記第1の部分と同一方向に延びている平坦面から成る第2の部分(22)と、前記第1の部分(21)と前記第2の部分(22)との間に位置し且つ前記第1の部分(21)が延びている方向に対して零度よりも大きい所定角度を有している少なくとも1つの段差部を含んでいる中間部分(20又は20a又は20b又は20c又は20d又は20e又は20f又は20g又は20')とを備えている第1の半導体層(3又は3a又は3b又は3c又は3d又は3e又は3f又は3g又は3h)と、

前記第1の半導体層の半導体材料と異なるバンドギャップを有する半導体材料から成り且つ前記第1の半導体層の前記一方の主面上に配置され、前記第1の半導体層の前記一方の主面の前記段差部を前記第1及び第2の部分(21, 22)よりも薄い厚みを有して覆っている第2の半導体層(4又は4a又は4b又は4c又は4d又は4e又は4f又は4g又は4h又は4i)と、

前記第1の半導体層の前記一方の主面の前記第1の部分(21)に沿って生じる2次元キャリアガス層(17)に電氣的に結合されたソース電極(5)と、
前記第1の半導体層の前記一方の主面の前記第2の部分(22)に沿って生じる2次元キャリアガス層(17)に電氣的に結合されたドレイン電極(6)と、
前記ソース電極と前記ドレイン電極との間の電流通路を制御するために前記第1の半導体

10

20

30

40

50

層の前記段差部に対応する前記第2の半導体層の表面上に配置されたゲート手段(7)とを備え、ノーマリ状態において、前記ソース電極と前記ドレイン電極との間の電流通路がオフ状態になるように前記第1の半導体層及び前記第2の半導体層が形成され、

更に、前記第1の半導体層を支持する基板を有し、前記基板の主面は前記第1の半導体層の前記一方の主面の前記第1の部分(21)と前記第2の部分(22)と前記中間部分とに対応する凹凸を有し、

前記第1の半導体層は前記基板の上にエピタキシャル成長された層であることが望ましい。

また、請求項4に示すように、前記ゲート手段は、前記第2の半導体層の上に配置されたショットキーバリア電極であることが望ましい。

また、請求項5に示すように、前記ゲート手段を、前記第2の半導体層の上に配置されたゲート絶縁膜と該ゲート絶縁膜の上に配置されたゲート電極とで構成することができる。

また、請求項6に示すように、2次元キャリアガス層を電流通路として使用するノーマリオフ型の電界効果半導体装置において、

一方及び他方の主面を有し、前記一方の主面が、平坦面から成る第1の部分(21)と、前記第1の部分と同一方向に延びている平坦面から成る第2の部分(22)と、前記第1の部分(21)と前記第2の部分(22)との間に位置し且つ少なくとも1つの溝を備え且つ前記第1の部分(21)が延びている方向に対して零度よりも大きい所定角度を有している少なくとも2つの段差部を有している中間部分(20又は20a又は20b又は20c又は20d又は20')とを備えている第1の半導体層(3又は3a又は3b又は3c又は3d又は3e又は3h)と、

前記第1の半導体層の半導体材料と異なるバンドギャップを有する半導体材料から成り且つ前記第1の半導体層の前記一方の主面上を覆っている第2の半導体層(4又は4a又は4b又は4c又は4d又は4e又は4f又は4i)と、

前記第1の半導体層の前記一方の主面の前記第1の部分(21)に沿って生じる2次元キャリアガス層(17)に電気的に結合されたソース電極(5)と、

前記第1の半導体層の前記一方の主面の前記第2の部分(22)に沿って生じる2次元キャリアガス層(17)に電気的に結合されたドレイン電極(6)と、

前記ソース電極と前記ドレイン電極との間の電流通路を制御するために前記第1の半導体層の前記一方の主面の前記第1及び第2の段差部に対応する前記第2の半導体層の表面上に配置されたゲート手段(7)と

を備え、ノーマリ状態において、前記ソース電極と前記ドレイン電極との間の電流通路がオフ状態になるように前記第1の半導体層及び前記第2の半導体層が形成されているものとする

ことができる。

また、請求項7に示すように、2次元キャリアガス層を電流通路として使用するノーマリオフ型の電界効果半導体装置の製造方法において、

一方及び他方の主面を有する基板を用意し、該基板の前記一方の主面に、平坦面から成る第1の部分(11)と、前記第1の部分と同一方向に延びている平坦面から成る第2の部分(12)と、前記第1の部分(11)と前記第2の部分(12)との間に位置し且つ前記第1の部分(11)が延びている方向に対して零度よりも大きい所定角度を有している

少なくとも1つの段差部を含んでいる中間部分(10又は10b又は10c又は10d又は10e又は10f又は10g又は10')とを形成する工程と、

前記基板の前記一方の主面上に半導体材料をエピタキシャル成長させて前記基板の前記一方の主面の前記第1及び第2の部分(11, 12)と前記中間部分に対応する第1及び第2の部分(21, 22)と中間部分(20又は20a又は20b又は20c又は20d又は20e又は20f又は20g又は20')とを有する第1の半導体層(3又は3a又は3b又は3c又は3d又は3e又は3f又は3g又は3h)を形成する工程と、

前記第1の半導体層の半導体材料と異なるバンドギャップを有する半導体材料を前記第1の半導体層の上にエピタキシャル成長させて第2の半導体層(4又は4a又は4b又は4c又は4d又は4e又は4f又は4g又は4h又は4i)を形成する工程と、

10

20

30

40

50

前記第1の半導体層の前記第1の部分(21)に沿って生じる2次元キャリアガス層(17)に電氣的に結合されたソース電極(5)を形成する工程と、
 前記第1の半導体層の前記第3の部分(24)に沿って生じる2次元キャリアガス層(17)に電氣的に結合されたドレイン電極(6)を形成する工程と、
 前記第1の半導体層の前記中間部分の段差部に対応する前記第2の半導体層の表面上にゲート手段(7)を形成する工程と
 を備えていることが望ましい。

【発明の効果】

【0011】

本発明の請求項1の発明の電界効果半導体装置における例えば電子走行層として機能する第1の半導体層と例えば電子供給層として機能する第2の半導体層との間のヘテロ接合面の全体は平坦ではなく、第1の半導体層の一方の主面は平坦面から成る第1及び第2の部分(21、22)の他に、少なくとも2つの段差部を含んでいる中間部分を有し、且つ第2の半導体層は段差部を第1及び第2の部分(21、22)よりも薄く覆っている。従って、第1の半導体層の一方の主面の第1及び第2の部分(21、22)と第2の半導体層との界面近傍には周知の2次元キャリアガス層(例えば2次元電子ガス層即ち2DEG層)が生じるが、第1の半導体層の一方の主面の段差部と第2の半導体層との界面近傍には周知の2次元キャリアガス層が生じないか又はオフ状態と見なせる程度に抑制された2次元キャリアガスが生じる。第1の半導体層の一方の主面の第1及び第2の部分(21、22)と第2の半導体層とのヘテロ接合面におけるピエゾ分極と自発分極とのいずれか一方又は両方に基づく電界の向きは第1及び第2の部分(21、22)のヘテロ接合面に対して垂直(直角)である。この電界の強さをEとすれば、第1の部分に対して所定の傾斜角(例えば0より大きく且つ130度よりも小さい)を有する段差部における電界の強さ(大きさ)は $E \cos \theta$ となる。 $\cos \theta$ は傾斜角 θ が0度の時に最大になるので、段差部における分極に基づく電界の強さは第1及び第2の部分における分極に基づく電界の強さよりも小さくなる。第1及び第2の部分のヘテロ接合面においては分極に基づく電界の強さが大きいので、2次元キャリアガス層が生じる。一方、段差部においては分極に基づく電界の強さが弱められているので、2次元キャリアガス層が生じないか又は2次元キャリアガス量が電流通路を形成できないほど極めて少ない。第1の半導体層(例えば電子走行層)に段差部を形成するのみでは、ノーマリ状態で2次元キャリアガス層を確実に消滅

させることが困難である。これに対し、請求項1の発明では、第1の半導体層(例えば電子走行層)の段差部を覆う第2の半導体層(例えば電子供給層)の厚みが第1及び第2の部分の厚みに比べて薄いので、段差部におけるピエゾ分極と自発分極のいずれか一方又は両方が第1及び第2の部分よりも弱く、この段差部の近傍のキャリア(例えば電子)濃度が低下し、ノーマリ状態即ちゲート電圧が0Vの状態でのこの段差部に沿って電流通路が形成されえることを確実に阻止できる。これにより、良好なノーマリオフ特性を有する電界効果半導体装置を提供することができる。

また、請求項3、7に示すように、基板に段差部を設け、この上に第1の半導体層及び第2の半導体層をエピタキシャル成長法で形成すると、第1の半導体層及び第2の半導体層をエッチング等の加工工程を伴わないで段差部を有する第1の半導体層を得ることができ、結晶劣化の少ない第1の半導体層及び第2の半導体層を有する電界効果半導体装置を提供することができる。第1の半導体層及び第2の半導体層の結晶性が良くなると、第1の半導体層と第2の半導体層との界面近傍に2DEG層を比較的良好に発生させることができ、電界効果半導体装置のオン電圧の上昇を抑制できる。

また、エピタキシャル成長法で第2の半導体層を形成すると、第1の半導体層の段差部の上に薄い第2の半導体層を容易に形成することができる。

また、請求項1、2、6の発明によれば、ソース電極とドレイン電極との間に複数の段差部が配置され、この複数の段差部に対応してゲート手段が形成されているので、ゲート手段に対向する第1及び第2の半導体層の部分の幅が広くなり、電界効果半導体装置のオフ時におけるソース電極とドレイン電極との間のリーク電流が抑制され、ソース電極とド

10

20

30

40

50

レイン電極との間の耐圧が高くなる。また、ゲート手段に対向する第1及び第2の半導体層の部分の幅が広くなると、電界効果半導体装置の製造上の特性のバラツキに基づき電界効果半導体装置のオフ時にゲート手段に対向する第1及び第2の半導体層の部分の少なくとも一部に仮に電流通路を形成できるレベルの2次元キャリアガスが生じても、残部が2次元キャリアガスが無い状態又は電流通路を形成できないレベルのキャリアガス状態であれば、電界効果半導体装置がオフ状態になる。従って、電界効果半導体装置のノーマリオフ特性を確実に得ることができる。

【発明を実施するための最良の形態】

【0012】

次に、本発明の実施形態を図1～図17を参照して説明する。

10

【実施例1】

【0013】

図1～図4に示す電界効果半導体装置としてのHEMTは、単結晶シリコン半導体から成る基板1と、基板1の上に形成されたバッファ層2と、バッファ層2の上に形成された第1の半導体層としての電子走行層3と、電子走行層3にヘテロ接合されている第2の半導体層としての電子供給層4と、電子供給層4の上に形成されたソース電極5、ドレイン電極6及びゲート電極(ゲート手段)12とを備えている。次に、HEMTの各部を詳しく説明する。

【0014】

基板1は、一方の主面8とこれに対向する他方の主面9とを有し、且つバッファ層2、電子走行層3及び電子供給層4をエピタキシャル成長させるための成長基板の機能と、各層2,3,4を機械的に支持するための支持基板の機能とを有する。本実施例では、コストの低減のために基板1がシリコンで形成されている。この基板1は図3から明らかなように平面的に見て四角形に形成され、且つ本発明に従う特別な形状の電子走行層3及び電子供給層4を得るために一方の主面8に凹状の溝10を有する。なお、基板1の平面パターンを円、楕円形等に任意に変形することが可能である。基板1の一方の主面8は、図2において水平方向(基板の厚み方向に対して垂直な方向)に延びている平坦面から成る第1及び第2の部分11,12を有し、溝10は第1の部分11と第2の部分12との間に形成されている。従って、溝10を基板1の一方の主面8における中間部分と呼ぶことができる。中間部分としての溝10は、互いに対向している第1及び第2の段差部(遷移部又は傾斜部又は側壁)13,14と平坦な底面15とを有している。溝10の底面15の基板1の他方の主面9を基準にした高さ位置は第1及び第2の部分11,12よりも低い。第1の段差部13は底面15から第1の部分11に向かって立ち上がっており、底面15に対して所定の傾斜角度、好ましくは10度～90度、より好ましくは30度～80度の傾きを有する。第2の段差部14は底面15から第2の部分12に向かって立ち上がっており、底面15に対して所定の傾斜角度、好ましくは10度～90度、より好ましくは30度～80度の傾きを有する。

20

30

図3から明らかなように一方の主面8の第1及び第2の部分11,12と溝10とは、基板1の一方の辺から対となる他方の辺に至るように帯状に形成されている。基板1の一方の主面8の第1及び第2の部分11,12と溝10の底面15との高低差即ち溝10の深さ及び第1及び第2の段差部13,14の傾斜角度は、HEMTのノーマリオフを可能にする本発明に従う電子走行層3と電子供給層4が得られるように決定される。なお、図2から明らかなように、第1及び第2の段差部13,14の対向間隔は第1及び第2の部分11,12から底面15に向って徐々に狭くなっている。また、図1～図6では、基板1の平面の寸法とバッファ層2、電子走行層3及び電子供給層4の平面の寸法とが一致しているが、基板1の平面をバッファ層2、電子走行層3及び電子供給層4よりも大きくすることができる。また、基板1とバッファ層2の平面を同一寸法とし、電子走行層3及び電子供給層4の平面を基板1とバッファ層2よりも小さくすることもできる。

40

【0015】

基板1の一方の主面8上のバッファ層2は、周知のMOCVD法等のエピタキシャル成

50

長法で形成されている。図1では、図示を簡略化するためにバッファ層2が1つの層で示されているが、実際には複数の層で形成されている。即ち、このバッファ層2は、AlN（窒化アルミニウム）から成る第1のサブレイヤ（第1の副層）とGaN（窒化ガリウム）から成る第2のサブレイヤ（第2の副層）とが交互に積層された多層構造バッファである。このバッファ層2はHEMTの動作に直接に関係していないので、これを省くこともできる。また、バッファ層2の半導体材料をAlN、GaN以外の3-5族化合物半導体に置き換えること、又は単層構造のバッファ層にすることもできる。また、基板1とバッファ層2との組み合わせ体を基板と見なすこともできる。

バッファ層2の表面は基板1の一方の主面8の溝10に対応した溝16を有している。この実施例では基板1の一方の主面8に溝10を形成したが、この代わりに基板1の一方の主面8に溝10を形成しないで、バッファ層2を形成した後にバッファ層2の主面（上面）にエッチング等によって図2の溝16と同様な溝を形成することもできる。

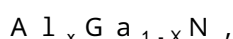
【0016】

バッファ層2の上に形成された電子走行層（第1の半導体層）3は、電子供給層4とのヘテロ接合面の近傍に電流通路（チャンネル）としての2DEG層17（点線で示す）を得るためのものであって、不純物が添加されていないアンドープGaN（窒化ガリウム）を例えば1~3μmの厚さに例えばMOCVD法でエピタキシャル成長させたものであり、基板1の凹凸を有する一方の主面8に対応した凹凸を有する一方の主面18と、バッファ層2に接触している他方の主面19とを有する。即ち、電子走行層（第1の半導体層）3の一方の主面18は、基板1の一方の主面8における第1及び第2の部分11、12と溝10にそれぞれ対応している第1及び第2の部分21、22と溝20とを有する。更に詳しく説明すると、電子走行層（第1の半導体層）3の一方の主面18は、図2で水平方向（面方向）に延びている平坦面から成る第1の部分21と、この第1の部分21から離間して水平方向に沿って延びている平坦面から成る第2の部分22と、第1の部分21と第2の部分22との間に配置された中間部分としての凹状の溝20とを有する。電子走行層（第1の半導体層）3の一方の主面18における溝20は、互いに対向している第1及び第2の段差部（遷移部又は傾斜部又は側壁）23、24と平坦な底面25とを有している。基板1の一方の主面8を基準にした溝20の底面25の高さ位置は第1及び第2の部分21、22よりも低い。第1の段差部23は底面25から第1の部分21に向かって立ち上がり、底面25に対して所定の傾斜角度、好ましくは10度~90度、より好ましくは30度~80度の傾きを有する。第2の段差部24は底面25から第2の部分22に向かって立ち上がり、底面25に対して所定の傾斜角度、好ましくは10度~90度、より好ましくは30度~80度の傾きを有する。

図4から明らかなように電子走行層3は平面的に見て四角形に形成され、一方の主面18の第1及び第2の部分21、22と中間部分としての溝20は四角形の一方の辺から対となる他方の辺に至るように帯状に形成されている。また、図5から明らかなように電子走行層3の一方の主面18の第1及び第2の部分21、22と底面25との高低差H1即ち溝20の深さと、底面25に対する第1及び第2の段差部23、24の角度（傾斜角度）はHEMTのノーマリ状態において図2で点線で示す2DEG層17から成る電流通路の分断が生じるように決定される。即ち、電子供給層（第2の半導体層）4の形成後におけるHEMTのノーマリ状態において第1及び第2の段差部23、24の近傍に2DEG層が生じないように、又は電流通路として機能するレベルの2DEG層が生じないように溝20が形成される。なお、電子走行層3の溝20は基板1の溝10及びバッファ層2の溝16に対応して得られるので、溝20を形成するために電子走行層3をエッチングする工程は不要である。

【0017】

電子走行層3の上に形成された電子供給層（第2の半導体層）4は、電子走行層3よりも大きいバンドギャップを有し且つ異なる格子定数を有する例えば次式で示す窒化物半導体で形成される。



10

20

30

40

50

ここで、 x は $0 < x < 1$ を満足する数値であり、好ましくは $0.2 \sim 0.4$ であり、より好ましくは 0.3 である。

この実施例1の電子供給層4はn型不純物アンドープの $Al_xGa_{1-x}N$ から成るが、このアンドープの $Al_xGa_{1-x}N$ から成る電子供給層4の代わりにn型(第1導電型)の不純物を添加した $Al_xGa_{1-x}N$ から成る電子供給層を設けることもできる。

【0018】

電子供給層4は、電子走行層3の溝20を有する一方の主面18の上に例えばMOCVD法でエピタキシャル成長させたものであり、その一方の主面(上面)29に図6に示すように電子走行層3の溝20に対応した溝30を有する。即ち、電子供給層4の一方の主面29は電子走行層3の一方の主面18の凹凸に対応した凹凸を有する。更に詳しくは、電子供給層4の一方の主面29は、図2において水平方向に延びている平坦面から成る第1及び第2の部分31、32と、この第1及び第2の部分31、32の間に配置された中間部分としての凹状の溝30とを有する。溝30は互いに対向している第1及び第2の段差部(遷移部又は傾斜部又は側壁部)33、34と底面35とから成る。底面35は水平方向に延びている平坦面である。第1の段差部33は底面35から第1の部分31に向かって立ち上がっており、底面35に対して所定の傾斜角度、好ましくは 10 度 ~ 90 度、より好ましくは 30 度 ~ 80 度の傾きを有する。第2の段差部34は底面35から第2の部分32に向かって立ち上がっており、底面35に対して所定の傾斜角度、好ましくは 10 度 ~ 90 度、より好ましくは 30 度 ~ 80 度の傾きを有する。

電子走行層3の一方の主面18に対して平行(横)方向の成長レートが垂直(縦)方向の成長レートよりも小さくなるように半導体材料($AlGaIn$)を電子走行層3の一方の主面18上にエピタキシャル成長させることによって電子供給層4が形成されている。このため、図6に示すように、電子供給層4の一方の主面29の第1及び第2の部分31、32と溝30の底面35における厚み $W1$ は、電子供給層4の一方の主面29の第1及び第2の段差部33、34における厚み $W2$ よりも大きい。

電子供給層4の一方の主面29の第1及び第2の部分31、32と溝30の底面35における厚み $W1$ は、電子走行層3と電子供給層4との間のヘテロ接合に基づいてノーマリ状態において周知の2DEG層17が生じるように決定されており、電子走行層3よりも薄い例えば $5 \sim 50$ nm、より好ましくは $5 \sim 20$ nmである。また、電子供給層4の一方の主面29の第1及び第2の段差部33、34における厚み $W2$ は、ノーマリ状態において電子走行層3の第1及び第2の段差部23、24と電子供給層4とのヘテロ接合界面に2DEG層17が生じないように、又は電流通路を形成できる程度にキャリア(電子)が生じないように決定され、好ましくは $1 \sim 20$ nm、より好ましくは $2 \sim 10$ nmである。電子供給層4の第1及び第2の部分31、32、並びに底面35における厚み $W1$ は、2DEG層17を良好に形成するためには厚いほど良く、電子供給層4の垂直(縦)方向の抵抗を低減するためには薄いほど良い。なお、ここでいう電子供給層4の厚みは電子走行層3の一方の主面18に対して垂直な方向の厚みを指すものとする。

【0019】

ソース電極5及びドレイン電極6は、電子供給層4の一方の主面29の第1及び第2の部分31、32の上に配置され、電子供給層4に低抵抗性接触している。このソース電極5及びドレイン電極6は、例えばチタン(Ti)とアルミニウム(Al)との積層体で形成することができる。

【0020】

ゲート手段としてのゲート電極7は、例えば白金(Pt)と金(Au)との積層体等から成る金属からなり、電子供給層4の一方の主面29の少なくとも第1及び第2の段差部33、34にショットキー接触し、好ましくは溝30の全体を埋めるように底面35の上にも形成される。なお、ゲート電極7を電子供給層4の溝30の底面35の上に形成せず、第1及び第2の段差部33、34の上のみに形成することもできる。

図1及び図2のHEMTは、ソース電極5とドレイン電極6とゲート電極7とをそれぞれ1個のみ有しているが、1つの半導体チップにこれ等を複数個設けることもできる。この

10

20

30

40

50

場合には、基板 1、電子走行層 3、電子供給層 4 に溝 10、20、30 に相当するものを複数個設ける。

【0021】

図 1 及び図 2 に示す HEMT を製造する時には、先ず基板 1 の一方の主面 8 に図 2 及び図 3 に示すように溝 10 を周知の選択エッチング技術で形成する。次に基板 1 の一方の主面 8 上に周知の MOCVD 方法でバッファ層 2、電子走行層 3、及び電子供給層 4 を順次にエピタキシャル成長させる。基板 1 の一方の主面 8 に溝 10 が形成されているので、これに対応してバッファ層 2、電子走行層 3、及び電子供給層 4 にも溝 16、20、30 が形成される。電子供給層 (AlGaIn 層) 4 を形成する時には、図 6 において電子走行層 (GaIn 層) 3 の一方の主面 18 の第 1 の部分 21 に対して垂直方向 (縦方向) における電子供給層 4 の成長レートを水平方向 (横方向) における電子供給層 4 の成長レートよりも速くする。縦方向成長レートと横方向成長レートとの差は、周知のように電子走行層 3 及び電子供給層 4 の結晶の面方位選択、又は成長温度の制御によって得ることができる。横方向成長レートが縦方向成長レートよりも遅いと、電子走行層 3 の第 1 及び第 2 の段差部 23、24 の上の電子供給層 4 の厚み W_2 が第 1 及び第 2 の部分 21、22、並びに溝 20 の底面 25 の上の電子供給層 4 の厚み W_1 よりも薄くなる。

しかる後、ソース電極 5 及びドレイン電極 6 を例えば蒸着で形成し、更に、ゲート電極 7 を例えば蒸着で形成して HEMT を完成させる。

【0022】

次に、HEMT の動作を説明する。ゲート電極 7 に対してバイアス電圧が印加されている状態と印加されていない状態 (ノーマリ状態) とのいずれにおいても、電子走行層 3 の一方の主面 18 の第 1 及び第 2 の部分 21、22、並びに溝 20 の底面 25 の近傍に電子走行層 3 と電子供給層 4 とのヘテロ接合面のピエゾ分極と自発分極とに基づいて周知の 2 次元電子ガス層即ち 2DEG 層 17 が生じる。即ち、電子走行層 3 の一方の主面 18 の第 1 及び第 2 の部分 21、22、並びに溝 20 の底面 25 は平坦であり且つこの上の電子供給層 4 が比較的厚く形成されているので、ピエゾ分極と自発分極のいずれか一方又は両方とに基づく電界が比較的大きくなり、電流通路となり得る 2DEG 層 17 が生じる。他方、ゲート電極 7 に対してバイアス電圧が印加されていない状態 (ノーマリ状態) においては、電子走行層 3 の一方の主面 18 の第 1 及び第 2 の段差部 23、24 の近傍に電流通路となり得る 2DEG 層 17 が生じない。既に説明したように平坦面におけるピエゾ分極と自発分極のいずれか一方又は両方とに基づく第 2 の部分 22 に対して垂直な方向における電界の強さを E とした時に角度 θ の傾斜面から成る第 1 及び第 2 の段差部 23、24 における電界の強さは $E \cos \theta$ となり、第 1 及び第 2 の部分 21、22、並びに溝 20 の底面 25 よりも弱くなる。更に、この実施例の第 1 及び第 2 の段差部 23、25 上の電子供給層 4 の厚み W_2 は第 1 及び第 2 の部分 21、22、並びに溝 20 の底面 25 の上の電子供給層 4 の厚み W_1 よりも薄いので、ピエゾ分極と自発電極のいずれか一方又は両方に基づいて生じる電界が更に弱くなる。これにより、電子走行層 3 の第 1 及び第 2 の段差部 23、24 と電子供給層 4 とのヘテロ接合面における電界の強さが電子供給層 4 とここにショットキー接触しているゲート電極 7 との間にビルトインポテンシャル (built-in potential) 即ちバイアス電圧が無い状態での電位差に基づく電界の強さより低くなり、2DEG 層が発生しないか、又は電流通路となり得る量の 2DEG が発生しない。この結果、ノーマリ状態においては、ソース電極 5 とドレイン電極 6 との間の 2DEG 層 17 が第 1 及び第 2 の段差部 23、24 において分断され、ソース電極 5 とドレイン電極 6 との間に電流が流れない。ドレイン電極 6 の電位をソース電極 5 よりも高くし、且つゲート電極 7 とソース電極 5 との間に閾値以上の電圧を印加すると、ビルトインポテンシャルが打ち消され、第 1 及び第 2 の段差部 23、24 にもチャンネル層が生じ、ソース電極 5、電子供給層 4、2DEG 層 17、電子供給層 4、及びドレイン電極 6 の経路で電子が流れる。

【0023】

本実施例の HEMT は次の効果を有する。

(1) 電子走行層 3 の一方の主面 18 の第 1 及び第 2 の段差部 23、24 が傾斜面であり

10

20

30

40

50

、且つこれらの上の電子供給層4が第1及び第2の部分21, 22と溝20の底面25の上の電子供給層4よりも薄く形成されている。このため、第1及び第2の段差部23、25の上の電子供給層4におけるピエゾ分極と自発分極のいずれか一方又は両方が第1及び第2の部分21, 22、並びに溝20の底面25の上の電子供給層4よりも弱くなる。このため、ノーマリ状態において第1及び第2の段差部23、25に電流通路として機能する2次元電子ガス即ち2DEGが発生することを確実に防ぐことができ、ノーマリオフ特性を有するHEMTが容易且つ確実に得られる。

(2) 溝10を設けた基板1の上にバッファ層2と電子走行層3と電子供給層4とを順次にエピタキシャル成長法で形成することによって、溝20を有する電子走行層3と溝30を有する電子供給層4を得るので、電子走行層3及び電子供給層4のエッチング工程を伴

10

わないで溝20, 30を容易に得ることができる。
(3) もし、電子走行層3にエッチング工程で溝を形成する、又は電子供給層4にエッチング工程で溝を形成すると、エッチングに基づいて電子走行層3及び電子供給層4の結晶が劣化する。これに対し、本実施例では電子走行層3及び電子供給層4をエッチングしないので、結晶の劣化が少ない。これにより、電子走行層3と電子供給層4との界面近傍に2DEG層を比較的的良好に発生させることができ、HEMTのオン電圧の上昇を抑制できる。

(4) 電子供給層4の一方の主面29の第1及び第2の段差部33, 34における厚みW2を、電子供給層4を形成する材料(AlGaN)の傾斜面における成長レートを平坦面よりも遅くする方法、即ち横方向成長レートを縦方向成長レートよりも遅くする方法を採用して第1及び第2の部分31, 32、並びに溝30の底面35の厚みW1よりも薄くしてい

20

るので、電子供給層4の薄い部分を容易に形成することができる。
(5) HEMTのノーマリオフ特性及び閾値電圧を電子走行層3の一方の主面18の第1及び第2の段差部23, 24の傾斜角度とこの上の電子供給層4の厚みで制御できるので、HEMTの所望特性をバラツキの少ない状態で容易に得ることができる。

(6) ゲート電極7が電子供給層4の溝30の全体を含むように形成されているので、ゲート電極7を容易に形成することができる。

(7) オフ状態において、ソース電極5とドレイン電極6との間の2DEG層17が、電子走行層3の一方の主面18の第1及び第2の段差部23, 24に対応する2つの箇所に分断されているので、製造上のバラツキ等で2つの箇所の内の一方が非分断であっても残りの他方が分断状態であればソース電極5とドレイン電極6との間の電流通路がオフ状態

30

【実施例2】

【0024】

次に、図7に示す実施例2に従うHEMTを説明する。但し、図7及び後述する図8～図17において図1～6と実質的に同一の部分には同一の参照符号を付してその説明を省略する。図7のHEMTは、図2に示されている実施例1に従う溝10を有さない基板1aと、図2に示されている実施例1に従う溝16を有さないバッファ層2aと、変形された溝20

40

【0025】

aを有する電子走行層3aと、変形された溝30aを有する電子供給層4aとを備えている点、及び溝20a、30aの形成方法において実施例1と相違し、その他は実施例1と実質的に同一に構成されている。
図7のHEMTを製造する時には、溝を有さない平坦な主面11を有するシリコンから成る基板1aを用意し、この基板1aに表面処理を施した後に、この上に例えばMOCVD法でAlNとGaNから成るバッファ層2a及びGaNから成る電子走行層3aを順次にエピタキシャル成長させる。次に、電子走行層3aの一方の主面18に周知の選択的エッチングによって中間部分としての溝20aを形成する。なお、この選択的エッチングを周知の異方性を有するドライエッチングとすることによって溝20aの側壁即ち電子走行

50

層 3 a の一方の主面 1 8 の第 1 及び第 2 の段差部 2 3 a , 2 4 a を垂直又はほぼ垂直面とする。即ち、第 1 及び第 2 の段差部 2 3 a , 2 4 a の傾斜角度 を 9 0 度又はほぼ 9 0 度にする。次に、溝 2 0 a を有する電子走行層 3 a の上に A l G a N から成る電子供給層 4 a を例えば M O C V D 法でエピタキシャル成長させる。なお、A l G a N から成る電子供給層 4 a の横方向成長レートを縦方向成長レートよりも遅くする。これにより、電子走行層 3 a の溝 2 0 a に対応した中間部分としての溝 3 0 a が電子供給層 4 a に生じる。電子供給層 4 a の溝 3 0 a の側壁即ち電子供給層 4 a の一方の主面 2 9 の第 1 及び第 2 の段差部 3 3 a , 3 4 a は垂直又はほぼ垂直面になる。また、電子供給層 4 a の溝 3 0 a の側壁部分即ち第 1 及び第 2 の段差部 3 3 a , 3 4 a の厚みは電子供給層 4 a の一方の主面 2 9 の第 1 及び第 2 の部分 3 1 , 3 2、並びに底面 3 5 の厚みよりも薄くなる。次に、ソース電極 5、ドレイン電極 6、及びゲート電極 7 を実施例 1 と同様に形成する。

10

【 0 0 2 6 】

実施例 2 の H E M T の基本構造は、図 2 の H E M T と同一であるので、前述した実施例 1 の効果 (1)、(4) ~ (7) と同一の効果を得ることができる。また、電子供給層 4 にエッチング工程で溝 (リセス) を形成しないので、従来の電子供給層におけるゲート電極直下をエッチングによって溝 (リセス) を形成して電子供給層を薄くする方法に比べ、電子走行層 3 a の結晶のダメージが少なくなる。

なお、図 7 の基板 1 a の代わりに電子走行層 3 a の溝 2 0 a に対応する溝を有する基板を図 2 と同様に設け、この基板の上にバッファ層 2 a、電子走行層 3 a 及び電子供給層 4 a をエピタキシャル成長させ、図 2 と同様に基板の溝に対応するように溝 2 0 a , 3 0 a を形成することもできる。

20

【 実施例 3 】

【 0 0 2 7 】

次に、図 8 に示す実施例 3 に従う H E M T を説明する。但し、図 8 において図 1 ~ 7 と実質的に同一の部分には同一の参照符号を付してその説明を省略する。図 8 の H E M T は、変形された中間部分としての溝 2 0 b , 3 0 b を有する他は図 7 に示されている実施例 2 の H E M T と実質的に同一に構成されている。図 8 の電子走行層 3 b の溝 2 0 b は断面形状においてその幅が深いほど広くなる蟻溝状に形成されており、溝 2 0 b の入口 (開口部) の寸法が溝 2 0 a の底面 2 5 よりも大きい。このため、溝 2 0 b の側壁即ち第 1 及び第 2 の段差部 2 3 b、2 4 b の底面 2 5 に対する傾斜角度 は、9 0 度よりも小さい (例えば 6 0 度) 値を有する。図 8 の電子供給層 4 b の溝 3 0 b も蟻溝であって、この側壁即ち第 1 及び第 2 の段差部 3 3 b、3 4 b は底面 3 5 に対して 9 0 度未満の傾斜角度を有する。しかし、第 1 及び第 2 の段差部 3 3 b、3 4 b の傾斜角度を任意に調整することができる。電子供給層 4 b は、実施例 1 と同様に横方向成長レートを縦方向成長レートよりも遅くする方法で形成されているので、電子供給層 4 b の溝 3 0 b の第 1 及び第 2 の段差部 3 3 b、3 4 b の厚みは第 1 及び第 2 の部分 3 1 , 3 2、並びに底面 3 5 の厚みよりも薄い。図 8 の実施例 3 に従う H E M T は図 7 の実施例 3 に従う H E M T と同様な効果を有する。

30

なお、図 8 の基板 1 a の代わりに電子走行層 3 b の溝 2 0 b に対応する溝を有する基板を図 2 と同様に設け、この基板の上にバッファ層 2 a、電子走行層 3 b 及び電子供給層 4 b をエピタキシャル成長させ、図 2 と同様に基板の溝に対応するように溝 2 0 b , 3 0 b を形成することもできる。

40

【 実施例 4 】

【 0 0 2 8 】

次に、図 9 に示す実施例 4 に従う H E M T は、斜線を付して説明的に示す低抵抗接触性改善用の n 型不純物注入領域 4 1、4 2 をソース電極 5 とドレイン電極 6 との下に設け、この他は図 2 に示されている実施例 1 の H E M T と実質的に同一に形成したものである。n 型不純物注入領域 4 1、4 2 は、電子走行層 3 と電子供給層 4 の形成後に、これ等のソース電極 5 及びドレイン電極 6 の下に相当する部分に例えば S i から成る n 型不純物を注入することによって形成されている。図 9 に示す実施例 4 は、図 2 に示す実施例 1 と同様な効果を有する他に、ソース電極 5 及びドレイン電極 6 が n 型不純物注入領域 4 1、4 2 を介して 2

50

D E G 層 1 7 に電氣的に接続されているので、オン抵抗を低減できるという効果も有する。

なお、図 7 ~ 図 8 の実施例 2 ~ 3、後述する図 1 1 ~ 図 1 7 の実施例 6 ~ 1 2 においても、図 9 の n 型不純物注入領域 4 1、4 2 と同様なものを設けることができる。

【実施例 5】

【0029】

図 1 0 の実施例 5 の HEMT は、n 型不純物を含む $A_{1-x}Ga_{1-x}N$ から成る電子供給層 4 c を設け、この n 型の電子供給層 4 c と GaN から成る電子走行層 3 との間にアンドープ AlN から成る周知のスペーサー層 5 0 を配置し、且つソース電極 5 及びドレイン電極 6 と電子供給層 4 c との間に例えば n 型 AlGaIn から成るコンタクト層 5 1、5 2 を配置し、この

10

他は図 2 に示されている実施例 1 の HEMT と実質的に同一に形成したものである。スペーサー層 5 0 は電子供給層 4 の不純物が電子走行層 3 に拡散することを防ぐ効果を有する。コンタクト層 5 1、5 2 は、ソース電極 5 及びドレイン電極 6 の接触抵抗を低減に寄与する。図 1 0 のゲート電極 7 の下は図 2 と同様に構成されているので、図 1 0 の HEMT は図 2 の HEMT と同様な効果も有する。

【実施例 6】

【0030】

図 1 1 の実施例 6 の HEMT は、図 2 の溝 1 0 を有する基板 1、溝 1 6 を有するバッファ層 2、溝 2 0 を有する電子走行層 3 及び溝 3 0 を有する電子供給層 4 の代わりに中間部分としての台形状の突起 1 0 a を有する基板 1 b、突起 1 6 a を有するバッファ層 2 b、中間部分としての突起 2 0 c を有する電子走行層 3 c、中間部分としての突起 3 0 c を有する電子供給層 4 d を設け、この他は図 2 に示されている実施例 1 の HEMT と実質的に同一に形成したものである。電子走行層 3 c の台形状の突起 2 0 c は対の壁面即ち第 1 及び第 2 の段差部 2 3 c、2 4 c と頂面 2 5 ' とを有する。頂面 2 5 ' は第 1 及び第 2 の部分 2 1、2 2 よりも高い位置において水平方向に延びている平坦面であり、断面形状においてその幅は高い位置ほど狭くなっている。第 1 の段差部 2 3 c は第 1 の部分 2 1 から頂面 2 5 ' に向って所定の角度（例えば 1 0 ~ 9 0 度）を有して立ち上がっている。第 2 の段差部 2

20

30

4 c は第 2 の部分 2 2 から頂面 2 5 ' に向って所定の角度（例えば 1 0 ~ 9 0 度）を有して立ち上がっている。電子走行層 3 c の台形状の突起 2 0 c を得るために、基板 1 b には突起 2 0 c に対応する突起 1 0 a が設けられており、この基板 1 b の上にバッファ層 2 b 及び電子走行層 3 c がエピタキシャル成長法で形成されている。電子走行層 3 c の上にエピタキシャル成長法で形成された電子供給層 4 d の突起 3 0 c は対の壁面即ち第 1 及び第 2 の段差部 3 3 c、3 4 c と頂面 3 5 ' とを有する。頂面 3 5 ' は第 1 及び第 2 の部分 3 1、3 2 よりも高い位置において水平方向に延びている平坦面である。第 1 の段差部 3 3 c は第 1 の部分 3 1 から頂面 3 5 ' に向って所定の角度を有して立ち上がっている。第 2 の段差部 3 4 c は第 2 の部分 3 2 から頂面 3 5 ' に向って所定の角度を有して立ち上がっている。電子供給層 4 d の第 1 及び第 2 の段差部 3 3 c、3 4 c

40

における厚みは第 1 及び第 2 の部分 3 1、3 2、並びに頂面 3 5 ' における電子供給層 4 d の厚みより薄い。第 1 及び第 2 の段差部 3 3 c、3 4 c における電子供給層 4 d の厚みと第 1 及び第 2 の部分 3 1、3 2、並びに頂面 3 5 ' とにおける電子供給層 4 d の厚みの相違は実施例 1 と同様に横方向成長レートが縦方向成長レートよりも遅いことによって生じている。ゲート電極 7 は電子供給層 4 d の突起 3 0 c の上に形成されている。図 1 1 の実施例 6 の電子供給層 4 d の第 1 及び第 2 の段差部 3 3 c、3 4 c は図 2 の電子供給層 4 の第 1 及び第 2 の段差部 3 3、3 4 と同様に機能する。従って、図 1 1 の実施例 6 の HEMT によっても図 2 の実施例 1 の HEMT と同様な効果を得ることができる。

【0031】

なお、図 7 ~ 図 1 0 の実施例 2 ~ 5、及び後述する図 1 2、図 1 7 においてももの溝の代

50

わりに図11の突起10a、突起16a、突起20c、突起30cと同様なものを設けることができる。

【実施例7】

【0032】

図12の実施例7のHEMTは、図2の実施例1のHEMTに絶縁膜60を付加し、この他は図2に示されている実施例1のHEMTと実質的に同一に形成したものである。なお、図12の実施例7の電界効果半導体装置は典型的なHEMTと異なる構成を有するHEMT型電界効果半導体装置であるが、ここではHEMTと呼ぶことにする。絶縁膜60は電子供給層4の上にシリコン酸化物(ゲート酸化膜)を被着させたものであり、電子供給層4とゲート電極7との間に配置されている。従って、ゲート電極7は電子供給層4に対して容量結合されている。ゲート電極7に電圧を印加しないノーマル状態では実施例1と同様に2DEG層17の分断が電子走行層3の第1及び第2の段差部23、24近傍で生じる。ゲート電極7に閾値以上の電圧が印加されると、電子走行層3の第1及び第2の段差部23、24に沿ってチャンネルが形成され、ソース電極5とドレイン電極6との間がオン状態になる。図12の実施例7のHEMTは図2の実施例7のHEMTと同一の効果をも有する。

10

なお、図7～図11の実施例2～6、後述する図13～図17の実施例8～12のHEMTにも図12の実施例7の絶縁膜60と同様なものを設けることができる。

【実施例8】

【0033】

図13の実施例8のHEMTは、図2の実施例1のHEMTから溝10、16、20、30の底面15、25、35を省き、中間部分としてV字状溝10b、16b、20d、30dを基板1c、バッファ層2c、電子走行層3d、電子供給層4eに形成し、この他は図2に示されている実施例1のHEMTと実質的に同一に形成したものである。図13のV字状溝10b、20d、30dは、第1の段差部13、23、33とこれに対向する第2の段差部14、24、34を有する。これ等は図2で同一の参照符号で示すものと同一に形成され、同様な機能を有する。図13の電子供給層4eは図2の実施例1と同様に横方向成長レートが縦方向成長レートよりも遅くなるように形成されているので、図13の電子供給層4eの第1及び第2の段差部33d、34dにおける厚みは電子供給層4eの第1及び第2の部分31、32における厚みよりも薄い。これにより、図13の実施例8に従うHEMTによっても図1の実施例1に従うHEMTと同様な効果を得ることができる。

20

30

【0034】

なお、図13の実施例8において、基板1cの溝10bを省き、バッファ層2cに溝16bに相当するものを設け、この上に電子走行層3d及び電子供給層4eを形成することができる。また、図13の実施例8において、基板1cの溝10b及びバッファ層2cの溝16bを省き、電子走行層3dに溝20dを設け、この上に電子供給層4eを形成することができる。

【実施例9】

【0035】

図13の実施例9のHEMTは、図13の実施例8のHEMTの溝10b、16b、20d、30dの代わりに、中間部分として断面形状が高くなるほど幅狭の三角状突起10c、16c、20e、30eを基板1d、バッファ層2d、電子走行層3e、電子供給層4fに形成し、この他は図13に示されている実施例8のHEMTと実質的に同一に形成したものである。図14の三角状突起10c、20e、30eは、第1の段差部13'、23'、33'とこれに対向する第2の段差部14'、24'、34'を有する。これ等は図13でダッシュを伴わない同一の参照符号で示すものと同様な機能を有する。図14の電子供給層4fは図2及び図13の実施例1及び8と同様に横方向成長レートが縦方向成長レートよりも遅くなるように形成されているので、図14の電子供給層4fの第1及び第2の段差部33'、34'における厚みは電子供給層4fの第1及び第2の部分31、32における厚みよりも薄い。これにより、図14の実施例9に従うHEMTによっても図13の実施例8に従うHEMTと同様な効果を得ることができる。

40

50

【 0 0 3 6 】

なお、図 1 4 の実施例 9 において、基板 1 d の突起 1 0 c を省き、バッファ層 2 d に突起 1 6 c に相当するものを設け、この上に電子走行層 3 e 及び電子供給層 4 f を形成することができる。また、図 1 4 の実施例 9 において、基板 1 d の突起 1 0 c 及びバッファ層 2 d に突起 1 6 c を省き、電子走行層 3 e に突起 2 0 e を設け、この上に電子供給層 4 f を形成することができる。

【 実施例 1 0 】

【 0 0 3 7 】

図 1 5 の実施例 1 0 の H E M T は、図 2 の実施例 1 の H E M T から溝 1 0、1 6、2 0、3 0 を省き、この代わりに基板 1 e、バッファ層 2 e、電子走行層 3 f、電子供給層 4 g における中間部分 1 0 d、1 6 d、2 0 f、3 0 f に断面形状において右下がりの傾斜を有する 1 つの段差部 1 3、1 6 d'、2 3、3 3 のみを設け、更に基板 1 e、電子走行層 3 f、電子供給層 4 g の第 2 の部分 1 2、2 2、3 2 の高さを第 1 の部分 1 1、2 1、3 1 よりも低くし、この他は図 2 に示されている実施例 1 の H E M T と実質的に同一に形成したものである。

10

図 1 5 の電子供給層 4 g は図 2 の実施例 1 と同様に横方向成長レートが縦方向成長レートよりも遅くなるように形成されているので、図 1 5 の電子供給層 4 g の段差部 3 3 における厚みは電子供給層 4 g の第 1 及び第 2 の部分 3 1、3 2 よりも薄い。従って、図 1 5 の段差部 2 3、3 3 は、図 2 で同一の参照符号で示す第 1 の段差部と同様に機能し、図 1 5 の実施例 1 0 に従う H E M T によっても図 2 の実施例 1 に従う H E M T と同様な効果を得ることができる。

20

【 0 0 3 8 】

なお、図 1 5 の実施例 1 0 において、基板 1 e に段差部 1 3 を設けずにバッファ層 2 e に段差部 1 6 d を設け、この上に電子走行層 3 f 及び電子供給層 4 g を形成することができる。また、基板 1 e 及びバッファ層 2 e の段差部 1 3、1 6 d を省き、電子走行層 3 f に段差部 2 3 を設け、この上に電子供給層 4 g を形成することができる。また、図 1 5 の実施例 1 0 において、電子走行層 3 f の段差部 2 3 の角度を好ましくは 1 0 ~ 9 0 度の範囲で任意に変えることができる。

【 実施例 1 1 】

【 0 0 3 9 】

図 1 6 の実施例 1 1 の H E M T は、図 1 5 の実施例 1 0 の H E M T の中間部分 1 0 d、1 6 d、2 0 f、3 0 f における段差部 1 3、1 6 d'、2 3、3 3 の断面形状において傾斜の向きを逆（左上がり）にした段差部 1 3'、1 6 e'、2 3'、3 3' を有する中間部分 1 0 e、1 6 e、2 0 g、3 0 g を基板 1 f、バッファ層 2 f、電子走行層 3 g、電子供給層 4 h に設け、更に基板 1 f、電子走行層 3 g、電子供給層 4 h の第 2 の部分 1 2、2 2、3 2 の高さを第 1 の部分 1 1、2 1、3 1 よりも高くし、この他は図 1 5 に示されている実施例 1 0 の H E M T と実質的に同一に形成したものである。

30

図 1 6 の電子供給層 4 h は図 2 の実施例 1 と同様に横方向成長レートが縦方向成長レートよりも遅くなるように形成されているので、図 1 6 の電子供給層 4 h の段差部 3 3' における厚みは電子供給層 4 h の第 1 及び第 2 の部分 3 1、3 2 における厚みよりも薄い。従って、図 1 6 の段差部 2 3'、3 3' は、図 2 及び図 1 5 の第 1 の段差部 2 3、3 3 と同様に機能し、図 1 6 の実施例 1 1 に従う H E M T によっても図 2 及び図 1 5 の実施例 1、1 0 に従う H E M T と同様な効果を得ることができる。

40

【 0 0 4 0 】

なお、図 1 6 の実施例 1 1 において、基板 1 f に段差部 1 3' を設けずにバッファ層 2 e に段差部 1 6 e' を設け、この上に電子走行層 3 g 及び電子供給層 4 h を形成することができる。また、基板 1 f 及びバッファ層 2 f の段差部 1 3'、1 6 e' を省き、電子走行層 3 g に段差部 2 3' を設け、この上に電子供給層 4 h を形成することができる。また、図 1 6 の実施例 1 1 において、電子走行層 3 g の段差部 2 3' の角度を好ましくは 1 0 ~ 9 0 度の範囲で任意に変えることができる。

50

【実施例 12】

【0041】

図17の実施例12のHEMTは、図2の実施例2のHEMTの中間部分における1つの溝10、16、20、30の代りに、基板1gの中間部分10'に2つの溝10f、10g、バッファ層2gの中間部分16'に2つの溝16f、16g、電子走行層3hの中間部分20'に2つの溝20h、20i、電子供給層4iの中間部分30'に2つの溝30h、30iを設け、この他は図2に示されている実施例1のHEMTと実質的に同一に形成したものである。

【0042】

基板1gの中間部分10'における2つの溝10f、10gは図2の基板1の溝10とそれぞれ同一に形成されている。バッファ層2gの中間部分16'における2つの溝16f、16gは図2のバッファ層2の溝16とそれぞれ同一に形成されている。電子走行層3hの中間部分20'における2つの溝20h、20iは図2の電子走行層3の溝20とそれぞれ同一に形成されている。電子供給層4iの中間部分30'における2つの溝30h、30iは図2の電子供給層4の溝30とそれぞれ同一に形成されている。電子供給層4iの2つの溝30h、30iの各第1及び第2の段差部33、34における厚みは電子供給層4iにおけるこの他の部分の厚みよりも薄い。基板1gの中間部分10'における2つの溝10f、10gの間に平坦面17がある。しかし、この平坦面17を省略することができる。基板1gの中間部分10'の平坦面17に対応してバッファ層2gにも平坦面が生じ、更に電子走行層3hに平坦面26、及び電子供給層4iに平坦面36が生じている。電子走行層3hの平坦面26は第1及び第2の部分21、22と同一の高さ位置を有し、電子供給層4iの平坦面36は第1及び第2の部分31、32と同一の高さ位置を有する。ゲート電極7は電子供給層4iの2つの溝30h、30iを覆うように形成されている。

【0043】

図17の電子供給層4iの2つの溝30h、30iは図2の溝30と同様な機能を有するので、図17の実施例12に従うHEMTによっても図2の実施例1に従うHEMTと同様な効果を得ることができる。また、図17の電子供給層4iにおける段差部33、34の数は図2の電子供給層4における段差部33、34の数の2倍になるので、ゲート電極7によって制御される部分の電流通路方向の幅が図2よりも増大し、リーク電流の低減、耐圧の向上、及び確実なノーマリオフを図ることができる。

【0044】

なお、図17の実施例12において、基板1gに溝10f、10gを設けずにバッファ層2eに溝16f、16gを設け、この上に電子走行層3h及び電子供給層4iを形成することができる。また、基板1g及びバッファ層2gの溝10f、10g、16f、16gを省き、電子走行層3hに溝20h、20iを設け、この上に電子供給層4iを形成することができる。また、電子走行層3hの2つの溝20h、20iの間の平坦面26、及び電子供給層4iの2つの溝30h、30iの間の平坦面36が生じ無いようにすることもできる。

【0045】

本発明は、上述の実施例に限定されるものでなく、例えば、次の変形が可能なものである。

(1) 各層3、3a~3h、4、4a~4iを、Ga₂N、AlGa₂N以外のInGa₂N、AlInGa₂N、Al₂N、InAl₂N、AlP、GaP、AlInP、GalnP、AlGaAs、GaAs、AlAs、InAs、InP、InN、GaAsP等の別の3-5族化合物半導体、又はZnO等の2-6族化合物半導体、又は更に別の化合物半導体で形成することができる。

(2) 基板1をシリコン以外のSiC、サファイア、Ga₂N、Al₂N、セラミックス等の半導体又は絶縁体で形成することができる。

(3) 基板1~1gの他方の主面9に背面電極を設けることができる。

10

20

30

40

50

(4) 各実施例の電子供給層4, 4a~4iをp型半導体から成る正孔供給層に置き換えることができる。この場合には、2DEG層17に対応する領域に2次元キャリアガス層として2次元正孔ガス層が生じる。

(5) 各実施例のHEMTを同一半導体基体に複数個設け、複数個のHEMT(セル)を並列接続することができる。この場合、ソース電極5とドレイン電極6とを交互に配置し、これ等の間にゲート電極7を配置することが望ましい。

(6) 図1~図17の実施例1~12において、電子走行層(第1の半導体層)の段差部の上の電子供給層(第2の半導体層)の厚みを第1及び第2の部分21, 22の上の電子供給層(第2の半導体層)の厚みよりも薄くしないでノーマリオフ特性が得られる場合には、電子供給層を全ての領域で同一の厚みに形成することができる。

(7) 図17の基板1gの中間部分10'における2つの溝10f, 10g、バッファ層2gの中間部分16'における2つの溝16f, 16g、電子走行層3hの中間部分20'における2つの溝20h, 20i、電子供給層4iの中間部分30'における2つの溝30h, 30iの代わりに、図11に示す突起10a, 16a, 20c, 30cをそれぞれ2つ設けること、又は図13のV字状溝10b, 16b, 20d, 30dをそれぞれ2つ設けること、又は図14の三角形状突起10c, 16c, 20e, 30eをそれぞれ2つ設けることができる。また、電子走行層及び電子供給層における溝又は突起の数を3以上にすることもできる。

【図面の簡単な説明】

【0046】

【図1】本発明の実施例1のHEMTを示す平面図である。

【図2】図1のHEMTのA-A線を示す断面図である。

【図3】図2のHEMTの基板の表面を示す平面図である。

【図4】図2のHEMTの電子走行層の表面を示す平面図である。

【図5】図4のB-B線を示す断面図である。

【図6】図5の電子走行層の上に電子供給層を形成したものを示す断面図である。

【図7】実施例2のHEMTを示す断面図である。

【図8】実施例3のHEMTを示す断面図である。

【図9】実施例4のHEMTを示す断面図である。

【図10】実施例5のHEMTを示す断面図である。

【図11】実施例6のHEMTを示す断面図である。

【図12】実施例7のHEMTを示す断面図である。

【図13】実施例8のHEMTを示す断面図である。

【図14】実施例9のHEMTを示す断面図である。

【図15】実施例10のHEMTを示す断面図である。

【図16】実施例11のHEMTを示す断面図である。

【図17】実施例12のHEMTを示す断面図である。

【符号の説明】

【0047】

- 1, 1a 基板
- 2, 2a バッファ層
- 3, 3a, 3b, 3c 電子走行層(第1の半導体層)
- 4, 4a, 4b, 4c, 4d 電子供給層(第2の半導体層)
- 5 ソース電極
- 6 ドレイン電極
- 7 ゲート電極
- 20, 20a, 20c 溝

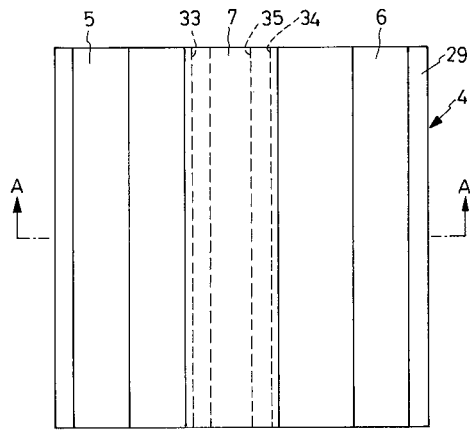
10

20

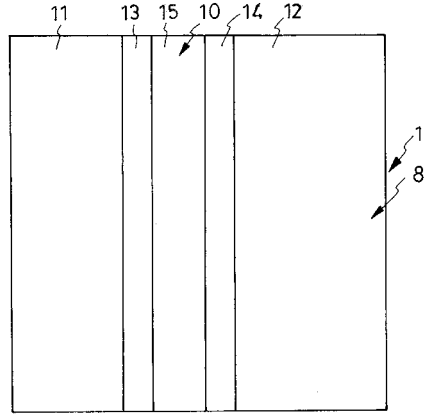
30

40

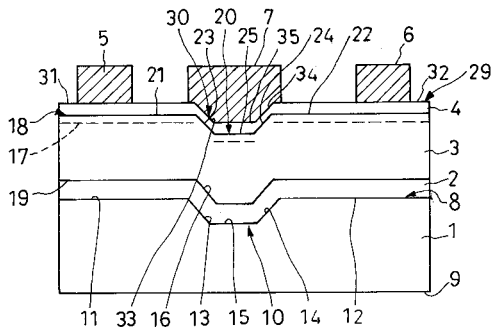
【 図 1 】



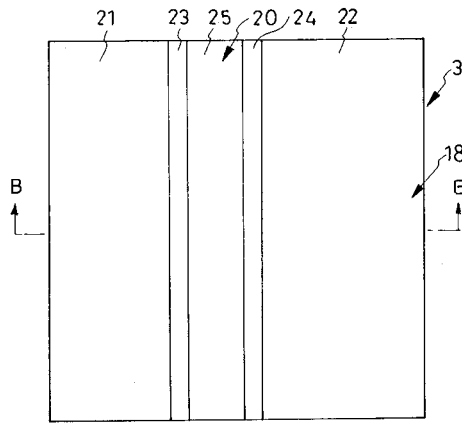
【 図 3 】



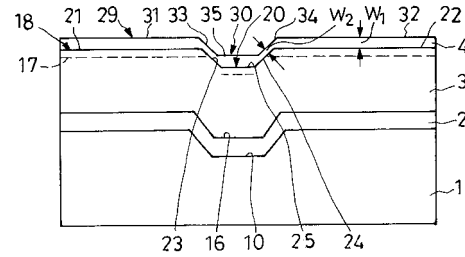
【 図 2 】



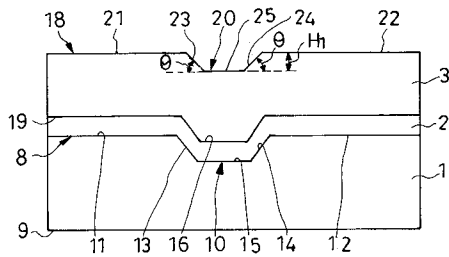
【 図 4 】



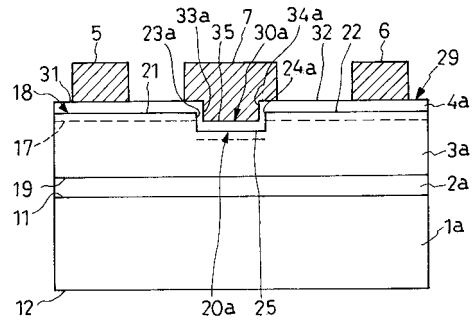
【 図 6 】



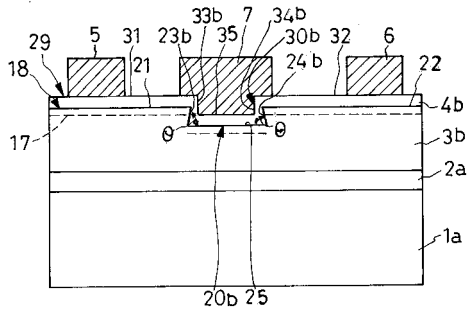
【 図 5 】



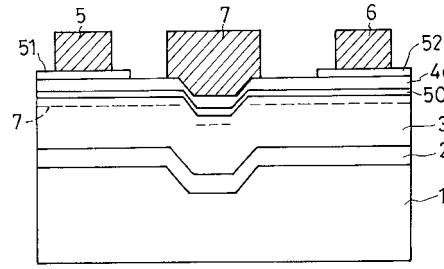
【 図 7 】



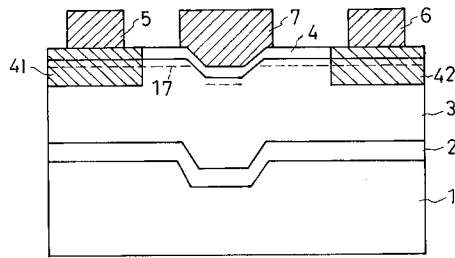
【図 8】



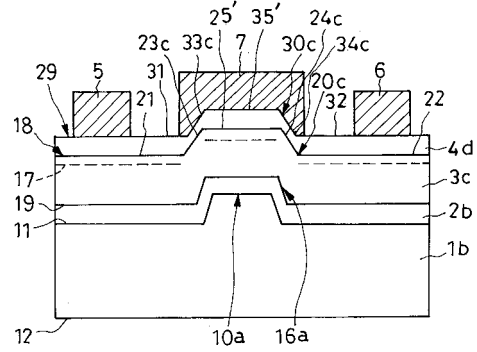
【図 10】



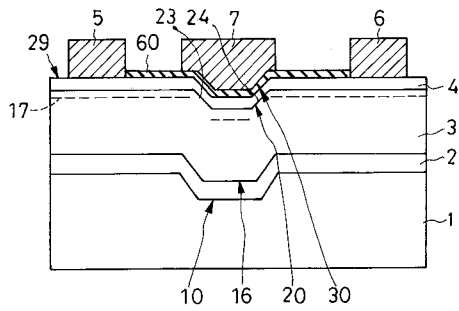
【図 9】



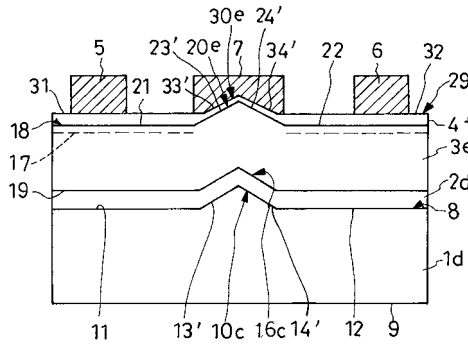
【図 11】



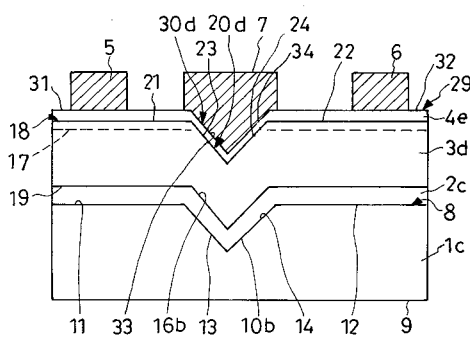
【図 12】



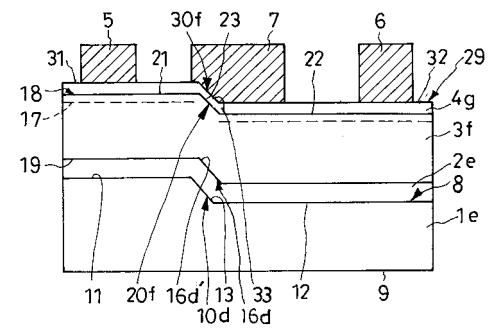
【図 14】



【図 13】



【図 15】



フロントページの続き

- (56)参考文献 特開2007-088185(JP,A)
特開平11-251577(JP,A)
特開平07-245315(JP,A)
特開平09-181330(JP,A)
特開平07-183492(JP,A)
特開昭63-316484(JP,A)
特開昭61-089674(JP,A)
特開2006-032650(JP,A)
国際公開第2003/071607(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/338
H01L 21/336
H01L 29/778
H01L 29/78
H01L 29/812