

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 8 月 21 日(21.08.2014)



(10) 国際公開番号
WO 2014/125565 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
H01L 29/739 (2006.01)
- (21) 国際出願番号: PCT/JP2013/053245
- (22) 国際出願日: 2013 年 2 月 12 日(12.02.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): トヨタ自動車株式会社 (TOYOTA JIDOSHA KABUSHIKI KAISHA) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 Aichi (JP).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 平林 康弘(HIRABAYASHI Yasuhiro) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内 Aichi (JP). 大西 徹(ONISHI Toru) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内 Aichi (JP). 西脇 克彦(NISHI-

WAKI Katsuhiko) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内 Aichi (JP). 斎藤 順(SAITO Jun) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内 Aichi (JP).

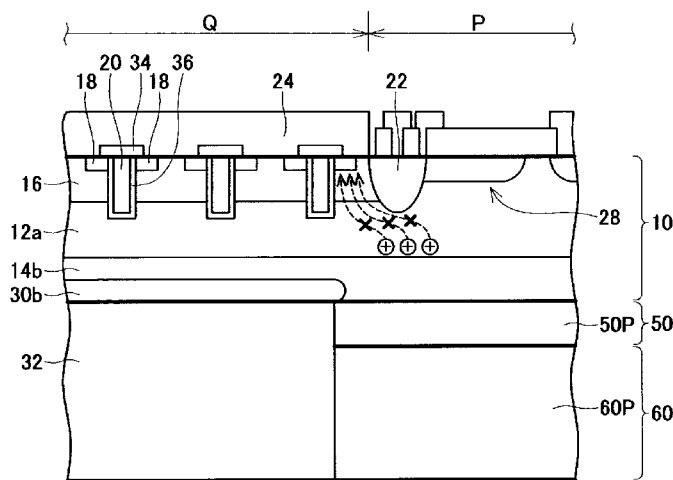
(74) 代理人: 特許業務法人 快友国際特許事務所 (KAI-U PATENT LAW FIRM); 〒4516009 愛知県名古屋市中区牛島町 6 番 1 号 名古屋ルーセントタワー 9 階 Aichi (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD FOR SAME

(54) 発明の名称: 半導体装置とその製造方法



(57) Abstract: Using an SOI substrate in which a surface-side semiconductor layer, an insulating layer, and a rear-face-side semiconductor layer are stacked in order, to mass-produce a vertical semiconductor device in which thickness of a semiconductor layer is managed. With respect to the surface of an SOI substrate, processing performed from the surface is applied, etching is performed from the rear face of the SOI substrate to remove the rear-face-side semiconductor layer and the insulating layer in order to expose the rear face of the surface-side semiconductor layer, and with respect to the exposed rear face of the surface-side semiconductor layer, processing performed from the rear face is applied. It is possible to accurately manage thickness of the surface-side semiconductor layer of the SOI substrate, and therefore, a semiconductor device having a semiconductor layer of the same thickness as the surface-side semiconductor layer can be mass-produced. In areas that are not active areas in which a semiconductor structure functioning as a semiconductor device has been formed, it is not necessary to remove the rear-face-side semiconductor layer and the insulating layer. In active areas, the insulating layer and the rear-face-side semiconductor layer are removed, and in peripheral voltage regions, it is possible to mass-produce a vertical semiconductor device in which the insulating layer and the rear-face-side semiconductor layer remain. Therefore, it is possible to mass-produce, with a superior yield, high-performance semiconductor devices.

(57) 要約:

[続葉有]

WO 2014/125565 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

表面側半導体層と絶縁層と裏面側半導体層が順に積層している S O I 基板を用いて、半導体層の厚みが管理されている縦型の半導体装置を量産する。S O I 基板の表面に対して表面から実施する処理を施し、S O I 基板の裏面からエッチングして裏面側半導体層と絶縁層を除去して表面側半導体層の裏面を露出させ、露出した表面側半導体層の裏面に対して裏面から実施する処理を施す。S O I 基板の表面側半導体層の厚みは正確に管理でき、その表面側半導体層と同じ厚みの半導体層を持つ半導体装置が量産される。半導体装置として機能する半導体構造が形成されている活性領域でない領域では、裏面側半導体層と絶縁層を除去する必要がない。活性領域では絶縁層と裏面側半導体層が除去されており、周辺耐圧領域では絶縁層と裏面側半導体層が残存している縦型の半導体装置を量産することもできる。高性能な半導体装置を歩留まりよく量産できる。

明 細 書

発明の名称：半導体装置とその製造方法

技術分野

[0001] 本明細書では、半導体装置とその製造方法を開示する。特に、半導体基板を薄板化して製造する縦型の半導体装置とその製造方法に関する。ここでいう縦型の半導体装置とは、半導体基板に形成されている表面電極と裏面電極の間を電流が流れる半導体装置をいう。

背景技術

[0002] 縦型の半導体装置の性能には、半導体基板の厚みが影響する。多くの場合、半導体基板を薄板化することで半導体装置の性能が向上する。薄板化した半導体基板は、割れ易くて撓み易く、取り扱いが難しい。そのために、薄板化した半導体基板に半導体製造プロセスを施して半導体装置を製造することは困難である。そこで、薄板化する前の半導体基板の表面に対して表面から実施する処理を施し、処理を終えた半導体基板の表面に補強部材を固定し、表面を補強した半導体基板の裏面を研磨して半導体基板を薄板化し、薄板化した半導体基板の裏面に対して裏面から実施する処理を施し、その後に半導体基板の表面から補強部材を剥離する技術が普及している。

先行技術文献

特許文献

[0003] 特許文献1：特開2009-064825号公報
特許文献2：特開2005-317570号公報
特許文献3：特開2004-088074号公報
特許文献4：特開2000-040773号公報
特許文献5：特開2000-040711号公報

発明の概要

発明が解決しようとする課題

[0004] 上記の製造方法では、半導体基板の裏面を研磨して薄板化する際に、薄板

化した半導体基板の厚みを一定値に管理するのが難しい。製造するたびに薄板化した半導体基板の厚みが相違することになり、半導体装置群を量産したときの厚みのばらつきが大きい。

特に、半導体基板の表面から実施する処理を施した段階で半導体基板の表面が平坦でなくなっており、表面に起伏が形成されている場合がある。表面に起伏が生じている場合には、裏面加工の際に半導体基板が撓み易く、同じ半導体基板内でも半導体基板の厚みがばらつき易い。同一の半導体基板から複数個の半導体装置を製造する場合には、同時に製造した半導体装置群の中でも、厚みのばらつきが大きい。

さらに従来の製造方法では、基板を一様に薄板化してしまうことから、半導体基板が割れたり撓んだりし易い。

[0005] 本明細書では、半導体基板の厚みのばらつきが小さい、縦型の半導体装置群を量産する方法を開示する。また本明細書では、上記の基本技術を発展させた改良技術も開示する。この改良技術では、半導体装置群の性能を確保するのに必要な範囲では規定の厚みに薄板化することによって半導体装置の性能を高いレベルで安定させるとともに、半導体装置の性能に関係しない範囲では半導体基板を薄板化しないことによって半導体基板の強度を確保する。この改良技術でも、薄板化する範囲では基本技術を活用する。

課題を解決するための手段

[0006] 本明細書で開示する基本技術では、SOI基板に対して半導体製造プロセスを施す。ここでいうSOI基板は、表面側半導体層と絶縁層と裏面側半導体層が順に積層しており、表面側半導体層と裏面側半導体層の双方がシリコンを含む半導体材料（例えばSiまたはSiCの単結晶）で形成されている積層基板をいう。ここでいう裏面側とは、薄板化するためにエッチングする側をいい、表面側とは、エッチング後も残留する側をいう。

[0007] 本明細書で開示する基本技術では、SOI基板の表面側半導体層の表面に対して、表面から実施する処理を施す。次に、SOI基板の裏面からエッチングし、半導体装置として機能する半導体構造が形成されている活性領域の

少なくとも一部における裏面側半導体層と絶縁層を除去して表面側半導体層の裏面を露出させる。その後に、SOI基板の表面側半導体層の裏面に対して、裏面から実施する処理を施し、縦型の半導体装置に必要な半導体構造を製造する。

エッチング工程では、活性領域の少なくとも一部において、裏面側半導体層と絶縁層を除去する。すなわち、活性領域とそれ以外の領域の全域において、裏面側半導体層と絶縁層を除去してもよい。活性領域では裏面側半導体層と絶縁層を除去し、それ以外の領域では裏面側半導体層と絶縁層を残存させてもよい。活性領域の一部を薄板化することで必要な性能を確保できる場合があり、その場合は、活性領域の一部において裏面側半導体層と絶縁層を除去すればよい。

エッチング工程に先だって、SOI基板の裏面を機械的に研磨して裏面側半導体層を薄板化しておいてもよい。すなわち、表面側半導体層の裏面を露出させる段階をエッチングで実現すればよく、それに先立つ段階では機械的研磨工程を採用してもよい。

[0008] 上記の製造方法では、SOI基板の裏面からエッチングして裏面側半導体層と絶縁層を除去し、表面側半導体層を残留させる。エッチング後に残留する表面側半導体層によって薄板化した半導体基板を得る。エッチング技術によると、絶縁層をエッチングして表面側半導体層をエッチングしない現象を得ることができる。そのために、この方法によると、表面側半導体層が裏面側から薄板化されてしまうことを防止できる。「薄板化した半導体基板の厚み」＝「SOI基板の表面側半導体層の厚み」の関係を得ることができる。

SOI基板の表面側半導体層の厚みは正確に管理することができる。それに対して、半導体基板の裏面を研磨して薄板化した半導体基板の厚みのばらつきは大きい。「SOI基板の表面側半導体層の厚みのばらつき」＜「研磨して薄板化した半導体基板の厚みのばらつき」の関係を得ることができる。

上記の製造方法によると、上記の2技術要素が複合され、半導体基板の厚みのばらつきが小さい縦型の半導体装置群を量産することができる。

[0009] エッチング工程に先立つ段階では、機械的研磨工程を採用して薄板化してもよい。表面側半導体層の裏面を露出させる段階をエッチングで実現すれば、絶縁層をエッチングして表面側半導体層をエッチングしない現象を得ることができ、「薄板化した半導体基板の厚み」＝「SOI基板の表面側半導体層の厚み」の関係を得ることができる。機械的研磨工程を併用すると、薄板化処理に要する時間が短縮される。

[0010] 本明細書で開示する基本技術では、SOI基板の裏面からエッチングして裏面側半導体層と絶縁層を除去する一方において、表面側半導体層を残留させることによって半導体基板を薄板化する。その基本技術では、エッチング技術によると、絶縁層をエッチングして表面側半導体層をほとんどエッチングしない現象が得られることを活用する。SOI基板の全域に亘って裏面側半導体層と絶縁層を除去してもよい。

縦型の半導体装置の半導体基板を薄板化するのは、半導体装置の性能を向上させるためである。性能向上に必要な領域は必ずしも全域でない。半導体装置として機能する半導体構造が形成されている活性領域さえ薄板化すれば、残余の領域を薄板化する必要はない。活性領域の一部を薄板化することで必要な性能を確保できる場合があり、その場合は、活性領域の一部を薄板化すればよく、残余の領域を薄板化する必要はない。

エッチング技術によると、領域を限定してエッチングすることができる。領域を限定して裏面側半導体層と絶縁層を除去し、領域外では裏面側半導体層と絶縁層を残留させることができる。薄板化が必要な領域のみを薄板化し、残余の領域では薄板化前の厚い基板を残存させることができる。残余の領域では薄板化しないと、その部分が補強部材となって半導体基板の強度を確保することに貢献する。

本明細書で開示する改良された技術では、上記の2技術要素を組み合わせ、性能向上に必要な領域ではエッチングして薄板化し、残余の領域ではエッチングしない。改良された技術によると、エッチングしないで残留する裏面側半導体層と絶縁層が、薄い表面側半導体層を補強する結果を得ることがで

きる。改良された技術によると、半導体装置の性能向上に必要な領域では薄板化されており、性能向上に必要でない範囲では半導体基板が割れたり撓んだりすることを防止するだけの厚みが確保されている半導体装置を量産することができる。

図面の簡単な説明

[0011] [図1]実施例の製造方法で用いるS O I基板の断面構造を示す。

[図2]S O I基板の表面に必要な処理を施した段階での断面構造を示す。

[図3]S O I基板の表面に補強部材を固定して裏面から研磨した段階での断面構造を示す。

[図4]研磨工程で残留した裏面側半導体層をエッチングして絶縁層を露出させた段階での断面構造を示す。

[図5]絶縁層越しにイオン注入してコレクタ領域を形成した段階での断面構造を示す。

[図6]絶縁層をエッチングして表面側半導体層の裏面を露出させた段階での断面構造を示す。

[図7]表面側半導体層の裏面に裏面電極を形成した段階での断面構造を示す。

[図8]補強部材を剥離した段階での断面構造を示す。

[図9]半導体基板の厚みと短絡耐量の関係を示す。

[図10]半導体基板の厚みとオン電圧の関係を示す。

[図11]裏面に施す処理方法ごとに、不純物濃度と深さの関係を示す。

[図12]改良した実施例の製造方法によって、裏面側半導体層の一部の領域を薄板化して残部を薄板化しない段階での断面構造を示す。

[図13]改良した実施例の製造方法で製造される半導体装置の断面構造を示す。

[図14]改良した第2実施例の半導体装置の断面構造を示す。

[図15]改良した第3実施例の半導体装置の断面構造を示す。

[図16]改良した第4実施例の半導体装置の断面構造を示す。

[図17]改良した第5実施例の半導体装置の断面構造を示す。

[図18]改良した第6実施例の半導体装置の断面構造を示す。

発明を実施するための形態

[0012] 以下に説明する実施例の特徴を整理しておく。

(特徴1) 表面側半導体層がn型のSi単結晶であり、絶縁層がSiO₂層であり、裏面側半導体層がSi単結晶であるSOI基板を用いる。

(特徴2) 裏面側半導体層は、p型でもよいしn型でもよい。導電型は制約されない。

(特徴3) 表面側半導体層の不純物濃度が、IGBTのドリフト領域に必要な濃度に調整されている。

(特徴4) 表面側半導体層であるn型のSi単結晶の裏面近傍に、n型不純物の高濃度な拡散領域が形成されている。

(特徴5) n型不純物の高濃度拡散領域の不純物濃度が、IGBTのバッファ領域に必要な濃度に調整されている。

(特徴6) 絶縁層越しに、p型不純物を注入してp型に反転させる。その不純物濃度が、IGBTのコレクタ領域に必要な濃度に調整されている。n型不純物の高濃度拡散領域の裏面近傍にコレクタ領域が形成されるエネルギーでp型不純物を注入する。

(特徴7) 周辺耐压構造に囲繞されている領域(活性領域)内にIGBTが形成されている。

(特徴8) 周辺耐压構造に囲繞されている領域(活性領域)内にIGBTとダイオードが形成されている。

(特徴9) 周辺領域では、コレクタ領域が形成されていてもよいし、いなくてもよい。

(特徴10) 周辺領域では、バッファ領域が形成されていてもよいし、いなくてもよい。

(特徴11) 周辺領域では裏面側半導体層と絶縁層が残留し、活性領域では裏面側半導体層と絶縁層が除去されている。

(特徴12) 活性領域の一部では裏面側半導体層と絶縁層が除去されており

、活性領域の残部と周辺領域では裏面側半導体層と絶縁層が残留している。

(特徴 1 3) 周辺耐压構造は、リサーフ層を備えている。

(特徴 1 4) 周辺耐压構造は、ガードリングを備えている。

実施例

[0013] 図 1 は、第 1 実施例の半導体装置の製造方法を実施する前の S O I 基板 2 の断面構造を示している。図示の明瞭化のために、ハッチングを省略して図示する。S O I 基板 2 は、表面側半導体層 1 0 と絶縁層 5 0 と裏面側半導体層 6 0 が積層された構造を備えている。表面側半導体層 1 0 と裏面側半導体層 6 0 は、S i の単結晶基板であり、絶縁層 5 0 は、S i O₂ で形成されている。表面側半導体層 1 0 の厚みは、単独では割れ易くて撓み易いほど薄いがあり、厚い裏面側半導体層 6 0 で補強されていることから、S O I 基板 2 自体は取り扱い易い。なお、図における厚み方向の寸法は、図示の明瞭化のために、実際の比率と相違している。

[0014] S O I 基板 2 の表面側半導体層 1 0 には n 型の不純物が導入されている。その不純物濃度は、最終的に製造する I G B T のドリフト領域の濃度に合せてある。表面側半導体層 1 0 の裏面 1 0 b の近傍には、n 型の不純物が濃く導入されている。裏面近傍の n 型の不純物の高濃度導入領域 1 4 の濃度は、最終的に製造する I G B T のバッファ領域の濃度に合せてある。また n 型の不純物の高濃度導入領域 1 4 の裏面 1 0 b からの深さは、最終的に製造する I G B T のバッファ領域の深さにあわせてある。S O I 基板 2 は、表面側半導体層 1 0 と裏面側半導体層 6 0 を貼り合わせて製造する。貼り合わせる前の表面側半導体層 1 0 を処理して n 型の不純物の高濃度導入領域 1 4 を形成することから、不純物濃度と深さを自在に調整することができる。本実施例では、図 1 1 を参照して後で説明するように、n 型の不純物の高濃度導入領域 1 4 は、表面側半導体層 1 0 の裏面 1 0 b からほぼ 1 2 μ m の深さまで達している。図 1 の参照番号 1 2 は、n 型の不純物の高濃度導入領域 1 4 の形成後にも残留する n 型不純物の低濃度領域を示している。図中における太線は基板と基板の境界を示し、細線は領域と領域の境界を示している。

図１のＳＯＩ基板２は基板製造業者から購入することができる。

[0015] 図２は、ＳＯＩ基板２の表面２ａ（すなわち表面側半導体層の表面）に、必要な処理を施した段階での断面構造を示す。本実施例では、ＩＧＢＴを製造する。そこで、この段階では、ＩＧＢＴを実現するのに必要な表面側の半導体構造を製造する。すなわち、ｐ型のボディ領域１６、ｎ型のエミッタ領域１８、トレンチゲート電極２０、ｐ型のボディコンタクト領域２２、周辺耐圧構造２８、エミッタ電極２４、保護膜２６等を製造する。ｐ型のボディ領域１６は、表面２ａからｎ型不純物の低濃度領域１２の浅部にｐ型不純物を注入して製造する。図２では、ボディ領域１６の形成後にも残留するｎ型不純物の低濃度領域を参照番号１２ａで示している。ｎ型不純物の低濃度領域１２ａは、ドリフト領域となる。表面２ａに対する処理が終了した段階では、エミッタ電極２４と保護膜２６の高さが相違している。すなわち、表面処理後のＳＯＩ基板２の表面は平坦でなく、起伏が存在する状態となっている。なお図２では、トレンチゲート電極２０を取り囲むゲート絶縁膜やトレンチゲート電極２０とエミッタ電極２４を絶縁する層間絶縁膜等の詳細構造の図示を省略している。

[0016] 図３では、ＳＯＩ基板２の上下を反転して図示している。図３の段階では、表面２ａに対する処理が終了した段階のＳＯＩ基板２の表面に補強部材７０を貼り付けて、後で実施する薄板化作業に備える。表面２ａに対する処理が終了した段階のＳＯＩ基板２の表面は平坦でなく、保護膜２６が厚いことから、補強部材７０は保護膜２６に貼り付けられる。補強部材７０とエミッタ電極２４の間には空間が残留している。保護膜２６の表面に補強部材７０を貼り付けたら、ＳＯＩ基板２の裏面２ｂから、裏面側半導体層６０を機械的に研磨する。この研磨工程は、裏面側半導体層６０が薄板化された状態で終了する。図３の参照番号６０ａは研磨することで除去された研磨領域を示し、参照番号６０ｂは研磨工程後に残留する残留領域を示している。

[0017] 前記したように、補強部材７０とエミッタ電極２４の間には空間が残留している。その状態で研磨すると、ＳＯＩ基板２が撓む。ＳＯＩ基板２は撓ん

だ状態で研磨される。研磨が終了すると、S O I 基板 2 が撓みから開放される。すると、研磨中は平坦であった残留領域 6 0 b の研磨面 6 0 c が上に凸な曲面となってしまう。

[0018] 従来の製造方法では、基板の裏面を研磨して薄板化する（ただし研磨する基板は S O I 基板でない）。そのため、研磨中の基板の撓みが薄板化された基板の厚みに直接的に影響する。従来の製造方法では、基板内の場所によって、基板の厚みが変化してしまう現象が生じる。従来の製造方法では、研磨中の基板の撓みが基板の厚みを不均一にすることを前提にして半導体装置を設計しなければならなかった。後記するように、それが半導体装置の性能向上を妨げていた。

[0019] 本実施例では、研磨だけで薄型化するのではなく、その後にエッチングして薄板化することによって、上記の問題に対処する。図 4 は、研磨後に残留した残留領域 6 0 b をエッチングして除去した状態を示す。この段階では、残留領域 6 0 b（S i の単結晶）をエッチングして絶縁層 5 0（S i O₂）をほとんどエッチングしないエッチャントを用いてエッチングする。絶縁層 5 0 の裏面 5 0 b が、S O I 基板の裏面に露出したら、エッチングを終了する。この段階で、研磨中の基板の撓みが残留領域 6 0 b の研磨面 6 0 c を曲面にするという問題が解消する。S O I 基板の裏面に露出する絶縁層 5 0 の裏面 5 0 b は平坦である。ここでいうエッチングは、S O I 基板を撓ませないで残留領域 6 0 b を除去する手法であればよく、湿式でも乾式でもよい。

本実施例では、図 3 で 6 0 a に示した領域は機械的に研磨して除去する。それに代えて裏面側半導体層 6 0 の全厚みを、エッチングして除去してもよい。絶縁層 5 0 が厚く、絶縁層 5 0 の厚みの範囲内で研磨工程を終了できる場合には、残留領域 6 0 b を残さず、絶縁層 5 0 が露出するまで研磨してもよい。大事なことは、表面側半導体層 1 0 の裏面 1 0 b に傷つけることなく薄板化することであり、残留領域 6 0 b を残すことや、エッチングして絶縁膜 5 0 の裏面 5 0 b を傷つけないで露出させることは不可欠ではない。

[0020] 図 5 は、絶縁層 5 0 越しに、p 型イオンを注入している段階を示す。p 型

イオンの注入濃度は、 n 型不純物の高濃度導入領域 14 の注入密度よりもさらに濃くする。また、 p 型イオンが、 n 型不純物の高濃度導入領域 14 の裏面 14 e の近傍に留まるエネルギーで注入する。この結果、 n 型不純物の高濃度導入領域 14 の裏面 14 e の近傍は p 型となる。 p 型化された領域は、コレクタ領域 30 となる。図 5 において、参照番号 14 a は、 p 型イオンの注入後も残留した n 型不純物の残留領域を示している。 n 型不純物の残留領域は IGBT のバッファ領域 14 a となる。

図 5 の工程では、絶縁層 50 を残留させた状態で p 型イオンを注入する。絶縁層 50 が残留している状態でイオンを注入すると、金属が基板内に侵入して基板を汚染することを防止できる。また、図 5 の工程は、IGBT となる半導体装置を製造する場合を図示している。IGBT とダイオードの双方を備えている半導体装置を製造する場合、IGBT の形成範囲では p 型イオンを注入してコレクタ領域を形成し、ダイオードの形成範囲では n 型イオンを注入してカソード領域を形成する。図 5 に示すイオン注入工程は、絶縁膜 50 を除去した後に実施してもよい。

[0021] 図 6 は、絶縁膜 50 をエッチングして除去した状態を示す。この段階では、絶縁膜 50 (SiO_2) をエッチングして表面側半導体層 10 (Si の単結晶) をほとんどエッチングしないエッチャントを用いてエッチングする。表面側半導体層 10 の裏面 10 b が露出したらエッチングを終了する。上記によって、半導体基板の薄板化が完了する。

処理対象とする基板に SOI 基板を選択し、絶縁膜をエッチングして表面側半導体層をほとんどエッチングしないエッチャントを用いてエッチングして表面側半導体層のみを残留させることによって薄板化する方法によると、

- (1) 薄板化した半導体基板に絶縁膜が残留することがなく、
- (2) 薄板化の際に表面側半導体層を薄板化することもなく、
- (3) 薄板化の際に表面側半導体層の裏面を傷つけることもない。

上記の結果、「薄板化された半導体基板の厚み = SOI 基板の表面側半導体層の厚み」の関係を得ることができる。

表面側半導体層の厚みが正確に一定値に管理されているSOI基板を入手することが可能である。本実施例の薄板化方法によると、薄板化された半導体基板の厚みのばらつきを抑えることができる。また、薄板化した面に傷を発生させることもない。

[0022] 図7は、薄板化したSOI基板2の裏面（すなわち表面側半導体層10の裏面10b）にコレクタ電極32を形成した段階を示している。

図8は、補強部材70を剥離した段階を示している。図8では再び上下を反転して図示している。本実施例の製造方法で製造した半導体装置によると、エミッタ電極24とコレクタ電極32の間に介在している半導体基板の厚みLが常に一定に管理されている半導体装置を量産することができる。

[0023] 薄板化された半導体基板の厚みのばらつきを抑制することの利点を説明する。図9は、半導体基板の厚みと短絡耐量の関係を示す。右側ほど半導体基板が厚く、上側ほど短絡耐量が高い。短絡耐量は、半導体装置に異常な大電流が流れたときに半導体装置が破壊されるまでの耐量であり、耐量が高いほど半導体装置は破壊され難い。耐量は、発熱量と伝熱量で決まり、半導体基板が厚いほど短絡耐量が高いという関係となる。

[0024] 図中のAは、半導体装置に必要とされる短絡耐量の下限值を示している。すなわち、半導体基板は少なくともBよりも厚い必要があることを示している。BD間の距離は、従来の製造方法（すなわち研磨して薄板化する方法）による場合の半導体基板の厚みのばらつきの大きさを示している。ばらつきがあってもB以上の厚みが得られるようにする必要がある。従来の製造方法では、薄板化した半導体基板の厚みをDとする設計が必要とされ、そうしないと、半導体基板の厚みがばらついたときに短絡耐量の下限值Aを満たせないことがわかる。それに対して、BC間の距離は、実施例の製造方法（すなわちSOI基板の表面側半導体層を残留せせることで薄板化する方法）による場合の、半導体基板の厚みのばらつきの大きさを示している。前記したように、実施例の製造方法によるとばらつきが減少するために、半導体基板の厚みの設計値をCにできることがわかる。設計値をDからCに薄くしても、

短絡耐量の下限值 A を満たせることがわかる。

一例を挙げると、従来技術による場合の BD 間距離は $10\ \mu\text{m}$ であり、 $B = 114\ \mu\text{m}$ の場合には $D = 124\ \mu\text{m}$ となる。それが実施例によると、 BC 間距離が $1\ \mu\text{m}$ となり、 $C = 115\ \mu\text{m}$ となる。半導体基板の厚みの設計値を $124\ \mu\text{m}$ から $115\ \mu\text{m}$ に薄くすることができる。

[0025] 図10は、半導体基板の厚みと半導体装置のオン電圧の関係を示している。右側ほど半導体基板が厚く、上側ほどオン電圧が高い。オン電圧は、半導体装置のオン時におけるエミッタとコレクタ電極間の電位差であり、オン電圧が高いほど半導体装置による損失が大きい。半導体基板が薄いほどオン電圧が低いという関係となっている。半導体装置の性能向上には、薄板化が重要なことが確認される。図示の F は、従来の設計値 D による場合のオン電圧を示し、図示の E は、実施例の製造方法によるときの設計値 C による場合のオン電圧を示している。 G は、実施例の製造方法によるオン電圧の低下量を示している。ここでの G/F が、実施例の製造方法によるときの改善率を示している。本実施例によって、オン電圧が低下し、損失が低下することが確認される。

一例を挙げると、 $D = 124\ \mu\text{m}$ の場合のオン抵抗と、 $D = 115\ \mu\text{m}$ の場合のオン抵抗の比は、 $1.05 : 1.00$ となる。実施例の場合には、半導体基板の厚みのばらつきを押さえられることから、オン抵抗を5%減少させることができる。

[0026] 上記したように、オン電圧を低下させるためには半導体基板の厚みを薄くするのが有効である。その反面、半導体基板の厚みを薄くすると、裏面にかかる電界が強くなり、半導体装置をオフしている間の耐压性能が低下し易い。半導体装置をオフすると、図8に示したボディ領域16とドリフト領域12aの界面から、空乏層が広がる。広がった空乏層がコレクタ領域30に達すると、あるいは製造工程で裏面に生じたキズに達すると、半導体装置の耐压性能が低下する。バッファ領域14aは、空乏層がそれ以上に広がることを防止し、耐压性能が低下するのを防止する。しかし、裏面にかかる電界が

強くなると、バッファ領域 14 a が空乏化し易くなり、空乏層がコレクタ領域 30 または裏面キズに達しやすくなる。そこで、耐圧性能の低下を防止するには、バッファ領域 14 a の厚みを厚くするのが有効である。半導体基板を薄板化するほどバッファ領域 14 a を厚くする必要が高まる。従来の製造方法では、表面側に対する加工が終了した後に、裏面を薄板化し、イオンを注入し、熱処理してバッファ領域 14 a を製造する。表面側の構造を損ねない範囲でしか熱処理できないことから、バッファ領域 14 a を厚くすることが難しい。

[0027] 図 11 は、半導体基板の裏面から高濃度不純物の導入処理を実施したときに得られる裏面からの距離と不純物濃度の関係を示している。実際には、注入後に熱処理した後の濃度プロファイルを示している。半導体基板を薄板化する場合、半導体基板の表面側に対する処理を完了してから熱処理するために、表面側の構造を損傷しない条件での熱処理しか採用できない。図 11 の (3) は、イオンを注入してから裏面にレーザを照射して熱処理をした場合に得られる濃度プロファイルを示している。高濃度領域の厚みを厚くできないことがわかる。それに対しては、(2) は、貼り合わせる前の半導体基板にイオンを注入してから熱処理し、熱処理後に貼りあわせて得られる SOI 基板で得られる濃度プロファイルを示す。熱処理温度が制約されないことから、高濃度領域の厚みを厚くできることがわかる。また、不純物の活性化率が極めて高く、バッファ層に欠陥が生じがたい。そのためにリーク電流が増加することを抑制できる。(1) は、プロトン注入時の濃度プロファイルを示す。プロトンを注入すると厚いバッファ領域を形成することができる。しかしプロトンを注入するとバッファ領域に欠陥が生じ易く、リーク電流が増加してしまう。

図 1 に示したように、表面側半導体層 1 の裏面 10 b 側に n 型不純物の高濃度導入領域 14 が形成されている SOI 基板 2 を利用すると、半導体基板を薄板化してオン電圧を下げ、バッファ領域を厚くして耐圧性能の低下を防ぎ、バッファ領域の欠陥密度を下げてリーク電流を抑制することができる。

また、バッファ層の不純物濃度と深さを自由に調整することができる。半導体装置が必要とする濃度プロファイルに調整し易い。

[0028] 従来の製造方法、すなわち、機械的研磨で薄板化する方法によると、薄板化した半導体基板の裏面に傷が生じ易い。その傷に空乏層が達すると、半導体装置のリーク電流が増大してしまう。本実施例によると、エッチングして表面側半導体層の裏面を露出させるために、薄板化した半導体基板の裏面に傷が生じるおそれが低い。また傷が生じたとしても、上記のように、十分な厚さのバッファ層を確保できることから、リーク電流が増大することを効率的に防止できる。

[0029] (改良した実施例)

半導体装置の性能に影響する半導体基板の厚みは、図8に示したエミッタ電極24とコレクタ電極32が向かいあう範囲の厚みであり、両者が向かいあわない範囲の厚みは影響しない。改良された技術では、両者が向かいあわない範囲では薄板化せずに裏面側半導体層等を残留させ、残留させた部分で半導体基板の強度を確保する。エミッタ電極24とコレクタ電極32が向かいあう範囲では、表面側半導体層を利用して薄板化された後の厚みを一定値に管理する。エミッタ電極24とコレクタ電極32が向かいあう範囲は、エミッタ領域18、トレンチゲート電極20、ボディ領域16、ドリフト領域12a、バッファ領域14a、コレクタ領域30などによってIGBTとして動作する半導体構造が形成されている領域であり、本明細書では活性領域という。本明細書でいう活性領域は、半導体装置として機能する半導体構造が形成されている領域をいい、周辺耐压構造が形成されている領域等と区別する。

[0030] 図12は、同一半導体基板内に、IGBT構造を作りこむ活性領域Qと、周辺耐压構造を作りこむ周辺領域Pが存在することに着目し、活性領域Qには、裏面側半導体層60と絶縁層50を除去して表面側半導体層10のみを残すことによって薄板化する技術を適用し、周辺領域Pでは、裏面側半導体層60と絶縁層50を残して厚板の状態に残す実施例を示している。SOI

基板を平面視したときに、周辺領域Pは活性領域Qの周囲を一巡している。製造後に、周辺領域Pに沿ってダイシングすることによって、同一SOI基板から複数個のIGBTチップを製造する。

[0031] 図12では、図8で説明した領域等に関しては同一の参照番号を付することによって重複説明を省略する。図12において、参照番号60Pは、周辺領域Pにおいて残存した裏面側半導体層60を示し、参照番号50Pは、周辺領域Pにおいて残存した絶縁層50を示している。それに対して仮想線で示す領域60Qは、活性領域Qにあった裏面側半導体層60であって、エッチングによって除去された領域を示し、領域50Qは、活性領域Qにあった絶縁層50であって、エッチングによって除去された領域を示している。エッチング技術は、図示しないマスク技術と併用することによって、領域を限定してエッチングし、領域外ではエッチングしない結果を得ることができる。図12は、領域による選択的エッチングによって、領域60Qではエッチングして除去し、領域60Pではエッチングせずに残存させ、領域50Qではエッチングして除去し、領域50Pではエッチングせずに残存させた結果を示している。なお機械的研磨に比してエッチングには時間を要する。その一方において、機械的研磨では範囲を限定して薄板化することが困難であるのに対しエッチングによると範囲を限定して薄板化することができる。そこで、図12の60Pに示す厚みとなるまでは裏面側半導体層60の裏面の全体を研磨し、その後に領域による選択的エッチングをすることが好ましい。実用的な時間内にエッチングできる厚みの裏面側半導体層60Pが残存することで、半導体基板は割れ難くなり撓み難くなり、取り扱い易くなる。

[0032] 図12は、活性領域Qにおける裏面側半導体層60を選択的にエッチングした後に、SOI基板2の裏面側からp型イオンを注入している段階を示す。p型イオンが、n型不純物の高濃度導入領域14の裏面14bの近傍に留まるエネルギーで注入する。周辺領域Pでは、残存した裏面側半導体層60Pがマスクとなるために、p型イオンは表面側半導体層10に達しない。活性領域Q内でのみ、p型イオンがn型不純物の高濃度導入領域14の裏面1

4 bの近傍に注入される。p型イオンの注入濃度は、n型不純物の注入密度よりもさらに濃くする。この結果、n型不純物の高濃度導入領域14の裏面14bの近傍は、p型となる。p型化された領域は、コレクタ領域30bとなる。活性領域Q内にのみコレクタ領域30bが形成される。図12において、参照番号14bは、p型イオンの注入後も残留したn型不純物の高濃度領域を示している。n型不純物の高濃度領域14bはバッファ領域となる。バッファ領域14bは、周辺領域Pと活性領域Qの双方に形成される。

図12に示すイオン注入工程は、絶縁膜50Qを除去した後に実施してもよいし、絶縁膜50Q越しに実施してもよい。改良された実施例によると、周辺領域Pで残存する裏面側半導体層60Pがマスクとなり、活性領域Qの範囲に限定してコレクタ領域30bを形成することができる。

[0033] 図12の工程後、コレクタ領域30bに接するコレクタ電極32を形成する。コレクタ電極32は、裏面側半導体層が除去された範囲60Qと絶縁膜50が除去された範囲にのみ形成する。

図13は、その後に補強部材70を除去した段階を示している（上下を反転して図示している）。図8で説明した領域等に関しては同一の参照番号を付することによって重複説明を省略する。図13は、図8よりもさらに拡大されており、ゲート絶縁膜36と層間絶縁膜34が明記されている。

[0034] 図13の構造によると、下記の利点を得られる。

(1) 周辺領域Pに残存している裏面側半導体層60Pと絶縁層50Pが補強部材となるために半導体基板の強度が向上し、扱いやすい。

(2) 周辺領域Pではコレクタ領域30bが形成されておらず、周辺領域Pには正孔が注入され難い。周辺領域Pに正孔が注入されると、ターンオフ時に正孔が周辺領域Pと活性領域Qの境界近傍に集中し、破壊耐量を低下させる。図13の構造によると、破壊耐量を高く維持することができる。

(3) コレクタ電極32から、周辺領域Pで残存している裏面側半導体層60Pを経由して周辺領域Pに正孔が注入される可能性がある。しかしながら、周辺領域Pでは絶縁層50Pが残存しているので、正孔の注入が阻止され

る。これもまた、破壊耐量の向上に寄与する。

(4) 半導体装置の半導体層 10 を薄板化すると、短絡耐量が低下する。本実施例では、活性領域 Q では厚い裏面電極 32 を形成できることから耐圧耐量は低下しない。周辺領域 P では、厚い裏面側半導体層 60 P が残存しており、耐圧耐量の低下を防止する。絶縁層 50 P の熱伝導度は低いけれども、その膜厚を SOI 基板 2 の厚みの $1/107$ 以下に抑えれば、熱伝導度の低下の影響はほとんど生じない。

[0035] (改良した第 2 実施例)

図 14 に示すように、バッファ領域 14 c とコレクタ領域 30 c が、半導体基板の全域に広がっていてもよい。貼り合わせて SOI 基板とする前の表面側半導体層 10 の裏面側を処理してバッファ領域 14 c とコレクタ領域 30 c を形成しておくこと、図 14 の構造を実現することができる。この段階で処理すると、バッファ領域 14 c とコレクタ領域 30 c の不純物濃度や拡散深さ等を自由に調整することができる。

この実施例でも、周辺領域 P で残存している裏面側半導体層 60 P を経由して周辺領域 P にキャリアが注入される可能性がある。しかしながら、周辺領域 P では絶縁層 50 P が残存しているので、図 14 中でバツ印で示すように、キャリアの注入が阻止される。これもまた、破壊耐量の向上に寄与する。

[0036] (改良した第 3 実施例)

図 15 は、改良した第 3 実施例の半導体装置の構造を示す。すでに説明した領域等と同じものには同じ参照番号を付することによって重複説明を省略する。相違点のみを説明する。以下の実施例についても同様である。

図 15 の構造では、活性領域 Q の全域で薄板化する代わりに、活性領域 Q 内でも断続的に裏面側半導体層 60 Q と絶縁層 50 Q を残存させる。逆にいうと、活性領域 Q 内では、分散された複数の範囲において裏面側半導体層と絶縁層を除去して薄板化する。薄板化した範囲には、コレクタ電極 32 a を形成する。薄板化した範囲を分離する裏面側半導体層 60 Q と絶縁層 50 Q

の壁の厚みを管理することで、隣接するコレクタ領域 30b が連続する結果を得ることができる。コレクタ領域 30b の形成過程では、熱処理して拡散させるからである。なお隣接するコレクタ領域が不連続であってもかまわない。過剰に正孔が注入されるためにターンオフ時の特性が悪い場合には、隣接するコレクタ領域が不連続な状態に残すのが有利であることがある。活性領域 Q 内でも断続的な範囲では、裏面側半導体層 60Q と絶縁層 50Q を残存させるようにすると、半導体基板の機械的強度がさらに強化される。なお、分散された複数の範囲において裏面側半導体層と絶縁層を除去するために必要なら、異方性エッチングを採用することができる。異方性エッチングによると、基板の厚み方向に深く抉るエッチングが可能となる。

[0037] (改良した第 4 実施例)

図 16 は、改良した第 4 実施例の半導体装置の構造を示す。図 16 では、周辺領域 P に複数のガードリングを形成して耐圧を確保している。なお、図 15 に示したように、リサーフ構造によって周辺耐圧構造を実現してもよい。

[0038] (改良した第 5 実施例)

本実施例では、表面側半導体層 10 に n 型を用いる。n 型のエミッタ領域と p 型のボディ領域と n 型のドリフト領域と p 型のコレクタの組合せの方が、IGBT の特性が改善される。それに対して、裏面側半導体層 60 の導電型は、n 型であってもよいし、i 型であってもよいし、p 型であってもよい。図 17 は、表面側半導体層 10 と裏面側半導体層 60P の導電型が反対である場合を示している。

[0039] (改良した第 6 実施例)

上記実施例では、半導体基板の全域に広がるバッファ領域 14a ~ 14c を利用する。これに対して、図 18 に示すように、周辺領域 P ではバッファ領域とコレクタ領域が存在しない構造でもよい。すなわち、活性領域 Q 内でのみ、バッファ領域 14d とコレクタ領域 30b が形成されている構造でもよい。この場合は、n 型不純物の高濃度導入領域 14 が形成されていない S

SOI基板を用いる。図12の段階で、周辺領域Pで残存した裏面側半導体層60Pをマスクにして、n型イオンを注入してバッファ領域14dを形成し、p型イオンを注入してコレクタ領域30bを形成すれば、図18の構造が得られる。

[0040] 以上、本実施例について詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例をさまざまに変形、変更したものが含まれる。

本明細書または図面に説明した技術要素は、単独であるいは各種の組み合わせによって技術的有用性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

符号の説明

[0041] 2 : SOI基板

2a : 表面

2b : 裏面

10 : 表面側半導体層

10b : 裏面

12 : n型不純物の低濃度導入領域

12a : ドリフト領域 (n型不純物の低濃度残留領域)

14 : n型不純物の高濃度導入領域

14a : バッファ領域 (n型不純物の高濃度残留領域)

16 : ボディ領域 (p型不純物導入領域)

18 : エミッタ領域

20 : トレンチゲート電極

22 : ボディコンタクト領域

24 : エミッタ電極

26 : 保護膜

28 : 周辺耐压構造

30 : コレクタ領域 (p 型不純物導入領域)

32 : コレクタ電極

50 : 絶縁層

60 : 裏面側半導体層

60 a : 研磨領域

60 b : 残留領域

60 c : 研磨面

70 : 補強部材

請求の範囲

- [請求項1] 表面側半導体層と絶縁層と裏面側半導体層が順に積層しているＳＯＩ基板の前記表面側半導体層の表面に対して、表面から実施する処理を施す表面側処理工程と、
- 前記表面側処理工程後のＳＯＩ基板の裏面からエッチングし、半導体装置として機能する半導体構造が形成されている活性領域の少なくとも一部における前記裏面側半導体層と前記絶縁層を除去して前記表面側半導体層の裏面を露出させるエッチング工程と、
- 前記エッチング工程後の前記表面側半導体層の裏面に対して、裏面から実施する処理を施す裏面側処理工程と、
- を備えている縦型の半導体装置の製造方法。
- [請求項2] 請求項１の製造方法であり、
- 前記表面側処理工程と前記エッチング工程の間に、前記ＳＯＩ基板の裏面を機械的に研磨して前記裏面側半導体層を薄板化する工程を実施する。
- [請求項3] 請求項１または２の製造方法であり、
- 前記エッチング工程において、前記活性領域における前記裏面側半導体層と前記絶縁層を除去して前記表面側半導体層の裏面を露出させ、前記活性領域以外の領域における前記裏面側半導体層と前記絶縁層を残存させる。
- [請求項4] 請求項３の製造方法であり、
- 前記裏面側処理工程において、残存した前記裏面側半導体層と前記絶縁層をマスクとする。
- [請求項5] 請求項１から４のいずれかの１項の製造方法であり、
- 前記表面側半導体層の裏面近傍に、前記表面側半導体層と同じ導電型のイオンが導入されているＳＯＩ基板を用いる。
- [請求項6] 半導体装置として機能する半導体構造が形成されている活性領域と、

前記活性領域に隣接している周辺耐圧領域を備えており、

前記周辺耐圧領域では、表面側半導体層と絶縁層と裏面側半導体層が順に積層しているＳＯＩ基板が残存しており、

前記活性領域では、前記絶縁層と前記裏面側半導体層が除去されていることを特徴とする縦型の半導体装置。

[請求項7]

請求項6の半導体装置であり、

前記活性領域の一部において、前記絶縁層と前記裏面側半導体層が除去されている。

[請求項8]

請求項6または7の半導体装置であり、

前記絶縁層と前記裏面側半導体層が除去されている範囲に、コレクタ電極が形成されている。

[請求項9]

請求項6から8のいずれかの1項に記載の半導体装置であり、

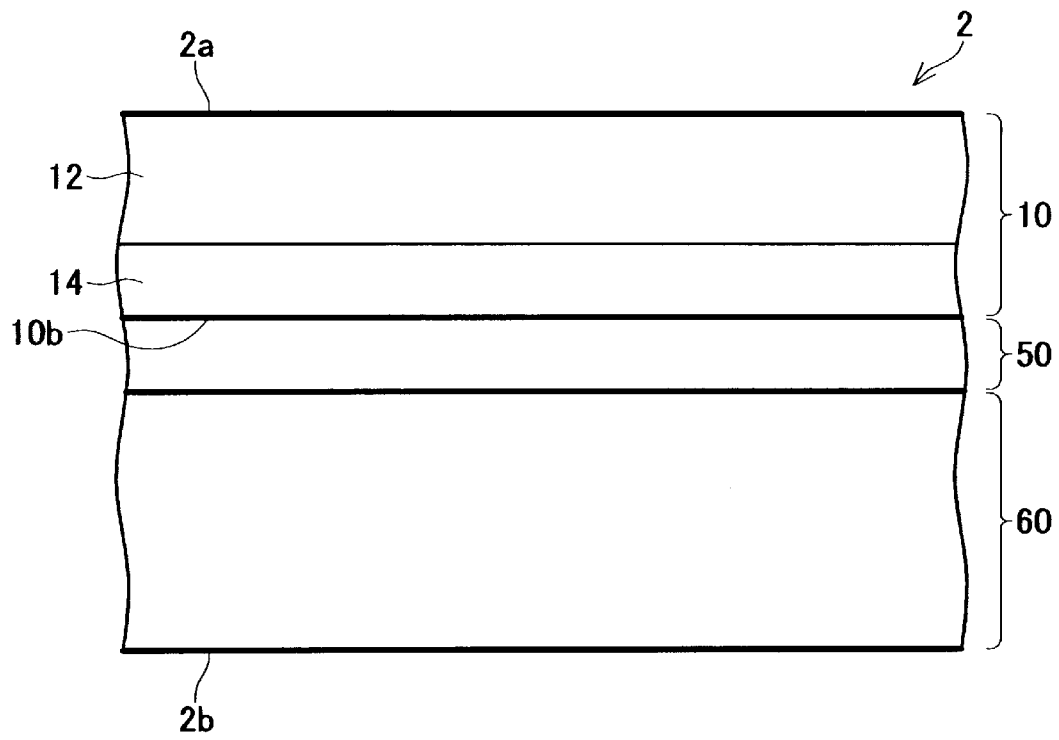
前記絶縁層と前記裏面側半導体層が除去されている範囲に、コレクタ領域が形成されている。

[請求項10]

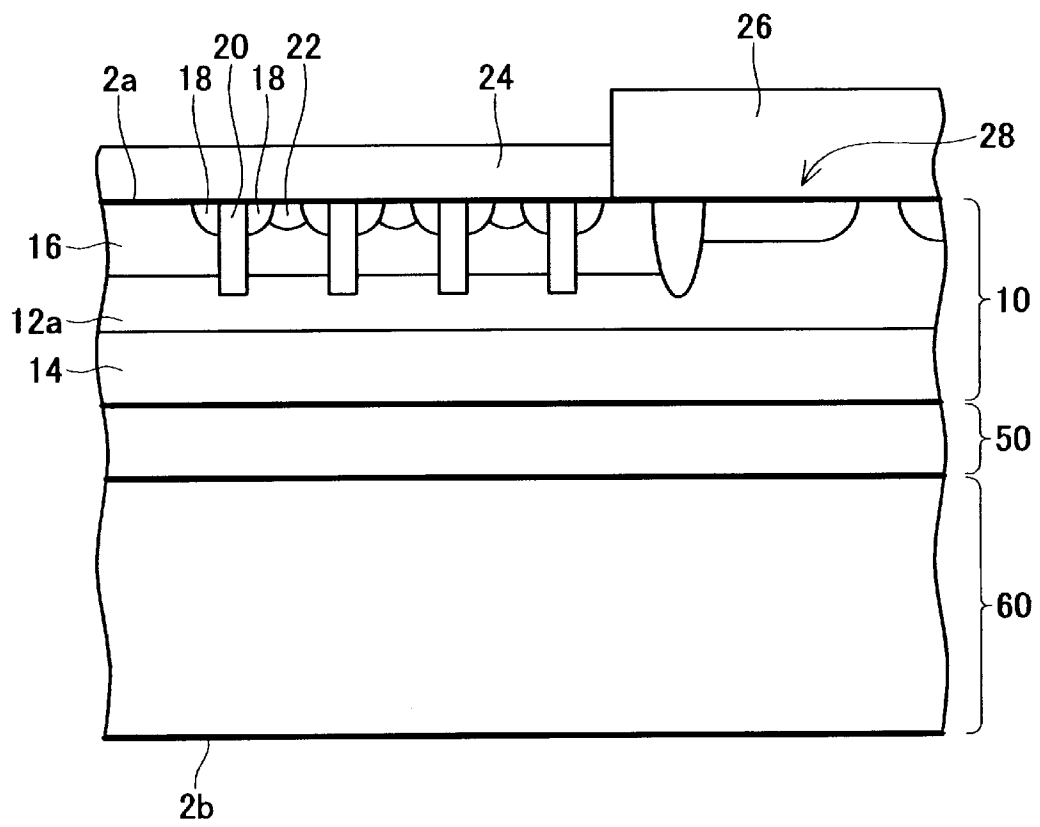
請求項6から9のいずれかの1項に記載の半導体装置であり、

前記絶縁層と前記裏面側半導体層が除去されている範囲に、バッファ領域が形成されている。

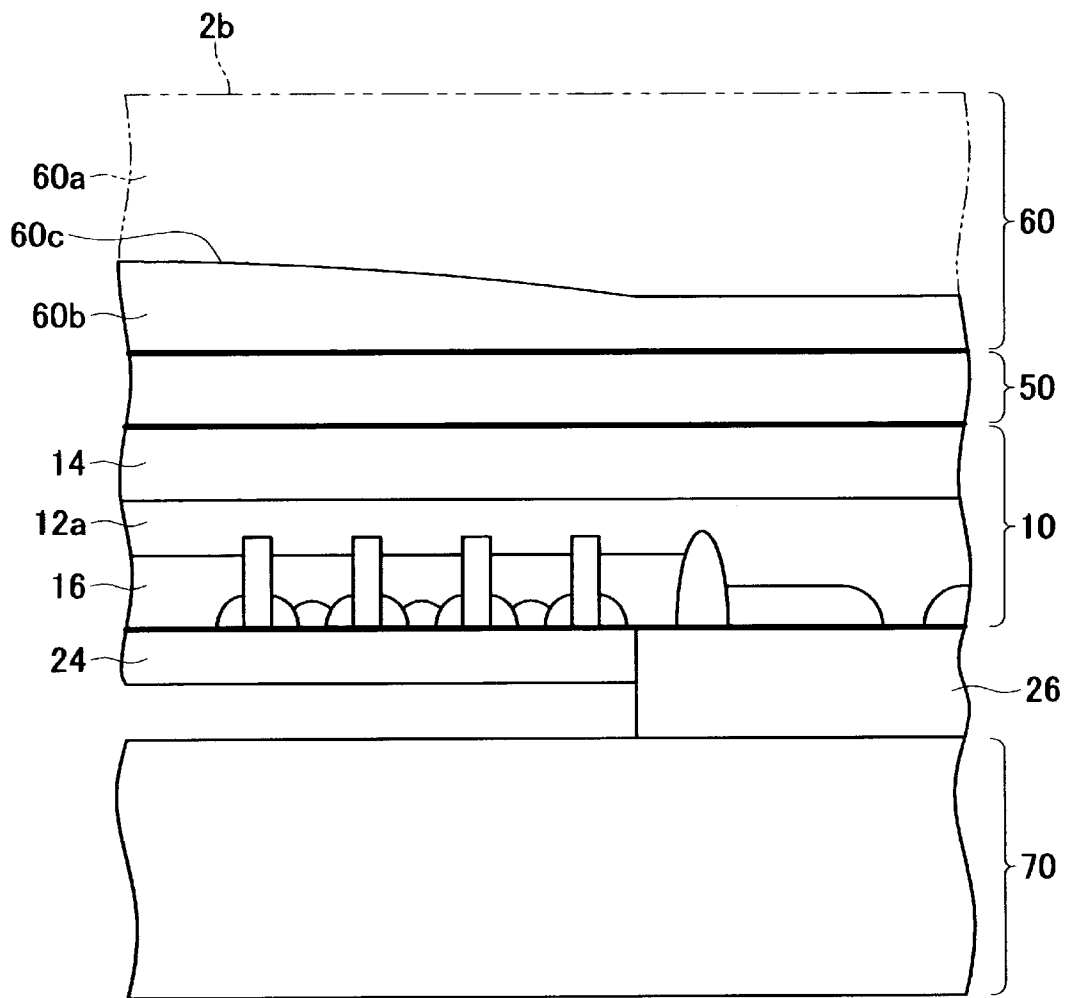
[図1]



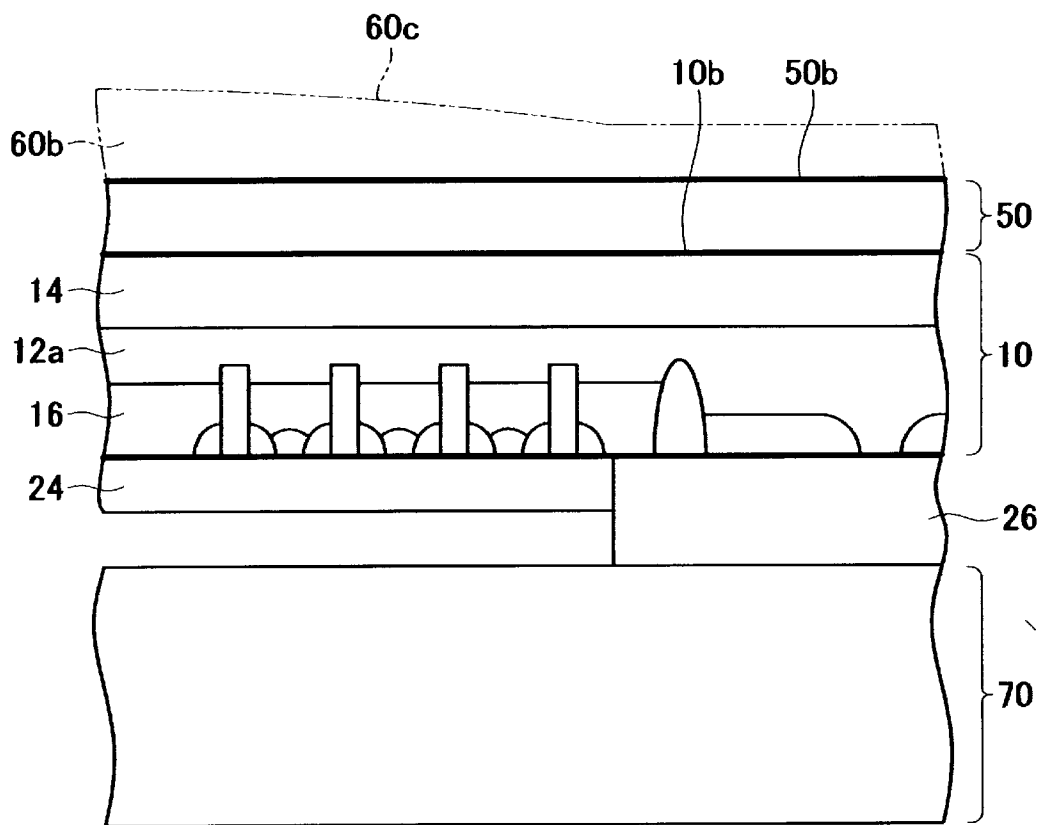
[図2]



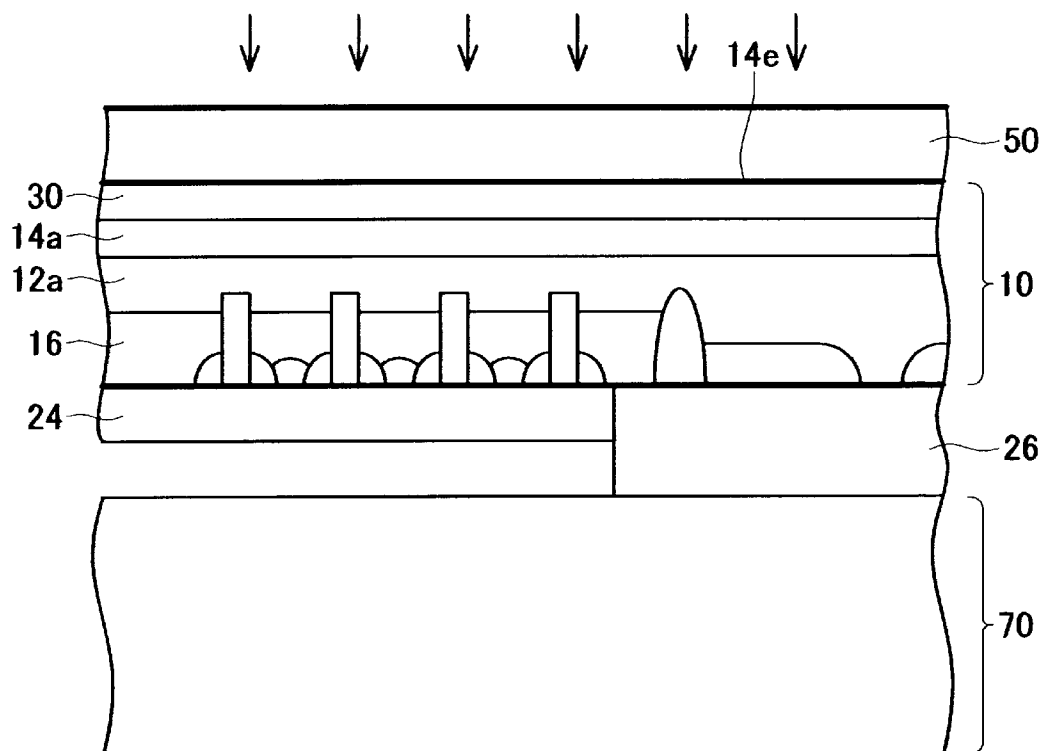
[図3]



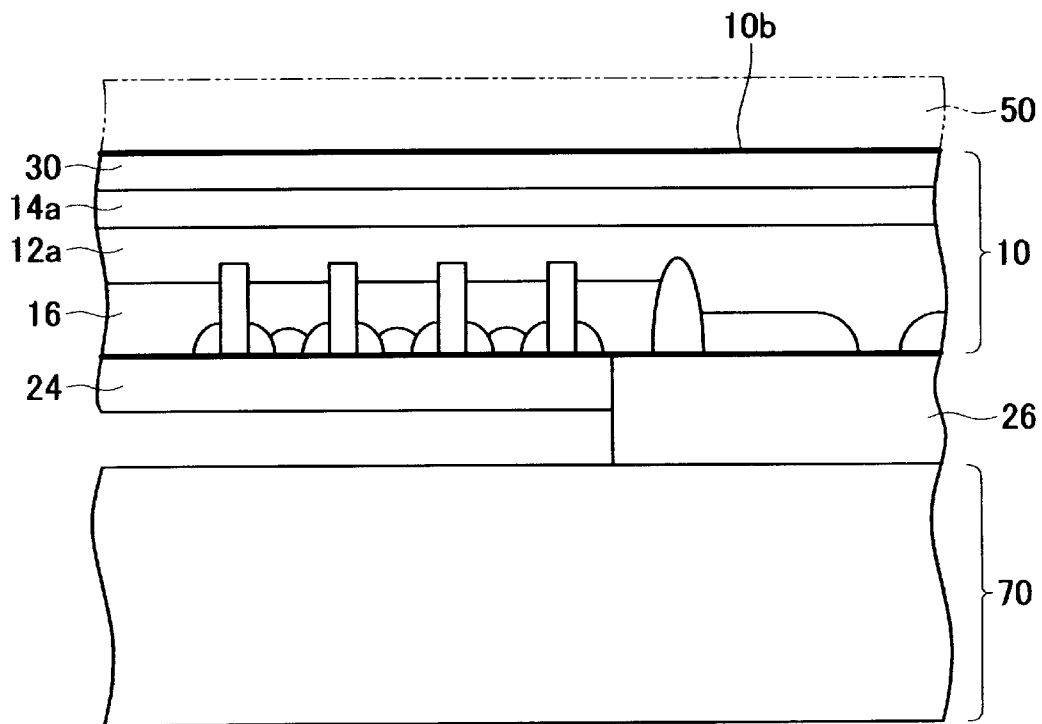
[図4]



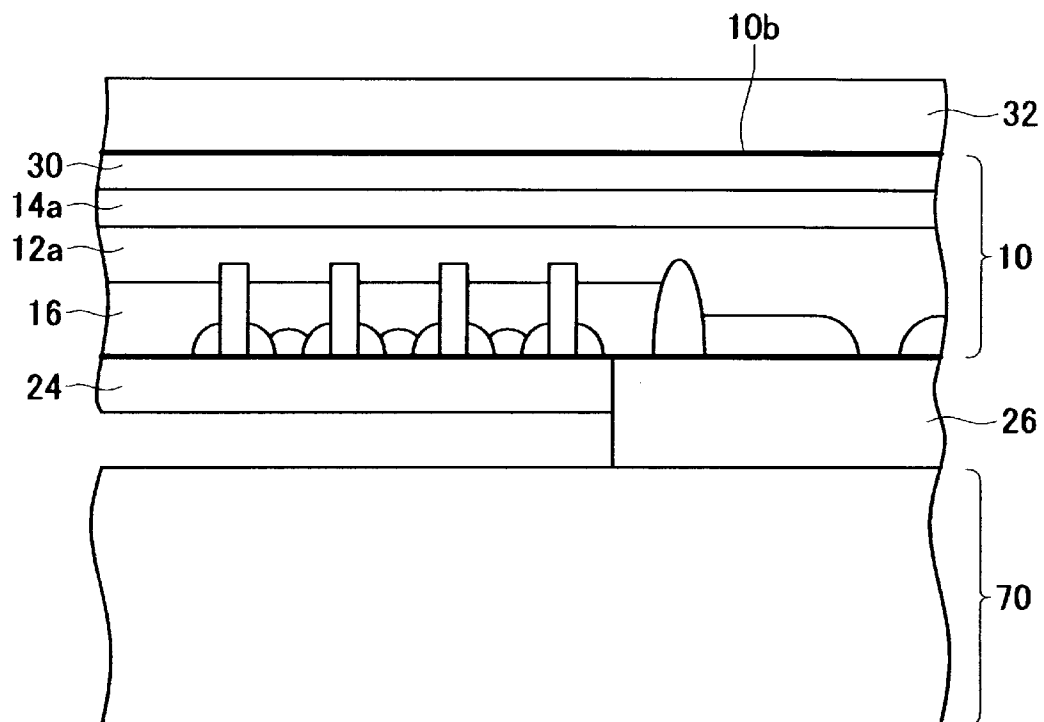
[図5]



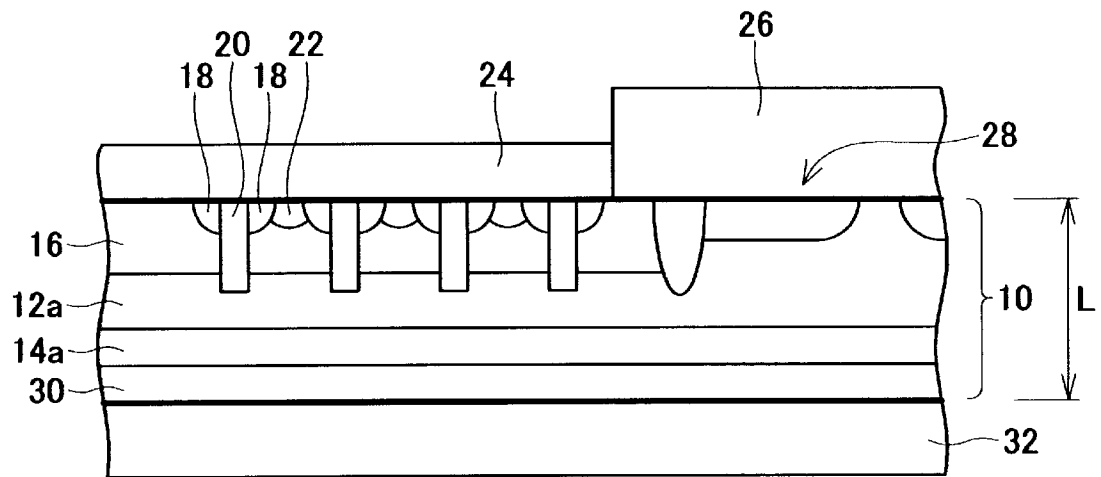
[図6]



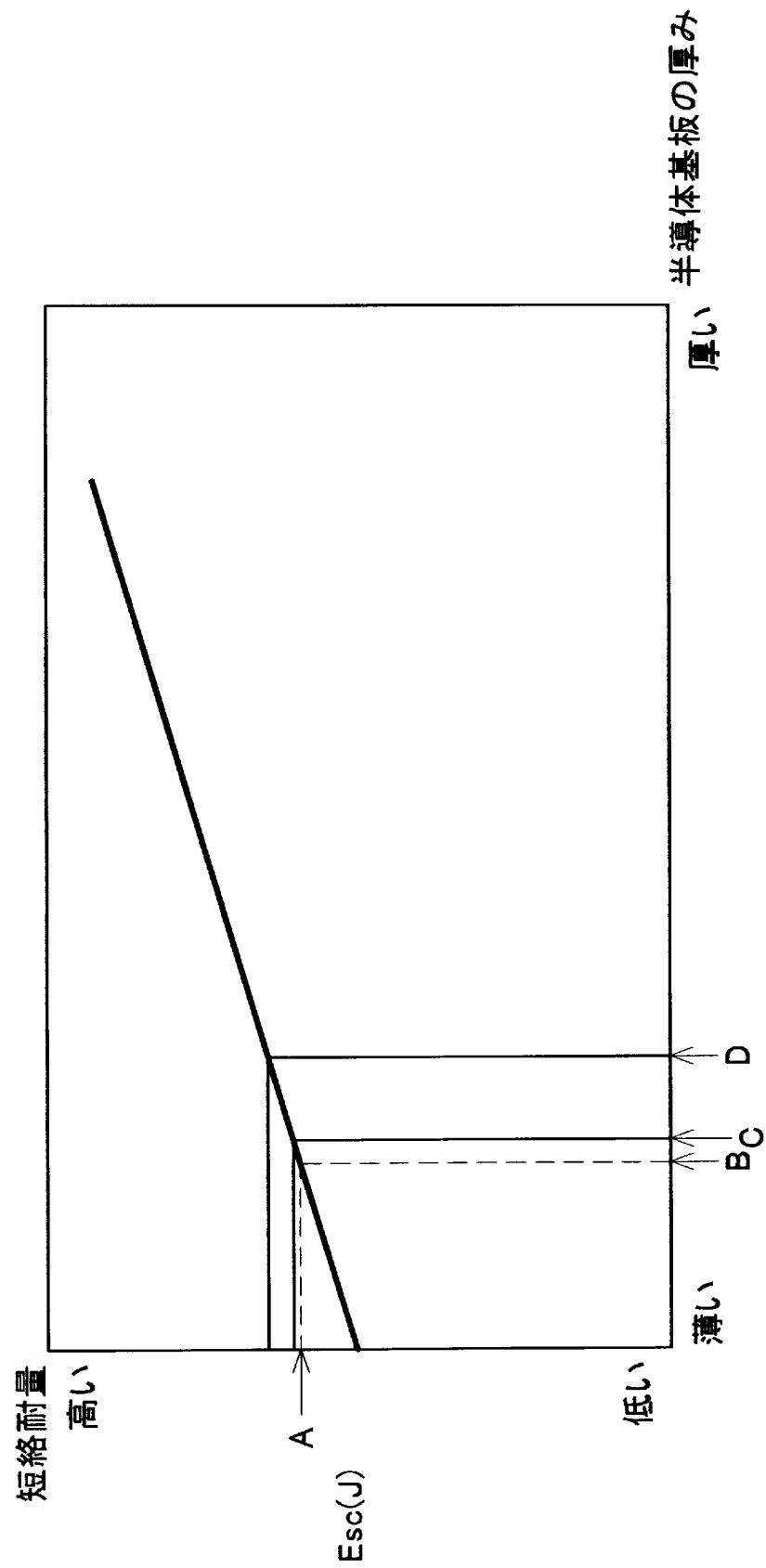
[図7]



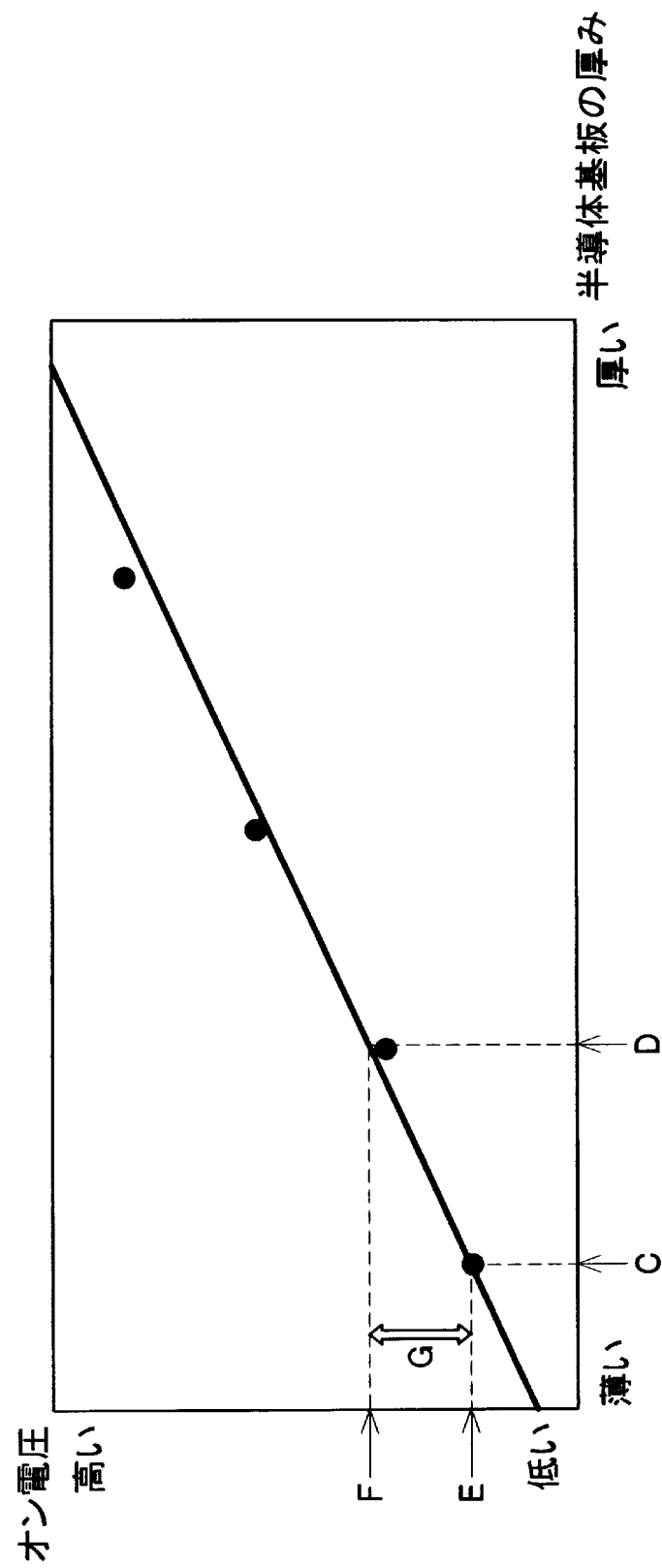
[図8]



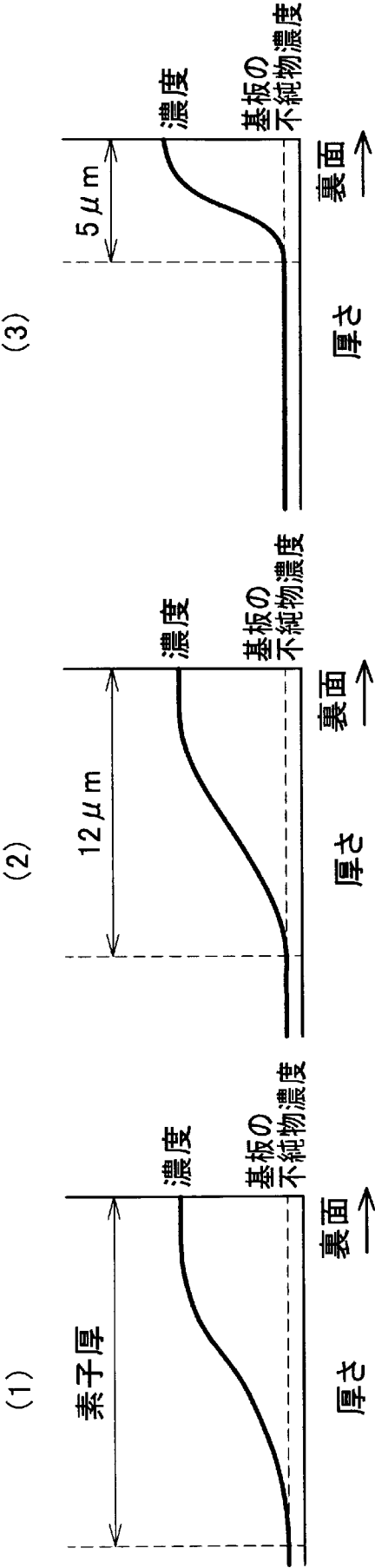
[図9]



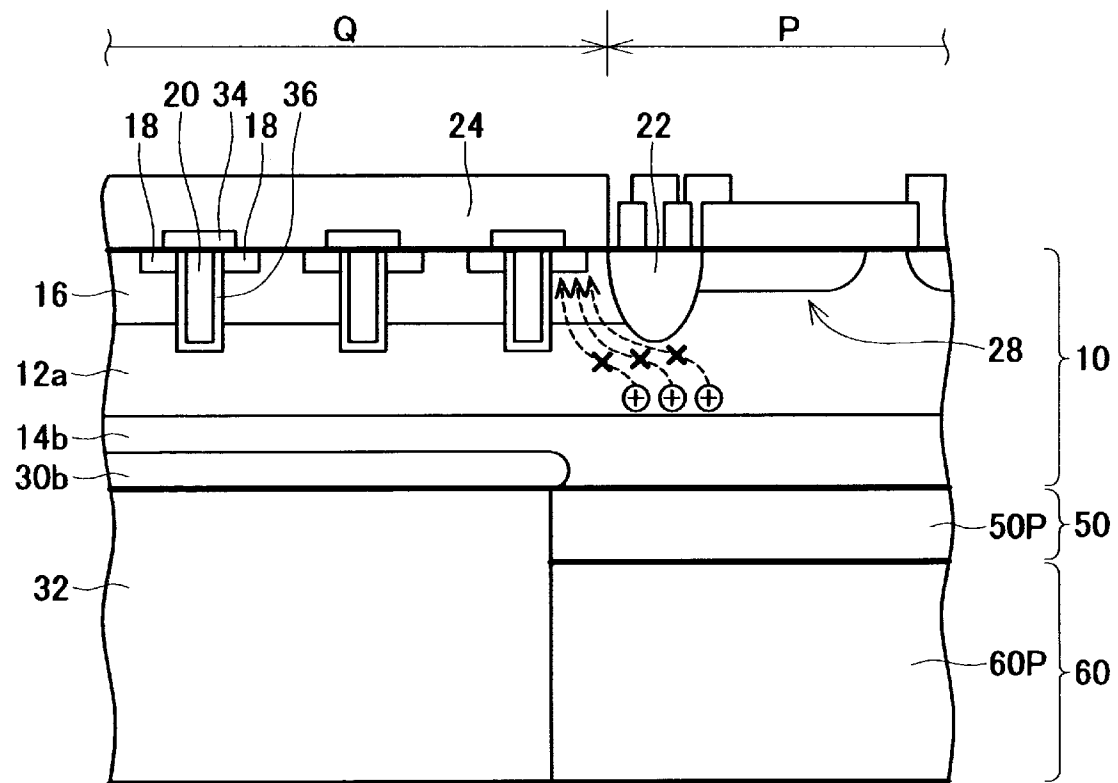
[図10]



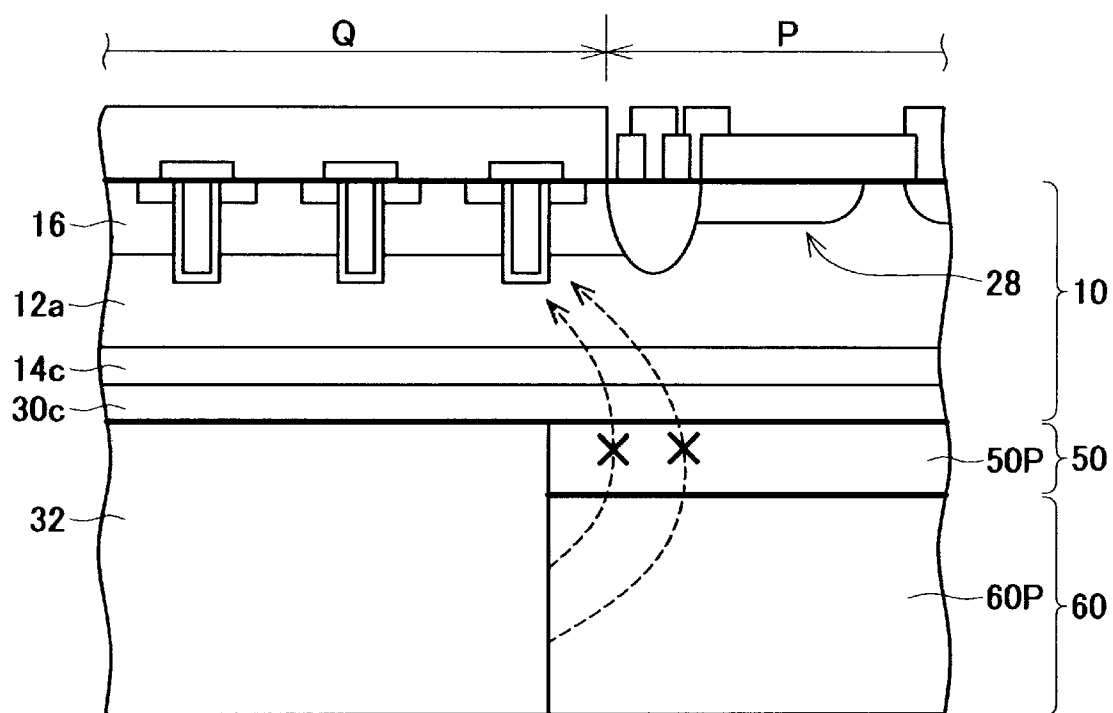
[図11]



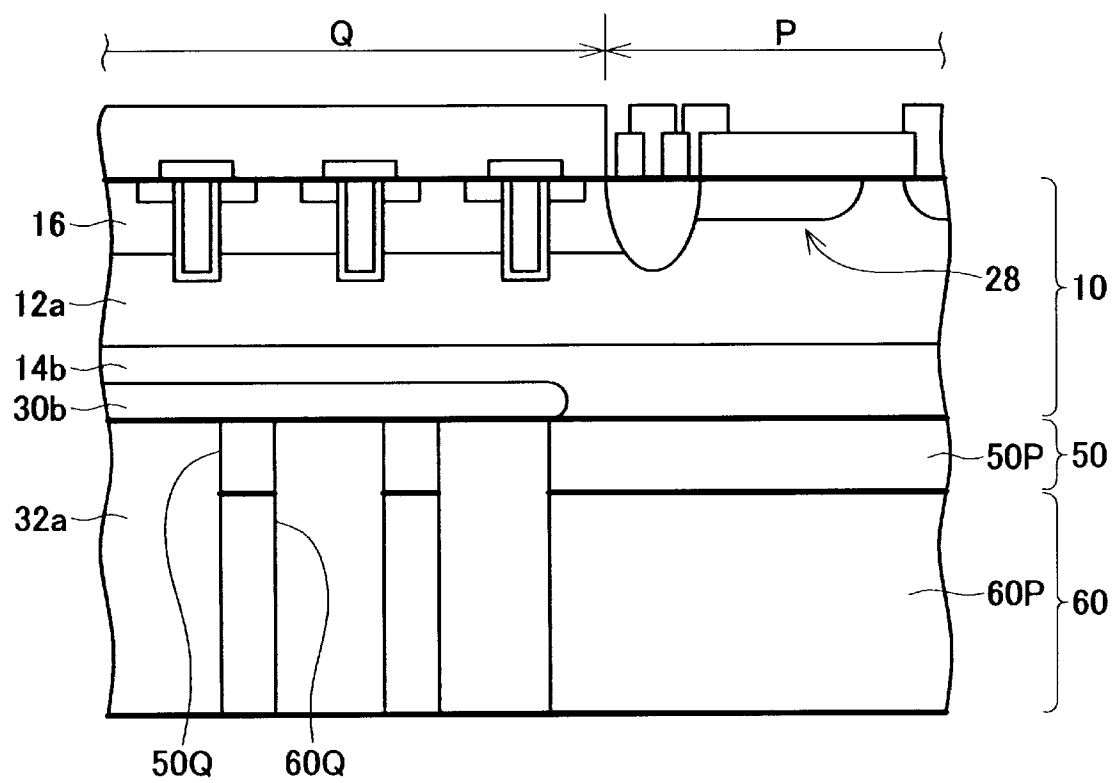
[図13]



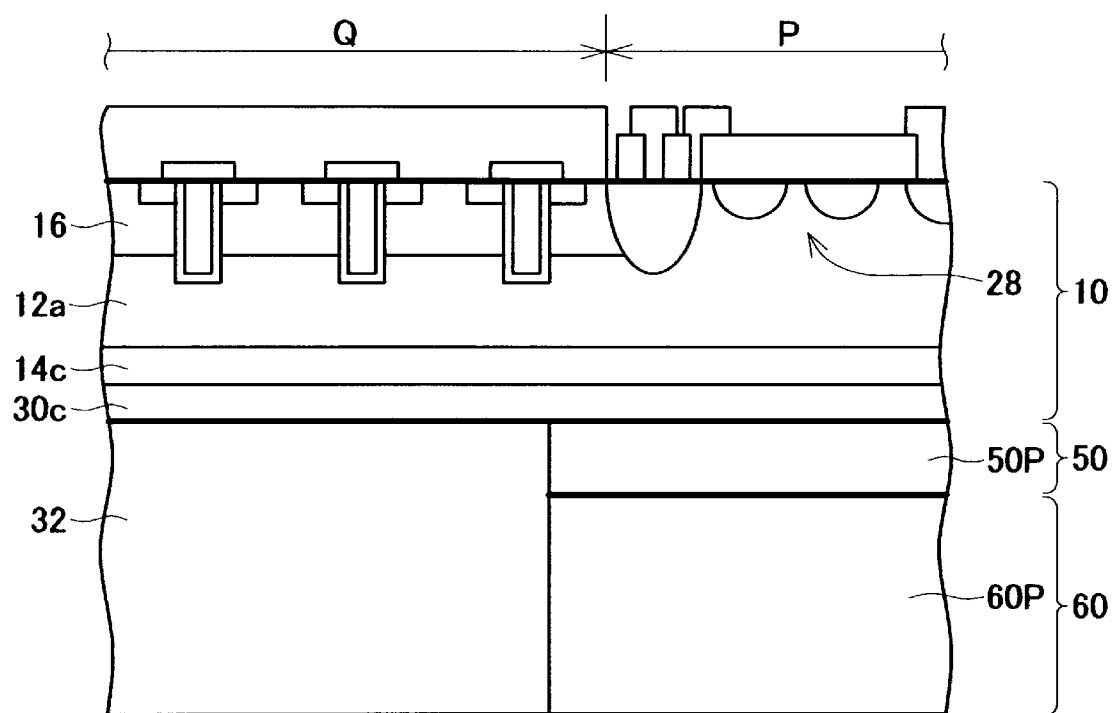
[図14]



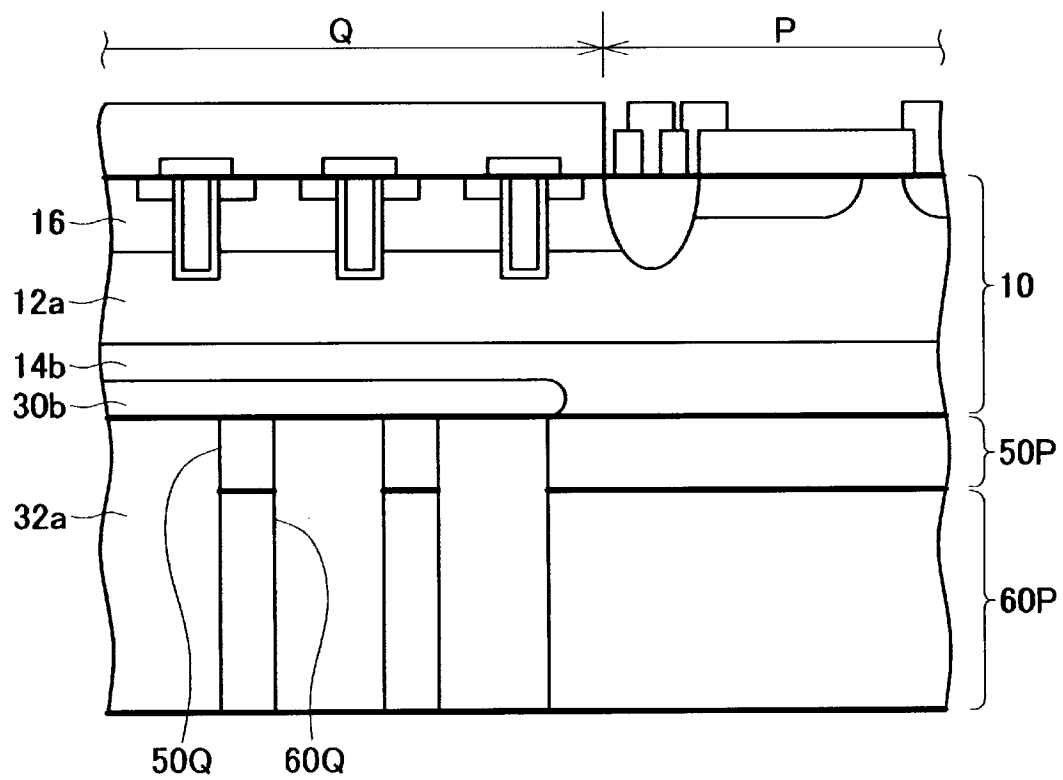
[図15]



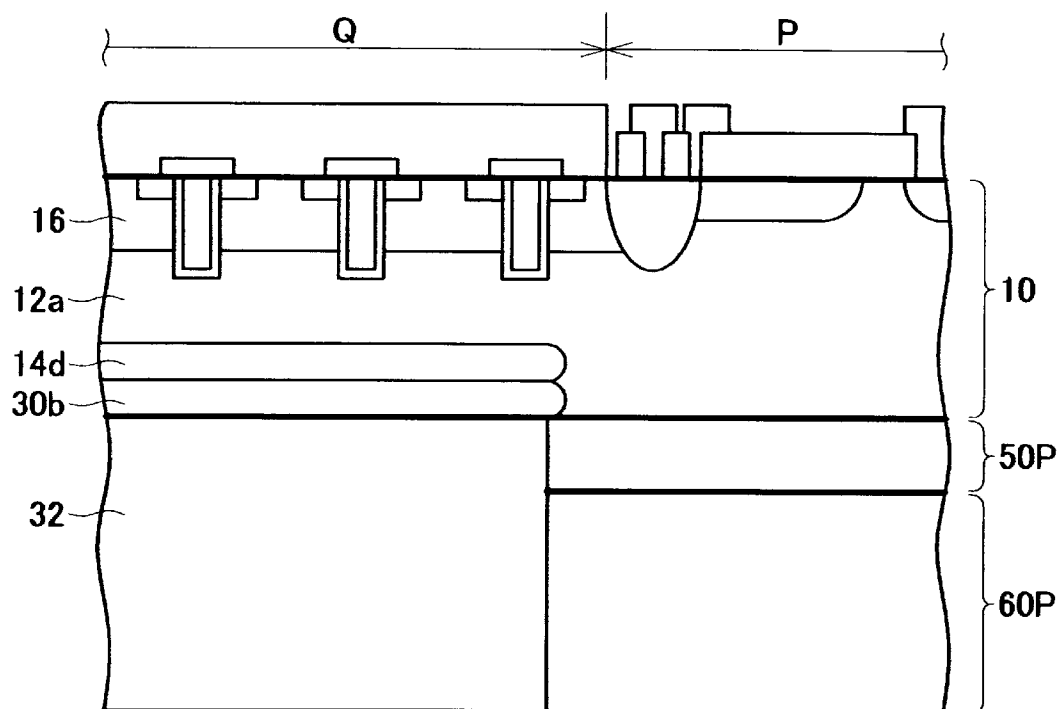
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/053245

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L29/739, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013

Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2011-003568 A (Mitsumi Electric Co., Ltd.), 06 January 2011 (06.01.2011), paragraphs [0023] to [0095]; fig. 10 & WO 2010/147028 A1	1 2-10
Y	JP 2009-124112 A (Denso Corp.), 04 June 2009 (04.06.2009), paragraphs [0036] to [0040]; fig. 3 to 5 & US 2009/0108288 A1	2-5
Y	JP 2004-134762 A (Denso Corp.), 30 April 2004 (30.04.2004), paragraphs [0033] to [0059]; fig. 1 to 6 & US 2004/0061163 A1 & DE 10343509 A & FR 2844919 A1	5

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 May, 2013 (30.05.13)Date of mailing of the international search report
18 June, 2013 (18.06.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/053245

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-510329 A (Cambridge Semiconductor Ltd.), 02 April 2004 (02.04.2004), paragraphs [0095], [0106]; fig. 34, 42a to c & US 2002/0041003 A1 & US 2004/0084752 A1 & US 2004/0087065 A1 & US 2005/0242368 A1 & US 2005/0242369 A1 & EP 1319252 A & WO 2002/025700 A2 & AU 9006801 A & CA 2423028 A & IL 154945 A & CN 1470073 A & RU 2276429 C & ZA 200302065 A & AU 2001290068 B	6-10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/053245

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Document 1: JP 2011-003568 A (Mitsumi Electric Co., Ltd.), 06 January 2011 (06.01.2011), paragraphs [0023] to [0095]; fig. 10
(Continued to extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/053245

Continuation of Box No.III of continuation of first sheet (2)

Document 1 has disclosed the invention wherein, after forming a semiconductor chip forming region on a front surface-side N layer of an SOI substrate, a rear surface-side N layer and an oxide film in the region are removed to expose the front surface-side N layer by etching from the rear surface of the SOI substrate, and a thin board section is formed, and in other regions, the rear surface-side N layer and the oxide film are left to form a thick board section, and a drain region, i.e., a diffusion layer, is formed on the thin board section on the rear surface to form a drain electrode, and a vertical MOSFET is formed.

Therefore, the invention of claim 1 cannot be considered to be novel in the light of the invention disclosed in the document 1, and does not have a special technical feature.

Consequently, two inventions (invention groups) each having a special technical feature indicated below are involved in claims.

Meanwhile, the invention of claim 1 having no special technical feature is classified into invention 1.

(Invention 1) the parts of the inventions of claims 1-5 which have the following special technical feature

The invention having a configuration of claim 1, and a configuration wherein "a step of thinning the rear surface-side semiconductor layer by mechanically polishing the rear surface of the SOI substrate is performed between the front surface-side processing step and the etching step".

Meanwhile, the inventions of claims 3-5 are mere addition of a well-known art onto the invention of claim 1 or 2 and do not exhibit any new effect, and therefore, these inventions are classified into invention 1.

(Invention 2) the inventions of claims 6-10

The invention having the configuration in claim 6.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/336 (2006.01) i, H01L29/739 (2006.01) i, H01L29/78 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/336, H01L29/739, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2011-003568 A (ミツミ電機株式会社) 2011.01.06, 【0023】 — 【0095】及び第10図 & WO 2010/147028 A1	1 2-10
Y	JP 2009-124112 A (株式会社デンソー) 2009.06.04, 【0036】 — 【0040】及び第3-5図 & US 2009/0108288 A1	2-5
Y	JP 2004-134762 A (株式会社デンソー) 2004.04.30, 【0033】 — 【0059】及び第1-6図 & US 2004/0061163 A1 & DE 10343509 A & FR 2844919 A1	5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

3 0 . 0 5 . 2 0 1 3

国際調査報告の発送日

1 8 . 0 6 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

境 周一

5 0

3 6 5 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-510329 A (ケンブリッジ セミコンダクター リミテッド) 2004.04.02, 【0095】、【0106】及び第34、42a～c図 & US 2002/0041003 A1 & US 2004/0084752 A1 & US 2004/0087065 A1 & US 2005/0242368 A1 & US 2005/0242369 A1 & EP 1319252 A & WO 2002/025700 A2 & AU 9006801 A & CA 2423028 A & IL 154945 A & CN 1470073 A & RU 2276429 C & ZA 200302065 A & AU 2001290068 B	6-10

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

文献1：JP 2011-003568 A（ミツミ電機株式会社）2011.01.06，【0023】－【0095】及び第10図

文献1には、SOI基板の表面側N層に半導体チップ形成領域を形成した後、SOI基板の裏面からエッチングすることで、当該領域における裏面側N層と酸化膜を除去して表面側N層を露出させ薄板部とし、それ以外の領域では裏面側N層と酸化膜を残存させて厚板部とし、さらに裏面の薄板部に拡散層であるドレイン領域を形成しドレイン電極を形成して縦型MOSFETを形成するものが記載されている。

したがって、請求項1に係る発明は、文献1に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☒ 追加調査手数料の納付はあったが、異議申立てはなかった。

<第 III 欄の続き>

よって、請求の範囲には、以下の特別な技術的特徴を有する 2 の発明（群）が含まれる。
なお、特別な技術的特徴を有しない請求項 1 に係る発明は、発明 1 に区分する。

（発明 1）請求項 1－5 に係る発明のうち以下の特別な技術的特徴を有する発明。

請求項 1 に係る構成、及び「前記表面側処理工程と前記エッチング工程の間に、前記 S O I 基板の裏面を機械的に研磨して前記裏面側半導体層を薄板化する工程を実施する」構成を有するもの。

なお、請求項 3－5 に係る発明は請求項 1 又は 2 に係る発明に対して周知技術を付加するものにすぎず、新たな効果を奏するものではないため、発明 1 に区分する。

（発明 2）請求項 6－1 0 に係る発明。

請求項 6 に係る構成を有するもの。