

I253618

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：P3121P18

※ 申請日期：P3. 7. 22

※ I P C 分類：G09G 3/6
G02F 1/33

一、發明名稱：(中文/英文)

薄膜電晶體電路裝置及其製造方法與利用此薄膜電晶體電路裝置之液、
晶顯示器/THIN FILM TRANSISTOR CIRCUIT DEVICE, PRODUCTION METHOD
THEREOF AND LIQUID CRYSTAL DISPLAY USING THE THIN FILM TRANSISTOR
CIRCUIT DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

NEC 液晶科技股份有限公司/NEC LCD TECHNOLOGIES, LTD.

代表人：(中文/英文) 奥野 和雄/OKUNO, KAZUO

住居所或營業所地址：(中文/英文)

〒211-8666 日本國神奈川縣川崎市中原區下沼部 1753 番地/1753

SHIMONUMABE, NAKAHARA-KU, KAWASAKI, KANAGAWA 211-8666, JAPAN

國 籍：(中文/英文) 日本/JP

三、發明人：(共 3 人)

姓 名：(中文/英文)

(1) 田中 宏明/TANAKA, HIROAKI

(2) 安田 亨寧/YASUDA, KYOUNEI

(3) 鈴木 聖二/SUZUKI, SEIJI

國 籍：(中文/英文)

(1) 日本/JP

(2) 日本/JP

(3) 日本/JP

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本/JP 2003 年 7 月 22 日 特願 2003-277459

2. 日本/JP 2004 年 7 月 21 日 特願 2004-212977

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於薄膜電晶體電路裝置及其製造方法與利用此薄膜電晶體電路裝置之液晶顯示器。

【先前技術】

近來，薄膜電晶體(TFT)液晶顯示器已成為液晶顯示器的主流，且薄膜電晶體被發展成為薄膜電晶體電路裝置之開關元件。其中，隨著 TFT 液晶顯示器之大型化，與 TFT 液晶顯示器的像素之微細化，而一直進行改良。除了作為 TFT 液晶顯示器之像素的開關元件外，在液晶顯示器使用之薄膜電晶體電路常被設置於基板上以作為驅動液晶之驅動電路的電晶體以及作為電磁防護的電晶體。

因此，對使用於薄膜電晶體電路裝置電晶體之電極間之連接的導線的需求就變得相當急迫。

在以往，例如鋁、鋁合金等鋁導線被用以降低薄膜電晶體電路裝置中所形成的導線之導線電阻。

然而，鋁導線卻有著容易受其熱經歷(thermal history)影響而形成小凸起(hillocks)之缺點。這些小凸起有著推拔形之尖端，因此容易引起如傷害與其對向之基板等問題。為了解決此問題，而發展出一種疊層配線(laminated wiring)的方法，在此方法中將防火金屬材料塗佈於鋁線上。在日本專利公開公報第 11-259016 號中揭露了將防火金屬材料(如鉬，MO)膜疊層於鋁線上以防止鋁線上產生小凸起的方法。

在日本專利公開公報第 11-259016 號中揭露了一種疊層導線，此種導線在下層中使用了一鋁釹合金(Al-Nd)並在上層中使用一防火金屬。日本專利公開公報第 11-259016 號揭露一種由 Cr、Mo、W、Ti、Zr、Hf、V、Nb 以及 Ta 或其合金所組成之群組中選出之防火金屬。

上述的疊層導線係由氮化物膜所覆蓋，因此在藉由乾式蝕刻移除氮化物膜以露出端子時，必須提高氮化物膜與鉬合金之蝕刻選擇比以防止鉬合金被蝕刻。日本專利公開公報第 2000-284326 號揭露了藉由加入 17 原子百分比(atom%，之後標為 at%)或更多的鈮(Nb)至鉬以使 Mo-Nb 相較於氮化物膜之蝕刻比為 1/4 或更少。

然而，鉬很容易被空氣中的溼氣所腐蝕。因此，對鉬來說，鉬的腐蝕容易發生在與空氣接觸的端子部份，使得端子連接的可靠度降低。此外，當使用 Cr、W、Ti、Zr、Hf、V、Nb 以及 Ta 作為防火金屬而不是使用鉬時，鉬合金疊層的蝕刻將變得困難，如此閘導線側邊的推拔形之形狀惡化，因此在閘導線之上層上夾著內層絕緣膜的汲極導線和源極導線將有可能會斷開。

此外，日本專利公開公報第 2000-284326 號揭露了藉由增加 17at%或更多的鈮至鉬以提升覆蓋於導線上的氮化物和構成導線上層的鉬合金之蝕刻選擇比，因為鉬合金相較於氮化物膜之蝕刻可為 1/4 或更少。然而，卻沒有提到鉬合金的抗腐蝕問題。

本發明的目的之一為增加薄膜電晶體電路裝置中的鉬合金抗腐蝕，此薄膜電晶體電路裝置包含使用一導線用鉬合金的導線結構。

【發明內容】

本發明為一種薄膜電晶體電路裝置，其具有由形成於一基板之中央部的一主要電路區朝形成於基板之外周邊的端子延伸的薄膜電晶體之一導線，其中，該端子係將被絕緣膜覆蓋的該導線之一部份曝露，再於該曝露表面形成端子電極金屬而形成；且其中，該導線之至少該曝露表面係為包含鈮的鉬合金。於包含最上層表面之鈮的鉬合金之表面上最好形成鈮氧化層。

鉬合金最好包含 5 至 20at%的鈮。

導線可以僅由包含鈮之鉬合金層所構成。此外，此導線可為一疊層結構，在此結構中至少一最上層係為包含鈮之鉬合金層，而鉬合金層之下層係由具有小於鉬合金層的電阻之低電阻金屬所

構成。當導線形成於一矽化膜上時，鉬合金層最好形成於下層上。

低電阻金屬層可使用將鋁作為主要組成的金屬、將銅作為主要組成的金屬或是將銀作為主要組成的金屬。

將鋁作為主要組成的金屬最好為純鋁或是具有鈹的鋁合金。端子電極最好為透明(transparent)電極，其中可使用 ITO(Indium Tin Oxide，氧化銦錫)、IZO(Indium Zinc Oxide，氧化鋅錫)或是 IZTO(Indium Zinc Tin Oxide，氧化鋅銦錫)作為透明電極(transparent electrode)。

本發明亦關於一薄膜電晶體電路裝置，此裝置包含形成於一主要電路區以及一外部電路區之薄膜電晶體以及導線，此主要電路區形成於一基板的中心，而外部電路區形成基板之外周邊；上述薄膜電晶體電路裝置亦包含形成於薄膜電晶體或導線上之絕緣膜；上述薄膜電晶體電路裝置又包含形成於絕緣膜上之孔隙，此孔隙曝露了薄膜電晶體或導線之至少一部份；上述薄膜電晶體電路裝置又包含連接導線，此連接導線將孔隙連接至電極或連接於孔隙之間，其中被孔隙曝露之薄膜電晶體電極或是導線之組成金屬為包含鈦之鉬合金。

而且，一鈦氧化層最好形成於被孔隙曝露之包含鈦的鉬合金之表面上。

被孔隙曝露之鉬合金最好包含 5 至 20atom% 比例的鈦。

此外，本發明之特徵為導線或薄膜電晶體電極僅由包含鈦的鉬合金構成。此導線或是薄膜電晶體電極可為一疊層結構，在此結構中至少一最上層係為包含鈦之鉬合金層，而鉬合金層之下層係由具有小於鉬合金層的電阻之低電阻金屬所構成。導線或薄膜電晶體電極可更包含形成於下層上的一鉬合金層。

低電阻金屬層可使用將鋁作為主要組成的金屬、將銅作為主要組成的金屬或是將銀作為主要組成的金屬中之任意金屬。將鋁作為主要組成的金屬最好為純鋁或是具有鈹的鋁合金。

電極或是連接導線最好為透明電極，其中可使用 ITO(Indium

Tin Oxide，氧化銻錫)、IZO(Indium Zinc Oxide，氧化鋅錫)或是 IZTO(Indium Zinc Tin Oxide，氧化鋅銻錫)作為透明電極。

本發明亦為一薄膜電晶體電路裝置的製造方法，此薄膜電晶體電路裝置包含形成於一主要電路區以及一外部電路區中之薄膜電晶體及導線，此主要電路區形成於一基板的中心，而外部電路區形成基板之外周邊；上述方法包含：絕緣膜形成製程，形成於薄膜電晶體電極或導線上之絕緣膜；一孔隙形成製程，曝露了形成於構成孔隙之絕緣膜上的薄膜電晶體電極或導線之至少一部份；一傳導膜形成製程，形成一傳導膜以構成將孔隙連接至電極或連接於孔隙之間的導線，其特徵在於被孔隙曝露之薄膜電晶體電極或是導線之組成金屬為包含鈦之鉬合金。

此外，在孔隙形成後，最好施行一氧化製程，在此製程中被孔隙曝露的傳導膜之表面被氧化。

傳導膜製程以及氧化製程可為於含氧之周遭環境中利用金屬進行之濺鍍。

此外，前述薄膜電晶體電路裝置可排列成一基板並面對另一基板，在此另一基板上形成了至少一共同導線，其中一液晶顯示器係藉由將液晶夾在間隙中而形成。

根據本發明，將 5 至 20at%的鈦混入鉬可使鉬合金在空氣中的抗腐蝕性有顯著的進步。將此種導線結構施行至汲極導線可對閘極端子/導線和汲極端子/導線的可靠度有所助益。

【實施方式】

本發明的目的之一係增加薄膜電晶體電路裝置所用的鉬合金在空氣中的抗腐蝕性，此薄膜電晶體電路裝置包含一導線結構，此導線結構使用導線所用的鉬合金。本發明的又一目的係在進行至少由鉬合金和鋁(或鋁合金)所形成的疊層膜之濕蝕刻時得到順向推拔狀之蝕刻形狀。

根據本發明的薄膜電晶體電路裝置包含一第一基板；提供於第一基板上的一閘極導線，其在一顯示區的外周邊形成一閘極端

子；形成於第一基板上的第一絕緣膜，其覆蓋一閘極導線；形成於第一絕緣膜上的一半導體層，其作為一薄膜電晶體啟動層；貫穿閘極導線並在一顯示區的外周邊形成一汲極端子的一汲極導線；形成於覆蓋汲極導線上之第一絕緣膜之第二絕緣膜；一閘極端子電極和一汲極端子電極，其分別覆蓋汲極端子孔隙和閘極端子孔隙，其分別位於閘極端子和汲極端子之絕緣膜上，其特徵在於閘極導線包含從底部依序延伸的低電阻金屬以及包含銦的鉬合金，其中低電阻金屬具有比鉬合金更低的電阻。

在前述薄膜電晶體電路裝置中，源極電極與汲極導線形成於相同的層上，汲極導線和源極導線分別連接至半導體層，其中汲極導線和源極導線包含從底部依序延伸的鉬或鉬合金，位於中間層的低電阻金屬以及包含銦的鉬合金，且其中低電阻金屬具有比位於下層的鉬或鉬合金，或是位於上層的鉬合金更低的電阻。

更可形成接觸孔於源極電極上的第二絕緣膜，其中像素電極透過接觸孔連接至源極電極，且此像素電極之構成材料與閘極端子電極以及汲極端子電極相同。

此外，藉由在上層鉬/銦和構成閘極端子電極和汲極端子電極的材料之間設置銦氧化層可使外邊的可靠度增加。

在上述的薄膜電晶體電路裝置中，構成閘極端子電極之材料為 ITO(Indium Tin Oxide，氧化銦錫)、IZO(Indium Zinc Oxide，氧化鋅錫)或是 IZTO (Indium Zinc Tin Oxide，氧化鋅銦錫)。

在薄膜電晶體電路裝置中，低電阻金屬可使用將鋁作為主要組成的金屬、將銅作為主要組成的金屬或是將銀作為主要組成的金屬。而且，以鋁作為主要組成的金屬最好為純鋁或是包含銨的鋁合金。

此外，根據本發明之薄膜電晶體電路裝置的製造方法係為薄膜電晶體基板的製造方法，其包含：一閘極導線形成製程，其用以在第一基板上形成一閘極導線，此第一基板在顯示區的外周邊上形成閘極端子；一第一絕緣膜形成製程，用以在第一基板上形

成覆蓋閘極導線的第一絕緣膜；一半導體形成製程，其在第一絕緣膜上形成具有一部份閘極導線的薄膜電晶體半導體以作為閘極電極；一汲極導線形成製程，其形成交叉於第一絕緣膜上的閘極導線，且其在顯示區的外周邊上形成汲極端子並連接至半導體層；一第二絕緣膜形成製程，用以在覆蓋汲極導線上的第一絕緣膜上形成一第二絕緣膜；一孔隙形成製程，用以在閘極端子和汲極端子上的絕緣膜上形成閘極端子孔隙和汲極端子孔隙；以及一端子電極形成製程，用以分別形成覆蓋閘極端子孔隙和汲極端子孔隙的閘極端子電極和汲極端子電極，其特徵在於包含從底部依序延伸的鈾或鈾合金，位於中間層的低電阻金屬以及包含銲的鈾合金，且其中低電阻金屬具有比鈾合金更低的電阻。

在前述的薄膜電晶體電路裝置製造方法中的汲極導線形成製程中，汲極導線與源極電極同時形成，源極導線連接至半導體層，且汲極導線和源極導線包含從底部依序延伸的鈾或鈾合金，位於中間層的低電阻金屬以及包含銲的鈾合金，且其中低電阻金屬具有比位於下層的鈾或鈾合金，或是位於上層的鈾合金更低的電阻。

在前述的薄膜電晶體電路裝置製造方法中的端子孔隙形成製程中，在源極電極上的第二絕緣膜形成接觸孔，其中像素電極透過接觸孔連接至源極電極，且像素電極之構成材料與閘極電極和汲極電極相同。

此外，在前述的薄膜電晶體電路裝置製造方法中，藉由在上層鈾/銲和構成閘極端子電極和汲極端子電極的材料之間設置銲氧化層可使外邊的可靠度增加。

在前述的薄膜電晶體電路裝置製造方法中，構成閘極端子電極和汲極端子電極的材料為 ITO、IZO 或是 IZTO。

在前述的薄膜電晶體電路裝置製造方法中，將鋁作為主要組成的金屬最好為純鋁或是具有銨的鋁合金。

根據本發明的鈾合金為摻雜 5 至 20at%之銲至鈾中的理想鈾合金。當施行濕蝕刻至由鈾合金以及鋁或鋁合金所構成的疊層膜

時，若欲形成順向推拔狀之蝕刻形狀，則鉬合金對鋁合金的蝕刻比之較佳值為 1.5 至 0.5，最好為 1.25 至 0.75。這些狀況可藉由使鉬合金具有 5 至 15at%或是 5 至 10at%的 Nb 所達成。此蝕刻比亦可藉由調整磷酸、硝酸和醋酸之組成而達成。當抗腐蝕性為優先考量時，亦可以使鉬合金中的 Nb 為 20at%。

若欲得到順向推拔狀之蝕刻形狀，則加入 5 至 10at%的 Nb 至 Mo 的抗腐蝕性為較佳；若以抗腐蝕性為優先考慮，則加入 10 至 15at%的 Nb 至 Mo 為較佳；若以抗腐蝕性為特別優先考慮，則加入 15 至 20at%的 Nb 至 Mo 為較佳。

根據本發明之使用鉬合金的導線為薄膜電晶體電路裝置之表面上的導線之最佳結構，在此薄膜電晶體電路裝置中，表面被曝露之端子的結構與連接端子的導線之結構相同。導線結構最好為鉬合金單層結構導線，或是下層為鋁合金而上層為鉬合金的多層結構導線。當形成導線(形成於基板上的基板或膜)的基底物質為矽基板時，最好使用多層導線結構，其中下層為鉬或鉬合金，中間層為鋁合金且最高層為鉬合金。

根據本發明之薄膜電晶體電路裝置可構成一第一基板並面對由共同導線形成的第二基板，其中藉由將液晶夾在間隙內可形成一液晶顯示器。

[實施例]

(例 1)

形成於其上的基板側邊之液晶顯示器像素將根據本發明之實施例而敘述。圖 1 繪示了液晶顯示器像素形成於其上的基板側邊之結構的一部份。圖 2 至圖 9 為製程剖面圖，其繪示了薄膜電晶體電路裝置(TFT 電路裝置)的一部份。

不用說，本發明可以施行於液晶顯示器之外的薄膜電晶體電路裝置。

如圖 1 所示，閘極導線 2 和閘極端子 3 被設置於 TFT 電路裝置 100 的水平方向上，且靜電防護導線 4 被形成於基板之最外緣

周圍。閘極導線 2 通過閘極端子 3，變成閘極導線 22 並透過一靜電防護元件 19 連接至靜電防護導線 4。汲極導線 7 被設置在 TFT 電路裝置 100 上並垂直於閘極導線 2。汲極導線 7 通過汲極端子 8，變成汲極導線 27 並透過一靜電防護元件 19 連接至靜電防護導線 4。薄膜電晶體 10 被設置於閘極導線 2 和汲極導線 7 交叉的區域。薄膜電晶體 10 的閘極端子連接至閘極導線，而薄膜電晶體 10 的汲極端子連接至汲極導線 7，藉此源極導線被連接至像素電極(未繪示)。靜電防護元件 19 之電晶體結構與薄膜電晶體 10 的相同。

在圖 1，被線 I-I' 所圍繞的內部區域為主要電路區，其中若為液晶顯示器中的薄膜電晶體電路裝置所用，此區域變為顯示區。

根據圖 1 之薄膜電晶體電路裝置形成了液晶顯示器之基板。靜電防護元件 19 在薄膜電晶體電路裝置的製造過程中用以作靜電防護，其中基板在薄膜電晶體電路裝置的製造過程中隨著線 II-II' 被切開。雖然未在圖 1 中顯示，在某些例子中，如靜電防護電路或是驅動電路之類的電路被額外形成於閘極端子 3 和汲極端子 4 還有顯示元件區域之間。這些靜電防護電路或驅動電路通常被統稱為外部電路區。與靜電防護元件 19 相似，形成於電路區中的薄膜電晶體係由電晶體所形成，而此電晶體具有與形成於主要電路區之薄膜電晶體 10 相同的結構。

圖 2 至 12 係為製程剖面圖，分別表示在薄膜電晶體電路裝置製造過程中的汲極導線 7、汲極端子 8、薄膜電晶體 10、導線 2 和閘極 3 之剖面圖。每一張圖皆是以自汲極導線之左端至汲極端子所形成的區域 A；薄膜電晶體形成的區域 B；以及閘極導線和閘極端子形成的區域 C 之順序而繪示。

首先，具有膜厚度 200 至 400nm，包含 2 at% 鈹的鋁合金以及具有膜厚度 50 至 100nm，包含 5 至 15 at% 鈦的鋁合金以該順序被沉積在由玻璃構成的透明基板 1 上以形成一疊層膜，其中下層為一鋁合金而上層為一鈦合金。閘極導線 2，閘極端子 3 和靜電防護導線 4(未繪示)係使用一溼蝕刻製程而形成(第一微影製程)，此溼

蝕刻製程係使用磷酸、硝酸、醋酸以及施以普通微影至疊層膜而形成的光阻光罩。閘極導線 2、閘極端子 3 和靜電防護導線 4(未繪示)具有一疊層結構，在此結構中下層為一鋁合金層 31 而上層為一鉬合金層 32(圖 2)。

既然玻璃被使用在透明基板上，當使用高溫多晶矽技術形成薄膜電晶體時，可使用如石英之類的耐熱玻璃，當使用低溫多晶矽技術或是非結晶矽技術時，可使用鹼性或非鹼性玻璃。因為此實施例係使用非結晶矽技術以製造彩色 TFT 顯示裝置的薄膜電晶體，因此可使用非鹼性玻璃。

接著，氮化物膜 5 具有自 200nm 至 600nm 的膜厚度，非晶矽膜 61(之後稱為“a-Si”)具有自 100nm 至 600nm 的膜厚度， n^+ 型非晶矽膜 62(之後稱為“ n^+ 型 a-Si”)具有自 20nm 至 70nm 的膜厚度，而鉻(Cr)膜 7 具有自 200nm 至 500nm 的膜厚度，這些膜被依序形成，如圖 3 所示。

一絕緣膜，如氮化物膜、氮氧化膜和氧化膜可被使用為氮化物膜 5，氮化物膜 5 係作為薄膜電晶體之閘極絕緣體。

接著，光阻圖案 58、59 藉由微影而施行至使用半色調(halftone)光罩的鉻膜 7。光阻圖案 58 形成於形成區域 A 上，而形成區域 A 屬於包含汲極端子的汲極導線，光阻圖案 59 形成於薄膜電晶體的形成區域 B 上。

除了完全曝露之部份和被遮蓋的部份之外，半色調和灰色調光罩係具有半傳導區域的圖案，此半傳導區域對應於薄膜電晶體的通道區。結果，在由薄膜電晶體通道形成的區域中，形成於形成區域 B 的薄膜電晶體(之後稱 TFT)之光阻圖案 59 之膜具有自 0.5 μm 至 1.0 μm 的膜厚度，而在其他區域，具有自 1.5 μm 至 2.0 μm 的膜厚度。

接著，將光阻圖案 58、59 作為光罩，Cr 膜 7 藉由使用一混合溶劑而去除，此混合溶劑可由鉀氮硝酸鹽和硝酸所組成，如圖 4 所示。

接著，將光阻圖案 58、59 作為光罩， n^+ 型 a-Si 膜 62 以及 a-Si 膜 61 可成功的被乾式蝕刻移除，如圖 5 所示。

接著，光阻圖案 58、59 在厚度方向上藉由氧電漿被蝕刻，但僅有在移除對應光阻圖案 59 內部之薄膜電晶體通道區之薄部份時。光阻圖案 58、59 變成光阻圖案 88、89 和 90，每一光阻圖案具有 0.5 μm 至 1.0 μm 的膜厚度，如圖 6 所示。

接著，藉由將光阻圖案 88、89、90 作為光罩並選擇性蝕刻 Cr 膜 7，形成了汲極端子電極 73、TFT 汲極電極 74 和源極電極 75，如圖 7 所示。

接著，藉由將汲極端子電極 73、TFT 汲極電極 74 和源極電極 75 作為光罩而移除光阻圖案 88、89、90，薄膜電晶體 10 之通道區的 n^+ 型 a-Si 膜 62 以及 a-Si 膜 61 之一部份藉由乾蝕刻移除(第二微影製程)。接著，具有 100 至 300nm 的膜厚度之氮化物膜構成的保護膜 11 形成於基板表面，然後使用微影技術處理汲極端子，薄膜電晶體 10 的源極電極 75 和閘極端子上的絕緣膜藉由蝕刻以形成孔隙 12、13 和 14。此時，對應於薄膜電晶體 10 之汲極端子 8 和源極電極 75 的孔隙 12、13 藉由蝕刻保護膜 11 而形成，而對應於閘極端子 3 之孔隙 14 藉由蝕刻保護膜 11 和氮化物膜 5 而形成(第三微影製程)，如圖 8 所示。

不用說，除了氮化物膜外，保護膜 11 可以由氧化膜，氮氧化膜以及類似的材料所形成。

最後，使用濺鍍技術，沉積了具有 30 至 100nm 之膜厚度的 ITO(Indium Tin Oxide，氧化銦錫)，在此之後作為蝕刻光罩的光阻圖案藉由一微影製程而形成。接著，藉由乾蝕刻而圖案化 ITO 膜，以形成一汲極端子電極 15，一像素電極 16 以及一閘極端子電極 17(第四微影製程)，如圖 9 所示。

TFT 電路裝置如前所述般的被形成。如圖 9 所示，閘極端子 3 之結構從底部開始依序為鋁合金、鉬合金和 ITO，其中鉬合金中的 Nb 最好為 5 至 20at%(原子重量比)。

而且，即使用 IZO 或 IZTO 取代 ITO，亦可以達到相同的效果。

在 ITO、IZO 或 IZTO 以及鋁合金之間夾一層 Mo 合金可防止在 ITO、IZO 或 IZTO 發生的觸電，並降低 ITO、IZO 或 IZTO 之接觸電阻。而且，因為 ITO、IZO 或 IZTO 很容易使濕氣通過，因此即使 Mo 合金由 ITO、IZO 或 IZTO 所覆蓋，Mo 合金仍需要防潮濕。在此，利用圖形敘述包含 5 至 20at% 之 Nb 的 Mo 之顯著效果。

圖 10 繪示了當 Nb 在鉬合金中的比例改變時，在高溫高濕度下合金電阻隨時間的改變(X 軸和 Y 軸皆為對數)。對不含任何 Nb 的純 Mo 合金來說，合金電阻在 30 小時後開始增加。對包含 5、10 和 15at% 的合金來說，雖然 5at% 的合金在 30 小時後會有增加的跡象，但 10 和 15at% 的合金並不會有改變的狀況。10 和 15at% 的合金在 100 小時後才會有電阻增加的情況。由此可知對耐濕性而言鉬合金所含的鈮比例越高越好。

當 Nb 超過 15at% 時，其在電阻的改變與 10at% 和 15at% 相同。

圖 11 繪示了當使用磷酸、硝酸、醋酸時，根據包含在鉬合金的 Nb 比例而改變的蝕刻比。理想上來說，因為鉬合金和鋁合金的疊層結構係使用溼蝕刻，因此若要使鉬合金和鋁合金有好的蝕刻形狀，則鉬合金和鋁合金的蝕刻率最好相等。因此，鉬合金和鋁合金的蝕刻率比之較佳值為 1.5 至 0.5，最好為 1.25 至 0.75。在此情況下，鉬合金的鈮比例可為 5 至 15at% 或是 5 至 10at%。藉由調整磷酸、硝酸、醋酸的比例可調整蝕刻比。當抗腐蝕性為優先考量時，亦可以使鉬合金中的 Nb 為 20at%。

由圖 10 和 11 的結果來看，具有 5 至 20at% 的 Nb 之鉬合金為最佳的鉬合金。對使用本發明之液晶螢幕顯示器來說，具有 5 至 10at% 的 Nb 之 Mo 在蝕刻形狀上有較佳的表現，而具有 10 至 15at% 的 Nb 之 Mo 在耐腐蝕性上有較佳的表現。當希望耐腐蝕性上有特殊表現時，Mo 中的 Nb 最好為 15 至 20at%。

在本例中，因為顯示裝置之結構係使用最簡單的結構繪示，閘極導線和汲極導線係使用兩者形成於同一層上的結構敘述。然

而，亦可以形成用以保護形成顯示裝置的電晶體之靜電保護電路，或者亦可以有來自被施行至閘極端子 3 和汲極端子 3 的靜態電路系統之驅動電路，或者像素區亦可以如位於平面型態般複雜，或者，閘極電極，閘極導線、汲極導線/汲極電極和汲極導線被設置於分隔的層上。圖 31 繪示了一例，在此例中薄膜電晶體的閘極導線連接至其他薄膜電晶體的邊緣。圖 31(a)繪示了此結構的平面圖，而圖 31(b)繪示了順著圖 31(a)之線 III-III' 的剖面圖。

在圖 31(a)中，兩薄膜電晶體平行的形成，其中薄膜電晶體之一的閘極導線 2 連接至其他薄膜電晶體的電極，且其他薄膜電晶體的閘極導線連接至第一薄膜電晶體的其中一電極。而圖 31(b)繪示了順著圖 31(a)之線 II-II' 的剖面圖。鋁合金層 31 的疊層結構閘極導線以及鉬合金層 32 形成於基板 1 之上。閘極導線係形成於氮化物膜 5 上以作為閘極絕緣膜，而 a-Si 膜 61 和 n⁺型 a-Si 膜 62 之疊層結構所形成的薄膜電晶體本體(body)，以及鉬合金層 121、鋁合金層 122 和鉬合金層 123 的疊層電極係形成本體上。保護膜 11 被形成以覆蓋所有的表面，其中用以曝露電極的第一孔隙被形成於電極上的保護膜 11。而且，在保護膜 11 和氮化物膜 5 上，第二孔隙被形成以曝露導線的表面。連接導線 77 係透過第一孔隙和第二孔隙而形成，並用以連接閘極導線和電極。

[例 2]

接著，將藉由圖 12 描述根據本發明之例 2。圖 12 為圖 9 之 D 部份的放大圖，其中一銦氧化膜 18 形成於閘極端子 ITO 和鉬合金之介面。

當濺鍍器形成 ITO 時，銦氧化膜 18 可藉由氬(Ar)中額外的氧(O₂)所形成。

在例 2 中 ITO 的厚度為 30nm 至 100nm。

Ar 氣體流之較佳狀況為 0.3 至 0.6Pa 的壓力，1 至 2KW 的 DC 電力源，0.1 至 2%的 O₂ 氣體流，然而依據不同裝置，其他值的值會更好。不用說，這些狀況會被判定為恰當的。

在 Ar 氣體流增加少量的 O_2 會使薄鈮氧化膜 18 具有 1 至 5nm 的厚度，以在濺鍍開始後形成鉬合金。因為鈮氧化膜為不可移動之物質，其作為阻障膜而且可以防止 MO 和 Al 下的腐蝕。

不用說，鈮氧化膜 18 可藉由在加熱包含空氣的氧後濺鍍 ITO 而形成。當在濺鍍 ITO 前加熱基板時，鈮氧化膜 18 可在不增加製程之數目的情況下藉由增加氬中的空氣或氧，加熱基板，然後降低壓力和施行濺鍍而形成，其中增加氬中的空氣或氧係在不增加濺鍍裝置之內部壓力下而形成。

[例 3]

接著，將利用圖 13 和 14 描述根據本發明之例 3。在例 1 中，由鋁合金和鉬合金構成的疊層結構僅施行至閘極導線，在本例中亦施行至汲極導線。如此，因為汲極導線之下表面與非晶矽膜接觸，為了防止鋁和矽膜之間產生共熔(eutetic)效應，一鉬合金被設置於鋁合金底下以提供三層結構。

雖然非晶矽在本例中作為矽膜，但單晶矽與多晶矽亦會得到同樣的結果。

在圖 3 的例 1 中設置了一 Cr 膜 7，在本例中，50 至 100nm 且具有 5 至 15at%鈮的鉬合金膜 121、200 至 400nm 且具有 2at%鈹的鋁合金膜 122 以及 50 至 100nm 且具有 5 至 15at%鈮的鉬合金膜 123 依序被形成，如圖 13 所示。

接著，在圖 4 中的鉬合金膜 123 上使用一灰色調光罩，一光阻圖案藉由一微影製程而形成，此微影製程係施行至形成區域 A 的每一汲極導線上，包含汲極端子，以及形成區域 B 的薄膜電晶體。如圖 4 所述，這些光阻最好使用半色調或是灰色調光罩，其形成對應於薄膜電晶體通道的區域，以作為半傳導區域。在此例中，光阻圖案中由薄膜電晶體通道形成的區域之膜厚度為 0.5 μ m 至 1.0 μ m，且其他區域的膜厚度為 1.5 μ m 至 2.0 μ m。

接著，藉由將光阻圖案 58、59 作為光罩，鉬合金膜 121、鋁合金膜 122 和鉬合金膜 123 未被光阻圖案覆蓋的部份被濕蝕刻，

而此濕蝕刻所使用的酸可為磷酸、硝酸、醋酸等。

之後，藉由將光阻圖案 58、59 作為光罩， n^+ 型 a-Si 膜 62 以及 a-Si 膜 61 被乾蝕刻所移除。

接著如圖 6 所示，光阻圖案藉由氧電漿灰化(ashing)在厚度方向被蝕刻，但僅有其被使用於移除相對應於光阻圖案內部之薄膜電晶體通道的薄部份時，形成薄膜電晶體通道之區域的光阻圖案藉此被移除。

接著如圖 7 所示，藉由將殘留的光阻圖案作為面罩，薄膜電晶體之通道形成區的鉬合金膜 121、鋁合金膜 122 和鉬合金膜 123 藉由蝕刻被移除。

接著如圖 8 所示，當移除光阻圖案而將汲極端子和源極電極作為光罩時， n^+ 型 a-Si 膜 62 以及 a-Si 膜 61 在厚度方向上之一部份被移除(第二微影製程)。接著，具有 100 至 300nm 的膜厚度之氮化物膜構成的保護膜 11 形成於基板表面，然後使用微影技術處理汲極端子，薄膜電晶體 10 的源極電極和閘極端子上的絕緣膜藉由蝕刻並形成孔隙。此時，對應於薄膜電晶體之汲極端子和源極電極的孔隙藉由蝕刻保護膜 11 而形成，而對應於閘極端子之孔隙 14 藉由蝕刻保護膜 11 和氮化物膜 5 而形成(第三微影製程)。

最後，使用濺鍍技術，沉積了具有 30 至 100nm 之膜厚度的 IT0(Indium Tin Oxide, 氧化銦錫)透明導電膜，在此之後作為蝕刻光罩的光阻圖案使用一微影製程而形成。接著，藉由乾蝕刻而圖案化 IT0 膜，以形成一汲極端子電極 15，一像素電極 16 以及一閘極端子電極 17(第四微影製程)，如圖 14 所示。

TFT 電路裝置如前所述般被形成。如圖 14 所示，閘極導線、閘極端子、源極導線、源極端子以及汲極導線、汲極端子之結構從底部開始依序為鋁合金、鉬合金和 IT0，其中鉬合金中的 Nb 最好為 5 至 20at%(原子重量比)。

[例 4]

圖 15 至 22 分別繪示了閘極端子 8、薄膜電晶體 10 和閘極端

子 3 之剖面圖，這些元件係根據 TFT 電路裝置的製造處理序列。每一張圖皆是以自汲極導線之左端以汲極端子形成區域 A；薄膜電晶體形成區域 B；以及閘極導線和閘極端子形成區域 C 的順序而繪示。

首先，具有膜厚度 200 至 400nm 的鋁合金膜 21，包含 2at% 鈹的鋁合金以及具有膜厚度 50 至 100nm，包含 5 至 15at% 鈳的鋁合金以該順序被沉積在由玻璃構成的透明基板 1 上以形成一疊層膜，其中下層為一鋁合金而上層為一鈳合金。閘極導線 2，閘極端子 3 和靜電防護導線 4(未繪示)係使用一溼蝕刻製程而形成(第一微影製程)，如圖 15 所示。此溼蝕刻製程係使用磷酸、硝酸、醋酸以及施以普通微影至疊層膜而形成的光阻光罩。閘極導線 2，閘極端子 3 和靜電防護導線 4 具有疊層結構，在此結構中下層為一鋁合金 31 而上層為一鈳合金層 32。

如例 1 所示，因為本例為形成一彩色 TFT 顯示裝置的薄膜電晶體之例子，所以使用非鹼性玻璃。

接著，氮化物膜 5 具有自 200nm 至 600nm 的膜厚度，非晶矽膜 61(a-Si)具有自 100nm 至 300nm 的膜厚度， n^+ 型非晶矽膜 62(n^+ 型 a-Si)具有自 20nm 至 70nm 的膜厚度，而鈳合金膜 40 具有自 200nm 至 500nm 的膜厚度並含有 5 至 15at% 的鈳，這些膜被依序形成，如圖 16 所示。

接著，光阻圖案 58，59 藉由微影技術而形成在使用灰色調光罩的鈳合金膜 40 上。光阻圖案 58 形成於形成區域 A 上，而形成區域 A 屬於包含汲極端子的汲極導線，光阻圖案 59 形成於薄膜電晶體的形成區域 B 上。

在此處理中，光阻圖案 58、59 最好使用半色調或是灰色調光罩。

除了完全曝露的部份和被遮蓋的部份，半色調和灰色調光罩係具有半傳導區域的圖案，此半傳導區域對應於薄膜電晶體的通道區。結果，在由薄膜電晶體通道形成的區域中，形成於薄膜電

晶體形成區域 B 的光阻圖案 59 之膜具有自 0.5 μ m 至 1.0 μ m 的膜厚度，而在其他區域，具有自 1.5 μ m 自 2.0 μ m 的膜厚度。

接著，將光阻圖案 58、59 作為光罩，鉬合金(Mo-Nb)膜 40 藉由使用一蝕刻劑而去除，此蝕刻劑可由磷酸、硝酸和醋酸所組成，如圖 17 所示。

接著，將光阻圖案 58、59 作為光罩， n^+ 型 a-Si 膜 62 以及 a-Si 膜 61 可成功的被乾式蝕刻移除，如圖 18 所示。

接著，光阻圖案 58、59 在厚度方向上藉由氧電漿被蝕刻，但僅有在移除對應光阻圖案 59 內部之薄膜電晶體通道區之薄部份時如圖 19 所示。光阻圖案 58、59 變成光阻圖案 88、89 和 90，每一光阻圖案具有 0.5 μ m 至 1.0 μ m 的膜厚度，如圖 19 所示。

接著，曝露於半導體通道區域中的鉬合金膜 40 藉由選擇性的乾性蝕刻光阻圖案 88、89 和 90 而移除，以形成汲極端子遮蔽電極 73、TFT 汲極電極 74 以及源極電極 75，如圖 20 所示。

接著，藉由將 TFT 汲極端子電極 74 和源極電極 75 作為光罩而移除光阻圖案 88、89、90，薄膜電晶體 10 之通道區的 n^+ 型 a-Si 膜 62 以及 a-Si 膜 61 之一部份藉由乾蝕刻移除(第二微影製程)。接著，具有 100 至 300nm 的膜厚度之氮化物膜構成的保護膜 11 形成於基板表面，然後使用微影技術處理汲極端子，薄膜電晶體 10 的源極電極 75 和閘極端子上的絕緣膜藉由蝕刻以形成孔隙 12、13 和 14。此時，對應於薄膜電晶體 10 之汲極端子 8 和源極電極 75 的孔隙 12、13 藉由蝕刻保護膜 11 而形成，而對應於閘極端子 3 之孔隙 14 藉由蝕刻保護膜 11 和氮化物膜 5 而形成(第三微影製程)，如圖 21 所示。

最後，使用濺鍍技術，沉積了具有 30 至 100nm 之膜厚度的 ITO(Indium Tin Oxide，氧化銦錫)，在此之後作為蝕刻光罩的光阻圖案使用一微影製程而形成。接著，藉由乾蝕刻而圖案化 ITO 膜，以形成一汲極端子電極 15，一像素電極 16 以及一閘極端子電極 17(第四微影製程)，如圖 22 所示。

[例 5]

前述的例子係使用 4PR 施行，亦可以使用 5PR 施行。

圖 23 至 30 分別繪示了閘極端子 8、薄膜電晶體 10 和閘極端子 3 之剖面圖，這些元件係根據 TFT 電路裝置的製造處理序列。每一張圖皆是以自汲極導線之左端以汲極端子形成區域 A；薄膜電晶體形成區域 B；以及閘極導線和閘極端子形成區域 C 的順序而繪示。

首先，具有膜厚度 200 至 400nm，包含 2at% 鈹的鋁合金膜 21 以及具有膜厚度 50 至 100nm，包含 5 至 15at% 鈳的鋁合金以該順序被沉積在由玻璃構成的透明基板 1 上以形成一疊層膜，其中下層為一鋁合金(Al-Nd)而上層為一鈳合金。閘極導線 2，閘極端子 3 和靜電防護導線 4(未繪示)係使用一溼蝕刻製程而形成(第一微影製程)，如圖 23 所示。此溼蝕刻製程係使用磷酸、硝酸、醋酸以及施以普通微影至疊層膜而形成的光阻光罩。閘極導線 2，閘極端子 3 和靜電防護導線 4(未繪示)具有疊層結構，在此結構中下層為一鋁合金而上層為一鈳合金。

如例 1 所示，因為本例為形成一彩色 TFT 顯示裝置的薄膜電晶體，所以使用非鹼性玻璃。

接著，氮化物膜 5 具有自 200nm 至 600nm 的膜厚度，非晶矽膜 61(a-Si)具有自 100nm 至 300nm 的膜厚度， n^+ 型非晶矽膜 62(n^+ 型 a-Si)具有自 20nm 至 70nm 的膜厚度，這些膜被依序形成。

接著，光阻圖案 57 藉由微影形成至非晶矽(n^+ 型 a-Si)膜 62 上，如圖 24 所示。藉由將光阻圖案 57 作為光罩， n^+ 型非晶矽(n^+ 型 a-Si)膜 62 以及非晶矽膜 61 藉乾蝕刻而被移除(第二 PR 階段)。

接著，在光阻圖案 57 被移除後，鈳合金(Mo-Nb)膜 40 被形成，其膜厚度為 200 至 500nm 且包含 5 至 15at% 的鈳，如圖 25 所示。

接著，光阻圖案 88、89 和 90 藉微影而形成於鈳合金膜 40 上。光阻圖案 88 形成於包含汲極端子的汲極導線區域 A 上，而光阻圖案 89 和 90 形成於薄膜電晶體形成區域 B 上，如圖 26 所示。

接著，如圖 27 所示，將光阻圖案 88、89 和 90 作為光罩，鋁合金膜 40 藉由使用一蝕刻劑而去除，此蝕刻劑可由磷酸、硝酸和醋酸所組成。

接著，曝露於半導體通道區域中的鋁合金膜 40 藉由將光阻圖案 88、89 和 90 作為光罩並選擇性乾性蝕刻而移除，以形成汲極端子遮蔽電極 73、TFT 汲極電極 74 以及源極電極 75，如圖 28 所示。

接著，藉由將汲極端子電極 73、TFT 汲極端子電極 74 和源極電極 75 作為光罩而移除光阻圖案 88、89、90， n^+ 型 a-Si 膜 61 以及 a-Si 膜 62 之一部份在厚度方向上被移除。接著，具有 100 至 300nm 的膜厚度之氮化物膜構成的保護膜 11，係形成於基板表面，然後使用微影技術處理汲極端子，薄膜電晶體 10 的源極電極 75 和閘極端子上的絕緣膜藉由蝕刻並形成孔隙 12、13 和 14(第四微影製程)，如圖 29 所示。此時，對應於薄膜電晶體 10 之汲極端子 8 和源極電極 75 的孔隙 12、13 藉由蝕刻保護膜 11 而形成，而對應於閘極端子 3 之孔隙 14 藉由蝕刻保護膜 11 和氮化物膜 5 而形成。

最後，使用濺鍍技術，沉積了具有 30 至 100nm 之膜厚度的 IT0(Indium Tin Oxide, 氧化銦錫)，在此之後作為蝕刻光罩的光阻圖案使用一微影製程而形成。接著，藉由乾蝕刻而圖案化 IT0 膜，以形成一汲極端子電極 15，一像素電極 16 以及一閘極端子電極 17(第五微影製程)，如圖 30 所示。

[例 6]

使用溼蝕刻時，鋁合金必須完全被移除。因為包含矽的 Al-Si 合金可完全被乾蝕刻移除，但若使用溼蝕刻則在表面上會有一些殘留物，較為不佳。

不用說，除了鈹之外的雜質亦被包含在內，而這些雜質可以完全被溼蝕刻所移除。

使用鈹或鋁的原因係其可以完全被溼蝕刻所移除。

不用說，除了純鋁或鋁合金外，亦可以使用將銅作為主要組成的金屬或是將銀作為主要組成的金屬，因其可以完全被溼蝕刻所移除。

此外，雖然前述例子係以外平面形態液晶顯示器的 TFT 結構描述，即使使用具有不同液晶控制方法的 TFT 結構，如內平面型態等，前述例亦可以被達成。

根據本發明之薄膜電晶體電路裝置而形成的第一基板可面對由共同導線形成的第二基板，其中液晶顯示器藉著在間隙內夾著液晶而形成。

雖然本發明已就一些較佳實施例來說明，但熟悉此技藝者藉著前述的說明與附圖，當可對其進行修改、增加、及等效的變更。因此任何未脫離本發明之精神與範圍，而對其進行修改、增加、及等效的變更，均應包含於本發明之中。

五、【圖式簡單說明】

圖 1 為一局部平面圖，繪示了薄膜電晶體基板的內部電路圖以及端子臨近處的導線；

圖 2 繪示了根據例 1 的汲極端子、薄膜電晶體和閘極端子分別的剖面圖，例 1 係表示於一連串的 TFT 基板之製造製程中；

圖 3 繪示了圖 2 之後的製造製程過程之薄膜電晶體剖面圖；

圖 4 繪示了圖 3 之後的製造製程過程之薄膜電晶體剖面圖；

圖 5 繪示了圖 4 之後的製造製程過程之薄膜電晶體剖面圖；

圖 6 繪示了圖 5 之後的製造製程過程之薄膜電晶體剖面圖；

圖 7 繪示了圖 6 之後的製造製程過程之薄膜電晶體剖面圖；

圖 8 繪示了圖 7 之後的製造製程過程之薄膜電晶體剖面圖；

圖 9 繪示了圖 8 之後的製造製程過程之薄膜電晶體剖面圖；

圖 10 繪示了當包含在鉬合金的鈮比例改變時，高溫高濕度測試下合金電阻隨著時間的改變；

圖 11 繪示了當使用磷酸、硝酸、醋酸時，根據包含在鉬合金

的鈦比例而改變的蝕刻比；

圖 12 繪示了根據本發明之例 2 的薄膜電晶體基板上之閘極端子電極，其中例 1 的閘極端子電極之一部份結構被修改；

圖 13 繪示了根據本發明之例 3 的汲極端子、薄膜電晶體和閘極端子分別的剖面圖，例 3 係表現於一連串的 TFT 基板之製造製程中；

圖 14 繪示了圖 13 之後的製造製程過程之薄膜電晶體剖面圖；

圖 15 繪示了根據本發明之例 4 的汲極端子、薄膜電晶體和閘極端子分別的剖面圖，例 4 係表現於一連串的 TFT 基板之製造製程中；

圖 16 繪示了圖 15 之後的製造製程過程之薄膜電晶體剖面圖；

圖 17 繪示了圖 16 之後的製造製程過程之薄膜電晶體剖面圖；

圖 18 繪示了圖 17 之後的製造製程過程之薄膜電晶體剖面圖；

圖 19 繪示了圖 18 之後的製造製程過程之薄膜電晶體剖面圖；

圖 20 繪示了圖 19 之後的製造製程過程之薄膜電晶體剖面圖；

圖 21 繪示了圖 20 之後的製造製程過程之薄膜電晶體剖面圖；

圖 22 繪示了根據本發明之例 5 的汲極端子、薄膜電晶體和閘極端子分別的剖面圖，例 5 係表現於一連串的 TFT 基板之製造製程中；

圖 23 繪示了圖 22 之後的製造製程過程之薄膜電晶體剖面圖；

圖 24 繪示了圖 23 之後的製造製程過程之薄膜電晶體剖面圖；

圖 25 繪示了圖 24 之後的製造製程過程之薄膜電晶體剖面圖；

圖 26 繪示了圖 25 之後的製造製程過程之薄膜電晶體剖面圖；

圖 27 繪示了圖 26 之後的製造製程過程之薄膜電晶體剖面圖；

圖 28 繪示了圖 27 之後的製造製程過程之薄膜電晶體剖面圖；

圖 29 繪示了圖 28 之後的製造製程過程之薄膜電晶體剖面圖；

圖 30 繪示了圖 29 之後的製造製程過程之薄膜電晶體剖面

圖；以及

圖 31 為根據本發明之連接薄膜電晶體的圖案示意圖。

【主要元件符號說明】

- 1 基板
- 2 閘極導線
- 3 閘極端子
- 4 靜電防護導線
- 5 氮化物膜
- 7. 汲極導線
- 8. 汲極端子
- 10 薄膜電晶體
- 11 保護膜
- 12、13、14 孔隙
- 15 汲極端子電極
- 16 像素電極
- 17 閘極端子電極
- 18 銦氧化膜
- 19 靜電防護元件
- 22 閘極導線
- 31 鋁合金層
- 32 鉬合金層
- 40 鉬合金膜
- 57、58、59 光阻圖案
- 61 非晶矽膜
- 62 n+型非晶矽膜
- 70 鉻膜
- 73 汲極端子

74 TFT 汲極電極

75 源極電極

77 導線

88、89、90 光阻圖案

100 TFT 電路裝置

121 鉬合金層

122 鋁合金層

123 鉬合金層

1000 TFT 電路裝置

五、中文發明摘要：

一種薄膜電晶體電路裝置及此薄膜電晶體電路裝置的製造方法，此薄膜電晶體電路裝置包含下層為鋁合金而上層為鉬合金之導線，其中鉬合金在空氣中較不易發生腐蝕。於此薄膜電晶體電路裝置中，為絕緣膜所覆蓋的導線之一部份曝露，此導線連接形成於基板之中央部的主要電路區之薄膜電晶體和形成於基板之外周邊的保護電路區，此薄膜電晶體電路裝置包含位於曝露表面上之端子，此端子由端子電極金屬形成，該導線之最上層表面為包含鈮之鉬合金。

六、英文發明摘要：

A thin film transistor circuit device which has a wiring of thin film transistors extending from a main circuit region formed on a center portion of a substrate towards a terminal formed on an outer periphery of the substrate, wherein said terminal is formed by exposing a portion of said wiring covered with an insulating film, and then forming a terminal electrode at an exposed surface of said wiring, and wherein at least said exposed surface of said wiring is a molybdenum alloy comprising niobium.

十、申請專利範圍：

1. 一種薄膜電晶體電路裝置，其具有由形成於一基板之中央部之一主要電路區朝形成於基板之外周邊的端子延伸的薄膜電晶體之一導線，其中：

該端子係將被絕緣膜覆蓋的該導線之一部份曝露，再於該曝露表面形成端子電極金屬而構成；且其中

該導線之至少該曝露表面係為包含鈦的鉬合金。

2. 如申請專利範圍第 1 項之薄膜電晶體電路裝置，其中一鈦氧化層形成於包含最上層表面的鈦之鉬合金之表面上。

3. 如申請專利範圍第 1 項之薄膜電晶體電路裝置，其中該鉬合金包含比例為 5 至 20atom%的鈦。

4. 如申請專利範圍第 1 項之薄膜電晶體電路裝置，其中該鉬合金包含比例為 5 至 10atom%的鈦。

5. 如申請專利範圍第 1 項之薄膜電晶體電路裝置，鉬合金包含比例為 10 至 15 atom%的鈦。

6. 如申請專利範圍第 1 項之薄膜電晶體電路裝置，其中該鉬合金包含比例為 15 至 20atom%的鈦。

7. 如申請專利範圍第 1 項之薄膜電晶體電路裝置，其中該導線僅由鉬層或包含鈦之鉬合金層所構成。

8. 如申請專利範圍第 1 項之薄膜電晶體電路裝置，其中該導線為一疊層結構，在該疊層結構中至少最上層係為包含鈦之鉬合金層，而該鉬合金層之下層係由具有小於該鉬合金層的電阻之低電阻金屬所構成。

9. 如申請專利範圍第 8 項之薄膜電晶體電路裝置，其中形成於一矽化膜上之導線更具有形成於一下層上之一鉬層或一鉬合金層。

10. 如申請專利範圍第 8 項之薄膜電晶體電路裝置，其中該低電阻金屬層係為將鋁作為主要組成的金屬、將銅作為主要組成的金屬或是將銀作為主要組成的金屬中之任一金屬。

11. 如申請專利範圍第 10 項之薄膜電晶體電路裝置，其中該將鋁作為主要組成的金屬為純鋁或是具有釹的鋁合金。

12. 如申請專利範圍第 10 項之薄膜電晶體電路裝置，其中該端子電極包含透明導電膜。

13. 如申請專利範圍第 12 項之薄膜電晶體電路裝置，其中該透明導電膜為 ITO (Indium Tin Oxide, 氧化銦錫)、IZO (Indium Zinc Oxide, 氧化鋅錫) 或是 IZTO (Indium Zinc Tin Oxide, 氧化鋅銦錫)。

14. 一種薄膜電晶體電路裝置，包含：

形成於一主要電路區以及一外部電路區之薄膜電晶體及導線，該主要電路區形成於一基板的中央部，而該外部電路區形成於該基板之外周邊；其中

該主要電路區及該外部電路區上形成的薄膜電晶體之電極和導線上覆蓋一絕緣膜，而且；

於該絕緣膜上形成一通道孔隙，而且；

該薄膜電晶體之該電極的最上層表面以及/或該導線在該通道孔隙上曝露，而且；

該薄膜電晶體之該電極以及/或該導線連接至一金屬膜，其中該曝露的該電極之最上層表面和該導線為包含鈦的鉬合金膜。

15. 如申請專利範圍第 14 項之薄膜電晶體電路裝置，其中於包含最上層表面之鈦的鉬合金表面上形成一鈦氧化層。

16. 如申請專利範圍第 14 項之薄膜電晶體電路裝置，其中該鉬合金包含比例為 5 至 20atom% 的鈦。

17. 如申請專利範圍第 14 項之薄膜電晶體電路裝置，其中該鉬合金包含比例為 5 至 10atom% 的鈦。

18. 如申請專利範圍第 14 項之薄膜電晶體電路裝置，其中該鉬合金包含比例為 10 至 15at% 的鈦。

19. 如申請專利範圍第 14 項之薄膜電晶體電路裝置，其中該鉬合金包含比例為 15 至 20at%的鈦。
20. 如申請專利範圍第 14 項之薄膜電晶體電路裝置，其中該導線或該薄膜電晶體之該電極僅由鉬層或包含鈦之鉬合金層所構成。
21. 如申請專利範圍第 14 項之薄膜電晶體電路裝置，其中該導線或該薄膜電晶體之該電極為一疊層結構，在該疊層結構中至少一最上層係為包含鈦之鉬合金層，而該鉬合金層之下層係由具有小於該鉬合金層的電阻之低電阻金屬所構成。
22. 如申請專利範圍第 21 項之薄膜電晶體電路裝置，其中形成於一矽化膜上之該薄膜電晶體之該電極或該導線更具有形成於一下層上之一鉬層或一鉬合金層。
23. 如申請專利範圍第 21 項之薄膜電晶體電路裝置，其中該低電阻金屬層係為將鋁作為主要組成的金屬、將銅作為主要組成的金屬或是將銀作為主要組成的金屬中之任一金屬。
24. 如申請專利範圍第 23 項之薄膜電晶體電路裝置，其中該將鋁作為主要組成的金屬為純鋁或是具有鈹的鋁合金。
25. 如申請專利範圍第 14 項之薄膜電晶體電路裝置，其中該端子電極包含透明導電膜。
26. 如申請專利範圍第 25 項之薄膜電晶體電路裝置，其中該透明導電膜為 ITO (Indium Tin Oxide, 氧化銦錫)、IZO (Indium Zinc Oxide, 氧化鋅錫) 或是 IZTO (Indium Zinc Tin Oxide, 氧化鋅銦錫)。
27. 一種薄膜電晶體電路裝置的製造方法，該薄膜電晶體電路裝置具有形成於一主要電路區以及一外部電路區之一薄膜電晶體以及一導線，該主要電路區形成於一基板的中央部，而該外部電路區形成該基板之外周邊，該方法包含：

形成一絕緣膜於該薄膜電晶體的電極或該導線上之步驟，以及；

將該薄膜電晶體的該電極之最上層的表面或該導線曝露於一通道孔隙之步驟，其中該通道孔隙形成於該薄膜電晶體或該導線的該絕緣膜上，以及；

在該通道孔隙間形成一導線之步驟，其中

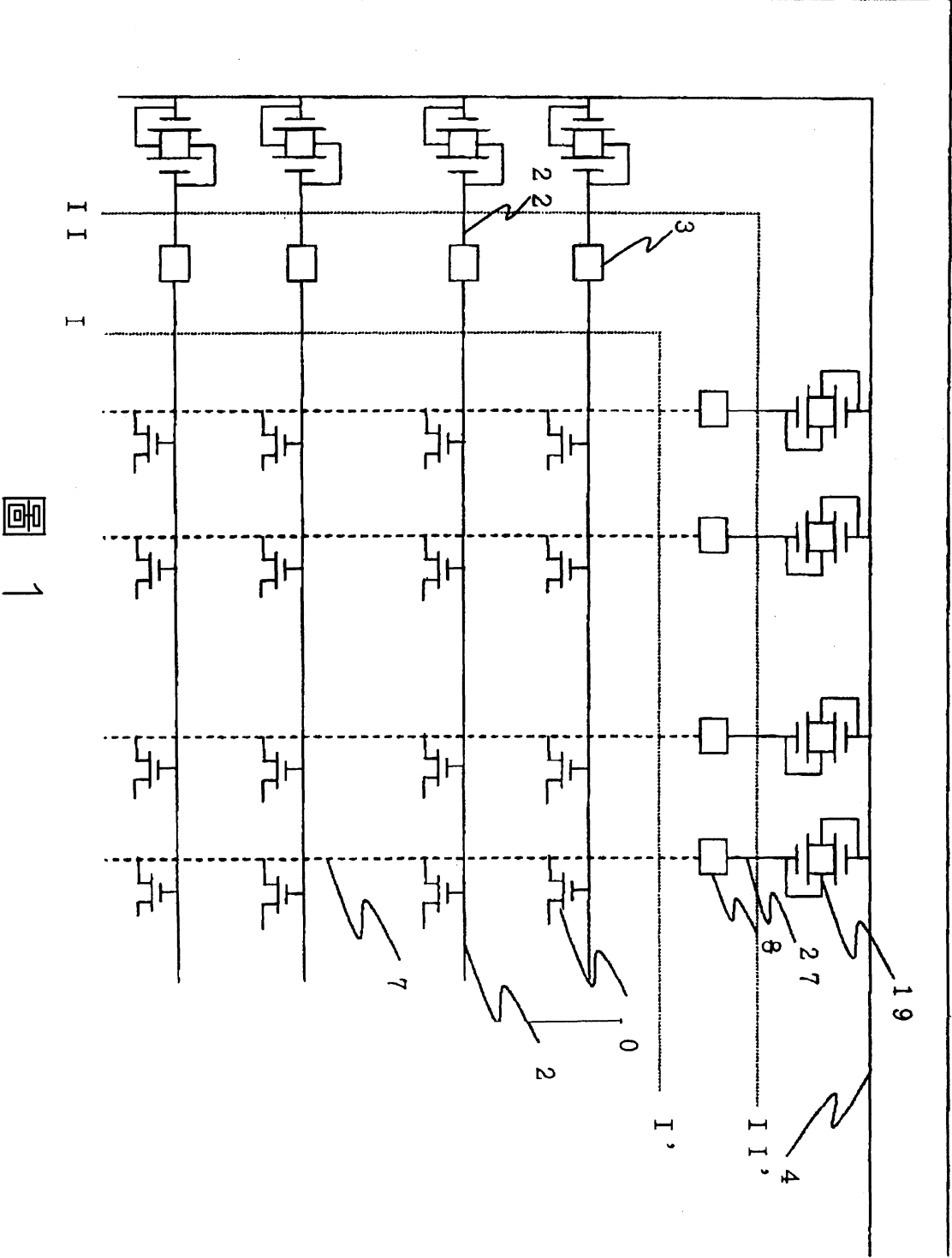
該薄膜電晶體的該電極之該最上層或該導線之該曝露表面為包含鈦的一鉬合金。

28. 如申請專利範圍第 27 項之薄膜電晶體電路裝置的製造方法，其中在一通道孔隙曝露該薄膜電晶體的該電極之一最上層或該導線的一表面之步驟之後，具有氧化該薄膜電晶體的該電極或該導線之該曝露表面的步驟，其中該通道孔隙係形成於該薄膜電晶體的該絕緣膜或該導線上。

29. 如申請專利範圍第 27 項之薄膜電晶體電路裝置的製造方法，其中在該通道孔隙間形成一導線之步驟為於含氧之周遭環境中利用金屬進行之濺鍍。

30. 一種液晶顯示器，其中，以申請專利範圍第 1 項或 14 項之薄膜電晶體作為一基板，使此基板面對至少形成有共同導線之另一基板而配置，藉由在兩基板的間隙中夾設液晶而形成一液晶顯示器。

十一、圖式：



100

圖式

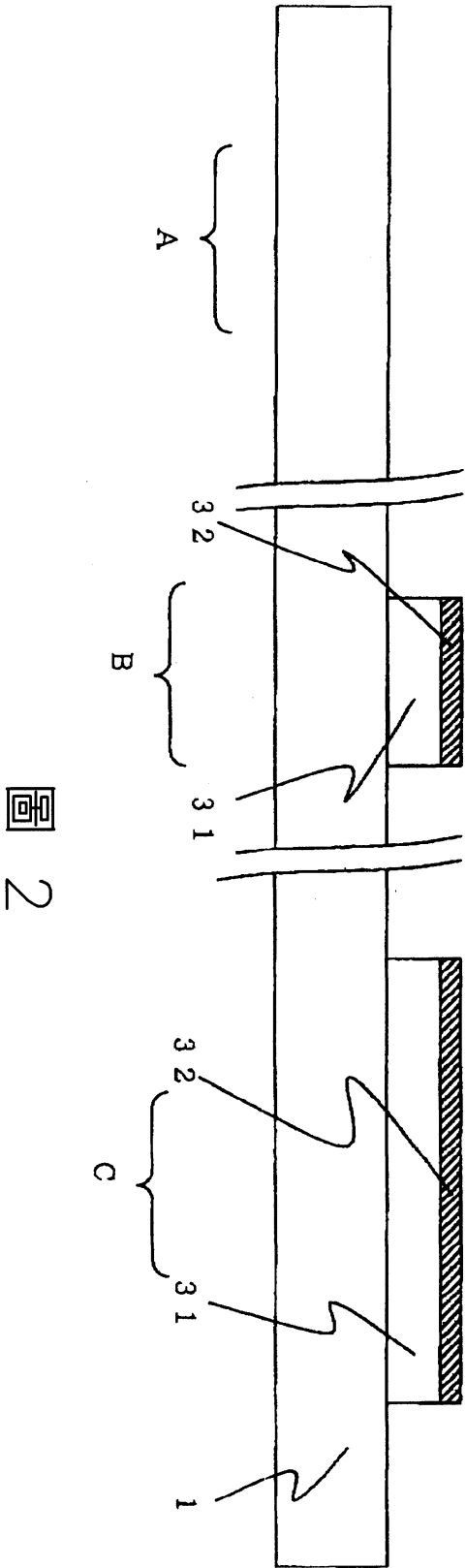
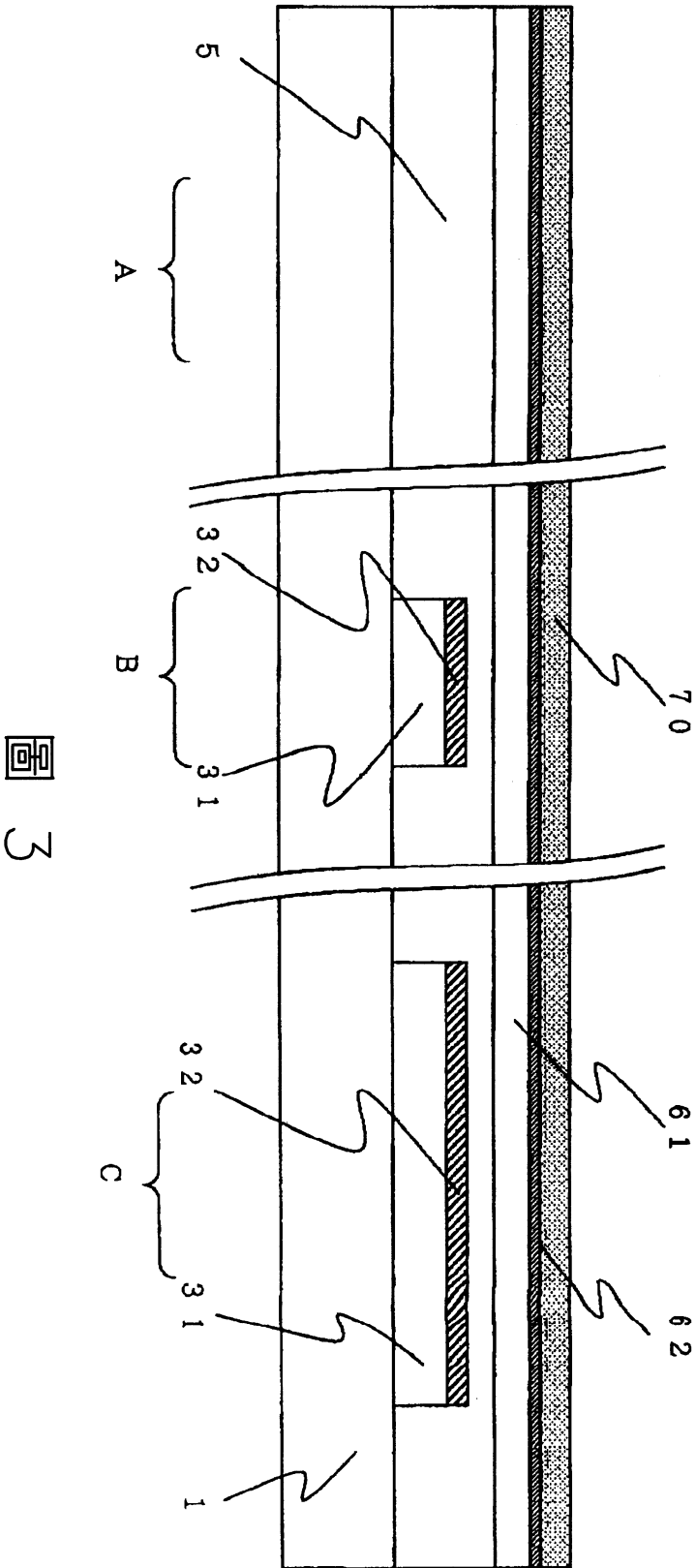


圖 2

圖式



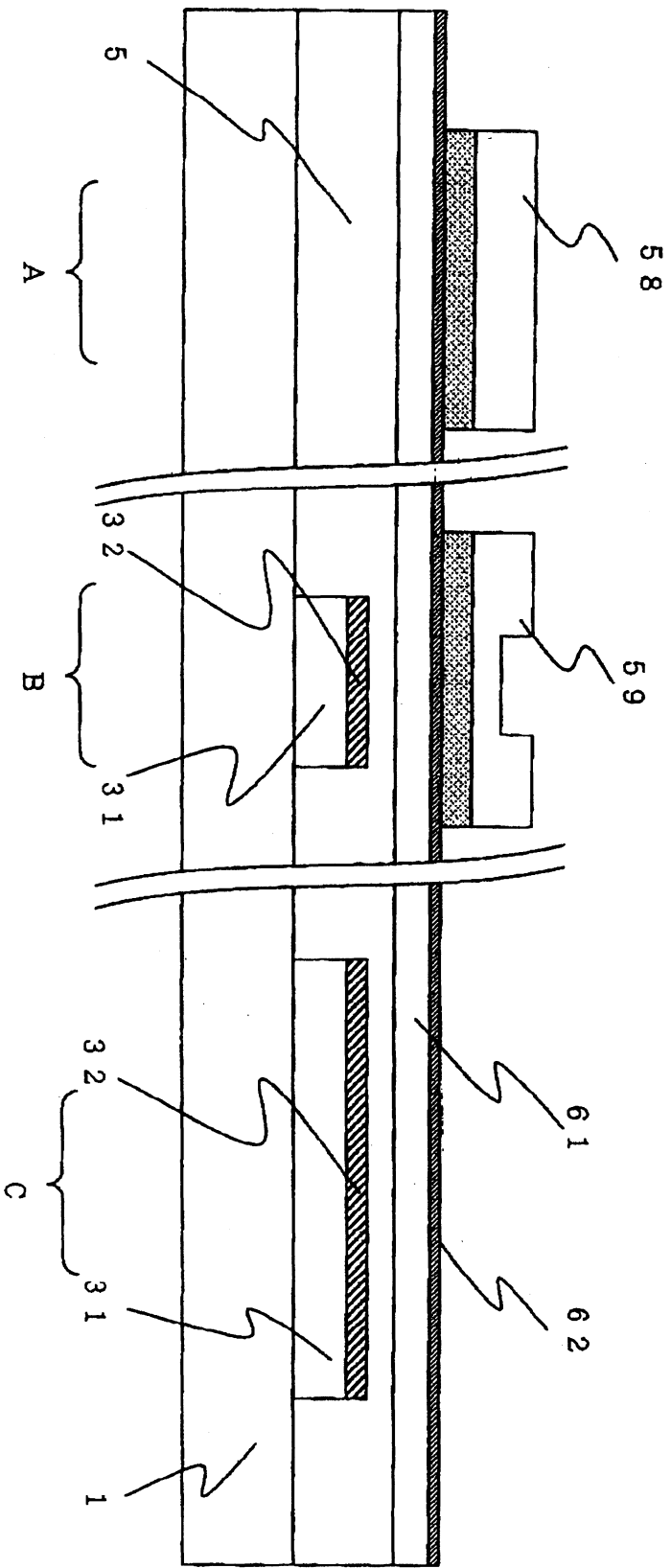
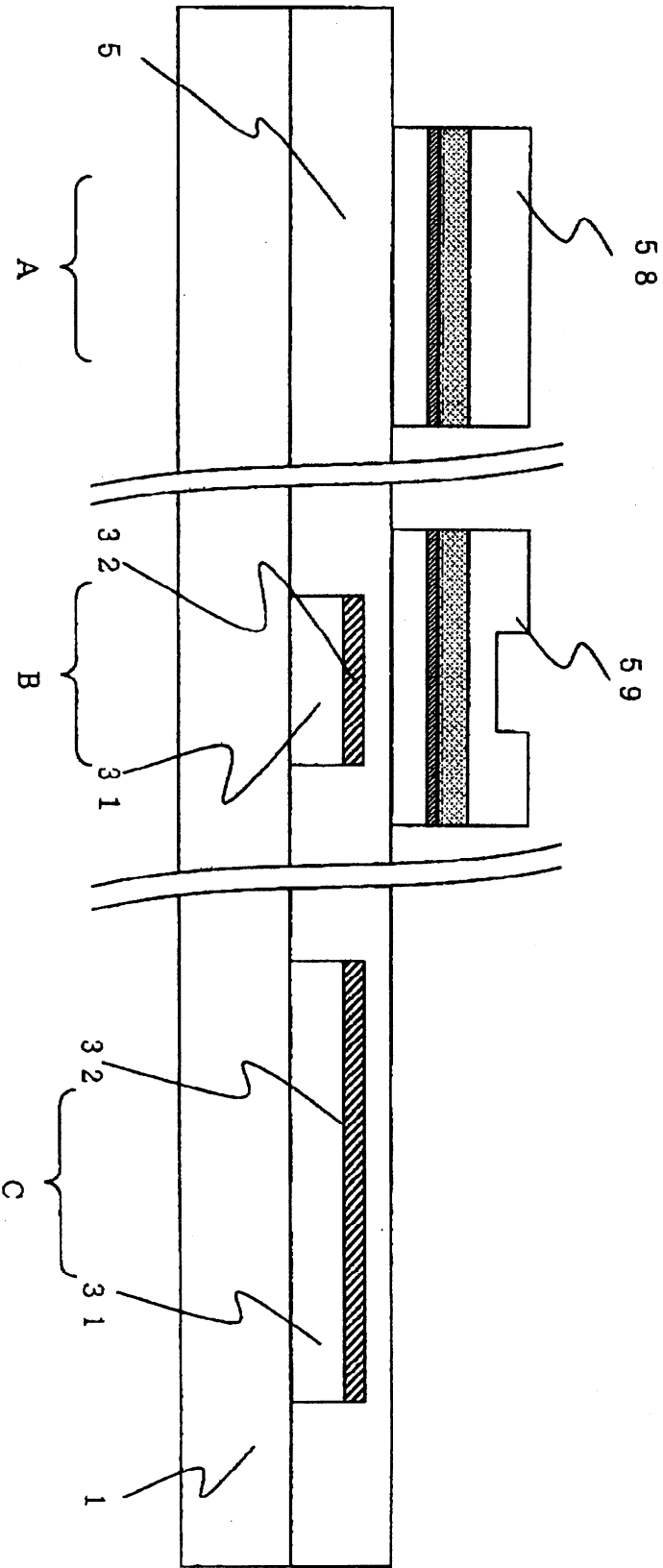


圖 4

圖式



5

圖式

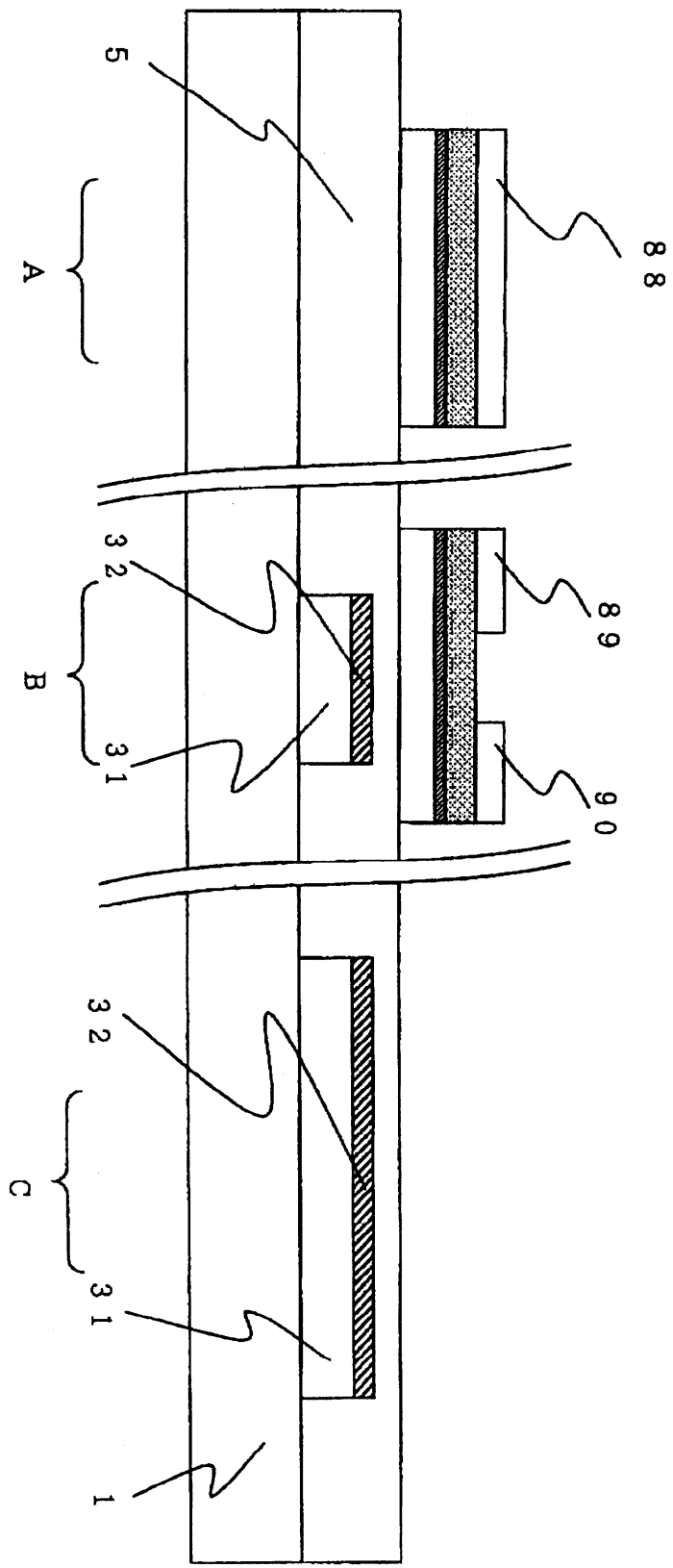


圖 6

圖式

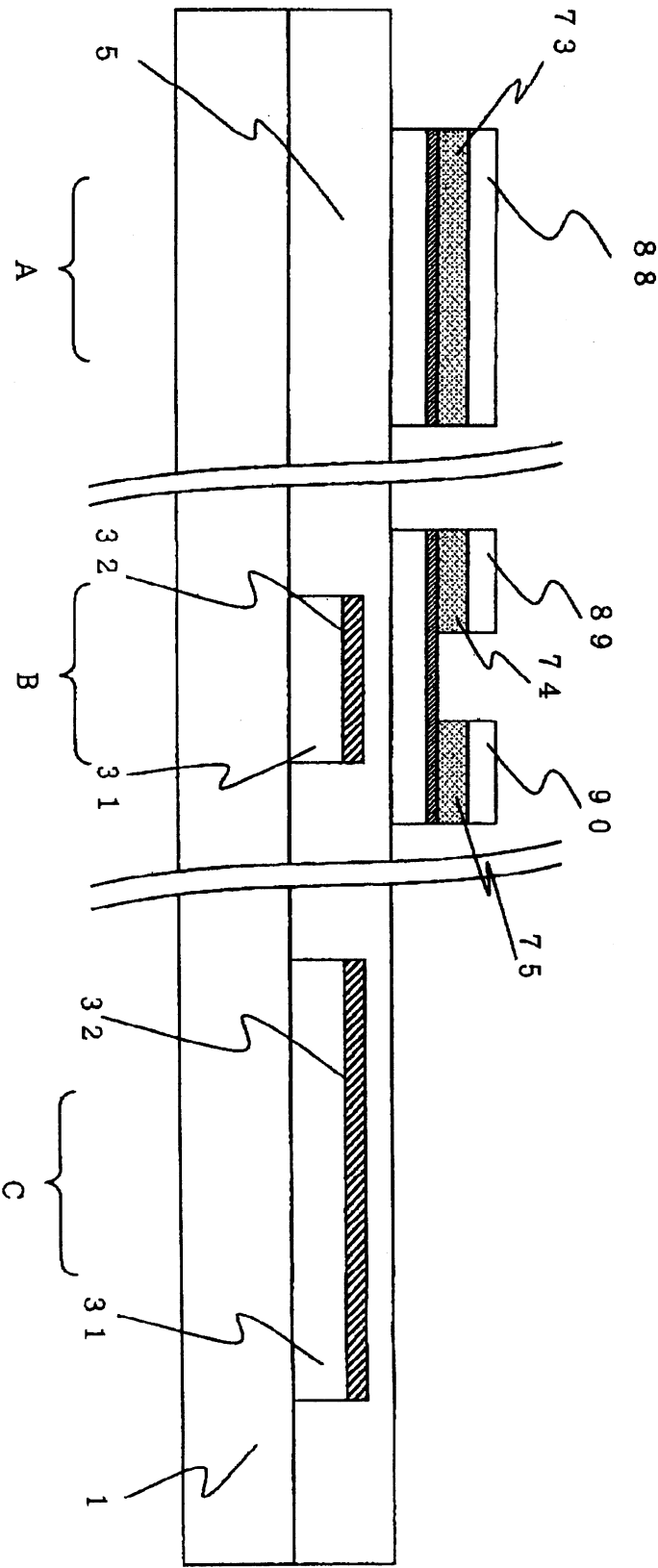


圖 7

圖式

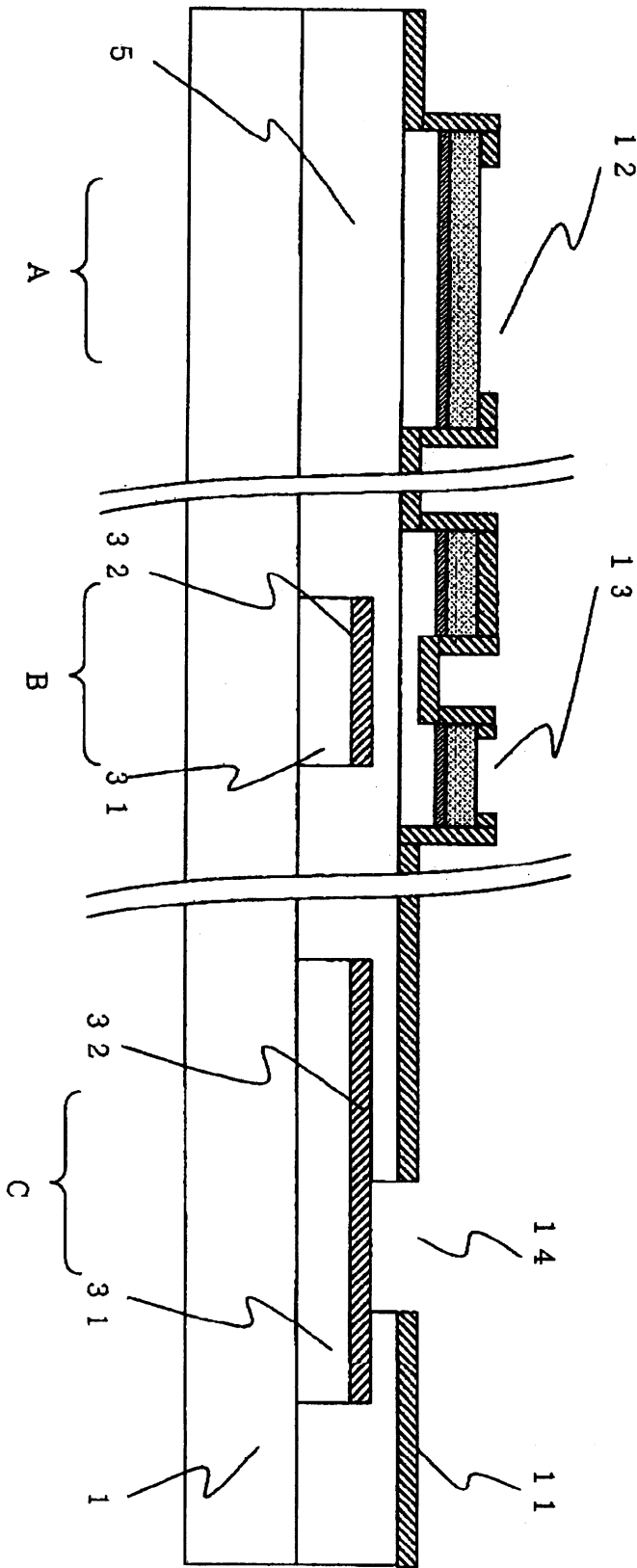


圖 8

圖式

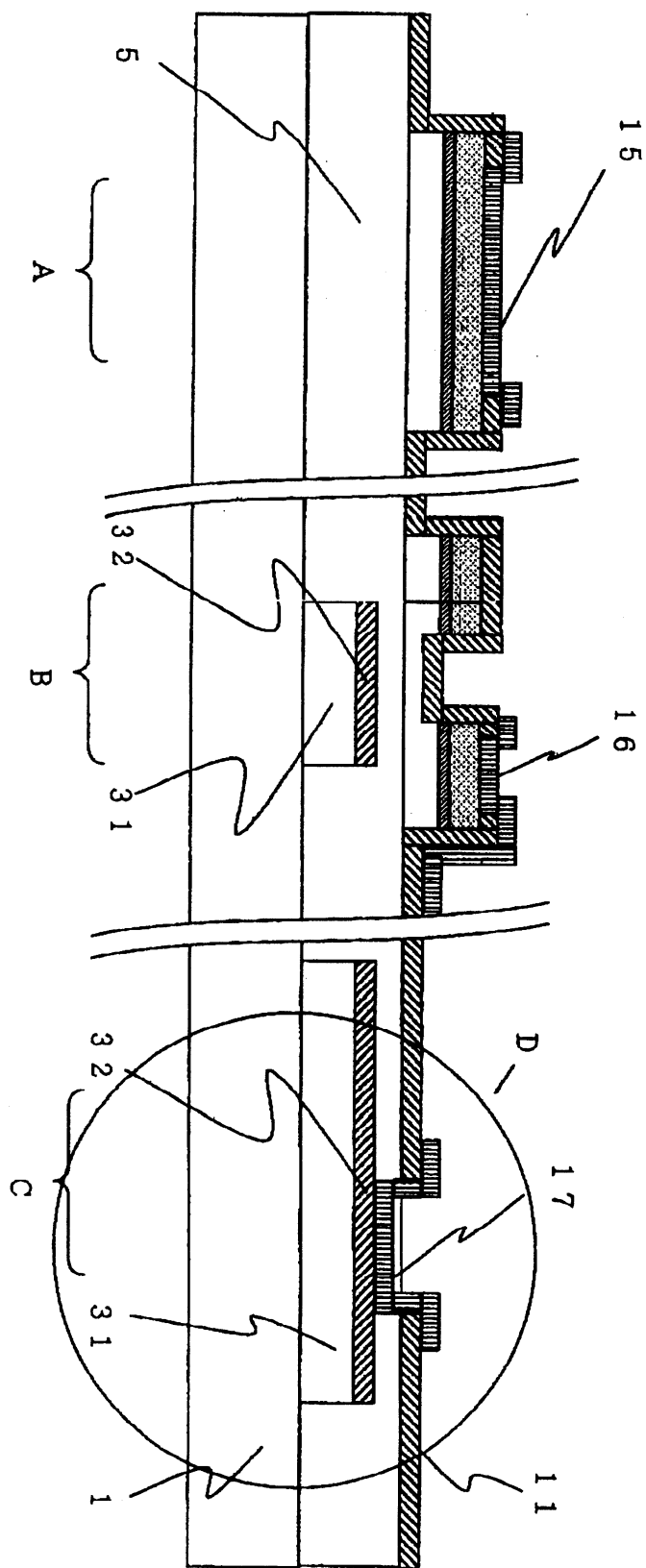


圖 9

圖式

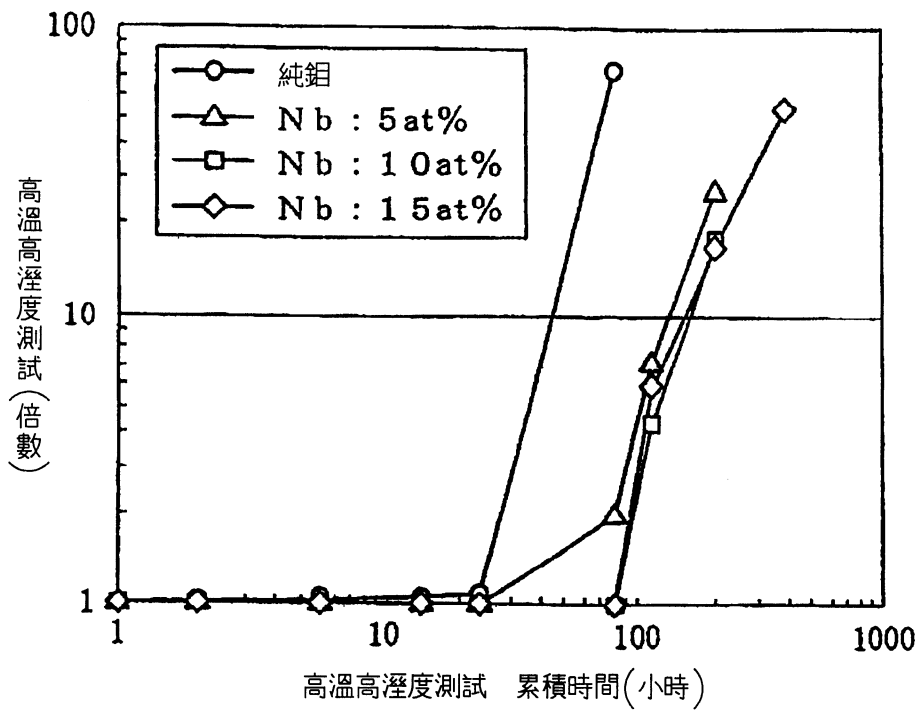


圖 10

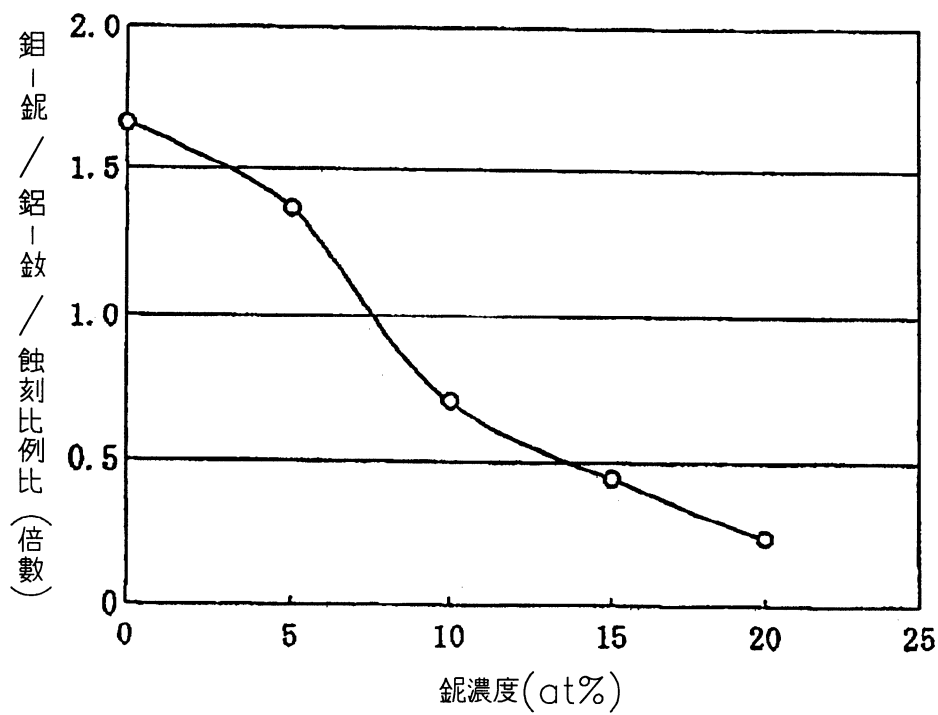
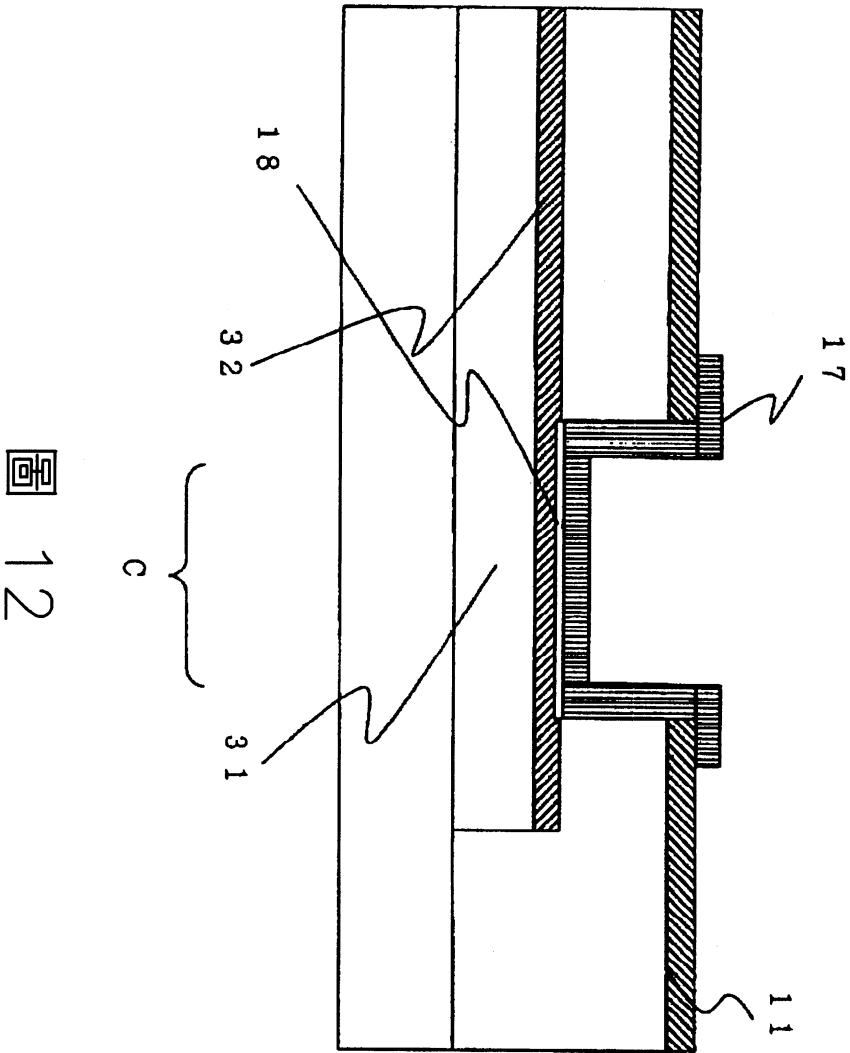


圖 11

圖式



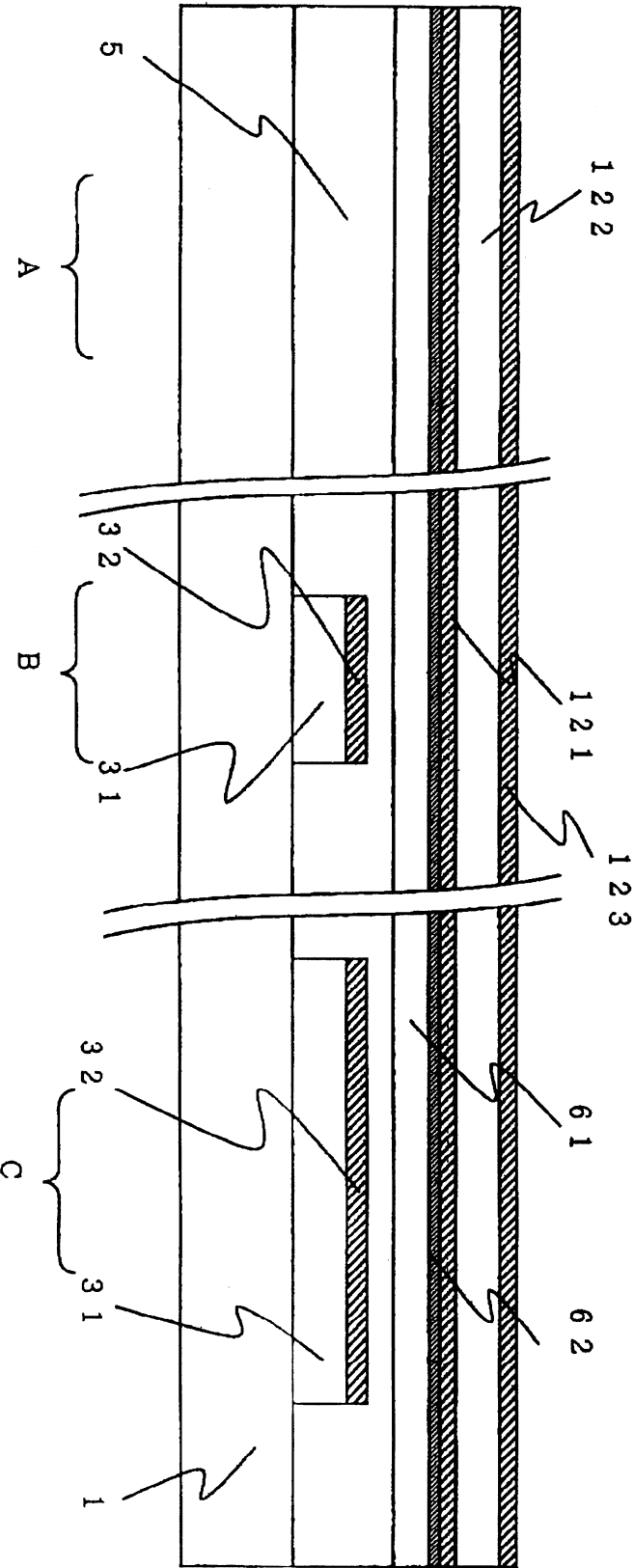


圖 13

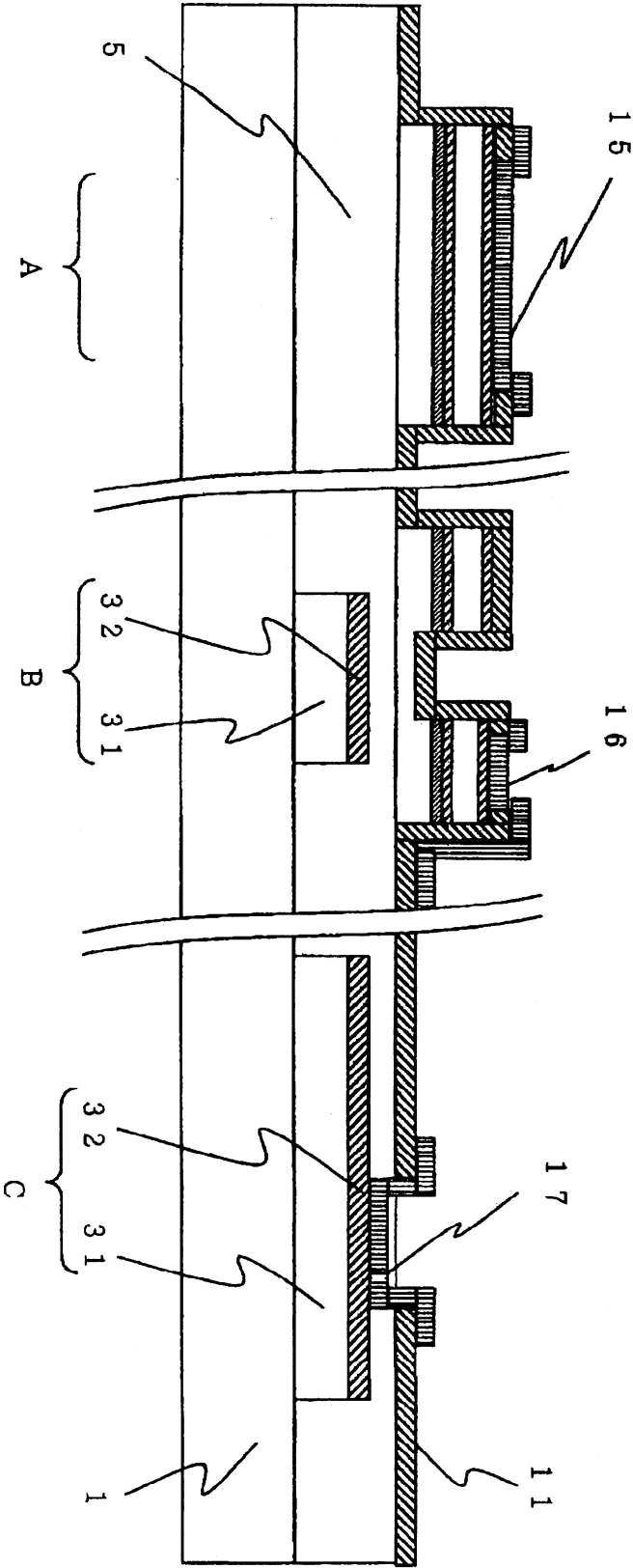


圖 14

圖式

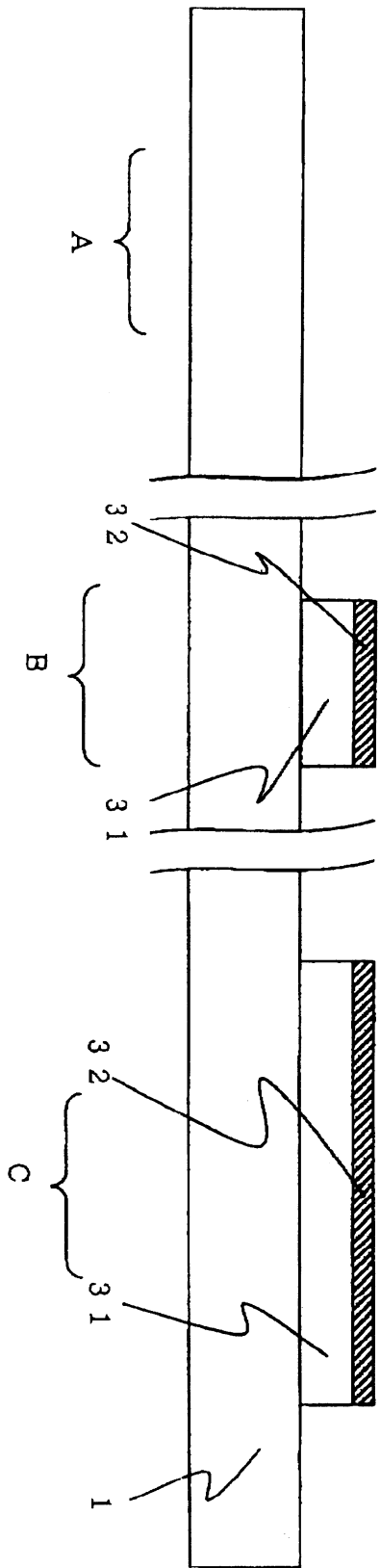


圖 15

圖式

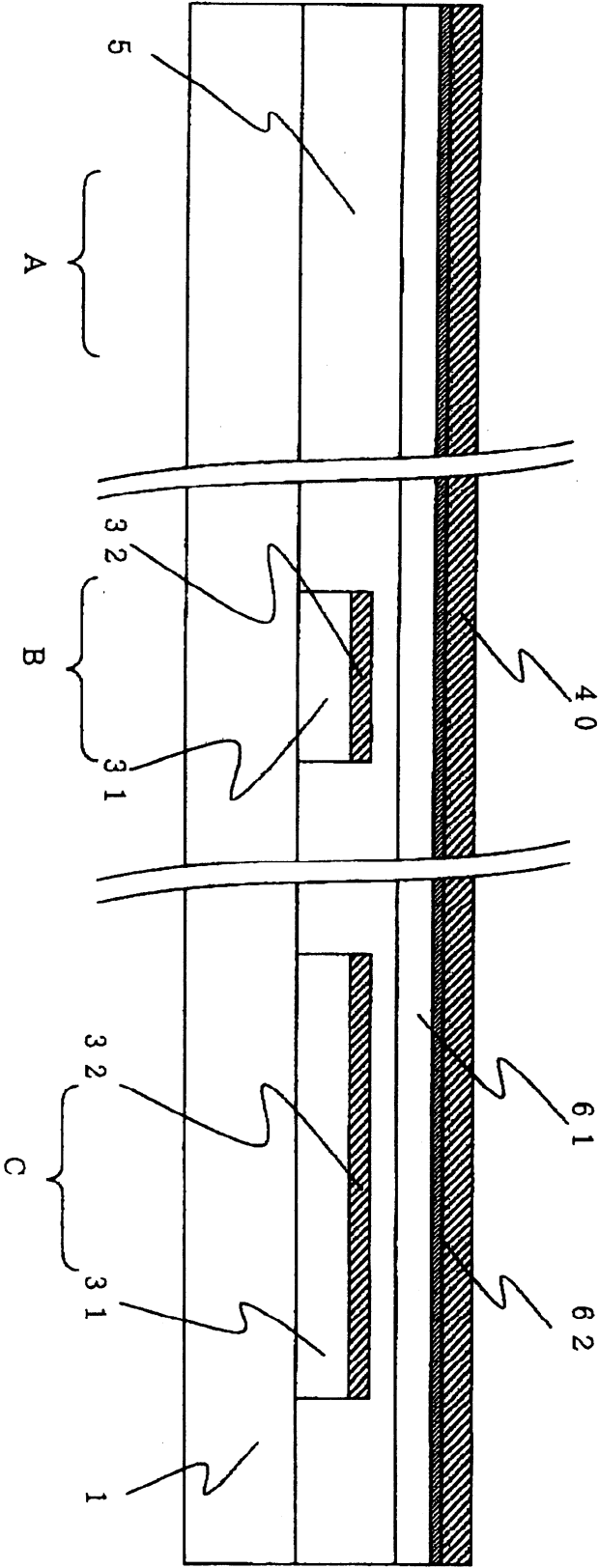


圖 16

圖式

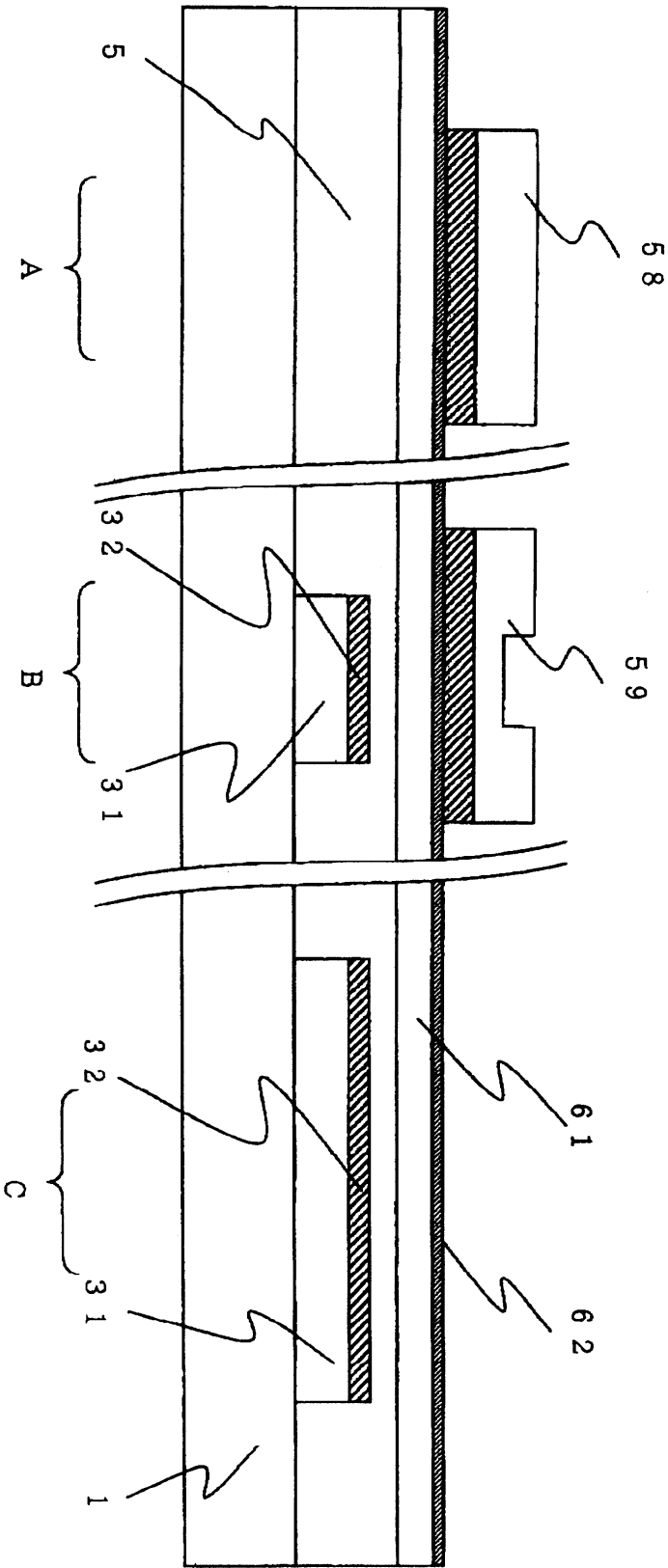


圖 17

圖式

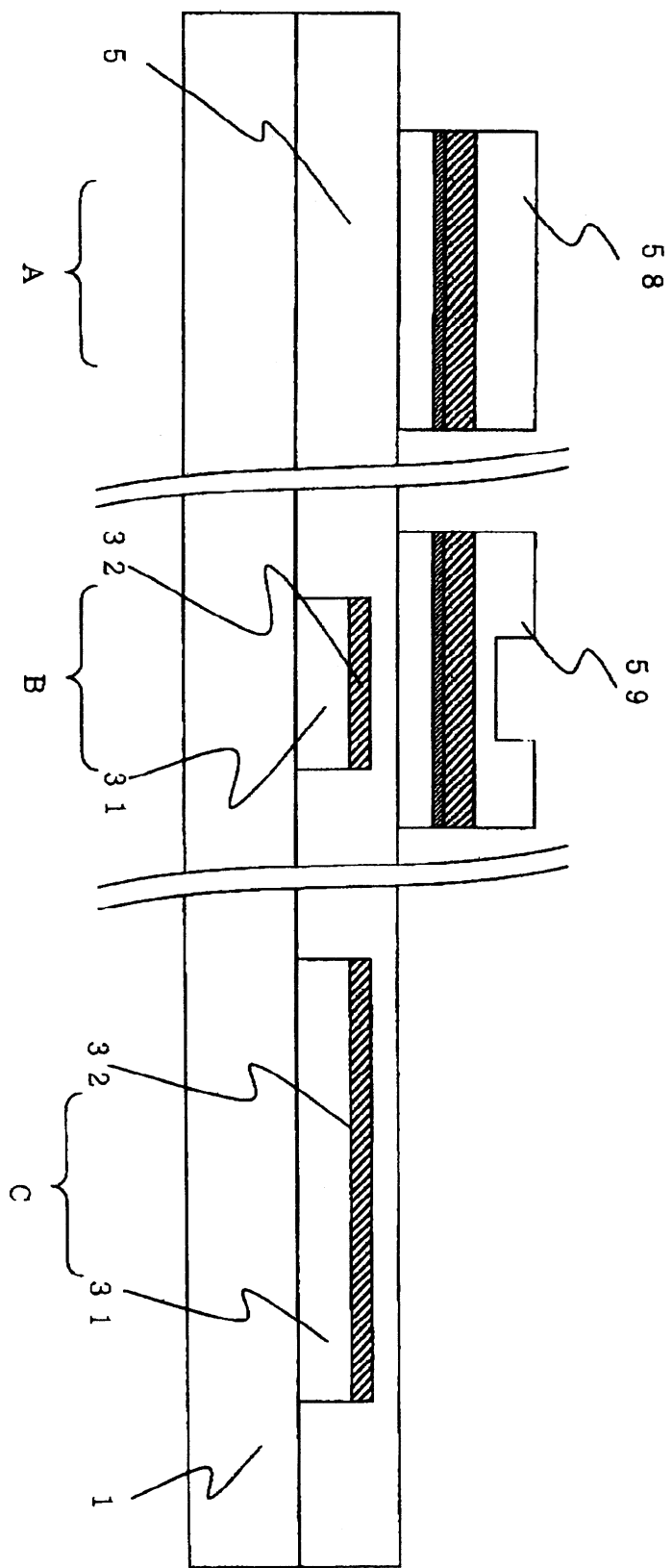
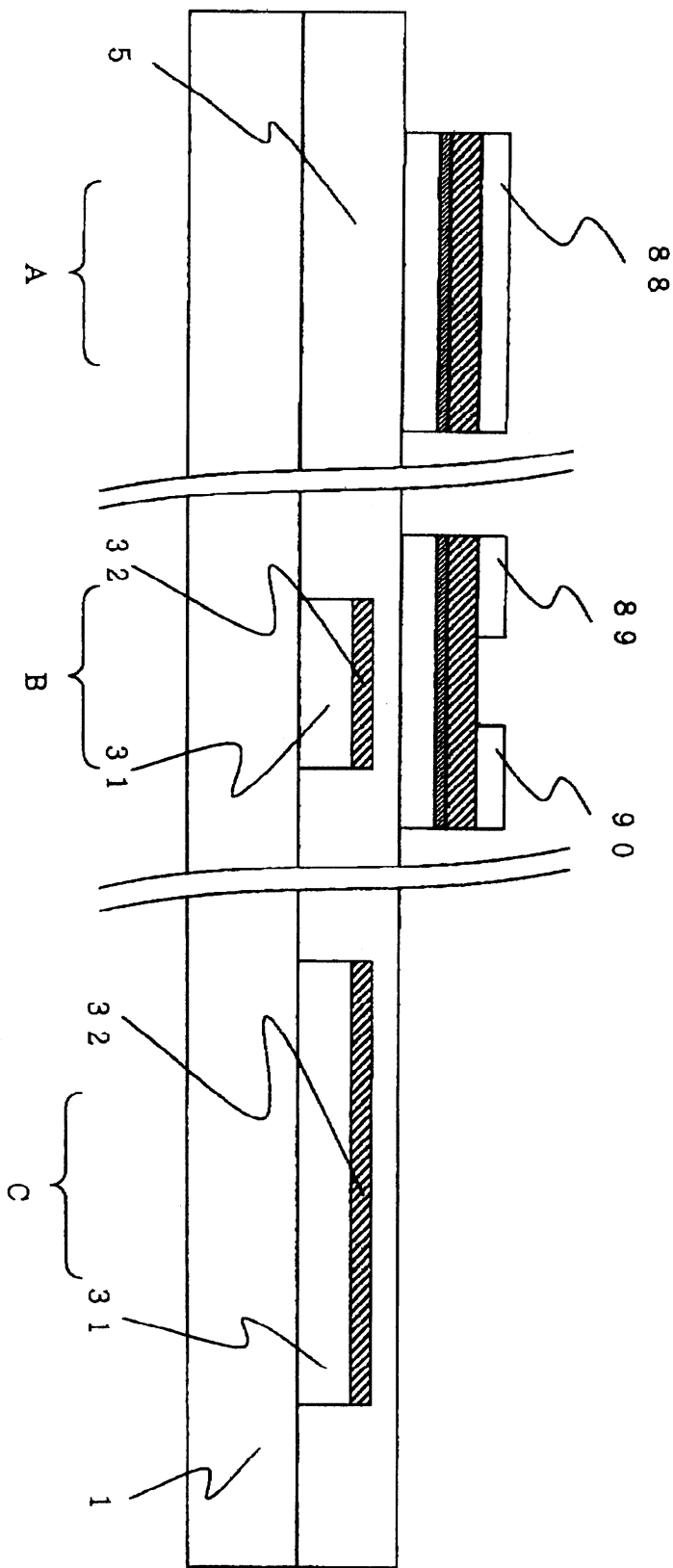


圖 18

圖式



19

圖式

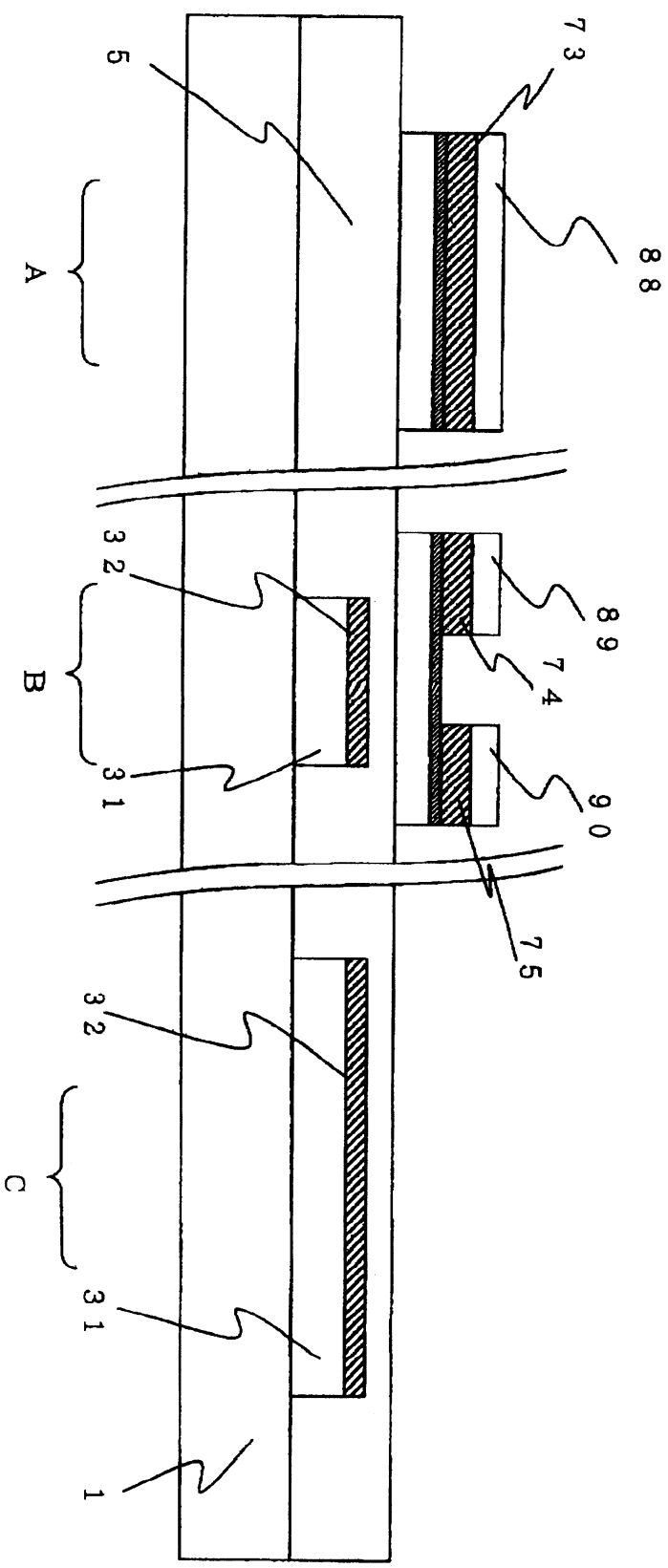
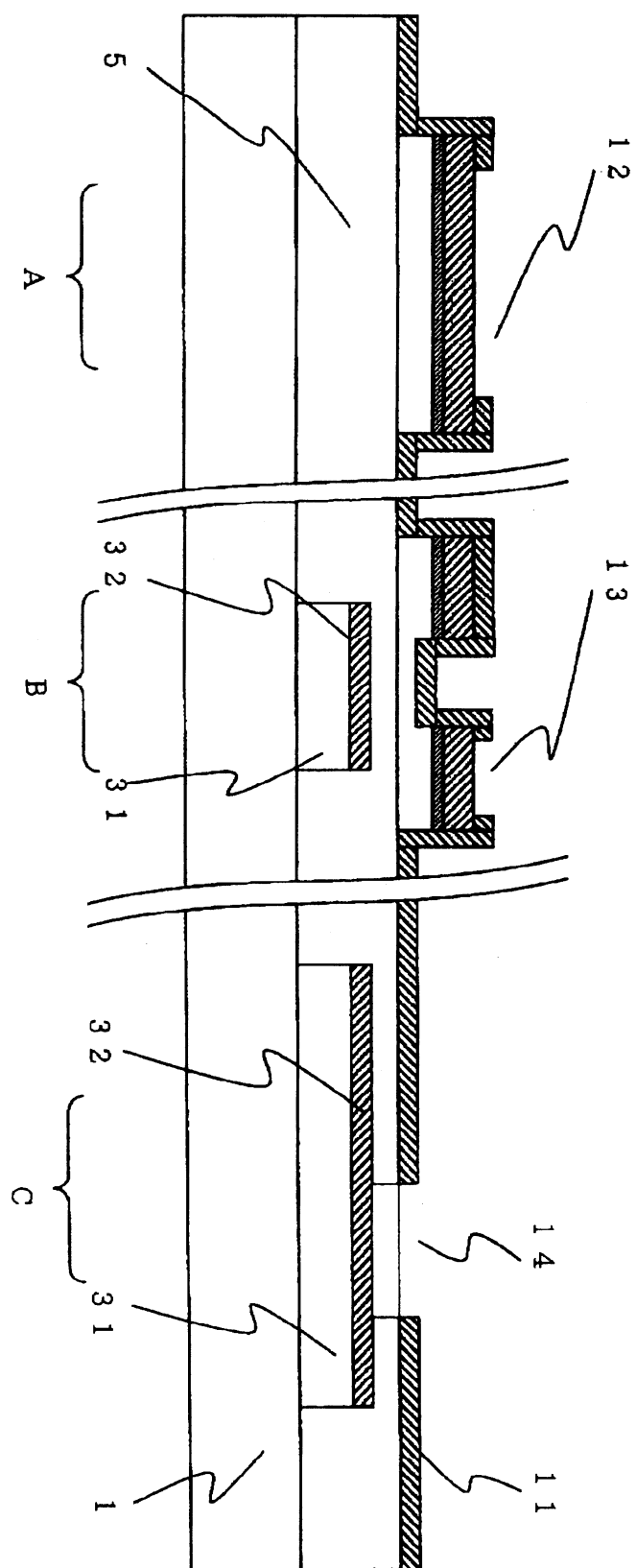


圖 20



21

圖式

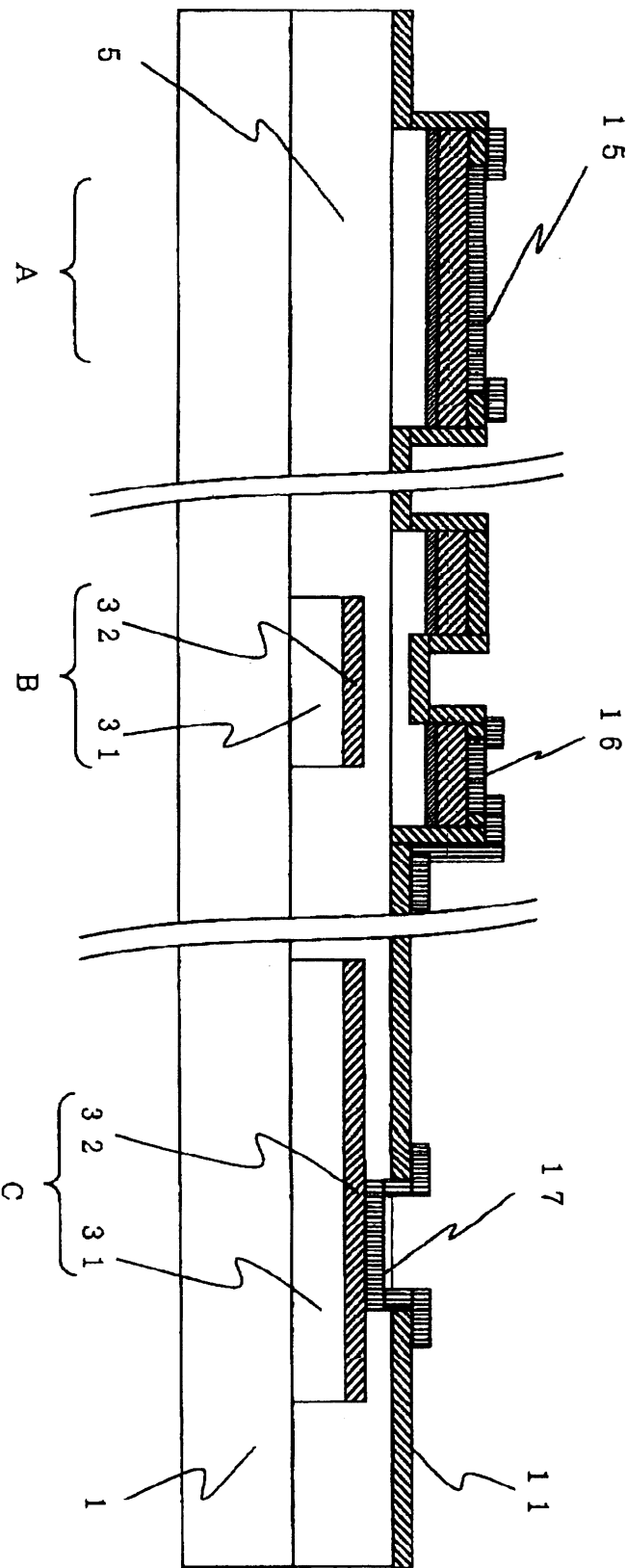


圖 22

圖式

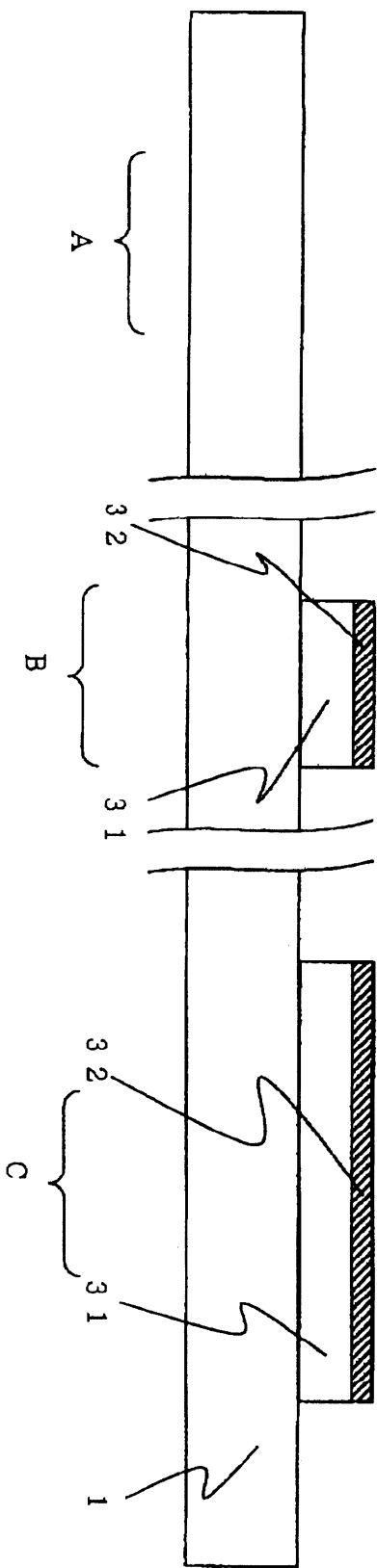


圖 23

圖式

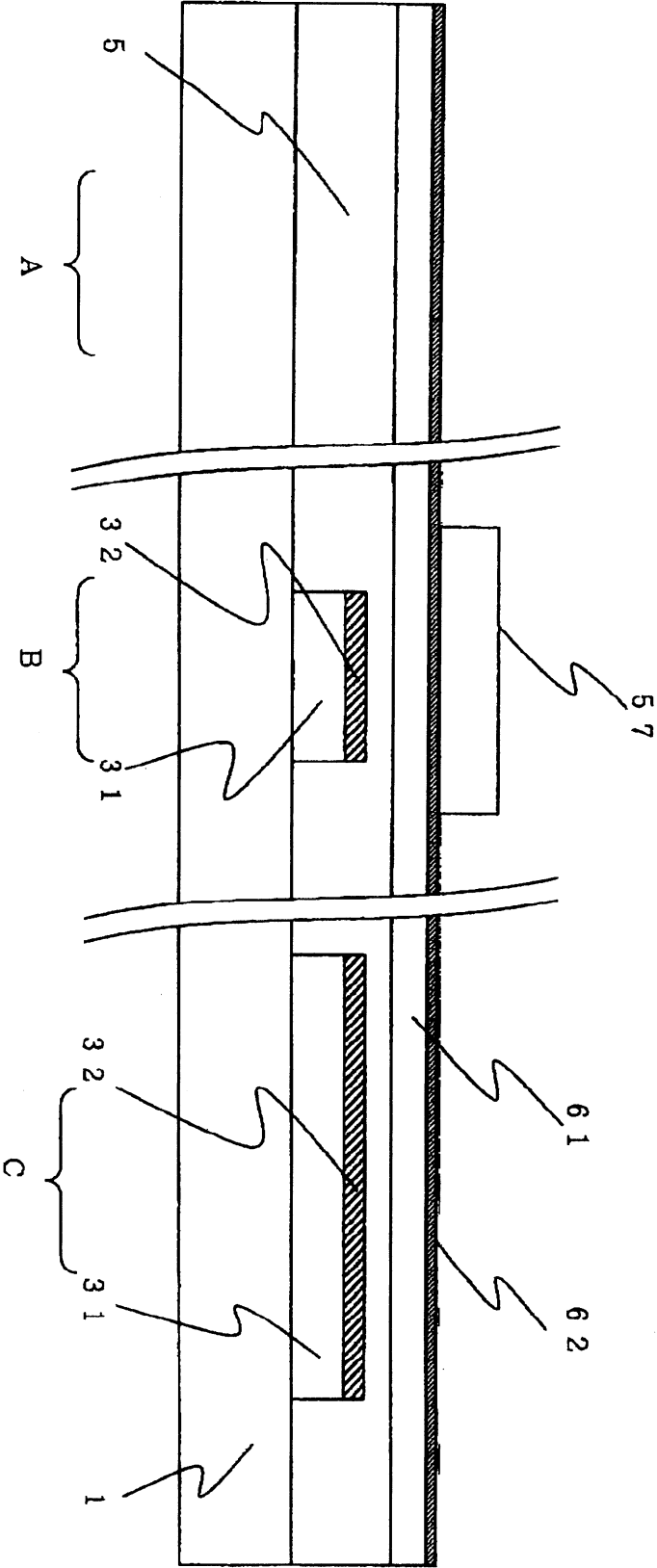


圖 24

圖式

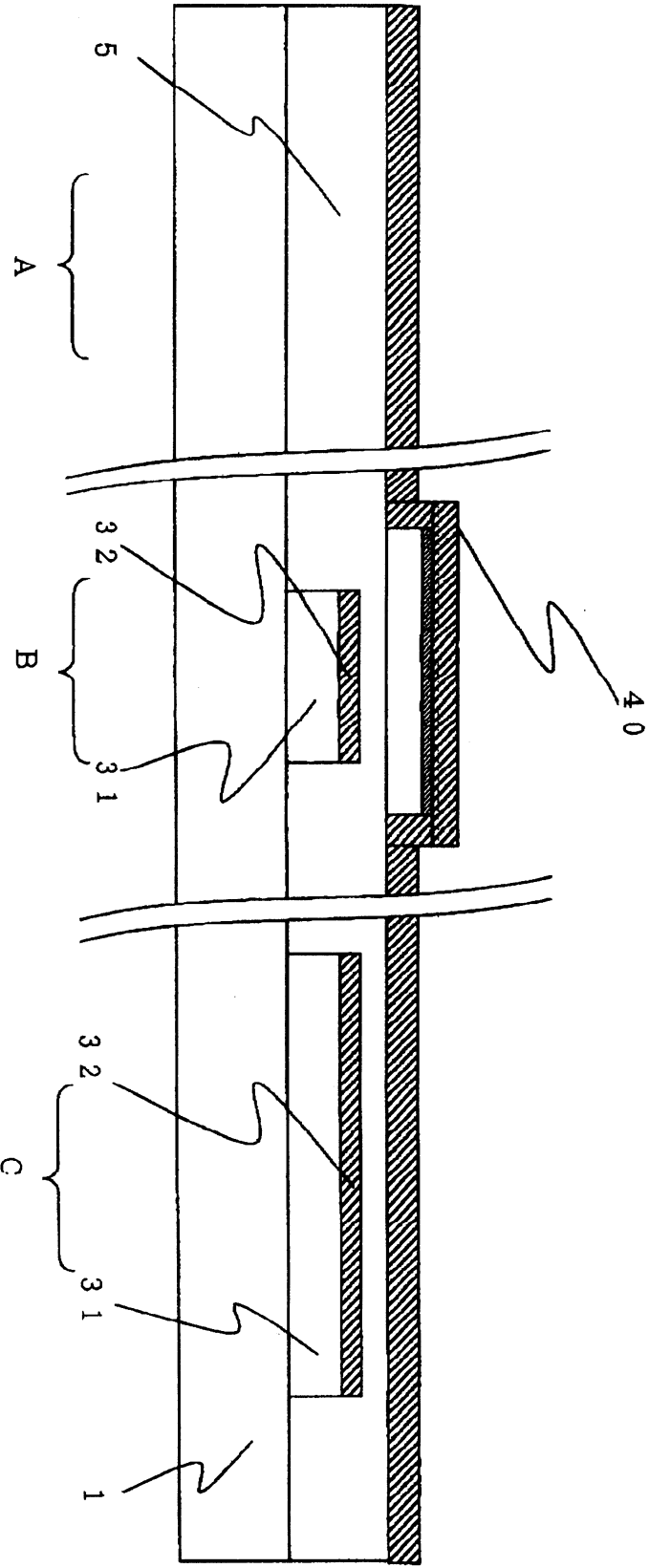
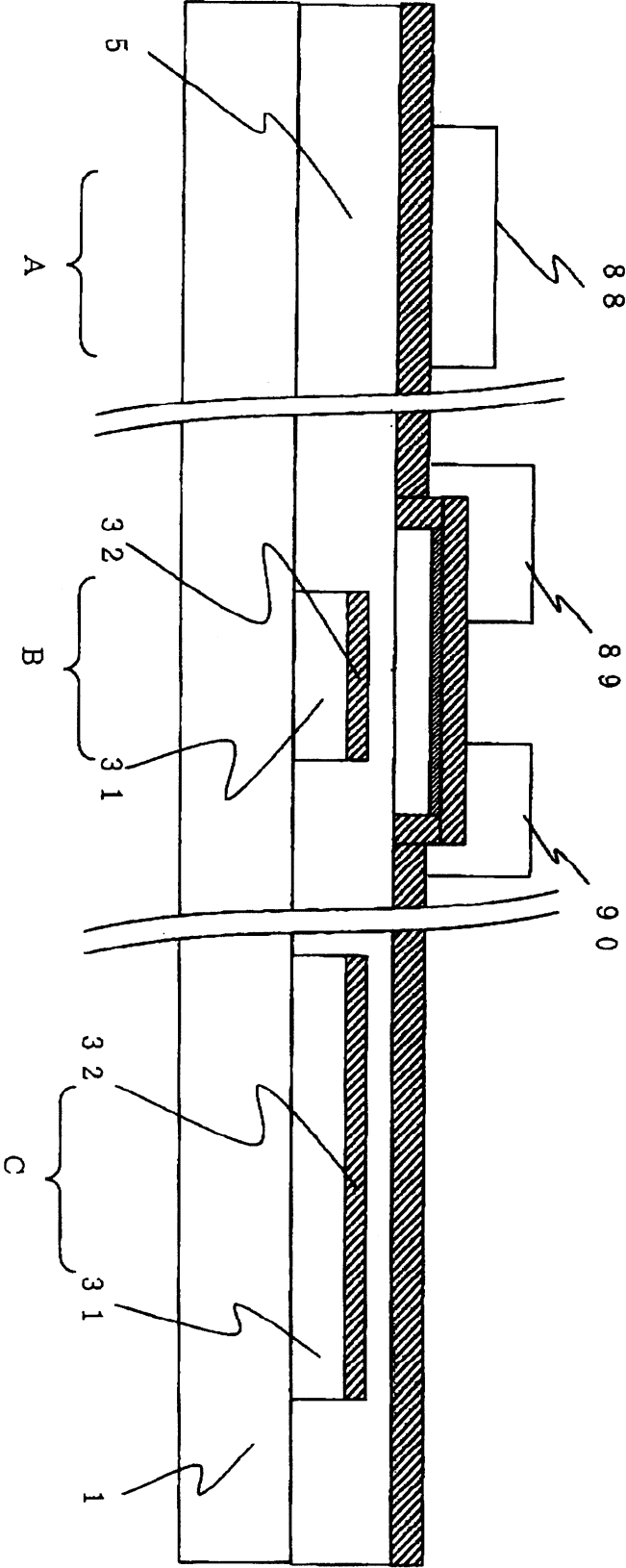


圖 25

圖式



26

圖式

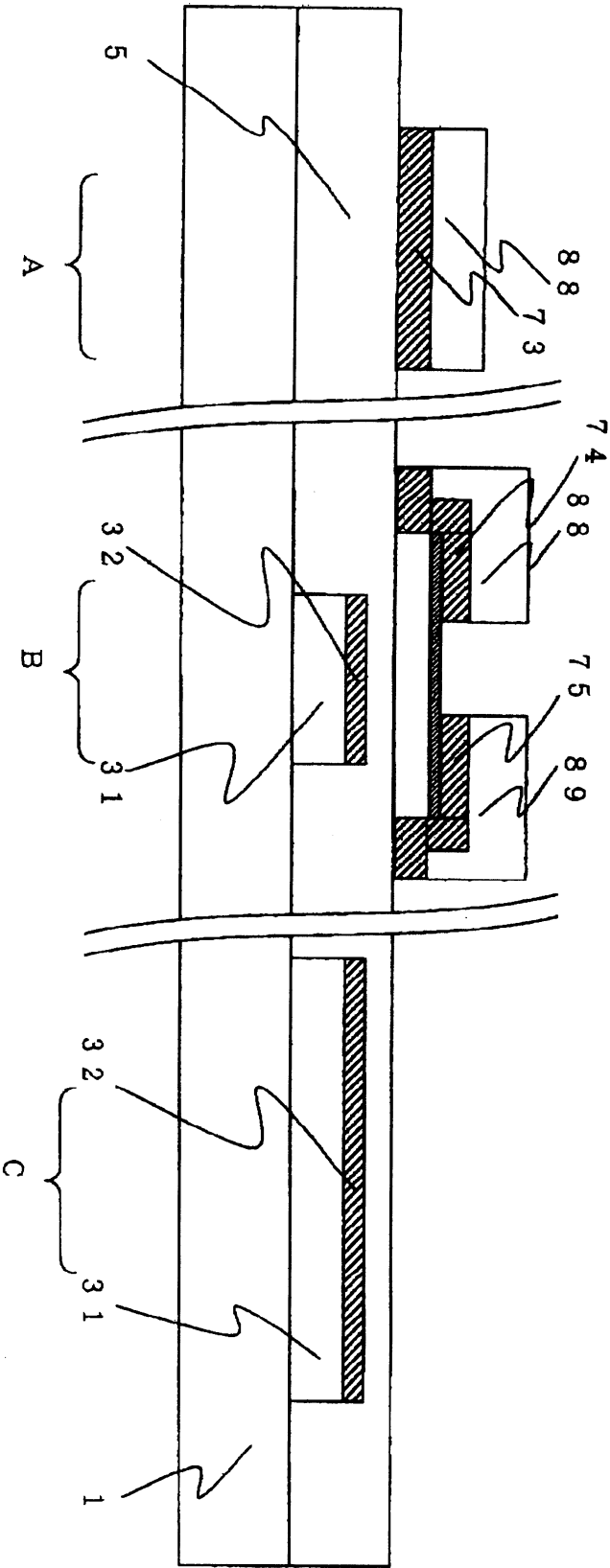
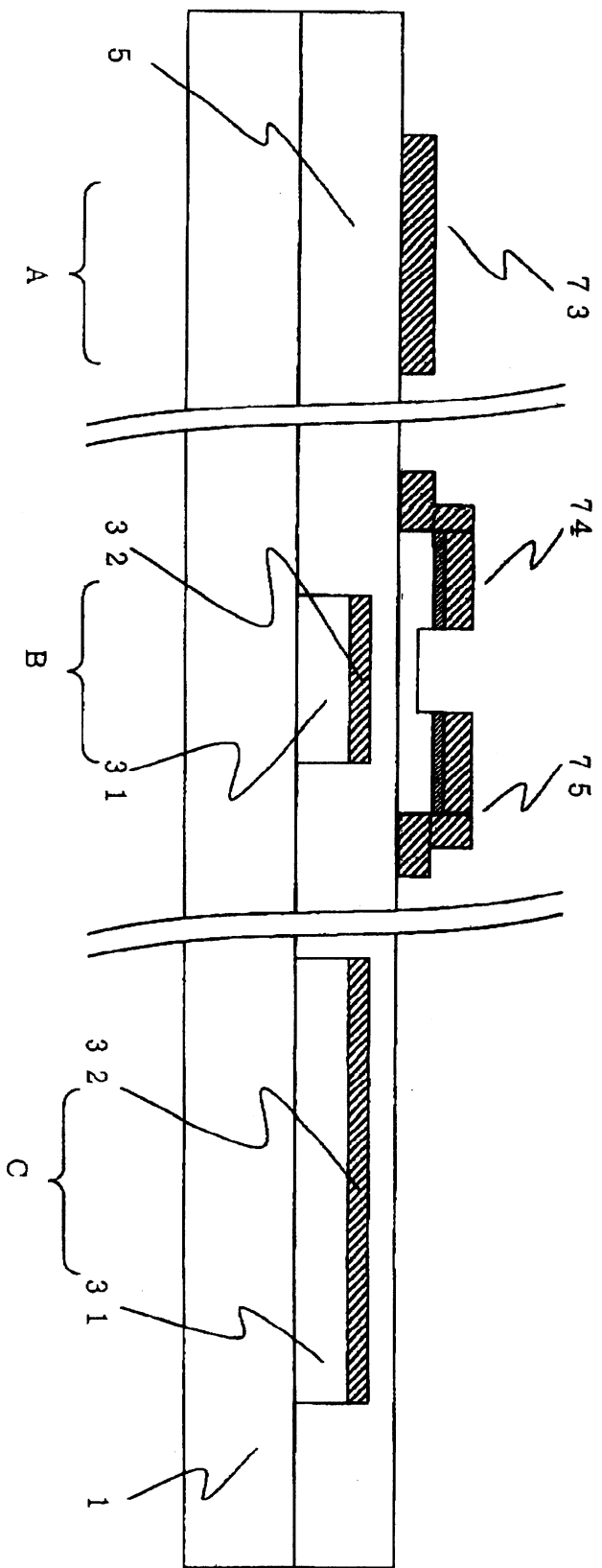


圖 27

圖式



28

圖式

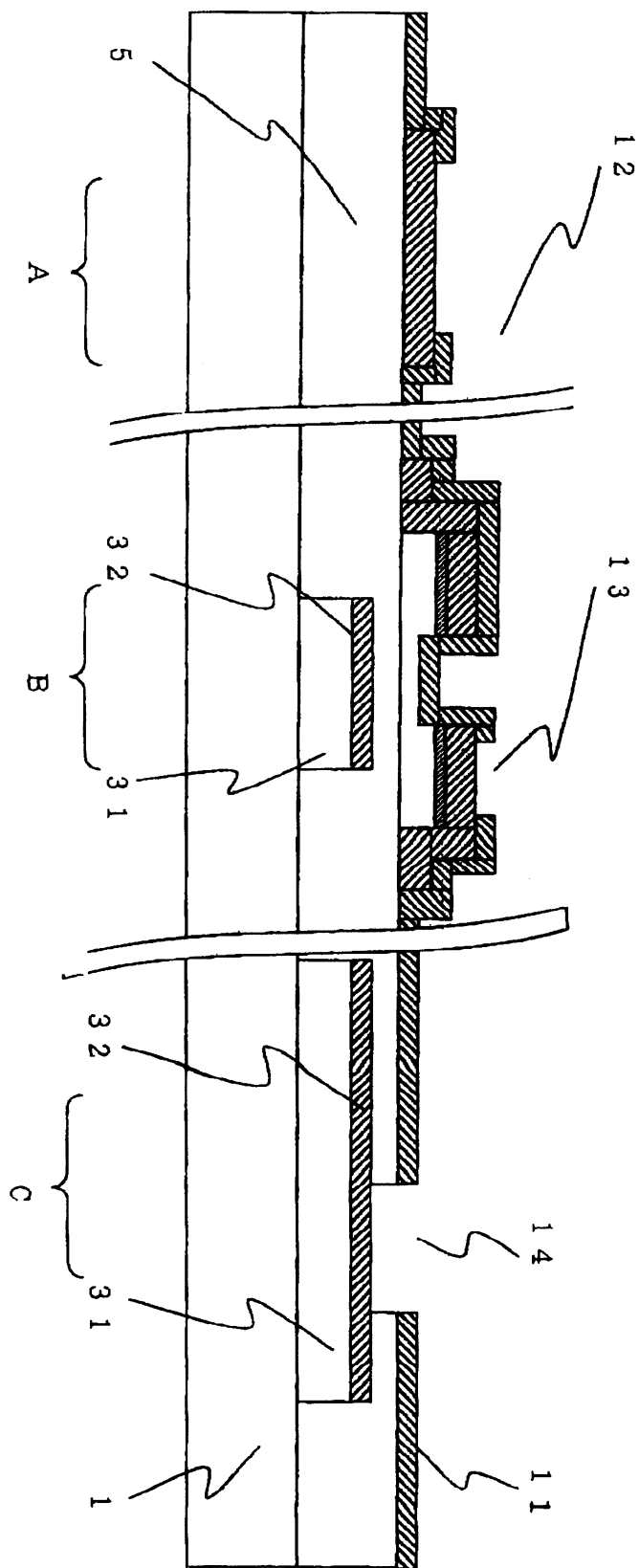


圖 29

圖式

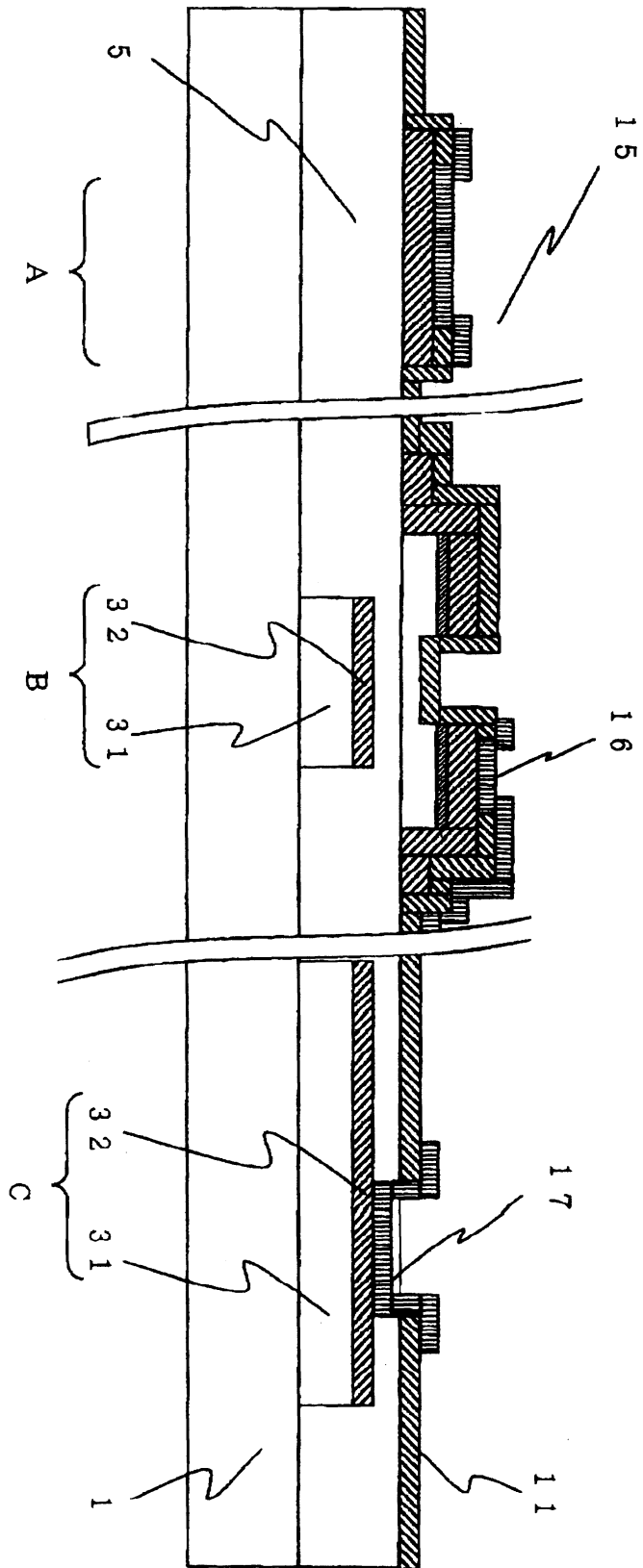


圖 30

圖式

圖 31(a)

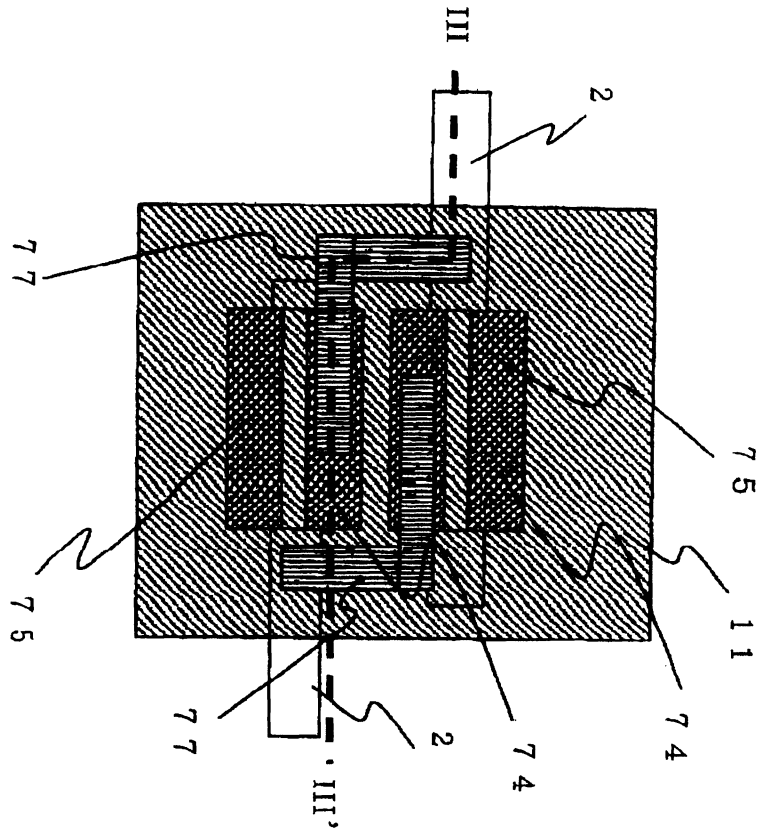
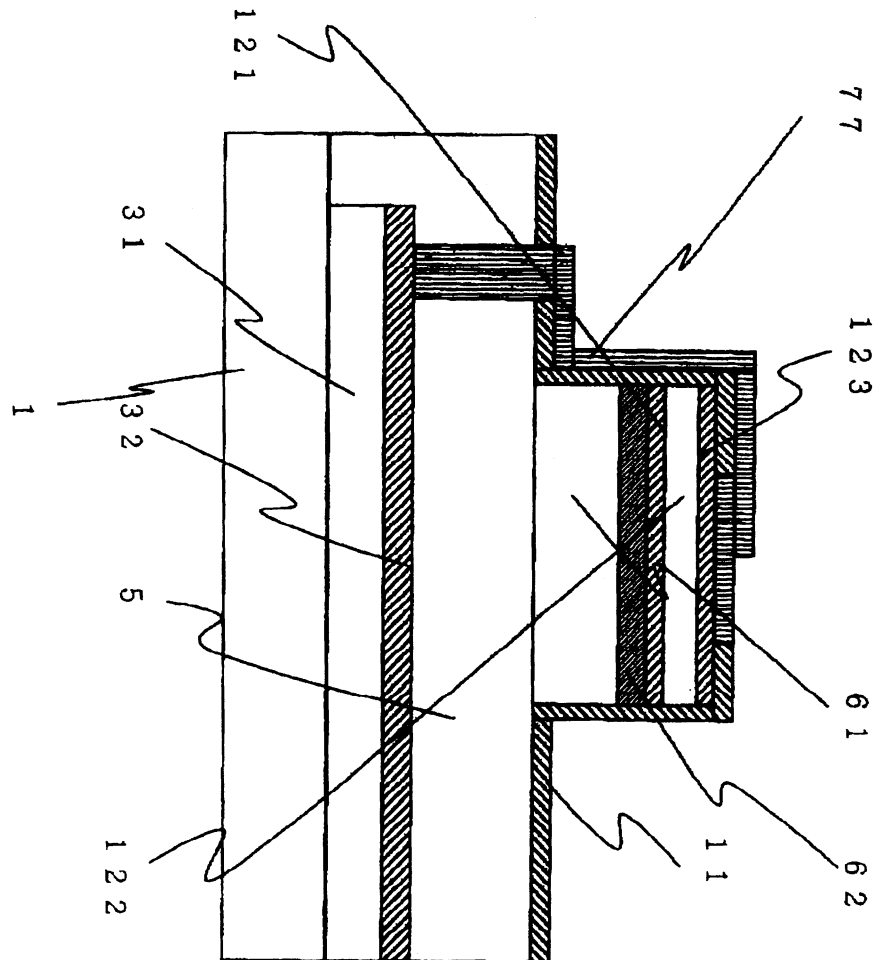


圖 31(b)



七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

1 透明基板

31 鋁合金層

32 鉬合金層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。