

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-198822
(P2012-198822A)

(43) 公開日 平成24年10月18日(2012.10.18)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 11/16 (2006.01)	G06F 11/16 310A	5B034
G06F 13/00 (2006.01)	G06F 13/00 301E	5B083
	G06F 11/16 310B	
	G06F 11/16 310D	

審査請求 未請求 請求項の数 5 O L (全 35 頁)

(21) 出願番号 特願2011-63404 (P2011-63404)
(22) 出願日 平成23年3月22日 (2011. 3. 22)

(71) 出願人 00005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番1号
(74) 代理人 100089118
弁理士 酒井 宏明
(72) 発明者 神志那 重雄
石川県かほく市宇野気ヌ98番地の2 株式会社PFU内
Fターム(参考) 5B034 CC01 DD01
5B083 AA05 BB01 CC01 CC04

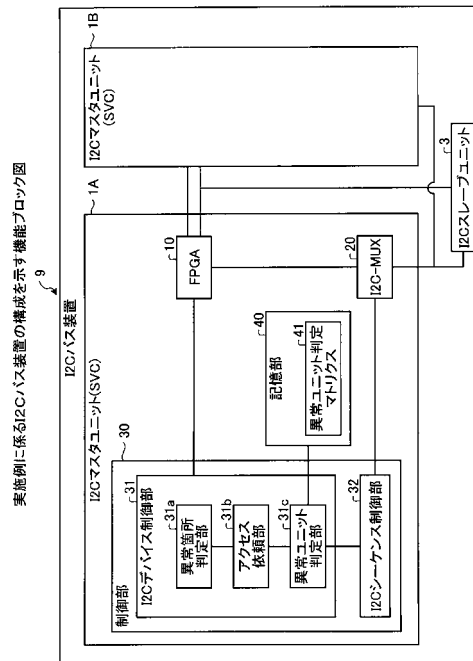
(54) 【発明の名称】 情報処理装置、制御装置および異常ユニット判定方法

(57) 【要約】

【課題】 I2Cバスに接続されたI2Cユニットに異常があった場合、どのI2Cユニットに異常があるのかを判定できる。

【解決手段】 I2Cバス装置9は、I2Cバスで接続する複数のI2Cスレーブユニット3を制御するI2Cマスタユニット1Aと、複数のI2Cスレーブユニット3を制御し、I2Cマスタユニット1Aと二重化されたI2Cマスタユニット2とを有し、I2Cマスタユニット1Aは、自ユニットと接続されたI2Cスレーブユニット3へのアクセスで異常を検出したとき、異常を検出した箇所に関するアクセス結果と、I2Cマスタユニット1Bと接続されたI2Cスレーブユニット3へのI2Cマスタユニット1Bからのアクセス結果とを用いて、異常となるユニットを判定する制御部30を有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

シリアルバスで接続する複数のスレーブユニットを制御する第 1 のマスタユニットと、前記複数のスレーブユニットを制御し、前記第 1 のマスタユニットと二重化された第 2 のマスタユニットとを有し、

前記第 1 のマスタユニットは、

自ユニットと接続された前記スレーブユニットへのアクセスで異常を検出したとき、異常を検出した箇所に関するアクセス結果と、前記第 2 のマスタユニットと接続された前記スレーブユニットへの前記第 2 のマスタユニットからのアクセス結果とを用いて、異常であるユニットを判定する制御部

を有することを特徴とする情報処理装置。

10

【請求項 2】

前記制御部は、

自ユニットと接続された前記スレーブユニットへのアクセスで異常箇所があるか否かを判定する異常箇所判定部と、

前記異常箇所判定部によって前記スレーブユニットへのアクセスで異常箇所があると判定された場合に、前記スレーブユニットと同一のスレーブユニットへのアクセスを、前記第 2 のマスタユニットに依頼するアクセス依頼部と、

前記異常箇所判定部によって異常箇所があると判定された異常箇所に関するアクセス結果と前記アクセス依頼部による依頼の結果を示すアクセス結果との組み合わせを用いて、異常であるユニットを判定する異常ユニット判定部と

を有することを特徴とする請求項 1 に記載の情報処理装置。

20

【請求項 3】

前記第 1 のマスタユニットは、

前記スレーブユニットへのアクセスでマスタユニット中の異常となる可能性のある箇所に関するアクセス情報について、二重化されたマスタユニットの一方の前記アクセス情報と他方の前記アクセス情報との組み合わせにより異常と判定されるユニットの候補を記憶する記憶部を有し、

前記異常ユニット判定部は、

さらに、前記記憶部に記憶された、二重化されたマスタユニットのそれぞれの前記アクセス情報の組み合わせを用いて、前記スレーブユニットへのアクセスで異常の原因となったユニットを判定する

ことを特徴とする請求項 1 または請求項 2 に記載の情報処理装置。

30

【請求項 4】

自ユニットとシリアルバスで接続されたスレーブユニットへのアクセスで異常を検出したとき、異常を検出した箇所に関するアクセス結果と、自ユニットと二重化された他のマスタユニットとシリアルバスで接続された前記スレーブユニットへの他のマスタユニットからのアクセス結果とを用いて、異常であるユニットを判定する制御部

を有することを特徴とする制御装置。

40

【請求項 5】

情報処理装置によって実行される異常ユニット判定方法であって、

シリアルバスで接続する複数のスレーブユニットを制御する第 1 のマスタユニットが前記スレーブユニットへのアクセスで異常箇所があるか否かを判定し、

前記判定する処理によって前記スレーブユニットへのアクセスで異常箇所があると判定された場合に、前記スレーブユニットと同一のスレーブユニットへのアクセスを、前記第 1 のマスタユニットと二重化された第 2 のマスタユニットに依頼し、

前記判定する処理によって異常箇所があると判定された異常箇所に関するアクセス結果と前記依頼する処理によって依頼した結果を示すアクセス結果とを用いて、異常であるユニットを判定する

処理を含むことを特徴とする異常ユニット判定方法。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、情報処理装置などに関する。

【背景技術】

【0002】

I2C (Inter Integrated Circuit) バスは、二線式の双方向シリアルバスであり、シリアルクロックおよびシリアルデータの2本の信号線で構成されるシンプルな構成であるので、導入が容易である。

【0003】

同一のI2Cバスに、複数のI2Cユニットが接続される接続状態において、いずれかのI2Cユニットが、信号線内の電圧レベルが低くなるロースタックなどが原因でハングアップすると、他のI2Cユニットは通信することができなくなる。かかる場合に、I2Cバスと接続されたバスマスタユニットが、I2Cバスのシリアルデータ線の電圧に基づいて、ハングアップしたバススレーブユニットを特定し、かつリセットする技術が開示されている。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-55472号公報

20

【特許文献2】特開2005-4745号公報

【特許文献3】特開2010-211810号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、従来の技術では、バスマスタユニットにロースタックなどが原因でアクセス異常が発生した場合、バスマスタユニット側の異常であるのかアクセス先のバススレーブユニット側の異常であるのかを判定することができない。

【0006】

開示の技術は、上記に鑑みてなされたものであって、I2Cバスに接続されたI2Cユニットに異常があった場合、どのI2Cユニットに異常があるのかを判定できる情報処理装置などを提供することを目的とする。

30

【課題を解決するための手段】

【0007】

本願の開示する情報処理装置は、一つの態様において、シリアルバスで接続する複数のスレーブユニットを制御する第1のマスタユニットと、前記複数のスレーブユニットを制御し、前記第1のマスタユニットと二重化された第2のマスタユニットとを有し、前記第1のマスタユニットは、自ユニットと接続された前記スレーブユニットへのアクセスで異常を検出したとき、異常を検出した箇所に関するアクセス結果と、前記第2のマスタユニットと接続された前記スレーブユニットへの前記第2のマスタユニットからのアクセス結果とを用いて、異常であるユニットを判定する制御部を有する。

40

【発明の効果】

【0008】

本願の開示する情報処理装置の一つの態様によれば、I2Cバスに接続されたI2Cユニットに異常があった場合、どのI2Cユニットに異常があるのかを判定できるという効果を奏する。

【図面の簡単な説明】

【0009】

【図1】図1は、実施例に係るI2Cバス装置の構成を示す機能ブロック図である。

【図2A】図2Aは、実施例に係る異常ユニット判定を実行するためのユニット間のI2

50

Cバスの接続について説明する図である。

【図2B】図2Bは、実施例に係る異常ユニット判定の方法を説明する図である。

【図3】図3は、実施例に係る異常箇所判定を説明する図である。

【図4】図4は、実施例に係る異常ユニット判定マトリクスの一例を示す図である。

【図5】図5は、実施例に係る異常ユニット判定の具体例を説明する図である。

【図6】図6は、実施例に係る異常ユニット判定の別の具体例を説明する図である。

【図7】図7は、実施例に係る異常ユニット判定の別の具体例を説明する図である。

【図8】図8は、実施例に係る異常ユニット判定の別の具体例を説明する図である。

【図9】図9は、実施例に係る異常ユニット判定を実行するためのI2Cバス装置の一例を説明する図である。

10

【図10】図10は、実施例に係る異常ユニット判定を実行するためのハードウェアの全体構成一例を説明する図である。

【図11】図11は、SVCと対象ユニットとのI2Cバスの接続を説明する図である。

【図12】図12は、SVCに搭載されたFPGAを用いたFPGA間通信を説明する図である。

【図13】図13は、SVCに搭載されたFPGAを用いたリセット制御を説明する図である。

【図14】図14は、SVCに搭載されたI2C-MUXの接続方法について説明する図である。

【図15A】図15Aは、運用SVCのI2C-MUXのステータス異常判定の手順を示すフローチャートである。

20

【図15B】図15Bは、運用SVCの対象ユニットとの接続異常判定の手順を示すフローチャートである。

【図15C】図15Cは、運用SVCの対象ユニットからの読取異常判定の手順を示すフローチャートである。

【図15D】図15Dは、運用SVCの対象ユニットへの書込異常判定の手順を示すフローチャートである。

【図15E】図15Eは、運用SVCの対象ユニットからの切断異常判定の手順を示すフローチャートである。

【図16】図16は、待機SVCへのアクセス依頼の手順を示すフローチャートである。

30

【図17】図17は、異常ユニット判定の手順を示すフローチャートである。

【図18】図18は、待機SVCのアクセス依頼待ちの手順を示すフローチャートである。

【図19A】図19Aは、待機SVCのI2C-MUXのステータス異常判定の手順を示すフローチャートである。

【図19B】図19Bは、待機SVCの対象ユニットとの接続異常判定の手順を示すフローチャートである。

【図19C】図19Cは、待機SVCの対象ユニットからの読取異常判定の手順を示すフローチャートである。

【図19D】図19Dは、待機SVCの対象ユニットへの書込異常判定の手順を示すフローチャートである。

40

【図19E】図19Eは、待機SVCの対象ユニットからの切断異常判定の手順を示すフローチャートである。

【図20】図20は、運用SVCへのアクセス結果通知の手順を示すフローチャートである。

【発明を実施するための形態】

【0010】

以下に、本願の開示する情報処理装置、制御装置および異常ユニット判定方法の実施例を図面に基づいて詳細に説明する。なお、以下の実施例では、I2Cバスを備えた情報処理装置であるI2Cバス装置に適用した場合を示す。しかし、本実施例によりこの発明が

50

限定されるものではない。

【実施例】

【0011】

まず、本実施例では、I2Cバス装置は、運用中に、I2Cバスに接続されたいずれかのI2Cユニットに異常があった場合、どのI2Cユニットに異常があるのかを判定する。かかる判定を実現するために、I2Cバス装置では、マスタ側のI2Cユニットとスレーブ側のI2Cユニットとを同一のI2Cバスを用いて1対多で接続せず、必ず1対1で接続するようにする。さらに、I2Cバス装置は、マスタ側に2個のI2Cユニットを配置し、マスタ側の2個のI2Cユニットから異なる経路を介してスレーブ側のI2Cユニットへそれぞれアクセスし、そのアクセス結果を統合して異常のI2Cユニットを判定する。

10

【0012】

図2Aは、実施例に係る異常ユニット判定を実行するためのユニット間のI2Cバスの接続について説明する図である。図2Aに示すように、I2Cマスタユニット1A、1BとI2Cスレーブユニット3とは、同一のI2Cバスを用いて1対1で接続する。

【0013】

また、I2Cマスタユニット1A、1BからI2Cスレーブユニット3へのI2Cバスの経路は、冗長化されている。すなわち、マスタユニット1Aは、自己に搭載されたI2Cマルチプレクサを介して、I2Cスレーブユニット3とI2Cバスで接続する。また、I2Cマスタユニット1Bは、自己に搭載されたI2Cマルチプレクサを介して、I2Cマスタユニット1Aと異なる経路でI2Cスレーブユニット3と接続する。そして、I2Cマスタユニット1AがI2Cマルチプレクサを介して、I2Cスレーブユニット3と接続しているとき、他方のI2Cマスタユニット1BはI2Cマルチプレクサにより未接続状態にし、I2Cスレーブユニット3と接続しないようにする。また、I2Cマスタユニット1BがI2Cマルチプレクサを介して、I2Cスレーブユニット3と接続しているとき、他方のI2Cマスタユニット1AはI2Cマルチプレクサにより未接続状態にし、I2Cスレーブユニット3と接続しないようにする。

20

【0014】

かかるユニット間の接続の下、I2Cマスタユニット1Aは、I2Cマスタユニット1Bと協調して、I2Cスレーブユニット3へそれぞれアクセスした結果である2個のアクセス結果を統合し、異常のI2Cユニットを判定する。

30

【0015】

図2Bは、実施例に係る異常ユニットの判定方法を説明する図である。図2Bに示すように、横軸は一方のI2Cマスタユニットの異常判定情報J0を示し、縦軸は他方のI2Cマスタユニットの異常判定情報J1を示す。異常判定情報J0、J1は、異常となる可能性のあるアクセス箇所j1および当該箇所での異常内容j2を含む。符号J2で表されるマトリクスは、それぞれ2個のI2Cマスタユニットの異常判定情報から推定される異常ユニット群を示す。そして、I2Cマスタユニット1は、I2Cマスタユニット1のアクセス結果（異常発生箇所）とI2Cマスタユニット2のアクセス結果（異常発生箇所）とをマトリクスJ2上で交差（統合）して、異常のI2Cユニットを判定する。

40

【0016】

[実施例に係るI2Cバス装置の構成]

次に、図1は、本実施例に係るI2Cバス装置の構成を示す機能ブロック図である。図1に示すように、I2Cバス装置9は、I2Cマスタユニット1Aと、I2Cマスタユニット1Bと、I2Cスレーブユニット3とを備える。I2Cバス装置9は、例えば、複数のハードディスクを有するストレージデバイス格納筐体(DE)およびハードディスク以外のユニットが搭載された筐体(CE)を備えるストレージ装置である。I2Cマスタユニット1Aは、サービスコントローラ(SVC: Service Controller)といい、I2Cバスで接続する複数のI2Cスレーブユニット3を制御したり、監視したりする。I2Cマスタユニット1Aは、I2Cマスタユニット1Bと冗長構成であり、運用系となったり

50

、待機系となったりする。以降の説明では、I 2 C マスタユニット 1 A が、運用系であるものとして説明する。そして、I 2 C マスタユニット 1 B は、I 2 C マスタユニット 1 A と同様の構成であるので、その説明を省略する。

【 0 0 1 7 】

I 2 C スレーブユニット 3 は、I 2 C スレーブとなるユニットであり、I 2 C マスタユニット 1 A および I 2 C マスタユニット 1 B とそれぞれ接続される。I 2 C スレーブユニット 3 には、例えば、F R T (Frontend Router)、B R T (Backend Router)、P S U (Power Supply Unit)、B B U (Battery Backup Unit) が挙げられる。ここで、F R T は、ユニットの動作を管理する C M (Control Module) 間の通信手段を提供するユニットである。B R T は、C M にハードディスクへのアクセス手段を提供するユニットである。P S U は、全ユニットに電力を供給するユニットである。B B U は、停電発生時に特定のユニットに電力を供給するユニットである。なお、図 1 では、説明の便宜上、I 2 C スレーブユニット 3 が 1 台となる構成を採用しているが、I 2 C スレーブユニット 3 が複数となる構成を適用しても良い。

10

【 0 0 1 8 】

I 2 C マスタユニット 1 A は、I 2 C マスタとなるユニットであり、F P G A (Field Programmable Gate Array) 1 0 と、I 2 C - M U X (multiplexer) 2 0 と、制御部 3 0 と、記憶部 4 0 とを備える。F P G A 1 0 は、I 2 C マスタユニット 1 B と接続し、I 2 C マスタユニット 1 B の F P G A 間で通信する。また、F P G A 1 0 は、I 2 C - M U X 2 0 を初期化する際にリセットしたり、I 2 C スレーブユニット 3 を初期化する際にリセットしたりする。

20

【 0 0 1 9 】

I 2 C - M U X 2 0 は、I 2 C スレーブユニット 3 が複数ある場合、複数ある I 2 C スレーブユニット 3 の内の 1 個の I 2 C スレーブユニット 3 と I 2 C バスで接続するようにし、接続した I 2 C スレーブユニット 3 にアクセスする。かかる I 2 C - M U X 2 0 と I 2 C スレーブユニット 3 との I 2 C バスの接続については、後述するものとする。

【 0 0 2 0 】

制御部 3 0 は、I 2 C デバイス制御部 3 1 および I 2 C シーケンス制御部 3 2 を有する。なお、制御部 3 0 は、例えば、A S I C (Application Specific Integrated Circuit) や F P G A (Field Programmable Gate Array) 等の集積回路または C P U (Central Processing Unit) や M P U (Micro Processing Unit) 等の電子回路である。

30

【 0 0 2 1 】

記憶部 4 0 は、異常ユニット判定マトリクス 4 1 を有する。記憶部 4 0 は、例えば、R A M (Random Access Memory)、フラッシュメモリ (flash memory) 等の半導体メモリ素子、または、ハードディスク、光ディスク等の記憶装置である。異常ユニット判定マトリクス 4 1 は、I 2 C マスタユニットで異常となる可能性のある異常箇所に関するアクセス情報について、二重化された I 2 C マスタユニットのそれぞれのアクセス情報の組み合わせにより異常と判定されるユニットの候補を記憶する。かかる異常ユニット判定マトリクス 4 1 の構成については、後述するものとする。

【 0 0 2 2 】

I 2 C デバイス制御部 3 1 は、I 2 C スレーブユニット 3 および I 2 C マスタユニット 1 B のデバイスを制御する。さらに、I 2 C デバイス制御部 3 1 は、異常箇所判定部 3 1 a と、アクセス依頼部 3 1 b と、異常ユニット判定部 3 1 c とを有する。

40

【 0 0 2 3 】

異常箇所判定部 3 1 a は、自ユニットと接続された I 2 C スレーブユニット 3 へのアクセスで異常箇所があるか否かを判定する。一例として、異常箇所判定部 3 1 a は、二重化された他系の I 2 C マスタユニット 1 B との間での F P G A 間通信を用いて、運用系となるか待機系となるかを調停したうえで決定する。

【 0 0 2 4 】

また、異常箇所判定部 3 1 a は、運用系と決定された場合に、アクセス対象となる I 2

50

Cスレーブユニット3（以降、「対象ユニット」という。）との接続または切断を、I2Cシーケンス制御部32を介してI2C MUX20を制御して行う。

【0025】

また、異常箇所判定部31aは、対象ユニットへのアクセスで異常となる異常箇所があった場合、異常箇所に基づいてI2C-MUX20または対象ユニットのI2CデバイスをFPGA10経由でリセットする。ここで、対象ユニットへのアクセスでの異常には、「I2Cシーケンス異常」と、「I2Cデバイス異常」とがある。「I2Cシーケンス異常」とは、後述するI2Cシーケンス制御部32によって異常を検出した場合を示す。例えば、バスの使用権を獲得するために使用する制御信号を示すスタートコンディションまたはバスを解放するために使用する制御信号を示すストップコンディションの検出ができなかつた場合、対象ユニットから正常終了であることを通知するACKを検出できなかった場合やオーバーランエラーを検出した場合等がある。また、I2Cデバイス異常とは、異常箇所判定部31aによって異常を検出した場合を示す。例えば、対象ユニットのI2Cデバイスが期待した動作をしない場合がある。

10

【0026】

また、異常箇所判定部31aは、対象ユニットのI2Cデバイスを指定し、指定したI2Cデバイスのレジスタの読み込み、および指定したI2Cデバイスのレジスタへの書き込みを、I2Cシーケンス制御部3を介してする。なお、異常箇所判定部31aは、指定したI2Cデバイスのレジスタの読み込み、および指定したI2Cデバイスのレジスタへの書き込みのどちらか一方を、I2Cシーケンス制御部3を介してするようにしても良い。

20

【0027】

また、異常箇所判定部31aは、待機系と決定された場合に、運用系のI2Cマスタユニット1AからFPGA間通信を介した、対象ユニットへのアクセス依頼を待ち受ける。そして、異常箇所判定部31aは、対象ユニットへのアクセス依頼を受け取ると、当該対象ユニットへのアクセスを実行し、アクセス結果を、FPGA間通信を介して運用系のI2Cマスタユニット1Aに通知する。

【0028】

アクセス依頼部31bは、異常箇所判定部31aによって対象ユニットへのアクセスで異常箇所があると判定された場合に、対象ユニットと同一の対象ユニットへのアクセスを、待機系側のI2Cマスタユニット1Bに依頼する。

30

【0029】

異常ユニット判定部31cは、異常箇所判定部31aによって判定された異常箇所に関するアクセス結果とアクセス依頼部31bによる依頼結果を示すアクセス結果との組み合わせを用いて、異常であるユニットを判定する。一例として、異常ユニット判定部31cは、異常ユニット判定マトリクス41に記憶された、I2Cマスタユニットのそれぞれの異常判定情報の組み合わせと、実際に実行されたそれぞれのアクセス結果の組み合わせとを用いて、異常のユニットを判定する。異常判定情報は、異常となる可能性のある箇所および当該箇所での異常内容を含むものである。例えば、異常判定情報には、I2C-MUXとアクセスした際のシーケンス異常およびデバイス異常がある。また、異常判定情報には、対象ユニットと接続した際のシーケンス異常、対象ユニットと接続後に読み書きした際のシーケンス異常およびデバイス異常等がある。かかる異常判定情報の詳細は、後述するものとする。

40

【0030】

I2Cシーケンス制御部32は、I2Cのシーケンスに用いられる各種信号や各種コマンドを対象ユニットに送信したり、検出したりする。一例として、I2Cシーケンス制御部32は、スタートコンディションの制御信号またはストップコンディションの制御信号を対象ユニットに送出したり、検出したりする。また、I2Cシーケンス制御部32は、ACKを対象ユニットに送出したり、検出したりする。また、I2Cシーケンス制御部32は、異常箇所判定部31aから指定された対象ユニットのデバイスに対するアドレスデ

50

ータ、レジスタデータまたは書き込みデータを該当コマンドとともにI2Cバス上に送信する。そして、I2Cシーケンス制御部32は、対象ユニットから該当コマンドに対応するレジスタデータを受信し、異常箇所判定部31aに通知する。

【0031】

また、I2Cシーケンス制御部32は、I2Cのシーケンスの異常を、「I2Cシーケンス異常」として検出する。

【0032】

[異常箇所判定についての説明]

ここで、異常判定部31aによる異常箇所判定について、図3を参照しながら説明する。図3は、実施例に係る異常箇所判定を説明する図である。なお、図3では、運用SVC2Aが運用系のI2Cマスタユニットに相当し、待機SVC2Bが待機系のI2Cマスタユニットに相当するものとする。図3に示すように、運用SVC2Aは、待機SVC2Bと二重化され、自己に搭載されたI2C-MUX20Aを介して、対象ユニット3とI2Cバスで接続する。なお、説明内の「 」内の符号は、各異常種別を表すものとする。

【0033】

運用SVC2AのI2Cデバイス制御部31Aは、FPGA10Aと待機SVC2BのFPGA10Bとを介して、自己が運用系となるか待機系となるかを調停し決定する(S1)。ここでは、I2Cデバイス制御部31Aは、運用SVC2Aが運用系となると決定したものとする。

【0034】

次に、運用系と決定した運用SVC2Aは、I2Cシーケンス制御部32Aを介して、I2C-MUX20Aのステータスを、例えばI2C-MUX20Aの記憶部から読み出して確認する(S2)。ここで、I2Cシーケンス制御部32Aが、I2C-MUX20Aへのアクセスで異常を検出した場合、I2Cデバイス制御部31Aは、I2Cシーケンス異常「e1」と判定する。また、I2Cデバイス制御部31Aが、I2C-MUX20Aのステータスが期待した状態でないような異常を検出した場合、I2Cデバイス制御部31Aは、デバイス異常「e2」と判定する。なお、I2C-MUX20Aのステータスが期待した状態でないような異常とは、例えば、対象ユニットと既に接続状態となっているような場合がある。そして、I2Cデバイス制御部31Aは、I2C-MUX20Aのステータスの異常を検出した場合、I2C-MUX20Aをリセットによる切断をしようとして、待機系と決定した待機SVC2Bに対し、対象ユニット3へのアクセス依頼を行い、アクセス結果を待ち受けることとなる。

【0035】

次に、運用SVC2Aは、I2Cシーケンス制御部32Aを介して、I2C-MUX20Aを対象ユニット3と接続する(S3)。ここで、I2Cデバイス制御部31Aが、I2C-MUX20Aへのアクセスで異常を検出した場合、I2Cデバイス制御部31Aは、I2Cシーケンス異常「e3」と判定する。そして、I2Cデバイス制御部31Aは、対象ユニット3との接続異常を検出した場合、I2C-MUX20Aをリセットによる切断をしようとして、待機系と決定した待機SVC2Bに対し、対象ユニット3へのアクセス依頼を行い、アクセス結果を待ち受けることとなる。

【0036】

続いて、運用SVC2Aは、I2Cシーケンス制御部32Aを介して、I2C-MUX20Aのレジスタの値が例えば所定値に更新されることを確認することで、I2C-MUX20Aが対象ユニット3と接続したことを確認する(S4)。ここで、I2Cシーケンス制御部32Aが、I2C-MUX20Aへのアクセスで異常を検出した場合、I2Cデバイス制御部31Aは、I2Cシーケンス異常「e4」と判定する。また、I2Cデバイス制御部31Aが、I2C-MUX20Aのレジスタが期待した状態でない異常を検出した場合、I2Cデバイス制御部31Aは、I2Cデバイス異常「e5」と判定する。なお、I2C-MUX20Aのレジスタが期待した状態でない異常とは、例えば、I2C-MUX20Aが対象ユニット3とのみ接続されていない場合がある。そして、I2Cデバイ

10

20

30

40

50

ス制御部 3 1 A は、対象ユニット 3 との接続異常を検出した場合、I 2 C - M U X 2 0 A をリセットによる切断をしたうえで、待機系と決定した待機 S V C 2 B に対し、対象ユニット 3 へのアクセス依頼を行い、アクセス結果を待ち受けることとなる。

【 0 0 3 7 】

続いて、運用 S V C 2 A は、I 2 C シーケンス制御部 3 2 A を介して、対象ユニット 3 から目的のデータを読み取り、または対象ユニット 3 に目的のデータを書き込む (S 5) 。ここで、I 2 C シーケンス制御部 3 2 A が、対象ユニット 3 へのアクセスで異常を検出した場合、I 2 C デバイス制御部 3 1 A は、I 2 C シーケンス異常「 e 6 」と判定する。また、I 2 C デバイス制御部 3 1 A が、期待した値でない異常を検出した場合、I 2 C デバイス制御部 3 1 A は、I 2 C デバイス異常「 e 7 」と判定する。なお、期待した値でない異常とは、例えば、対象ユニット 3 のデバイスからの読み取り値がデバイス上あり得ない値であったり、対象ユニット 3 のデバイスの指定した位置に正しい値が書き込めなかったりした場合がある。そして、I 2 C デバイス制御部 3 1 A は、対象ユニット 3 とのアクセス異常を検出した場合、I 2 C - M U X 2 0 A をリセットによる切断をしたうえで、待機系と決定した待機 S V C 2 B に対し、対象ユニット 3 へのアクセス依頼を行い、アクセス結果を待ち受けることとなる。

10

【 0 0 3 8 】

さらに、運用 S V C 2 A は、I 2 C シーケンス制御部 3 2 A を介して、I 2 C - M U X 2 0 A を対象ユニット 3 から切断する (S 6) 。ここで、I 2 C デバイス制御部 3 1 A が、I 2 C - M U X 2 0 A へのアクセスで異常を検出した場合、I 2 C デバイス制御部 3 1 A は、I 2 C シーケンス異常「 e 8 」と判定する。そして、I 2 C デバイス制御部 3 1 A は、対象ユニット 3 との切断異常を検出した場合、I 2 C - M U X 2 0 A をリセットによる切断をしたうえで、待機系と決定した待機 S V C 2 B に対し、対象ユニット 3 へのアクセス依頼を行い、アクセス結果を待ち受けることとなる。

20

【 0 0 3 9 】

続いて、運用 S V C 2 A は、I 2 C シーケンス制御部 3 2 A を介して、I 2 C - M U X 2 0 A のレジスタで、I 2 C - M U X 2 0 A を対象ユニット 3 から切断したことを確認する (S 7) 。ここで、I 2 C シーケンス制御部 3 2 A が、I 2 C - M U X 2 0 A へのアクセスで異常を検出した場合、I 2 C デバイス制御部 3 1 A は、I 2 C シーケンス異常「 e 9 」と判定する。また、I 2 C デバイス制御部 3 1 A が、I 2 C - M U X 2 0 A のレジスタが期待した状態でない異常を検出した場合、I 2 C デバイス制御部 3 1 A は、I 2 C デバイス異常「 e 1 0 」と判定する。なお、I 2 C - M U X 2 0 A のレジスタが期待した状態でない異常とは、例えば、I 2 C - M U X 2 0 A が対象ユニット 3 と未接続状態とならなかったような場合がある。

30

【 0 0 4 0 】

[異常ユニット判定マトリクスの一例]

次に、異常ユニット判定マトリクス 4 1 の一例について、図 4 を参照しながら説明する。図 4 は、異常ユニット判定マトリクス 4 1 の一例を示す図である。図 4 に示すように、異常ユニット判定マトリクス 4 1 は、横軸に運用 S V C の異常判定情報 4 1 A、縦軸に待機 S V C の異常判定情報 4 1 B を記憶する。運用 S V C の異常判定情報 4 1 A には、異常となる可能性のある箇所と異常内容とからなる異常種別 (正常を含む) を複数記憶する。待機 S V C の異常判定情報 4 1 B には、運用 S V C の異常判定情報 4 1 A と同様に異常種別を複数記憶する。

40

【 0 0 4 1 】

以下に、異常種別の例を示す。例えば、符号 4 1 1 で示す運用 S V C の異常種別が「 e 1 」の場合には、運用 S V C が I 2 C - M U X 2 0 A のステータスを確認する箇所で、I 2 C シーケンス異常となる場合である。符号 4 1 2 で示す運用 S V C の異常種別が「 e 2 」の場合には、運用 S V C が I 2 C - M U X 2 0 A のステータスを確認する箇所で、I 2 C デバイス異常となる場合である。符号 4 1 3 で示す運用 S V C の異常種別が「 e 3 」の場合には、運用 S V C が I 2 C - M U X 2 0 A を対象ユニット 3 と接続する箇所で、I 2

50

Cシーケンス異常となる場合である。符号414で示す運用SVCの異常種別が「e4」の場合には、運用SVCがI2C-MUX20Aのレジスタで、I2C-MUX20Aが対象ユニットと接続したことを確認する箇所で、I2Cシーケンス異常となる場合である。符号415で示す運用SVCの異常種別が「e5」の場合には、運用SVCがI2C-MUX20Aのレジスタで、I2C-MUX20Aが対象ユニットと接続したことを確認する箇所で、I2Cデバイス異常となる場合である。符号416で示す運用SVCの異常種別が「e6」の場合には、運用SVCが対象ユニット3とアクセスする箇所で、I2Cシーケンス異常となる場合である。符号417で示す運用SVCの異常種別が「e7」の場合には、運用SVCが対象ユニット3とアクセスする箇所で、I2Cデバイス異常となる場合である。符号418で示す運用SVCの異常種別が「e8」の場合には、運用SVCがI2C-MUXから対象ユニットを切断する箇所で、I2Cシーケンス異常となる場合である。運用SVCの異常種別が「e9」の場合には、運用SVCがI2C-MUX20Aのレジスタで、I2C-MUX20Aを対象ユニットから切断したことを確認する箇所で、I2Cシーケンス異常となる場合である。運用SVCの異常種別が「e10」の場合には、運用SVCがI2C-MUX20Aのレジスタで、I2C-MUX20Aを対象ユニットから切断したことを確認する箇所で、I2Cデバイス異常となる場合である。なお、待機系SVCの異常判定情報41Aの異常種別は、運用SVCの異常判定情報41Bの異常種別と同様であるので、説明を省略する。

【0042】

異常ユニット情報41Cは、運用系SVCの異常判定情報41Aの異常種別と待機系SVCの異常判定情報41Bの異常種別との組み合わせにより異常を判別できるユニットの候補を記憶する。図4の例では、符号eu1では、運用SVCの異常種別「e1」と待機SVCの異常種別「正常」との組み合わせにより判別できる、異常となるユニットの候補を「運用SVC」として記憶する。

【0043】

[異常ユニット判定の具体例]

次に、運用SVC2Aから対象ユニット3へのアクセスで異常となる異常箇所があった場合に、異常箇所に基づいて異常ユニットを判定する具体例を、図5～図8を参照しながら説明する。

【0044】

図5は、実施例に係る異常ユニット判定の具体例を説明する図である。なお、図5では、運用SVC2AがI2C-MUX20Aのステータスを確認する箇所で、I2Cシーケンス異常(「e1」)となった場合を説明する。そこで、I2Cデバイス制御部31Aが、最初にI2Cシーケンス異常「e1」と判定した後の動作について説明する。

【0045】

最初にI2Cシーケンス異常「e1」と判定したI2Cデバイス制御部31Aは、FPGA経由で、I2C-MUX20Aをリセットする(S1a)。その後、I2Cデバイス制御部31Aは、I2C-MUX20Aのステータスの確認を再試行する(S1b)。そして、I2Cデバイス制御部31Aは、再試行してもI2Cシーケンス異常が回復しない場合、再試行回数がX回に達したとき、運用SVC2Aからの接続を断念する。ここでは、I2Cデバイス制御部31Aは、自己のアクセス結果を「e1」として記憶部40に保持する。

【0046】

そして、I2Cデバイス制御部31Aは、待機系での動作に影響を与えないように、FPGA経由で、I2C-MUX20Aを再度リセットする(S1c)。そして、I2Cデバイス制御部31Aは、待機SVC2Bに対し、FPGA間通信を用いて、対象ユニット3への接続確認を依頼する(S1d)。すなわち、I2Cデバイス制御部31Aは、対象ユニット3へのアクセス依頼を行う。

【0047】

続いて、対象ユニット3への接続確認を依頼された待機SVC2BのI2Cデバイス制

御部 3 1 B は、I 2 C - M U X 2 0 B のステータスを確認した後、I 2 C - M U X 2 0 B を対象ユニット 3 と接続する (S 1 e)。そして、I 2 C デバイス制御部 3 1 B は、I 2 C - M U X 2 0 B のレジスタで、I 2 C - M U X 2 0 B が対象ユニット 3 と接続したことを確認する (S 1 f)。さらに、I 2 C デバイス制御部 3 1 B は、対象ユニット 3 から目的のデータを読み取り、または対象ユニット 3 に目的のデータを書き込む (S 1 g)。

【 0 0 4 8 】

続いて、I 2 C デバイス制御部 3 1 B は、I 2 C - M U X 2 0 B を対象ユニット 3 から切断する (S 1 h)。そして、I 2 C デバイス制御部 3 1 B は、I 2 C - M U X 2 0 B のレジスタで、I 2 C - M U X 2 0 B を対象ユニット 3 から切断したことを確認する (S 1 i)。そして、I 2 C デバイス制御部 3 1 B は、運用 S V C 2 A に対し、F P G A 間通信を用いて、対象ユニット 3 とのアクセス結果を通知する (S 1 j)。ここでは、I 2 C デバイス制御部 3 1 B は、自己のアクセス結果を「正常」として通知する。

10

【 0 0 4 9 】

運用 S V C 2 A の I 2 C デバイス制御部 3 1 A は、待機 S V C 2 B から対象ユニット 3 とのアクセス結果を受け取る。そして、I 2 C デバイス制御部 3 1 A は、異常ユニット判定マトリクス 4 1 に基づいて、運用 S V C 2 A のアクセス結果および待機 S V C 2 B のアクセス結果から異常ユニットを判定する。ここでは、I 2 C デバイス制御部 3 1 A は、運用 S V C 1 A のアクセス結果が「e 1」であり、待機 S V C 2 A のアクセス結果が「正常」であるので、異常ユニット判定マトリクス 4 1 (図 4 参照) に基づいて、異常ユニットを「運用 S V C」として判定する。

20

【 0 0 5 0 】

図 6 は、実施例に係る異常ユニット判定の別の具体例を説明する図である。なお、図 6 では、運用 S V C 2 A および待機 S V C 2 B が各 I 2 C - M U X 2 0 のステータスを確認する箇所で、I 2 C シーケンス異常 (「 e 1 」) となる場合を説明する。そこで、運用 S V C 2 A の I 2 C デバイス制御部 3 1 A が、最初に I 2 C シーケンス異常「e 1」と判定した後の動作について説明する。

【 0 0 5 1 】

最初に I 2 C シーケンス異常「e 1」と判定した I 2 C デバイス制御部 3 1 A は、F P G A 経由で、I 2 C - M U X 2 0 A をリセットする (S 2 a)。その後、I 2 C デバイス制御部 3 1 A は、I 2 C - M U X 2 0 A のステータスの確認を再試行する (S 2 b)。そして、I 2 C デバイス制御部 3 1 A は、再試行しても回復しない場合、再試行回数が X 回に達したとき、運用 S V C 1 A からの接続を断念する。ここでは、I 2 C デバイス制御部 3 1 A は、自己のアクセス結果を「e 1」として記憶部 4 0 に保持する。

30

【 0 0 5 2 】

そして、I 2 C デバイス制御部 3 1 A は、待機系での動作に影響を与えないように、F P G A 経由で、I 2 C - M U X 2 0 A を再度リセットする (S 2 c)。そして、I 2 C デバイス制御部 3 1 A は、待機 S V C 2 B に対し、F P G A 間通信を用いて、対象ユニット 3 への接続確認を依頼する (S 2 d)。すなわち、I 2 C デバイス制御部 3 1 A は、対象ユニット 3 へのアクセス依頼を行う。

【 0 0 5 3 】

続いて、対象ユニット 3 への接続確認を依頼された待機 S V C 2 B の I 2 C デバイス制御部 3 1 B は、I 2 C - M U X 2 0 B のステータスを確認する (S 2 e)。ところが、I 2 C デバイス制御部 3 1 B は、I 2 C - M U X 2 0 B へのアクセスで異常を検出したので、I 2 C シーケンス異常「e 1」と判定する。そこで、I 2 C デバイス制御部 3 1 B は、F P G A 経由で、I 2 C - M U X 2 0 B をリセットする (S 2 f)。その後、I 2 C デバイス制御部 3 1 B は、I 2 C - M U X 2 0 B のステータスの確認を再試行する (S 2 g)。そして、I 2 C デバイス制御部 3 1 B は、再試行しても回復しない場合、再試行回数が X 回に達したとき、待機 S V C 2 B からの接続を断念する。ここでは、I 2 C デバイス制御部 3 1 B は、自己のアクセス結果を「e 1」として待機系 S V C の記憶部 4 0 に保持する。

40

50

【 0 0 5 4 】

そして、I 2 C デバイス制御部 3 1 B は、運用系での動作に影響を与えないように、F P G A 経由で、I 2 C - M U X 2 0 B を再度リセットする (S 2 h)。そして、I 2 C デバイス制御部 3 1 B は、運用 S V C 2 A に対し、F P G A 間通信を用いて、対象ユニット 3 とのアクセス結果を通知する (S 2 i)。ここでは、I 2 C デバイス制御部 3 1 B は、自己のアクセス結果を「 e 1 」として通知する。

【 0 0 5 5 】

運用 S V C 2 A の I 2 C デバイス制御部 3 1 A は、待機 S V C 2 B から対象ユニット 3 とのアクセス結果を受け取る。そして、I 2 C デバイス制御部 3 1 A は、異常ユニット判定マトリクス 4 1 に基づいて、運用 S V C 2 A のアクセス結果および待機 S V C 2 B のアクセス結果から異常ユニットを判定する。ここでは、I 2 C デバイス制御部 3 1 A は、運用 S V C 2 A のアクセス結果が「 e 1 」であり、待機 S V C 2 B のアクセス結果が「 e 1 」であるので、異常ユニット判定マトリクス 4 1 に基づいて、異常ユニットを「運用 S V C、待機 S V C」として判定する。つまり、アクセス結果が「 e 1 」である場合は、I 2 C - M U X 2 0 へのアクセスそのもので異常を検出した場合であり、対象ユニット 3 までアクセスされていないので、異常ユニットを「運用 S V C、待機 S V C」とする。

10

【 0 0 5 6 】

図 7 は、実施例に係る異常ユニット判定の別の具体例を説明する図である。なお、図 7 では、運用 S V C 2 A および待機 S V C 2 B が対象ユニット 3 から目的のデータを読み取る箇所で、I 2 C デバイス異常 (「 e 7 」) となる場合を説明する。そこで、I 2 C デバイス制御部 3 1 A が、最初に I 2 C デバイス異常「 e 7 」と判定した後の動作について説明する。

20

【 0 0 5 7 】

最初に I 2 C デバイス異常「 e 7 」と判定した I 2 C デバイス制御部 3 1 A は、対象ユニット 3 から目的のデータを読み取る動作を再試行する (S 3 a)。そして、I 2 C デバイス制御部 3 1 A は、再試行しても回復しない場合、再試行回数が X 回に達したとき、運用 S V C 2 A からの接続を断念し、F P G A 経由で、I 2 C - M U X 2 0 A をリセットする (S 3 b)。これにより、I 2 C デバイス制御部 3 1 A は、対象ユニット 3 との接続を強制的に切断する。そして、I 2 C デバイス制御部 3 1 A は、自己のアクセス結果を「 e 7 」として記憶部 4 0 に保持する。そして、I 2 C デバイス制御部 3 1 A は、待機 S V C 2 B に対し、F P G A 間通信を用いて、対象ユニット 3 への接続確認を依頼する (S 3 c)。すなわち、I 2 C デバイス制御部 3 1 A は、対象ユニット 3 へのアクセス依頼を行う。

30

【 0 0 5 8 】

続いて、対象ユニット 3 への接続確認を依頼された待機 S V C 2 B の I 2 C デバイス制御部 3 1 B は、I 2 C - M U X 2 0 B を対象ユニット 3 と接続する (S 3 d)。続いて、I 2 C デバイス制御部 3 1 B は、I 2 C - M U X 2 0 B のレジスタで、I 2 C - M U X 2 0 B が対象ユニット 3 と接続したことを確認する (S 3 e)。

【 0 0 5 9 】

続いて、I 2 C デバイス制御部 3 1 B は、対象ユニット 3 から目的のデータを読み取る (S 3 f)。ところが、I 2 C デバイス制御部 3 1 B は、期待した値を読み取れなかったので、I 2 C デバイス異常「 e 7 」と判定する。その後、I 2 C デバイス制御部 3 1 B は、対象ユニット 3 から目的のデータの読み取りを再試行し、再試行しても回復しない場合、再試行回数が X 回に達したとき、待機 S V C 2 B からの接続を断念する。

40

【 0 0 6 0 】

そして、I 2 C デバイス制御部 3 1 B は、I 2 C - M U X 2 0 B を F P G A 経由でリセットしたうえで、I 2 C - M U X 2 0 B を対象ユニット 3 から切断する (S 3 g)。さらに、I 2 C デバイス制御部 3 1 B は、I 2 C - M U X 2 0 B のレジスタで I 2 C - M U X 2 0 B を対象ユニット 3 から切断したことを確認する (S 3 h)。

【 0 0 6 1 】

50

そして、I 2 C デバイス制御部 3 1 B は、運用 S V C 2 A に対し、F P G A 間通信を用いて、対象ユニット 3 とのアクセス結果を通知する (S 3 i)。ここでは、I 2 C デバイス制御部 3 1 B は、自己のアクセス結果を「 e 7 」として通知する。

【 0 0 6 2 】

運用 S V C 2 A の I 2 C デバイス制御部 3 1 A は、待機 S V C 2 B から対象ユニット 3 とのアクセス結果を受け取る。そして、I 2 C デバイス制御部 3 1 A は、異常ユニット判定マトリクス 4 1 に基づいて、運用 S V C 2 A のアクセス結果および待機 S V C 2 B のアクセス結果から異常ユニットを判定する。ここでは、I 2 C デバイス制御部 3 1 A は、運用 S V C 2 A のアクセス結果が「 e 7 」であり、待機 S V C 2 B のアクセス結果が「 e 7 」であるので、異常ユニット判定マトリクス 4 1 に基づいて、異常ユニットを「対象ユニット」として判定する。この場合には、I 2 C デバイス制御部 3 1 A は、F P G A で対象ユニット 3 をリセットする (S 3 j)。そして、I 2 C デバイス制御部 3 1 A は、I 2 C - M U X 2 0 A が切断されているので、I 2 C - M U X 2 0 A の状態を確認し、I 2 C - M U X 2 0 A と接続したうえで S 3 a から再実施する。そして、I 2 C デバイス制御部 3 1 A は、再実施後も異常ユニットを「対象ユニット」として判定する場合には、異常ユニットを「対象ユニット」として確定する。

10

【 0 0 6 3 】

なお、S 3 f において、I 2 C デバイス制御部 3 1 B が、対象ユニット 3 から目的のデータを読み取る再試行で期待した値を読み取れた場合には、運用 S V C 2 A に対し、待機 S V C 2 B のアクセス結果を「正常」として通知する。この場合には、I 2 C デバイス制御部 3 1 A は、異常ユニットを「運用 S V C」として判定することとなる。

20

【 0 0 6 4 】

図 8 は、実施例に係る異常ユニット判定の別の具体例を説明する図である。なお、図 8 では、運用 S V C 2 A が I 2 C - M U X 2 0 A のステータスを確認する箇所で、I 2 C シーケンス異常 (「 e 1 」) となり、待機 S V C 2 B が対象ユニット 3 とアクセスする箇所で、I 2 C デバイス異常 (「 e 7 」) となる場合を説明する。そこで、運用 S V C 2 A の I 2 C デバイス制御部 3 1 A が、最初に I 2 C シーケンス異常「 e 1 」と判定した後の動作について説明する。

【 0 0 6 5 】

最初に I 2 C シーケンス異常「 e 1 」と判定した I 2 C デバイス制御部 3 1 A は、F P G A 経由で、I 2 C - M U X 2 0 A をリセットする (S 4 a)。その後、I 2 C デバイス制御部 3 1 A は、I 2 C - M U X 2 0 A のステータスの確認を再試行する (S 4 b)。そして、I 2 C デバイス制御部 3 1 A は、再試行しても回復しない場合、再試行回数が X 回に達したとき、運用 S V C 2 A からの接続を断念する。ここでは、I 2 C デバイス制御部 3 1 A は、自己のアクセス結果を「 e 1 」として記憶部 4 0 に保持する。

30

【 0 0 6 6 】

そして、I 2 C デバイス制御部 3 1 A は、待機系での動作に影響を与えないように、F P G A 経由で、I 2 C - M U X 2 0 A を再度リセットする (S 4 c)。そして、I 2 C デバイス制御部 3 1 A は、待機 S V C 2 B に対し、F P G A 間通信を用いて、対象ユニット 3 への接続確認を依頼する (S 4 d)。すなわち、I 2 C デバイス制御部 3 1 A は、対象ユニット 3 へのアクセス依頼を行う。

40

【 0 0 6 7 】

続いて、対象ユニット 3 への接続確認を依頼された待機 S V C 2 B の I 2 C デバイス制御部 3 1 B は、I 2 C - M U X 2 0 B を対象ユニット 3 と接続する (S 4 e)。続いて、I 2 C デバイス制御部 3 1 B は、I 2 C - M U X 2 0 B のレジスタで、I 2 C - M U X 2 0 B が対象ユニット 3 と接続したことを確認する (S 4 f)。

【 0 0 6 8 】

続いて、I 2 C デバイス制御部 3 1 B は、対象ユニット 3 から目的のデータを読み取る (S 4 g)。ところが、I 2 C デバイス制御部 3 1 B は、期待した値を読み取れなかったので、I 2 C デバイス異常「 e 7 」と判定する。その後、I 2 C デバイス制御部 3 1 B は

50

、対象ユニット3から目的のデータの読み取りを再試行し、再試行しても回復しない場合、再試行回数がX回に達したとき、待機SVC2Bからの接続を断念する。

【0069】

そして、I2Cデバイス制御部31Bは、FPGA経由でI2C-MUX20Bをリセットしたうえで、I2C-MUX20Bを対象ユニット3から切断する(S4h)。さらに、I2Cデバイス制御部31Bは、I2C-MUX20BのレジスタでI2C-MUX20Bを対象ユニット3から切断したことを確認する(S4i)。なお、I2Cデバイス制御部31Bは、運用SVC2Aから接続確認の依頼を受けたとき、運用SVC2Aの異常が判明している場合、FPGA10B経由で対象ユニット3をリセットし(S4j)、対象ユニット3と接続する処理(S4e)から再試行しても良い。

10

【0070】

そして、I2Cデバイス制御部31Bは、運用SVC2Aに対し、FPGA間通信を用いて、対象ユニット3とのアクセス結果を通知する(S4k)。ここでは、I2Cデバイス制御部31Bは、自己のアクセス結果を「e7」として通知する。

【0071】

運用SVC2AのI2Cデバイス制御部31Aは、待機SVC2Bから対象ユニット3とのアクセス結果を受け取る。そして、I2Cデバイス制御部31Aは、異常ユニット判定マトリクス41に基づいて、運用SVC2Aのアクセス結果および待機SVC2Bのアクセス結果から異常ユニットを判定する。ここでは、I2Cデバイス制御部31Aは、運用SVC2Aのアクセス結果が「e1」であり、待機SVC2Bのアクセス結果が「e7」であるので、異常ユニット判定マトリクス41に基づいて、異常ユニットを「運用SVC、対象ユニット」として判定する。

20

【0072】

なお、S4jの処理後、I2Cデバイス制御部31Bが、対象ユニット3から目的のデータを読み取る再試行で期待した値を読み取れた場合には、運用SVC2Aに対し、待機SVC2Bのアクセス結果を「正常」として通知する。この場合には、I2Cデバイス制御部31Aは、異常ユニットを「運用SVC」として判定することとなる。

【0073】

[異常ユニット判定を実行するためのI2Cバス装置]

次に、実施例に係る異常ユニット判定を実行するためのI2Cバス装置について、図9を参照しながら説明する。図9は、実施例に係る異常ユニット判定を実行するためのI2Cバス装置の一例を説明する図である。図9に示すように、I2Cバス装置9Aは、ハードディスクが搭載される筐体(DE:Device Enclosure)とハードディスク以外のユニットが搭載される筐体(CE:Controller Enclosure)を有する。DEには、複数のハードディスク(Hard Disk)が搭載されている。また、CEには、ユニットの動作を管理するユニット(CM:Control Module)、CM間の通信手段を提供するユニット(FRT:Frontend Router)、CMにハードディスクへのアクセス手段を提供するユニット(BRT:Backend Router)が搭載されている。また、CEには、CEに搭載される全ユニットに電力を供給するユニット(PSU:Power Supply Unit)、停電発生時に特定のユニットに電力を供給するユニット(BBU:Battery Backup Unit)が搭載されている。さらに、CEには、ユーザの操作により自装置に電源を投入したり切断したりするユニット(Panel)および自装置を制御したり監視したりするユニット(SVC:Service Controller)が搭載されている。なお、SVC4Aが図1のI2Cマスタユニット1Aに相当し、SVC4Bが図1のI2Cマスタユニット1Bに相当する。また、符号5で表したFRT、BRT、PSUおよびBBUが図1のI2Cスレーブユニット3(対象ユニット)に相当する。

30

40

【0074】

[異常ユニット判定を実行するためのハードウェアの全体構成]

次に、実施例に係る異常ユニット判定を実行するためのハードウェアの全体構成について、図10を参照しながら説明する。図10は、実施例に係る異常ユニット判定を実行す

50

るためのハードウェアの全体構成の一例を説明する図である。図10に示すように、SVC4Aは、FPGA40A、I2C-MUX50AおよびMPU60Aを有する。SVC4Aは、SVC4Bと冗長構成となっている。また、SVC4Aは、SVC4Bと、それぞれに搭載されたFPGA40A、40Bを介して接続する。また、SVC4Aは、I2C-MUX50Aを介して、対象ユニット5とI2Cバスで接続する。

【0075】

I2C-MUX50AのそれぞれのI2C-MUXm1~m4は、I2Cバスを介して、それぞれの対象ユニットs1~s4と1対1で接続する。さらに、I2C-MUX50BのそれぞれのI2C-MUXm1~m4は、I2C-MUX50Aが介するI2Cバスと異なるI2Cバスを介してそれぞれの対象ユニットs1~s4と1対1で接続する。一例として、I2C-MUX50AのI2C-MUXm1は、FRT#0~3を有する対象ユニットs1と1対1で接続している。さらに、I2C-MUX50BのI2C-MUXm1は、同じ対象ユニットs1と、異なるI2Cバスを介して1対1で接続する。なお、FPGA40Aが図1のFPGA10に相当し、I2C-MUX50Aが図1のI2C-MUX20に相当する。また、MPU60Aが図1の制御部30に相当する。

10

【0076】

ここで、SVC4Aと対象ユニットs1~s4とのI2Cバスの接続について、図11を参照して説明する。図11は、SVCと対象ユニットとのI2Cバスの接続を説明する図である。図11に示すように、SVC4Aは、MPU60Aの通信回路であるUART(Universal Asynchronous Receiver Transmitter)を特殊モード1(I2Cモード)でI2C-MUX50Aと接続する。そして、I2C-MUX50AのそれぞれのI2C-MUXm1~m4は、それぞれの対象ユニットs1~s4とI2CインタフェースをI2Cモードで接続する。

20

【0077】

次に、異常ユニット判定を実行する際に用いられるFPGA間通信について、図12を参照しながら説明する。図12は、SVCに搭載されたFPGAを用いたFPGA間通信を説明する図である。図12に示すように、SVC4Aは、対象ユニット5へのアクセスの際、FPGA間通信を用いて、二重化されたSVC4Bとの間で調停し、運用系となるか待機系となるかを決定する。すなわち、両方のSVC4A、4Bが、同一の対象ユニット5に同時にアクセスしないようにするのである。また、SVC4Aは、アクセスする対象ユニット5単位、すなわち対象ユニット5と接続することとなるUART単位に、SVC4Bとの間でどちらが運用系となるか待機系となるかを決定する。なお、FPGA間通信を用いて運用系となるか待機系となるかを調停する処理は、前述した異常箇所判定部31aによって行われる。

30

【0078】

次に、異常ユニット判定を実行する際に、異常箇所があった場合のリセット制御について、図13を参照しながら説明する。図13は、SVCに搭載されたFPGAを用いたリセット制御を説明する図である。図13に示すように、FPGA40Aは、それぞれの対象ユニットs1~s4のI2Cデバイスを個別にリセットする。また、FPGA40Aは、I2C-MUX50のそれぞれのI2C-MUXm1~m4を個別にリセットする。リセットされたI2C-MUXm1~m4では、その後、すべての接続が切断される。なお、異常箇所があった場合のリセット制御の処理は、前述した異常箇所判定部31aによって行われる。例えば、異常箇所判定部31aは、対象ユニットs1のI2CデバイスであるFRT#0から目的のデータを読み取れないデバイス異常「e7」となった場合、FRT#0をFPGA40A経由でリセットする(g1)。また、異常箇所判定部31aは、I2C-MUXm1へのアクセスでI2Cシーケンス異常「e1」となった場合、I2C-MUXm1をFPGA40A経由でリセットする(g2)。

40

【0079】

ここで、SVC4A、4Bに搭載されたI2C-MUXの接続方法について、図14を参照して説明する。図14は、SVCに搭載されたI2C-MUXの接続方法について説

50

明する図である。なお、図14では、SVC4Aに搭載された1個のI2C-MUXm1に着目して説明するものとする。図14に示すように、I2C-MUXm1は、MPU60AのUARTと入力端子m10で接続する。また、I2C-MUXm1は、複数の出力端子m11~m14で対象ユニットs1のFRT#0(s11)~#3(s14)と接続することで、1個の対象ユニットs1のみと接続する。これにより、SVC4Aに搭載されたMPU60Aは、I2C-MUXm1によって対象ユニットs1と1対1で接続することとなる。

【0080】

また、I2C-MUXm1は、FPGA40Aからのリセット信号でリセットされる。これにより、I2C-MUXm1では、すべての接続が切断される。例えば、図14では、I2C-MUXm1は、出力端子m14で対象ユニットs1のFRT#3(s14)と接続している。この場合に、I2C-MUXm1は、FPGA40Aによってリセットされると、既に接続されていたFRT#3(s14)を含め、すべての接続を切断することとなる。

10

【0081】

[実施例に係る異常ユニット判定処理の手順]

次に、実施例に係る異常ユニット判定処理の手順を、図15A~図20を参照して説明する。図15A~図17では、運用SVCの異常ユニット判定処理の手順を示し、図18~図20では、待機SVCの異常ユニット判定処理の手順を示す。

【0082】

図15A~図15Eは、運用SVCの異常ユニット判定処理の中の運用SVCの異常箇所判定の手順を示すフローチャートである。図15Aでは、運用SVCのI2C-MUXのステータス異常判定の手順を示す。図15Bでは、運用SVCの対象ユニットとの接続異常判定の手順を示す。図15Cでは、運用SVCの対象ユニットからの読取異常判定の手順を示す。図15Dでは、運用SVCの対象ユニットへの書込異常判定の手順を示す。図15Eでは、運用SVCの対象ユニットからの切断異常判定の手順を示す。なお、I2Cバス装置9は、運用中であるものとする。

20

【0083】

運用中であるI2Cバス装置9のI2Cマスタユニット1Aでは、異常箇所判定部31aが、他系のI2Cマスタユニット1Bとの間のFPGA間通信を用いて、運用SVCとなるか待機SVCとなるかを調停して決定する(ステップS11)。ここでは、I2Cマスタユニット1Aは、調停の結果、自ユニットが運用SVCとなると決定したものである。そして、異常箇所判定部31aは、対象ユニットのリカバリ済みフラグをクリアする(ステップS12)。

30

【0084】

[運用SVC:I2C-MUXの接続状態異常判定]

続いて、異常箇所判定部31aは、運用SVC上のI2C-MUXのリセット回数を0にクリアする(ステップS13)。そして、異常箇所判定部31aは、I2Cシーケンス制御部32を介して、I2C-MUX20の接続状態(ステータス)を読み取る(ステップS14)。そして、異常箇所判定部31aは、I2C-MUX20へのアクセスで異常があるか否かを判定する(ステップS15)。I2C-MUX20へのアクセスで異常があると判定した場合(ステップS15; Yes)、異常箇所判定部31aは、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部40に保持する(ステップS16)。ここでは、異常の発生箇所をI2C-MUX20のステータスを確認する箇所とし、異常内容をI2Cシーケンス異常とする異常種別「e1」を記憶部40に保持する。その後、異常箇所判定部31aは、ステップS71からの「待機SVCへのアクセス依頼」に移行する。

40

【0085】

一方、I2C-MUX20へのアクセスで異常がないと判定した場合(ステップS15: No)、異常箇所判定部31aは、I2C-MUX20が対象ユニット3と未接続状態

50

であるか否かを判定する（ステップ S 1 7）。I 2 C - M U X 2 0 が対象ユニット 3 と未接続状態であると判定した場合（ステップ S 1 7；Y e s）、異常箇所判定部 3 1 a は、ステップ S 3 1 からの「対象ユニットとの接続異常判定」に移行する。

【 0 0 8 6 】

一方、I 2 C - M U X 2 0 が対象ユニット 3 と未接続状態でないと判定した場合（ステップ S 1 7；N o）、異常箇所判定部 3 1 a は、期待した未接続状態となっていない。このため、異常箇所判定部 3 1 a は、I 2 C - M U X 2 0 のリセット回数が 0 であるか否かを判定する（ステップ S 1 8）。I 2 C - M U X 2 0 のリセット回数が 0 である場合（ステップ S 1 8；Y e s）、異常箇所判定部 3 1 a は、運用 S V C 上の I 2 C - M U X 2 0 を F P G A 経由でリセットする（ステップ S 1 9）。そして、異常箇所判定部 3 1 a は、運用 S V C 上の I 2 C - M U X 2 0 のリセット回数をカウントアップする（ステップ S 2 0）。その後、異常箇所判定部 3 1 a は、I 2 C - M U X 2 0 へのアクセスを再試行すべく、ステップ S 1 4 に移行する。

10

【 0 0 8 7 】

一方、I 2 C - M U X 2 0 のリセット回数が 0 でない場合（ステップ S 1 8；N o）、異常箇所判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 4 0 に保持する（ステップ S 2 1）。ここでは、異常の発生箇所を I 2 C - M U X 2 0 のステータスを確認する箇所とし、異常内容を I 2 C デバイス異常とする異常種別「e 2」を記憶部 4 0 に保持する。その後、異常箇所判定部 3 1 a は、ステップ S 7 1 からの「待機 S V C へのアクセス依頼」に移行する。

20

【 0 0 8 8 】

[運用 S V C：対象ユニットとの接続異常判定]

次に、異常箇所判定部 3 1 a は、I 2 C シーケンス制御部 3 2 を介して、運用 S V C 上の I 2 C - M U X 2 0 を対象ユニット 3 と接続する（ステップ S 3 1）。そして、異常箇所判定部 3 1 a は、I 2 C - M U X 2 0 へのアクセスで異常があるか否かを判定する（ステップ S 3 2）。I 2 C - M U X 2 0 へのアクセスで異常があると判定した場合（ステップ S 3 2；Y e s）、異常箇所判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 4 0 に保持する（ステップ S 3 3）。ここでは、異常の発生箇所を I 2 C - M U X 2 0 を対象ユニット 3 と接続する箇所とし、異常内容を I 2 C シーケンス異常とする異常種別「e 3」を記憶部 4 0 に保持する。その後、異常箇所判定部 3 1 a は、ステップ S 7 1 からの「待機 S V C へのアクセス依頼」に移行する。

30

【 0 0 8 9 】

I 2 C - M U X 2 0 へのアクセスで異常がないと判定した場合（ステップ S 3 2；N o）、異常箇所判定部 3 1 a は、運用 S V C 上の I 2 C - M U X 2 0 の対象ユニット 3 との接続状態を読み取る（ステップ S 3 4）。そして、異常箇所判定部 3 1 a は、I 2 C - M U X 2 0 へのアクセスで異常があるか否かを、I 2 C - M U X 2 0 のレジスタを用いて判定する（ステップ S 3 5）。I 2 C - M U X 2 0 へのアクセスで異常があると判定した場合（ステップ S 3 5；Y e s）、異常箇所判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 4 0 に保持する（ステップ S 3 6）。ここでは、異常の発生箇所を I 2 C - M U X 2 0 が対象ユニット 3 と接続したことを確認する箇所とし、異常内容を I 2 C シーケンス異常とする異常種別「e 4」を記憶部 4 0 に保持する。その後、異常箇所判定部 3 1 a は、ステップ S 7 1 からの「待機 S V C へのアクセス依頼」に移行する。

40

【 0 0 9 0 】

一方、I 2 C - M U X 2 0 へのアクセスで異常がないと判定した場合（ステップ S 3 5；N o）、異常箇所判定部 3 1 a は、I 2 C - M U X 2 0 が対象ユニット 3 とのみ接続されているか否かを判定する（ステップ S 3 7）。I 2 C - M U X 2 0 が対象ユニット 3 とのみ接続されていないと判定した場合（ステップ S 3 7；N o）、異常箇所判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 4 0 に保持する（ステップ S 3 8）。ここでは、異常の発生箇所を I 2 C - M U X 2 0 が対象ユニット 3

50

と接続したことを確認する箇所とし、異常内容を I 2 C デバイス異常とする異常種別「e5」を記憶部 40 に保持する。その後、異常箇所判定部 31 a は、ステップ S 7 1 からの「待機 S V C へのアクセス依頼」に移行する。

【0091】

一方、I 2 C - M U X 2 0 が対象ユニット 3 とのみ接続されていると判定した場合（ステップ S 3 7 ; Y e s）、異常箇所判定部 31 a は、ステップ S 4 1 からの「対象ユニットからの読取異常判定」に移行する。

【0092】

[運用 S V C : 対象ユニットからの読取異常判定]

次に、異常箇所判定部 31 a は、対象ユニット 3 の I 2 C デバイスへの操作内容が書き込みのみが否かを判定する（ステップ S 4 1）。対象ユニット 3 の I 2 C デバイスへの操作内容が書き込みのみであると判定した場合（ステップ S 4 1 ; Y e s）、異常箇所判定部 31 a は、ステップ S 5 1 からの「対象ユニットへの書込異常判定」に移行する。

10

【0093】

一方、対象ユニット 3 の I 2 C デバイスへの操作内容が書き込みのみでないと判定した場合（ステップ S 4 1 ; N o）、異常箇所判定部 31 a は、運用 S V C 側から接続した対象ユニット 3 の I 2 C デバイスのレジスタを読み取る（ステップ S 4 2）。そして、異常箇所判定部 31 a は、I 2 C デバイスへのアクセスで異常があるか否かを判定する（ステップ S 4 3）。I 2 C デバイスへのアクセスで異常があると判定した場合（ステップ S 4 3 ; Y e s）、異常箇所判定部 31 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 40 に保持する（ステップ S 4 4）。ここでは、異常の発生箇所を対象ユニットとアクセスする箇所とし、異常内容を I 2 C シーケンス異常とする異常種別「e6」を記憶部 40 に保持する。その後、異常箇所判定部 31 a は、ステップ S 7 1 からの「待機 S V C へのアクセス依頼」に移行する。

20

【0094】

一方、I 2 C デバイスへのアクセスで異常がないと判定した場合（ステップ S 4 3 ; N o）、異常箇所判定部 31 a は、I 2 C デバイスからの読み取り値が I 2 C デバイス上あり得ない値であるか否かを判定する（ステップ S 4 5）。I 2 C デバイスからの読み取り値が I 2 C デバイス上あり得ない値であると判定した場合（ステップ S 4 5 ; Y e s）、異常箇所判定部 31 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 40 に保持する（ステップ S 4 6）。ここでは、異常の発生箇所を対象ユニットとアクセスする箇所とし、異常内容を I 2 C デバイス異常とする異常種別「e7」を記憶部 40 に保持する。その後、異常箇所判定部 31 a は、ステップ S 7 1 からの「待機 S V C へのアクセス依頼」に移行する。

30

【0095】

一方、I 2 C デバイスからの読み取り値が I 2 C デバイス上あり得る値であると判定した場合（ステップ S 4 5 ; N o）、異常箇所判定部 31 a は、対象ユニット 3 の I 2 C デバイスへの操作内容に書き込みがあるか否かを判定する（ステップ S 4 7）。対象ユニット 3 の I 2 C デバイスへの操作内容に書き込みがない（読み取りのみ）と判定した場合（ステップ S 4 7 ; N o）、異常箇所判定部 31 a は、ステップ S 6 1 からの「対象ユニットからの切断異常判定」に移行する。

40

【0096】

一方、対象ユニット 3 の I 2 C デバイスへの操作内容に書き込みがあると判定した場合（ステップ S 4 7 ; Y e s）、異常箇所判定部 31 a は、ステップ S 5 1 からの「対象ユニットへの書込異常判定」に移行する。

【0097】

[運用 S V C : 対象ユニットへの書込異常判定]

次に、異常箇所判定部 31 a は、運用 S V C 側から接続した対象ユニット 3 の I 2 C デバイスのレジスタへデータを書き込む（ステップ S 5 1）。そして、異常箇所判定部 31 a は、I 2 C デバイスへのアクセスで異常があるか否かを判定する（ステップ S 5 2）。

50

I 2 C デバイスへのアクセスで異常があると判定した場合（ステップ S 5 2 ; Y e s ）、異常箇所判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 4 0 に保持する（ステップ S 5 3 ）。ここでは、異常の発生箇所を対象ユニットとアクセスする箇所とし、異常内容を I 2 C シーケンス異常とする異常種別「e 6」を記憶部 4 0 に保持する。その後、異常箇所判定部 3 1 a は、ステップ S 7 1 からの「待機 S V C へのアクセス依頼」に移行する。

【 0 0 9 8 】

一方、I 2 C デバイスへのアクセスで異常がないと判定した場合（ステップ S 5 2 ; N o ）、異常箇所判定部 3 1 a は、書き込んだデータを確認すべく、対象ユニット 3 の I 2 C デバイスの書き込みを行ったレジスタを読み取る（ステップ S 5 4 ）。そして、異常箇所判定部 3 1 a は、I 2 C デバイスへのアクセスで異常があるか否かを判定する（ステップ S 5 5 ）。I 2 C デバイスへのアクセスで異常があると判定した場合（ステップ S 5 5 ; Y e s ）、異常箇所判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 4 0 に保持する（ステップ S 5 6 ）。ここでは、異常の発生箇所を対象ユニットとアクセスする箇所とし、異常内容を I 2 C シーケンス異常とする異常種別「e 6」を記憶部 4 0 に保持する。その後、異常箇所判定部 3 1 a は、ステップ S 7 1 からの「待機 S V C へのアクセス依頼」に移行する。

10

【 0 0 9 9 】

一方、I 2 C デバイスへのアクセスで異常がないと判定した場合（ステップ S 5 5 ; N o ）、異常箇所判定部 3 1 a は、I 2 C デバイスに正しく書き込めていないか否かを判定する（ステップ S 5 7 ）。具体的には、異常箇所判定部 3 1 a は、I 2 C デバイスのレジスタへ書き込んだデータと、同一のレジスタから読み取ったデータを比較し、同一データでないか否かを判定すれば良い。そして、I 2 C デバイスに正しく書き込めていないと判定した場合（ステップ S 5 7 ; Y e s ）、異常箇所判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 4 0 に保持する（ステップ S 5 8 ）。ここでは、異常の発生箇所を対象ユニットとアクセスする箇所とし、異常内容を I 2 C デバイス異常とする異常種別「e 7」を記憶部 4 0 に保持する。その後、異常箇所判定部 3 1 a は、ステップ S 7 1 からの「待機 S V C へのアクセス依頼」に移行する。

20

【 0 1 0 0 】

一方、I 2 C デバイスに正しく書き込めていないと判定した場合（ステップ S 5 7 ; N o ）、異常箇所判定部 3 1 a は、ステップ S 6 1 からの「対象ユニットからの切断異常判定」に移行する。

30

【 0 1 0 1 】

[運用 S V C : 対象ユニットからの切断異常判定]

次に、異常箇所判定部 3 1 a は、I 2 C シーケンス制御部 3 2 を介して、運用 S V C 上の I 2 C - M U X 2 0 を対象ユニット 3 から切断する（ステップ S 6 1 ）。そして、異常箇所判定部 3 1 a は、I 2 C - M U X 2 0 へのアクセスで異常があるか否かを判定する（ステップ S 6 2 ）。I 2 C - M U X 2 0 へのアクセスで異常があると判定した場合（ステップ S 6 2 ; Y e s ）、異常箇所判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 4 0 に保持する（ステップ S 6 3 ）。ここでは、異常の発生箇所を I 2 C - M U X 2 0 を対象ユニット 3 から切断したことを確認する箇所とし、異常内容を I 2 C シーケンス異常とする異常種別「e 8」を記憶部 4 0 に保持する。その後、異常箇所判定部 3 1 a は、ステップ S 7 1 からの「待機 S V C へのアクセス依頼」に移行する。

40

【 0 1 0 2 】

I 2 C - M U X 2 0 へのアクセスで異常があると判定した場合（ステップ S 6 2 ; N o ）、異常箇所判定部 3 1 a は、運用 S V C 上の I 2 C - M U X 2 0 の対象ユニット 3 との接続状態を読み取る（ステップ S 6 4 ）。そして、異常箇所判定部 3 1 a は、I 2 C - M U X 2 0 へのアクセスで異常があるか否かを、I 2 C - M U X 2 0 のレジスタを用いて判定する（ステップ S 6 5 ）。I 2 C - M U X 2 0 へのアクセスで異常があると判定した場

50

合（ステップ S 6 5 ; Y e s）、異常箇所判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 4 0 に保持する（ステップ S 6 6）。ここでは、異常の発生箇所を I 2 C - M U X 2 0 を対象ユニット 3 から切断したことを確認する箇所とし、異常内容を I 2 C シーケンス異常とする異常種別「e 9」を記憶部 4 0 に保持する。その後、異常箇所判定部 3 1 a は、ステップ S 7 1 からの「待機 S V C へのアクセス依頼」に移行する。

【 0 1 0 3 】

一方、I 2 C - M U X 2 0 へのアクセスで異常がないと判定した場合（ステップ S 6 5 ; N o）、異常箇所判定部 3 1 a は、I 2 C - M U X 2 0 が未接続状態であるか否かを判定する（ステップ S 6 7）。I 2 C - M U X 2 0 が未接続状態でないと判定した場合（ステップ S 6 7 ; N o）、期待した未接続状態となっていない。このため、異常箇所判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 4 0 に保持する（ステップ S 6 8）。ここでは、異常の発生箇所を I 2 C - M U X 2 0 を対象ユニット 3 から切断したことを確認する箇所とし、異常内容を I 2 C デバイス異常とする異常種別「e 1 0」を記憶部 4 0 に保持する。その後、異常箇所判定部 3 1 a は、ステップ S 7 1 からの「待機 S V C へのアクセス依頼」に移行する。

10

【 0 1 0 4 】

一方、I 2 C - M U X 2 0 が未接続状態である場合（ステップ S 6 7 ; Y e s）または異常ユニット判定部 3 1 c が待機 S V C からアクセス結果を受け取った場合（ステップ S 7 3 ; Y e s）、異常箇所判定部 3 1 a は、以下の処理を行う。すなわち、異常箇所判定部 3 1 a は、運用 S V C が対象ユニット 3 との接続で異常が発生したか否かを判定する（ステップ S 6 9）。例えば、異常箇所判定部 3 1 a は、記憶部 4 0 に運用 S V C の正常以外の異常種別が保持されているか否かを判定すれば良い。そして、運用 S V C が対象ユニット 3 との接続で異常が発生したと判定した場合（ステップ S 6 9 ; Y e s）、異常箇所判定部 3 1 a は、ステップ S 8 1 からの「異常ユニット判定」に移行する。一方、運用 S V C が対象ユニット 3 との接続で異常が発生しなかった場合（ステップ S 6 9 ; N o）、または異常ユニットの判定が完了した場合、異常箇所判定部 3 1 a は、異常ユニット判定処理を終了する。

20

【 0 1 0 5 】

[運用 S V C : 待機 S V C へのアクセス依頼]

30

図 1 6 は、待機 S V C へのアクセス依頼の手順を示すフローチャートである。

【 0 1 0 6 】

異常箇所判定部 3 1 a によって対象ユニット 3 への接続、すなわちアクセスで異常箇所があった場合に、アクセス依頼部 3 1 b は、運用 S V C 上の I 2 C - M U X 2 0 を F P G A 経由でリセットする（ステップ S 7 1）。これは、待機 S V C での動作に影響を与えないためである。

【 0 1 0 7 】

そして、アクセス依頼部 3 1 b は、運用 S V C が行う予定であった処理を、待機 S V C 側から行うように、F P G A 間通信経由で待機 S V C に依頼する（ステップ S 7 2）。すなわち、アクセス依頼部 3 1 b は、運用 S V C においてアクセスが異常となった対象ユニットへのアクセスを、待機 S V C に依頼する。

40

【 0 1 0 8 】

そして、異常ユニット判定部 3 1 c は、F P G A 間通信経由で送られるてくる待機 S V C のアクセス結果を受け取ったか否かを判定する（ステップ S 7 3）。待機 S V C のアクセス結果を受け取っていないと判定した場合（ステップ S 7 3 ; N o）、異常ユニット判定部 3 1 c は、再度判定すべく、ステップ S 7 3 に移行する。そして、待機 S V C のアクセス結果を受け取ったと判定した場合（ステップ S 7 3 ; Y e s）、異常ユニット判定部 3 1 c は、異常ユニット判定をすべく、ステップ S 6 9 に移行する。

【 0 1 0 9 】

[運用 S V C : 異常ユニット判定]

50

図 17 は、異常ユニット判定の手順を示すフローチャートである。

【0110】

待機 S V C からアクセス結果を受け取った場合に、異常ユニット判定部 31c は、異常ユニット判定マトリクス 41 を用いて、異常ユニットを判定する（ステップ S 81）。すなわち、異常ユニット判定部 31c は、運用 S V C 上での対象ユニット 3 へのアクセス結果を横軸とし、待機 S V C 上での対象ユニット 3 へのアクセス結果を縦軸とした異常ユニット判定マトリクス 41 で異常ユニットを判定する。一例として、異常ユニット判定部 31c は、異常ユニット判定マトリクス 41 に記憶された、運用 S V C と待機 S V C とのそれぞれの異常判定情報の組み合わせと、それぞれのアクセス結果の組み合わせとを用いて、異常ユニットを判定する。

10

【0111】

そして、異常ユニット判定部 31c は、判定の結果、異常ユニットが対象ユニット 3 であるか否かを判定する（ステップ S 82）。異常ユニットが対象ユニット 3 でない、すなわち運用 S V C または待機 S V C であると判定した場合（ステップ S 82；No）、異常ユニット判定部 31c は、対象ユニットのリカバリ済みフラグを 0 にクリアする（ステップ S 83）。その後、異常ユニット判定部 31c は、さらに異常ユニットを判別すべく、ステップ S 88 に移行する。

【0112】

一方、異常ユニットが対象ユニット 3 であると判定した場合（ステップ S 82；Yes）、異常ユニット判定部 31c は、対象ユニットのリカバリ済みフラグを用いて、リカバリ済みであるか否かを判定する（ステップ S 84）。リカバリ済みであると判定した場合（ステップ S 84；Yes）、異常ユニット判定部 31c は、対象ユニットを異常ユニットとして確定する（ステップ S 85）。

20

【0113】

一方、リカバリ済みでないと判定した場合（ステップ S 84；No）、異常ユニット判定部 31c は、運用 S V C 上の F P G A から対象ユニット 3 の I 2 C デバイスをリセットする（ステップ S 86）。そして、異常ユニット判定部 31c は、対象ユニットのリカバリ済みフラグを設定する（ステップ S 87）。その後、異常ユニット判定部 31c は、対象ユニット 3 へのアクセスを再試行すべく、ステップ S 13 に移行する。

【0114】

さらに、異常ユニットが対象ユニット 3 でない場合に、ステップ S 83 の処理後、異常ユニット判定部 31c は、異常ユニットが運用 S V C であるか否かを判定する（ステップ S 88）。異常ユニットが運用 S V C であると判定した場合（ステップ S 88；Yes）。異常ユニット判定部 31c は、運用 S V C を異常ユニットとして確定する（ステップ S 89）。

30

【0115】

一方、異常ユニットが運用 S V C でないと判定した場合（ステップ S 88；No）、異常ユニット判定部 31c は、異常ユニットが待機 S V C であるか否かを判定する（ステップ S 90）。異常ユニットが待機 S V C であると判定した場合（ステップ S 90；Yes）。異常ユニット判定部 31c は、待機 S V C を異常ユニットとして確定する（ステップ S 91）。その後、異常ユニット判定部 31c は、異常ユニット判定処理を終了する。また、異常ユニットが待機 S V C でないと判定した場合も（ステップ S 90；No）、その後、異常ユニット判定部 31c は、異常ユニット判定処理を終了する。

40

【0116】

[待機 S V C：アクセス依頼待ち]

図 18 は、待機 S V C のアクセス依頼待ちの手順を示すフローチャートである。

【0117】

まず、I 2 C マスタユニット 1 B では、異常箇所判定部 31a が、他系の I 2 C マスタユニット 1 A との間の S P G A 間通信を用いて、運用 S V C となるか待機 S V C となるかを調停して決定する（ステップ S 101）。ここでは、I 2 C マスタユニット 1 B は、I

50

2 C マスタユニット 1 A との調停の結果、自ユニットが待機 S V C となると決定したものと
とする。

【 0 1 1 8 】

そして、異常箇所判定部 3 1 a は、対象ユニット 3 へのアクセス依頼を受け取ったか否
かを判定する（ステップ S 1 0 2）。すなわち、異常箇所判定部 3 1 a は、運用 S V C が
行う予定であった処理のアクセス依頼を P F G A 間通信経路で受け取りを待ち合わせる。
対象ユニット 3 へのアクセス依頼を受け取っていないと判定した場合（ステップ S 1 0 2
； N o）、異常箇所判定部 3 1 a は、再度判定すべく、ステップ S 1 0 2 に移行する。そ
して、対象ユニット 3 へのアクセス依頼を受け取ったと判定した場合（ステップ S 1 0 2
； Y e s）、ステップ S 1 1 1 からの「 I 2 C - M U X の接続状態異常判定」に移行する
。

10

【 0 1 1 9 】

図 1 9 A ~ 図 1 9 E は、待機 S V C の異常ユニット判定処理の中の待機 S V C の異常箇
所判定の手順を示すフローチャートである。図 1 9 A では、待機 S V C の I 2 C - M U X
のステータス異常判定の手順を示す。図 1 9 B では、待機 S V C の対象ユニットとの接続
異常判定の手順を示す。図 1 9 C では、待機 S V C の対象ユニットからの読取異常判定の
手順を示す。図 1 9 D では、待機 S V C の対象ユニットへの書込異常判定の手順を示す。
図 1 9 E では、待機 S V C の対象ユニットからの切断異常判定の手順を示す。なお、異常
箇所判定部 3 1 a は、対象ユニット 3 へのアクセス依頼を運用 S V C から受け取ったもの
とする。

20

【 0 1 2 0 】

[待機 S V C : I 2 C - M U X の接続状態異常判定]

対象ユニット 3 へのアクセス依頼を受け取った異常箇所判定部 3 1 a は、待機 S V C 上
の I 2 C - M U X のリセット回数を 0 にクリアする（ステップ S 1 1 1）。そして、異常
箇所判定部 3 1 a は、I 2 C シーケンス制御部 3 2 を介して、I 2 C - M U X 2 0 の接続
状態（ステータス）を読み取る（ステップ S 1 1 2）。そして、異常箇所判定部 3 1 a は
、I 2 C - M U X 2 0 へのアクセスで異常があるか否かを判定する（ステップ S 1 1 3）
。I 2 C - M U X 2 0 へのアクセスで異常があると判定した場合（ステップ S 1 1 3 ; Y
e s）、異常箇所判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス
結果として記憶部 4 0 に保持する（ステップ S 1 1 4）。ここでは、異常の発生箇所を I
2 C - M U X 2 0 のステータスを確認する箇所とし、異常内容を I 2 C シーケンス異常と
する異常種別「 e 1 」を記憶部 4 0 に保持する。その後、異常箇所判定部 3 1 a は、ステ
ップ S 1 6 1 からの「運用 S V C へのアクセス結果通知」に移行する。

30

【 0 1 2 1 】

一方、I 2 C - M U X 2 0 へのアクセスで異常がないと判定した場合（ステップ S 1 1
3 ; N o）、異常箇所判定部 3 1 a は、I 2 C - M U X 2 0 が対象ユニット 3 と未接続状
態であるか否かを判定する（ステップ S 1 1 5）。I 2 C - M U X 2 0 が対象ユニット 3
と未接続状態であると判定した場合（ステップ S 1 1 5 ; Y e s）、異常箇所判定部 3 1
a は、ステップ S 1 2 1 からの「対象ユニットとの接続異常判定」に移行する。

【 0 1 2 2 】

一方、I 2 C - M U X 2 0 が対象ユニット 3 と未接続状態でないと判定した場合（ステ
ップ S 1 1 5 ; N o）、異常箇所判定部 3 1 a は、期待した未接続状態となっていない。
このため、異常箇所判定部 3 1 a は、I 2 C - M U X 2 0 A のリセット回数が 0 であるか
否かを判定する（ステップ S 1 1 6）。I 2 C - M U X 2 0 A のリセット回数が 0 である
場合（ステップ S 1 1 6 ; Y e s）、異常箇所判定部 3 1 a は、待機 S V C 上の I 2 C -
M U X 2 0 を F P G A 経路でリセットする（ステップ S 1 1 7）。そして、異常箇所判定
部 3 1 a は、待機 S V C 上の I 2 C - M U X 2 0 のリセット回数をカウントアップする（
ステップ S 1 1 8）。その後、異常箇所判定部 3 1 a は、I 2 C - M U X 2 0 へのアクセ
スを再試行すべく、ステップ S 1 1 2 に移行する。

40

【 0 1 2 3 】

50

一方、I 2 C - M U X 2 0 のリセット回数が 0 でない場合 (ステップ S 1 1 6 ; N o)、異常箇所判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 4 0 に保持する (ステップ S 1 1 9)。ここでは、異常の発生箇所を I 2 C - M U X 2 0 のステータスを確認する箇所とし、異常内容を I 2 C デバイス異常とする異常種別「e 2」を記憶部 4 0 に保持する。その後、異常箇所判定部 3 1 a は、ステップ S 1 6 1 からの「運用 S V C へのアクセス結果通知」に移行する。

【 0 1 2 4 】

[待機 S V C : 対象ユニットとの接続異常判定]

次に、異常箇所判定部 3 1 a は、I 2 C シーケンス制御部 3 2 を介して、待機 S V C 上の I 2 C - M U X 2 0 を対象ユニット 3 と接続する (ステップ S 1 2 1)。そして、異常箇所判定部 3 1 a は、I 2 C - M U X 2 0 へのアクセスで異常があるか否かを判定する (ステップ S 1 2 2)。I 2 C - M U X 2 0 へのアクセスで異常があると判定した場合 (ステップ S 1 2 2 ; Y e s)、異常箇所判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 4 0 に保持する (ステップ S 1 2 3)。ここでは、異常の発生箇所を I 2 C - M U X 2 0 を対象ユニット 3 と接続する箇所とし、異常内容を I 2 C シーケンス異常とする異常種別「e 3」を記憶部 4 0 に保持する。その後、異常箇所判定部 3 1 a は、ステップ S 1 6 1 からの「運用 S V C へのアクセス結果通知」に移行する。

10

【 0 1 2 5 】

I 2 C - M U X 2 0 へのアクセスで異常がないと判定した場合 (ステップ S 1 2 2 ; N o)、異常箇所判定部 3 1 a は、待機 S V C 上の I 2 C - M U X 2 0 の対象ユニット 3 との接続状態を読み取る (ステップ S 1 2 4)。そして、異常箇所判定部 3 1 a は、I 2 C - M U X 2 0 へのアクセスで異常があるか否かを、I 2 C - M U X 2 0 のレジスタを用いて判定する (ステップ S 1 2 5)。I 2 C - M U X 2 0 へのアクセスで異常があると判定した場合 (ステップ S 1 2 5 ; Y e s)、異常箇所判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 4 0 に保持する (ステップ S 1 2 6)。ここでは、異常の発生箇所を I 2 C - M U X 2 0 が対象ユニット 3 と接続したことを確認する箇所とし、異常内容を I 2 C シーケンス異常とする異常種別「e 4」を記憶部 4 0 に保持する。その後、異常箇所判定部 3 1 a は、ステップ S 1 6 1 からの「運用 S V C へのアクセス結果通知」に移行する。

20

30

【 0 1 2 6 】

一方、I 2 C - M U X 2 0 へのアクセスで異常がないと判定した場合 (ステップ S 1 2 5 ; N o)、異常箇所判定部 3 1 a は、I 2 C - M U X 2 0 が対象ユニット 3 とのみ接続されているか否かを判定する (ステップ S 1 2 7)。I 2 C - M U X 2 0 が対象ユニット 3 とのみ接続されていないと判定した場合 (ステップ S 1 2 7 ; N o)、異常箇所判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 4 0 に保持する (ステップ S 1 2 8)。ここでは、異常の発生箇所を I 2 C - M U X 2 0 が対象ユニット 3 と接続したことを確認する箇所とし、異常内容を I 2 C デバイス異常とする異常種別「e 5」を記憶部 4 0 に保持する。その後、異常箇所判定部 3 1 a は、ステップ S 1 6 1 からの「運用 S V C へのアクセス結果通知」に移行する。

40

【 0 1 2 7 】

一方、I 2 C - M U X 2 0 が対象ユニット 3 とのみ接続されていると判定した場合 (ステップ S 1 2 7 ; Y e s)、異常箇所判定部 3 1 a は、ステップ S 1 3 1 からの「対象ユニットからの読取異常判定」に移行する。

【 0 1 2 8 】

[待機 S V C : 対象ユニットからの読取異常判定]

次に、異常箇所判定部 3 1 a は、対象ユニット 3 の I 2 C デバイスへの操作内容が書き込みのみか否かを判定する (ステップ S 1 3 1)。対象ユニット 3 の I 2 C デバイスへの操作内容が書き込みのみであると判定した場合 (ステップ S 1 3 1 ; Y e s)、異常箇所判定部 3 1 a は、ステップ S 1 4 1 からの「対象ユニットへの書込異常判定」に移行する

50

。

【0129】

一方、対象ユニット3のI2Cデバイスへの操作内容が書き込みのみでないとは判定した場合(ステップS131; No)、異常箇所判定部31aは、待機SVC側から接続した対象ユニット3のI2Cデバイスのレジスタを読み取る(ステップS132)。そして、異常箇所判定部31aは、I2Cデバイスへのアクセスで異常があるか否かを判定する(ステップS133)。I2Cデバイスへのアクセスで異常があると判定した場合(ステップS133; Yes)、異常箇所判定部31aは、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部40に保持する(ステップS134)。ここでは、異常の発生箇所を対象ユニットとアクセスする箇所とし、異常内容をI2Cシーケンス異常とする異常種別「e6」を記憶部40に保持する。その後、異常箇所判定部31aは、ステップS161からの「運用SVCへのアクセス結果通知」に移行する。

10

【0130】

一方、I2Cデバイスへのアクセスで異常がないとは判定した場合(ステップS133; No)、異常箇所判定部31aは、I2Cデバイスからの読み取り値がI2Cデバイス上あり得ない値であるか否かを判定する(ステップS135)。I2Cデバイスからの読み取り値がI2Cデバイス上あり得ない値であると判定した場合(ステップS135; Yes)、異常箇所判定部31aは、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部40に保持する(ステップS136)。ここでは、異常の発生箇所を対象ユニットとアクセスする箇所とし、異常内容をI2Cデバイス異常とする異常種別「e7」を記憶部40に保持する。その後、異常箇所判定部31aは、ステップS161からの「運用SVCへのアクセス結果通知」に移行する。

20

【0131】

一方、I2Cデバイスからの読み取り値がI2Cデバイス上あり得ない値でないとは判定した場合(ステップS135; No)、異常箇所判定部31aは、対象ユニット3のI2Cデバイスへの操作内容に書き込みがあるか否かを判定する(ステップS137)。対象ユニット3のI2Cデバイスへの操作内容に書き込みがない(読み取りのみ)とは判定した場合(ステップS137; No)、異常箇所判定部31aは、ステップS141からの「対象ユニットからの切断異常判定」に移行する。

【0132】

一方、対象ユニット3のI2Cデバイスへの操作内容に書き込みがあると判定した場合(ステップS137; Yes)、異常箇所判定部31aは、ステップS141からの「対象ユニットへの書込異常判定」に移行する。

30

【0133】

[待機SVC:対象ユニットへの書込異常判定]

次に、異常箇所判定部31aは、待機SVC側から接続した対象ユニット3のI2Cデバイスのレジスタへデータを書き込む(ステップS141)。そして、異常箇所判定部31aは、I2Cデバイスへのアクセスで異常があるか否かを判定する(ステップS142)。I2Cデバイスへのアクセスで異常があると判定した場合(ステップS142; Yes)、異常箇所判定部31aは、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部40に保持する(ステップS143)。ここでは、異常の発生箇所を対象ユニットとアクセスする箇所とし、異常内容をI2Cシーケンス異常とする異常種別「e6」を記憶部40に保持する。その後、異常箇所判定部31aは、ステップS161からの「運用SVCへのアクセス結果通知」に移行する。

40

【0134】

一方、I2Cデバイスへのアクセスで異常がないとは判定した場合(ステップS142; No)、異常箇所判定部31aは、書き込んだデータを確認すべく、対象ユニット3のI2Cデバイスの書き込みを行ったレジスタを読み取る(ステップS144)。そして、異常箇所判定部31aは、I2Cデバイスへのアクセスで異常があるか否かを判定する(ステップS145)。I2Cデバイスへのアクセスで異常があると判定した場合(ステップ

50

S 1 4 5 ; Y e s)、異常箇所判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 4 0 に保持する (ステップ S 1 4 6)。ここでは、異常の発生箇所を対象ユニットとアクセスする箇所とし、異常内容を I 2 C シーケンス異常とする異常種別「e 6」を記憶部 4 0 に保持する。その後、異常箇所判定部 3 1 a は、ステップ S 1 6 1 からの「運用 S V C へのアクセス結果通知」に移行する。

【 0 1 3 5 】

一方、I 2 C デバイスへのアクセスで異常がないと判定した場合 (ステップ S 1 4 5 ; N o)、異常箇所判定部 3 1 a は、I 2 C デバイスに正しく書き込めていないか否かを判定する (ステップ S 1 4 7)。具体的には、異常箇所判定部 3 1 a は、I 2 C デバイスのレジスタへ書き込んだデータと、同一のレジスタから読み取ったデータを比較し、同一データでないか否かを判定すれば良い。そして、I 2 C デバイスに正しく書き込めていないと判定した場合 (ステップ S 1 4 7 ; Y e s)、異常箇所判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 4 0 に保持する (ステップ S 1 4 8)。ここでは、異常の発生箇所を対象ユニットとアクセスする箇所とし、異常内容を I 2 C デバイス異常とする異常種別「e 7」を記憶部 4 0 に保持する。その後、異常箇所判定部 3 1 a は、ステップ S 1 6 1 からの「運用 S V C へのアクセス結果通知」に移行する。

10

【 0 1 3 6 】

一方、I 2 C デバイスに正しく書き込めていると判定した場合 (ステップ S 1 4 7 ; N o)、異常箇所判定部 3 1 a は、ステップ S 1 5 1 からの「対象ユニットからの切断異常判定」に移行する。

20

【 0 1 3 7 】

[待機 S V C : 対象ユニットからの切断異常判定]

次に、異常箇所判定部 3 1 a は、I 2 C シーケンス制御部 3 2 を介して、待機 S V C 上の I 2 C - M U X 2 0 を対象ユニット 3 から切断する (ステップ S 1 5 1)。そして、異常箇所判定部 3 1 a は、I 2 C - M U X 2 0 へのアクセスで異常があるか否かを判定する (ステップ S 1 5 2)。I 2 C - M U X 2 0 へのアクセスで異常があると判定した場合 (ステップ S 1 5 2 ; Y e s)、異常箇所判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 4 0 に保持する (ステップ S 1 5 3)。ここでは、異常の発生箇所を I 2 C - M U X 2 0 を対象ユニット 3 から切断したことを確認する箇所とし、異常内容を I 2 C シーケンス異常とする異常種別「e 8」を記憶部 4 0 に保持する。その後、異常箇所判定部 3 1 a は、ステップ S 1 6 1 からの「運用 S V C へのアクセス結果通知」に移行する。

30

【 0 1 3 8 】

I 2 C - M U X 2 0 へのアクセスで異常があると判定した場合 (ステップ S 1 5 2 ; N o)、異常箇所判定部 3 1 a は、待機 S V C 上の I 2 C - M U X 2 0 の対象ユニット 3 との接続状態を読み取る (ステップ S 1 5 4)。そして、異常箇所判定部 3 1 a は、I 2 C - M U X 2 0 へのアクセスで異常があるか否かを、I 2 C - M U X 2 0 のレジスタを用いて判定する (ステップ S 1 5 5)。I 2 C - M U X 2 0 へのアクセスで異常があると判定した場合 (ステップ S 1 5 5 ; Y e s)、異常箇所判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 4 0 に保持する (ステップ S 1 5 6)。ここでは、異常の発生箇所を I 2 C - M U X 2 0 を対象ユニット 3 から切断したことを確認する箇所とし、異常内容を I 2 C シーケンス異常とする異常種別「e 9」を記憶部 4 0 に保持する。その後、異常箇所判定部 3 1 a は、ステップ S 1 6 1 からの「運用 S V C へのアクセス結果通知」に移行する。

40

【 0 1 3 9 】

一方、I 2 C - M U X 2 0 へのアクセスで異常がないと判定した場合 (ステップ S 1 5 5 ; N o)、異常箇所判定部 3 1 a は、I 2 C - M U X 2 0 が未接続状態であるか否かを判定する (ステップ S 1 5 7)。I 2 C - M U X 2 0 が未接続状態でないと判定した場合 (ステップ S 1 5 7 ; N o)、期待した未接続状態となっていない。このため、異常箇所

50

判定部 3 1 a は、異常の発生箇所と異常内容を含む異常種別をアクセス結果として記憶部 4 0 に保持する（ステップ S 1 5 8）。ここでは、異常の発生箇所を I 2 C - M U X 2 0 を対象ユニット 3 から切断したことを確認する箇所とし、異常内容を I 2 C デバイス異常とする異常種別「e 1 0」を記憶部 4 0 に保持する。その後、異常箇所判定部 3 1 a は、ステップ S 1 6 1 からの「運用 S V C へのアクセス結果通知」に移行する。

【 0 1 4 0 】

一方、I 2 C - M U X 2 0 が未接続状態でない場合（ステップ S 1 5 7 ; Y e s）、異常箇所判定部 3 1 a は、対象ユニット 3 とのアクセスが正常であったことを記憶部 4 0 に保持する（ステップ S 1 5 9）。その後、異常箇所判定部 3 1 a は、ステップ S 1 6 2 からの「運用 S V C へのアクセス結果通知」に移行する。

10

【 0 1 4 1 】

[待機 S V C : 運用 S V C へのアクセス結果通知]

図 2 0 は、運用 S V C へのアクセス結果通知の手順を示すフローチャートである。

【 0 1 4 2 】

続いて、対象ユニット 3 とのアクセスが異常であった場合には、異常箇所判定部 3 1 a は、待機 S V C 上の I 2 C - M U X 2 0 を F P G A 経由でリセットする（ステップ S 1 6 1）。なお、対象ユニット 3 とのアクセスが正常であった場合には、異常箇所判定部 3 1 a は、待機 S V C 上の I 2 C - M U X 2 0 をリセットしない。

【 0 1 4 3 】

そして、異常箇所判定部 3 1 a は、記憶部 4 0 に保持された処理結果（アクセス結果）を P F G A 間通信経由で運用 S V C に通知し（ステップ S 1 6 2）、待機 S V C での異常ユニット判定処理を終了する。

20

【 0 1 4 4 】

[実施例の効果]

上記実施例によれば、I 2 C バス装置 9 は、I 2 C マスタユニット 1 A と、I 2 C マスタユニット 1 A と二重化された I 2 C マスタユニット 1 B とを有する。そして、I 2 C マスタユニット 1 A および I 2 C マスタユニット 1 B は、I 2 C バスで接続する複数の I 2 C スレーブユニット 3 を制御する。さらに、I 2 C マスタユニット 1 A は、I 2 C スレーブユニット 3 へのアクセスで異常を検出したとき、異常を検出した箇所に関するアクセス結果と、I 2 C マスタユニット 1 B からのアクセス結果との組み合わせを用いて、異常であるユニットを判定する。かかる構成によれば、I 2 C バス装置 9 は、異常を検出された I 2 C スレーブユニット 3 に対する 2 個のアクセス結果の組み合わせを用いて、異常であるユニットを判定するので、どのユニットに異常があるのかを判定できる。例えば、I 2 C バス装置 9 は、2 個のアクセス結果が同じ箇所の異常である場合には、I 2 C マスタユニット 1 A、1 B に異常はなく、I 2 C スレーブユニット 3 に異常があることを判定できる。また、I 2 C バス装置 9 は、I 2 C マスタユニット 1 A に異常があっても I 2 C マスタユニット 1 B に異常がない場合は、I 2 C マスタユニット 1 A に異常があることを判定できる。

30

【 0 1 4 5 】

また、上記実施例によれば、I 2 C バス装置 9 では、異常箇所判定部 3 1 a が、自ユニットと接続された I 2 C スレーブユニット 3 へのアクセスで異常箇所があるか否かを判定する。そして、アクセス依頼部 3 1 b が、異常箇所判定部 3 1 a によって I 2 C スレーブユニット 3 へのアクセスで異常箇所があると判定された場合に、I 2 C スレーブユニット 3 と同一の I 2 C スレーブユニット 3 へのアクセスを、I 2 C マスタユニット 1 B に依頼する。さらに、異常ユニット判定部 3 1 c は、異常箇所判定部 3 1 a によって異常箇所があると判定された異常箇所に関するアクセス結果とアクセス依頼部 3 1 b による依頼の結果を示すアクセス結果との組み合わせを用いて、異常であるユニットを判定する。かかる構成によれば、異常箇所判定部 3 1 a は、異常箇所があると判定されたアクセス結果とアクセス依頼部 3 1 b による依頼の結果を示すアクセス結果との組み合わせを用いて、異常であるユニットを判定するので、どのユニットに異常があるのかを判定できる。

40

50

【 0 1 4 6 】

また、上記実施例によれば、I 2 C マスタユニット 1 A は、異常ユニット判定マトリクス 4 1 を有する。異常ユニット判定マトリクス 4 1 は、マスタユニットで異常となる可能性のある異常箇所に関する異常判定情報について、二重化されたマスタユニットの一方の異常判定情報と他方の異常判定情報との組み合わせにより異常と判定されるユニットの候補を記憶する。そして、異常ユニット判定部 3 1 c は、さらに、異常ユニット判定マトリクス 4 1 に記憶された、二重化されたマスタユニットのそれぞれの異常判定情報の組み合わせを用いて、I 2 C スレーブユニット 3 へのアクセスで異常の原因となったユニットを判定する。かかる構成によれば、異常ユニット判定部 3 1 c は、異常ユニット判定マトリクス 4 1 に記憶された異常判定情報の組み合わせを細分化して記憶すると、異常であるユ

10

【 0 1 4 7 】

また、上記実施例によれば、異常箇所に関する異常判定情報は、異常となる可能性のある箇所および当該箇所での異常内容を含む。かかる構成によれば、異常判定情報は、1 個の異常となる可能性のある箇所に対して複数の異常内容を含ませることが可能となるので、異常判定情報のパリエーションを増やすことができる。この結果、異常ユニット判定部 3 1 c は、異常であるユニットの判定をさらに正確に行うことができる。

【 0 1 4 8 】

[その他]

なお、本実施例では、I 2 C バス装置 1 が運用中に、運用 S V C である I 2 C マスタユニット 1 A が対象ユニット 3 へのアクセスで異常があった場合に、異常ユニットを判定するものとして説明した。しかしながら、これに限定されるものではなく、I 2 C バス装置 1 が運用中でない場合であっても、異常ユニット判定処理を行っても良い。例えば、I 2 C バス装置 1 が事前に I 2 C バス間のユニットの故障診断を行う場合であっても良い。

20

【 0 1 4 9 】

また、図示した各装置の各構成要素は、必ずしも物理的に図示の如く構成されていることを要しない。すなわち、各装置の分散・統合の具体的態様は図示のものに限られず、その全部又は一部を、各種の負荷や使用状況等に応じて、任意の単位で機能的又は物理的に分散・統合して構成することができる。例えば、アクセス依頼部 3 1 b と異常ユニット判定部 3 1 c とを 1 つの部として統合しても良い。また、I 2 C デバイス制御部 3 1 に備えられた各種機能部を 1 つの部として統合しても良い。一方、異常箇所判定部 3 1 a に備えられた各種機能をそれぞれ分散しても良い。一例として、異常箇所判定部 3 1 a を、運用系となるか待機系となるかを調停する調停部と、運用系と調停された場合の異常箇所判定部と、待機系と調停された場合の異常箇所判定部とに分散しても良い。この場合、待機系と調停された場合の異常箇所判定部を、運用系からのアクセス依頼を待ち受ける待受部と、異常箇所判定部と、アクセス結果を通知する通知部とに分散しても良い。また、記憶部 4 0 を I 2 C バス装置 9 の外部装置としてネットワーク経由で接続するようにしても良い。

30

【 0 1 5 0 】

また、I 2 C バス装置 9 にて行われる各処理機能は、その全部または任意の一部が、C P U (または M P U、M C U (Micro Controller Unit) などのマイクロ・コンピュータ) あるいは、ワイヤードロジックによるハードウェアとして実現されても良い。また、I 2 C バス装置 9 にて行われる各処理機能は、その全部または任意の一部が、C P U (または M P U、M C U などのマイクロ・コンピュータ) にて解析実行されるプログラムにて実現されても良い。

40

【 0 1 5 1 】

以上の実施例に係る実施形態に関し、さらに以下の付記を開示する。

【 0 1 5 2 】

(付記 1) シリアルバスで接続する複数のスレーブユニットを制御する第 1 のマスタユニットと、

50

前記複数のスレーブユニットを制御し、前記第 1 のマスタユニットと二重化された第 2 のマスタユニットとを有し、

前記第 1 のマスタユニットは、

自ユニットと接続された前記スレーブユニットへのアクセスで異常を検出したとき、異常を検出した箇所に関するアクセス結果と、前記第 2 のマスタユニットと接続された前記スレーブユニットへの前記第 2 のマスタユニットからのアクセス結果とを用いて、異常であるユニットを判定する制御部

を有することを特徴とする情報処理装置。

【0153】

(付記 2) 前記制御部は、

自ユニットと接続された前記スレーブユニットへのアクセスで異常箇所があるか否かを判定する異常箇所判定部と、

前記異常箇所判定部によって前記スレーブユニットへのアクセスで異常箇所があると判定された場合に、前記スレーブユニットと同一のスレーブユニットへのアクセスを、前記第 2 のマスタユニットに依頼するアクセス依頼部と、

前記異常箇所判定部によって異常箇所があると判定された異常箇所に関するアクセス結果と前記アクセス依頼部による依頼の結果を示すアクセス結果との組み合わせを用いて、異常であるユニットを判定する異常ユニット判定部と

を有することを特徴とする付記 1 に記載の情報処理装置。

【0154】

(付記 3) 前記第 1 のマスタユニットは、

前記スレーブユニットへのアクセスでマスタユニット中の異常となる可能性のある箇所に関するアクセス情報について、二重化されたマスタユニットの一方の前記アクセス情報と他方の前記アクセス情報との組み合わせにより異常と判定されるユニットの候補を記憶する記憶部を有し、

前記異常ユニット判定部は、

さらに、前記記憶部に記憶された、二重化されたマスタユニットのそれぞれの前記アクセス情報の組み合わせを用いて、前記スレーブユニットへのアクセスで異常の原因となったユニットを判定する

ことを特徴とする付記 1 または付記 2 に記載の情報処理装置。

【0155】

(付記 4) 前記アクセス情報は、異常となる可能性のある箇所および当該箇所での異常内容を含むことを特徴とする付記 3 に記載の情報処理装置。

【0156】

(付記 5) 自ユニットとシリアルバスで接続されたスレーブユニットへのアクセスで異常を検出したとき、異常を検出した箇所に関するアクセス結果と、自ユニットと二重化された他のマスタユニットとシリアルバスで接続された前記スレーブユニットへの他のマスタユニットからのアクセス結果とを用いて、異常であるユニットを判定する制御部

を有することを特徴とする制御装置。

【0157】

(付記 6) 情報処理装置によって実行される異常ユニット判定方法であって、

シリアルバスで接続する複数のスレーブユニットを制御する第 1 のマスタユニットが前記スレーブユニットへのアクセスで異常箇所があるか否かを判定し、

前記判定する処理によって前記スレーブユニットへのアクセスで異常箇所があると判定された場合に、前記スレーブユニットと同一のスレーブユニットへのアクセスを、前記第 1 のマスタユニットと二重化された第 2 のマスタユニットに依頼し、

前記判定する処理によって異常箇所があると判定された異常箇所に関するアクセス結果と前記依頼する処理によって依頼した結果を示すアクセス結果とを用いて、異常であるユニットを判定する

処理を含むことを特徴とする異常ユニット判定方法。

10

20

30

40

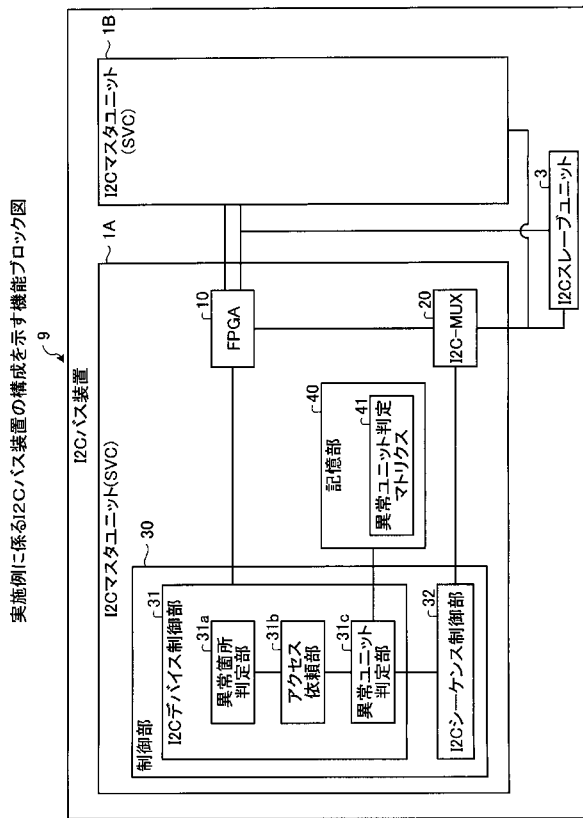
50

【符号の説明】

【0158】

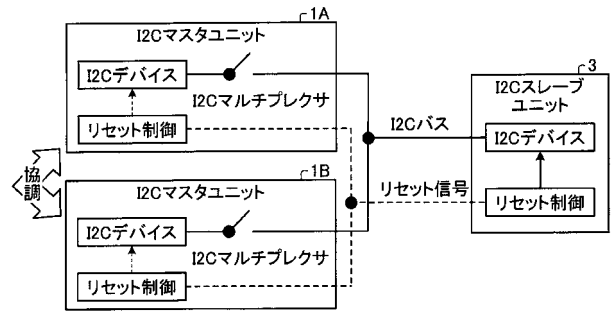
- 1 A、1 B I2C マスタユニット
- 3 I2C スレーブユニット
- 10 F P G A
- 20 I2C - M U X
- 30 制御部
- 31 I2C デバイス制御部
- 31 a 異常箇所判定部
- 31 b アクセス依頼部
- 31 c 異常ユニット判定部
- 32 I2C シーケンス制御部
- 40 記憶部
- 41 異常ユニット判定マトリクス

【図1】



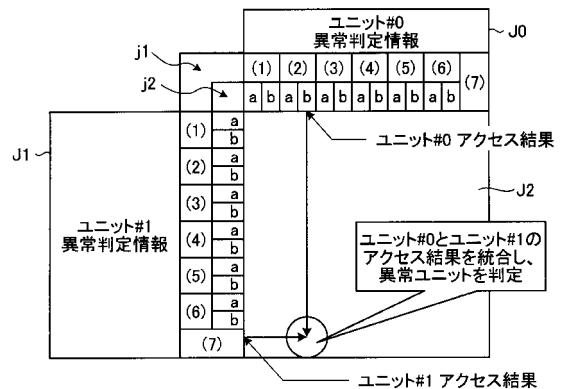
【図2A】

実施例に係る異常ユニット判定を実行するためのユニット間のI2Cバスの接続について説明する図



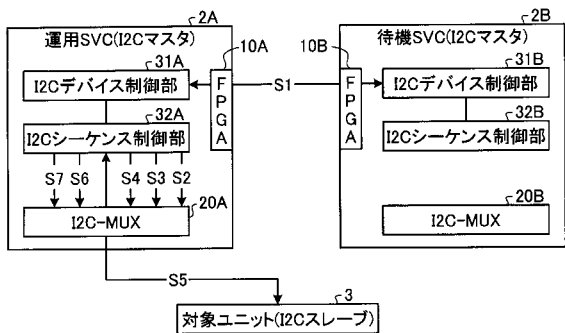
【図2B】

実施例に係る異常ユニット判定の方法を説明する図



【 図 3 】

実施例に係る異常箇所判定を説明する図



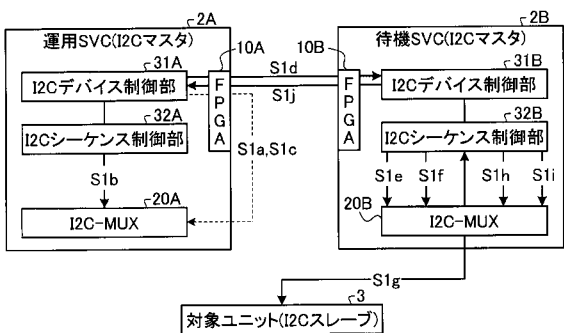
【 図 4 】

実施例に係る異常ユニット判定マトリクスの一例を示す図

異常個別 待機SVC: e1 待機SVC: e2 待機SVC: e3 待機SVC: e4 待機SVC: e5 待機SVC: e6 待機SVC: e7 待機SVC: e8~e10 待機SVC 正常	運用SVC: e1	運用SVC: e2	運用SVC: e3	運用SVC: e4	運用SVC: e5	運用SVC: e6	運用SVC: e7	運用SVC: e8~e10	異常ユニット情報 41C
	待機SVC: e1	待機SVC: e2	待機SVC: e3	待機SVC: e4	待機SVC: e5	待機SVC: e6	待機SVC: e7	待機SVC: e8~e10	
	待機SVC: e1	待機SVC: e2	待機SVC: e3	待機SVC: e4	待機SVC: e5	待機SVC: e6	待機SVC: e7	待機SVC: e8~e10	
	待機SVC: e1	待機SVC: e2	待機SVC: e3	待機SVC: e4	待機SVC: e5	待機SVC: e6	待機SVC: e7	待機SVC: e8~e10	
	待機SVC: e1	待機SVC: e2	待機SVC: e3	待機SVC: e4	待機SVC: e5	待機SVC: e6	待機SVC: e7	待機SVC: e8~e10	
	待機SVC: e1	待機SVC: e2	待機SVC: e3	待機SVC: e4	待機SVC: e5	待機SVC: e6	待機SVC: e7	待機SVC: e8~e10	
	待機SVC: e1	待機SVC: e2	待機SVC: e3	待機SVC: e4	待機SVC: e5	待機SVC: e6	待機SVC: e7	待機SVC: e8~e10	
	待機SVC: e1	待機SVC: e2	待機SVC: e3	待機SVC: e4	待機SVC: e5	待機SVC: e6	待機SVC: e7	待機SVC: e8~e10	
	待機SVC: e1	待機SVC: e2	待機SVC: e3	待機SVC: e4	待機SVC: e5	待機SVC: e6	待機SVC: e7	待機SVC: e8~e10	
	待機SVC: e1	待機SVC: e2	待機SVC: e3	待機SVC: e4	待機SVC: e5	待機SVC: e6	待機SVC: e7	待機SVC: e8~e10	
待機SVC: e1	待機SVC: e2	待機SVC: e3	待機SVC: e4	待機SVC: e5	待機SVC: e6	待機SVC: e7	待機SVC: e8~e10		

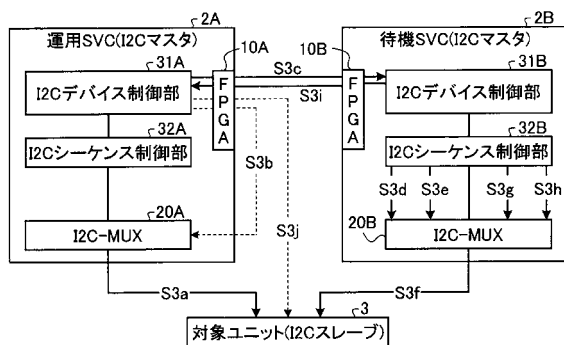
【 図 5 】

実施例に係る異常ユニット判定の具体例を説明する図



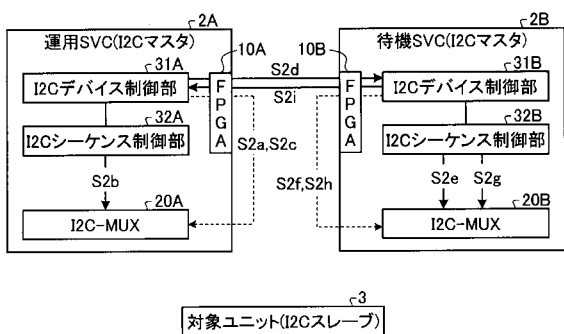
【 図 7 】

実施例に係る異常ユニット判定の別の具体例を説明する図



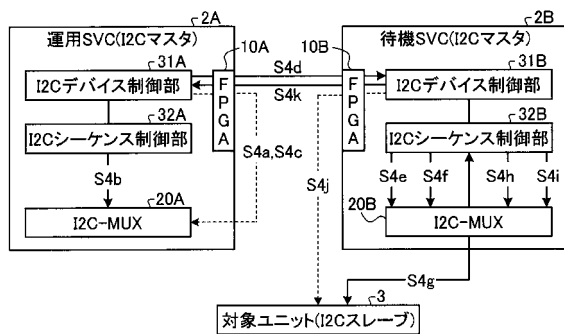
【 図 6 】

実施例に係る異常ユニット判定の別の具体例を説明する図



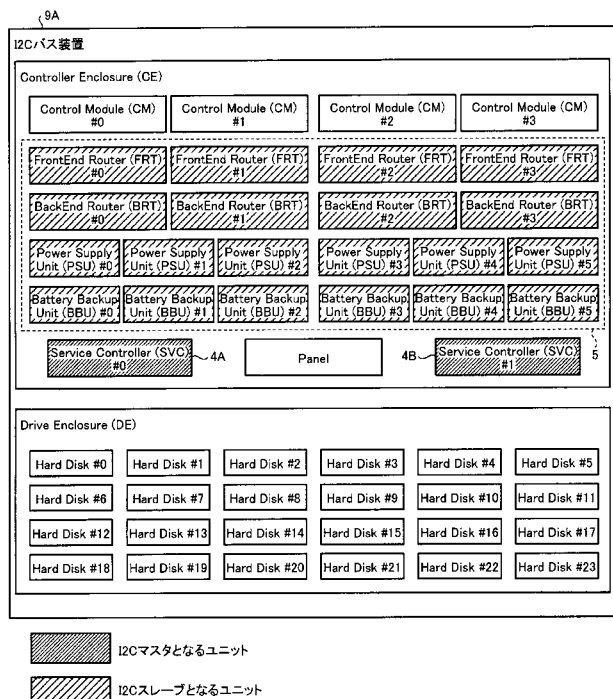
【 図 8 】

実施例に係る異常ユニット判定の別の具体例を説明する図



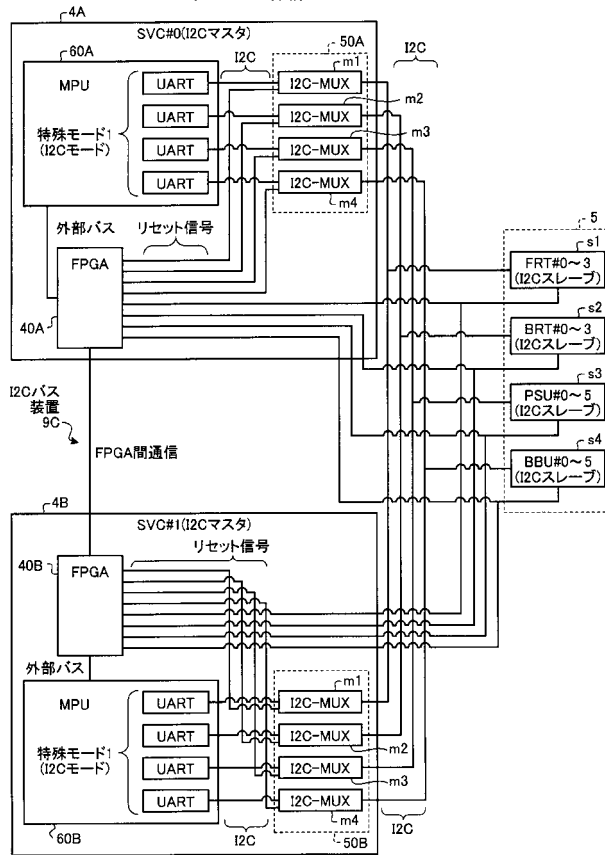
【 図 9 】

実施例に係る異常ユニット判定を実行するための I2Cバス装置の一例を説明する図



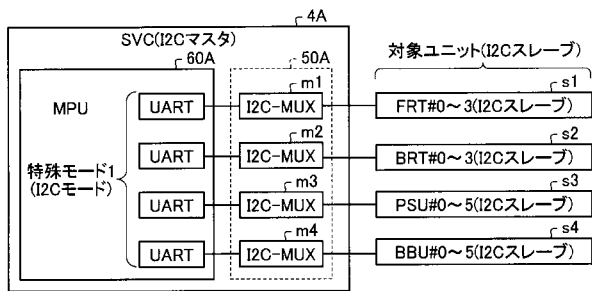
【 図 10 】

実施例に係る異常ユニット判定を実行するためのハードウェアの全体構成一例を説明する図



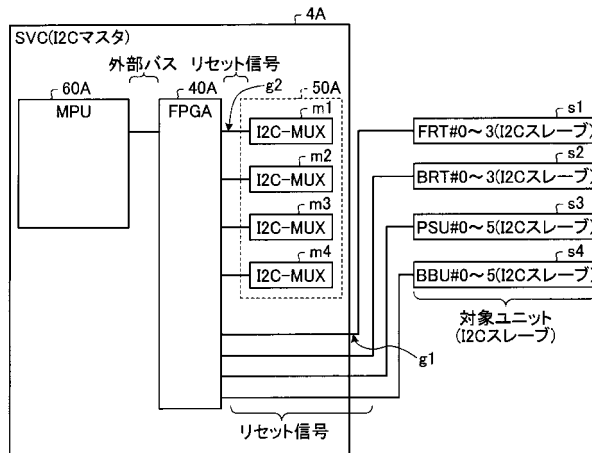
【 図 11 】

SVCと対象ユニットとのI2Cバスの接続を説明する図



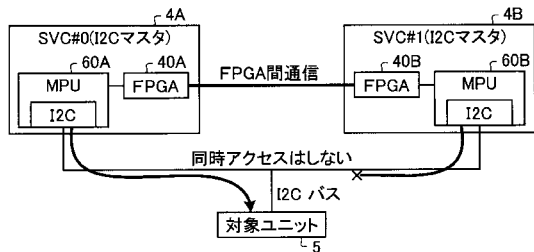
【 図 13 】

SVCに搭載されたFPGAを用いたリセット制御を説明する図



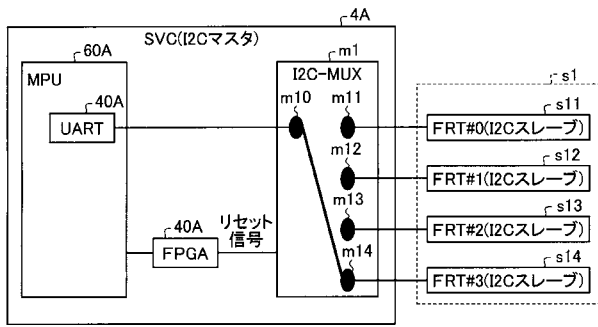
【 図 12 】

SVCに搭載されたFPGAを用いたFPGA間通信を説明する図



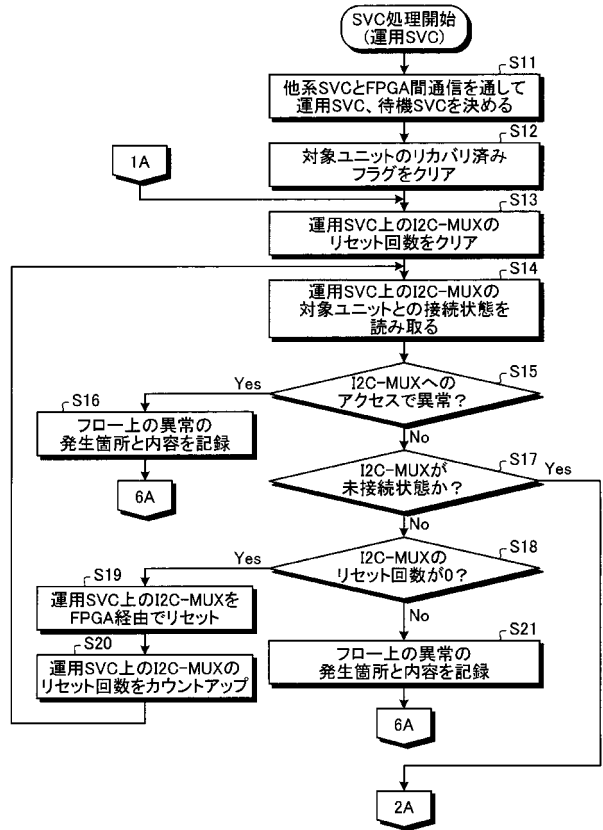
【 図 1 4 】

SVCに搭載されたI2C-MUXの接続方法について説明する図



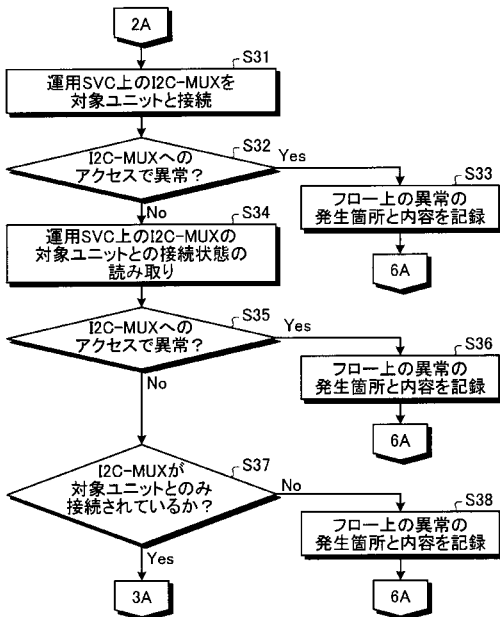
【 図 1 5 A 】

運用SVCのI2C-MUXのステータス異常判定の手順を示すフローチャート



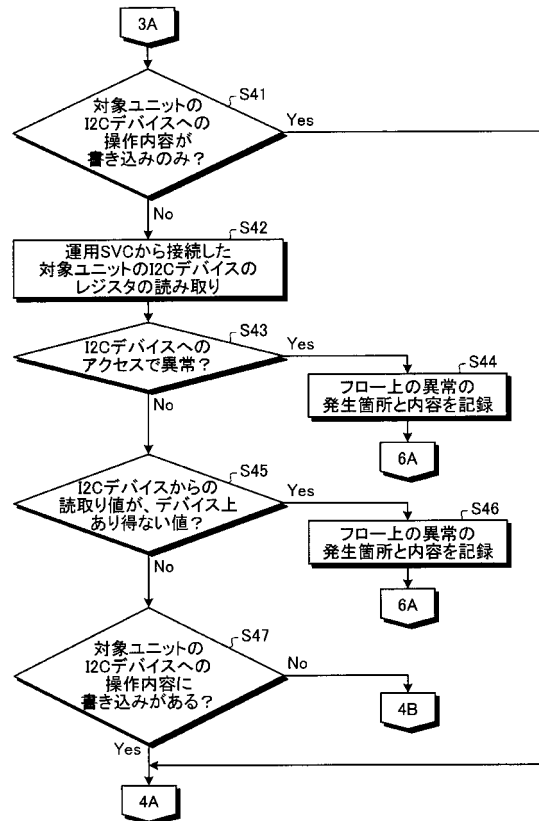
【 図 1 5 B 】

運用SVCの対象ユニットとの接続異常判定の手順を示すフローチャート



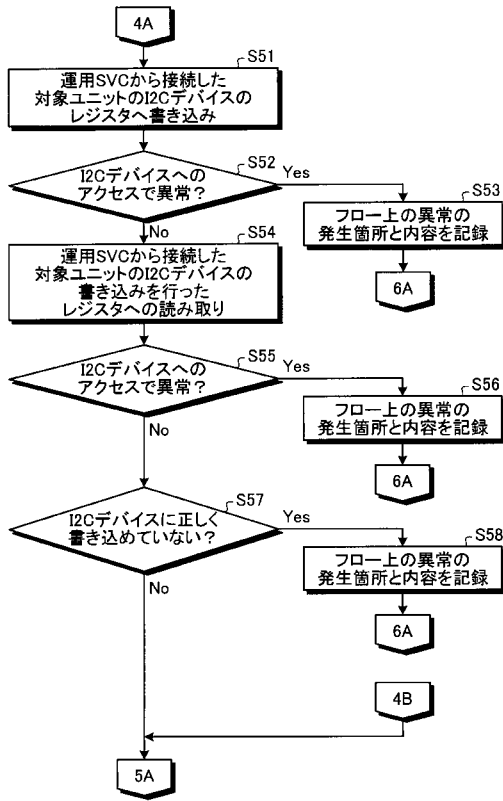
【 図 1 5 C 】

運用SVCの対象ユニットからの読取異常判定の手順を示すフローチャート



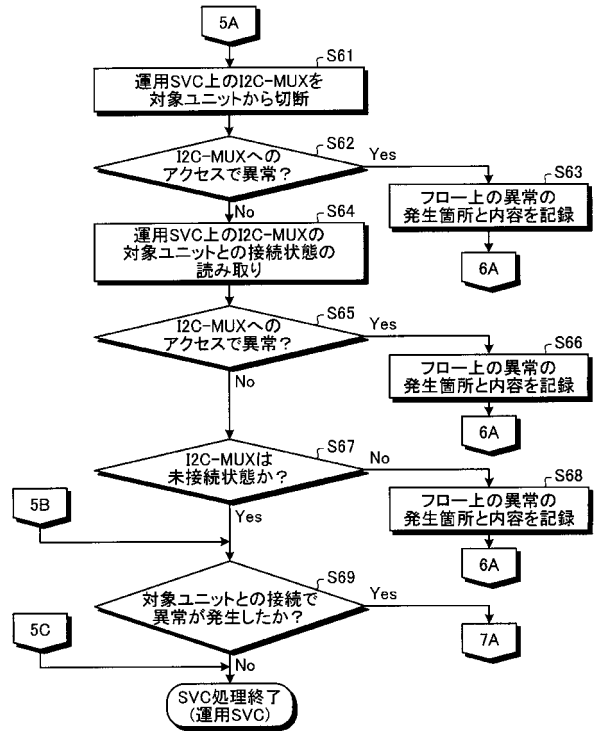
【図15D】

運用SVCの対象ユニットへの書き込み異常判定の手順を示すフローチャート



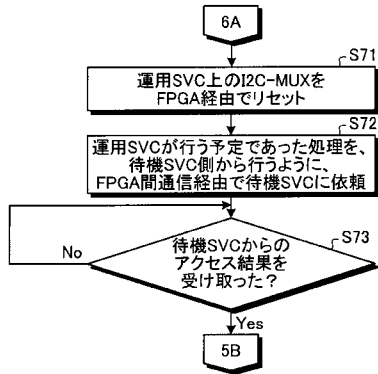
【図15E】

運用SVCの対象ユニットからの切断異常判定の手順を示すフローチャート



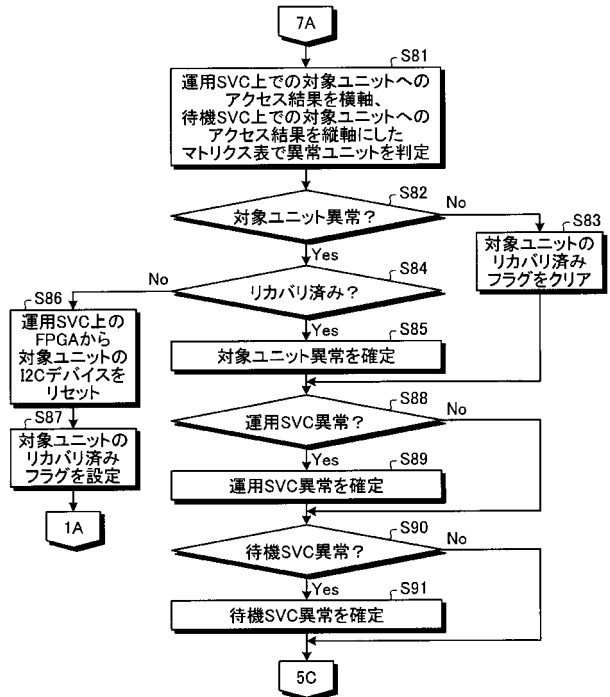
【図16】

待機SVCへのアクセス依頼の手順を示すフローチャート



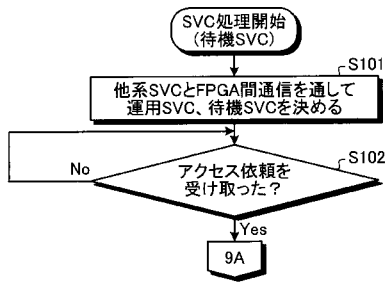
【図17】

異常ユニット判定の手順を示すフローチャート



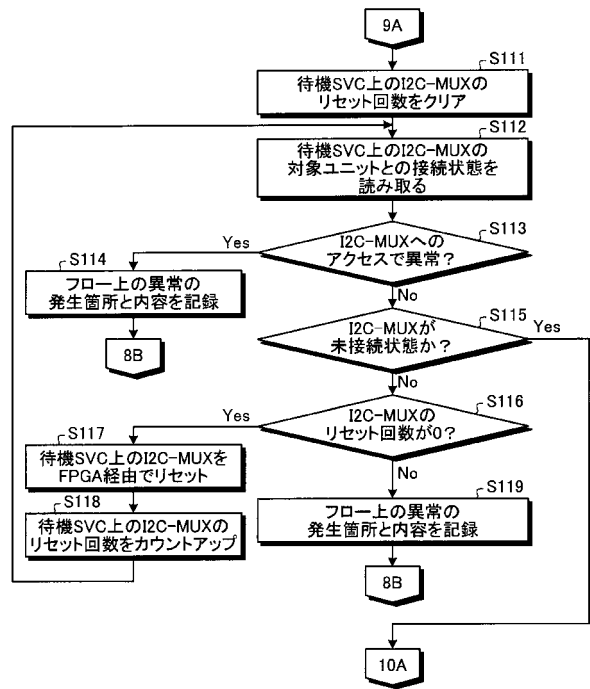
【図18】

待機SVCのアクセス依頼待ちの手順を示すフローチャート



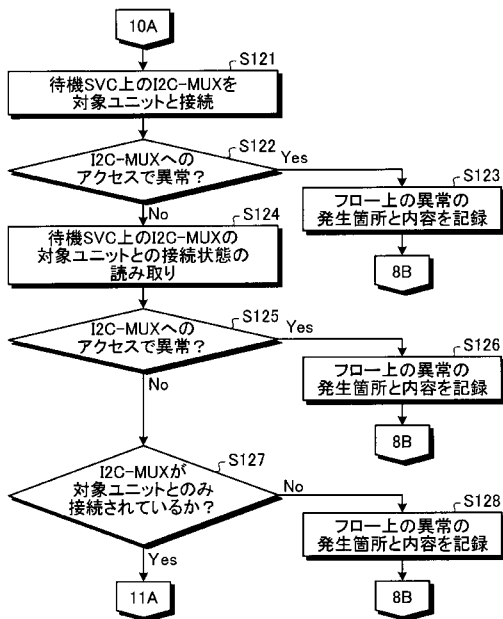
【図19A】

待機SVCのI2C-MUXのステータス異常判定の手順を示すフローチャート



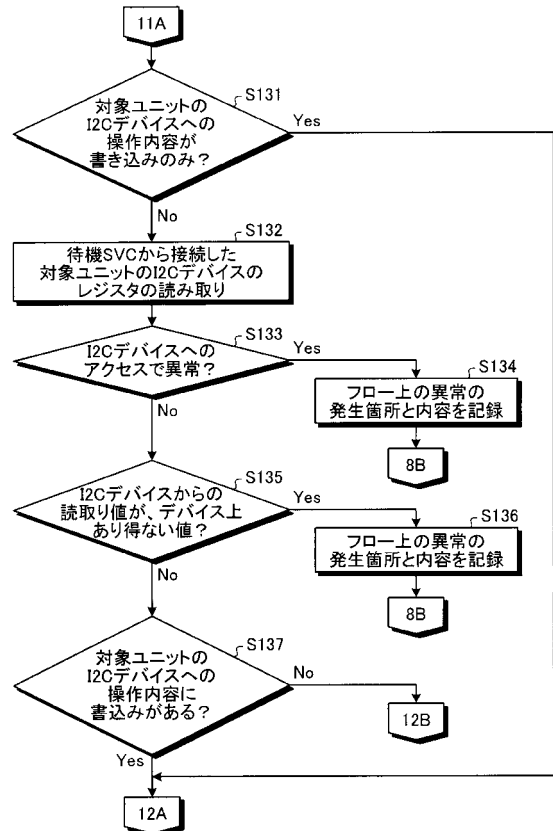
【図19B】

待機SVCの対象ユニットとの接続異常判定の手順を示すフローチャート



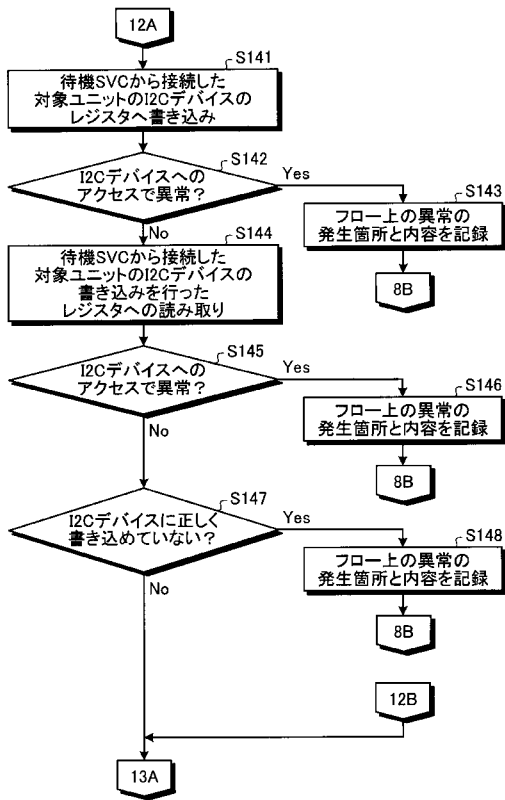
【図19C】

待機SVCの対象ユニットからの読取異常判定の手順を示すフローチャート



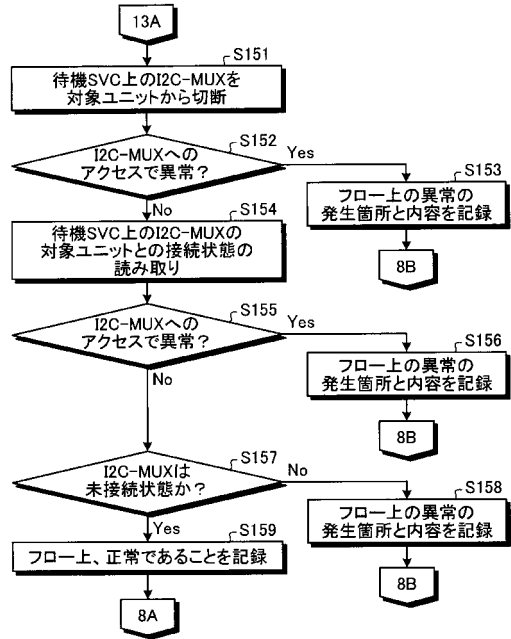
【 図 1 9 D 】

待機SVCの対象ユニットへの書き込み異常判定の手順を示すフローチャート



【 図 1 9 E 】

待機SVCの対象ユニットからの切断異常判定の手順を示すフローチャート



【 図 2 0 】

運用SVCへのアクセス結果通知の手順を示すフローチャート

