(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年7月7日(07.07.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/145177 A1

(51) 国際特許分類:
H01L 23/50 (2006.01) *H01L 21/56* (2006.01)
H01L 25/07 (2006.01) *H01L 21/60* (2006.01)
H01L 25/18 (2006.01)

(21) 国際出願番号： PCT/JP2021/044725

(22) 国際出願日： 2021年12月6日(06.12.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

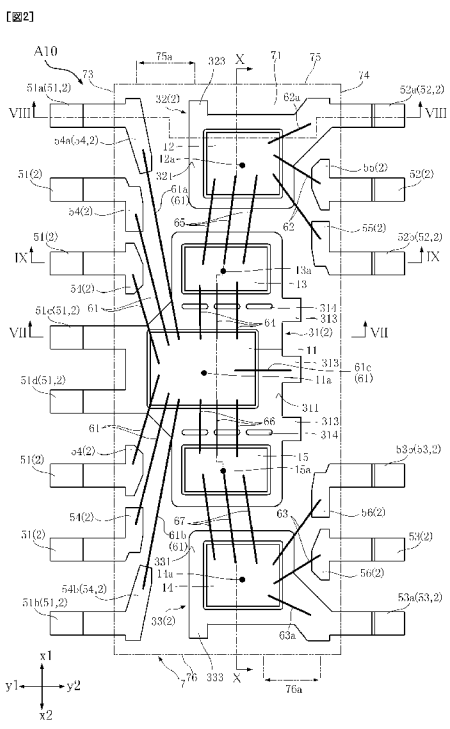
(30) 優先権データ：
特願 2021-000237 2021年1月4日(04.01.2021) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者: 菊地 登茂平 (**KIKUCHI Tomohira**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP). 松原 弘招(**MATSUBARA Hiroaki**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP). 大角 嘉蔵(**OSUMI Yoshizo**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP). 山口 萌(**YAMAGUCHI Moe**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP). 梅野 遼平(**UMENO Ryohei**);

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置



(57) **Abstract:** This semiconductor device comprises: a semiconductor control element; a first drive element; a second drive element; a first insulating element: and a second insulating element. In plan view, the first drive element and the second drive element are arranged on opposite sides to each other of the semiconductor control element. The first insulating element is arranged between the semiconductor control element and the first drive element, relays the signal transmitted from the semiconductor control element to the first drive element, and insulates the semiconductor control element and the first drive element from each other. The second insulating element is arranged between the semiconductor control element and the second drive element, relays the signal transmitted from the semiconductor control element to the second drive element, and insulates the semiconductor control element and the second drive element from each other.

(57) 要約：半導体装置は、半導体制御素子、第１駆動素子、第２駆動素子、第１絶縁素子、および第２絶縁素子を備える。平面視において、前記第１駆動素子および前記第２駆動素子は、前記半導体制御素子を基準として互いに反対側に配置されている。前記第１絶縁素子は、前記半導体制御素子と前記第１駆動素子との間に配置され、かつ、前記半導体制御素子から前記第１駆動素子へ送信される信号を中継し、かつ、前記半導体制御素子および前記第１駆動素子を互いに絶縁している。前記第２絶縁素子は、前記半導体制御素子と前記第２駆動素子との間に配置され、かつ、前記半導体制御素子から前記第２駆動素子へ送信される信号を中継し、かつ、前記半導体制御素子および前記第２駆動素子を互いに絶縁している。

WO 2022/145177 A1

［続葉有］

〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

(74) 代理人：臼 井　尚，外 (**USUI Takashi** et al.)；〒5430014 大阪府大阪市天王寺区玉造元町２番３２－１３０１ Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 従来、電気自動車や家電機器などにインバータ装置が使用されている。このようなインバータ装置は、ＩＧＢＴ（Insulated Gate Bipolar Transistor）やＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）などの複数のパワー半導体と、絶縁素子を搭載し、かつ、パワー半導体を駆動させる駆動信号を生成する絶縁ゲートドライバとしての複数の半導体装置とを備えている。当該半導体装置は、半導体制御素子、絶縁素子、および駆動素子を備えている。当該インバータ装置においては、ＥＣＵ（Engine Control Unit）から出力された制御信号が、当該半導体装置の半導体制御素子に入力される。半導体制御素子は、制御信号をＰＷＭ（Pulse Width Modulation）制御信号に変換し、絶縁素子を介して駆動素子に伝送する。駆動素子は、ＰＷＭ制御信号に基づき駆動信号を生成してパワー半導体に入力することで、パワー半導体を所望のタイミングでスイッチング動作させる。６つのパワー半導体がそれぞれ所望のタイミングでスイッチング動作をすることで、車載用バッテリの直流電力からモータ駆動用の三相交流電力が生成される。たとえば、特許文献１には、絶縁素子を搭載した半導体装置の一例が開示されている。

[0003] 一般的に、インバータ装置は、２つのパワー半導体からなるハーフブリッジ回路を複数備えている。ハーフブリッジ回路の各パワー半導体にはそれぞれ半導体装置から駆動信号が入力される。特許文献１に開示された半導体装置は、１つのパワー半導体に入力される駆動信号を生成するので、インバータ装置の配線基板上には、１つのハーフブリッジ回路に対して２つの半導体装置が実装される。インバータ装置は小型化が要望されており、できるだけ

配線基板も小さくすることが望ましい。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１６－２０７７１４号公報

発明の概要

発明が解決しようとする課題

[0005] 上述の事情に鑑み、本開示は、配線基板への実装面積を縮小可能な半導体装置を提供することを一の課題とする。

課題を解決するための手段

[0006] 本開示によって提供される半導体装置は、半導体制御素子と、前記半導体制御素子の厚さ方向に直交する第１方向において、前記半導体制御素子から第１側に離間配置され、かつ、前記半導体制御素子が送信した信号を受信する第１駆動素子と、前記第１方向において、前記半導体制御素子から前記第１側とは反対の第２側に離間配置され、かつ、前記半導体制御素子が送信した信号を受信する第２駆動素子と、前記第１方向において前記半導体制御素子と前記第１駆動素子との間に配置され、かつ、前記半導体制御素子から前記第１駆動素子へ送信される信号を中継し、かつ、前記半導体制御素子および前記第１駆動素子を互いに絶縁する第１絶縁素子と、前記第１方向において前記半導体制御素子と前記第２駆動素子との間に配置され、かつ、前記半導体制御素子から前記第２駆動素子へ送信される信号を中継し、かつ、前記半導体制御素子および前記第２駆動素子を互いに絶縁する第２絶縁素子と、前記半導体制御素子を覆う封止樹脂とを備えている。

発明の効果

[0007] 上記構成によれば、配線基板への実装面積を縮小可能である。

[0008] 本開示のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなろう。

図面の簡単な説明

[0009] [図1]本開示の第１実施形態に係る半導体装置を示す平面図である。

[図2]図１の半導体装置を示す平面図であり、封止樹脂を透過した図である。

[図3]図１の半導体装置を示す正面図である。

[図4]図１の半導体装置を示す背面図である。

[図5]図１の半導体装置を示す左側面図である。

[図6]図１の半導体装置を示す右側面図である。

[図7]図２のＶＩＩ－ＶＩＩ線に沿う断面図である。

[図8]図２のＶＩＩＩ－ＶＩＩＩ線に沿う断面図である。

[図9]図２のＩＸ－ＩＸ線に沿う断面図である。

[図10]図２のＸ－Ｘ線に沿う断面図である。

[図11]図１のＸＩ－ＸＩ線に沿う断面図である。

[図12]図１のＸＩＩ－ＸＩＩ線に沿う断面図である。

[図13]図１の半導体装置の製造方法に係る工程を示す平面図である。

[図14]図１の半導体装置の製造方法に係る工程を示す平面図である。

[図15]図１の半導体装置の製造方法に係る工程を示す平面図である。

[図16]本開示の第２実施形態に係る半導体装置を示す平面図であり、封止樹脂を透過した図である。

[図17]本開示の第３実施形態に係る半導体装置を示す平面図である。

[図18]本開示の第４実施形態に係る半導体装置を示す平面図である。

[図19]本開示の第５実施形態に係る半導体装置を示す平面図であり、封止樹脂を透過した図である。

[図20]本開示の第６実施形態に係る半導体装置を示す平面図であり、封止樹脂を透過した図である。

発明を実施するための形態

[0010] 以下、本開示の好ましい実施の形態を、添付図面を参照して具体的に説明する。

[0011] 本開示において、「ある物Ａがある物Ｂに形成されている」および「ある物Ａがある物Ｂ上に形成されている」とは、特段の断りのない限り、「ある

物Ａがある物Ｂに直接形成されていること」、および、「ある物Ａとある物Ｂとの間に他の物を介在させつつ、ある物Ａがある物Ｂに形成されていること」を含む。同様に、「ある物Ａがある物Ｂに配置されている」および「ある物Ａがある物Ｂ上に配置されている」とは、特段の断りのない限り、「ある物Ａがある物Ｂに直接配置されていること」、および、「ある物Ａとある物Ｂとの間に他の物を介在させつつ、ある物Ａがある物Ｂに配置されていること」を含む。同様に、「ある物Ａがある物Ｂ上に位置している」とは、特段の断りのない限り、「ある物Ａがある物Ｂに接して、ある物Ａがある物Ｂ上に位置していること」、および、「ある物Ａとある物Ｂとの間に他の物が介在しつつ、ある物Ａがある物Ｂ上に位置していること」を含む。また、「ある物Ａがある物Ｂにある方向に見て重なる」とは、特段の断りのない限り、「ある物Ａがある物Ｂのすべてに重なること」、および、「ある物Ａがある物Ｂの一部に重なること」を含む。

[0012] 図１～図１２は、本開示の第１実施形態に係る半導体装置の一例を示している。本実施形態の半導体装置Ａ１０は、半導体制御素子１１、第１駆動素子１２、第１絶縁素子１３、第２駆動素子１４、第２絶縁素子１５、導電支持部材２、それぞれ複数のワイヤ６１～６７、および封止樹脂７を備えている。導電支持部材２は、第１ダイパッド３１、第２ダイパッド３２、第３ダイパッド３３、複数の入力側端子５１、複数の第１出力側端子５２、複数の第２出力側端子５３、およびそれぞれ複数のパッド部５４～５６を含んでいる。半導体装置Ａ１０は、たとえば電気自動車（ハイブリッド自動車を含む）のインバータ装置の配線基板に表面実装されるものであるが、本開示がこれに限定されるわけではない。なお、半導体装置Ａ１０の用途や機能は限定されない。半導体装置Ａ１０のパッケージ形式は、ＳＯＰ（Small Outline Package）であるが、本開示はこれに限定されない。

[0013] 図１は、半導体装置Ａ１０を示す平面図である。図２は、半導体装置Ａ１０を示す平面図である。図２においては、理解の便宜上、封止樹脂７を透過して、封止樹脂７の外形を想像線（二点鎖線）で示している。図３は、半導

体装置Ａ１０を示す正面図である。図４は、半導体装置Ａ１０を示す背面図である。図５は、半導体装置Ａ１０を示す左側面図である。図６は、半導体装置Ａ１０を示す右側面図である。図７は、図２のＶＩＩ－ＶＩＩ線に沿う断面図である。図８は、図２のＶＩＩＩ－ＶＩＩＩ線に沿う断面図である。図９は、図２のＩＸ－ＩＸ線に沿う断面図である。図１０は、図２のＸ－Ｘ線に沿う断面図である。図１１は、図１のＸＩ－ＸＩ線に沿う断面図である。図１２は、図１のＸＩＩ－ＸＩＩ線に沿う断面図である。

[0014] 半導体装置Ａ１０は、厚さ方向視(平面視)の形状が長矩形状である。説明の便宜上、半導体装置Ａ１０の厚さ方向をｚ方向とし、ｚ方向に直交する半導体装置Ａ１０の一方の辺に沿う方向（図１および図２における上下方向）をｘ方向とする。また、ｚ方向およびｘ方向に直交する方向（図１および図２における左右方向）をｙ方向とする。ｘ方向が「第１方向」の一例であり、ｙ方向が「第２方向」の一例である。半導体装置Ａ１０の形状および各寸法は限定されない。

[0015] 一例として、半導体制御素子１１、第１駆動素子１２、第１絶縁素子１３、第２駆動素子１４、および第２絶縁素子１５は、半導体装置Ａ１０の機能中枢となる素子である。

[0016] 半導体制御素子１１は、図２に示すように、導電支持部材２の一部（後述の第１ダイパッド３１）に搭載されて、半導体装置Ａ１０のｘ方向における中央で、ｙ方向におけるｙ１側寄りに配置されている。半導体制御素子１１は、ｚ方向視においてｙ方向に長い矩形状である。半導体制御素子１１は、ＥＣＵなどから入力された制御信号をＰＷＭ制御信号に変換する回路と、ＰＷＭ制御信号を第１駆動素子１２および第２駆動素子１４へ送信する送信回路とを有する。本実施形態では、半導体制御素子１１は、ハイサイド用の制御信号とローサイド用の制御信号とを入力されて、ハイサイド用のＰＷＭ制御信号を第１駆動素子１２に送信し、ローサイド用のＰＷＭ制御信号を第２駆動素子１４に送信する。

[0017] 第１駆動素子１２は、図２に示すように、導電支持部材２の一部（後述の

第２ダイパッド３２）に搭載されて、半導体装置Ａ１０のｘ方向におけるｘ１側の端部で、ｙ方向におけるｙ２側寄りに配置されている。第１駆動素子１２は、ｚ方向視においてｙ方向に長い矩形状である。第１駆動素子１２は、半導体制御素子１１から送信されたＰＷＭ制御信号を受信する受信回路と、受信したＰＷＭ制御信号に基づいてスイッチング素子（たとえばＩＧＢＴやＭＯＳＦＥＴなど）の駆動信号を生成して出力する回路（ゲートドライバ）とを有する。第１駆動素子１２は、ハイサイドのスイッチング素子を駆動させる。

[0018] 第２駆動素子１４は、図２に示すように、導電支持部材２の一部（後述の第３ダイパッド３３）に搭載されて、半導体装置Ａ１０のｘ方向におけるｘ２側の端部で、ｙ方向におけるｙ２側寄りに配置されている。第２駆動素子１４は、ｚ方向視においてｙ方向に長い矩形状である。第２駆動素子１４は、半導体制御素子１１から送信されたＰＷＭ制御信号を受信する受信回路と、受信したＰＷＭ制御信号に基づいてスイッチング素子の駆動信号を生成して出力する回路とを有する。第２駆動素子１４は、ローサイドのスイッチング素子を駆動させる。

[0019] 本実施形態では、第１駆動素子１２がハイサイド用のＰＷＭ制御信号に基づいてハイサイドのスイッチング素子を駆動させ、第２駆動素子１４がローサイド用のＰＷＭ制御信号に基づいてローサイドのスイッチング素子を駆動させる。これに替えて、第１駆動素子１２がローサイド用のＰＷＭ制御信号に基づいてローサイドのスイッチング素子を駆動させ、第２駆動素子１４がハイサイド用のＰＷＭ制御信号に基づいてハイサイドのスイッチング素子を駆動させてもよい。

[0020] 第１絶縁素子１３は、図２に示すように、導電支持部材２の一部（第１ダイパッド３１）に搭載されて、半導体装置Ａ１０のｙ方向における中央に配置されている。第１絶縁素子１３は、第１駆動素子１２に対してｘ方向ｘ２側に位置し、半導体制御素子１１に対してｘ方向ｘ１側に位置する。つまり、第１絶縁素子１３は、ｘ方向において、第１駆動素子１２と半導体制御素

子１１との間に位置する。第１絶縁素子１３は、ｚ方向視においてｙ方向に長い矩形状である。第１絶縁素子１３は、ＰＷＭ制御信号を、絶縁状態で伝送するための素子である。第１絶縁素子１３は、ワイヤ６４を介して半導体制御素子１１からＰＷＭ制御信号を受信し、受信したＰＷＭ制御信号をワイヤ６５を介して第１駆動素子１２へ絶縁状態で伝送する。つまり、第１絶縁素子１３は、第１駆動素子１２と半導体制御素子１１との間で信号を中継しつつ、第１駆動素子１２および半導体制御素子１１を互いに絶縁している。

[0021] 本実施形態においては、第１絶縁素子１３は、インダクタ結合型絶縁素子である。インダクタ結合型絶縁素子は、２つのインダクタ（コイル）を誘導結合させることで、絶縁状態による信号の伝送を行う。第１絶縁素子１３は、Ｓｉからなる基板を有し、当該基板上に、Ｃｕからなるインダクタが形成されている。インダクタは、送信側インダクタおよび受信側インダクタを含み、これらのインダクタは第１絶縁素子１３の厚さ方向（ｚ方向）において互いに積層されている。送信側インダクタと受信側インダクタとの間には、SiO_2などからなる誘電体層が介装されている。誘電体層により、送信側インダクタと受信側インダクタとは、電気的に絶縁されている。本実施形態では、第１絶縁素子１３がインダクティブ型である場合を示すが、第１絶縁素子１３はキャパシティブ型であってもよい。キャパシティブ型の絶縁素子は、一例ではコンデンサである。

[0022] 第２絶縁素子１５は、図２に示すように、導電支持部材２の一部（第１ダイパッド３１）に搭載されて、半導体装置Ａ１０のｙ方向における中央に配置されている。第２絶縁素子１５は、第２駆動素子１４に対してｘ方向ｘ１側に位置し、半導体制御素子１１に対してｘ方向ｘ２側に位置する。つまり、第２絶縁素子１５は、ｘ方向において、第２駆動素子１４と半導体制御素子１１との間に位置する。第２絶縁素子１５は、ｚ方向視においてｙ方向に長い矩形状である。第２絶縁素子１５は、ＰＷＭ制御信号を、絶縁状態で伝送するための素子である。第２絶縁素子１５は、ワイヤ６６を介して半導体制御素子１１からＰＷＭ制御信号を受信し、受信したＰＷＭ制御信号をワイ

ヤ６７を介して第２駆動素子１４へ絶縁状態で伝送する。つまり、第２絶縁素子１５は、第２駆動素子１４と半導体制御素子１１との間で信号を中継しつつ、第２駆動素子１４および半導体制御素子１１を互いに絶縁している。本実施形態においては、第２絶縁素子１５は、第１絶縁素子１３と同様、インダクタ結合型絶縁素子である。なお、第２絶縁素子１５は、キャパシティブ型であってもよい。

[0023] 半導体制御素子１１は、第１絶縁素子１３を介して、第１駆動素子１２にハイサイド用のＰＷＭ制御信号を伝送し、第２絶縁素子１５を介して、第２駆動素子１４にローサイド用のＰＷＭ制御信号を伝送する。なお、半導体制御素子１１は、第１絶縁素子１３を介して、第１駆動素子１２にＰＷＭ制御信号以外の信号も伝送してもよいし、第２絶縁素子１５を介して、第２駆動素子１４にＰＷＭ制御信号以外の信号も伝送してもよい。また、第１駆動素子１２は、第１絶縁素子１３を介して、半導体制御素子１１に信号を伝送してもよい。また、第２駆動素子１４は、第２絶縁素子１５を介して、半導体制御素子１１に信号を伝送してもよい。なお、第１駆動素子１２および第２駆動素子１４が半導体制御素子１１に伝送する信号が示す情報は限定されない。

[0024] ハイブリッド自動車などのインバータ装置におけるモータドライバ回路には、ローサイドのスイッチング素子とハイサイドのスイッチング素子とをトーテムポール状に接続したハーフブリッジ回路が一般的に使用されている。絶縁ゲートドライバでは、任意の時点でオンになるスイッチは、ローサイドのスイッチング素子かハイサイドのスイッチング素子のどちらか一方のみである。高電圧領域において、ローサイドのスイッチング素子のソース、および、当該スイッチング素子を駆動する絶縁ゲートドライバの基準電位はグランドに接続されているので、ゲート－ソース間電圧はグランドを基準に動作する。一方、ハイサイドのスイッチング素子のソース、および、当該スイッチング素子を駆動する絶縁ゲートドライバの基準電位はハーフブリッジ回路の出力ノードに接続されている。ローサイドのスイッチング素子とハイサイ

ドのスイッチング素子のどちらがオンであるかに応じて、ハーフブリッジ回路の出力ノードの電位は変化するので、ハイサイドのスイッチング素子を駆動する絶縁ゲートドライバの基準電位は変化する。ハイサイドのスイッチング素子がオンのときには、当該基準電位は、ハイサイドのスイッチング素子のドレインに印加される電圧と等価な電圧（例えば６００Ｖ以上）になる。半導体装置Ａ１０では、第１駆動素子１２が、ハイサイドのスイッチング素子を駆動する絶縁ゲートドライバとして用いられる。第１駆動素子１２と半導体制御素子１１とは絶縁性を確保するためにグランドが分離されているので、第１駆動素子１２には、半導体制御素子１１のグランドと比較して、６００Ｖ以上の電圧が過渡的に印加される。第１駆動素子１２と半導体制御素子１１との間に著しい電位差が生じることから、半導体装置Ａ１０においては、半導体制御素子１１を含む入力側回路と、第１駆動素子１２を含む第１出力側回路とが、第１絶縁素子１３により絶縁されている。つまり、第１絶縁素子１３は、相対的に低電位である入力側回路と、相対的に高電位である第１出力側回路とを絶縁する。また、半導体装置Ａ１０においては、半導体制御素子１１を含む入力側回路と、第２駆動素子１４を含む第２出力側回路とが、第２絶縁素子１５により絶縁されている。つまり、第２絶縁素子１５は、相対的に低電位である入力側回路と、相対的に高電位である第２出力側回路とを絶縁する。

[0025] 半導体制御素子１１、第１駆動素子１２、第１絶縁素子１３、第２駆動素子１４、および第２絶縁素子１５のそれぞれの上面（ｚ１側を向く面）には、図示しない複数の電極が設けられている。第１駆動素子１２、第１絶縁素子１３、半導体制御素子１１、第２絶縁素子１５、および第２駆動素子１４は、この順番で、ｘ方向ｘ１側からｘ２側に並んでいる。第１駆動素子１２、第１絶縁素子１３、半導体制御素子１１、第２絶縁素子１５、および第２駆動素子１４はそれぞれ、ｙ方向視において、互いに重なっておらず、他との間に間隔が設けられている。第１絶縁素子１３の中心１３ａは、ｙ方向において、半導体制御素子１１の中心１１ａと第１駆動素子１２の中心１２ａ

との間に位置する。また、第２絶縁素子１５の中心１５ａは、ｙ方向において、半導体制御素子１１の中心１１ａと第２駆動素子１４の中心１４ａとの間に位置する。つまり、半導体制御素子１１、第１駆動素子１２、第１絶縁素子１３、第２駆動素子１４、および第２絶縁素子１５は、ｚ方向視において、ｙ方向ｙ２側が開口するＶ字形状に配置されている。

[0026] 導電支持部材２は、半導体装置Ａ１０において、半導体制御素子１１、第１駆動素子１２、および第２駆動素子１４と、インバータ装置の配線基板との導通経路を構成する部材である。導電支持部材２は、たとえばＣｕを組成に含む合金からなる。導電支持部材２は、後述するリードフレーム８０から形成される。導電支持部材２は、半導体制御素子１１、第１駆動素子１２、第１絶縁素子１３、第２駆動素子１４、および第２絶縁素子１５を搭載する。図２に示すように、導電支持部材２は、第１ダイパッド３１、第２ダイパッド３２、第３ダイパッド３３、複数の入力側端子５１、複数の第１出力側端子５２、複数の第２出力側端子５３、およびそれぞれ複数のパッド部５４～５６を含んでいる。

[0027] 第１ダイパッド３１は、半導体装置Ａ１０においてｘ方向における中央で、ｙ方向におけるｙ１側寄りに配置されている。第２ダイパッド３２は、第１ダイパッド３１に対してｘ方向のｘ１側に、第１ダイパッド３１から離れて配置されている。第３ダイパッド３３は、第１ダイパッド３１に対してｘ方向のｘ２側に、第１ダイパッド３１から離れて配置されている。

[0028] 第１ダイパッド３１は、図２、図７、図９、および図１０に示すように、半導体制御素子１１、第１絶縁素子１３、および第２絶縁素子１５が搭載されている。第１ダイパッド３１は、半導体制御素子１１に導通しており、先述した入力側回路の一要素である。第１ダイパッド３１は、たとえば、ｚ方向視形状がｘ方向に長い矩形状（あるいは略矩形状）である。第１ダイパッド３１は、主面３１１および裏面３１２を有する。主面３１１および裏面３１２は、図７、図９、および図１０に示すように、ｚ方向において離間する。主面３１１はｚ１側を向き、裏面３１２はｚ２側を向く。主面３１１およ

び裏面３１２はそれぞれ、平坦（あるいは略平坦）である。半導体制御素子１１、第１絶縁素子１３、および第２絶縁素子１５は、図７、図９、および図１０に示すように、接合層６９により、第１ダイパッド３１の主面３１１に接合されている。接合層６９は、たとえばＡｇペーストなどの金属ペーストを固化したものである。なお、接合層６９は、限定されず、はんだや焼結金属などであってもよいし、絶縁性ペーストであってもよい。

[0029] 本実施形態では、第１ダイパッド３１は、複数の突出部３１３および複数の溝部３１４を備えている。複数の突出部３１３は、図２に示すように、第１ダイパッド３１のｙ方向ｙ２側を向く側面からｙ方向ｙ２側に突出する部分である。本実施形態では、複数の突出部３１３は、ｘ方向に等間隔で並んで３つ配置されている。複数の突出部３１３は、封止樹脂７から露出していない。複数の突出部３１３は、製造工程におけるワイヤボンディング時に、第１ダイパッド３１を安定させるためにクランプするための部分である。また、ｘ方向において中央に位置する突出部３１３には、後述するワイヤ６１ｃが接合されている。第１ダイパッド３１の主面３１１のうち、当該突出部３１３には、めっき処理が施されていてもよい。当該めっき処理により形成されるめっき層は、たとえばＡｇを含む金属からなる。当該めっき層は、ワイヤ６１ｃの接合強度を高めつつ、ワイヤ６１ｃのワイヤボンディング時の衝撃からリードフレーム８０（後述）を保護する。

[0030] 複数の溝部３１４は、図２および図１０に示すように、それぞれが主面３１１からｚ方向に凹んだ溝であり、ｙ方向に延びている。本実施形態では、ｙ方向に配列された３つの溝部３１４が、ｘ方向において、半導体制御素子１１と第１絶縁素子１３との間、および、半導体制御素子１１と第２絶縁素子１５との間にそれぞれ配置されている。本実施形態では、各溝部３１４は、ハーフエッチングによって形成される。なお、各溝部３１４の形成方法は限定されない。各溝部３１４は、たとえばスタンピングによって、主面３１１から凹ませるように形成されてもよい。複数の溝部３１４は、第１ダイパッド３１と封止樹脂７との密着性を向上させるために設けられている。なお

、各溝部３１４の形状、配置位置、および配置数は限定されない。各溝部３１４は、第１ダイパッド３１をｚ方向に貫通してもよい。また、第１ダイパッド３１は溝部３１４を備えなくてもよい。

[0031] 第２ダイパッド３２は、図２、図８、および図１０に示すように、第１駆動素子１２が搭載されている。第２ダイパッド３２は、第１駆動素子１２に導通しており、先述した第１出力側回路の一要素である。第２ダイパッド３２は、たとえば、ｚ方向視形状が矩形状（あるいは略矩形状）である。第２ダイパッド３２は、主面３２１および裏面３２２を有する。主面３２１および裏面３２２は、図８および図１０に示すように、ｚ方向において離間する。主面３２１はｚ１側を向き、裏面３２２はｚ２側を向く。主面３２１および裏面３２２はそれぞれ、平坦（あるいは略平坦）である。第１駆動素子１２は、図８および図１０に示すように、接合層６９により、第２ダイパッド３２の主面３２１に接合されている。また、図２に示すように、主面３２１の第１駆動素子１２が搭載されている位置のｙ方向ｙ２側には、後述するワイヤ６２ａが接合されている。第２ダイパッド３２の主面３２１のうち、ワイヤ６２ａが接合される領域には、めっき処理が施されていてもよい。当該めっき処理により形成されるめっき層は、たとえばＡｇを含む金属からなる。当該めっき層は、ワイヤ６２ａの接合強度を高めつつ、ワイヤ６２ａのワイヤボンディング時の衝撃からリードフレーム８０（後述）を保護する。

[0032] 本実施形態では、第２ダイパッド３２は、突出部３２３を備えている。突出部３２３は、図２に示すように、第２ダイパッド３２のｘ方向ｘ１側を向く側面からｘ方向ｘ１側に突出する部分であり、当該側面のｙ方向ｙ１側寄りに配置されている。突出部３２３は、封止樹脂７から露出していない。突出部３２３は、製造工程におけるワイヤボンディング時に、第２ダイパッド３２を安定させるためにクランプするための部分である。

[0033] 第３ダイパッド３３は、図２および図１０に示すように、第２駆動素子１４が搭載されている。第３ダイパッド３３は、第２駆動素子１４に導通しており、先述した第２出力側回路の一要素である。第３ダイパッド３３は、た

とえば、ｚ方向視形状が矩形状（あるいは略矩形状）である。第３ダイパッド３３は、主面３３１および裏面３３２を有する。主面３３１および裏面３３２は、図１０に示すように、ｚ方向において離間する。主面３３１はｚ１側を向き、裏面３３２はｚ２側を向く。主面３３１および裏面３３２はそれぞれ、平坦（あるいは略平坦）である。第２駆動素子１４は、図１０に示すように、接合層６９により、第３ダイパッド３３の主面３３１に接合されている。また、図２に示すように、主面３３１の第２駆動素子１４が搭載されている位置のｙ方向ｙ２側には、後述するワイヤ６３ａが接合されている。第３ダイパッド３３の主面３２１のうち、ワイヤ６３ａが接合される領域には、めっき処理が施されていてもよい。当該めっき処理により形成されるめっき層は、たとえばＡｇを含む金属からなる。当該めっき層は、ワイヤ６３ａの接合強度を高めつつ、ワイヤ６３ａのワイヤボンディング時の衝撃からリードフレーム８０（後述）を保護する。

[0034] 本実施形態では、第３ダイパッド３３は、突出部３３３を備えている。突出部３３３は、図２に示すように、第３ダイパッド３３のｘ方向ｘ２側を向く側面からｘ方向ｘ２側に突出する部分であり、当該側面のｙ方向ｙ１側寄りに配置されている。突出部３３３は、封止樹脂７から露出していない。突出部３３３は、製造工程におけるワイヤボンディング時に、第３ダイパッド３３を安定させるためにクランプするための部分である。

[0035] 複数の入力側端子５１は、インバータ装置の配線基板に接合されることで、半導体装置Ａ１０と当該配線基板との導電経路を構成する部材である。各入力側端子５１は、半導体制御素子１１に適宜導通しており、先述した入力側回路の一要素である。図１、図２、および図５に示すように、複数の入力側端子５１は、互いに離間しつつ、ｘ方向に沿って等間隔で配列されている。複数の入力側端子５１は、いずれも、第１ダイパッド３１に対してｙ方向のｙ１側に位置し、封止樹脂７（後述の側面７３）からｙ方向のｙ１側に突出している。複数の入力側端子５１は、電圧が供給される電源端子、グランド端子、制御信号を入力される入力端子などを含んでいる。本実施形態では

、半導体装置Ａ１０は、８つの入力側端子５１を備えている。なお、入力側端子５１の数は限定されない。また、各入力側端子５１が入出力する信号は限定されない。

[0036] 各入力側端子５１は、ｙ方向に沿って延びた長矩形状であり、封止樹脂７から露出した部分と封止樹脂７に覆われた部分とを含む。図７～図９に示すように、入力側端子５１のうち封止樹脂７から露出した部分は、ガルウィング状に曲げ加工が施されている。また、入力側端子５１のうち封止樹脂７から露出した部分には、めっき処理が施されていてもよい。当該めっき処理により形成されるめっき層は、たとえばはんだなどのＳｎを含む合金からなり、封止樹脂７から露出した部分を覆う。当該めっき層は、はんだ接合によって半導体装置Ａ１０をインバータ装置の配線基板に表面実装させる際に、当該露出した部分へのはんだの付着を良好なものにしつつ、はんだ接合に起因した当該露出した部分の浸食を防止する。複数の入力側端子５１は、入力側端子５１ａ，５１ｂ，５１ｃ，５１ｄを含んでいる。入力側端子５１ａは、複数の入力側端子５１の中で、ｘ方向の最もｘ１側に配置されている。入力側端子５１ｂは、複数の入力側端子５１の中で、ｘ方向の最もｘ２側に配置されている。入力側端子５１ｃは、複数の入力側端子５１の中で、ｘ方向ｘ１側から４番目に配置されている。入力側端子５１ｄは、複数の入力側端子５１の中で、ｘ方向ｘ１側から５番目に配置されている。つまり、入力側端子５１ｃ，５１ｄは、複数の入力側端子５１の中で、ｘ方向の中央に配置された１対の端子である。入力側端子５１ｃ，５１ｄは、第１ダイパッド３１につながっており、第１ダイパッド３１を支持している。

[0037] 複数のパッド部５４は、入力側端子５１ｃ，５１ｄ以外の複数の入力側端子５１のｙ方向ｙ２側にそれぞれつながっている。各パッド部５４のｚ方向視形状は限定されないが、本実施形態では、第１ダイパッド３１に向けて延びた形状である。各パッド部５４の上面（ｚ１側を向く面）は、平坦（あるいは略平坦）であり、ワイヤ６１が接合されている。各パッド部５４の上面には、めっき処理が施されていてもよい。当該めっき処理により形成される

めっき層は、たとえばＡｇを含む金属からなり、パッド部５４の上面を覆う。当該めっき層は、ワイヤ６１の接合強度を高めつつ、ワイヤ６１のワイヤボンディング時の衝撃からリードフレーム８０を保護する。パッド部５４は、全面にわたって封止樹脂７に覆われている。複数のパッド部５４は、パッド部５４ａ，５４ｂを備えている。パッド部５４ａは、入力側端子５１ａにつながっている。パッド部５４ｂは、入力側端子５１ｂにつながっている。

[0038] 複数の第１出力側端子５２は、複数の入力側端子５１と同様に、インバータ装置の配線基板に接合されることで、半導体装置Ａ１０と当該配線基板との導電経路を構成する部材である。各第１出力側端子５２は、第１駆動素子１２に適宜導通しており、先述した第１出力側回路の一要素である。図１、図２および図６に示すように、複数の第１出力側端子５２は、ｘ方向において互いに離間しつつ、ｘ方向に沿って等間隔で配列されている。複数の第１出力側端子５２は、いずれも、第２ダイパッド３２に対してｙ方向のｙ２側に位置し、封止樹脂７（後述の側面７４）からｙ方向のｙ２側に突出している。複数の第１出力側端子５２は、電圧が供給される電源端子、グランド端子、駆動信号を出力する出力端子などを含んでいる。本実施形態では、半導体装置Ａ１０は、３つの第１出力側端子５２を備えている。なお、第１出力側端子５２の数は限定されない。また、各第１出力側端子５２が入出力する信号は限定されない。

[0039] 各第１出力側端子５２は、ｙ方向に沿って延びた長矩形状であり、封止樹脂７から露出した部分と封止樹脂７に覆われた部分とを含む。図７～図９に示すように、第１出力側端子５２のうち封止樹脂７から露出した部分は、ガルウィング状に曲げ加工が施されている。また、第１出力側端子５２のうち封止樹脂７から露出した部分には、入力側端子５１の場合と同様に、めっき層（たとえばはんだなどのＳｎを含む合金）が形成されていてもよい。複数の第１出力側端子５２は、第１出力側端子５２ａおよび第１出力側端子５２ｂを含んでいる。第１出力側端子５２ａは、複数の第１出力側端子５２の中で、ｘ方向の最もｘ１側に配置されている。第１出力側端子５２ａは、第２

ダイパッド３２につながっており、第２ダイパッド３２を支持している。第１出力側端子５２ｂは、複数の第１出力側端子５２の中で、ｘ方向の最もｘ２側に配置されている。

[0040] 複数のパッド部５５は、第１出力側端子５２ａ以外の複数の第１出力側端子５２のｙ方向ｙ１側にそれぞれつながっている。各パッド部５５のｚ方向視形状は限定されないが、本実施形態では、ｘ方向に延びた形状である。各パッド部５５の上面（ｚ１側を向く面）は、平坦（あるいは略平坦）であり、ワイヤ６２が接合されている。各パッド部５５の上面は、パッド部５４の上面と同様に、めっき層（たとえばＡｇを含む金属）で覆われていてもよい。パッド部５５は、全面にわたって封止樹脂７に覆われている。

[0041] 複数の第２出力側端子５３は、複数の入力側端子５１と同様に、インバータ装置の配線基板に接合されることで、半導体装置Ａ１０と当該配線基板との導電経路を構成する部材である。各第２出力側端子５３は、第２駆動素子１４に適宜導通しており、先述した第２出力側回路の一要素である。図１、図２および図６に示すように、複数の第２出力側端子５３は、複数の第１出力側端子５２に対してｘ方向ｘ２側に配置され、ｘ方向において互いに離間しつつ、ｘ方向に沿って等間隔で配列されている。複数の第２出力側端子５３は、いずれも、第３ダイパッド３３に対してｙ方向のｙ２側に位置し、封止樹脂７（後述の側面７４）からｙ方向のｙ２側に突出している。複数の第２出力側端子５３は、電圧が供給される電源端子、グランド端子、駆動信号を出力する出力端子などを含んでいる。本実施形態では、半導体装置Ａ１０は、３つの第２出力側端子５３を備えている。なお、第２出力側端子５３の数は限定されない。また、各第２出力側端子５３が入出力する信号は限定されない。

[0042] 各第２出力側端子５３は、ｙ方向に沿って延びた長矩形状であり、封止樹脂７から露出した部分と封止樹脂７に覆われた部分とを含む。図３に示すように、第２出力側端子５３のうち封止樹脂７から露出した部分は、ガルウィング状に曲げ加工が施されている。また、第２出力側端子５３のうち封止樹

脂７から露出した部分には、入力側端子５１の場合と同様に、めっき層（たとえばはんだなどのＳｎを含む合金）が形成されていてもよい。複数の第２出力側端子５３は、第２出力側端子５３ａおよび第２出力側端子５３ｂを含んでいる。第２出力側端子５３ａは、複数の第２出力側端子５３の中で、ｘ方向の最もｘ２側に配置されている。第２出力側端子５３ａは、第３ダイパッド３３につながっており、第３ダイパッド３３を支持している。第２出力側端子５３ｂは、複数の第２出力側端子５３の中で、ｘ方向の最もｘ１側に配置されている。

[0043] 複数のパッド部５６は、第２出力側端子５３ａ以外の複数の第２出力側端子５３のｙ方向ｙ１側にそれぞれつながっている。各パッド部５６のｚ方向視形状は限定されないが、本実施形態では、ｘ方向に延びた形状である。各パッド部５６の上面（ｚ１側を向く面）は、平坦（あるいは略平坦）であり、ワイヤ６３が接合されている。各パッド部５６の上面は、パッド部５４の上面と同様に、めっき層（たとえばＡｇを含む金属）で覆われていてもよい。パッド部５６は、全面にわたって封止樹脂７に覆われている。

[0044] 半導体装置Ａ１０では、第１駆動素子１２には、半導体制御素子１１のグランドと比較して、６００Ｖ以上の電圧が過渡的に印加される。そのため、第１駆動素子１２に導通する第１出力側端子５２と、半導体制御素子１１に導通する入力側端子５１との間に著しい電位差が生じるときがある。また、第２駆動素子１４と半導体制御素子１１との電位差は小さいので、第１駆動素子１２に導通する第１出力側端子５２と、第２駆動素子１４に導通する第２出力側端子５３との間にも著しい電位差が生じるときがある。

[0045] 本実施形態では、図１に示すように、複数の第１出力側端子５２の封止樹脂７から露出する部分と複数の第２出力側端子５３の封止樹脂７から露出する部分とが、ｘ方向において大きく離れている。具体的には、第１出力側端子５２ｂの封止樹脂７から露出する部分と第２出力側端子５３ｂの封止樹脂７から露出する部分との間の距離である第１端子間距離Ｌ１が大きく、隣り合う２つの第１出力側端子５２の封止樹脂７から露出する部分の間の距離で

ある第２端子間距離Ｌ２の３．５倍程度である。なお、第１端子間距離Ｌ１は限定されないが、第２端子間距離Ｌ２の３倍以上が望ましい。図に示す例では、複数の第１出力側端子５２がｘ方向に沿って等間隔に配置されているので、隣り合う任意の２つの第１出力側端子５２の露出部分の間の離間距離は同じ値である。これに替えて、隣り合う２つの第１出力側端子５２の露出部分の間の離間距離が互いに異なる場合は、たとえば、当該離間距離のうちの最大値を第２端子間距離Ｌ２とすればよい。

[0046] 複数のワイヤ６１～６７は、図２に示すように、導電支持部材２とともに、半導体制御素子１１、第１駆動素子１２、および第２駆動素子１４が所定の機能を果たすための導通経路を構成している。複数のワイヤ６１～６４の各々の材料は、たとえばＡｕ、Ｃｕ、またはＡｌを含む金属である。

[0047] 複数のワイヤ６１は、半導体制御素子１１と、複数の入力側端子５１との導通経路を構成する。複数のワイヤ６１によって、半導体制御素子１１は、複数の入力側端子５１の少なくともいずれかに導通する。複数のワイヤ６１は、先述した入力側回路の一要素である。複数のワイヤ６１の各々は、半導体制御素子１１のいずれかの電極に接合されている。複数のワイヤ６１は、ワイヤ６１ａ，６１ｂ，６１ｃを含んでいる。ワイヤ６１ａは、半導体制御素子１１からｘ方向ｘ１側に延び、入力側端子５１ａにつながるパッド部５４ａに接合されている。したがって、ワイヤ６１ａは、比較的長く、また、ｚ方向視において、第１絶縁素子１３に近接して配置されている。しかし、ワイヤ６１ａは、ｚ方向視において第１絶縁素子１３に重なっていない。また、ワイヤ６１ａがｘ方向となす角度は小さく、２０°以下である。ワイヤ６１ａは、「第１ワイヤ」の一例である。ワイヤ６１ｂは、半導体制御素子１１からｘ方向ｘ２側に延び、入力側端子５１ｂにつながるパッド部５４ｂに接合されている。したがって、ワイヤ６１ｂは、比較的長く、また、ｚ方向視において、第２絶縁素子１５に近接して配置されている。しかし、ワイヤ６１ｂは、ｚ方向視において第２絶縁素子１５に重なっていない。また、ワイヤ６１ｂがｘ方向となす角度は小さく、２０°以下である。ワイヤ６１

ｂは、「第２ワイヤ」の一例である。ワイヤ６１ｃは、半導体制御素子１１からｙ方向ｙ２側に延び、第１ダイパッド３１の突出部３１３に接合されている。これにより、半導体制御素子１１は、ワイヤ６１ｃおよび第１ダイパッド３１を介して、入力側端子５１ｃ，５１ｄに導通している。なお、ワイヤ６１ａ，６１ｂ，６１ｃのそれぞれの数は限定されない。ワイヤ６１ａ，６１ｂ，６１ｃ以外のワイヤ６１はそれぞれ、半導体制御素子１１からｙ方向ｙ１側に延び、パッド部５４のいずれかに接合されている。なお、各パッド部５４に接合されるワイヤ６１の数は限定されない。

[0048] 複数のワイヤ６２は、第１駆動素子１２と、複数の第１出力側端子５２との導通経路を構成する。複数のワイヤ６２によって、第１駆動素子１２は、複数の第１出力側端子５２の少なくともいずれかに導通する。複数のワイヤ６２は、先述した第１出力側回路の一要素である。複数のワイヤ６２の各々は、第１駆動素子１２のいずれかの電極に接合されている。複数のワイヤ６２は、ワイヤ６２ａを含んでいる。ワイヤ６２ａは、第１駆動素子１２からｙ方向ｙ２側に延び、第２ダイパッド３２に接合されている。これにより、第１駆動素子１２は、ワイヤ６２ａおよび第２ダイパッド３２を介して、第１出力側端子５２ａに導通している。なお、ワイヤ６２ａの数は限定されない。ワイヤ６２ａ以外のワイヤ６２はそれぞれ、第１駆動素子１２からｙ方向ｙ２側に延び、パッド部５５のいずれかに接合されている。なお、各パッド部５５に接合されるワイヤ６２の数は限定されない。

[0049] 複数のワイヤ６３は、第２駆動素子１４と、複数の第２出力側端子５３との導通経路を構成する。複数のワイヤ６３によって、第２駆動素子１４は、複数の第２出力側端子５３の少なくともいずれかに導通する。複数のワイヤ６３は、先述した第２出力側回路の一要素である。複数のワイヤ６３の各々は、第２駆動素子１４のいずれかの電極に接合されている。複数のワイヤ６３は、ワイヤ６３ａを含んでいる。ワイヤ６３ａは、第２駆動素子１４からｙ方向ｙ２側に延び、第３ダイパッド３３に接合されている。これにより、第２駆動素子１４は、ワイヤ６３ａおよび第３ダイパッド３３を介して、第

２出力側端子５３ａに導通している。なお、ワイヤ６３ａの数は限定されない。ワイヤ６３ａ以外のワイヤ６３はそれぞれ、第２駆動素子１４からｙ方向ｙ２側に延び、パッド部５６のいずれかに接合されている。なお、各パッド部５６に接合されるワイヤ６３の数は限定されない。

[0050] 複数のワイヤ６４は、図２および図１０に示すように、半導体制御素子１１と第１絶縁素子１３との導通経路を構成する。複数のワイヤ６４によって、半導体制御素子１１と第１絶縁素子１３とは、互いに導通する。複数のワイヤ６４は先述した入力側回路の一要素である。複数のワイヤ６４の各々は、ｘ方向（あるいは略ｘ方向）に延び、半導体制御素子１１のいずれかの電極と第１絶縁素子１３のいずれかの電極とに接合されている。なお、ワイヤ６４の数は限定されない。

[0051] 複数のワイヤ６５は、図２および図１０に示すように、第１駆動素子１２と第１絶縁素子１３との導通経路を構成する。複数のワイヤ６５によって、第１駆動素子１２と第１絶縁素子１３とは、互いに導通する。複数のワイヤ６５は先述した第１出力側回路の一要素である。複数のワイヤ６５の各々は、ｘ方向（あるいは略ｘ方向）に延び、第１駆動素子１２のいずれかの電極と第１絶縁素子１３のいずれかの電極とに接合されている。なお、ワイヤ６５の数は限定されない。

[0052] 複数のワイヤ６６は、図２および図１０に示すように、半導体制御素子１１と第２絶縁素子１５との導通経路を構成する。複数のワイヤ６６によって、半導体制御素子１１と第２絶縁素子１５とは、互いに導通する。複数のワイヤ６６は先述した入力側回路の一要素である。複数のワイヤ６６の各々は、ｘ方向（あるいは略ｘ方向）に延び、半導体制御素子１１のいずれかの電極と第２絶縁素子１５のいずれかの電極とに接合されている。なお、ワイヤ６６の数は限定されない。

[0053] 複数のワイヤ６７は、図２および図１０に示すように、第２駆動素子１４と第２絶縁素子１５との導通経路を構成する。複数のワイヤ６７によって、第２駆動素子１４と第２絶縁素子１５とは、互いに導通する。複数のワイヤ

６７は先述した第２出力側回路の一要素である。複数のワイヤ６７の各々は、ｘ方向（あるいは略ｘ方向）に延び、第２駆動素子１４のいずれかの電極と第２絶縁素子１５のいずれかの電極とに接合されている。なお、ワイヤ６７の数は限定されない。

[0054] 封止樹脂７は、図１に示すように、半導体制御素子１１、第１駆動素子１２、第１絶縁素子１３、第２駆動素子１４、第２絶縁素子１５、第１ダイパッド３１、第２ダイパッド３２、第３ダイパッド３３、それぞれ複数のパッド部５４～５６、およびそれぞれ複数のワイヤ６１～６７と、それぞれ複数の入力側端子５１、第１出力側端子５２、および第２出力側端子５３の各々の一部とを覆っている。封止樹脂７は、電気絶縁性を有する。封止樹脂７は、たとえば黒色のエポキシ樹脂を含む材料からなる。封止樹脂７は、ｚ方向視において、ｙ方向に長い矩形状である。本実施形態では、封止樹脂７のｘ方向の寸法は９．０～１１ｍｍ程度であり、ｙ方向の寸法は３．５～４．５ｍｍ程度であり、ｚ方向の寸法は１．３～１．５ｍｍ程度である。なお、各寸法は限定されない。

[0055] 図３～図６に示すように、封止樹脂７は、頂面７１、底面７２、および側面７３～７６を有する。

[0056] 頂面７１および底面７２は、ｚ方向において互いに離れて位置する。頂面７１および底面７２は、ｚ方向において互いに反対側を向く。頂面７１は、ｚ方向のｚ１側に位置し、第１ダイパッド３１の主面３１１が向く側と同じ側（ｚ１側）を向く。別言すれば、頂面７１は、ｚ方向において、半導体制御素子１１を基準とし、第１ダイパッド３１とは反対側にある。底面７２はｚ方向のｚ２側に位置し、第１ダイパッド３１の裏面３１２と同じく、ｚ２側を向く。頂面７１および底面７２の各々は、平坦（あるいは略平坦）である。

[0057] 側面７３～７６の各々は、頂面７１および底面７２につながるとともに、ｚ方向において頂面７１と底面７２とに挟まれている。側面７３および側面７４は、ｙ方向において互いに離れて位置する。側面７３および側面７４は

、ｙ方向において互いに反対側を向く。側面７３はｙ方向のｙ１側に位置し、側面７４はｙ方向のｙ２側に位置する。側面７５および側面７６は、ｘ方向において互いに離れて位置し、かつ、側面７３および側面７４につながっている。側面７５および側面７６は、ｘ方向において互いに反対側を向く。側面７５はｘ方向のｘ１側に位置し、側面７６はｘ方向のｘ２側に位置する。図１に示すように、側面７３から、複数の入力側端子５１の各々の一部が突出している。また、側面７４から、複数の第１出力側端子５２および複数の第２出力側端子５３の各々の一部が突出している。しかし、側面７４において、第１出力側端子５２ｂと第２出力側端子５３ｂとの間では、導電支持部材２が露出していない。また、側面７５および側面７６からは、導電支持部材２が露出していない。側面７４は「第１側面」の一例であり、側面７５は「第２側面」の一例であり、側面７６は「第３側面」の一例である。

[0058] 図５に示すように、側面７３は、上部領域７３１、下部領域７３２、および中間領域７３３を含む。上部領域７３１は、ｚ方向の一端が頂面７１につながり、かつ、ｚ方向の他端が中間領域７３３につながっている。上部領域７３１は、頂面７１に対して傾斜している。下部領域７３２は、ｚ方向の一端が底面７２につながり、かつ、ｚ方向の他端が中間領域７３３につながっている。下部領域７３２は、底面７２に対して傾斜している。中間領域７３３は、ｚ方向の一端が上部領域７３１につながり、かつ、ｚ方向の他端が下部領域７３２につながっている。中間領域７３３は、ｚ方向およびｙ方向の双方に沿っている。ｚ方向視において、中間領域７３３は、頂面７１および底面７２よりも外方に位置する。中間領域７３３から、複数の入力側端子５１の各々の一部が露出している。

[0059] 図６に示すように、側面７４は、上部領域７４１、下部領域７４２、および中間領域７４３を含む。上部領域７４１は、ｚ方向の一端が頂面７１につながり、かつ、ｚ方向の他端が中間領域７４３につながっている。上部領域７４１は、頂面７１に対して傾斜している。下部領域７４２は、ｚ方向の一端が底面７２につながり、かつ、ｚ方向の他端が中間領域７４３につながっ

ている。下部領域７４２は、底面７２に対して傾斜している。中間領域７４３は、ｚ方向の一端が上部領域７４１につながり、かつ、ｚ方向の他端が下部領域７４２につながっている。中間領域７４３は、ｚ方向およびｙ方向の双方に沿っている。ｚ方向視において、中間領域７４３は、頂面７１および底面７２よりも外方に位置する。中間領域７４３から、複数の第１出力側端子５２および複数の第２出力側端子５３の各々の一部が露出している。

[0060] 図４に示すように、側面７５は、上部領域７５１、下部領域７５２、および中間領域７５３を含む。上部領域７５１は、ｚ方向の一端が頂面７１につながり、かつ、ｚ方向の他端が中間領域７５３につながっている。上部領域７５１は、頂面７１に対して傾斜している。下部領域７５２は、ｚ方向の一端が底面７２につながり、かつ、ｚ方向の他端が中間領域７５３につながっている。下部領域７５２は、底面７２に対して傾斜している。中間領域７５３は、ｚ方向の一端が上部領域７５１につながり、かつ、ｚ方向の他端が下部領域７５２につながっている。中間領域７５３は、ｚ方向およびｙ方向の双方に沿っている。ｚ方向視において、中間領域７５３は、頂面７１および底面７２よりも外方に位置する。

[0061] 図４に示すように、側面７５には、第１ゲート痕７５ａが形成されている。第１ゲート痕７５ａは、当該第１ゲート痕７５ａを除く側面７５の他の領域よりも表面が粗である。第１ゲート痕７５ａは、後述する半導体装置Ａ１０の製造工程のうち封止樹脂７を形成する工程において、流動化した封止樹脂７の流入ゲートに位置する樹脂バリを除去することにより現れる。図１に示すように、第１ゲート痕７５ａは、ｙ方向ｙ１側寄りに配置されている。より具体的には、第１ゲート痕７５ａは、ｙ方向において、第１駆動素子１２の中心１２ａよりｙ１側（半導体制御素子１１の中心１１ａ側）に配置されている。

[0062] 図３に示すように、側面７６は、上部領域７６１、下部領域７６２、および中間領域７６３を含む。上部領域７６１は、ｚ方向の一端が頂面７１につながり、かつ、ｚ方向の他端が中間領域７６３につながっている。上部領域

７６１は、頂面７１に対して傾斜している。下部領域７６２は、ｚ方向の一端が底面７２につながり、かつ、ｚ方向の他端が中間領域７６３につながっている。下部領域７６２は、底面７２に対して傾斜している。中間領域７６３は、ｚ方向の一端が上部領域７６１につながり、かつ、ｚ方向の他端が下部領域７６２につながっている。中間領域７６３は、ｚ方向およびｙ方向の双方に沿っている。ｚ方向視において、中間領域７６３は、頂面７１および底面７２よりも外方に位置する。

[0063] 図３に示すように、面７６には、第２ゲート痕７６ａが形成されている。第２ゲート痕７６ａは、当該第２ゲート痕７６ａを除く側面７６の他の領域よりも表面が粗である。第２ゲート痕７６ａは、後述する半導体装置Ａ１０の製造工程のうち封止樹脂７を形成する工程において、流動化した封止樹脂７の流出ゲートに位置する樹脂バリを除去することにより現れる。図１に示すように、第２ゲート痕７６ａは、ｙ方向ｙ２側寄りに配置されている。より具体的には、第２ゲート痕７６ａは、ｙ方向において、第２駆動素子１４の中心１４ａよりｙ２側（半導体制御素子１１の中心１１ａとは反対側）に配置されている。

[0064] 本実施形態では、図１１および図１２に示すように、封止樹脂７の頂面７１、底面７２、側面７３の上部領域７３１、および側面７３の下部領域７３２の各々の表面粗さは、側面７３の中間領域７３３の表面粗さより大である。また、封止樹脂７の頂面７１、底面７２、側面７４の上部領域７４１、側面７４の下部領域７４２の各々の表面粗さは、側面７４の中間領域７４３の表面粗さより大である。頂面７１および底面７２の各々の表面粗さは、５μｍＲｚ以上２０μｍＲｚ以下であることが好ましい。上部領域７４１は「第１領域」の一例であり、下部領域７４２は「第２領域」の一例であり、中間領域７４３は「第３領域」の一例である。

[0065] 次に、半導体装置Ａ１０の製造方法の一例について、図１３～図１５を参照して以下に説明する。図１３～図１５は、半導体装置Ａ１０の製造方法に係る工程を示す平面図である。なお、これらの図に示すｘ方向、ｙ方向およ

びｚ方向は、図１～図１２と同じ方向を示している。

[0066] まず、図１３に示すように、リードフレーム８０を準備する。リードフレーム８０は、板状の材料である。本実施形態においては、リードフレーム８０の母材は、Ｃｕからなる。リードフレーム８０は、金属板にエッチング処理等を施すことにより形成される。リードフレーム８０は、いわゆるディプレスの無いフラットフレームである。リードフレーム８０は、ｚ方向に離間する主面８０Ａおよび裏面８０Ｂを有する。複数の溝部３１４は、主面８０Ａ側からのハーフエッチングによって形成される。なお、リードフレーム８０は、金属板に打ち抜き加工を施すことにより形成されてもよい。この場合、複数の溝部３１４は、主面８０Ａ側からのスタンピングによって形成される。

[0067] リードフレーム８０は、導電支持部材２（第１ダイパッド３１、第２ダイパッド３２、第３ダイパッド３３、複数の入力側端子５１、複数の第１出力側端子５２、複数の第２出力側端子５３、およびそれぞれ複数のパッド部５４～５６）に加えて、フレーム８１、複数の第１タイバー８２１、複数の第２タイバー８２２、および一対のダムバー８３を有する。フレーム８１、複数の第１タイバー８２１、複数の第２タイバー８２２、および一対のダムバー８３は、半導体装置Ａ１０を構成しない。

[0068] ｚ方向視において、フレーム８１は、枠状である。フレーム８１は、導電支持部材２、複数の第１タイバー８２１、複数の第２タイバー８２２、および一対のダムバー８３を囲んでいる。複数の入力側端子５１のそれぞれのｙ方向のｙ１側の端は、フレーム８１に連結されている。複数の第１出力側端子５２および複数の第２出力側端子５３のそれぞれのｙ方向のｙ２側の端は、フレーム８１に連結されている。

[0069] 複数の第１タイバー８２１は、ｘ方向に延びている。複数の第１タイバー８２１の各々は、そのｘ方向における両端が一対の第２タイバー８２２に連結されている。複数の第１タイバー８２１は、ｙ方向ｙ１側に位置する一対の第１タイバー８２１と、ｙ方向ｙ２側に位置する一対の第１タイバー８２１と

を含む。複数の入力側端子５１は、ｙ方向ｙ１側に位置する一対の第１タイバー８２１に連結されている。複数の第１出力側端子５２および複数の第２出力側端子５３は、ｙ方向のｙ２側に位置する一対の第１タイバー８２１に連結されている。

[0070] 複数の第２タイバー８２２は、ｙ方向に延びている。複数の第２タイバー８２２の各々は、そのｙ方向における一端がダムバー８３に連結されている。複数の第２タイバー８２２は、ｙ方向ｙ１側に位置する一対の第２タイバー８２２と、ｙ方向ｙ２側に位置する一対の第２タイバー８２２とを含む。ｙ方向ｙ１側およびｙ２側のそれぞれにおいて、一対の第２タイバー８２２および一対の第１タイバー８２１は、ｚ方向視において枠状をなしている。

[0071] 一対のダムバー８３は、ｘ方向におけるリードフレーム８０の両側に連結されている。一対のダムバー８３は、ｙ方向に延び、かつ、導電支持部材２に向けて突出している。一対のダムバー８３の各々には、切欠部８３１が設けられている。封止樹脂７をモールド成形により形成する際、切欠部８３１が流動化した樹脂の流入出口となるゲートになる。

[0072] 次いで、図１４に示すように、半導体制御素子１１、第１絶縁素子１３、および第２絶縁素子１５を接合層６９により第１ダイパッド３１に接合し、第１駆動素子１２を接合層６９により第２ダイパッド３２に接合し、第２駆動素子１４を接合層６９により第３ダイパッド３３に接合する。図１４では、理解の便宜上、接合層６９に点描を付している。この接合工程では、まず、固化される前の接合層６９であるペースト状の接合材料が第１ダイパッド３１の半導体制御素子１１、第１絶縁素子１３、および第２絶縁素子１５が配置される領域、第２ダイパッド３２の第１駆動素子１２が配置される領域、および、第３ダイパッド３３の第２駆動素子１４が配置される領域に塗布される。次に、塗布された接合材料の上に、半導体制御素子１１、第１駆動素子１２、第１絶縁素子１３、第２駆動素子１４、および第２絶縁素子１５を載置する。次に、リフロー処理を行って、接合材料を溶融させた後に固化させる。第２ダイパッド３２および第３ダイパッド３３は、それぞれ１本の

リードで片持ちされる構造であるが、リードフレーム８０はフラットフレームなので、第１駆動素子１２または第２駆動素子１４を載置する際のリードフレーム８０の変形を抑制できる。

[0073] 次いで、図１４に示すように、それぞれ複数のワイヤ６１～６７の各々をワイヤボンディングにより形成する。ワイヤの形成工程では、リードフレーム８０を金型で押さえた状態で加熱する。

[0074] ワイヤ６１の形成工程では、まず、キャピラリを半導体制御素子１１に向かって下降させ、ワイヤの先端を電極に押しつける。このとき、キャピラリの自重およびキャピラリから発振される超音波などの作用によって、ワイヤの先端が電極に圧着されて、ファーストボンディングが行われる。次いで、ワイヤを送り出しながらキャピラリを上昇させることで、電極上にボールボンドが形成される。次いで、いずれかのパッド部５４（ワイヤ６１ｃの場合は第１ダイパッド３１の中央の突出部３１３）の直上にキャピラリを移動させ、さらにキャピラリを下降させることにより、キャピラリの先端をパッド部５４に押しつける。これにより、ワイヤがキャピラリの先端とパッド部５４とに挟まれて圧着されて、セカンドボンディングが行われる。次いで、キャピラリを上昇させることで、ワイヤが切断される。

[0075] ワイヤ６２の形成工程では、第１駆動素子１２の電極にファーストボンディングを行い、電極上にボールボンドを形成して、いずれかのパッド部５５（ワイヤ６２ａの場合は第２ダイパッド３２）にセカンドボンディングを行う。ワイヤ６３の形成工程では、第２駆動素子１４の電極にファーストボンディングを行い、電極上にボールボンドを形成して、いずれかのパッド部５６（ワイヤ６３ａの場合は第３ダイパッド３３）にセカンドボンディングを行う。

[0076] ワイヤ６４の形成工程では、第１絶縁素子１３の電極にファーストボンディングを行い、電極上にボールボンドを形成して、半導体制御素子１１の電極にセカンドボンディングを行う。ワイヤ６５の形成工程では、第１絶縁素子１３の電極にファーストボンディングを行い、電極上にボールボンドを形

成して、第１駆動素子１２の電極にセカンドボンディングを行う。ワイヤ６６の形成工程では、第２絶縁素子１５の電極にファーストボンディングを行い、電極上にボールボンドを形成して、半導体制御素子１１の電極にセカンドボンディングを行う。ワイヤ６７の形成工程では、第２絶縁素子１５の電極にファーストボンディングを行い、電極上にボールボンドを形成して、第２駆動素子１４の電極にセカンドボンディングを行う。

[0077] 次いで、封止樹脂７を形成する。封止樹脂７は、トランスファモールド成形により形成される。本工程においては、複数のキャビティ８８を有する金型にリードフレーム８０を収納する。この際、図１５に示すように、リードフレーム８０のうち、半導体装置Ａ１０において封止樹脂７に覆われた導電支持部材２の部分が、複数のキャビティ８８のいずれかに収容されるようにする。その後、複数のキャビティ８８の各々に流動化した樹脂を流し込む。流動化した樹脂は、各キャビティ８８において、ｘ方向のたとえばｘ１側の切欠部８３１の流入ゲートから流入され、図１５の破線矢印に沿ってキャビティ８８内部を流れ、ｘ方向のたとえばｘ２側の切欠部８３１の流出ゲートから流出する。

[0078] 複数のキャビティ８８の中において流動化した封止樹脂７を固化させた後、複数のキャビティ８８の各々に対して外方に位置する樹脂バリを高圧水などで除去する。この際、流入ゲートに位置する樹脂バリを除去すると、封止樹脂７に第１ゲート痕７５ａが形成される。同様に、流出ゲートに位置する樹脂バリを除去すると、封止樹脂７に第２ゲート痕７６ａが形成される。以上により封止樹脂７の形成が完了する。なお、流入ゲートと流出ゲートは反対であってもよい。

[0079] その後、ダイシングを行い、個片化することで、フレーム８１、複数の第１タイバー８２１、複数の第２タイバー８２２、および一対のダムバー８３によって互いにつながっていた複数の入力側端子５１、複数の第１出力側端子５２、および複数の第２出力側端子５３が、適宜分離される。以上に示した工程を経ることで、半導体装置Ａ１０が製造される。

[0080] 次に、半導体装置Ａ１０の作用効果について説明する。

[0081] 本実施形態によると、半導体装置Ａ１０は、ハイサイドのスイッチング素子を駆動するための駆動信号を生成する第１駆動素子１２と、ローサイドのスイッチング素子を駆動するための駆動信号を生成する第２駆動素子１４とを備えている。したがって、半導体装置Ａ１０は１つで、ハーフブリッジ回路の２つのスイッチング素子をそれぞれ駆動できる。半導体装置Ａ１０は、それぞれが半導体制御素子を備えて１つのスイッチング素子を駆動させる従来の半導体装置を２つあわせた場合より、半導体制御素子１１が共通化されているので小型化が可能である。したがって、半導体装置Ａ１０は、従来の半導体装置を２つ実装する場合と比較して、インバータ装置の配線基板への実装面積を縮小可能である。また、２つの従来の半導体装置は、配線基板に実装される場合、互いに間隔をあけて実装される。半導体装置Ａ１０は、この間隔の分だけ、配線基板への実装面積をさらに縮小可能である。

[0082] また、本実施形態によると、半導体制御素子１１は、半導体装置Ａ１０のｙ方向ｙ１側寄りに配置されている。したがって、半導体制御素子１１から各パッド部５４に延びる各ワイヤ６１は、ｘ方向となす角度が小さい。たとえばワイヤ６１ａ，６１ｂがｘ方向となす角度は２０°以下である。また、第１絶縁素子１３はｘ方向において半導体制御素子１１と第１駆動素子１２との間に配置され、第２絶縁素子１５はｘ方向において半導体制御素子１１と第２駆動素子１４との間に配置されている。したがって、それぞれ複数のワイヤ６４～６７は、ｘ方向となす角度が比較的小さい。製造工程の封止樹脂７を形成する工程（図１５参照）において、流動化した樹脂は、各キャビティ８８内をｘ方向に流れる。各ワイヤ６１，６４～６７は、流動化した樹脂が流れる方向に沿って延びているので、流動化した樹脂によって押し流されにくい。したがって、各ワイヤ６１，６４～６７が他のワイヤや素子に接触したり、近づきすぎることを抑制できる。また、第１駆動素子１２および第２駆動素子１４は、半導体装置Ａ１０のｙ方向ｙ２側寄りに配置されている。第１絶縁素子１３の中心１３ａは、ｙ方向において、半導体制御素子１

１の中心１１ａと第１駆動素子１２の中心１２ａとの間に位置する。第２絶縁素子１５の中心１５ａは、ｙ方向において、半導体制御素子１１の中心１１ａと第２駆動素子１４の中心１４ａとの間に位置する。したがって、各ワイヤ６４～６７の延びる方向とｘ方向とがなす角度が大きくなることを抑制可能である。また、第１絶縁素子１３の中心１３ａが、ｙ方向において半導体制御素子１１の中心１１ａと第１駆動素子１２の中心１２ａとの間に位置しない場合と比較して、各ワイヤ６４，６５を短くできる。また、第２絶縁素子１５の中心１５ａが、ｙ方向において半導体制御素子１１の中心１１ａと第２駆動素子１４の中心１４ａとの間に位置しない場合と比較して、各ワイヤ６６，６７を短くできる。

[0083] また、本実施形態によると、半導体装置Ａ１０は、第１駆動素子１２と半導体制御素子１１との間で信号を中継しつつ、第１駆動素子１２および半導体制御素子１１を互いに絶縁する第１絶縁素子１３を備えている。したがって、第１駆動素子１２と半導体制御素子１１との間に著しい電位差が生じる場合に、半導体制御素子１１を含む入力側回路と、第１駆動素子１２を含む第１出力側回路との絶縁耐圧の向上を図ることができる。また、本実施形態によると、半導体装置Ａ１０は、第２駆動素子１４と半導体制御素子１１との間で信号を中継しつつ、第２駆動素子１４および半導体制御素子１１を互いに絶縁する第２絶縁素子１５を備えている。したがって、第２駆動素子１４と半導体制御素子１１との間に著しい電位差が生じる場合に、半導体制御素子１１を含む入力側回路と、第２駆動素子１４を含む第２出力側回路との絶縁耐圧の向上を図ることができる。つまり、半導体装置Ａ１０は、ハイサイド用とローサイド用とを反対にして用いることも可能である。

[0084] また、本実施形態によると、導電支持部材２は、第１ダイパッド３１、第２ダイパッド３２、第３ダイパッド３３、複数の入力側端子５１、複数の第１出力側端子５２、複数の第２出力側端子５３、およびそれぞれ複数のパッド部５４～５６からなる。複数の入力側端子５１は封止樹脂７の側面７３から露出しており、複数の第１出力側端子５２および複数の第２出力側端子５

３は封止樹脂７の側面７４から露出している。一方、封止樹脂７の側面７５および側面７６からは、導電支持部材２が露出していない。たとえば、第２ダイパッド３２の突出部３２３は封止樹脂７の側面７５から露出していない。したがって、導電支持部材２のうち半導体制御素子１１に導通し封止樹脂７から露出した部分（複数の入力側端子５１の露出部分）と、第２ダイパッド３２につながり封止樹脂７から露出した部分との絶縁距離（封止樹脂７の表面に沿って結んだ距離である沿面距離）を、突出部３２３がサポートリードとして封止樹脂７の側面７５から露出している場合と比較して長くできる。また、第３ダイパッド３３の突出部３３３は封止樹脂７の側面７６から露出していない。したがって、複数の入力側端子５１と、第３ダイパッド３３につながり封止樹脂７から露出した部分との絶縁距離を、突出部３３３がサポートリードとして封止樹脂７の側面７６から露出している場合と比較して長くできる。したがって、半導体装置Ａ１０は、側面７５または側面７６からサポートリードなどの導電支持部材２が露出している場合と比較して、絶縁耐圧が高くなる。また、側面７５から露出するサポートリードがないことは、封止樹脂７の形成工程（図１５参照）において、流動化した樹脂の流入口である流入ゲート（ｘ１側の切欠部８３１）を配置する位置に自由度を生じさせる。側面７６から露出するサポートリードがないことは、封止樹脂７の形成工程において、流動化した樹脂の流出口である流出ゲート（ｘ２側の切欠部８３１）を配置する位置に自由度を生じさせる。

[0085] また、本実施形態によると、頂面７１、底面７２、側面７３の上部領域７３１、および側面７３の下部領域７３２の各々の表面粗さは、側面７３の中間領域７３３の表面粗さよりも大である。また、頂面７１、底面７２、側面７４の上部領域７４１、および側面７４の下部領域７４２の各々の表面粗さは、側面７４の中間領域７４３の表面粗さよりも大である。したがって、入力側端子５１ａから封止樹脂７の側面７３の上部領域７３１、頂面７１、および側面７４の上部領域７４１に沿って第１出力側端子５２ａに至る沿面距離、および、入力側端子５１ａから封止樹脂７の側面７３の下部領域７３２

、底面７２、および側面７４の下部領域７４２に沿って第１出力側端子５２ａに至る沿面距離を、より長くできる。これにより、半導体装置Ａ１０は、さらに、絶縁耐圧の向上を図ることができる。

[0086] また、本実施形態によると、第１端子間距離Ｌ１（第１出力側端子５２ｂの封止樹脂７から露出する部分と第２出力側端子５３ｂの封止樹脂７から露出する部分との間の距離）は、第２端子間距離Ｌ２（隣り合う２つの第１出力側端子５２の封止樹脂７から露出する部分の間の距離）の３倍以上である。したがって、複数の第１出力側端子５２の封止樹脂７から露出する部分と複数の第２出力側端子５３の封止樹脂７から露出する部分とがｘ方向において十分離れている。著しい電位差が生じる複数の第１出力側端子５２と複数の第２出力側端子５３とが十分離れているので、半導体装置Ａ１０は絶縁耐圧が高い。また、封止樹脂７の側面７４において、第１出力側端子５２ｂと第２出力側端子５３ｂとの間では、導電支持部材２が露出しておらず、金属部分が存在しない。よって、複数の第１出力側端子５２と複数の第２出力側端子５３との絶縁距離が長い。これにより、半導体装置Ａ１０は、側面７４からサポートリードなどの導電支持部材２が露出している場合と比較して、絶縁耐圧が高い。

[0087] また、本実施形態によると、封止樹脂７の側面７５には、当該側面７５の他の領域よりも表面が粗である第１ゲート痕７５ａが形成されている。第１ゲート痕７５ａは、半導体装置Ａ１０の製造工程のうち封止樹脂７を形成する工程（図１５参照）において、流動化した樹脂の流入ゲート（ｘ１側の切欠部８３１）に由来する痕跡である。図１に示すように、第１ゲート痕７５ａは、ｙ方向ｙ１側寄りに配置されている。また、封止樹脂７の側面７６には、当該側面７６の他の領域よりも表面が粗である第２ゲート痕７６ａが形成されている。第２ゲート痕７６ａは、封止樹脂７を形成する工程において、流動化した樹脂の流出ゲート（ｘ２側の切欠部８３１）に由来する痕跡である。図１に示すように、第２ゲート痕７６ａは、ｙ方向ｙ２側寄りに配置されている。つまり、封止樹脂７を形成する工程において、流動化した樹脂

は、キャビティ８８内を対角線に沿って流れる。したがって、封止樹脂７内部にボイドが形成されることを抑制できる。

[0088] また、本実施形態によると、ワイヤ６１ａは、ｚ方向視において第１絶縁素子１３に重なっていない。したがって、ワイヤ６１ａが第１絶縁素子１３に接触したり近づきすぎたりすることを抑制できる。また、ワイヤ６１ｂは、ｚ方向視において第２絶縁素子１５に重なっていない。したがって、ワイヤ６１ｂが第２絶縁素子１５に接触したり近づきすぎたりすることを抑制できる。ワイヤ６１ａおよびワイヤ６１ｂは、半導体制御素子１１に接続されており、相対的に低電位である入力側回路の一要素である。一方、第１絶縁素子１３および第２絶縁素子１５は、相対的に高電位である第１出力側回路または第２出力側回路の一部を含んでいる。ワイヤ６１ａが第１絶縁素子１３に近づくこと、および、ワイヤ６１ｂが第２絶縁素子１５に近づくことを抑制することは、半導体装置Ａ１０の絶縁耐圧の向上に寄与する。また、本実施形態では、封止樹脂７を形成する工程（図１５参照）において、流入ゲート（ｘ１側の切欠部８３１）から流入した流動化した樹脂は、ワイヤ６１ａを押し流す場合があるが、ワイヤ６１ａを第１絶縁素子１３から離れる方向に押し流す。したがって、ワイヤ６１ａが第１絶縁素子１３に接触したり近づきすぎたりすることを抑制できる。

[0089] なお、本実施形態では、第１ゲート痕７５ａがｙ方向ｙ１側寄りに配置され、第２ゲート痕７６ａがｙ方向ｙ２側寄りに配置されている場合について説明したが、これに限られない。第１ゲート痕７５ａおよび第２ゲート痕７６ａの配置位置は限定されない。つまり、半導体装置Ａ１０の製造工程のうち封止樹脂７を形成する工程において、流動化した樹脂の流入ゲートおよび流出ゲートの位置は限定されない。たとえば、第１ゲート痕７５ａがｙ方向ｙ２側寄りに配置され、第２ゲート痕７６ａがｙ方向ｙ１側寄りに配置されてもよい。この場合も、封止樹脂７を形成する工程において、流動化した樹脂は、キャビティ８８内を対角線に沿って流れる。したがって、封止樹脂７内部にボイドが形成されることを抑制できる。また、第１ゲート痕７５ａお

よび第２ゲート痕７６ａが両方ともｙ方向ｙ１側寄りに配置されてもよいし、両方ともｙ方向ｙ２側寄りに配置されてもよいし、両方ともｙ方向の中央に配置されてもよい。本実施形態では、半導体装置Ａ１０は、側面７５および側面７６から露出するサポートリードを備えていないので、流入ゲートおよび流出ゲートの配置位置は自由に設定できる。

[0090] また、本実施形態では、側面７５および側面７６から導電支持部材２が露出しない場合について説明したが、これに限られない。側面７５また側面７６から、サポートリードが露出してもよい。

[0091] また、本実施形態では、封止樹脂７の頂面７１、底面７２、側面７３の上部領域７３１、側面７３の下部領域７３２、側面７４の上部領域７４１、および側面７４の下部領域７４２の各々の表面粗さが側面７３の中間領域７３３および側面７４の中間領域７４３の表面粗さより大である場合について説明したが、これに限られない。封止樹脂７の各面７１～７６が同程度の表面粗さであってもよい。この場合、封止樹脂７の各面７１～７６の表面粗さは、比較的小さくてもよいし、比較的大きく（たとえば５μｍＲｚ以上２０μｍＲｚ以下）てもよい。

[0092] 図１６～図２０は、本開示の他の実施形態を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付している。

[0093] 図１６は、本開示の第２実施形態に係る半導体装置Ａ２０を説明するための図である。図１６は、半導体装置Ａ２０を示す平面図であり、図２に対応する図である。図１６においては、理解の便宜上、封止樹脂７を透過して、封止樹脂７の外形を想像線（二点鎖線）で示している。本実施形態の半導体装置Ａ２０は、第１絶縁素子１３が第２ダイパッド３２に搭載され、第２絶縁素子１５が第３ダイパッド３３に搭載されている点で、第１実施形態と異なっている。

[0094] 本実施形態では、第１ダイパッド３１は、第１実施形態の場合と比較して、ｘ方向の寸法が小さい。一方、第２ダイパッド３２および第３ダイパッド

３３は、第１実施形態の場合と比較して、ｘ方向の寸法が大きい。本実施形態では、第１絶縁素子１３が第２ダイパッド３２に搭載され、第２絶縁素子１５が第３ダイパッド３３に搭載されている。

[0095] 本実施形態においても、半導体装置Ａ２０は、半導体制御素子１１、第１駆動素子１２、および第２駆動素子１４を備えているので、ハーフブリッジ回路の２つのスイッチング素子をそれぞれ駆動できる。半導体装置Ａ２０は、従来の半導体装置を２つあわせた場合より小型化が可能なので、インバータ装置の配線基板への実装面積を縮小可能である。また、半導体装置Ａ２０は、２つの従来の半導体装置を配線基板に実装する場合に必要となる間隔が不要なので、配線基板への実装面積をさらに縮小可能である。また、半導体装置Ａ２０は、半導体装置Ａ１０と共通する構成をとることにより、半導体装置Ａ１０と同等の効果を奏する。

[0096] 図１７は、本開示の第３実施形態に係る半導体装置Ａ３０を説明するための図である。図１７は、半導体装置Ａ３０を示す平面図であり、図１に対応する図である。本実施形態の半導体装置Ａ３０は、封止樹脂７に溝部が形成されている点で、第１実施形態と異なっている。

[0097] 本実施形態では、封止樹脂７は、第１溝部７４ｂおよび第２溝部７５ｂをさらに備えている。第１溝部７４ｂは、側面７４からｙ方向に凹み、かつ、ｚ方向において頂面７１から底面７２にわたって延びている。本実施形態では、封止樹脂７は、ｘ方向に等間隔に配置された３つの第１溝部７４ｂを備えている。なお、第１溝部７４ｂの数は限定されない。第１溝部７４ｂのｚ方向視形状は矩形状である。なお、第１溝部７４ｂのｚ方向視形状は限定されず、たとえば半円形状であってもよい。第１溝部７４ｂは、側面７４において、第１出力側端子５２ｂと第２出力側端子５３ｂとの間に配置されている。第２溝部７５ｂは、側面７５からｘ方向に凹み、かつ、ｚ方向において頂面７１から底面７２にわたって延びている。本実施形態では、封止樹脂７は、ｙ方向に等間隔に配置された３つの第２溝部７５ｂを備えている。なお、第２溝部７５ｂの数および配置位置は限定されない。第２溝部７５ｂのｚ

方向視形状は矩形状である。なお、第２溝部７５ｂのｚ方向視形状は限定されず、たとえば半円形状であってもよい。第２溝部７５ｂは、側面７５において、第１ゲート痕７５ａを避けて配置されている。また、封止樹脂７は、側面７６からｘ方向に凹み、かつ、ｚ方向において頂面７１から底面７２にわたって延びる第３溝部をさらに備えてもよい。

[0098] 本実施形態においても、半導体装置Ａ３０は、半導体制御素子１１、第１駆動素子１２、および第２駆動素子１４を備えているので、ハーフブリッジ回路の２つのスイッチング素子をそれぞれ駆動できる。半導体装置Ａ３０は、従来の半導体装置を２つあわせた場合より小型化が可能なので、インバータ装置の配線基板への実装面積を縮小可能である。また、半導体装置Ａ３０は、２つの従来の半導体装置を配線基板に実装する場合に必要となる間隔が不要なので、配線基板への実装面積をさらに縮小可能である。また、半導体装置Ａ３０は、半導体装置Ａ１０と共通する構成をとることにより、半導体装置Ａ１０と同等の効果を奏する。

[0099] さらに、本実施形態によると、封止樹脂７は、側面７４において、第１出力側端子５２ｂと第２出力側端子５３ｂとの間に第１溝部７４ｂを備えている。したがって、第１出力側端子５２ｂから側面７４に沿って第２出力側端子５３ｂに至る沿面距離が、第１溝部７４ｂを備えていない場合と比較して長くなる。これにより、半導体装置Ａ３０は、さらに、絶縁耐圧の向上を図ることができる。また、封止樹脂７は、側面７５において、第２溝部７５ｂを備えている。したがって、入力側端子５１ａから、封止樹脂７の側面７３、側面７５、および側面７４に沿って第１出力側端子５２ａに至る沿面距離が、第２溝部７５ｂを備えていない場合と比較して長くなる。これにより、半導体装置Ａ３０は、さらに、絶縁耐圧の向上を図ることができる。

[0100] 図１８は、本開示の第４実施形態に係る半導体装置Ａ４０を説明するための図である。図１８は、半導体装置Ａ４０を示す平面図であり、図１に対応する図である。本実施形態の半導体装置Ａ４０は、封止樹脂７に突出部が形成されている点で、第１実施形態と異なっている。

[0101] 本実施形態では、封止樹脂７は、第１突出部７４ｃおよび第２突出部７５ｃをさらに備えている。第１突出部７４ｃは、側面７４からｙ方向に突出し、かつ、ｚ方向において頂面７１から底面７２にわたって延びている。本実施形態では、封止樹脂７は、ｘ方向に等間隔に配置された３つの第１突出部７４ｃを備えている。なお、第１突出部７４ｃの数は限定されない。第１突出部７４ｃのｚ方向視形状は矩形状である。なお、第１突出部７４ｃのｚ方向視形状は限定されず、たとえば半円形状であってもよい。第１突出部７４ｃは、側面７４において、第１出力側端子５２ｂと第２出力側端子５３ｂとの間に配置されている。第２突出部７５ｃは、側面７５からｘ方向に突出し、かつ、ｚ方向において頂面７１から底面７２にわたって延びている。本実施形態では、封止樹脂７は、ｙ方向に等間隔に配置された３つの第２突出部７５ｃを備えている。なお、第２突出部７５ｃの数および配置位置は限定されない。第２突出部７５ｃのｚ方向視形状は矩形状である。なお、第２突出部７５ｃのｚ方向視形状は限定されず、たとえば半円形状であってもよい。第２突出部７５ｃは、側面７５において、第１ゲート痕７５ａを避けて配置されている。また、封止樹脂７は、側面７６からｘ方向に突出し、かつ、ｚ方向において頂面７１から底面７２にわたって延びる第３突出部をさらに備えてもよい。

[0102] 本実施形態においても、半導体装置Ａ４０は、半導体制御素子１１、第１駆動素子１２、および第２駆動素子１４を備えているので、ハーフブリッジ回路の２つのスイッチング素子をそれぞれ駆動できる。半導体装置Ａ４０は、従来の半導体装置を２つあわせた場合より小型化が可能なので、インバータ装置の配線基板への実装面積を縮小可能である。また、半導体装置Ａ４０は、２つの従来の半導体装置を配線基板に実装する場合に必要となる間隔が不要なので、配線基板への実装面積をさらに縮小可能である。また、半導体装置Ａ４０は、半導体装置Ａ１０と共通する構成をとることにより、半導体装置Ａ１０と同等の効果を奏する。

[0103] さらに、本実施形態によると、封止樹脂７は、側面７４において、第１出

力側端子５２ｂと第２出力側端子５３ｂとの間に第１突出部７４ｃを備えている。したがって、第１出力側端子５２ｂから側面７４に沿って第２出力側端子５３ｂに至る沿面距離が、第１突出部７４ｃを備えていない場合と比較して長くなる。これにより、半導体装置Ａ４０は、さらに、絶縁耐圧の向上を図ることができる。また、封止樹脂７は、側面７５において、第２突出部７５ｃを備えている。したがって、入力側端子５１ａから、封止樹脂７の側面７３、側面７５、および側面７４に沿って第１出力側端子５２ａに至る沿面距離が、第２突出部７５ｃを備えていない場合と比較して長くなる。これにより、半導体装置Ａ４０は、さらに、絶縁耐圧の向上を図ることができる。

[0104] 図１９は、本開示の第５実施形態に係る半導体装置Ａ５０を説明するための図である。図１９は、半導体装置Ａ５０を示す平面図であり、図２に対応する図である。図１９においては、理解の便宜上、封止樹脂７を透過して、封止樹脂７の外形を想像線（二点鎖線）で示している。本実施形態の半導体装置Ａ５０は、第１ダイパッド３１、第２ダイパッド３２、および第３ダイパッド３３がそれぞれサポートリードによっても支持されている点で、第１実施形態と異なっている。

[0105] 本実施形態では、第１ダイパッド３１は、３つの突出部３１３のうち中央の突出部３１３に代えて、サポートリード３１５を備えている。サポートリード３１５は、第１ダイパッド３１のｙ方向ｙ２側を向く側面からｙ方向ｙ２側に延びており、第１ダイパッド３１を支持している。サポートリード３１５のｙ方向ｙ２側の端面は、封止樹脂７の側面７４から露出している。サポートリード３１５は、リードフレーム８０においては第１ダイパッド３１と第１タイバー８２１とに接続しており、ダイシング工程で第１タイバー８２１から切り離される。この時の切断面がｙ方向ｙ２側の端面になり、当該端面が封止樹脂７の側面７４から露出する。

[0106] また、第２ダイパッド３２は、突出部３２３に代えて、サポートリード３２４を備えている。サポートリード３２４は、第２ダイパッド３２のｘ方向

ｘ１側を向く側面からｘ方向ｘ１側に延びており、第２ダイパッド３２を支持している。サポートリード３２４のｘ方向ｘ１側の端面は、封止樹脂７の側面７５から露出している。サポートリード３２４は、リードフレーム８０においては第２ダイパッド３２とダムバー８３とに接続しており、ダイシング工程でダムバー８３から切り離される。この時の切断面がｘ方向ｘ１側の端面になり、当該端面が封止樹脂７の側面７５から露出する。

[0107] また、第３ダイパッド３３は、突出部３３３に代えて、サポートリード３３４を備えている。サポートリード３３４は、第３ダイパッド３３のｘ方向ｘ２側を向く側面からｘ方向ｘ２側に延びており、第３ダイパッド３３を支持している。サポートリード３３４のｘ方向ｘ２側の端面は、封止樹脂７の側面７６から露出している。サポートリード３３４は、リードフレーム８０においては第３ダイパッド３３とダムバー８３とに接続しており、ダイシング工程でダムバー８３から切り離される。この時の切断面がｘ方向ｘ２側の端面になり、当該端面が封止樹脂７の側面７６から露出する。

[0108] 本実施形態においても、半導体装置Ａ５０は、半導体制御素子１１、第１駆動素子１２、および第２駆動素子１４を備えているので、ハーフブリッジ回路の２つのスイッチング素子をそれぞれ駆動できる。半導体装置Ａ５０は、従来の半導体装置を２つあわせた場合より小型化が可能なので、インバータ装置の配線基板への実装面積を縮小可能である。また、半導体装置Ａ５０は、２つの従来の半導体装置を配線基板に実装する場合に必要となる間隔が不要なので、配線基板への実装面積をさらに縮小可能である。また、半導体装置Ａ５０は、半導体装置Ａ１０と共通する構成をとることにより、半導体装置Ａ１０と同等の効果を奏する。

[0109] さらに、本実施形態によると、第１ダイパッド３１がサポートリード３１５によっても支持されている。これにより、半導体制御素子１１、第１絶縁素子１３、および第２絶縁素子１５を第１ダイパッド３１に接合する工程、および、ワイヤ６１を形成する工程において、第１ダイパッド３１をより安定させることができる。また、第２ダイパッド３２がサポートリード３２４

によっても支持されている。これにより、第１駆動素子１２を第２ダイパッド３２に接合する工程、および、ワイヤ６２を形成する工程において、第２ダイパッド３２をより安定させることができる。また、第３ダイパッド３３がサポートリード３３４によっても支持されている。これにより、第２駆動素子１４を第３ダイパッド３３に接合する工程、および、ワイヤ６３を形成する工程において、第３ダイパッド３３をより安定させることができる。

[0110] 図２０は、本開示の第６実施形態に係る半導体装置Ａ６０を説明するための図である。図２０は、半導体装置Ａ６０を示す平面図であり、図２に対応する図である。図２０においては、理解の便宜上、封止樹脂７を透過して、封止樹脂７の外形を想像線（二点鎖線）で示している。本実施形態の半導体装置Ａ６０は、半導体制御素子１１、第１駆動素子１２、第１絶縁素子１３、第２駆動素子１４、および第２絶縁素子１５がｘ方向に沿って一直線に並んでいる点で、第１実施形態と異なっている。

[0111] 本実施形態では、半導体制御素子１１の中心１１ａ、第１駆動素子１２の中心１２ａ、第１絶縁素子１３の中心１３ａ、第２駆動素子１４の中心１４ａ、および第２絶縁素子１５の中心１５ａが、ｘ方向に沿って一直線に並んでいる。

[0112] 本実施形態においても、半導体装置Ａ６０は、半導体制御素子１１、第１駆動素子１２、および第２駆動素子１４を備えているので、ハーフブリッジ回路の２つのスイッチング素子をそれぞれ駆動できる。半導体装置Ａ６０は、従来の半導体装置を２つあわせた場合より小型化が可能なので、インバータ装置の配線基板への実装面積を縮小可能である。また、半導体装置Ａ６０は、２つの従来の半導体装置を配線基板に実装する場合に必要となる間隔が不要なので、配線基板への実装面積をさらに縮小可能である。また、半導体装置Ａ６０は、半導体装置Ａ１０と共通する構成をとることにより、半導体装置Ａ１０と同等の効果を奏する。

[0113] 本開示に係る半導体装置は、先述した実施形態に限定されるものではない。本開示に係る半導体装置の各部の具体的な構成は、種々に設計変更自在で

ある。本開示は、以下の付記に記載された実施形態を含む。

[0114] 付記１．

半導体制御素子と、

前記半導体制御素子の厚さ方向に直交する第１方向において、前記半導体制御素子から第１側に離間配置され、かつ、前記半導体制御素子が送信した信号を受信する第１駆動素子と、

前記第１方向において、前記半導体制御素子に対して前記第１側とは反対の第２側に離間配置され、かつ、前記半導体制御素子が送信した信号を受信する第２駆動素子と、

前記第１方向において前記半導体制御素子と前記第１駆動素子との間に配置され、かつ、前記半導体制御素子から前記第１駆動素子へ送信される信号を中継し、かつ、前記半導体制御素子および前記第１駆動素子を互いに絶縁する第１絶縁素子と、

前記第１方向において前記半導体制御素子と前記第２駆動素子との間に配置され、かつ、前記半導体制御素子から前記第２駆動素子へ送信される信号を中継し、かつ、前記半導体制御素子および前記第２駆動素子を互いに絶縁する第２絶縁素子と、

前記半導体制御素子を覆う封止樹脂と、を備えている半導体装置。

付記２．

前記半導体制御素子が搭載された第１ダイパッド、前記第１駆動素子が搭載された第２ダイパッド、および、前記第２駆動素子が搭載された第３ダイパッドを含む導電支持部材をさらに備えている、付記１に記載の半導体装置。

付記３．

前記第１絶縁素子および前記第２絶縁素子は、前記第１ダイパッドに搭載されている、付記２に記載の半導体装置。

付記４．

前記第１絶縁素子は、前記第２ダイパッドに搭載され、

前記第２絶縁素子は、前記第３ダイパッドに搭載されている、付記２に記載の半導体装置。

付記５．

前記導電支持部材は、前記第１方向に沿って配列され、かつ、少なくともいずれかが前記半導体制御素子に導通する複数の入力側端子を含んでいる、付記２ないし４のいずれかに記載の半導体装置。

付記６．

第１ワイヤおよび第２ワイヤをさらに備え、

前記複数の入力側端子は、最も前記第１側に配置された入力側第１端子と、最も前記第２側に配置された入力側第２端子とを含み、

前記第１ワイヤは、前記半導体制御素子と前記入力側第１端子とを導通させ、かつ、前記厚さ方向視において前記第１絶縁素子に重ならず、

前記第２ワイヤは、前記半導体制御素子と前記入力側第２端子とを導通させ、かつ、前記厚さ方向視において前記第２絶縁素子に重ならない、付記５に記載の半導体装置。

付記７．

前記第１ワイヤおよび前記第２ワイヤ各々が前記第１方向となす角度は、２０°以下である、付記６に記載の半導体装置。

付記８．

前記複数の入力側端子は、前記第１ダイパッドにつながる入力側支持端子を含んでいる、付記５ないし７のいずれかに記載の半導体装置。

付記９．

前記導電支持部材は、

前記第１方向に沿って配列され、かつ、少なくともいずれかが前記第１駆動素子に導通する複数の第１出力側端子と、

前記複数の第１出力側端子に対して前記第２側で、前記第１方向に沿って配列され、かつ、少なくともいずれかが前記第２駆動素子に導通する複数の第２出力側端子と、

を含んでいる、付記２ないし８のいずれかに記載の半導体装置。

付記１０．

前記複数の第１出力側端子は、前記第２ダイパッドにつながる第１出力側支持端子を１つだけ含んでおり、

前記複数の第２出力側端子は、前記第３ダイパッドにつながる第２出力側支持端子を１つだけ含んでいる、付記９に記載の半導体装置。

付記１１．

前記複数の第１出力側端子は、前記封止樹脂から露出する複数の第１露出部分をそれぞれ有し、前記複数の第２出力側端子は、前記封止樹脂から露出する複数の第２露出部分をそれぞれ有し、

前記複数の第１出力側端子は、最も前記第２側に配置された第１出力側内側端子を含み、前記複数の第２出力側端子は、最も前記第１側に配置された第２出力側内側端子を含み、

前記第１出力側内側端子の前記第１露出部分および前記第２出力側内側端子の前記第２露出部分は、互いに第１端子間距離だけ離間しており、

前記複数の第１露出部分は、隣接する２つの第１露出部分によって定まる距離として少なくとも１つの離間距離を規定しており、当該少なくとも１つの離間距離は、そのうちの最大値として第２端子間距離を含んでおり、

前記第１端子間距離は、前記第２端子間距離の３倍以上である、付記９または１０に記載の半導体装置。

付記１２．

前記封止樹脂は、前記第１出力側端子および前記第２出力側端子が突出する第１側面を備え、

前記導電支持部材は、前記第１側面において、前記第１出力側内側端子と前記第２出力側内側端子との間では露出していない、付記１１に記載の半導体装置。

付記１３．

前記封止樹脂は、前記第１側面から凹み、かつ、前記厚さ方向に延びる第

１溝部を備え、

前記第１溝部は、前記第１方向において、前記第１出力側内側端子と前記第２出力側内側端子との間に配置されている、付記１２に記載の半導体装置。

付記１４．

前記封止樹脂は、前記厚さ方向において、前記半導体制御素子を基準とし、前記第１ダイパッドとは反対側に位置する頂面と、前記厚さ方向において前記頂面とは反対側の底面と、を備え、

前記第１側面は、前記頂面につながる第１領域と、前記底面につながる第２領域と、前記第１領域および前記第２領域につながり、かつ、前記第１出力側端子および前記第２出力側端子が突出する第３領域と、を含み、

前記頂面、前記底面、前記第１領域、および前記第２領域の各々の表面粗さは、前記第３領域の表面粗さよりも大である、付記１２または１３に記載の半導体装置。

付記１５．

前記厚さ方向および前記第１方向に直交する第２方向において、前記第１絶縁素子の中心は、前記半導体制御素子の中心と前記第１駆動素子の中心との間に位置し、前記第２絶縁素子の中心は、前記半導体制御素子の中心と前記第２駆動素子の中心との間に位置し、

前記第１駆動素子の中心と前記第２駆動素子の中心とは、前記半導体制御素子の中心に対して、前記第２方向において同じ側に位置する、付記２ないし１４のいずれかに記載の半導体装置。

付記１６．

前記封止樹脂は、前記第１方向の前記第１側に位置する第２側面を備え、

前記導電支持部材は、前記第２側面から露出していない、付記１５に記載の半導体装置。

付記１７．

前記封止樹脂は、前記第２側面から前記第１方向に凹み、かつ、前記厚さ

方向に延びる第２溝部を備えている、付記１６に記載の半導体装置。

付記１８．

前記第２側面には、当該第２側面の他の領域よりも表面が粗である第１ゲート痕が形成され、

前記第１ゲート痕は、前記第２方向において、前記第１駆動素子の中心より前記半導体制御素子の中心側に配置されている、付記１６または１７に記載の半導体装置。

付記１９．

前記封止樹脂は、前記第１方向の前記第２側に位置する第３側面を備え、

前記第３側面には、当該第３側面の他の領域よりも表面が粗である第２ゲート痕が形成され、

前記第２ゲート痕は、前記第２方向において、前記第２駆動素子の中心より前記半導体制御素子の中心とは反対側に配置されている、付記１８に記載の半導体装置。

符号の説明

[0115] Ａ１０，Ａ２０，Ａ３０，Ａ４０，Ａ５０，Ａ６０：半導体装置

１１：半導体制御素子　　１１ａ：中心

１２：第１駆動素子　　１２ａ：中心

１３：第１絶縁素子　　１３ａ：中心

１４：第２駆動素子　　１４ａ：中心

１５：第２絶縁素子　　１５ａ：中心

２：導電支持部材　　３１：第１ダイパッド

３１１：主面　　３１２：裏面

３１３：突出部　　３１４：溝部

３１５：サポートリード　　３２：第２ダイパッド

３２１：主面　　３２２：裏面

３２３：突出部　　３２４：サポートリード

３３：第３ダイパッド　　３３１：主面

３３２：裏面　　３３３：突出部

３３４：サポートリード

５１，５１ａ，５１ｂ，５１ｃ，５１ｄ：入力側端子

５２，５２ａ，５２ｂ：第１出力側端子

５３，５３ａ，５３ｂ：第２出力側端子

５４，５４ａ，５４ｂ，５５，５６：パッド部

６１，６１ａ，６１ｂ，６１ｃ，６２，６２ａ：ワイヤ

６３，６３ａ，６４～６７：ワイヤ

６９：接合層　　７：封止樹脂

７１：頂面　　７２：底面

７３：側面　　７３１：上部領域

７３２：下部領域　　７３３：中間領域

７４：側面　　７４１：上部領域

７４２：下部領域　　７４３：中間領域

７４ｂ：第１溝部　　７４ｃ：第１突出部

７５：側面　　７５１：上部領域

７５２：下部領域　　７５３：中間領域

７５ａ：第１ゲート痕　　７５ｂ：第２溝部

７５ｃ：第２突出部　　７６：側面

７６１：上部領域　　７６２：下部領域

７６３：中間領域　　７６ａ：第２ゲート痕

８０：リードフレーム　　８０Ａ：主面

８０Ｂ：裏面　　８１：フレーム

８２１：第１タイバー　　８２２：第２タイバー

８３：ダムバー　　８３１：切欠部

８８：キャビティ

請求の範囲

[請求項1] 半導体制御素子と、

前記半導体制御素子の厚さ方向に直交する第１方向において、前記半導体制御素子に対して第１側に配置され、かつ、前記半導体制御素子が送信した信号を受信する第１駆動素子と、

前記第１方向において、前記半導体制御素子に対して前記第１側とは反対側の第２側に配置され、かつ、前記半導体制御素子が送信した信号を受信する第２駆動素子と、

前記第１方向において前記半導体制御素子と前記第１駆動素子との間に配置され、かつ、前記半導体制御素子から前記第１駆動素子へ送信される信号を中継し、かつ、前記半導体制御素子および前記第１駆動素子を互いに絶縁する第１絶縁素子と、

前記第１方向において前記半導体制御素子と前記第２駆動素子との間に配置され、かつ、前記半導体制御素子から前記第２駆動素子へ送信される信号を中継し、かつ、前記半導体制御素子および前記第２駆動素子を互いに絶縁する第２絶縁素子と、

前記半導体制御素子を覆う封止樹脂と、を備えている半導体装置。

[請求項2] 前記半導体制御素子が搭載された第１ダイパッド、前記第１駆動素子が搭載された第２ダイパッド、および、前記第２駆動素子が搭載された第３ダイパッドを含む導電支持部材をさらに備えている、請求項１に記載の半導体装置。

[請求項3] 前記第１絶縁素子および前記第２絶縁素子は、前記第１ダイパッドに搭載されている、請求項２に記載の半導体装置。

[請求項4] 前記第１絶縁素子は、前記第２ダイパッドに搭載され、

前記第２絶縁素子は、前記第３ダイパッドに搭載されている、請求項２に記載の半導体装置。

[請求項5] 前記導電支持部材は、前記第１方向に沿って配列され、かつ、少なくともいずれかが前記半導体制御素子に導通する複数の入力側端子を

さらに含んでいる、請求項２ないし４のいずれかに記載の半導体装置。

[請求項6] 第１ワイヤおよび第２ワイヤをさらに備え、

前記複数の入力側端子は、最も第１側に配置された入力側第１端子と、最も第２側に配置された入力側第２端子とを含み、

前記第１ワイヤは、前記半導体制御素子と前記入力側第１端子とを導通させ、かつ、前記厚さ方向視において前記第１絶縁素子に重ならず、

前記第２ワイヤは、前記半導体制御素子と前記入力側第２端子とを導通させ、かつ、前記厚さ方向視において前記第２絶縁素子に重ならない、請求項５に記載の半導体装置。

[請求項7] 前記第１ワイヤおよび前記第２ワイヤ各々が前記第１方向となす角度は、２０°以下である、請求項６に記載の半導体装置。

[請求項8] 前記複数の入力側端子は、前記第１ダイパッドにつながる入力側支持端子を含んでいる、請求項５ないし７のいずれかに記載の半導体装置。

[請求項9] 前記導電支持部材は、

前記第１方向に沿って配列され、かつ、少なくともいずれかが前記第１駆動素子に導通する複数の第１出力側端子と、

前記複数の第１出力側端子に対して前記第２側で、前記第１方向に沿って配列され、かつ、少なくともいずれかが前記第２駆動素子に導通する複数の第２出力側端子と、

を含んでいる、請求項２ないし８のいずれかに記載の半導体装置。

[請求項10] 前記複数の第１出力側端子は、前記第２ダイパッドにつながる第１出力側支持端子を１つだけ含んでおり、

前記複数の第２出力側端子は、前記第３ダイパッドにつながる第２出力側支持端子を１つだけ含んでいる、請求項９に記載の半導体装置。

[請求項11] 前記複数の第１出力側端子は、前記封止樹脂から露出する複数の第１露出部分をそれぞれ有し、前記複数の第２出力側端子は、前記封止樹脂から露出する複数の第２露出部分をそれぞれ有し、

前記複数の第１出力側端子は、最も前記第２側に配置された第１出力側内側端子を含み、前記複数の第２出力側端子は、最も前記第１側に配置された第２出力側内側端子を含み、

前記第１出力側内側端子の前記第１露出部分および前記第２出力側内側端子の前記第２露出部分は、互いに第１端子間距離だけ離間しており、

前記複数の第１露出部分は、隣接する２つの第１露出部分によって定まる距離として少なくとも１つの離間距離を規定しており、当該少なくとも１つの離間距離は、そのうちの最大値として第２端子間距離を含んでおり、

前記第１端子間距離は、前記第２端子間距離の３倍以上である、請求項９または１０に記載の半導体装置。

[請求項12] 前記封止樹脂は、前記第１出力側端子および前記第２出力側端子が突出する第１側面を備え、

前記導電支持部材は、前記第１側面において、前記第１出力側内側端子と前記第２出力側内側端子との間では露出していない、請求項１１に記載の半導体装置。

[請求項13] 前記封止樹脂は、前記第１側面から凹み、かつ、前記厚さ方向に延びる第１溝部を備え、

前記第１溝部は、前記第１方向において、前記第１出力側内側端子と前記第２出力側内側端子との間に配置されている、請求項１２に記載の半導体装置。

[請求項14] 前記封止樹脂は、前記厚さ方向において、前記半導体制御素子を基準とし、前記第１ダイパッドとは反対側に位置する頂面と、前記厚さ方向において前記頂面とは反対側の底面と、を備え、

前記第１側面は、前記頂面につながる第１領域と、前記底面につながる第２領域と、前記第１領域および前記第２領域につながり、かつ、前記第１出力側端子および前記第２出力側端子が突出する第３領域と、を含み、

前記頂面、前記底面、前記第１領域、および前記第２領域の各々の表面粗さは、前記第３領域の表面粗さよりも大である、請求項１２または１３に記載の半導体装置。

[請求項15] 前記厚さ方向および前記第１方向に直交する第２方向において、前記第１絶縁素子の中心は、前記半導体制御素子の中心と前記第１駆動素子の中心との間に位置し、前記第２絶縁素子の中心は、前記半導体制御素子の中心と前記第２駆動素子の中心との間に位置し、

前記第１駆動素子の中心と前記第２駆動素子の中心とは、前記半導体制御素子の中心に対して、前記第２方向において同じ側に位置する、請求項２ないし１４のいずれかに記載の半導体装置。

[請求項16] 前記封止樹脂は、前記第１方向の前記第１側に位置する第２側面を備え、

前記導電支持部材は、前記第２側面から露出していない、請求項１５に記載の半導体装置。

[請求項17] 前記封止樹脂は、前記第２側面から前記第１方向に凹み、かつ、前記厚さ方向に延びる第２溝部を備えている、請求項１６に記載の半導体装置。

[請求項18] 前記第２側面には、当該第２側面の他の領域よりも表面が粗である第１ゲート痕が形成され、

前記第１ゲート痕は、前記第２方向において、前記第１駆動素子の中心より前記半導体制御素子の中心側に配置されている、請求項１６または１７に記載の半導体装置。

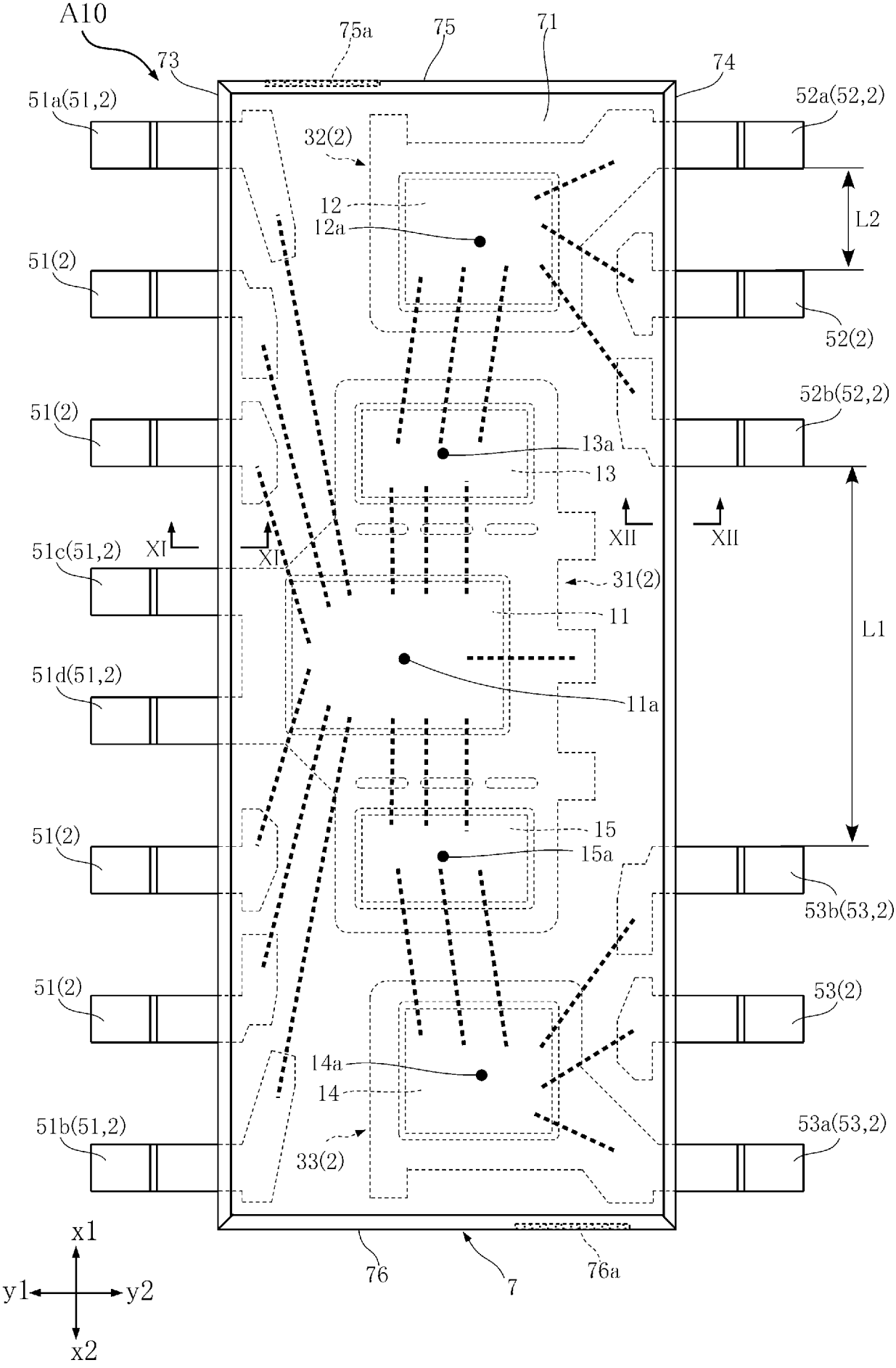
[請求項19] 前記封止樹脂は、前記第１方向の前記第２側に位置する第３側面を備え、

前記第３側面には、当該第３側面の他の領域よりも表面が粗である第２ゲート痕が形成され、

前記第２ゲート痕は、前記第２方向において、前記第２駆動素子の中心より前記半導体制御素子の中心とは反対側に配置されている、請求項１８に記載の半導体装置。

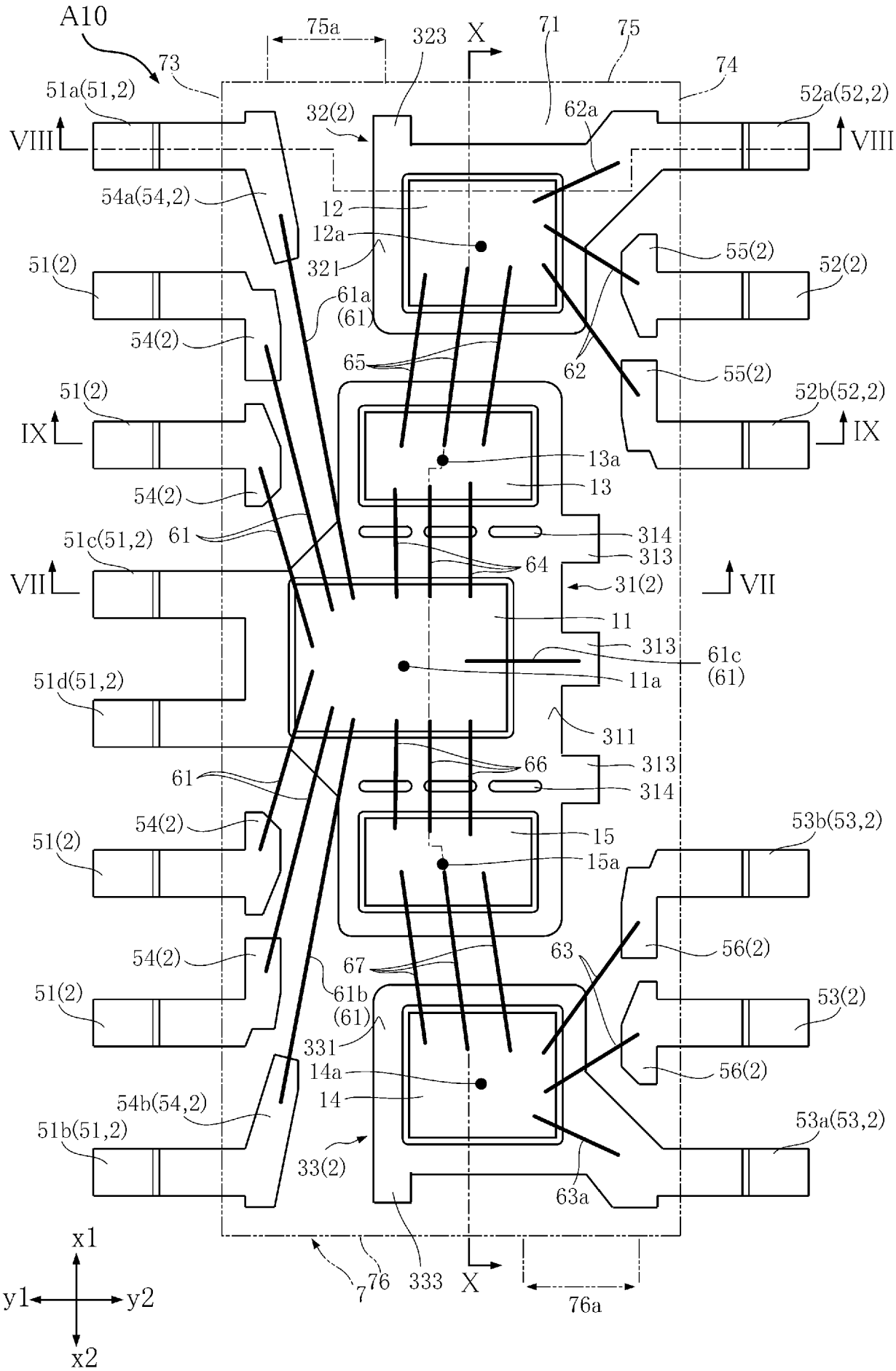
[図1]

FIG.1


A10
73
75a
75
71
74
51a(51,2)
52a(52,2)
32(2)
12
12a
L2
51(2)
52(2)
51(2)
52b(52,2)
13a
13
XII
XII
XI
XI
51c(51,2)
31(2)
11
L1
51d(51,2)
11a
15
15a
51(2)
53b(53,2)
51(2)
53(2)
14a
14
51b(51,2)
53a(53,2)
33(2)
x1
y1
y2
x2
76
7
76a

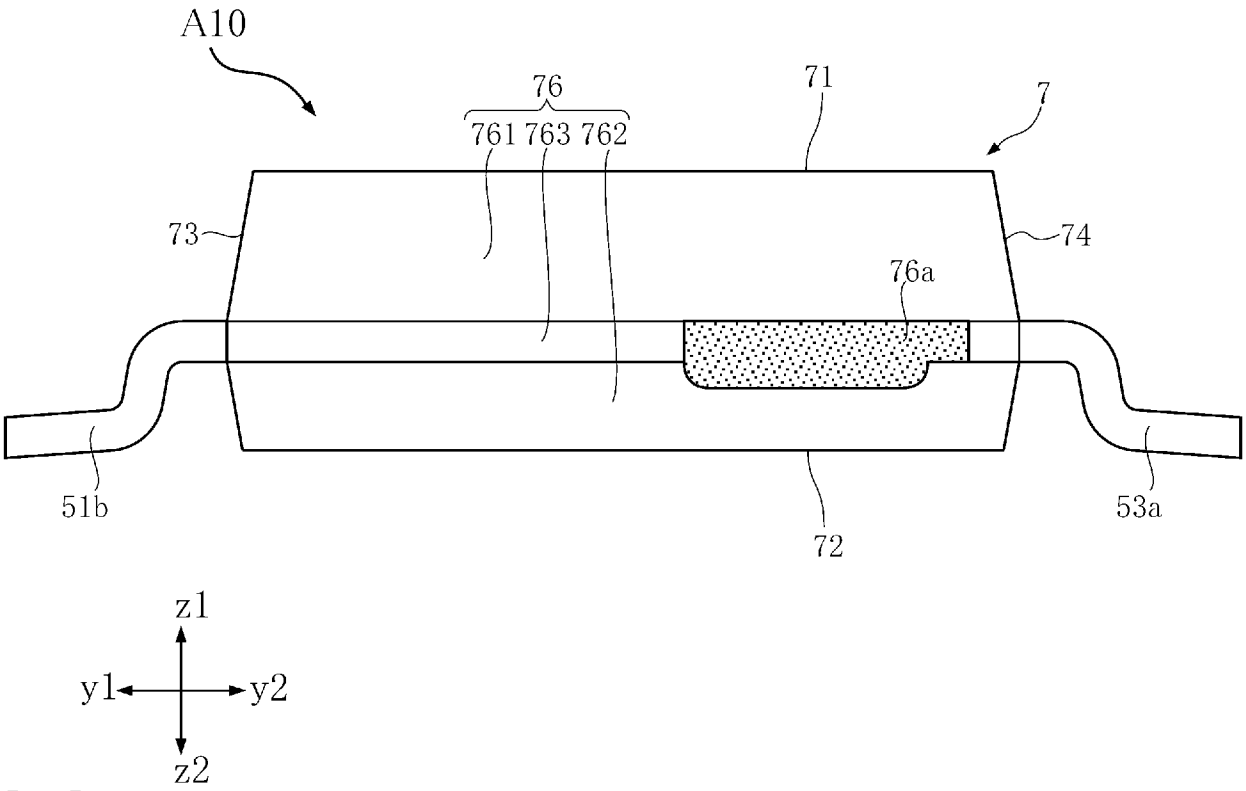
[図2]

FIG.2


A10
73
75a
323
X
71
75
74
51a(51,2)
32(2)
62a
52a(52,2)
VIII
VIII
54a(54,2)
12
12a
321
55(2)
52(2)
51(2)
61a
(61)
54(2)
65
62
55(2)
51(2)
52b(52,2)
IX
IX
13a
13
54(2)
314
51c(51,2)
61
313
64
VII
31(2)
VII
11
313
61c
(61)
51d(51,2)
11a
311
66
313
61
314
54(2)
15
53b(53,2)
51(2)
15a
54(2)
63
56(2)
67
61b
(61)
53(2)
51(2)
331
14a
56(2)
14
54b(54,2)
53a(53,2)
51b(51,2)
33(2)
63a
x1
y1
y2
x2
7
76
333
X
76a

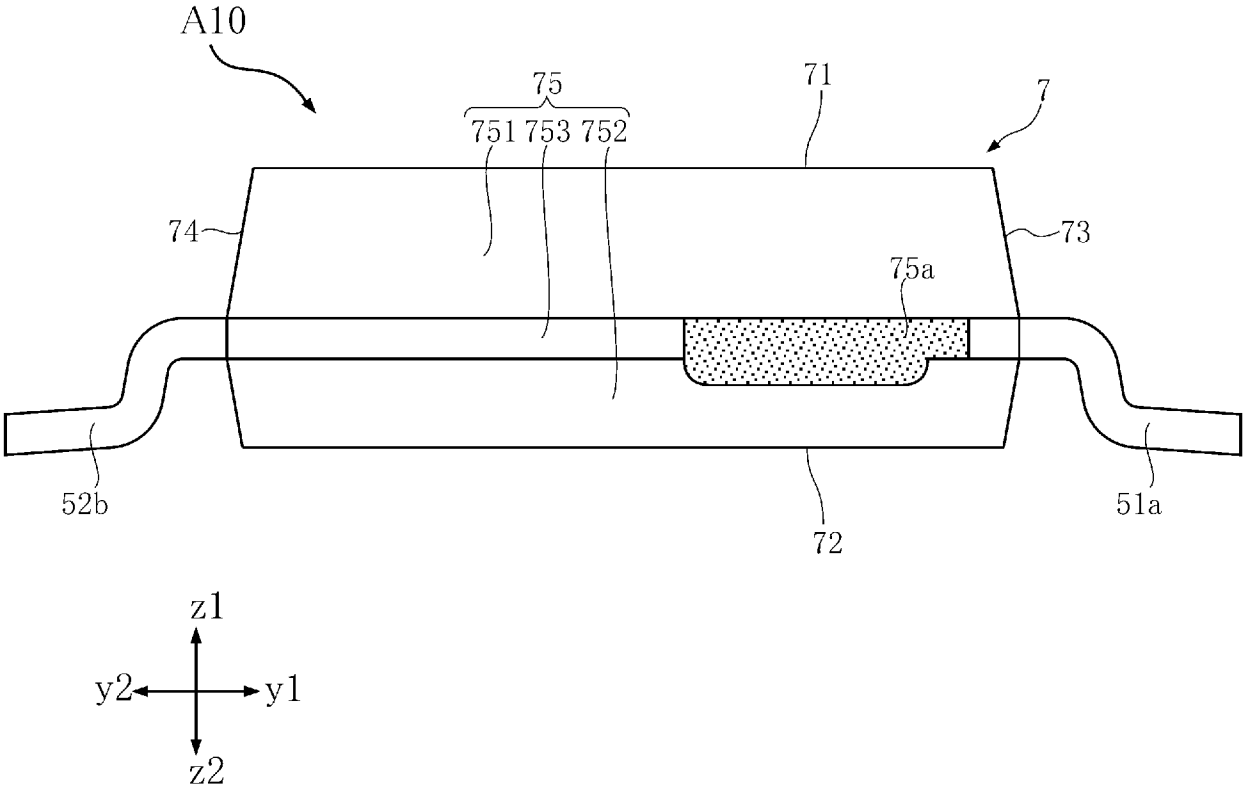
[図3]

FIG.3



[図4]

FIG.4



[図5]

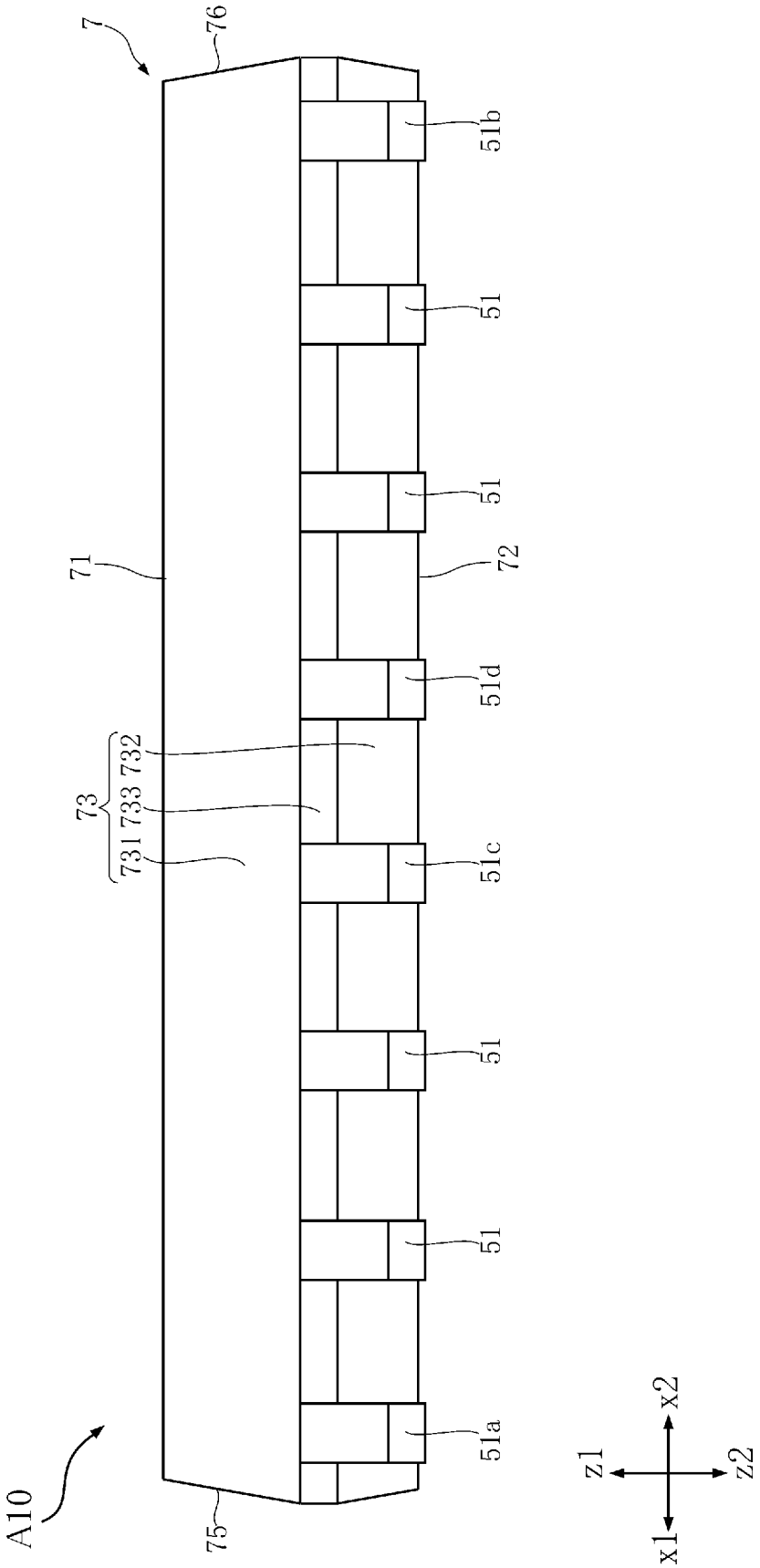

7
76
51b
51
51
71
72
51d
73
732
733
731
51c
51
51
51a
75
A10
z1
x2
z2
x1

FIG.5

[図6]

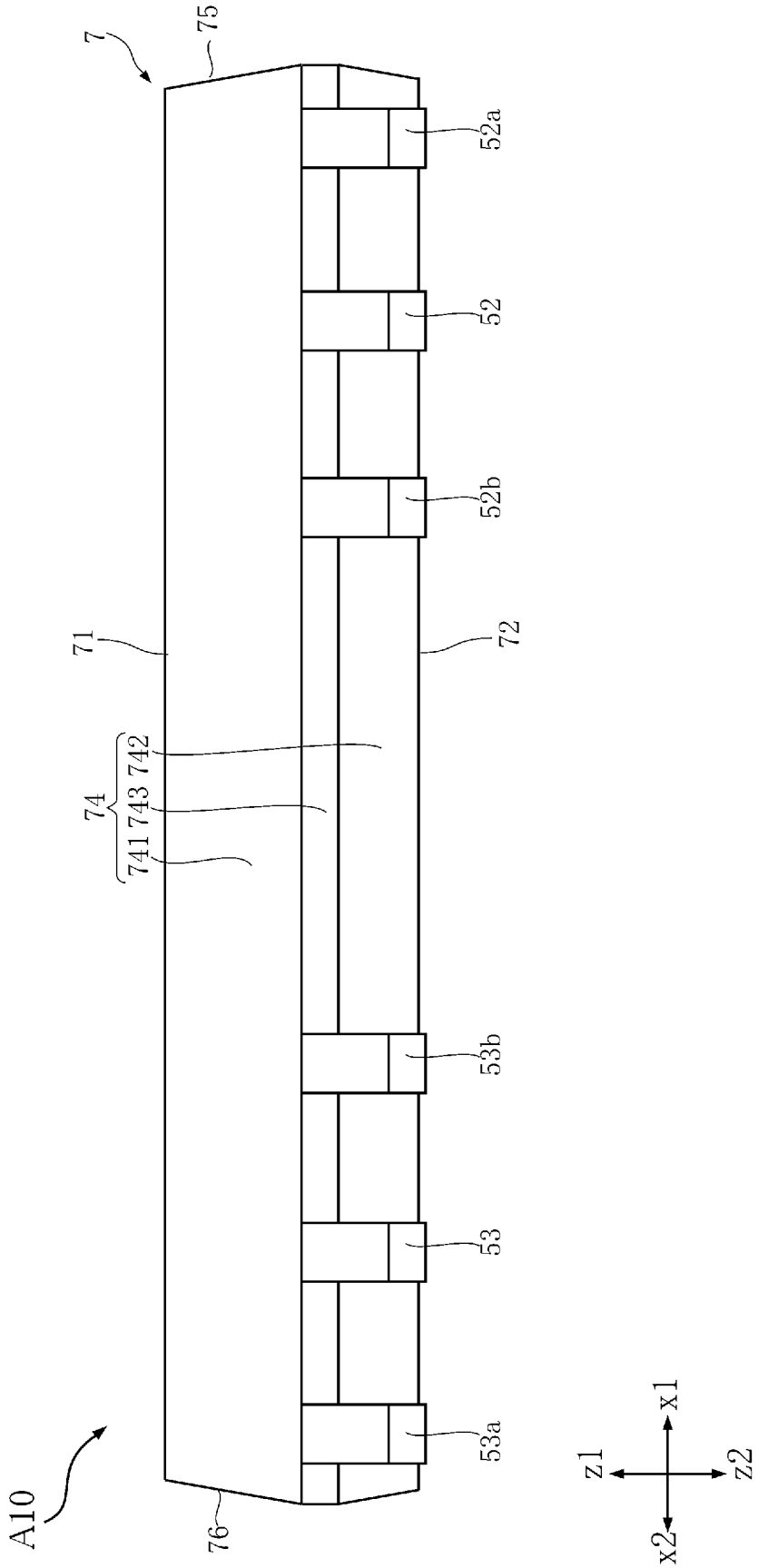
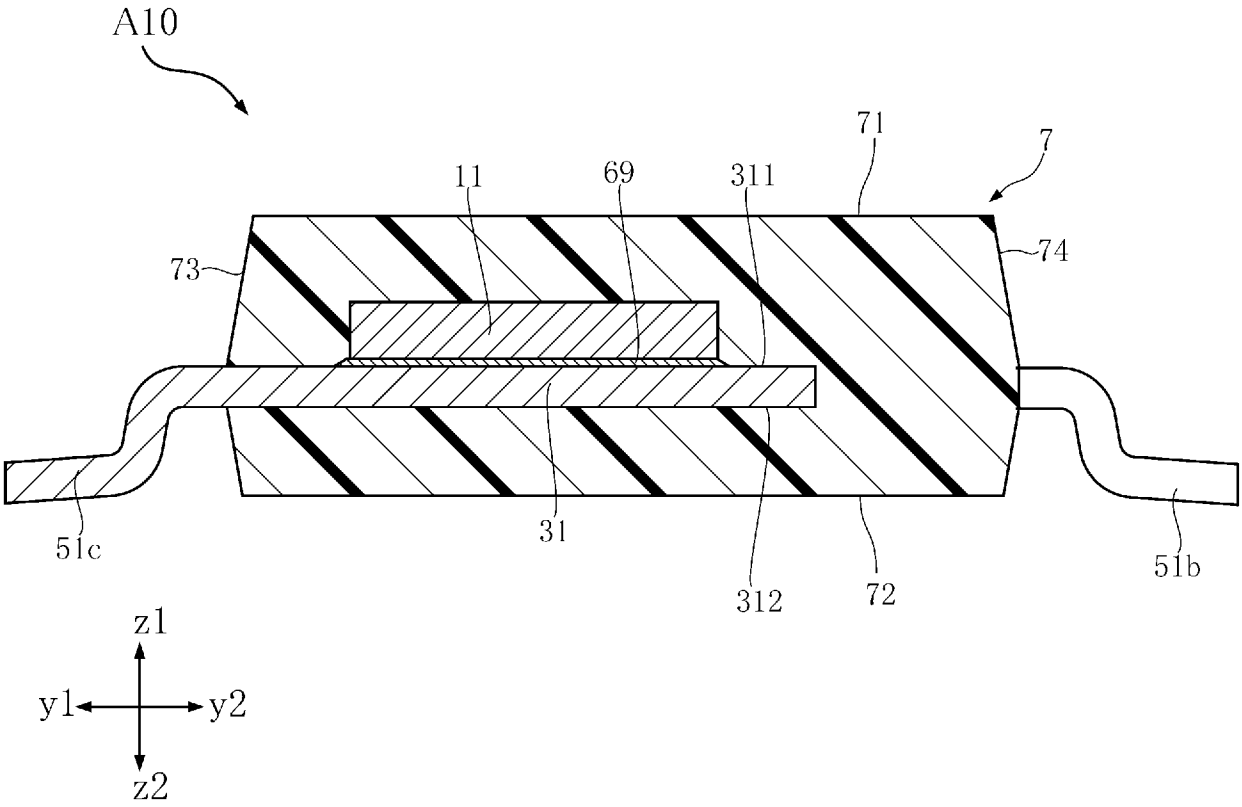


FIG.6

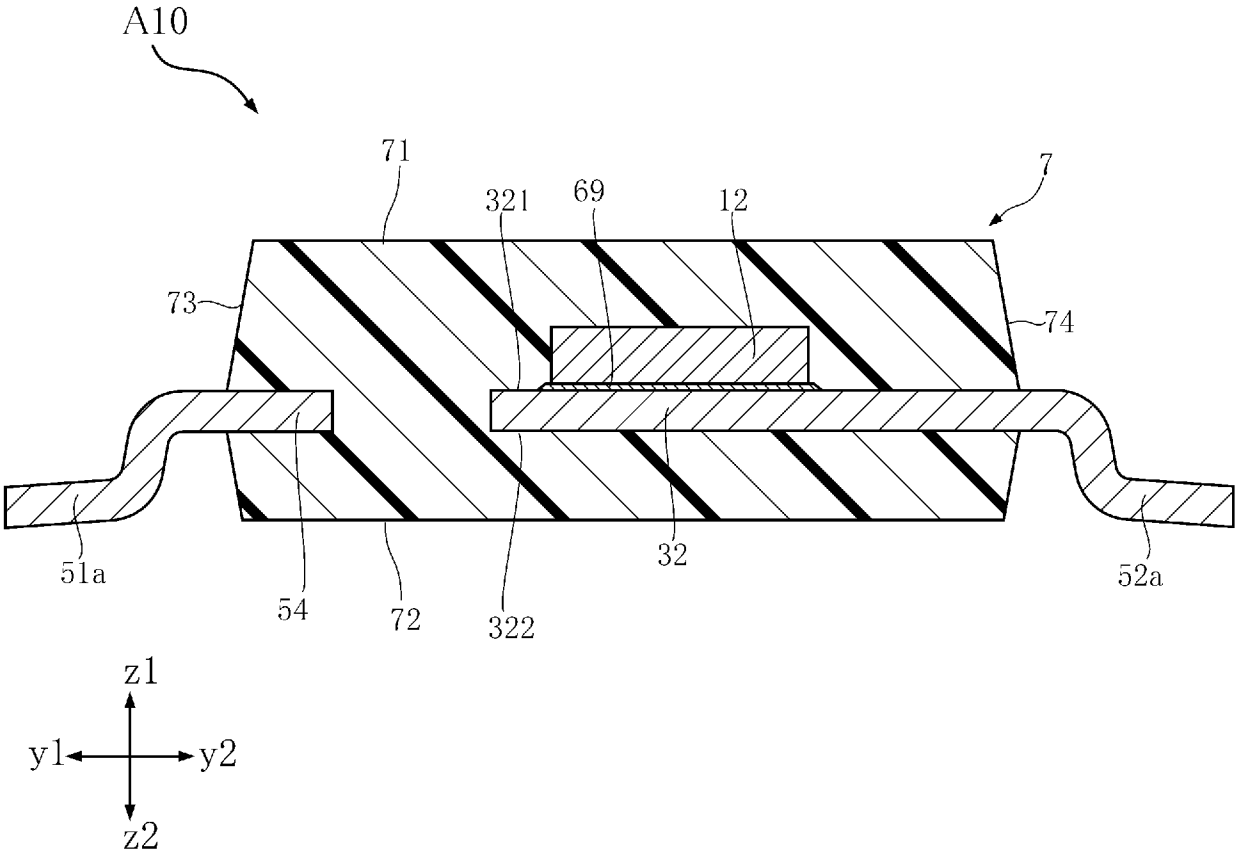
[図7]

FIG.7



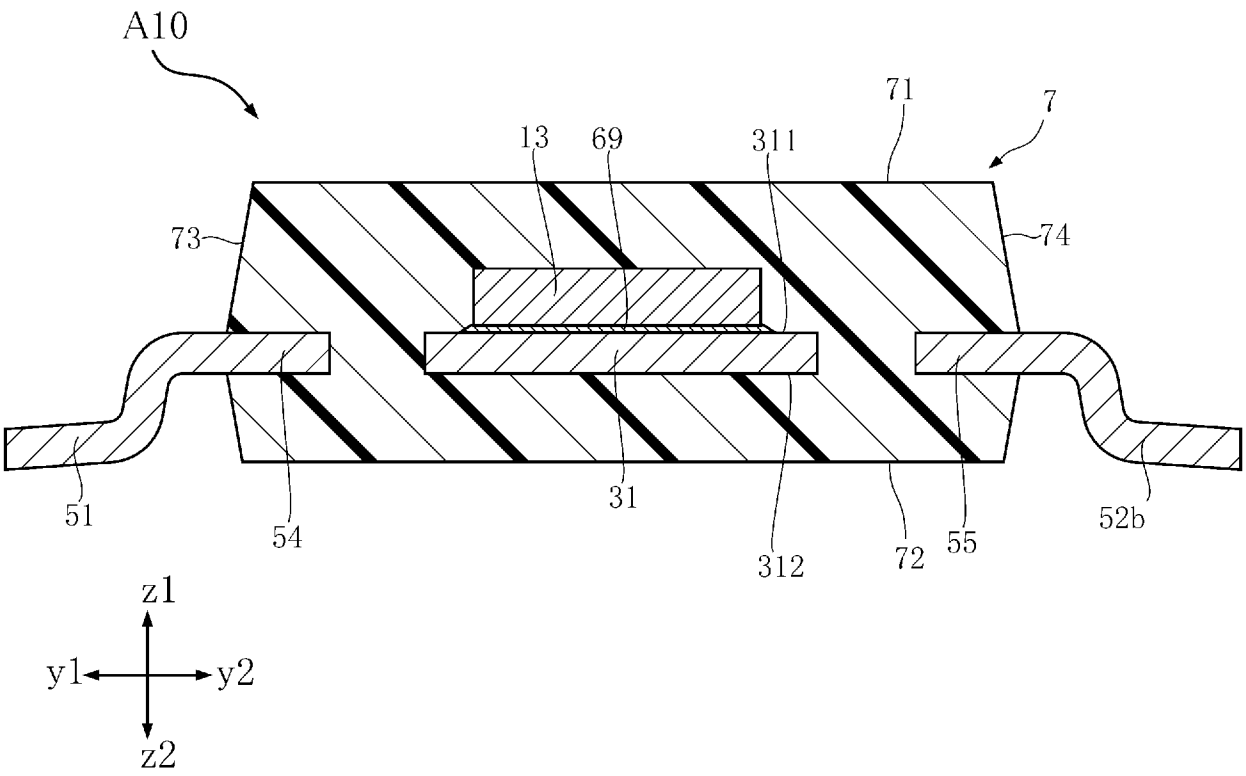
[図8]

FIG.8



[図9]

FIG.9



[図10]

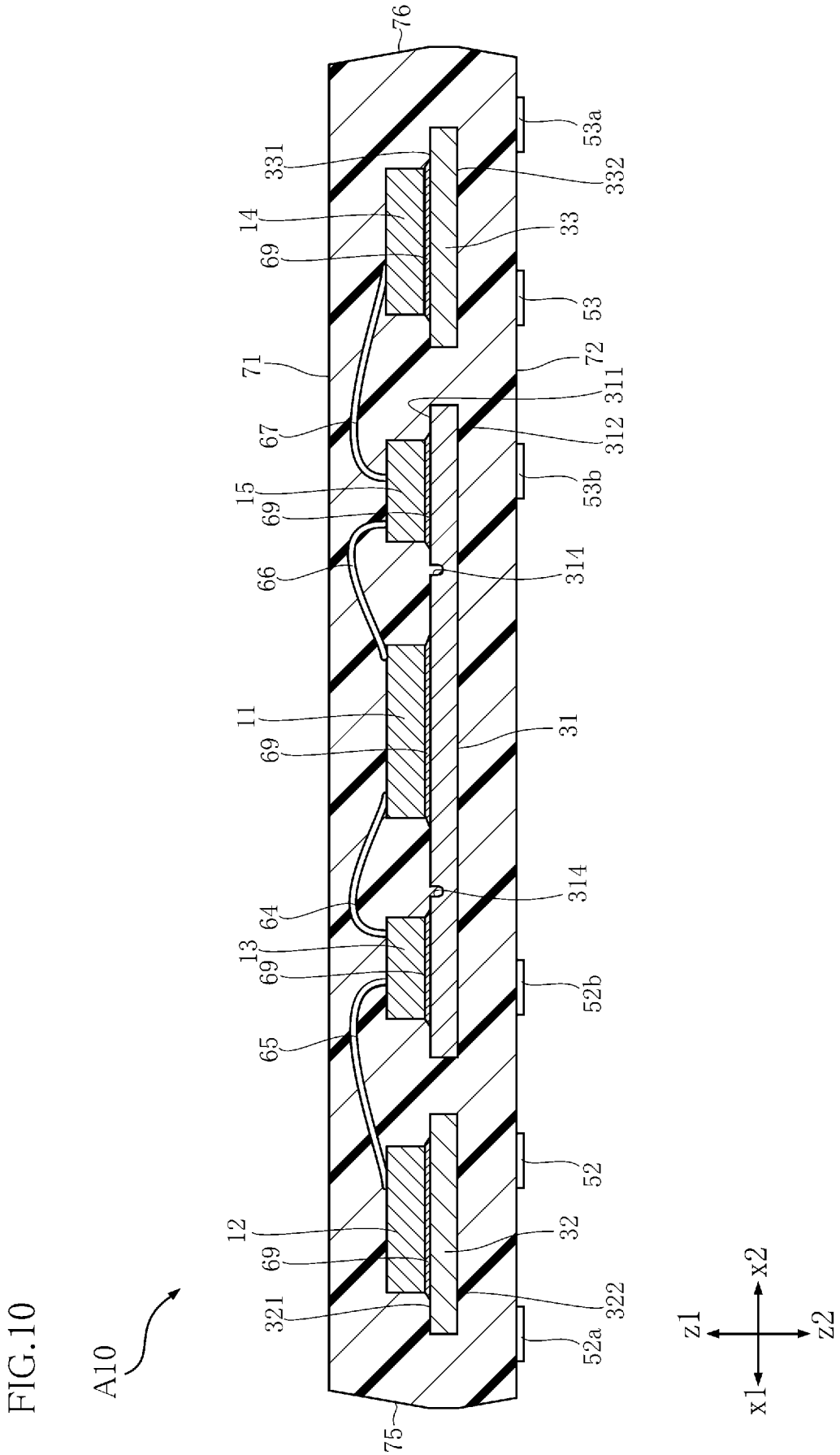
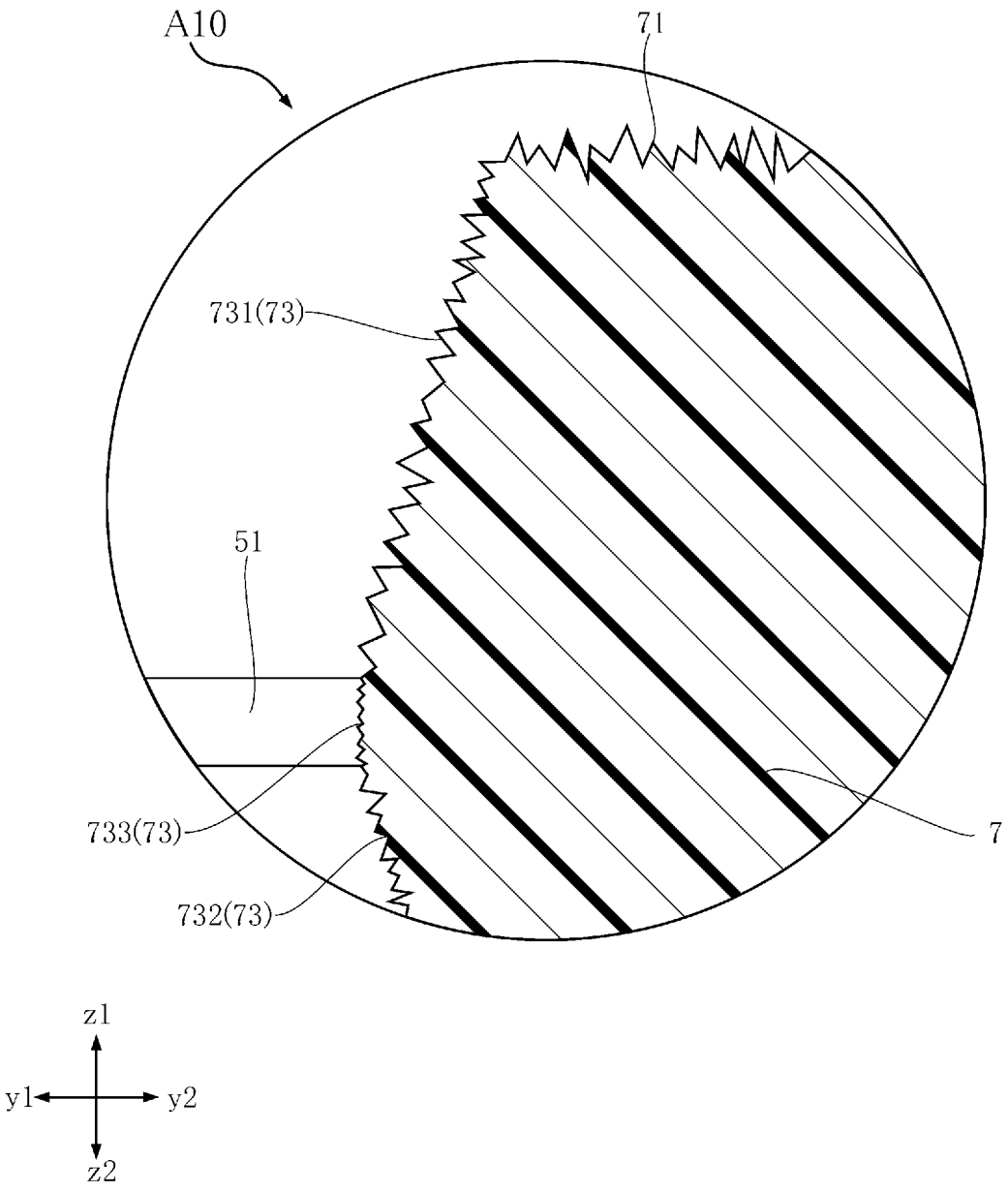
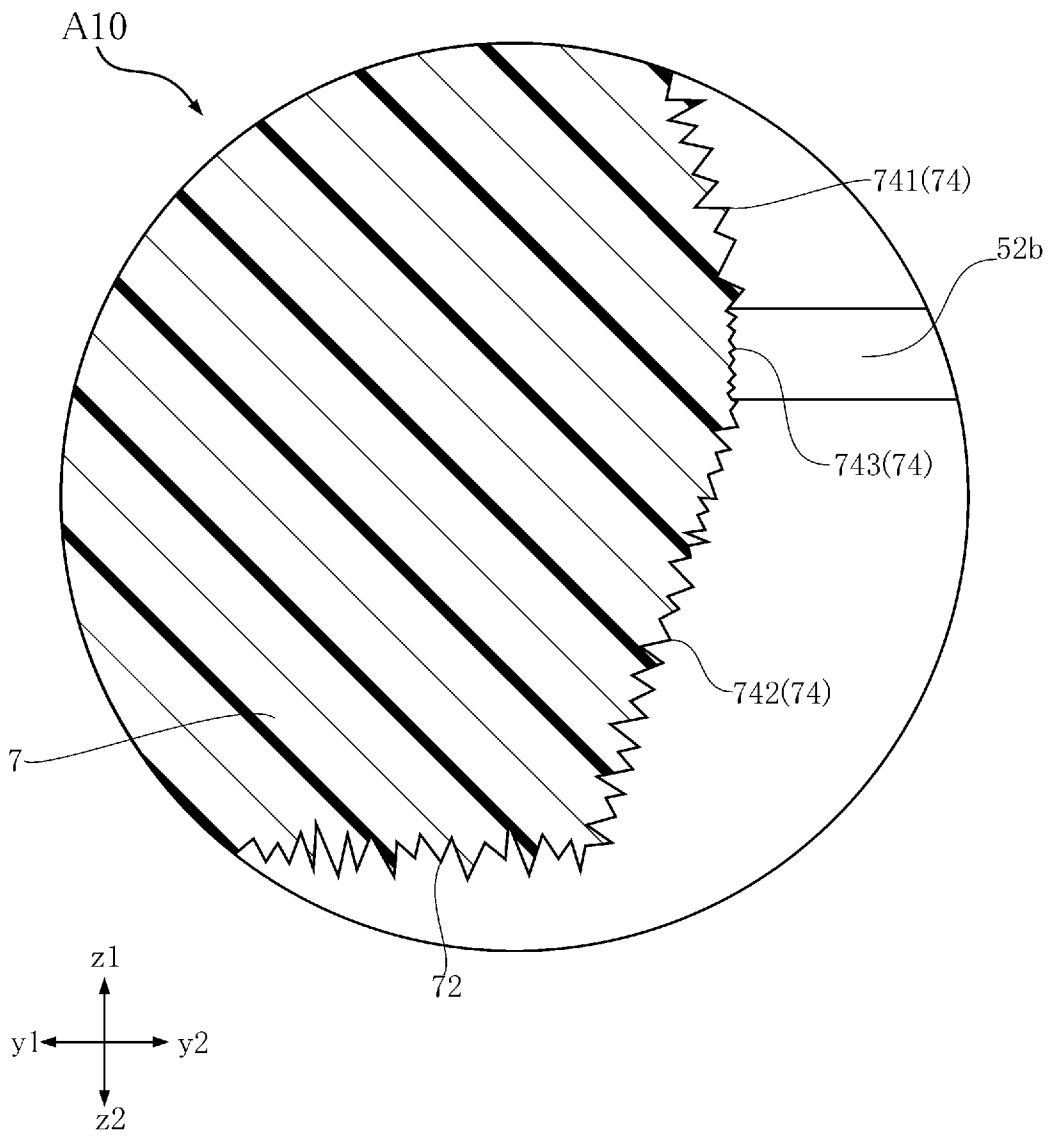

76
53a
331
332
14
33
69
53
71
72
311
67
312
15
53b
69
66
314
11
69
31
64
314
13
69
52b
65
52
12
32
69
321
322
52a
75
A10
x2
z1
z2
x1

FIG.10

[図11]
FIG.11

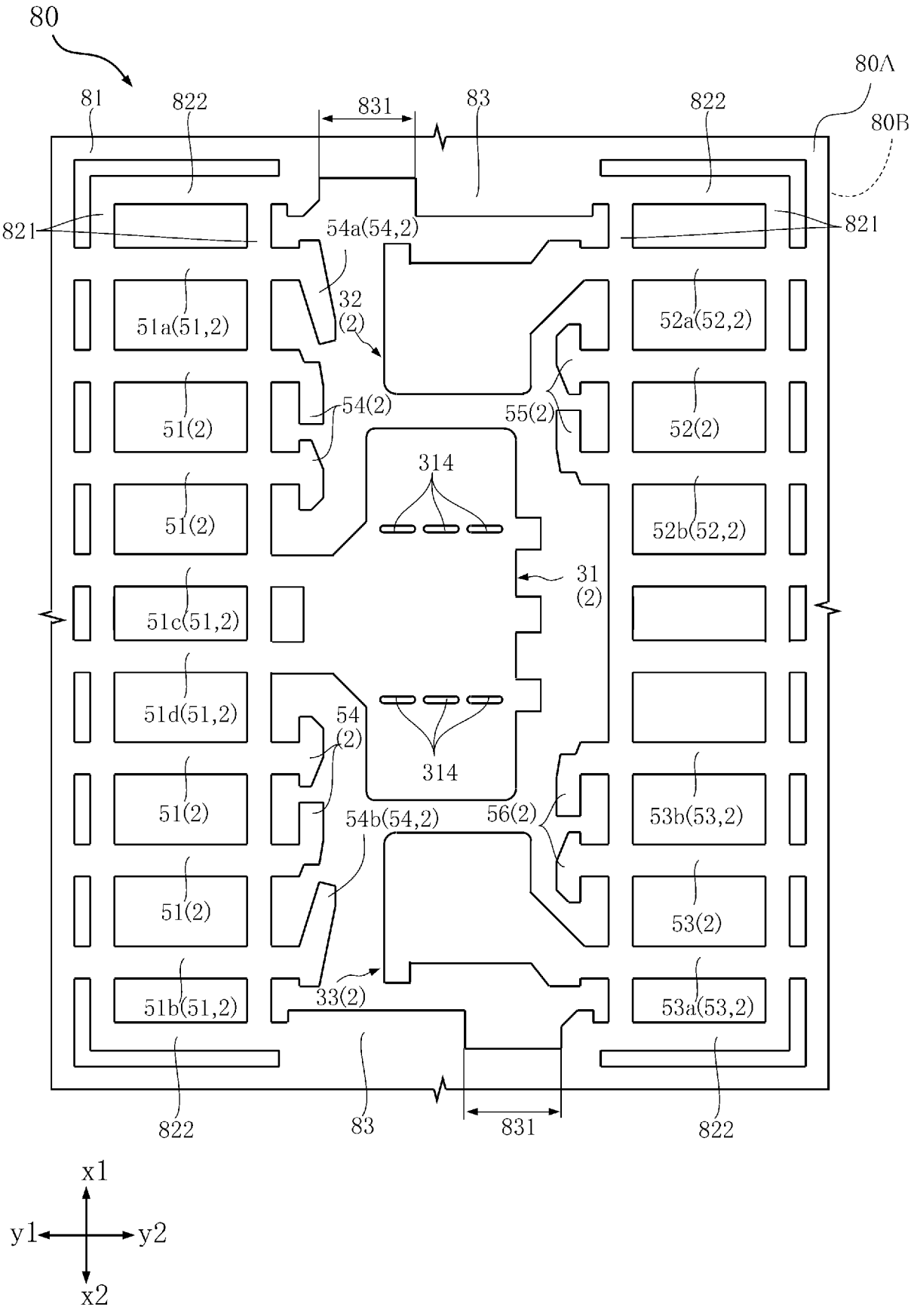


[図12]
FIG.12

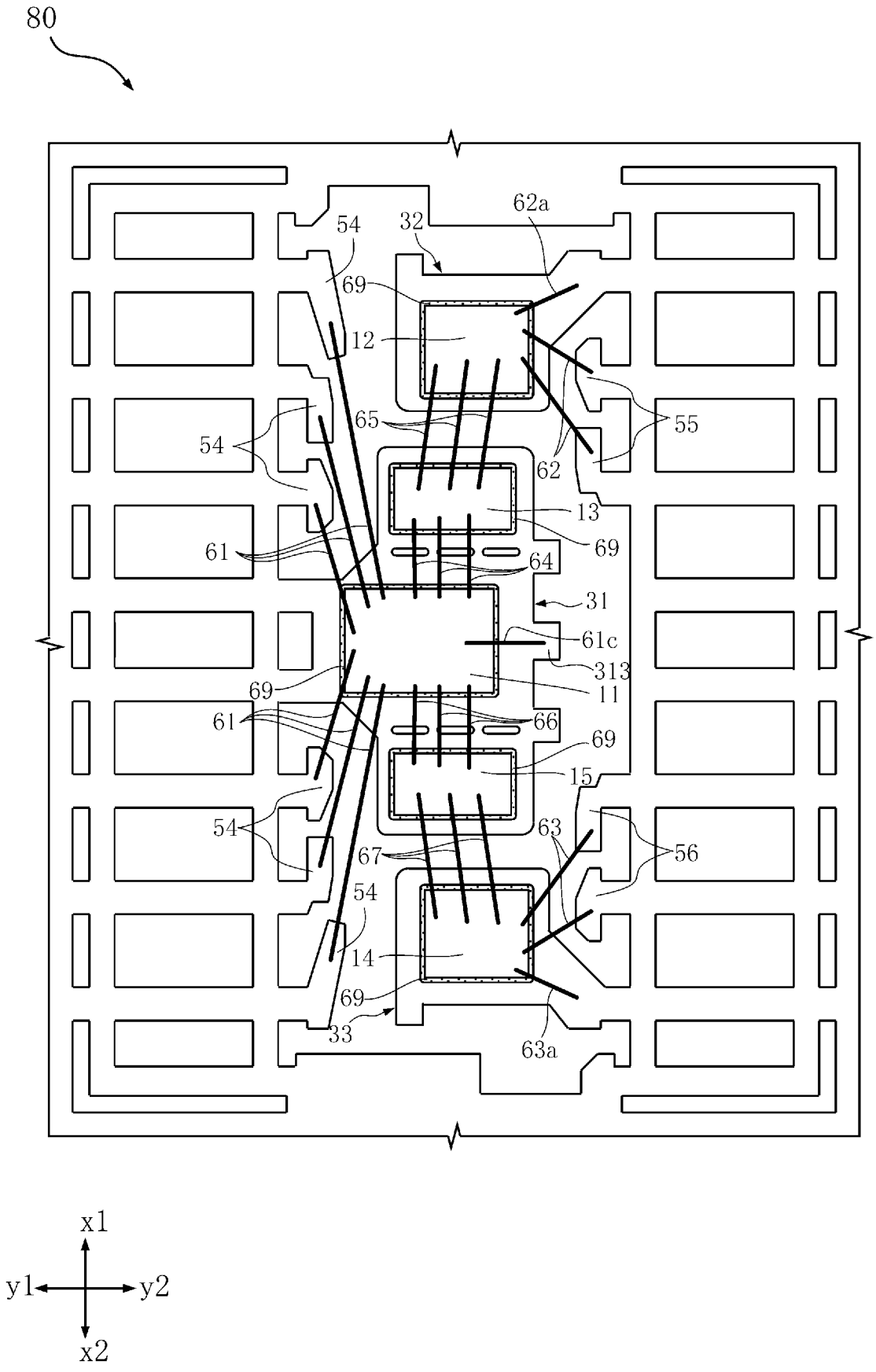


[図13]

FIG.13

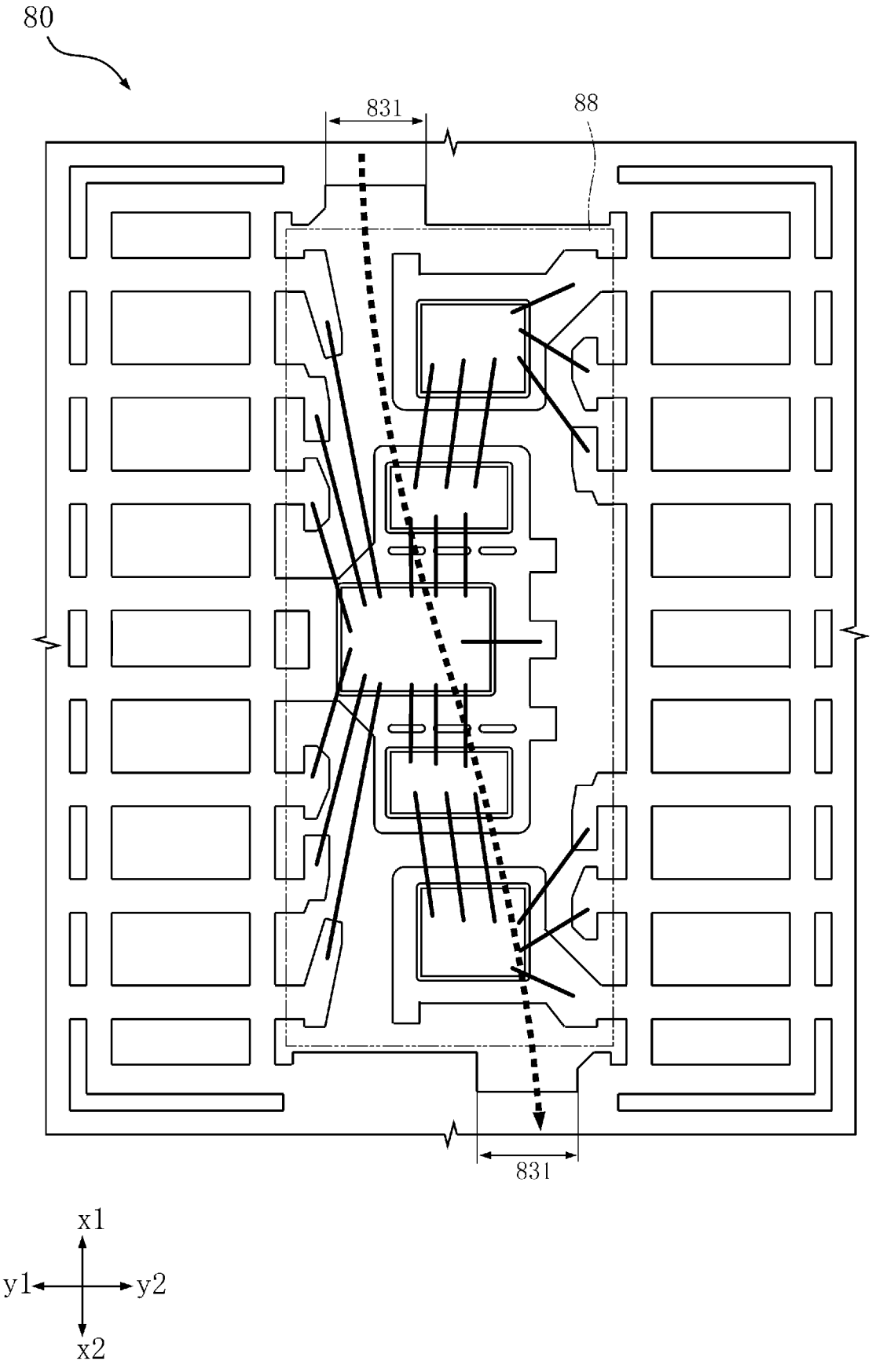

80
81
822
831
83
822
80A
80B
821
821
54a(54,2)
32
(2)
51a(51,2)
52a(52,2)
54(2)
55(2)
51(2)
52(2)
314
51(2)
52b(52,2)
31
(2)
51c(51,2)
51d(51,2)
54
(2)
314
51(2)
54b(54,2)
56(2)
53b(53,2)
51(2)
53(2)
33(2)
51b(51,2)
53a(53,2)
822
83
831
822
x1
y1
y2
x2

[図14]
FIG.14


80
62a
54
32
69
12
65
55
54
62
13
69
61
64
31
61c
313
69
11
61
66
69
15
54
63
67
56
54
14
69
33
63a
x1
y1
y2
x2

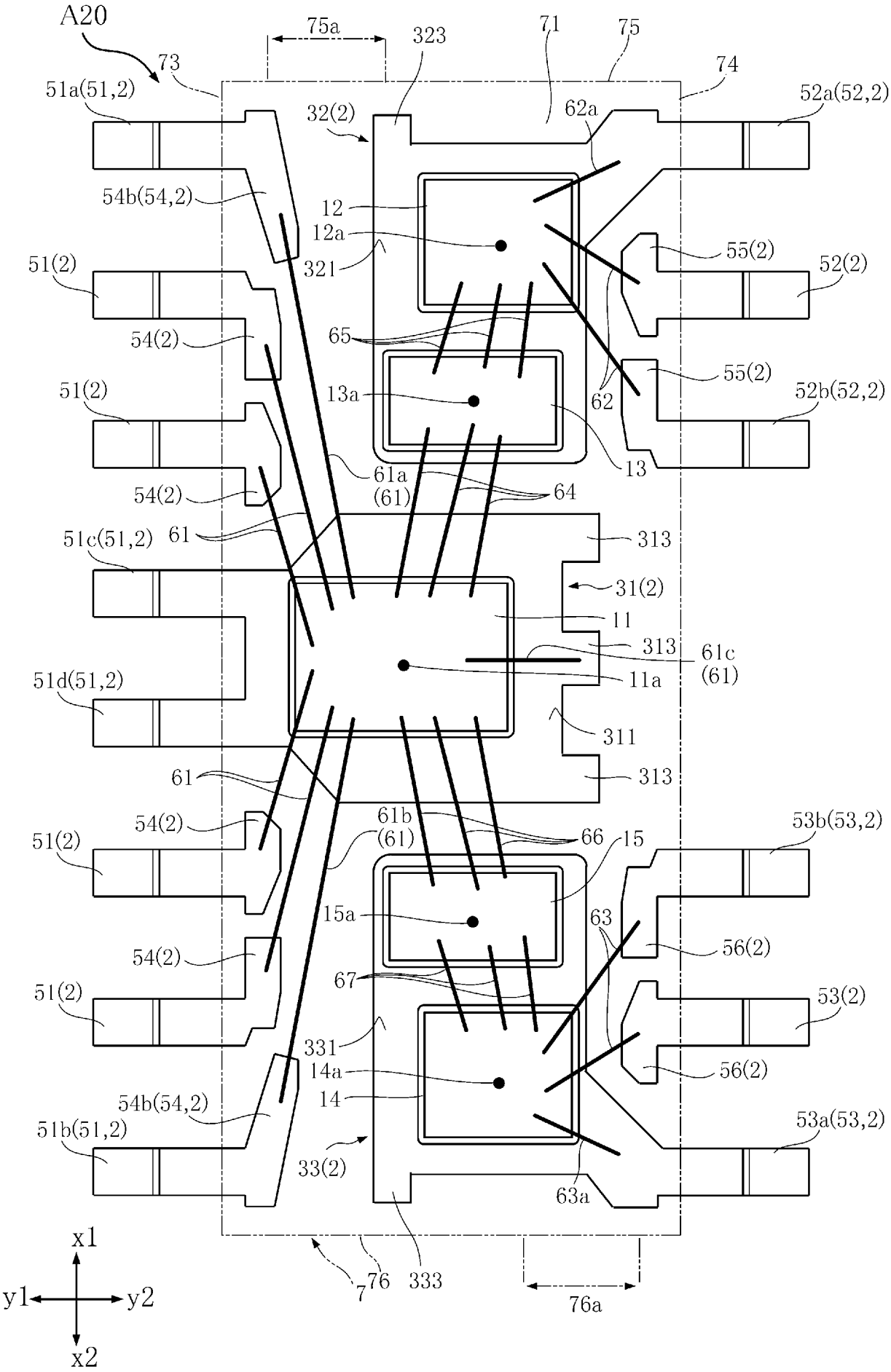
[図15]

FIG.15



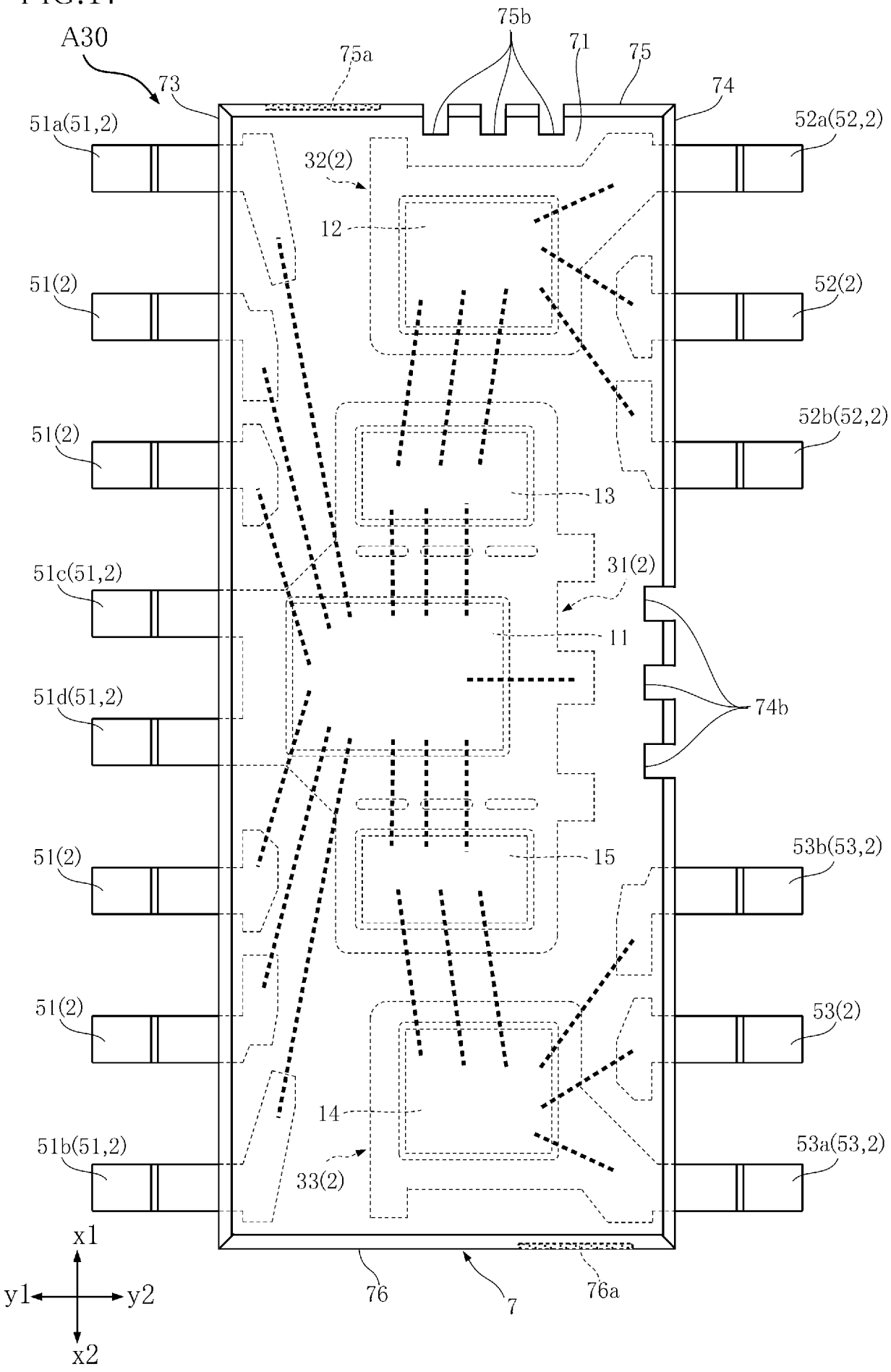
[図16]

FIG.16


A20
73
75a
323
71
75
74
51a(51,2)
32(2)
62a
52a(52,2)
54b(54,2)
12
12a
321
55(2)
52(2)
51(2)
54(2)
65
13a
62
55(2)
52b(52,2)
51(2)
61a
(61)
64
13
54(2)
51c(51,2)
61
313
31(2)
11
313
61c
(61)
11a
51d(51,2)
311
61
313
61b
(61)
66
15
53b(53,2)
54(2)
51(2)
15a
63
56(2)
54(2)
67
53(2)
51(2)
331
14a
56(2)
54b(54,2)
14
51b(51,2)
53a(53,2)
33(2)
63a
x1
y1
y2
x2
7
76
333
76a

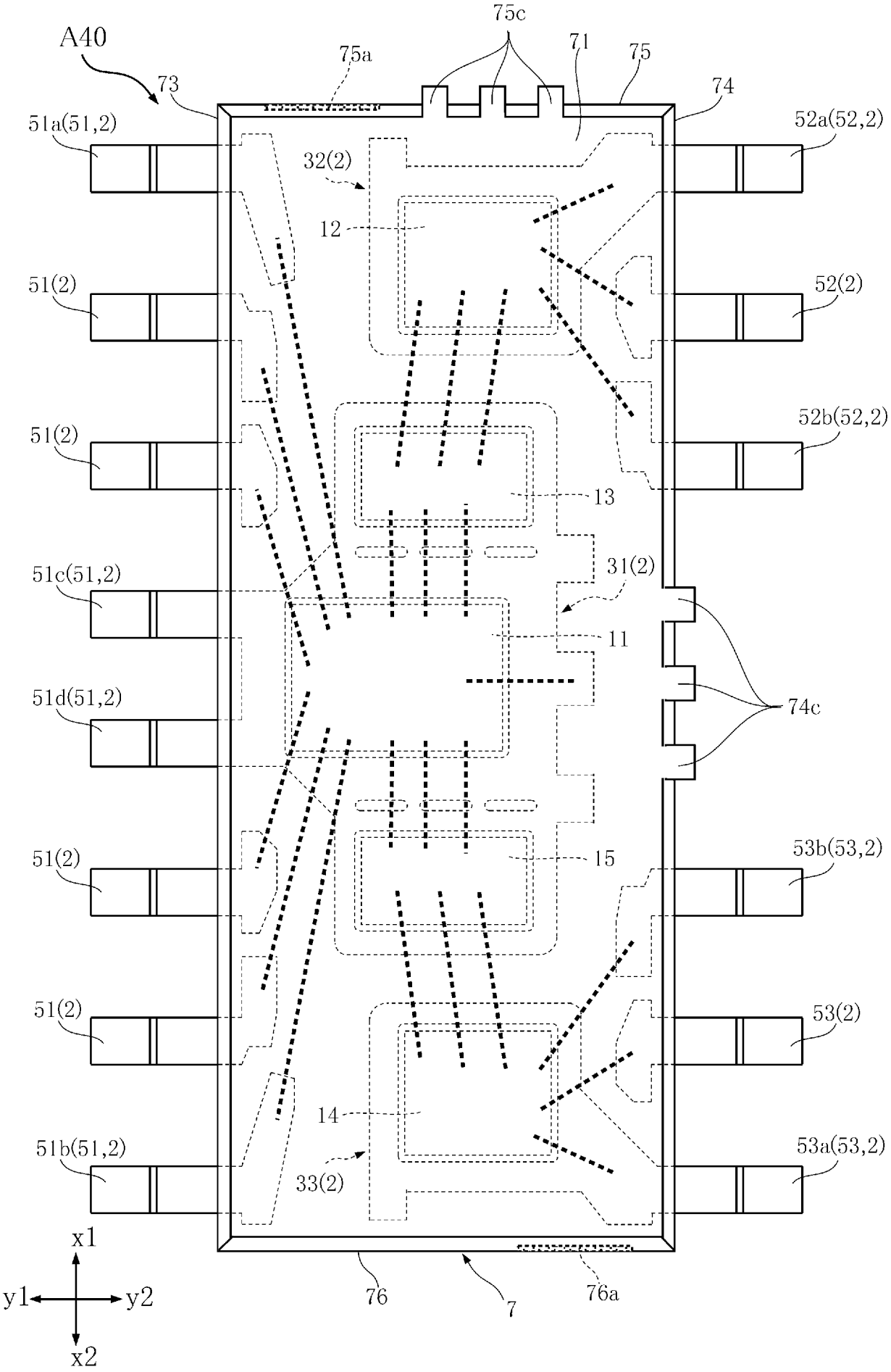
[図17]

FIG.17


A30
73
75a
75b
71
75
74
51a(51,2)
52a(52,2)
32(2)
12
51(2)
52(2)
51(2)
52b(52,2)
13
51c(51,2)
31(2)
11
51d(51,2)
74b
51(2)
15
53b(53,2)
51(2)
53(2)
14
51b(51,2)
53a(53,2)
33(2)
x1
y1
y2
x2
76
7
76a

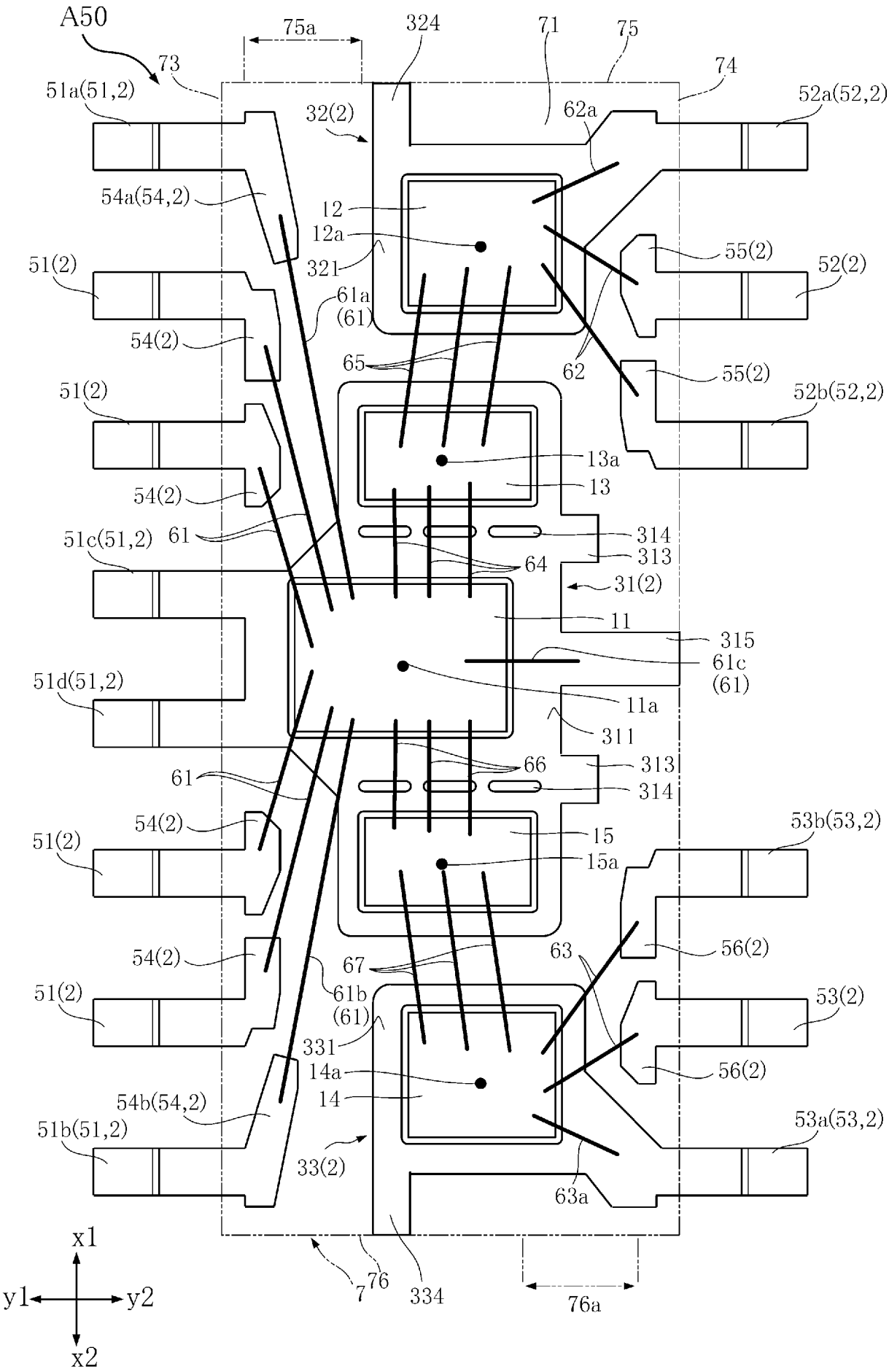
[図18]

FIG.18


A40
73
75a
75c
71
75
74
51a(51,2)
52a(52,2)
32(2)
12
51(2)
52(2)
51(2)
52b(52,2)
13
51c(51,2)
31(2)
11
51d(51,2)
74c
51(2)
53b(53,2)
15
51(2)
53(2)
14
51b(51,2)
53a(53,2)
33(2)
x1
y1
y2
x2
76
7
76a

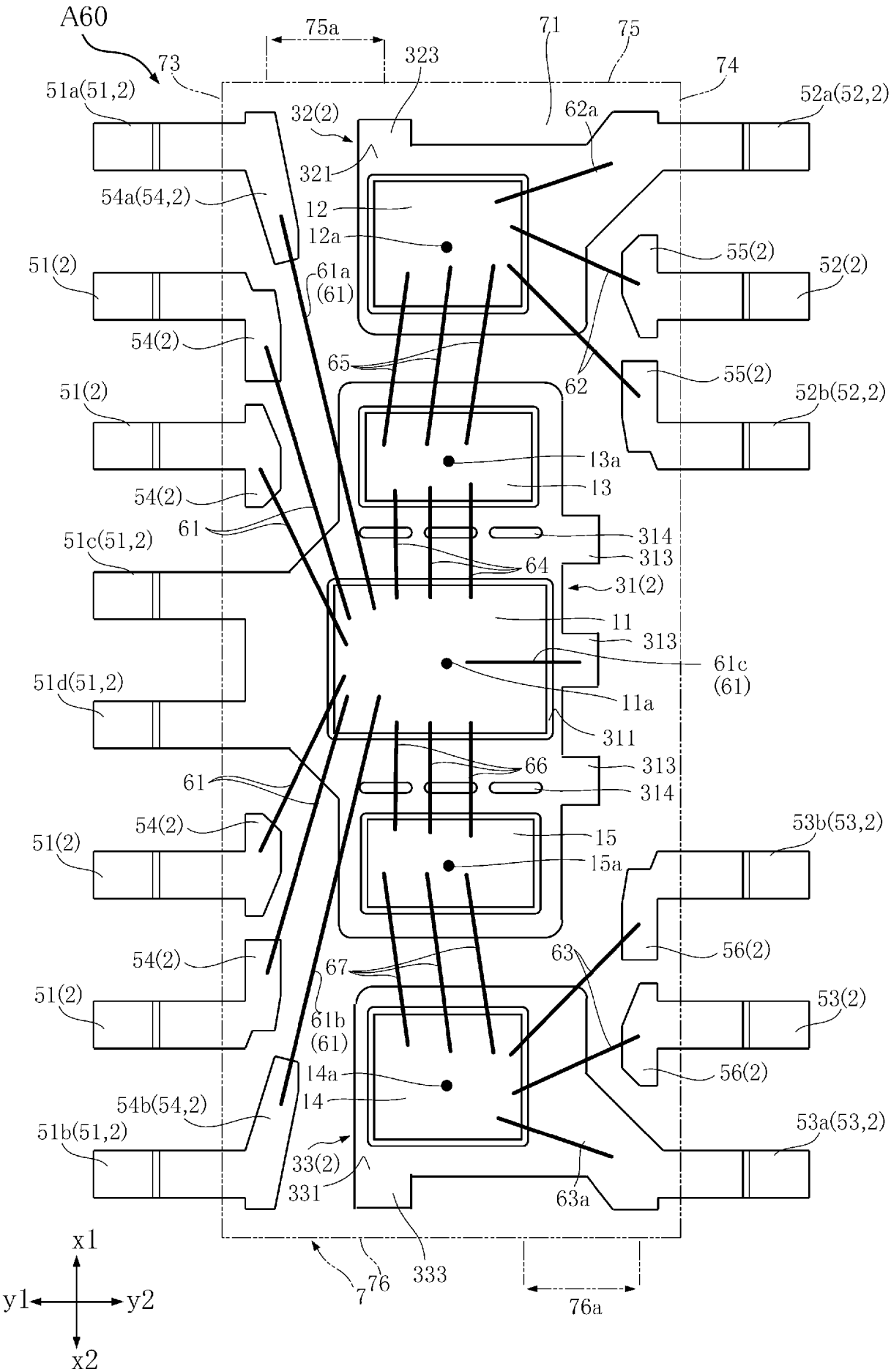
[図19]

FIG.19


A50
73
75a
324
71
75
74
51a(51,2)
32(2)
62a
52a(52,2)
54a(54,2)
12
12a
321
55(2)
52(2)
51(2)
61a
(61)
54(2)
65
62
55(2)
51(2)
52b(52,2)
13a
13
54(2)
51c(51,2)
61
314
313
64
31(2)
11
315
61c
(61)
51d(51,2)
11a
311
66
313
61
314
54(2)
15
53b(53,2)
51(2)
15a
54(2)
63
56(2)
67
61b
(61)
53(2)
51(2)
331
14a
56(2)
54b(54,2)
14
53a(53,2)
51b(51,2)
33(2)
63a
x1
y1
y2
x2
7
76
334
76a

[図20]

FIG.20


A60
75a
71
75
73
323
74
51a(51,2)
32(2)
62a
52a(52,2)
321
54a(54,2)
12
12a
55(2)
51(2)
61a
(61)
52(2)
54(2)
65
62
55(2)
51(2)
52b(52,2)
13a
13
54(2)
61
314
51c(51,2)
313
64
31(2)
11
313
61c
(61)
51d(51,2)
11a
311
66
313
61
314
54(2)
53b(53,2)
51(2)
15
15a
54(2)
63
56(2)
67
51(2)
53(2)
61b
(61)
14a
56(2)
54b(54,2)
14
53a(53,2)
51b(51,2)
33(2)
331
63a
x1
y1
y2
x2
7
76
333
76a

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/044725

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/50(2006.01)i; ***H01L 25/07***(2006.01)i; ***H01L 25/18***(2006.01)i; ***H01L 21/56***(2006.01)i; ***H01L 21/60***(2006.01)i
FI: H01L23/50 K; H01L21/60 301B; H01L21/56 R; H01L25/04 C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/50; H01L25/07; H01L25/18; H01L21/56; H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2018-121035 A (RENESAS ELECTRONICS CORP) 02 August 2018 (2018-08-02) paragraphs [0029], [0040]-[0054], fig. 4, 7	1-6, 8
A	paragraphs [0029], [0040]-[0054], fig. 4, 7	7, 9-19
Y	WO 2020/012957 A1 (ROHM CO LTD) 16 January 2020 (2020-01-16) paragraphs [0003], [0025]-[0026], fig. 2	1-6, 8
A	paragraphs [0003], [0025]-[0026], fig. 2	7, 9-19
Y	JP 2016-207714 A (ROHM CO LTD) 08 December 2016 (2016-12-08) paragraphs [0046]-[0048], fig. 2	1-6, 8
A	paragraphs [0046]-[0048], fig. 2	7, 9-19

☐ Further documents are listed in the continuation of Box C.

☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
31 January 2022	**08 February 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/044725

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2018-121035 A	02 August 2018	US 2018/0218969 A1 paragraphs [0061], [0073]-[0087], fig. 4, 7 EP 3355350 A1 CN 108364942 A TW 201828448 A KR 10-2020-0067233 A HK 1255949 A	
WO 2020/012957 A1	16 January 2020	CN 112400229 A	
JP 2016-207714 A	08 December 2016	US 2016/0307854 A1 paragraphs [0035]-[0037], fig. 2	

国際調査報告

国際出願番号
PCT/JP2021/044725

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 23/50(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; H01L 21/56(2006.01)i; H01L 21/60(2006.01)i
FI: H01L23/50 K; H01L21/60 301B; H01L21/56 R; H01L25/04 C

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L23/50; H01L25/07; H01L25/18; H01L21/56; H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2018-121035 A (ルネサスエレクトロニクス株式会社) 02.08.2018 (2018-08-02) 段落[0029],[0040]-[0054],図4,7	1-6,8
A	段落[0029],[0040]-[0054],図4,7	7,9-19
Y	WO 2020/012957 A1 (ローム株式会社) 16.01.2020 (2020-01-16) 段落[0003],[0025]-[0026],図2	1-6,8
A	段落[0003],[0025]-[0026],図2	7,9-19
Y	JP 2016-207714 A (ローム株式会社) 08.12.2016 (2016-12-08) 段落[0046]-[0048],図2	1-6,8
A	段落[0046]-[0048],図2	7,9-19

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
31.01.2022	08.02.2022

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
多賀　和宏 5F 4451
電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/044725

引用文献	公表日	パテントファミリー文献	公表日
JP 2018-121035 A	02.08.2018	US 2018/0218969 A1 段落[0061],[0073]-[0087], 図4,7 EP 3355350 A1 CN 108364942 A TW 201828448 A KR 10-2020-0067233 A HK 1255949 A	
WO 2020/012957 A1	16.01.2020	CN 112400229 A	
JP 2016-207714 A	08.12.2016	US 2016/0307854 A1 段落[0035]-[0037],図2	