



(12) 发明专利

(10) 授权公告号 CN 101409222 B

(45) 授权公告日 2013. 01. 02

(21) 申请号 200810169889. 0

(22) 申请日 2008. 10. 10

(30) 优先权数据

2007-264998 2007. 10. 10 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 大沼英人 山崎舜平

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 屠长存

(51) Int. Cl.

H01L 21/00 (2006. 01)

H01L 21/20 (2006. 01)

H01L 21/762 (2006. 01)

H01L 21/84 (2006. 01)

(56) 对比文件

JP 2004-165600 A, 2004. 06. 10, 全文.

US 2007/0148917 A1, 2007. 06. 28, 说明书第

40-62 段、附图 1-4.

US 6245645 B1, 2001. 06. 12, 说明书第 1 栏
第 54-64 行、第 4 栏第 57-65 行.

JP 2000-30992 A, 2000. 01. 28, 全文.

CN 1199920 A, 1998. 11. 25, 全文.

US 2003/0183876 A1, 2003. 10. 02, 全文.

US 2007/0148917 A1, 2007. 06. 28, 说明书第
40-62 段、附图 1-4.

审查员 杨春光

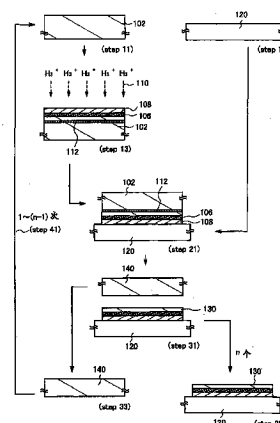
权利要求书 4 页 说明书 32 页 附图 20 页

(54) 发明名称

SOI 衬底的制造方法

(57) 摘要

本发明的目的在于提供一种有效地利用资源,并且生产率良好地制造 SOI 衬底的技术。本发明的技术要点是反复进行如下工序 A 和工序 B 的。工序 A 包括如下:将簇离子照射到半导体片的表面,在半导体片中形成分离层。半导体片和具有绝缘表面的衬底彼此重叠而接合,然后通过进行热处理,在分离层或该分离层附近分离半导体片。在工序 A 中同时获得剥离片和在具有绝缘表面的衬底上方具有晶体半导体层的 SOI 衬底。工序 B 包括如下:进行了再利用剥离片的处理,其结果可以在工序 A 中继续利用该剥离片。



1. 一种半导体装置的制造方法,包括如下步骤:

第一工序,其中将簇离子照射到半导体片的表面,以在所述半导体片中形成分离层;

第二工序,其中将所述半导体片的表面和具有绝缘表面的衬底彼此接合;

第三工序,其中在所述分离层或所述分离层附近区域分离所述半导体片,来形成具有分离面的剥离片和包括在所述具有绝缘表面的衬底上形成的半导体层的绝缘体上硅衬底;

第四工序,其中进行用于再利用所述剥离片的处理;以及

第五工序,其中通过使用所述剥离片作为所述第一至第三工序的所述半导体片,进行所述第一至第三工序,

其中用于再利用所述剥离片的所述处理包括选自由抛光处理、蚀刻处理、热处理、照射激光束处理构成的组中的至少一种方法,

其中所述第一至第二工序仅在所述半导体片的所述表面上进行,

其中所述簇离子选自 H_3^+ 离子、 H_4^+ 离子、 $^2H_2^+$ 离子和 $^2H_3^+$ 离子,并且

其中所述簇离子是通过进行质量分离来选择的。

2. 根据权利要求 1 所述的半导体装置的制造方法,其中在所述第一工序中使用离子掺杂装置。

3. 根据权利要求 1 所述的半导体装置的制造方法,其中所述簇离子包括 H_3^+ 离子。

4. 根据权利要求 1 所述的半导体装置的制造方法,其中所述簇离子包括选自 $^2H_2^+$ 离子和 $^2H_3^+$ 离子中的离子。

5. 一种半导体装置的制造方法,包括如下步骤:

第一工序,其中将簇离子照射到半导体片的表面,以在所述半导体片中形成分离层;

第二工序,其中在所述半导体片的表面上形成绝缘层;

第三工序,其中中间夹着所述绝缘层将所述半导体片和具有绝缘表面的衬底彼此接合;

第四工序,其中在所述分离层或所述分离层附近区域分离所述半导体片,来形成具有分离面的剥离片和包括在所述具有绝缘表面的衬底上形成的半导体层的绝缘体上硅衬底;

第五工序,其中进行用于再利用所述剥离片的处理;以及

第六工序,其中通过使用所述剥离片作为所述第一至第四工序的所述半导体片,进行所述第一至第四工序,

其中用于再利用所述剥离片的所述处理包括选自由抛光处理、蚀刻处理、热处理、照射激光束处理构成的组中的至少一种方法,

其中所述第一至第三工序仅在所述半导体片的所述表面上进行,

其中所述簇离子选自 H_3^+ 离子、 H_4^+ 离子、 $^2H_2^+$ 离子和 $^2H_3^+$ 离子,并且

其中所述簇离子是通过进行质量分离来选择的。

6. 根据权利要求 5 所述的半导体装置的制造方法,其中在所述第一工序中使用离子掺杂装置。

7. 根据权利要求 5 所述的半导体装置的制造方法,其中所述簇离子包括 H_3^+ 离子。

8. 根据权利要求 5 所述的半导体装置的制造方法,其中所述簇离子包括选自 $^2H_2^+$ 离子

和 $^2\text{H}_3^+$ 离子中的离子。

9. 一种半导体装置的制造方法,包括如下步骤:

第一工序,其中在半导体片的表面上形成绝缘层;

第二工序,其中将簇离子经过所述绝缘层而照射到所述半导体片,以在所述半导体片中形成分离层;

第三工序,其中中间夹着所述绝缘层将所述半导体片和具有绝缘表面的衬底彼此接合;

第四工序,其中在所述分离层或所述分离层附近区域分离所述半导体片,来形成具有分离面的剥离片和包括在所述具有绝缘表面的衬底上形成的半导体层的绝缘体上硅衬底;

第五工序,其中进行用于再利用所述剥离片的处理;以及

第六工序,其中通过使用所述剥离片作为所述第一至第四工序的所述半导体片,进行所述第一至第四工序,

其中用于再利用所述剥离片的所述处理包括选自由抛光处理、蚀刻处理、热处理、照射激光束处理构成的组中的至少一种方法,

其中所述第一至第三工序仅在所述半导体片的所述表面上进行,

其中所述簇离子选自 H_3^+ 离子、 H_4^+ 离子、 $^2\text{H}_2^+$ 离子和 $^2\text{H}_3^+$ 离子,并且

其中所述簇离子是通过进行质量分离来选择的。

10. 根据权利要求 9 所述的半导体装置的制造方法,其中在所述第二工序中使用离子掺杂装置。

11. 根据权利要求 9 所述的半导体装置的制造方法,其中所述簇离子包括 H_3^+ 离子。

12. 根据权利要求 9 所述的半导体装置的制造方法,其中所述簇离子包括选自 $^2\text{H}_2^+$ 离子和 $^2\text{H}_3^+$ 离子中的离子。

13. 一种半导体装置的制造方法,包括如下步骤:

第一工序,其中将簇离子照射到半导体片,以在所述半导体片中形成分离层;

第二工序,其中将所述半导体片和其上形成有绝缘层的衬底彼此接合,所述绝缘层位于所述半导体片和所述衬底中间;

第三工序,其中在所述分离层或所述分离层附近区域分离所述半导体片,来形成具有分离面的剥离片和包括在所述衬底上形成的半导体层的绝缘体上硅衬底;

第四工序,其中进行用于再利用所述剥离片的处理;以及

第五工序,其中通过使用所述剥离片作为所述第一至第三工序的所述半导体片,进行所述第一至第三工序,

其中用于再利用所述剥离片的所述处理是选自由抛光处理、蚀刻处理、热处理、照射激光束处理构成的组中的至少一种方法,

其中所述簇离子选自 H_3^+ 离子、 H_4^+ 离子、 $^2\text{H}_2^+$ 离子和 $^2\text{H}_3^+$ 离子,并且

其中所述簇离子是通过进行质量分离来选择的。

14. 根据权利要求 13 所述的半导体装置的制造方法,其中在所述第一工序中使用离子掺杂装置。

15. 根据权利要求 13 所述的半导体装置的制造方法,其中所述簇离子包括选自 $^2\text{H}_2^+$ 离

子和 ${}^2\text{H}_3^+$ 离子中的离子。

16. 根据权利要求 13 所述的半导体装置的制造方法,其中所述衬底具有其上形成有所述绝缘层的绝缘表面。

17. 一种绝缘体上硅衬底的制造方法,包括如下步骤:

第一工序,其中将选自 ${}^2\text{H}_2^+$ 离子和 ${}^2\text{H}_3^+$ 离子中的离子照射到单晶半导体片的表面,以在所述单晶半导体片中形成分离层;

第二工序,其中将所述单晶半导体片的表面和具有绝缘表面的衬底彼此接合;以及

第三工序,其中在所述分离层或所述分离层附近区域分离所述单晶半导体片,来形成包括在所述具有绝缘表面的衬底上形成的半导体层的绝缘体上硅衬底。

18. 根据权利要求 17 所述的绝缘体上硅衬底的制造方法,其中在所述第一工序中使用离子掺杂装置。

19. 根据权利要求 1 所述的半导体装置的制造方法,其中所述第一工序在所述半导体片相对于水平方向倾斜约 $6^\circ \pm 4^\circ$ 时进行。

20. 根据权利要求 5 所述的半导体装置的制造方法,其中所述第一工序在所述半导体片相对于水平方向倾斜约 $6^\circ \pm 4^\circ$ 时进行。

21. 根据权利要求 9 所述的半导体装置的制造方法,其中所述第二工序在所述半导体片相对于水平方向倾斜约 $6^\circ \pm 4^\circ$ 时进行。

22. 根据权利要求 13 所述的半导体装置的制造方法,其中所述第一工序在所述半导体片相对于水平方向倾斜约 $6^\circ \pm 4^\circ$ 时进行。

23. 根据权利要求 17 所述的绝缘体上硅衬底的制造方法,其中所述第一工序在所述单晶半导体片相对于水平方向倾斜约 $6^\circ \pm 4^\circ$ 时进行。

24. 根据权利要求 5 所述的半导体装置的制造方法,还包括如下步骤:使用有机硅烷作为原料气体通过 CVD 法形成氧化硅层。

25. 根据权利要求 5 所述的半导体装置的制造方法,还包括如下步骤:通过用原子束或离子束照射所述绝缘层的表面来活化所述绝缘层的所述表面。

26. 根据权利要求 9 所述的半导体装置的制造方法,还包括如下步骤:使用有机硅烷作为原料气体通过 CVD 法形成氧化硅层。

27. 根据权利要求 9 所述的半导体装置的制造方法,还包括如下步骤:通过用原子束或离子束照射所述绝缘层的表面来活化所述绝缘层的所述表面。

28. 根据权利要求 13 所述的半导体装置的制造方法,还包括如下步骤:通过在添加有卤素的氧化性气氛下进行热氧化处理来在所述半导体片的表面上形成第二绝缘层。

29. 根据权利要求 28 所述的半导体装置的制造方法,还包括如下步骤:通过用原子束或离子束照射所述绝缘层的表面来活化所述绝缘层的所述表面。

30. 根据权利要求 1 所述的半导体装置的制造方法,其中所述半导体层的厚度为 10nm 至 200nm。

31. 根据权利要求 5 所述的半导体装置的制造方法,其中所述半导体层的厚度为 10nm 至 200nm。

32. 根据权利要求 9 所述的半导体装置的制造方法,其中所述半导体层的厚度为 10nm 至 200nm。

33. 根据权利要求 13 所述的半导体装置的制造方法,其中所述半导体层的厚度为 10nm 至 200nm。

34. 根据权利要求 17 所述的绝缘体上硅衬底的制造方法,其中所述半导体层的厚度为 10nm 至 200nm。

SOI 衬底的制造方法

技术领域

[0001] 本发明涉及 SOI (Silicon On Insulator ; 绝缘体上硅) 衬底及其制造方法。此外, 涉及使用 SOI 衬底制造的半导体装置。

[0002] 在本说明书中, 半导体装置指的是能够通过利用半导体特性而工作的所有装置, 电光学装置 (包括 EL 显示装置、液晶显示装置)、半导体电路及电子设备全部包括在内。

背景技术

[0003] 随着 VLSI 技术的发展, 要求超过使用块状单晶硅的控制半导体装置的特性的比例定律的低耗电量化及高速化。为了满足这些要求, 近年来 SOI 结构受到关注。这个技术是在现有由块状单晶硅形成的场效应晶体管 (FET ; Field Effect Transistor) 的有源区域 (沟道形成区域) 中使用单晶硅薄膜的技术。已知可以通过使用 SOI 结构制造场效应晶体管而使其寄生电容比使用块状单晶硅衬底的情况小, 这有利于高速化、低耗电量化。

[0004] 作为 SOI 衬底的制造方法之一, 已知氢离子注入剥离法。例如专利文件 1 所记载的氢离子注入剥离法是如下方法: 通过使用离子注入法将氢离子照射到半导体片中, 在预定的深度的区域中形成微小气泡层, 并且以该微小气泡层为劈开面, 而将半导体薄膜 (SOI 层) 接合到另外半导体片。再者, 除了进行剥离 SOI 层的热处理以外, 还需要通过在氧化性气氛下的热处理来在 SOI 层上方形成氧化膜, 然后去除该氧化膜, 其次在 1000℃ 至 1300℃ 的还原性气氛下进行热处理来提高接合强度, 且改善表面粗度。

[0005] 如上所述, 在使用氢离子注入剥离法制造 SOI 衬底的情况下, 使用微小气泡层劈开半导体片, 而将 SOI 层接合到另外半导体片。因此, 除了 SOI 衬底以外, 还可以获得分离了 SOI 层的剥离片。SOI 衬底的原料的半导体片昂贵, 若可以再利用剥离片, 则可以降低成本。例如, 专利文件 2 中公开了在去除剥离片的倒角部分的离子注入层之后, 抛光薄片而再生作为半导体片的技术。

[0006] 专利文件 1 日本专利申请公开 2000-124092 号

[0007] 专利文件 2 日本专利第 3943782 号公报

[0008] 通过使用氢离子注入剥离法制造 SOI 衬底, 可以再利用剥离片。然而, 在现有的氢离子注入剥离法中使用的离子注入法具有如下问题: 照射到半导体片的氢离子的质量小, 因此氢容易注入到离半导体片的表面较深的区域中。所以, 在离半导体片的表面较深的区域中形成分离层并成为劈开面, 结果被分离的剥离片的膜厚度薄, 由此能够再利用的薄片的膜厚度也薄。

[0009] 此外, 因为照射到半导体片的氢离子的质量小, 用于形成分离层的氢注入成为瓶颈之一。若为了使被分离的剥离片的膜厚度厚, 要在半导体片的深度浅的区域中注入氢, 则需要降低加速电压, 因此有可能节拍时间恶化, 而生产率降低。

[0010] 此外, 通过反复再利用剥离片, 必然降低半导体片的质量, 有可能降低使用该半导体片制造的 SOI 衬底的质量。另外, 通过反复再利用剥离片, 在制造 SOI 衬底的过程中有半导体片破碎等的问题。其结果, 有可能 SOI 衬底的成品率降低。

发明内容

[0011] 鉴于上述问题,本发明的目的在于提供能够有效地利用资源的 SOI 衬底的制造方法。本发明的目的在于提供能够生产率良好地制造 SOI 衬底的方法。本发明的目的在于提供能够减少成本的 SOI 衬底的制造方法。本发明的目的在于提供能够成品率良好地制造 SOI 衬底的方法。

[0012] 在本发明中,将从键合衬底的半导体片分离的半导体层接合支撑衬底,而制造 SOI 衬底。使用离子掺杂装置将簇离子从半导体片的一表面照射,在离半导体片的表面有预定的深度的区域中形成分离层之后,将分离层或该分离层的附近作为劈开面分离而形成半导体层。此外,从半导体片分离半导体层而获得剥离片,在对该剥离片进行再生处理之后,再利用作为键合衬底。

[0013] 在本说明书中的“簇离子”,由包含氢或氘(也称为“ ^2H ”或“ D ”)的原料气体产生的簇离子包括在其范畴中。其例子可以举出 H_3^+ 离子、 H_2^+ 离子、 H_4^+ 离子等,或 $^2\text{H}_2^+$ 离子、 $^2\text{H}_3^+$ 离子等。此外,

[0014] 也可以说包含一个质子的多个原子核的簇离子。

[0015] 注意,作为簇离子,优选使用 H_3^+ 离子。

[0016] 此外,本说明书中的劈开指的是在照射簇离子引起失去结晶结构,而形成有微小的空洞的分离层或该分离层附近中分离半导体片。另外,劈开面指的是在分离层或该分离层附近中将半导体片分离而形成的分离面。

[0017] 本发明之一包括如下工序 A 和工序 B:使用离子掺杂装置将簇离子从半导体片的一表面照射,以在半导体片中形成分离层之后,使具有绝缘表面的衬底和半导体片的该照射面重叠而接合,进行热处理。因此,将分离层或该分离层附近作为分离面而分离半导体片,获得在具有绝缘表面的衬底上接合半导体层的 SOI 衬底和从半导体片分离了半导体层的剥离片的工序 A;对该工序 A 中获得的剥离片进行再生处理的工序 B,其中将通过该工序 B 进行了再生处理的剥离片使用于工序 A 的半导体片。

[0018] 此外,本发明之一包括如下工序 A 和工序 B:作为键合衬底准备半导体片,而作为支撑衬底准备具有绝缘表面的衬底,使用离子掺杂装置将簇离子从半导体片的一表面照射,在半导体片中形成分离层之后,在具有绝缘表面的衬底和半导体片的该照射面之间夹住通过使用 CVD 法形成的绝缘层地重叠并接合,进行热处理。因此,将分离层或该分离层附近作为分离面而分离半导体片,获得在具有绝缘表面的衬底上中间夹着绝缘层接合有半导体层的 SOI 衬底和半导体层从半导体片分离的剥离片的工序 A;对该工序 A 中获得的剥离片进行再生处理的工序 B,其中将通过该工序 B 进行了再生处理的剥离片使用于工序 A 的半导体片。此外,本说明书中的 CVD (Chemical Vapor Deposition;也称为化学气相沉积) 法,等离子体 CVD 法、热 CVD 法、及光 CVD 法包括在其范畴中。另外,减压 CVD 法、常压 CVD 法包括在热 CVD 法的范畴中。

[0019] 在上述结构中,具有绝缘表面的衬底和半导体片的照射面之间夹住的绝缘层优选使用包含氮的层和用作接合层的层的叠层结构。另外,绝缘层既可以形成在半导体片的照射面上,又可以形成在具有绝缘表面的衬底上。此外,优选使用铝硅酸盐玻璃、铝硼硅酸盐玻璃、或钡硼硅酸盐玻璃等作为具有绝缘表面的衬底。

[0020] 在工序 A 中获得的构成 SOI 衬底的半导体层的膜厚度优选为 10nm 以上且 200nm 以下。

[0021] 此外,工序 B 中的再生处理优选使用选自抛光处理、蚀刻处理、热处理、或者照射激光束中的一或多个方法来进行。

[0022] 此外,在上述结构中,按顺序进行工序 A 和工序 B 的工序作为一组,进行 n 次 (n 是 2 以上的整数),因此制造 n 个 SOI 衬底,该 n 个 SOI 衬底的制造中产生的剥离片可以使用 (n-1) 次作为工序 A 中的半导体片。

[0023] 注意,本说明书中的“接合层”指的是与具有绝缘表面的衬底 (或者在具有绝缘表面的衬底上形成的绝缘层) 形成接合的接合面上形成的层。

[0024] 将簇离子照射到半导体片,因此可以在离半导体片的表面较浅的区域中高效地形成用于分离半导体层的分离层。由此,由于分离的半导体层可以减薄,所以可以使再利用的剥离片变厚,并且可以缩短节拍时间。因此,可以有效地使用资源,并可以生产率良好地制造 SOI 衬底。另外,可以降低成本。

[0025] 此外,通过采用顾及反复再利用剥离片的 SOI 衬底的制造方法,即使再利用剥离片也可以成品率良好地制造 SOI 衬底。

附图说明

[0026] 图 1 是示出 SOI 衬底的制造方法的一个例子的流程图;

[0027] 图 2 是示出 SOI 衬底的制造方法的一个例子的流程图;

[0028] 图 3A 至 3C 是示出 SOI 衬底的制造方法的一个例子的图;

[0029] 图 4A 至 4C 是示出 SOI 衬底的制造方法的一个例子的图;

[0030] 图 5A 至 5C 是示出 SOI 衬底的制造方法的一个例子的图;

[0031] 图 6A 至 6C 是示出 SOI 衬底的制造方法的一个例子的图;

[0032] 图 7 是示出 SOI 衬底的制造方法的一个例子的流程图;

[0033] 图 8A 至 8D 是示出半导体装置的制造方法的例子的图;

[0034] 图 9A 和 9B 是示出半导体装置的制造方法的例子的图;

[0035] 图 10A 至 10E 是示出显示装置的制造方法的例子的图;

[0036] 图 11A 至 11C 是示出显示装置的制造方法的例子的图;

[0037] 图 12A 和 12B 是示出显示装置的制造方法的例子的图;

[0038] 图 13A 和 13B 是示出显示装置的制造方法的例子的图;

[0039] 图 14 是示出微处理器的结构的框图;

[0040] 图 15 是示出 RFCPU 的结构的框图;

[0041] 图 16A 至 16C 是示出电子设备的例子的图;

[0042] 图 17A 和 17B 是说明 H_3^+ 离子或 H^+ 离子照射到半导体片的示范图;

[0043] 图 18 是示出根据示范图计算出的注入到半导体片的氢浓度的图表;

[0044] 图 19 是示出 SOI 衬底的制造方法的一个例子的流程图;

[0045] 图 20 是示出 SOI 衬底的制造方法的一个例子的流程图;

[0046] 图 21 是示出 SOI 衬底的制造方法的一个例子的流程图;

[0047] 图 22 是示出 SOI 衬底的制造方法的一个例子的流程图。

具体实施方式

[0048] 下面,参照附图说明本发明的实施方式。注意,本发明不局限于以下说明,本领域的技术人员可以很容易地理解一个事实就是,其方式和详细内容可以在不脱离本发明的宗旨及其范围的情况下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在下述实施方式所记载的内容中。在以下所说明的本发明的结构中,有时在不同附图之间共同使用同一附图标记表示同一部分。

[0049] 实施方式 1

[0050] 根据本实施方式的 SOI 衬底的制造方法是如下方法:从键合衬底的半导体片分离的半导体层接合到支撑衬底来制造 SOI 衬底。然后,对分离了半导体层的剥离片进行再生处理,以再利用作为键合衬底。以下,将参照附图说明根据本实施方式的 SOI 衬底及其制造方法的一个例子。

[0051] 准备键合衬底和支撑衬底。作为键合衬底准备半导体片 102,作为支撑衬底准备具有绝缘表面的衬底 120(参照图 1、图 2(step11)(step12))。

[0052] 作为半导体片 102,使用硅和锗等的半导体片、镓砷和铟磷等化合物半导体片等。优选使用单晶半导体片。作为单晶半导体片的典型例子的单晶硅片,可以举出直径为 5 英寸(125mm)、直径为 6 英寸(150mm)、直径为 8 英寸(200mm)、直径为 12 英寸(300mm)大小的圆形片。注意,薄片形状不局限于圆形,也可以加工为矩形状。

[0053] 此外,最初原料片的半导体片的膜厚度没有特别的限制,但是顾及再利用原料片,由于从一个原料片可以制造更多的 SOI 衬底,因此优选半导体片的膜厚度厚。一般流通的硅片的尺寸以 SEMI 规格为标准,例如直径为 6 英寸时膜厚度为 625 μm ,直径为 8 英寸时膜厚度为 725 μm ,直径为 12 英寸时膜厚度为 775 μm (但是,各个厚度公差为 $\pm 25 \mu\text{m}$)。注意,原料的半导体片的膜厚度不局限于 SEMI 规格规定的,从锭切出时可以适当地调节。此外,当半导体片的膜厚度厚时从一个锭可切出的半导体片的数目少,但是可以减少作为余长浪费的材料。当然,需要根据在制造 SOI 衬底的工序中使用的装置的规格等决定硅片的尺寸。

[0054] 作为具有绝缘表面的衬底 120,使用铝硅酸盐玻璃、铝硼硅酸盐玻璃、钡硼硅酸盐玻璃等的各种电子工业用玻璃衬底、石英衬底、陶瓷衬底、或蓝宝石衬底等。优选使用玻璃衬底。

[0055] 此外,用作具有绝缘表面的衬底 120 的玻璃衬底优选在其表面上具有平坦性良好的抛光面。这是因为具有绝缘表面的衬底 120 和半导体片 102 接合时,玻璃衬底的抛光面作为接合面,可以降低接合不良。另外,玻璃衬底的抛光可以使用氧化铈等进行。

[0056] 使用离子掺杂装置将簇离子 110 照射到半导体片 102 的一表面。其结果,在离半导体片 102 的该照射面有预定的深度的领域中形成分离层 112。另外,在半导体片的照射面上形成第一绝缘层 106 和第二绝缘层 108(参照图 1、图 2(step13))

[0057] 注意,分离层 112、第一绝缘层 106、第二绝缘层 108 的形成顺序没有特别的限制。例如,可以举出如下三个形成顺序:(1) 在形成第一绝缘层 106 之后,从半导体片 102 的形成了第一绝缘层 106 的表面一侧照射簇离子 110 而形成分离层 112,在第一绝缘层 106 上形成第二绝缘层 108;(2) 形成第一绝缘层 106,在该第一绝缘层 106 上形成第二绝缘层 108 之后,从半导体片 102 的层叠形成了第一绝缘层 106 及第二绝缘层 108 的表面一侧照射簇

离子 110 来形成分离层 112 ; (3) 在半导体片 102 的一表面上形成保护层, 对该保护层照射簇离子 110 而形成分离层 112 之后去除保护层, 在半导体片 102 的保护层形成且去除的表面侧层叠形成第一绝缘层 106 及第二绝缘层 108。在此, 将参照图 3A 至 3C 说明 (1) 的形成顺序。

[0058] 在半导体片 102 上形成第一绝缘层 106 (参照图 3A)。通过使用 CVD 法、溅射法、或原子层外延 (ALE) 法形成第一绝缘层 106 即可。第一绝缘层 106 可以采用单层结构或叠层结构, 至少一层形成包含氮的绝缘层。另外, 第一绝缘层 106 的膜厚度优选形成为 50nm 及 200nm 的范围内。作为含有氮的绝缘层, 可以举出氮化硅层、氮氧化硅层、氧氮化硅层等。含有氮的绝缘层具有阻挡碱金属或碱土金属等的金属杂质的效果。因此, 在作为支撑衬底使用含有微量的金属杂质的衬底诸如玻璃衬底的情况下, 可以防止金属杂质扩散到半导体层一侧。另外, 在直接接触于半导体片 102 地形成氮化硅层或氮氧化硅层的情况下, 产生陷阱能级而发生界面特性的问题, 因此优选在与半导体片 102 之间形成氧化硅层或氧氮化硅层。通过这样的叠层结构, 防止半导体层的由于金属杂质污染, 可以提高界面的电特性。例如, 第一绝缘层 106 可以采用从半导体片 102 一侧按顺序形成氧氮化硅层和氮氧化硅层的叠层结构。

[0059] 此外, 本说明书中的氧氮化硅层指的是如下: 作为其组成氧含量多于氮含量, 在通过卢瑟福回向散射分析 (RBS : Rutherford Backscattering Spectrometry) 及氢前向散射分析 (HFS : Hydrogen Forward Scattering) 测量的情况下, 其包含氧、氮、Si 及氢, 它们示出如下组成范围: 50atoms% 至 70atoms% 的氧; 0.5atoms% 至 15atoms% 的氮; 25atoms% 至 35atoms% 的 Si; 以及 0.1atoms% 至 10atoms% 的氢。另外, 氮氧化硅层指的是如下: 作为其组成氮含量多于氧含量, 在通过 RBS 及 HFS 测量的情况下, 其包含氧、氮、Si 及氢, 它们示出如下组成范围: 5atoms% 至 30atoms% 的氧; 20atoms% 至 55atoms% 的氮; 25atoms% 至 35atoms% 的 Si; 以及 10atoms% 至 30atoms% 的氢。

[0060] 此外, 还可以在氧化气氛下对半导体片 102 进行热处理 (以下, 也称为“热氧化”) 而形成第一绝缘层 106。然而, 本发明的目的之一是半导体片的再利用, 将之后分离半导体层而可以获得的剥离片的质量维持也重要。在反复进行薄片的再利用的情况下, 薄片受到机械损伤, 具体而言, 发生瑕疵、缺口等的概率必然上升。薄片上发生的机械损伤部分成为热应力中心, 容易成为位错滑移 (也称为位错滑动) 的发生点。另外, 热氧化法是高温处理, 因此容易发生热应力, 从而通过应用热氧化法, 在薄片上容易发生位错滑移。若在薄片上发生位错滑移, 则结晶性降低而薄片的质量退化。再者, 因为机械损伤部分的缘故, 当进行热氧化时还有薄片容易破碎的问题。由此, 在本发明中优选不应用热氧化法以形成绝缘层。例如, 优选通过使用 CVD 法、溅射法、或臭氧水的氧化处理等代替热氧化法而形成绝缘层。通过应用热氧化法以外的方法形成绝缘层, 可以防止之后被分离而获得的剥离片的质量的退化, 作为制造 SOI 衬底的键合衬底没有问题地使用。注意, 在此所述的热应力指的是半导体片和接触于该半导体片地形成的绝缘层之间的热应力、半导体片和固定工具 (衬托器; susceptor 等) 之间的热应力。

[0061] 在离半导体片 102 的一表面有预定的深度的区域中形成分离层 112 (参照图 3B)。使用离子掺杂装置将簇离子 110 照射到半导体片 102 的一表面来形成分离层 112。在此, 在对半导体片 102 的第一绝缘层 106 形成的表面一侧照射由包含氢的原料气体产生的 H_3^+ 离

子,因此氢穿过第一绝缘层 106 而注入到半导体片 102 的前提下进行说明。

[0062] 作为由包含氢的原料气体产生的簇离子 110,可以举出 H_3^+ 离子、 H_2^+ 离子,优选使用 H_3^+ 离子。对半导体片(在此指的是第一绝缘层 106)照射 H_3^+ 离子,因此与照射 H^+ 离子或 H_2^+ 离子相比提高氢的注入效率,可以缩短形成分离层 112 的节拍时间。从而,可以提高生产率,还可以提高处理量。

[0063] 根据本发明的簇离子的具体的掺杂方法是如下方法:由包含氢的原料气体产生氢等离子体,利用电压使该氢等离子体中产生的簇离子加速,而照射到半导体片(或者半导体片上形成的绝缘层)。在氢等离子体中产生的典型的簇离子是 H_2^+ 离子、 H_3^+ 离子。此外,也产生氢离子的 H^+ 离子。

[0064] 簇离子的掺杂可以使用离子掺杂装置来进行。离子掺杂装置是如下非质量分离型装置:对原料气体进行等离子体激发来产生的所有种类的离子照射到配置在室内的被处理体。

[0065] 离子掺杂装置的主要结构是产生所希望的离子的离子源和对被处理体照射离子的加速机构。离子源由将产生所希望的种类的离子种的原料气体供应的气体供应系统、形成等离子体的电极等构成。作为形成等离子体的电极,使用丝极型的电极或电容耦合高频波放电用电极。加速机构由电源、引出电极、加速电极、减速电极、接地电极等的电极等构成。构成加速机构的电极具有多个开口或槽缝,在离子源中产生的离子通过设置在电极中的开口或槽缝而加速。注意,离子掺杂装置的结构不局限于上述结构,设置有根据需要的结构。

[0066] 在本实施方式中,由于氢注入到半导体片,所以作为原料气体供应包含氢的气体。例如,供应 H_2 气体。在供应 H_2 气体作为原料气体的离子掺杂装置中产生氢等离子体,在该氢等离子体中产生氢离子的 H^+ 离子、 H_2^+ 离子、或 H_3^+ 离子等的簇离子。此时,优选相对于由包含氢的原料气体产生的所有种类的离子(例如 H^+ 离子、 H_2^+ 离子、 H_3^+ 离子)的总量包含 50% 以上的 H_3^+ 离子。更优选相对于 H^+ 离子、 H_2^+ 离子、及 H_3^+ 离子的总量包含 80% 以上的 H_3^+ 离子。例如,使用由丝极型的电极放出的热电子产生氢等离子体,因此可以使 H_3^+ 离子的比率高出其他离子种(H^+ 离子、 H_2^+ 离子)。注意,在图 1 中只表示 H_3^+ 离子,但是本发明不局限于此,有时也照射 H^+ 离子、 H_2^+ 离子。换言之,在本发明中,除了簇离子以外,有时也照射氢离子。

[0067] 此外,簇离子的掺杂也可以使用离子注入装置来进行。离子注入装置是如下质量分离型装置:对多种离子种进行质量分离而将特定种类的离子照射到配置在处理室内的被处理体,该多种离子种通过对原料气体进行等离子激发而发生。因此,本发明采用离子注入装置的情况下,对 H^+ 离子、 H_2^+ 离子、及 H_3^+ 离子进行质量分离,来可以选择性地照射 H_3^+ 离子。

[0068] 离子注入装置和离子掺杂装置的主要区别是否具有进行质量分离的机构。除了离子源和加速机构以外,离子注入装置还具有进行质量分离的机构。注意,离子注入装置的结构不局限于上述的机构,设置根据需要的机构,因此,当然质量分离以外其结构可能与离子掺杂装置不同。

[0069] 分离层 112 优选包含 $5 \times 10^{20} \text{ atoms/cm}^3$ 以上的氢。当对半导体片局部地形成高浓度氢注入区域时,结晶结构消失,而形成微小的空洞,因此分离层 112 成为多孔结构。由此,通过在较低的温度(600℃以下)下进行热处理,引起形成在分离层 112 中的微小空洞的体

积变化,并可以沿着分离层 112 分离半导体片 102。此外,分离层 112 中包含的氢浓度由簇离子的剂量或加速电压等来控制。

[0070] 此外,形成在半导体片 102 中的分离层 112 的深度以照射的簇离子 110 的加速电压和该簇离子 110 的照射角度来控制。形成在半导体片 102 中的分离层 112 的深度决定之后接合于支撑衬底的半导体层的膜厚度。根据作为 SOI 衬底提供后的用途而不同,但是半导体层的所需的膜厚度优选为 5nm 至 500nm,更优选为 10nm 至 200nm。从而,照射簇离子 110 时的加速电压、注入角度通过顾及接合的半导体层的膜厚度来调节。

[0071] 根据本发明的 SOI 衬底的制造方法的特征之一是分离半导体片 102 的一部分而获得的剥离片再利用。剥离片的厚度越厚越多次可以再利用。换言之,分离半导体片 102 的一部分而获得的半导体层的膜厚度越薄,该半导体层被分离的半导体片的剥离片的膜厚度越厚,因此可以增加剥离片的再利用的数次。其结果,从一个原料片可以制造更多 SOI 衬底。因此,当形成分离层 112 时,优选尽可能形成在半导体片 102 的表面有深度浅的区域中。

[0072] 在此,通过使用如本发明中的簇离子,典型为 H_3^+ 离子,分离层 112 形成在深度浅的区域中的情况下,也可以高效地注入氢并提高生产率。当 H_3^+ 离子照射到半导体片时,与构成绝缘层(在本实施方式中第一绝缘层 106)或半导体片 102 的原子冲突而成为 H 原子或 H^+ 离子,分离成三个,每个具有的动能也成为将利用电压加速而获得的 H_3^+ 离子的动能大致等分成 3 个的值。换言之,通过照射 H_3^+ 离子,可以认为其加速电压比照射 H^+ 离子的加速电压大三倍左右。若增加加速电压,则可以缩短会成为律速的形成分离层的节拍时间,从而可以提高生产率和处理量。另外, H_3^+ 离子分离成三个的方式的例子可以举出三个“H 原子”、三个“ H^+ 离子”、两个“H 原子”和一个“ H^+ 离子”、或者一个“H 原子”和两个“ H^+ 离子”。

[0073] 此外,当照射簇离子 110 时,优选使半导体片 102 水平方向上倾斜 $6^\circ \pm 4^\circ$ 左右。对水平方向上具有角度的半导体片 102 照射簇离子 110,因此可以防止形成分离层 112 的氢浓度分布的扩大。另外,半导体片 102 的表面有深度浅的领域中可以容易形成分离层 112。

[0074] 此外,在此说明氢穿过第一绝缘层 106 而注入到半导体片 102 的例子。当氢注入到半导体片时,使氢穿过绝缘层,来可以防止半导体片的表面粗糙。

[0075] 在第一绝缘层 106 上形成第二绝缘层 108(参照图 3C)。在此,第二绝缘层 108 用作与具有绝缘表面的衬底 120 的接合层,而该第二绝缘层 108 设置在半导体片 102 与具有绝缘表面的衬底 120 形成接合的面上。第二绝缘层 108 可以具有单层结构或叠层结构,优选地是,在与具有绝缘表面的衬底 120 接合的面(以下也称为“接合面”)上形成具有平滑性并可形成亲水性表面的层,该层通过使用 CVD 法形成为 5nm 至 200nm 的膜厚度。

[0076] 作为具有平滑性并可形成亲水性表面的绝缘层,可以使用氧化硅、氮化硅、氧氮化硅、氮氧化硅等。

[0077] 例如,作为具有平滑性并可形成亲水性表面的绝缘层,优选使用将有机硅烷用作原料气体通过使用 CVD 法而形成的氧化硅。这是因为通过使用将有机硅烷用作原料气体并使用 CVD 法形成的第二绝缘层 108,例如该第二绝缘层 108 采用氧化硅层,可以使具有绝缘表面的衬底 120 和半导体层强固地接合的缘故。作为有机硅烷,可以使用四乙氧基硅烷(TEOS: $Si(OC_2H_5)_4$)、四甲基硅烷(TMS: $Si(CH_3)_4$)、三甲基硅烷($(CH_3)_3SiH$)、四甲基环四硅氧烷(TMCTS)、八甲基环四硅氧烷(OMCTS)、六甲基二硅氮烷(HMDS)、三乙氧基硅烷

($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、三(二甲基氨基)硅烷($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)等的含硅化合物。

[0078] 此外,还可以使用通过使用CVD法将甲硅烷、乙硅烷、或丙硅烷等的无机硅烷用作原料气体来形成的氧化硅。另外,通过使用CVD法将有机硅烷或无机硅烷用作原料气体来形成氧化硅层的情况下,优选混合赋予氧的气体。此外,通过使用CVD法将有机硅烷或无机硅烷用作原料气体来形成氮化硅层的情况下,混合赋予氮的气体。作为赋予氧的气体,可以使用氧、一氧化二氮、或二氧化氮等。另外,作为赋予氮的气体,可以使用一氧化二氮、氨等。再者,还可以混合氩、氦、或氮等惰性气体、或者氢气。

[0079] 此外,还可以使用因氧基的反应而成长的氧化硅层、由氧化性的药剂形成的化学氧化物、具有硅氧烷(Si-O-Si)键的绝缘层。在本说明书中,具有硅氧烷键的绝缘层指的是硅(Si)和氧(O)的键包括在骨架结构。硅氧烷具有取代基。作为该取代基,可以举出至少含有氢的有机基(例如烷基、芳烃等)。氟基还可以包含在有机基。具有硅氧烷键的绝缘层可以通过旋涂法等涂敷法而形成。

[0080] 在形成分离层112之后形成第二绝缘层108的情况下,不从分离层112发生脱气的成膜温度下形成第二绝缘层108。例如,成膜温度优选为 350°C 以下。另外,第二绝缘层108优选与第一绝缘层106同样地不使用热氧化法而形成。

[0081] 半导体片102的一表面侧和具有绝缘表面的衬底120的一表面重叠而贴合(参照图1、图2(step21))。在此,中间夹着第一绝缘层106和第二绝缘层108而贴合。从而,接合面是第二绝缘层108的一表面和具有绝缘表面的衬底120的一表面。

[0082] 预先使半导体片102(在此,第二绝缘层108)及具有绝缘表面的衬底120形成接合的面充分洁净。然后,通过将形成在半导体片102的一表面侧的第二绝缘层108与具有绝缘表面的衬底120紧密接触,实现接合。关于接合,在初步步骤中认为是范德华力在起作用,通过压接在一表面侧形成有第二绝缘层108的半导体片102和具有绝缘表面的衬底120,可以实现利用氢键的牢固接合。

[0083] 此外,为了实现在半导体片102的一表面侧形成的第二绝缘层108和具有绝缘表面的衬底120的良好接合,也可以使接合面活化。例如,接合面的一方或双方上照射原子束或离子束。采用原子束或离子束的情况下,可以使用氩等惰性气体中性原子束或惰性气体离子束。除此以外,也可以通过进行等离子体照射或自由基处理使接合面活化。通过进行这种表面处理, 400°C 以下的温度下也可以容易实现异种材料之间的接合。另外,也可以使用含臭氧水、含氧水、含氫水、或纯水等对接合面进行清洗处理。这样进行清洗处理,由此可以使接合面具有亲水性,接合面的OH基可以增大。其结果是,可以使利用氢键的接合更牢固。

[0084] 此外,在半导体片102和具有绝缘表面的衬底120贴合之后,优选进行热处理或加压处理。通过进行热处理或加压处理可以提高接合强度。当进行热处理时,其温度范围是具有绝缘表面的衬底120的耐热温度以下,且形成在半导体片102中的分离层112的体积不变的温度,优选为室温以上且小于 400°C 。另外,在加压处理中,向与接合面垂直的方向施加压力,并且顾及具有绝缘表面的衬底120及半导体片102的耐压性而进行该处理。

[0085] 通过进行热处理,而分离层112或该分离层112附近作为分离面从具有绝缘表面的衬底120分离半导体片102的一部分(参照图1、图2(step31))。从半导体片102分离的半导体层130残留在具有绝缘表面的衬底120上,可以获得SOI衬底(参照图1、图

2(step32))。另外,可以获得半导体层 130 分离的剥离片 140(参照图 1、图 2(step33))。

[0086] 为了分离半导体片 102 的一部分的热处理优选在第二绝缘层 108 的成膜温度以上且具有绝缘表面的衬底 120 的耐热温度以下的温度下进行。例如,400℃至 600℃的范围下进行热处理,因此在分离层 112 中形成的微小的空洞的体积变化,沿着分离层 112 分离。第二绝缘层 108 与具有绝缘表面的衬底 120 接合,因此具有与半导体片 102 相同的结晶性的半导体层 130 残留在具有绝缘表面的衬底 120 上。另外,从半导体片 102 分离半导体层 130 的剥离片 140 残留。

[0087] 通过进行上述步骤,可以制造在具有绝缘表面的衬底 120 上隔着绝缘层(第一绝缘层 106 及第二绝缘层 108)接合有半导体层 130 的 SOI 衬底。另外,通过制造 SOI 衬底,可以获得剥离片 140。

[0088] 通过进行再生处理,再利用剥离片 140 作为键合衬底的半导体片(参照图 1、图 2(step41))。

[0089] 半导体层 130 分离的面是分离层 112 的分离面,再利用剥离片 140 作为键合衬底时存在其表面的平坦性的问题。另外,因在分离层 112 中的分离及形成分离层 112 的离子的照射有时会形成结晶缺陷。从而,为了作为键合衬底再利用剥离片 140,需要进行平坦化处理等作为再生处理。

[0090] 作为再生剥离片 140 的平坦化处理,可以应用抛光处理、蚀刻处理、热处理、照射激光束等。顾及作为键合衬底再利用,优选应用可进行镜面加工的抛光处理。通过进行抛光处理,可以实现平坦化且可以去除形成结晶缺陷的区域。作为抛光处理,可以采用化学机械抛光(CMP;Chemical Mechanical Polishing)法或液体喷射抛光法。

[0091] 进行再生处理了的剥离片 140 再利用作为键合衬底的半导体片 102(参照图 1、图 2(step11))。然后,作为键合衬底半导体片 102 再次经过在图 1 及图 2 中示出的(step11)至(step31),制造 SOI 衬底(step32),还可以获得剥离片(step33)。

[0092] 此外,获得的 SOI 衬底的半导体层 130 也具有成为分离面的面的平坦性的问题、分离层 112 的形成等的结晶缺陷等问题。例如,当使用 SOI 衬底制造 LSI 时,半导体层 130 用作包括晶体管的沟道形成区域、源区域、及漏区域的激活层。在半导体层 130 的表面具有凹凸的情况下,其上表面形成薄且良好的绝缘耐压的栅极绝缘层是很困难的。另外,若在半导体层 130 中形成有结晶缺陷,则发生特性不均匀性等引起质量、可靠性的问题。由此,半导体层 130 的表面优选进行平坦化且降低结晶缺陷,优选恢复半导体层的特性。例如,通过照射激光束可以进行平坦化且降低结晶缺陷。

[0093] 在图 4A 至 4C 中,示出对 SOI 衬底具有的半导体层进行平坦化及恢复结晶缺陷的处理的一个例子。图 4A 示出分离半导体片 102 的一部分而获得的 SOI 衬底。换言之,相当于经过图 1、图 2 中的(step31)而获得的 SOI 衬底。成为分离面一侧的半导体层 130 的表面形成有凹凸状。另外,虽然在此未图示,但是在半导体层 130 中形成有结晶缺陷。

[0094] 对半导体层 130 照射激光束 133(参照图 4B)。通过照射激光束 133,可以实现使半导体层 130 平坦化且恢复结晶缺陷、损伤等。注意,激光束 133 优选从半导体层 130 一侧照射。另外,照射激光束 133 的气氛优选采用氧浓度为 10ppm 以下的氮气氛。这是因为如果在氧气氛下照射激光束,就有可能半导体层表面变粗的缘故。

[0095] 通过照射激光束 133,可以获得具有提高上表面的平坦性的半导体层 130 的 SOI 衬

底（参照图 4C）。以上所获得的 SOI 衬底恢复半导体层的结晶缺陷，也使该半导体层的表面平坦化。其结果，可以提供或利用质量良好的 SOI 衬底。

[0096] 注意，谋求实现半导体层的特性的恢复的处理不局限于照射激光束。既可以采用如下方法：电炉、灯退火炉、或快速热退火（RTA）装置等的热处理；蚀刻；或者 CMP 等，又可以组合采用上述方法。

[0097] 例如，在分离半导体片 102 的一部分而获得 SOI 衬底之后（参照图 4A），首先进行蚀刻处理而去除半导体层表面的损伤层和残留的分离层之后，可以照射激光束（参照图 4B）。此外，使半导体层薄膜化的情况下，照射上述激光束之后，可以再次进行蚀刻处理。另外，蚀刻处理既可以应用于蚀刻或湿蚀刻，又可以组合两者。此外，应用 CMP 处理代替蚀刻处理，可以使半导体层的薄膜化。

[0098] 在此，准备键合衬底（step11）及支撑衬底（step12）至分离键合衬底而获得 SOI 衬底（step32）和剥离片（step33）为工序 A。另外，对在工序 A 中获得的剥离片进行再生处理而作为键合衬底再利用（step41）为工序 B。根据本发明的 SOI 衬底的制造方法通过反复进行工序 A 可以获得多个 SOI 衬底和多个剥离片。具体而言，通过进行 n 次（n 是 2 以上的整数）工序 A，可以获得 n 个 SOI 衬底和 n 个剥离片。在此，在进行工序 A 的同时进行工序 B，可以有效地利用剥离片。具体而言，当制造 n 个 SOI 衬底时，可以将 n 个剥离片再利用一次至最大次数为（n-1）次。这样，通过再利用剥离片，不需要准备新的原料片，可以降低成本及资源的消费。优选按顺序进行工序 A 和工序 B 的工序为 1 组而进行 n 次，因此从一个原料片可以获得 n 个 SOI 衬底。在此，从一个原料片产生的剥离片作为键合衬底再利用（n-1）次。换言之，当制造 n 个 SOI 衬底时，用于制造（n-1）个 SOI 衬底的键合衬底可以使用剥离片。只使用一个原料片，因此可以有效地利用原料的半导体片，而可以降低成本。

[0099] 此外，在会成为律速的形成分离层中，使用簇离子，具体地使用 H_3^+ 离子，因此可以提高氢注入效率。其结果，可以缩短节拍时间，可以提高生产率和处理量。

[0100] 再者，在本实施方式所示，形成各种绝缘层不应用热氧化法的情况下，可以维持剥离片的质量，而可以提供一定的质量的半导体片。其结果，可以高成品率地制造剥离片用作键合衬底的 SOI 衬底。

[0101] 注意，剥离片不必再利用作为键合衬底，可以使用其他用途，例如可以用于制造太阳能电池。此外，可以用于试验衬底、假衬底。另外，反复的 SOI 衬底的制造方法不必完全相同。

[0102] 此外，可以在具有绝缘表面的衬底 120 上排列多个半导体片 102，来在具有绝缘表面的衬底 120 上设置多个半导体层 130。在此情况下，作为具有绝缘表面的衬底，优选使用大面积的母体玻璃，它成为第 6 世代（1500mm×1850mm）、第 7 世代（1870mm×2200mm）、第 8 世代（2200mm×2400mm）。如此，不依赖于半导体片 102 的尺寸，可以实现 SOI 衬底的大面积化，或从一个支撑衬底可以增加制造的 SOI 衬底数量，由此可以提高生产性。

[0103] 注意，本实施方式可以与其他实施方式适当地自由组合。

[0104] 实施方式 2

[0105] 在上述实施方式 1 中，在（step13）中，说明如下例子：（1）在形成第一绝缘层 106 之后，从半导体片 102 的形成有第一绝缘层 106 的表面一侧照射簇离子 110 而形成分离层 112，在第一绝缘层 106 上形成第二绝缘层 108。在本实施方式 2 中，说明如下例子：（2）形

成第一绝缘层 106,在该第一绝缘层 106 上形成第二绝缘层 108 之后,从半导体片 102 的层叠形成第一绝缘层 106 及第二绝缘层 108 的表面一侧照射簇离子 110 而形成分离层 112 的例子;及(3)在半导体片 102 的一表面上形成保护层 103,对该保护层 103 照射簇离子 110 而形成分离层 112 之后,去除保护层 103,在半导体片 102 的保护层 103 形成而去除的表面一侧层叠形成第一绝缘层 106 及第二绝缘层 108。注意,分离层 112、第一绝缘层 106 及第二绝缘层 108 的形成顺序以外的材料、制造方法等依照上述实施方式 1,因此省略说明。

[0106] 首先,将参照图 5A 至 5C 说明上述(2)的例子。在半导体片 102 上形成第一绝缘层 106(参照图 5A)。其次,在第一绝缘层 106 上形成第二绝缘层 108(参照图 5B)。注意,第一绝缘层 106 及第二绝缘层 108 的材料及形成方法等依照上述实施方式 1。

[0107] 对半导体片 102 的形成有第一绝缘层 106 及第二绝缘层 108 的表面一侧照射簇离子 110,在半导体片 102 中形成分离层 112(参照图 5C)。

[0108] 分离层 112 的形成方法也依照上述实施方式 1。此外,在图 5A 至图 5C 中,将簇离子 110 照射到第二绝缘层 108,穿过该第二绝缘层 108 及第一绝缘层 106,以使氢注入到半导体片 102。从而,当照射簇离子 110 时,与在上述实施方式 1 中说明的图 3A 至 3C 的形成方法相比,加速电压、剂量、或簇离子 110 的照射角度需要是顾及穿过第二绝缘层 108 的。

[0109] 在形成分离层 112 之后,根据图 1、图 2(step21)以后的步骤制造 SOI 衬底,可以再利用制造 SOI 衬底而获得的剥离片。当然,依照实施方式 1 来进行剥离片的再生处理、SOI 衬底的半导体层的恢复处理等即可。

[0110] 其次,将参照图 6A 至 6C 说明上述(3)的例子。在半导体片 102 的一表面侧形成保护层 103,对该保护层 103 照射簇离子 110,在半导体片 102 中形成分离层 112(参照图 6A)。

[0111] 保护层 103 通过对半导体片进行氧化处理来形成薄膜。具体而言,将由氧化性的药剂形成的化学氧化物、通过氧基处理形成的氧化膜作为保护层 103 形成。

[0112] 分离层 112 的形成方法与(2)同样依照上述实施方式 1。此外,在图 6A 至 6C 中,对保护层 103 照射簇离子 110,穿过该保护层 103,以使氢注入到半导体片 102。另外,保护层 103 的膜厚度比第一绝缘层 106 非常薄。因此,当照射簇离子 110 时,与在上述实施方式 1 中说明的图 3A 至 3C 的形成方法相比,加速电压、剂量、或簇离子 110 的照射角度需要是顾及穿过的保护层很薄的。

[0113] 其次,在去除保护层 103 之后,在照射簇离子 110 一侧的半导体片 102 上形成第一绝缘层 106(参照图 6B)。然后,在第一绝缘层 106 上形成第二绝缘层 108(参照图 6C)。

[0114] 依照上述实施方式 1 的材料及形成方法形成第一绝缘层 106 及第二绝缘层 108,但是由于在半导体片 102 中已经形成有分离层 112,所以采用不从该分离层 112 发生脱气及分离的成膜温度而形成。因此,不优选应用高温处理的热氧化法等,而优选应用 CVD 法、溅射法等。

[0115] 在形成第二绝缘层 108 之后,根据图 1、图 2(step21)以后的步骤制造 SOI 衬底,可以再利用制造 SOI 衬底而获得的剥离片。当然,依照实施方式 1 来进行剥离片的再生处理、SOI 衬底的半导体层的恢复处理等。

[0116] 注意,本实施方式可以与其他实施方式适当地自由组合。

[0117] 实施方式 3

[0118] 在本实施方式中,将说明上述实施方式 1、2 中氢注入到半导体片时的浓度分布。

[0119] 进行使用离子掺杂装置对半导体片（结晶取向是（100）的硅片）照射 H_3^+ 离子或 H^+ 离子的试验。根据其二次离子质量（SIMS）分析的结果数据，设定氢注入的模型，计算出在深度方向上的氢的数量。以模型的尺寸为（X 轴，Y 轴，Z 轴）=（800nm，800nm，1200nm）来计算。注意，X 轴及 Y 轴对应于半导体片平面，Z 轴对应于深度方向。另外，在实验中使用的离子掺杂装置为了将氢注入分布均匀化而旋转薄片。

[0120] 在从设置有膜厚 100nm 的绝缘层 14 的面一侧，通过离子掺杂法对半导体片 12 照射 H_3^+ 离子或 H^+ 离子的情况下的对深度方向的氢原子的数量用蒙特卡罗法计算。在此， H_3^+ 离子以加速电压为 50keV、 H^+ 离子以加速电压为 16.7keV 来进行计算。此外，绝缘层 14 为非晶结构的氧化硅层。

[0121] 在图 17A 和 17B 中示出氢注入的模型图。在图 18 中示出根据每个模型图计算出来的对深度方向的氢浓度分布的图表。此外，在图 18 中示出的图表是横轴表示从包含 100nm 的绝缘层 14（氧化硅层）的半导体片表面的深度方向（Depth(nm)），纵轴表示氢浓度（atoms/cm³）。

[0122] 在图 17A 中示出通过 50keV 的加速电压加速的 H_3^+ 离子在半导体片 12 表面，即，在绝缘层 14 表面分离而成为三个 H^+ 离子的第一模型图。

[0123] 当 H_3^+ 离子照射到半导体片时，可以认为与表面附近的原子（在此情况下，构成绝缘层 14 及半导体片 12 的硅原子、氢原子）冲突。 H_3^+ 离子的氢原子彼此的键合能量与通过 50keV 的加速电压加速的离子的动能相比极小。因此，可以认为几乎所有 H_3^+ 离子冲突到半导体片或其上层形成的绝缘层表面的步骤中，作为 H 原子、 H^+ 离子分离成三个。此外， H_3^+ 离子分离成三个，因此在第一模型图中一个 H 原子或 H^+ 离子具有的动能可以估计相当于利用电压加速而获得的 H_3^+ 离子的动能的大致三分之一。换言之，利用任意的 XkeV 的加速电压加速 H_3^+ 离子而照射的情况下，与此相同的效果可以估计利用 X/3keV 的加速电压加速三个 H^+ 离子并照射来获得。

[0124] 在图 17B 中示出 H^+ 离子就照原样注入到半导体片 102 中的第二模型图。

[0125] 图 18 示出的图表中的曲线 (A) 示出根据第一模型图通过 50keV 的加速电压、 3×10^{16} ions/cm² 的剂量计算出来的对深度方向的氢浓度分布。从曲线 (A) 可以知道氢浓度的高峰位置在 300nm 附近，其浓度为大致 6×10^{22} atoms/cm³。

[0126] 此外，图 18 示出的图表中的曲线 (B) 示出根据第二模型图通过 16.7keV 的加速电压、 3×10^{16} ions/cm² 的剂量计算出来的对深度方向的氢浓度。从曲线 (B) 可以知道氢浓度的高峰位置在 300nm 附近，其浓度为大致 2×10^{22} atoms/cm³。

[0127] 从图 18 可以知道，顾及氢注入到所需的深度的领域中的加速电压的情况下，使用 H_3^+ 离子与使用 H^+ 离子相比可以增大加速电压。加速电压越小剂量率越低，节拍时间恶化。因此，使用 H_3^+ 离子可以提高加速电压，并可以缩短形成分离层的节拍时间。

[0128] 注意，勿须置言，在图 18 中示出 50keV 的加速电压的计算结果，通过调节加速电压可以调节氢浓度的高峰位置。此外，示出绝缘层 14 为膜厚度为 100nm 的氧化硅层而计算的结果，勿须置言，通过调节膜厚度可以调节半导体片内的分离层的位置。

[0129] 实施方式 4

[0130] 在本实施方式中，将参照图 7 说明与上述实施方式不相同的 SOI 衬底的制造方法的一个例子。

[0131] 准备键合衬底的半导体片 402 和支撑衬底的具有绝缘表面的衬底 420 (参照图 7(step711)(step712))。

[0132] 半导体片 402 依照上述实施方式 1 的半导体片 102 的说明。同样地,具有绝缘表面的衬底 420 依照具有绝缘表面的衬底 120。在此,作为半导体片 402 使用硅片,作为具有绝缘表面的衬底 420 使用玻璃衬底。

[0133] 在本实施方式中,在支撑衬底的具有绝缘表面的衬底 420 上形成第一绝缘层 422 及第二绝缘层 424 (参照图 7(step713))。

[0134] 第一绝缘层 422 通过使用 CVD 法、溅射法、或 ALE 法形成。此外,可以为单层结构或叠层结构,至少一层形成包含氮的绝缘层。作为包含氮的绝缘层,形成氮化硅层、氮氧化硅层、氧氮化硅层等,优选用作阻挡金属杂质的阻挡层,该金属杂质包含在具有绝缘表面的衬底 420 中。例如,作为第一绝缘层 422,从具有绝缘表面的衬底 420 一侧可以将氧氮化硅层和氮化硅层形成叠层结构。

[0135] 第二绝缘层 424 可以为单层结构或叠层结构,但是半导体片 402 的接合面上形成具有平滑性并可形成亲水性表面的层。具体而言,可以应用如下层:通过使用 CVD 法作为原料气体使用有机硅烷形成的氧化硅层、通过使用 CVD 法作为原料气体使用无机硅烷形成的氧化硅层、氧氮化硅层等。

[0136] 此外,在离键合衬底的半导体片 402 的一表面有预定的深度的领域中形成分离层 412 (图 7(step714))。在此,在半导体片 402 的一表面上形成用作保护层的第三绝缘层 404 之后,簇离子 410 照射到半导体片 402 的形成有第三绝缘层 404 的一表面侧。换言之,穿过第三绝缘层 404,氢注入到半导体片 402。

[0137] 第三绝缘层 404 使用选自氧化硅、氮化硅、氮氧化硅、氧氮化硅等中的一种或多种材料而形成。另外,第三绝缘层 404 可以为单层结构或叠层结构,优选应用热氧化法以外的方法(例如,CVD 法、溅射法、ALE 法、或臭氧处理或者等离子体处理的氧化处理)而形成。第三绝缘层 404 的膜厚度优选为 10nm 至 200nm 左右。通过设置第三绝缘层 404,可以防止由于照射簇离子 410 导致的半导体片 402 的表面(之后半导体层的表面)粗糙。

[0138] 使用离子掺杂装置将簇离子 410,具体而言,将 H_3^+ 离子照射到半导体片 402 的一表面侧而形成分离层 412。将 H_3^+ 离子积极地使用而照射,因此与照射 H^+ 离子相比可以提高氢的注入效率。从而,缩短形成分离层 412 的节拍时间,可以提高生产率。注意,形成分离层 412 的详细地说明依照在上述实施方式 1 的形成分离层 112 的说明,在此省略。此外,形成分离层 412 之后,既可以去除用作保护层的第三绝缘层 404,又可以留下。

[0139] 半导体片 402 的一表面和具有绝缘表面的衬底 420 的一表面层叠而贴合(参照图 7(step721))。在此,在半导体片 402 上形成的第三绝缘层 404 和在具有绝缘表面的衬底 420 上形成的第二绝缘层 424 为接合面而贴合。此外,在进行贴合之前,接合面充分洁净。然后,通过将在半导体片 402 的一表面上形成的第三绝缘层 404 与在具有绝缘表面的衬底 420 上形成的第二绝缘层 424 紧密接触,实现接合。与上述实施方式 1 同样,关于接合,在初步步骤中认为是范德华力在起作用,通过压接在形成有第三绝缘层 404 的半导体片 402 和形成有第二绝缘层 424 的具有绝缘表面的衬底 420,可以实现利用氢键的牢固接合。

[0140] 此外,接合面的第三绝缘层 404 及第二绝缘层 424 的一方或双方上照射原子束或离子束,或者进行等离子体处理或自由基处理,因此可以使接合面活化。通过进行这种表面

处理, 400℃以下的温度下也可以容易实现异种材料之间的接合。另外, 也可以使用含臭氧水、含氧水、含氫水、或纯水等对接合面进行清洗处理。这样进行清洗处理, 由此可以使接合面具有亲水性, 接合面的 OH 基可以增大。其结果是, 可以使利用氢键的接合更牢固。

[0141] 此外, 在半导体片 402 和具有绝缘表面的衬底 420 贴合之后, 优选进行热处理或加压处理而提高接合强度。此外, 当进行热处理时, 顾及具有绝缘表面的衬底 420 的耐热性, 且进行分离层 412 的体积不变的温度下的处理。

[0142] 通过进行热处理, 分离层 412 作为分离面, 而从具有绝缘表面的衬底 420 分离半导体片 402 的一部分 (参照图 7(step731))。从半导体片 402 分离的半导体层 430 残留在具有绝缘表面的衬底 420 上, 可以获得 SOI 衬底 (参照图 7(step732))。另外, 可以获得半导体层 430 分离的剥离片 440 (参照图 7(step733))。

[0143] 分离半导体片 402 的一部分的详细地说明依照在上述实施方式 1 的分离层 112 作为分离面的分离半导体片 102 的说明, 在此省略。此外, 热处理的温度优选为具有绝缘表面的衬底 420 的耐热温度以下且在该具有绝缘表面的衬底 420 上形成的第二绝缘层 424 的成膜温度以上。例如, 400℃至 600℃的范围下进行热处理, 因此在分离层 412 中形成的微小的空洞的体积变化, 沿着分离层 412 分离。半导体片 402 和具有绝缘表面的衬底 420 通过第一绝缘层 422、第二绝缘层 424、及第三绝缘层 404 贴合, 因此具有与半导体片 402 相同的结晶性的半导体层 430 残留在具有绝缘表面的衬底 420 上。通过进行上述步骤, 制造在具有绝缘表面的 420 上中间夹着绝缘层的半导体层 430 接合的 SOI 衬底。另外, 获得的 SOI 衬底优选适当地进行半导体层 430 的恢复结晶缺陷、平坦性的处理。作为具体的半导体层 430 的恢复处理, 依照上述实施方式 1 的图 4A 至 4C 的说明。

[0144] 此外, 从半导体片 402 分离半导体层 430, 可以获得该半导体层 430 分离的半导体片 402 的剥离片 440。在对剥离片 440 进行再生处理之后, 再利用作为键合衬底的半导体片 (参照图 7(step741))。另外, 作为剥离片 440 的再生处理, 优选进行 CMP 法或液体喷射抛光法等抛光处理。

[0145] 然后, 进行再生处理的剥离片 440 再利用作为键合衬底的半导体片 402, 再次经过在图 7 中示出的 (step711) 至 (step731), 制造 SOI 衬底 (step732), 因此通过制造该 SOI 衬底可以获得剥离片 (step733)。

[0146] 通过进行上述步骤, 从半导体片的一个原料片可以获得最多 n 个 SOI 衬底和 n 个剥离片。在此, 在 n 个剥离片中最多 $(n-1)$ 个剥离片可以再利用作为键合衬底。因此, 可以有效地利用原料的半导体片的资源, 还可以降低制造 SOI 衬底的成本。另外, 在会成为律速的形成分离层中, 使用簇离子, 具体地使用 H_3^+ 离子, 因此可以提高氢注入效率, 并且可以缩短节拍时间。其结果, 可以提高生产率和处理量。

[0147] 此外, 在本实施方式所示, 形成各种绝缘层不应用热氧化法的情况下, 可以维持剥离片的质量, 而可以提供一定的质量的半导体片。其结果, 再利用剥离片也可以高成品率地制造 SOI 衬底。

[0148] 注意, 所有剥离片不必都再利用作为键合衬底, 可以用于其他用途。另外, 反复的 SOI 衬底的制造方法不必完全相同。

[0149] 注意, 本实施方式可以与其他实施方式适当地自由组合。

[0150] 实施方式 5

[0151] 在本实施方式中,将参照图 19 说明与上述实施方式不同的 SOI 衬底的制造方法的一个例子。

[0152] 准备键合衬底的半导体片 4002 和支撑衬底的具有绝缘表面的衬底 4020 (参照图 19(step411)、(step412))。

[0153] 半导体片 4002 依照上述实施方式 1 的半导体片 102 的说明,在此使用硅片作为半导体片 4002。具有绝缘表面的衬底 4020 依照具有绝缘表面的衬底 120 的说明,在此使用玻璃衬底作为具有绝缘表面的衬底 4020。

[0154] 通过热氧化法在半导体片 4002 的表面上形成氧化层 4006。此外,在离半导体片 4002 的一表面有预定的深度的领域中形成分离层 4012 (参照图 19(step412))。

[0155] 通过在本实施方式中采用的热氧化法,添加有氯 (Cl) 为代表的卤素的氧化性气氛下,通过对半导体片 4002 进行热氧化处理形成氧化层 4006。氧化层 4006 成为包含卤原子的薄膜。优选地,包含氯化氢的氧化性气氛下,对半导体片 4002 进行热氧化处理,形成包含氯原子的氧化层 4006。

[0156] 例如,添加有氯的氧化性气氛下,通过对半导体片 4002 进行热氧化处理,形成被氯氧化的氧化层 4006。氧化层 4006 包含氯。在氧化层 4006 中含有的氯原子使氧化层 4006 形成应变。其结果,氧化层 4006 表面有水分的情况下,可以将该表面有的水分迅速吸收在氧化层 4006 中而扩散。

[0157] 如上所述,半导体片的氧化性气氛下的热氧化处理是高温处理,这导致发生位错滑移。然而,应用热氧化处理的情况下,通过添加有卤素 (代表的是氯) 氧化性气氛下对半导体片 4002 进行热氧化处理,可以实现过程温度的低温化,并可以抑制位错滑移的发生。这是如下缘故:在通常的热氧化处理中,能够抑制位错滑移的发生的低温过程温度下进行处理,这导致氧化生长速度降低,氧化时间延长而节拍时间不是实现性的。针对于此,通过添加有卤素的氧化性气氛下的热氧化处理,降低过程温度也可以充分维持氧化生长速度。换言之,通过添加有卤素的氧化性气氛下的热氧化处理,可以不会降低生产率地维持反复再利用率的质量。

[0158] 作为上述热氧化处理的例子,在相对于氧包含 0.25 体积%至 5 体积% (优选为 3 体积%) 反-1,2-二氯乙烯 (DCE) 的氧化性气氛下,以 700℃至 1150℃,优选以 800℃至 1050℃的温度进行。处理时间为 0.1 小时至 6 小时,优选为 0.5 小时至 3 小时。形成的氧化层 4006 的膜厚度为 10nm 至 1000nm (优选为 50nm 至 300nm),例如该氧化层 4006 的厚度为 100nm。由于反-1,2-二氯乙烯的热分解温度低,所以可以热氧化处理的温度为低温而进行。从而,可以实现热氧化处理的低温化,因此可以抑制发生位错滑移,当反复再利用从半导体片分离的剥离片时,可以维持从剥离片再生的半导体片的质量。此外,代替反-1,2-二氯乙烯,可以将顺-1,2-二氯乙烯、1,1-二氯乙烯、或这些两种以上的气体的混合气体添加在进行热氧化处理的氧化性气氛下。

[0159] 此外,作为上述热氧化处理的其它例子,可以举出如下:在相对于氧包含 0.5 体积%至 10 体积% (优选为 2 体积%) 氯化氢 (HCl) 的氧化性气氛下,以 700℃至 1150℃,优选以 800℃至 1050℃的温度下进行的 HCl 氧化 (盐酸氧化)。处理时间为 0.1 小时至 6 小时,优选为 0.5 小时至 3 小时。形成的氧化层 4006 的膜厚度为 10nm 至 1000nm (优选为 50nm 至 300nm),例如该氧化层 4006 的厚度为 100nm。

[0160] 在本实施方式中,控制气氛而进行热氧化处理,以便使氧化层 4006 中含有的氯原子的浓度为 1×10^{17} atoms/cm³ 至 1×10^{21} atoms/cm³。

[0161] 此外,如本实施方式那样,通过氧化层 4006 含有卤原子(代表的是氯原子),可以俘获外来的杂质的重金属(例如铁、铬、镍、或钼等)来防止半导体片 4002 被污染。

[0162] 通过添加有卤素的氧化性气氛下的热氧化处理如 HCl 氧化等,形成膜中包含氯原子等的卤原子的氧化层 4006,因此可以对给半导体片 4002 带来负面影响的杂质(例如,钠等的可动性高的金属杂质)进行吸杂。这是因为由于形成氧化层 4006 之后进行的热处理,包含在半导体片 4002 的杂质析出到氧化层 4006 中,并且与卤素(例如氯)产生反应而被俘获。这样,使氧化层 4006 俘获杂质,因此可以减少半导体片 4002 的污染。此外,氧化层 4006 在与作为具有绝缘表面的衬底 4020 的玻璃衬底贴合的情况下,用作使包含在玻璃衬底的 Na 等的杂质中和的膜。

[0163] 这样,形成包含有卤原子的氧化层 4006,对半导体片的清洗不充分、再利用剥离片作为半导体片时去除污染很有效。

[0164] 此外,通过热氧化处理时的气体含有氢,修补半导体片 4002 和氧化层 4006 的界面的缺陷,可以有降低界面的定域能级密度的效果。因此,氧化层 4006 中优选包含 1×10^{18} atoms/cm³ 以上的氢原子。

[0165] 此外,作为包含在氧化层 4006 中的卤原子不局限于氯原子。另外,可以形成包含有氟原子作为卤原子的氧化层 4006。例如,为了对半导体片 4002 的表面进行氟氧化,在 HF 溶液中浸没半导体片 4002 之后,氧化性气氛下进行热氧化处理即可,或者添加有 NF₃ 的氧化性气氛下进行热氧化处理即可。

[0166] 在半导体片 4002 中形成分离层 4012。分离层 4012 的形成方法依照上述实施方式 1 的分离层 112 的说明。此外,作为簇离子积极地使用 H₃⁺ 离子,因此可以提高构成簇离子的元素(代表的是氢)的注入效率,可以缩短形成分离层 4012 的节拍时间。另外,在此,通过热氧化处理形成氧化层 4006,因此在形成氧化层 4006 之后形成分离层 4012。从而,构成簇离子的元素穿过氧化层 4006 而注入到半导体片 4002。

[0167] 半导体片 4002 的一表面和具有绝缘表面的衬底 4020 的一表面重叠而贴合(参照图 19(step421))。在此,将形成在半导体片 4002 上的氧化层 4006 和具有绝缘表面的衬底 4020 作为接合面贴合。具体而言,与上述实施方式 1 同样进行即可。

[0168] 通过进行热处理,从具有绝缘表面的衬底 4020,将分离层 4012 作为分离面分离半导体片 4002 的一部分(参照图 19(step431))。从半导体片 4002 分离的半导体层 4030 残留在具有绝缘表面的衬底 4020 上,可以获得 SOI 衬底(参照图 19(step432))。另外,可以获得半导体层 4030 分离的剥离片 4040(参照图 19(step433))。

[0169] 分离半导体片 4002 的一部分的详细说明依照上述实施方式 1 的分离层 112 作为分离面的半导体片 102 的分离的说明。获得的 SOI 衬底可以适当地进行在其它实施方式所示那样的半导体层 4030 的结晶缺陷、平坦性的恢复处理。

[0170] 此外,对从半导体片 4002 分离半导体层 4030 而获得的剥离片 4040 进行再生处理之后,可以再利用作为键合衬底的半导体片(图 19(step441))。

[0171] 如本实施方式那样,通过热氧化处理,在半导体片 4002 的表面形成氧化层 4006 的情况下,氧化层 4006 等容易残留在剥离片 4040 的端部,该剥离片 4040 的端部容易成为凸

状。因此,作为剥离片 4040 的再生处理,优选与可去除氧化层 4006 的蚀刻处理等组合而进行。

[0172] 再生处理了的剥离片 4040 再利用作为键合衬底的半导体片 4002,再次经过在图 19 中示出的 (step411) 至 (step431),制造 SOI 衬底 (step432),通过制造该 SOI 衬底可以获得剥离片 (step433)。

[0173] 通过进行上述步骤,从半导体片的一个原料片可以获得最多 n 个 SOI 衬底和 n 个剥离片。在此,在 n 个剥离片中最多 $(n-1)$ 个剥离片可以再利用作为键合衬底。因此,可以有效地利用原料的半导体片的资源。

[0174] 此外,添加有卤素的氧化性气氛下进行热氧化处理,因此可以实现过程温度的低温化,抑制因反复利用薄片发生的位错滑移,可以减少半导体片的污染。此外,通过热氧化处理,可以形成致密且膜质量好的接合层,还可以提高界面的特性。

[0175] 注意,剥离片不必都再利用作为键合衬底,可以用于其他用途。另外,反复的 SOI 衬底的制造方法不必完全相同。

[0176] 此外,在本实施方式中说明如下例子:通过添加有卤素的氧化性气氛下进行热氧化法而形成在半导体片 4002 表面上的氧化层 4006 和具有绝缘表面的衬底 4020 贴合。但是本发明没有特别的限制。

[0177] 例如,通过在具有绝缘表面的衬底 4020 上形成绝缘层,可以使形成在该具有绝缘表面的衬底 4020 上的绝缘层和在半导体片 4002 上形成的氧化层 4006 作为接合层而贴合。

[0178] 注意,本实施方式可以与其他实施方式适当地自由组合。

[0179] 实施方式 6

[0180] 在本实施方式中,将参照图 20 说明与上述实施方式不同的 SOI 衬底的制造方法的一个例子。

[0181] 准备键合衬底的半导体片 2002 和支撑衬底的具有绝缘表面的衬底 2020 (参照图 20 (step211)、(step212))。

[0182] 半导体片 2002 依照上述实施方式 1 的半导体片 102 的说明。同样地,具有绝缘表面的衬底 2020 依照具有绝缘表面的衬底 120。在此,使用硅片作为半导体片 2002,使用玻璃衬底作为具有绝缘表面的衬底 2020。

[0183] 在半导体片 2002 上第一绝缘层 2006 及包含氮的第二绝缘层 2008 层叠而形成。此外,在离半导体片 2002 的一表面有预定的深度的领域中形成分离层 2012 (参照图 20 (step213))。

[0184] 通过使用 CVD 法、溅射法、或 ALE 法,作为第一绝缘层 2006 形成氧化硅层或氧氮化硅层。或者,在上述实施方式 5 所示,通过添加有卤素的氧化性气氛下进行热氧化处理,可以形成第一绝缘层 2006。

[0185] 作为包含氮的第二绝缘层 2008,形成氮化硅层或氮氧化硅层。在本实施方式中,包含氮的第二绝缘层 2008 既成为与具有绝缘表面的衬底 2020 贴合时的接合面,又成为接合层。此外,当包含氮的第二绝缘层 2008 与具有绝缘表面的衬底的玻璃衬底贴合时,具有防止钠等的可动性高的金属杂质扩散到半导体层一侧的效果。

[0186] 此外,为了形成包含氮的第二绝缘层 2008 作为接合层,形成其表面的平坦性良好的绝缘膜。另外,对与具有绝缘表面的衬底 2020 接合氢键有很大的影响,因此优选形成包

含氮的第二绝缘层 2008,以便包含氢。

[0187] 例如,包含氮的第二绝缘层 2008 可以应用通过使用等离子体 CVD 法形成的氮化硅层或氮氧化硅层。在此,作为原料气体,优选使用硅烷气体、氨气体及氢气体而进行成膜。通过使用氨气体及氢气体,可以形成膜中包含氢且包含氮的第二绝缘层 2008。通过膜中包含氢,当与具有绝缘表面的衬底一侧贴合时,可以更强固地接合。

[0188] 此外,在半导体片 2002 中形成分离层 2012。分离层 2012 的形成方法依照上述实施方式 1 的分离层 112 的说明。另外,作为簇离子将 H_3^+ 离子积极地使用,因此可以提高构成簇离子的元素(代表的是氢)的注入效率,并可以缩短形成分离层 2012 的节拍时间。形成分离层 2012 的顺序没有特别的限制,既可以形成第一绝缘层 2006,然后在半导体片 2002 中形成分离层 2012 之后形成包含氮的第二绝缘层 2008,又可以形成第一绝缘层 2006,形成包含氮的第二绝缘层 2008 之后在半导体片 2002 中形成分离层 2012。此外,可以在半导体片 2002 中形成分离层 2012 之后,层叠形成第一绝缘层 2006、包含氮的第二绝缘层 2008。

[0189] 半导体片 2002 的一表面和具有绝缘表面的衬底 2020 的一表面重叠而接合(参照图 20(step221))。在此,形成在半导体片 2002 上的包含氮的第二绝缘层 2008 和具有绝缘表面的衬底 2020 作为接合面并贴合。具体而言,与上述实施方式 1 同样地进行。

[0190] 通过进行热处理,从具有绝缘表面的衬底 2020 以分离层 2012 作为分离面分离半导体片 2002(参照图 20(step231))。从半导体片 2002 分离的半导体层 2030 残留在具有绝缘表面的衬底 2020 上,可以获得 SOI 衬底(参照图 20(step232))。此外,可以获得半导体层 2030 分离的剥离片 2040(参照图 20(step233))。

[0191] 分离半导体片 2002 的一部分的详细说明依照上述实施方式 1 的分离层 112 作为分离面的分离半导体片 102 的说明。获得的 SOI 衬底可以适当的进行如其他实施方式所示的半导体层 2030 的结晶缺陷或平坦性的恢复处理。

[0192] 此外,对从半导体片 2002 分离半导体层 2030 而获得的剥离片 2040 进行再生处理之后,作为键合衬底的半导体片可以再利用(图 20(step241))。进行再生处理了的剥离片 2040 作为键合衬底的半导体片 2002 再利用,再次经过在图 20 中示出的(step211)至(step231),制造 SOI 衬底(step232),通过制造该 SOI 衬底可以获得剥离片(step233)。

[0193] 通过进行上述步骤,从半导体片的一个原料片可以获得最多 n 个 SOI 衬底和 n 个剥离片。在此,在 n 个剥离片中最多 $(n-1)$ 个剥离片可以再利用作为键合衬底。因此,可以有效地利用原料的半导体片的资源。

[0194] 此外,形成包含氮的绝缘层作为接合层,因此可以防止包含在具有绝缘表面的衬底的金属杂质扩散到半导体层一侧。另外,与接合层为氧化硅层或氮化硅层,再者形成包含氮的绝缘层相比,可以减少层叠的层,并可以实现工序简化。

[0195] 注意,剥离片不必都再利用作为键合衬底,可以用于其他用途。另外,反复的 SOI 衬底的制造方法不必完全相同。

[0196] 此外,在本实施方式中示出形成在半导体片一侧的包含氮的绝缘层和具有绝缘表面的衬底作为接合面而贴合的例子,但是本发明没有特别的限制。

[0197] 例如,可以在具有绝缘表面的衬底 2020 上形成绝缘层,以使形成在该具有绝缘表面的衬底 2020 一侧的绝缘层和形成在半导体片一侧的包含氮的第二绝缘层 2008 作为接合层而贴合。

[0198] 此外,可以在半导体片 2002 一侧只形成分离层 2012,在具有绝缘表面的衬底 2020 一侧层叠形成与第一绝缘层 2006 同质的绝缘层和与包含氮的第二绝缘层 2008 同质的包含氮的绝缘层,以贴合半导体片 2002 和形成在具有绝缘表面的衬底 2020 一侧的包含氮的绝缘层。

[0199] 此外,可以在半导体片 2002 一侧形成第一绝缘层 2006 及分离层 2012,在具有绝缘表面的衬底 2020 一侧形成与包含氮的第二绝缘层 2008 同质的包含氮的绝缘层,以贴合形成在半导体片 2002 一侧的第一绝缘层 2006 和形成在具有绝缘表面的衬底 2020 一侧的包含氮的绝缘层。

[0200] 如上述的制造方法的情况下,形成包含氮的绝缘层作为接合层,具有阻挡金属杂质的效果,可以实现工序简化。

[0201] 注意,本实施方式可以与其他实施方式适当地自由组合。

[0202] 实施方式 7

[0203] 在本实施方式中,将参照图 21 说明与上述实施方式不同的 SOI 衬底的制造方法的一个例子。

[0204] 准备键合衬底的半导体片 5002 和支撑衬底的具有绝缘表面的衬底 5020(参照图 21(step511)、(step512))。

[0205] 通过热氧化法在半导体片 5002 的表面上形成氧化层 5006。此外,在离半导体片 5002 的一表面有预定的深度的领域中形成分离层 5012(参照图 21(step513))。

[0206] 图 21(step511)至(step513)的具体的结构及制造方法依照上述实施方式 5 的图 19(step411)至(step413)。

[0207] 在具有绝缘表面的衬底 5020 上形成包含氮的绝缘层 5022(参照图 21(step514))。

[0208] 包含氮的绝缘层 5022 依照上述实施方式 6 的包含氮的第二绝缘层 2008 的说明,优选通过使用等离子体 CVD 法形成氮化硅层或氮氧化硅层。

[0209] 半导体片 5002 的一表面侧和具有绝缘表面的衬底 5020 的一表面侧重叠而贴合(参照图 21(step521))。在此,形成在半导体片 5002 表面上的氧化层 5006 和形成在具有绝缘表面的衬底 5020 上的包含氮的绝缘层 5022 作为接合层而贴合。具体而言,与上述实施方式 1 同样地进行。

[0210] 通过进行热处理,从具有绝缘表面的衬底 5020 以分离层 5012 作为分离面分离半导体片 5002(参照图 21(step531))。从半导体片 5002 分离的半导体层 5030 残留在具有绝缘表面的衬底 5020 上,可以获得 SOI 衬底(参照图 21(step532))。此外,可以获得半导体层 5030 分离的剥离片 5040(参照图 21(step533))。

[0211] 分离半导体片 5002 的一部分的详细说明依照上述实施方式 1 的分离层 112 作为分离面的分离半导体片 102 的说明。获得的 SOI 衬底可以适当的进行如其他实施方式所示的半导体层 5030 的结晶缺陷或平坦性的恢复处理。

[0212] 此外,对从半导体片 5002 分离半导体层 5030 而获得的剥离片 5040 进行再生处理之后,作为键合衬底的半导体片可以再利用(图 21(step541))。再生处理了的剥离片 5040 作为键合衬底的半导体片 5002 再利用,再次经过在图 21 中示出的(step511)至(step531),制造 SOI 衬底(step532),通过制造该 SOI 衬底可以获得剥离片(step533)。

[0213] 通过进行上述步骤,从半导体片的一个原料片可以获得最多 n 个 SOI 衬底和 n 个

剥离片。在此,在 n 个剥离片中最多 (n-1) 个剥离片作为键合衬底再利用。因此,可以有效地利用原料的半导体片的资源。

[0214] 此外,添加有卤素的氧化性气氛下进行热氧化处理,因此可以实现过程温度的低温化,抑制因反复利用薄片发生的位错滑移,可以减少半导体片的污染。此外,形成包含氮的绝缘层作为接合层,因此可以防止包含在具有绝缘表面的衬底中的金属杂质扩散到半导体层一侧。

[0215] 注意,剥离片不必都再利用作为键合衬底,可以用于其他用途。另外,反复的 SOI 衬底的制造方法不必完全相同。

[0216] 注意,本实施方式可以与其他实施方式适当地自由组合。

[0217] 实施方式 8

[0218] 在本实施方式中,将参照图 22 说明与上述实施方式不同的 SOI 衬底的制造方法的一个例子。

[0219] 准备键合衬底的半导体片 3002 和支撑衬底的具有绝缘表面的衬底 3020 (参照图 22(step311)、(step312))。

[0220] 半导体片 3002 依照上述实施方式 1 的半导体片 102 的说明。在此,使用硅片作为半导体片 3002。

[0221] 在半导体片 3002 上形成第一绝缘层 3006。此外,在离半导体片 3002 的一表面有预定的深度的领域中形成分离层 3012 (参照图 22(step313))。

[0222] 通过使用 CVD 法、溅射法、或 ALE 法等,第一绝缘层 3006 以单层结构或叠层结构形成氧化硅层、氧氮化硅层、氮化硅层、或氮氧化硅层。此外,在上述实施方式 5 所示,通过添加有卤素的氧化性气氛下进行热氧化处理,可以形成第一绝缘层 3006。

[0223] 在半导体片 3002 中形成分离层 3012。分离层 3012 的形成方法依照上述实施方式 1 的分离层 112 的说明。此外,作为簇离子积极地使用 H_3^+ 离子,因此可以提高构成簇离子的元素 (代表的是氢) 的注入效率,可以缩短形成分离层 3012 的节拍时间。形成分离层 3012 的顺序没有特别的限制,既可以形成第一绝缘层 3006 之后形成分离层 3012,又可以首先形成分离层 3012 之后形成第一绝缘层 3006。

[0224] 通过等离子体处理对具有绝缘表面的衬底 3020 的表面进行平坦化处理之后,在具有绝缘表面的衬底 3020 上形成 Si 类绝缘层以外的第二绝缘层 3022 (参照图 22(step314))。

[0225] 作为等离子体处理的一个例子,在真空状态的处理室内引入惰性气体 (例如 Ar 气体) 及 / 或反应气体 (例如 O_2 气体、 N_2 气体),对被处理面 (在此,具有绝缘表面的衬底 3020) 施加偏压而等离子体状态下进行。在等离子体中有电子和 Ar 的阳离子,Ar 的阳离子向阴极方向 (具有绝缘表面的衬底 3020 一侧) 加速。加速了的 Ar 的阳离子碰撞到具有绝缘表面的衬底 3020 的表面,因此具有绝缘表面的衬底 3020 的表面被溅射蚀刻。在此,具有绝缘表面的衬底 3020 表面的凸部优先被溅射蚀刻,而可以提高该具有绝缘表面的衬底 3020 表面的平坦性。当引入反应气体时,可以修补因具有绝缘表面的衬底 3020 表面被溅射蚀刻发生的缺陷。

[0226] 通过等离子体处理进行平坦化处理,因此可以降低具有绝缘表面的衬底 3020 的平均粗糙度 (高低差)。通过进行这种平坦化处理,可以进行具有绝缘表面的衬底 3020 的

平坦化处理,并可以提高与半导体片 3002 的密接性。

[0227] 第二绝缘层 3022 可以采用包含选自铝、镁、锶、钛、钽、锆、钇中的一种或多种元素的氧化层或氮化层。例如,在具有绝缘表面的衬底 3020 上形成以氧化铝为主要成分的氧化层作为第二绝缘层 3022。以氧化铝为主要成分的氧化层指的是当包含在该氧化层中的成分的总计为 100 重量%时,包含 10 重量%以上的氧化铝的。另外,作为第二绝缘层 3022,可以采用以氧化铝为主要成分,并包含氧化镁和氧化锶中的一方或双方的膜。此外,可以采用包含氮的氧化铝作为第二绝缘层 3022。

[0228] 通过溅射法可以形成第二绝缘层 3022。作为用于溅射法的靶子的材料,例如可以使用包含铝的金属或氧化铝等的金属氧化物。此外,作为靶子的材料,除了铝以外,可以使用镁、包含铝和镁的合金、包含铝和锶的合金、包含铝和镁和锶的合金。另外,作为靶子使用金属氧化物的情况下,除了氧化铝以外,可以使用氧化镁、氧化锶、包含铝和镁的氧化物、包含铝和锶的氧化物、包含铝和镁和锶的氧化物。注意,根据所需的第二绝缘层 3022 适当地选择靶子的材料。

[0229] 此外,上述所示的平坦化处理和通过溅射法形成第二绝缘层 3022 优选连续进行而不暴露于大气。通过连续进行,可以提高产生率。另外,通过等离子体处理对具有绝缘表面的衬底 3020 的表面进行平坦化之后,具有绝缘表面的衬底 3020 的表面活化,而容易附着有机物等的杂质,但是连续形成第二绝缘层 3022,因此可以减少附着于具有绝缘表面的衬底 3020 上的杂质。

[0230] 在具有绝缘表面的衬底 3020 上设置有以氧化铝为主要成分的氧化层,因此可以防止包含在具有绝缘表面的衬底 3020 中的可动离子或水分等的杂质扩散到之后在该具有绝缘表面的衬底 3020 上形成的半导体层。

[0231] 半导体片 3002 的一表面和具有绝缘表面的衬底 3020 的一表面重叠而贴合(参照图 22(step321))。在此,中间夹着形成在半导体片 3002 上的第一绝缘层 3006 和形成在具有绝缘表面的衬底 3020 上的第二绝缘层 3022 而重叠。从而,形成在半导体片 3002 上的第一绝缘层 3006 和形成在具有绝缘表面的衬底 3020 上的第二绝缘层 3022 形成接合面而成为接合层。

[0232] 通过进行热处理,从与具有绝缘表面的衬底 3020 贴合的半导体片 3002,以分离层 3012 作为分离面而分离半导体片 3002 的一部分(参照图 22(step331))。从半导体片 3002 分离的半导体层 3030 残留在具有绝缘表面的衬底 3020 上,可以获得 SOI 衬底(参照图 22(step332))。另外,可以获得半导体层 3030 分离的剥离片 3040(参照图 22(step333))。

[0233] 分离半导体片 3002 的详细地说明依照上述实施方式 1 的分离层 112 作为分离面的半导体片 102 的分离的说明。

[0234] 在对剥离片 3040 进行再生处理之后,再利用作为键合衬底的半导体片 3002(参照图 22(step341))。将进行再生处理了的剥离片 3040 作为半导体片 3002 再利用,再次经过在图 22 中示出的(step311)至(step331),制造 SOI 衬底(step332),通过制造该 SOI 衬底可以获得剥离片(step333)。反复进行上述(step311)至(step341),从一个原料片可以获得最多 n 个 SOI 衬底和 n 个剥离片。在此,在 n 个剥离片中最多(n-1)个剥离片再利用作为键合衬底。因此,可以有效地利用原料的半导体片的资源。

[0235] 此外,如上述那样,作为形成接合面的接合层,在对具有绝缘表面的衬底进行等离

子体处理之后形成 Si 类以外的绝缘层,代表地形成氧化铝层等,因此可以提高半导体层的紧密性。从而,可以高成品率地制造 SOI 衬底。

[0236] 注意,剥离片不必都再利用作为键合衬底,可以用于其他用途。另外,反复的 SOI 衬底的制造方法不必完全相同。

[0237] 注意,本实施方式可以与其他实施方式适当地自由组合。

[0238] 实施方式 9

[0239] 在本实施方式中,将参照图 8A 至 8D 及图 9A 和 9B 说明使用上述实施方式所示的 SOI 衬底制造半导体装置的一个例子。

[0240] 准备 SOI 衬底(参照图 8A)。在本实施方式中使用在图 1(step32)中获得的 SOI 衬底进行说明。换言之,示出应用如下结构的 SOI 衬底的例子:在具有绝缘表面的衬底 120 上隔着按顺序层叠了的第二绝缘层 108 和第一绝缘层 106 接合有半导体层 130。注意,应用的 SOI 衬底的结构没有特别的限制,可以应用在本说明书中说明的其他结构的 SOI 衬底。此外,由于在图 8A 中使用的 SOI 衬底的说明依照上述实施方式,所以在此简化地说明。

[0241] 作为具有绝缘表面的衬底 120,使用各种玻璃衬底、石英衬底、晶体玻璃衬底、或蓝宝石衬底等。

[0242] 第二绝缘层 108 可以采用单层结构或叠层结构,在与具有绝缘表面的衬底 120 接触的一侧上形成具有平滑性并能够形成亲水性表面的层。例如,该层为氧化硅层或具有硅氧烷键的层。第一绝缘层 106 也可以采用单层结构或叠层结构,至少一层由氮化硅层或氮氧化硅层形成,而用作阻挡层。此外,实施者可以适当地决定第二绝缘层 108 及第一绝缘层 106 的膜厚度。例如,作为第二绝缘层 108 形成膜厚度为 50nm 的氧化硅层,作为第一绝缘层 106 形成膜厚度为 50nm 的氮氧化硅层、膜厚度为 100nm 的氧氮化硅层。注意,在此情况下,形成第一绝缘层 106 的氧氮化硅层设置在半导体层 130 一侧。

[0243] 半导体层 130 的膜厚度为 5nm 至 300nm,优选为 10nm 至 200nm。更优选为 10nm 至 60nm。通过上述实施方式所说明的形成分离层 112 的深度可以控制半导体层 130 的膜厚度。此外,SOI 衬底的半导体层 130 既可以通过蚀刻处理或抛光处理等进行薄膜化而成为所希望的膜厚度,又可以将分离层 112 形成在深度浅的领域中在制造 SOI 衬底的步骤中进行薄膜化。将分离层形成在深度浅的领域中的情况下,本发明那样的簇离子,代表地利用 H_3^+ 离子,因此可以高效地注入氢。具体而言,顾及为了在所需的深度的领域中注入氢的加速电压的情况下,与照射 H^+ 离子相比,照射 H_3^+ 离子可以施加大约三倍的加速电压。从而,可以减少剂量,并可以缩短节拍时间。

[0244] 对于半导体层 130,优选根据 n 沟道型电场效应晶体管的形成区域来添加 p 型杂质元素如硼、铝、镓等或 n 型杂质元素如磷、砷等。与此同样,优选根据 p 沟道型电场效应晶体管的形成区域来添加 n 型杂质元素如磷、砷等或 p 型杂质元素如硼、铝、镓等。对应于 n 沟道型电场效应晶体管的形成区域来添加 p 型杂质元素,而对应于 p 沟道型电场效应晶体管的形成区域来添加 n 型杂质元素,从而形成所谓的阱区域。杂质离子的剂量为 $1 \times 10^{12} \text{ ions/cm}^2$ 至 $1 \times 10^{14} \text{ ions/cm}^2$ 左右即可。再者,在控制电场效应晶体管的阈值电压的情况下,对这种阱区域添加 p 型杂质元素或 n 型杂质元素,即可。

[0245] 其次,通过选择性地蚀刻半导体层 130,形成按照半导体元件的配置分离为岛状的半导体层 130a、半导体层 130b(参照图 8B)。

[0246] 注意,在本实施方式中示出通过将半导体层 130 蚀刻为岛状进行元件分离的例子,本发明没有特别的限制。例如,可以按照半导体元件的配置将绝缘层埋在半导体层之间来进行元件分离。

[0247] 其次,在半导体层 130a、半导体层 130b 上分别形成栅极绝缘层 711、栅电极 712、及侧壁绝缘层 713。侧壁绝缘层 713 设置在栅电极 712 的侧面。然后,在半导体层 130a 中形成第一杂质区域 714a 及第二杂质区域 715a,在半导体层 130b 中形成第一杂质区域 714b 及第二杂质区域 715b。此外,在栅电极 712 上形成有绝缘层 716。绝缘层 716 由氮化硅层形成,而它用作当形成栅电极 712 时的用于蚀刻的硬掩模(参照图 8C)。

[0248] 其次,形成保护层 717,以便覆盖设置在 SOI 衬底上的栅电极 712 等(参照图 8D)。第一绝缘层 106 防止来自具有绝缘表面的衬底 120 一侧的金属杂质的扩散,而保护层 717 具有防止来自上层一侧的金属杂质的污染的效果。在本实施方式中,通过使用能够防止可动性高的金属杂质如钠等的高效绝缘层覆盖结晶性良好的半导体层 130 的下层一侧及上层一侧。从而,可以提高由半导体层 130 制造的半导体元件的电特性。

[0249] 在保护层 717 上形成层间绝缘层 718。层间绝缘层 718 可以通过形成 BPSG(Boron Phosphorus Silicon Glass:硼磷硅玻璃)层或者涂敷以聚酰亚胺为代表的有机树脂来形成。然后,在层间绝缘层 718 中形成接触孔 719(参照图 9A)。

[0250] 下面,说明形成布线的步骤。在接触孔 719 中形成接触插塞 723。接触插塞 723 通过使用 WF_6 气体和 SiH_4 气体通过使用 CVD 法形成硅化钨并将它嵌入在接触孔 719 中而形成。另外,也可以对 WF_6 进行氢还原来形成钨并将它嵌入在接触孔 719 中。然后,根据接触插塞 723 形成布线 721。布线 721 由铝或铝合金形成,在其上层和下层形成钼、铬、钛等金属膜作为阻挡金属。进而在其上层形成层间绝缘层 722(参照图 9B)。布线可以适当设置,也可以在其上层形成布线层以实现多层布线。在此情况下,可以采用镶嵌工序。

[0251] 通过进行上述步骤,可以使用根据本发明的 SOI 衬底制造电场效应晶体管。本发明当制造 SOI 衬底时,通过再利用剥离片实现低成本化。此外,使用簇离子来形成分离层,来缩短节拍时间。从而,通过使用根据本发明的 SOI 衬底,可以实现半导体装置的低成本化。

[0252] 此外,不应用热氧化法而制造 SOI 衬底,因此即使反复再利用剥离片,也可以高成品率地制造 SOI 衬底。从而,使用从一个原料片获得的 n 个 SOI 衬底而制造半导体装置的情况下,可以抑制每个衬底的特性的不均匀等。另外,可以由单晶半导体制造半导体层 130,由此可以实现半导体装置的高性能化。

[0253] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0254] 实施方式 10

[0255] 在本实施方式中,将参照图 10A 至 13B 说明使用根据本发明的 SOI 衬底制造显示装置的一个例子。在此,示出制造电致发光(EL)显示装置的一个例子。

[0256] 准备 SOI 衬底(参照图 10A)。在本实施方式中使用在图 1(step32)中获得的 SOI 衬底进行说明。换言之,示出应用如下结构的 SOI 衬底的例子:在具有绝缘表面的衬底 120 上隔着按顺序层叠了的第二绝缘层 108 和第一绝缘层 106 接合有半导体层 130。注意,应用的 SOI 衬底的结构没有特别的限制,可以应用在本说明书中所说明的其他结构的 SOI 衬底。此外,由于在图 10A 中使用的 SOI 衬底的说明依照上述实施方式 1 以及实施方式 4 至实施

方式 8, 所以在此省略。

[0257] 此外, 根据本发明的 SOI 衬底的特征之一是当形成分离层时利用簇离子, 其代表为 H_3^+ 离子。通过利用这种簇离子可以高效地注入氢, 可以缩短形成分离层的节拍时间。另外, 从一个原料片可以制造多个 SOI 衬底, 因此实现低成本化。

[0258] 此外, 对于半导体层 130, 优选根据 n 沟道型电场效应晶体管的形成区域添加 p 型杂质元素如硼、铝、镓等或 n 型杂质元素如磷、砷等。与此同样, 优选根据 p 沟道型电场效应晶体管的形成区域来添加 n 型杂质元素如磷、砷等或 p 型杂质元素如硼、铝、镓等。对应于 n 沟道型电场效应晶体管的形成区域来添加 p 型杂质元素, 而对应于 p 沟道型电场效应晶体管的形成区域来添加 n 型杂质元素, 从而形成所谓的阱区域。杂质离子的剂量为 1×10^{12} ions/cm² 至 1×10^{14} ions/cm² 左右即可。再者, 在控制电场效应晶体管的阈值电压的情况下, 对这种阱区域添加 p 型杂质元素或 n 型杂质元素, 即可。

[0259] 其次, 通过选择性地蚀刻半导体层 130, 形成按照半导体元件的配置分离为岛状的半导体层 130c 和半导体层 130d (参照图 10B)。

[0260] 其次, 在半导体层 130c 和半导体层 130d 上按顺序形成栅极绝缘层 810、形成栅电极的第一导电层 812 及第二导电层 814 (参照图 10C)。

[0261] 栅极绝缘层 810 通过使用 CVD 法、溅射法、或 ALE 法等并使用氧化硅层、氧氮化硅层、氮化硅层、或氮氧化硅层等的绝缘层以单层结构或叠层结构而形成。

[0262] 此外, 栅极绝缘层 810 可以通过对半导体层 130c 和半导体层 130d 进行等离子体处理来使其表面氧化或氮化而形成。在此情况下, 等离子体处理包括利用通过使用微波 (代表的频率为 2.45GHz) 而激发的等离子体的等离子体处理。例如, 包括利用如下等离子体的等离子体处理, 该等离子体通过使用微波而激发, 其电子密度为 1×10^{11} /cm³ 以上且 1×10^{13} /cm³ 以下, 而且其电子温度为 0.5eV 以上且 1.5eV 以下。通过应用这种等离子体处理对半导体层表面进行氧化处理或氮化处理, 可以形成薄且致密的膜。另外, 由于对半导体表面直接进行氧化, 所以可以获得界面特性良好的膜。此外, 栅极绝缘层 810 可以通过对使用 CVD 法、溅射法、或 ALE 法而形成的膜进行利用微波的等离子体处理来形成。

[0263] 栅极绝缘层 810 与半导体层形成界面, 因此优选以氧化硅层或氧氮化硅层为界面来形成栅极绝缘层 810。这是因为如下缘故: 若形成氮含量多于氧含量的膜如氮化硅层或氮氧化硅层, 则会有形成陷阱能级而产生界面特性的问题。

[0264] 形成栅电极的导电层通过使用选自钽、氮化钽、钨、钛、钼、铝、铜、铬、或铌等中的元素、以这些元素为主要成分的合金材料或化合物、掺杂有磷等的杂质元素的多晶硅为代表的半导体材料, 并使用 CVD 法或溅射法以单层膜或叠层膜形成。在采用叠层膜的情况下, 既可以使用不相同的导电材料来形成, 又可以使用相同的导电材料来形成。在本实施方式中, 示出形成栅电极的导电层由第一导电层 812 及第二导电层 814 形成的例子。

[0265] 在形成栅电极的导电层具有第一导电层 812 及第二导电层 814 的两层的叠层结构的情况下, 例如可以形成氮化钽层和钨层、氮化钨层和钨层、氮化钼层和钼层的叠层膜。此外, 当采用氮化钽层和钨层的叠层膜时, 容易得到两者的蚀刻的选择比, 因此是优选的。在上述两层的叠层膜中, 前者的膜优选是形成在栅极绝缘层 810 上的膜。在此, 第一导电层 812 的厚度为 20nm 至 100nm, 而第二导电层 814 的厚度为 100nm 至 400nm。另外, 栅电极可以具有三层以上的叠层结构, 在此情况下, 优选采用钼层、铝层、钼层的叠层结构。

[0266] 其次,在第二导电层 814 上选择性地形成抗蚀剂掩模 820c 和抗蚀剂掩模 820d。然后,使用抗蚀剂掩模 820c 和抗蚀剂掩模 820d 进行第一蚀刻处理及第二蚀刻处理。

[0267] 首先,进行第一蚀刻处理来选择性地蚀刻第一导电层 812 及第二导电层 814,以在半导体层 130c 上形成第一导电层 816c 及第二导电层 818c,并在半导体层 130d 上形成第一导电层 816d 及第二导电层 818d(参照图 10D)。

[0268] 然后,进行第二蚀刻处理来选择性地蚀刻第二导电层 818c 及第二导电层 818d 的端部,以形成第二导电层 822c 及第二导电层 822d(参照图 10E)。第二导电层 822c 及第二导电层 822d 形成宽度(平行于载流子流过沟道形成区域的方向(连接源区和漏区的方向)的方向)的长度)小于第一导电层 816c 及第一导电层 816d 的宽度。由此,可以获得由第一导电层 816c 和第二导电层 822c 构成的栅电极 824c、以及由第一导电层 816d 和第二导电层 822d 构成的栅电极 824d。

[0269] 应用于第一蚀刻处理及第二蚀刻处理的蚀刻法可以适当地选择。为了提高蚀刻速度,可以使用利用 ECR(Electron Cyclotron Resonance,即电子回旋共振)方式或 ICP(Inductively Coupled Plasma,即感应耦合等离子体)方式等的高密度等离子体源的干法蚀刻设备。通过适当地调整第一蚀刻处理及第二蚀刻处理的蚀刻条件,可以将第一导电层 816c 及 816d、第二导电层 822c 及 822d 的侧面形成成为所希望的锥形。在形成所希望的栅电极 824c 和栅电极 824d 之后去除抗蚀剂掩模 820c 和抗蚀剂掩模 820d 即可。

[0270] 其次,以栅电极 824c 和栅电极 824d 为掩模,对半导体层 130c 及半导体层 130d 添加杂质元素 880。在半导体层 130c 中,以第一导电层 816c 及第二导电层 822c 为掩模来自对准方式形成一对第一杂质区域 826c。另外,在半导体层 130d 中,以第一导电层 816d 及第二导电层 822d 为掩模来自对准方式形成一对第一杂质区域 826d(参照图 11A)。

[0271] 作为杂质元素 880,添加硼、铝、镓等的 p 型杂质元素、或磷、砷等的 n 型杂质元素。在此,进行添加,来使以 $1 \times 10^{17} \text{atoms/cm}^3$ 至 $5 \times 10^{18} \text{atoms/cm}^3$ 左右的浓度包含作为 n 型杂质元素的磷。

[0272] 其次,以覆盖半导体层 130d 的方式选择性地形成抗蚀剂掩模 882。另外,覆盖半导体层 130c 的一部分地形成抗蚀剂掩模 881。然后,以抗蚀剂掩模 882 及抗蚀剂掩模 881 为掩模来添加杂质元素 884,以在半导体层 130c 中形成一对第二杂质区域 828c、一对第三杂质区域 830c、沟道形成区域 132c(参照图 11B)。

[0273] 作为杂质元素 884,添加硼、铝、镓等的 p 型杂质元素、或磷、砷等的 n 型杂质元素。在此,进行添加,来使以 $5 \times 10^{19} \text{atoms/cm}^3$ 至 $5 \times 10^{20} \text{atoms/cm}^3$ 以下左右的浓度包含作为 n 型杂质元素的磷。

[0274] 在半导体层 130c 中,第二杂质区域 828c 形成在不与第一导电层 816c 重叠的区域中。沟道形成区域 132c 形成在与第一导电层 816c 重叠的区域中。第三杂质区域 830c 形成在位于沟道形成区域 132c 和第二杂质区域 828c 之间且不与第一导电层 816c 重叠的区域中。另外,第三杂质区域 830c 形成在不与第一导电层 816c 重叠且与抗蚀剂掩模 881 重叠的区域中。第二杂质区域 828c 用作源区或漏区,而第三杂质区域 830c 用作 LDD 区域。在本实施方式中,第二杂质区域 828c 的杂质浓度高于第三杂质区域 830c 的杂质浓度。

[0275] LDD 区域指的是以低浓度添加有杂质元素的区域,该 LDD 区域形成在沟道形成区域和通过以高浓度添加杂质元素而形成的源区或漏区之间。通过设置 LDD 区域,可以缓

和漏区附近的电场并防止由热载流子注入导致的退化。另外,为了防止由热载流子导致的导通电流值的退化,可以采用 LDD 区域隔着栅极绝缘层与栅电极重叠的结构(也称为 GOLD(Gate-drain Overlapped LDD,即栅极漏极重叠 LDD)结构)。

[0276] 其次,去除抗蚀剂掩模 881 及抗蚀剂掩模 882,然后覆盖半导体层 130c 地形成抗蚀剂掩模 886。然后,以抗蚀剂掩模 886、第一导电层 816d 及第二导电层 822d 为掩模来添加杂质元素 888,以在半导体层 130d 中形成一对第二杂质区域 828d、一对第三杂质区域 830d、沟道形成区域 132d(参照图 11C)。

[0277] 作为杂质元素 888,添加硼、铝、镓等的 p 型杂质元素、或磷、砷等的 n 型杂质元素。在此,进行添加,来使以 $1 \times 10^{20} \text{atoms/cm}^3$ 至 $5 \times 10^{21} \text{atoms/cm}^3$ 左右的浓度包含作为 p 型杂质元素的硼。

[0278] 在半导体层 130d 中,第二杂质区域 828d 形成在不与第一导电层 816d 重叠的区域中。第三杂质区域 830d 形成在与第一导电层 816d 重叠且不与第二导电层 822d 重叠的区域中,是杂质元素 888 贯穿第一导电层 816d 而形成的。第二杂质区域 828d 用作源区或漏区。在本实施方式中,第二杂质区域 828d 的杂质浓度高于第三杂质区域 830d 的杂质浓度。

[0279] 其次,形成层间绝缘层。层间绝缘层可以由单层结构或叠层结构形成。在此,层间绝缘层具有绝缘层 832 及绝缘层 834 的两层的叠层结构(参照图 12A)。

[0280] 作为层间绝缘层,可以通过使用 CVD 法或溅射法形成氧化硅层、氧氮化硅层、氮化硅层、或氮氧化硅层等。也可以使用聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯类聚合物、丙烯酸、或环氧树脂等的有机材料、硅氧烷树脂等的硅氧烷材料、或恶唑树脂等通过旋涂法等涂敷法来形成。注意,硅氧烷材料相当于具有 Si-O-Si 键的材料。硅氧烷是一种具有硅(Si)和氧(O)的键的骨架结构的材料。作为取代基,可以举出至少含有氢的有机基(例如烷基、芳烃)。氟基还可以包含在有机基。恶唑树脂例如是光敏聚苯恶唑等。光敏聚苯恶唑为介电常数低(1MHz 时常温下的介电常数为 2.9)、耐热性高(通过热重/差热分析仪(TG/DTA,即 Thermogravimetry-Differential Thermal Analysis)确定在 $5^\circ\text{C}/\text{min}$ 的升温时的热分解温度为 550°C)、以及吸水率低(常温下 24 小时约为 0.3wt%)的材料。与聚酰亚胺等的相对介电常数(约为 3.2 至 3.4)相比,恶唑树脂具有低的介电常数(约为 2.9)。因此可以抑制寄生电容的产生并实现高速工作。

[0281] 例如,形成 100nm 厚的氮氧化硅层作为绝缘层 832,并形成 900nm 厚的氧氮化硅层作为绝缘层 834。另外,通过使用等离子体 CVD 法连续形成绝缘层 832 及绝缘层 834。此外,层间绝缘层也可以具有三层以上的叠层结构。另外,可以采用氧化硅层、氧氮化硅层、或氮化硅层、与通过使用聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯类聚合物、丙烯酸、或环氧树脂等的有机材料、硅氧烷树脂等的硅氧烷材料、或恶唑树脂而形成的绝缘层的叠层结构。

[0282] 其次,在层间绝缘层(在本实施方式中,绝缘层 832 及绝缘层 834)中形成接触孔,在该接触孔中形成用作源电极或漏电极的导电层 836(参照图 12B)。

[0283] 接触孔以到达形成在半导体层 130c 中的第二杂质区域 828c、及形成在半导体层 130d 中的第二杂质区域 828d 的方式选择性地形成在绝缘层 832 及绝缘层 834 中。

[0284] 导电层 836 可以使用由选自铝、钨、钛、钽、钼、镍及钌中的一种元素或包含多种该元素的合金构成的单层膜或叠层膜。例如,可以形成包含钛的铝合金、包含钌的铝合金等作为由包含多种该元素的合金构成的导电层。此外,在采用叠层膜的情况下,例如可以采用由

钛层夹着铝层或上述铝合金层的结构。

[0285] 其次,示出形成发光元件 850 的步骤(参照图 13A)。在此,说明形成具有包含有机化合物的层作为发光层的有机发光元件的一个例子。

[0286] 首先,形成像素电极 840 以使它电连接到导电层 836。像素电极 840 电连接到形成在半导体层 130d 中的第二杂质区域 828d,其中间夹着导电层 836。在形成覆盖像素电极 840 的端部的隔壁层 842 之后,在像素电极 840 上层叠包含有机化合物的层 844 和相对电极 846。

[0287] 注意,在此,虽然示出像素电极 840 形成在设置在导电层 836 上的绝缘层 838 上的例子,但是本发明没有特别的限制。例如,可以在绝缘层 834 上设置像素电极 840。在此情况下,像素电极 840 也可以形成为用作源电极或漏电极的导电层 836 的一部分。

[0288] 作为绝缘层 838,可以通过使用 CVD 法或溅射法形成氧化硅层、氧氮化硅层、氮化硅层等。也可以使用聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯类聚合物、丙烯酸树脂、环氧树脂等的有机材料、硅氧烷树脂等的硅氧烷材料、或恶唑树脂等通过旋涂法等涂敷法来形成。绝缘层 838 可以通过使用上述材料以单层结构或叠层结构来形成。

[0289] 像素电极 840 及相对电极 846 中的一个电极用作阳极,而另一个用作阴极。此外,发光元件的发光有从具有绝缘表面的衬底 120 一侧取出(也称为底部发射)的情况,从与具有绝缘表面的衬底 120 相反一侧的面取出(也称为顶部发射)的情况,或者从具有绝缘表面的衬底 120 一侧及从与具有绝缘表面的衬底 120 相反一侧的面取出(也称为两面发射)的情况。在采用底部发射的情况下,优选地是,像素电极 840 为透光电极,而相对电极 846 为反射电极。在采用顶部发射的情况下,优选地是,像素电极 840 为反射电极,而相对电极 846 为透光电极。在采用两面发射的情况下,优选地是,像素电极 840 及相对电极 846 双方为透光电极。

[0290] 元在形成反射电极作为像素电极 840 或相对电极 846 的情况下,可以使用钼、钨、钛、钼、铝、铬、银等的金属元素、或者包含该金属元素的合金材料或化合物材料等的具有反射性的导电材料。

[0291] 此外,在形成透光电极作为像素电极 840 或相对电极 846 的情况下,可以使用氧化铟锡(ITO)、氧化锌(ZnO)、氧化铟锌(IZO)、或添加有镓的氧化锌(GZO)等的具有透光性的导电材料。另外,通过形成几 nm 至几十 nm 厚的具有反射性的导电材料,可以获得透射可见光的电极。

[0292] 此外,可以使用包含导电高分子(也称为导电聚合物)的导电组成物形成透光电极。优选地是,通过使用导电组成物而形成的电极的薄膜中的薄层电阻(sheet resistance)为 $10000 \Omega/\square$ 以下,波长 550nm 处的透光率为 70% 以上。另外,包含在导电组成物中的导电高分子的电阻率优选为 $0.1 \Omega \cdot \text{cm}$ 以下。

[0293] 作为导电高分子,可以使用所谓的 π 电子共轭类导电高分子。例如,可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或这些两种以上的共聚物等。

[0294] 作为共轭导电高分子的具体例子,可以举出聚吡咯、聚(3-甲基吡咯)、聚(3-丁基吡咯)、聚(3-辛基吡咯)、聚(3-癸基吡咯)、聚(3,4-二甲基吡咯)、聚(3,4-二丁基吡咯)、聚(3-羟基吡咯)、聚(3-甲基-4-羟基吡咯)、聚(3-甲氧基吡咯)、聚(3-乙氧基吡咯)、聚(3-辛氧基吡咯)、聚(3-羧基吡咯)、聚(3-甲基-4-羧基吡咯)、聚 N-甲基吡

咯、聚噻吩、聚(3-甲基噻吩)、聚(3-丁基噻吩)、聚(3-辛基噻吩)、聚(3-癸基噻吩)、聚(3-十二烷基噻吩)、聚(3-甲氧基噻吩)、聚(3-乙氧基噻吩)、聚(3-辛氧基噻吩)、聚(3-羧基噻吩)、聚(3-甲基-4-羧基噻吩)、聚(3,4-乙烯基二氧基噻吩)、聚苯胺、聚(2-甲基苯胺)、聚(2-辛基苯胺)、聚(2-异丁基苯胺)、聚(3-异丁基苯胺)、聚(2-苯胺磺酸)、聚(3-苯胺磺酸)等。

[0295] 可以单独地使用上述导电高分子作为导电组成物来形成透光电极。另外,也可以将有机树脂添加到导电高分子,以调整由导电组成物形成的透光电极的膜性质、膜强度等的膜特性。

[0296] 作为有机树脂,可以使用能够与导电高分子相溶或混合分散的热固化树脂、热塑性树脂、或光固化树脂等。例如,可以举出聚酯类树脂如聚对苯二甲酸乙二醇酯、聚对苯二甲酸丁二醇酯、或聚萘二甲酸乙二醇酯等、聚酰亚胺类树脂如聚酰亚胺或聚酰胺-酰亚胺、聚酰胺树脂如聚酰胺6、聚酰胺66、聚酰胺12、或聚酰胺11等、氟树脂如聚偏二氟乙烯、聚氟乙烯、聚四氟乙烯、乙烯-四氟乙烯共聚物、或聚氯三氟乙烯等、乙烯树脂如聚乙烯醇、聚乙烯基乙醚、聚乙烯醇缩丁醛、聚醋酸乙烯酯、或聚氯乙烯等、环氧树脂、二甲苯树脂、芳香族聚酰胺树脂、聚氨酯类树脂、聚脲类树脂、蜜胺树脂、酚醛类树脂、聚醚、丙烯酸类树脂、或这些树脂的共聚物等。

[0297] 再者,也可以通过将具有受主性或施主性的掺杂物掺杂到导电组成物中来改变共轭导电高分子的氧化还原电位,以调整导电组成物的导电度。

[0298] 作为受主性掺杂物,可以使用卤素化合物、路易斯酸、质子酸、有机氰化合物、有机金属化合物等。作为卤素化合物,可以举出氯、溴、碘、氯化碘、溴化碘、氟化碘等。作为路易斯酸,可以举出五氟化磷、五氟化砷、五氟化锑、三氟化硼、三氯化硼、三溴化硼等。作为质子酸,可以举出盐酸、硫酸、硝酸、磷酸、氟硼化氢酸、氟化氢酸、高氯酸等的无机酸、有机羧酸、有机磺酸等的有机酸。作为有机氰化合物,可以使用通过共轭多键两个以上的氰基共轭的化合物。例如,可以举出四氰基乙烯、四氰基苯、四氰基醌二甲烷、四氰基氮杂萘(tetracyanoazanaphthalene)等。

[0299] 作为施主性掺杂物,可以举出碱金属、碱土金属、或三级胺化合物等。

[0300] 另外,可以将导电组成物溶解在水或有机溶剂(醇类溶剂、酮类溶剂、酯类溶剂、烃类溶剂、或芳香类溶剂等)中通过湿法形成作为透光电极的薄膜。

[0301] 对溶解导电组成物的溶剂没有特别的限制,可以使用溶解上述导电高分子及有机树脂等的高分子树脂化合物的溶剂。例如,可以溶解在水、甲醇、乙醇、碳酸丙烯酯、N-甲基吡咯烷酮、N,N-二甲基甲酰胺、N,N-二甲基乙酰胺、环己酮、丙酮、甲基乙基酮、甲基异丁基甲酮、或甲苯等的单独或混合溶剂中。

[0302] 在如上所述那样将导电组成物溶解在溶剂中之后,通过使用涂布法(包括涂敷法)、液滴喷射法(也称为喷墨法)、印刷法等湿法,可以在绝缘层838上形成像素电极840。溶剂的蒸发既可通过热处理而进行,又可通过减压而进行。在采用热固化有机树脂的情况下,可以进行热处理,而在采用光固化有机树脂的情况下,可以进行光照射处理。

[0303] 隔壁层842可以通过使用CVD法、溅射法、涂敷法等在整个面上形成绝缘层之后选择性地蚀刻而形成。也可以通过液滴喷射法或印刷法等选择性地形成。另外,也可以在使用正型光敏树脂在整个面上形成绝缘层之后对该绝缘层进行曝光及显影,以得到所

希望的形状。

[0304] 作为包含有机化合物的层 844,至少形成发光层。除了该发光层以外,还可以适当地形成空穴注入层、空穴传输层、电子传输层或电子注入层。包含有机化合物的层 844 可以通过喷墨法等涂布法或蒸镀法而形成。

[0305] 通过进行上述步骤,可以获得发光元件 850,其中至少具有发光层的包含有机化合物的层 844 夹在像素电极 840 和相对电极 846 之间。

[0306] 其次,以与具有绝缘表面的衬底 120 相对置的方式设置相对衬底 860(参照图 13B)。在相对衬底 860 和相对电极 846 之间,既可以设置填充剂 858 又可以使用惰性气体来填充。另外,可以覆盖相对电极 846 地形成保护层。

[0307] 通过进行上述步骤,完成根据本实施方式的 EL 显示装置。

[0308] 当制造 SOI 衬底时,通过作为半导体层 130 的根基的半导体片使用单晶半导体衬底,半导体层 130 可以成为单晶半导体。其结果,可以由单晶半导体形成沟道形成区域,因此与利用多晶半导体作为沟道形成区域的显示装置相比,可以降低每个像素的晶体管的特性的不均匀。因此,可以抑制发光装置的显示不均匀性。

[0309] 此外,本发明可以缩短 SOI 衬底的制造时间,并提高产率。从而,本发明当制造 SOI 衬底时,通过再利用剥离片谋求实现低成本化。此外,使用簇离子来形成分离层,谋求缩短节拍时间。从而,通过使用根据本发明的 SOI 衬底,可以实现 EL 显示装置的低成本化。

[0310] 注意,构成根据本实施方式的显示装置的晶体管的结构没有特别的限制。例如,也可以应用上述实施方式所示的结构的电场效应晶体管。

[0311] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0312] 实施方式 11

[0313] 在本实施方式中,将说明应用根据本发明的 SOI 衬底而制造的半导体装置的例子。

[0314] 图 14 示出微处理器 200 作为半导体装置的一个例子。该微处理器 200 通过应用根据上述实施方式的 SOI 衬底而制造。该微处理器 200 包括计算电路 201(Arithmetic logic unit,也称为 ALU)、计算电路控制器 202(ALU Controller)、指令译码器 203(Instruction Decoder)、中断控制器 204(Interrupt Controller)、时序控制器 205(Timing Controller)、寄存器 206(Register)、寄存器控制器 207(Register Controller)、总线接口 208(Bus I/F)、只读存储器 209(ROM)、以及存储器接口 210(ROM I/F)。

[0315] 通过总线接口 208 输入到微处理器 200 的指令在输入到指令译码器 203 并被译码之后输入到计算电路控制器 202、中断控制器 204、寄存器控制器 207、以及时序控制器 205。计算电路控制器 202、中断控制器 204、寄存器控制器 207、以及时序控制器 205 根据被译码了的指令而进行各种控制。具体地说,计算电路控制器 202 产生用来控制计算电路 201 的动作的信号。此外,中断控制器 204 当在执行微处理器 200 的程序时对来自外部输入输出装置或外围电路的中断要求根据其优先级或屏蔽状态而进行判断来处理。寄存器控制器 207 产生寄存器 206 的地址,并根据微处理器 200 的状态进行寄存器 206 的读出或写入。时序控制器 205 产生控制计算电路 201、计算电路控制器 202、指令解码器 203、中断控制器 204 及寄存器控制器 207 的工作时序的信号。例如,时序控制器 205 包括根据基准时钟信号 CLK1

产生内部时钟信号 CLK2 的内部时钟产生部,并将时钟信号 CLK2 提供给上述各种电路。注意,图 14 所示的微处理器 200 只是将其结构简化了的一个例子,在实际上,可以根据其用途具有各种各样的结构。

[0316] 上述微处理器 200 可以应用根据本发明的 SOI 衬底而制造。根据本发明的 SOI 衬底在其制造中谋求提高产生率、进行低成本化,通过使用该 SOI 衬底可以实现微处理器等的半导体装置的低成本化。另外,当制造 SOI 衬底时通过使用单晶半导体衬底可以获得单晶半导体层,可以由该单晶半导体层形成集成电路。因此,可以实现高性能化及处理速度的高速化等。

[0317] 其次,参照图 15 说明能够非接触地进行数据收发且具有计算功能的半导体装置的一个例子。图 15 表示以无线通信与外部装置进行信号收发来工作的计算机(以下称为 RFCPU)的一个例子。RFCPU211 包括模拟电路部 212 和数字电路部 213。模拟电路部 212 包括具有谐振电容的谐振电路 214、整流电路 215、恒压电路 216、复位电路 217、振荡电路 218、解调电路 219、调制电路 220、以及电源管理电路 230。数字电路部 213 包括 RF 接口 221、控制寄存器 222、时钟控制器 223、CPU 接口 224、中央处理单元 225(CPU)、随机存取存储器 226(RAM)、以及只读存储器 227(ROM)。

[0318] 具有这种结构的 RFCPU211 的工作概要如下:天线 228 所接收的信号利用谐振电路 214 而产生感应电动势。感应电动势经过整流电路 215 而充电到电容部 229。该电容部 229 优选由电容器如陶瓷电容器或电双层电容器等形成。电容部 229 不必需与 RFCPU211 集成形成,而可以作为另一部件安装在构成 RFCPU211 的具有绝缘表面的衬底上。

[0319] 复位电路 217 产生将数字电路部 213 复位并初始化的信号。例如,产生在电源电压升高之后延迟升高的信号作为复位信号。振荡电路 218 根据由恒压电路 216 产生的控制信号改变时钟信号的频率和占空比。由低通滤波器构成的解调电路 219 例如将调幅(ASK)方式的接收信号的振幅的变动二值化。调制电路 220 使调幅(ASK)方式的发送信号的振幅变动来发送数据。调制电路 220 通过使谐振电路 214 的谐振点变化来改变通信信号的振幅。时钟控制器 223 根据电源电压或中央处理单元 225 的消耗电流,产生用来改变时钟信号的频率和占空比的控制信号。电源电压的监视由电源管理电路 230 进行。

[0320] 从天线 228 输入到 RFCPU211 的信号被解调电路 219 解调后,在 RF 接口 221 中被分解为控制指令、数据等。控制指令存储在控制寄存器 222 中。控制指令包括存储在只读存储器 227 中的数据的读出、向随机存取存储器 226 的数据写入、向中央处理单元 225 的计算指令等。中央处理单元 225 通过接口 224 对只读存储器 227、随机存取存储器 226 及控制寄存器 222 进行存取。接口 224 具有如下功能:根据中央处理单元 225 所要求的地址,产生对只读存储器 227、随机存取存储器 226 及控制寄存器 222 中的某一个的存取信号。

[0321] 作为中央处理单元 225 的计算方式,可以采用将 OS(操作系统)存储在只读存储器 227 中并在启动的同时读出并执行程序的方式。另外,也可以采用由专用电路构成计算电路并以硬件方式对计算处理进行处理的方式。作为并用硬件和软件这双方的方式,可以采用如下方式:由专用计算电路进行一部分的处理,使用程序由中央处理单元 225 进行其他部分的计算。

[0322] 上述 RFCPU211 可以通过应用根据本发明的 SOI 衬底而制造。根据本发明的 SOI 衬底在其制造中谋求提高产生率、进行低成本化,通过使用该 SOI 衬底可以实现 RFCPU 等的

半导体装置的低成本化。另外,当制造 SOI 衬底时通过使用单晶半导体衬底可以获得单晶半导体层,可以由该单晶半导体层形成集成电路。因此,可以实现高性能化及处理速度的高速化等。注意,虽然图 15 表示 RFCPU 的方式,但是只要具有通信功能、计算处理功能、存储功能即可,可以是 IC 标签那样的装置。

[0323] 此外,对于液晶显示装置、EL 显示装置等的显示装置,可以应用根据本发明的 SOI 衬底。根据本发明的 SOI 衬底在其制造中谋求提高生产率、进行低成本化。因此,通过使用根据本发明的 SOI 衬底,可以实现液晶显示装置、EL 显示装置的低成本化。

[0324] 此外,通过当制造 SOI 衬底时使用单晶半导体衬底,可以获得由单晶半导体形成的半导体层。因此,可以使用单晶半导体层形成晶体管。关于由单晶半导体层形成的晶体管,电流驱动能力等的所有工作特性都比非晶硅晶体管优良,可以减小晶体管的尺寸。由此,可以提高显示面板中的像素部的开口率。另外,由于在母玻璃和单晶半导体层之间设置具有高阻挡效果的绝缘层,所以可以提供可靠性高的显示装置。此外,由于可以形成图 14 及 15 所示的微处理器,所以可以在显示装置内提供计算机的功能。另外,还可以制造能够非接触地进行数据收发的显示器。

[0325] 此外,通过应用根据本发明的 SOI 衬底,可以构成各种各样的电子设备。作为电子设备,可以举出影像拍摄装置如摄像机或数字照相机等、导航系统、音频再现装置(汽车音响、音响组件等)、计算机、游戏机、便携式信息终端(移动计算机、移动电话、便携式游戏机或电子书等)、具有记录媒质的图像再现装置(具体地说,能够再现记录媒质例如数字通用盘(DVD)等并且具有能够显示其图像的显示器的装置)等。

[0326] 图 16A 示出移动电话机的一个例子。本实施方式所示的移动电话机 301 包括显示部 302、操作开关 303 等。在显示部 302 中,通过应用利用根据本发明的 SOI 衬底的显示装置,可以实现移动电话机的低成本化。此外,通过对构成显示装置的晶体管利用单晶半导体,可以构成具有高图像质量的显示部。再者,还可以将根据本发明的半导体装置应用于包括在移动电话机 301 中的微处理器或存储器。

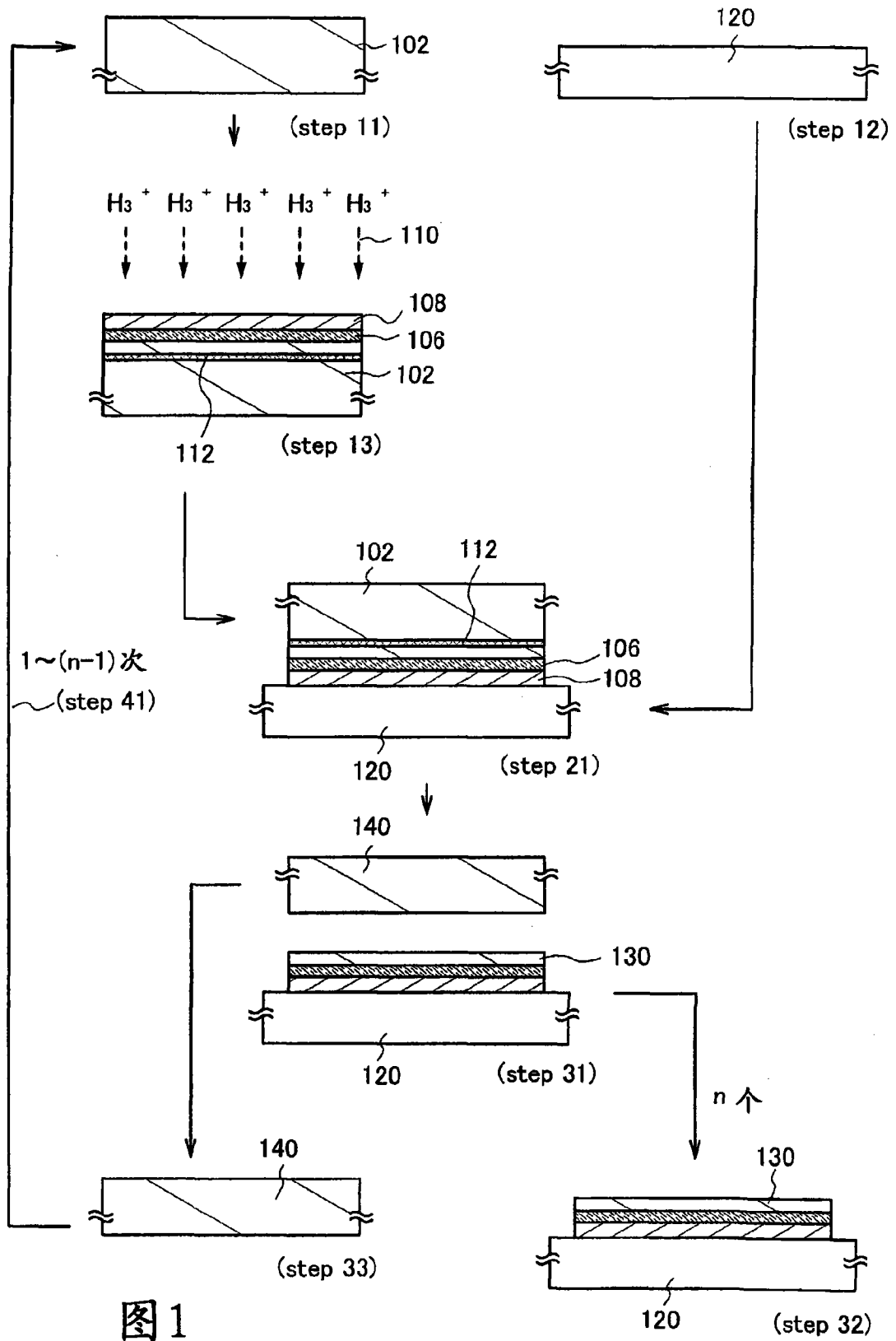
[0327] 图 16B 示出数字播放器 304 作为音响装置的一个典型实例。图 16B 所示的数字播放器 304 包括显示部 302、操作开关 303、以及耳机 305 等。还可以使用头戴式耳机或无线耳机代替耳机 305。在数字播放器 304 中,可以将根据本发明的半导体装置应用于存储音乐信息的存储部或使数字播放器 304 工作的微处理器。在显示部 302 中,可以应用利用根据本发明的 SOI 衬底的显示装置。从而,通过对构成显示装置的晶体管利用单晶半导体,可以构成具有高图像质量的显示部。即使屏幕尺寸为 0.3 英寸至 2 英寸左右也能够显示高清晰图像或文字信息。

[0328] 图 16C 示出电子书 306。该电子书 306 包括显示部 302 及操作开关 303。另外,既可以在其内部装有调制解调器,又可以具有以无线方式输出/输入信息的结构。在电子书 306 中,可以将根据本发明的半导体装置应用于存储信息的存储部或使电子书 306 工作的微处理器。在存储部中,使用存储容量为 20 千兆字节至 200 千兆字节(GB)的 NOR 型非易失性存储器,来可以存储并再现图像或音频(音乐)。在显示部 302 中,通过应用利用根据本发明的 SOI 衬底的显示装置,可以进行高图像质量的显示。

[0329] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0330] 本说明书根据 2007 年 10 月 10 日在日本专利局受理的日本专利申请编号

2007-264998 而制作,所述申请内容包括在本说明书中。



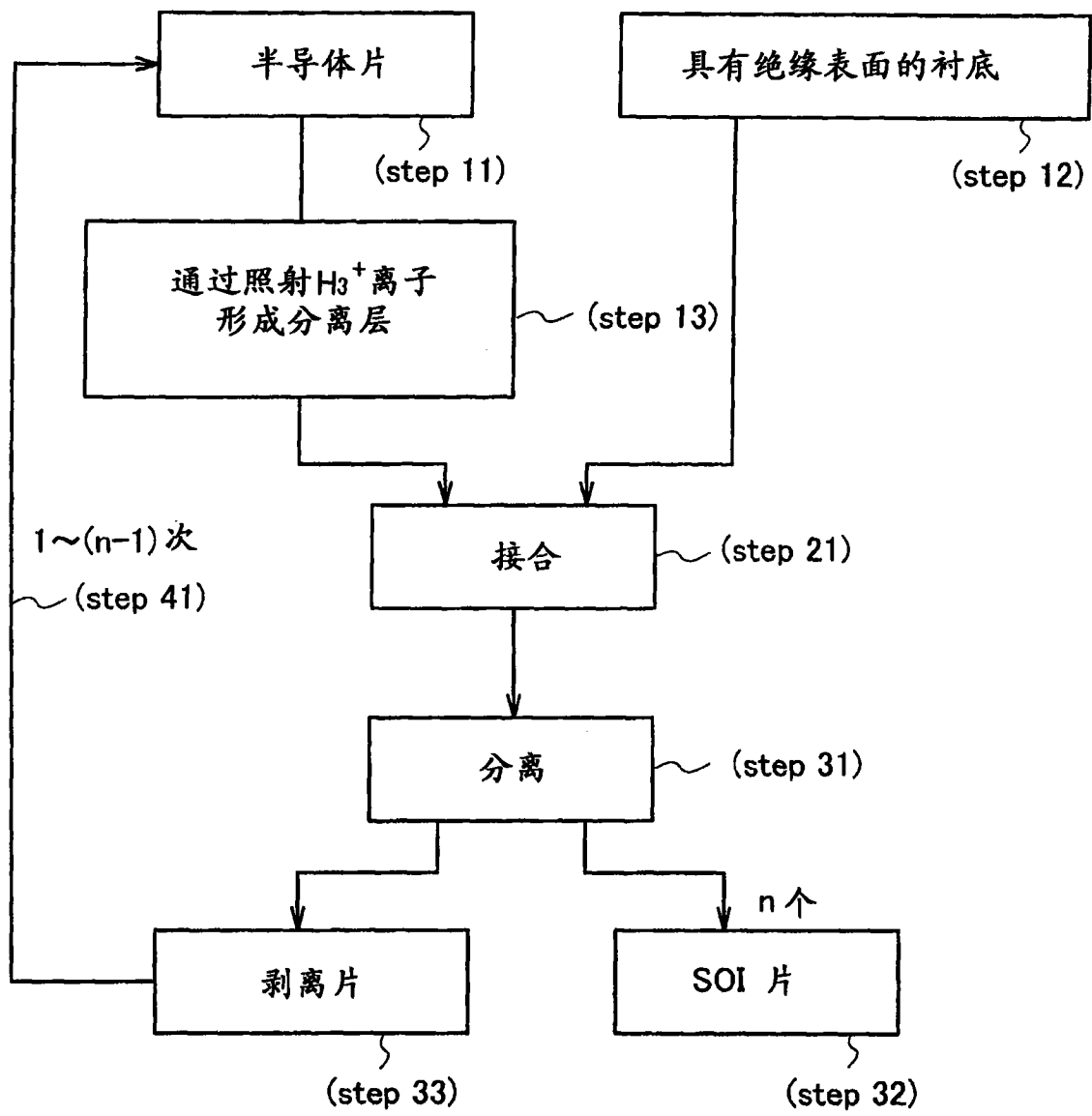


图 2

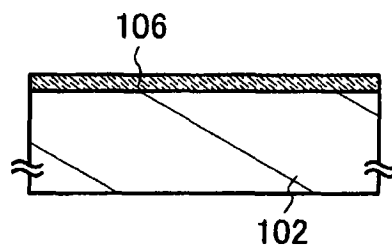


图 3A

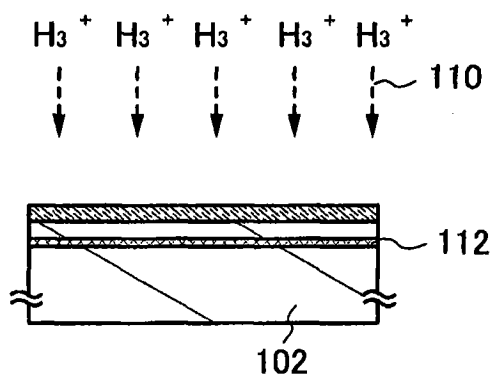


图 3B

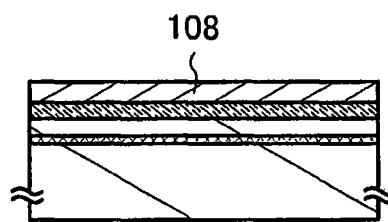


图 3C

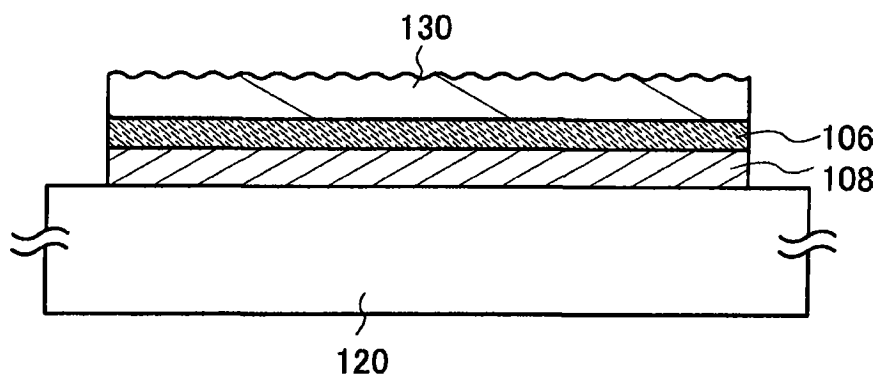


图 4A

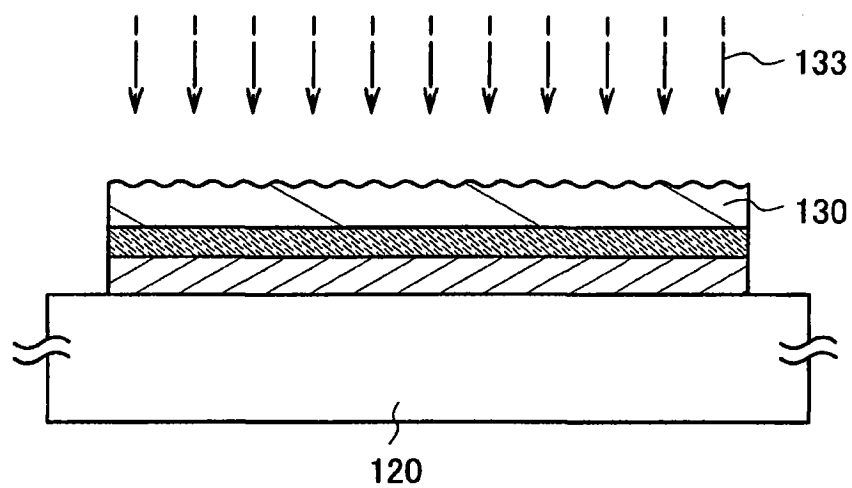


图 4B

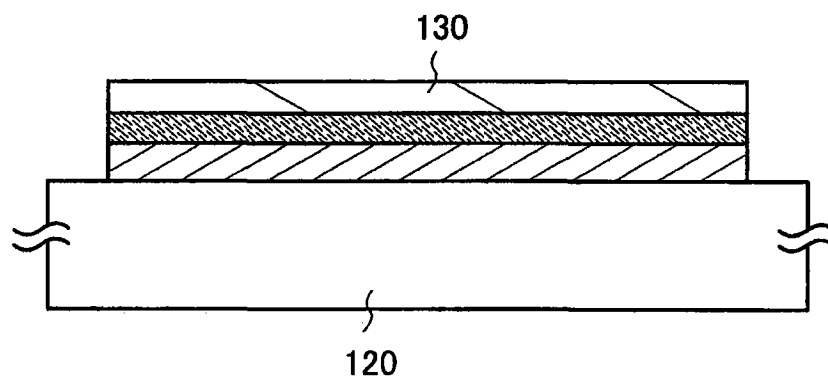


图 4C

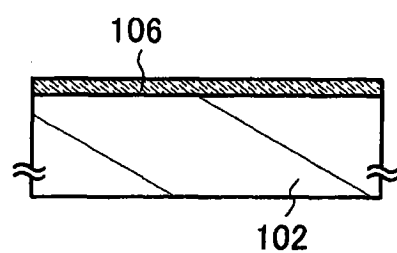


图 5A

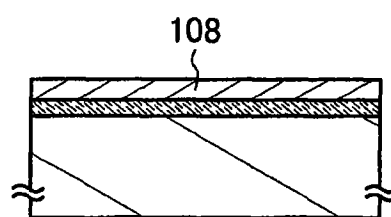


图 5B

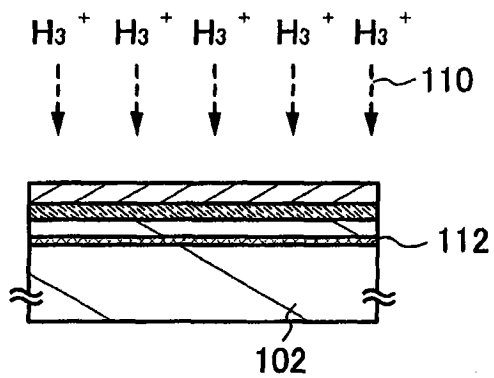


图 5C

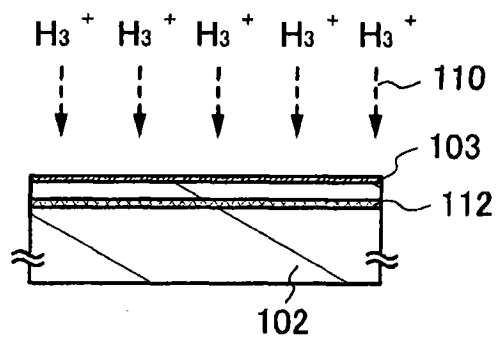


图 6A

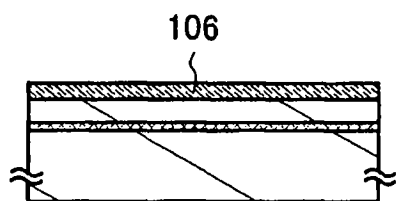


图 6B

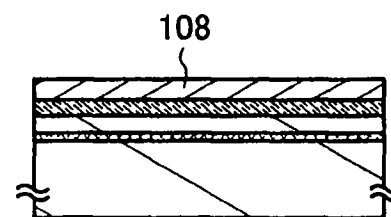


图 6C

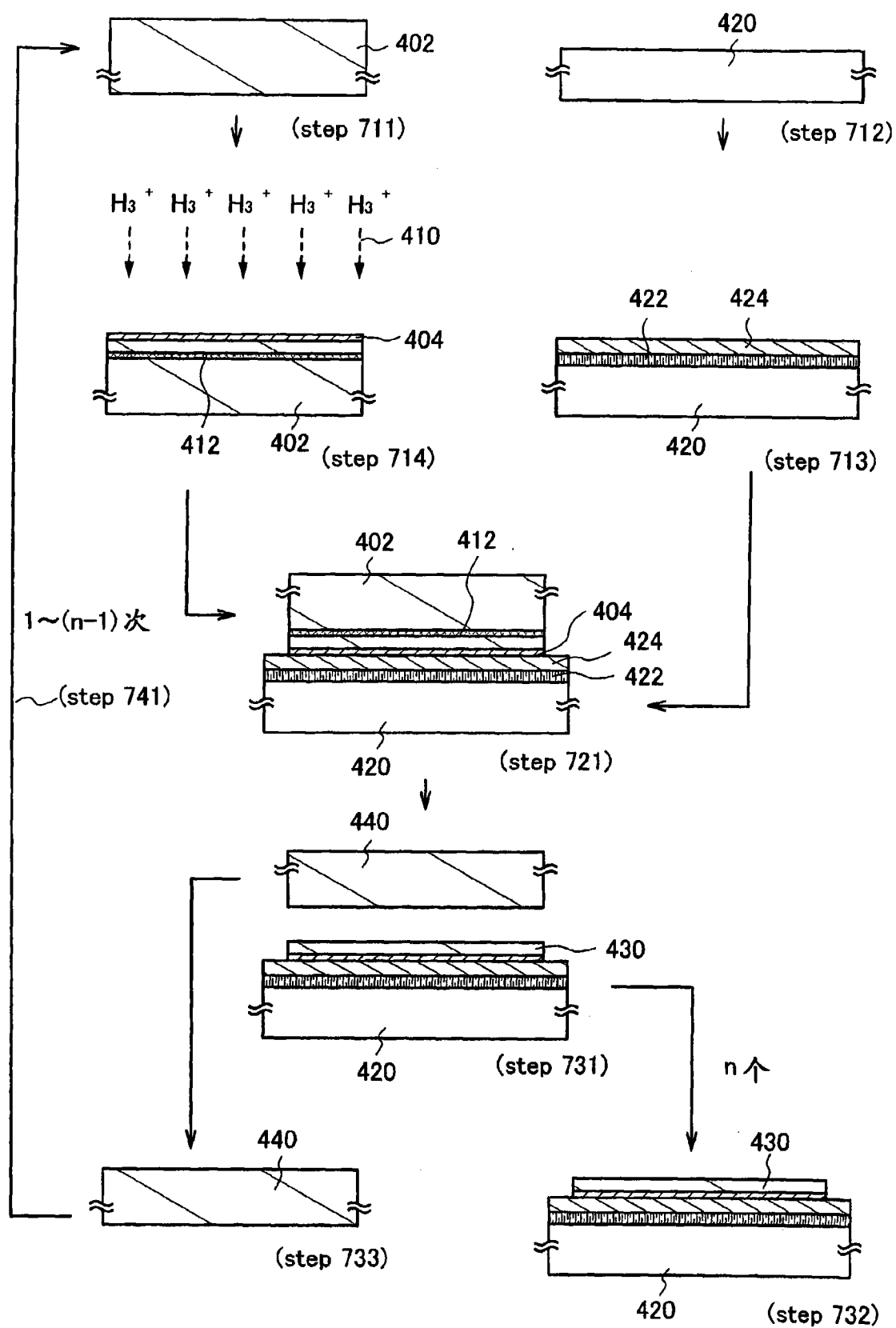


图 7

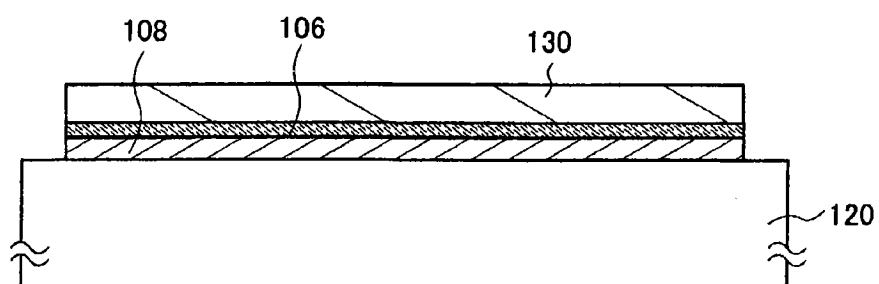


图 8A

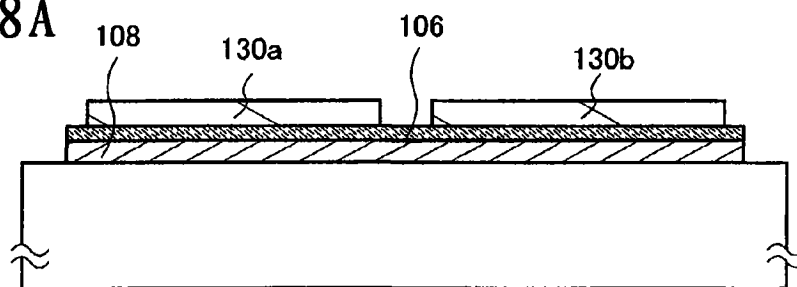


图 8B

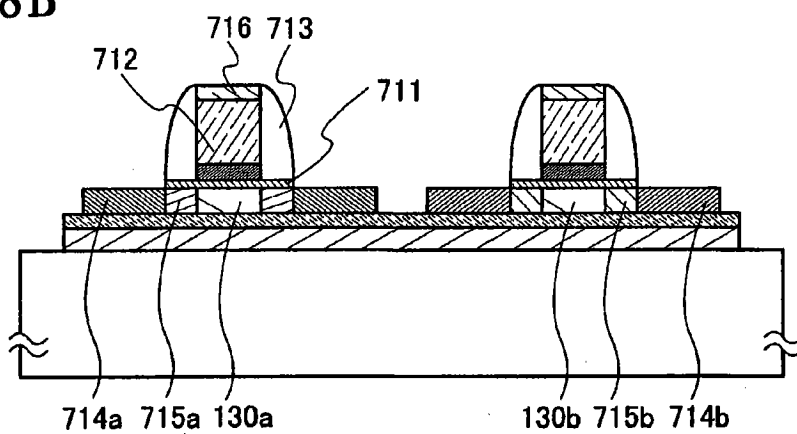


图 8C

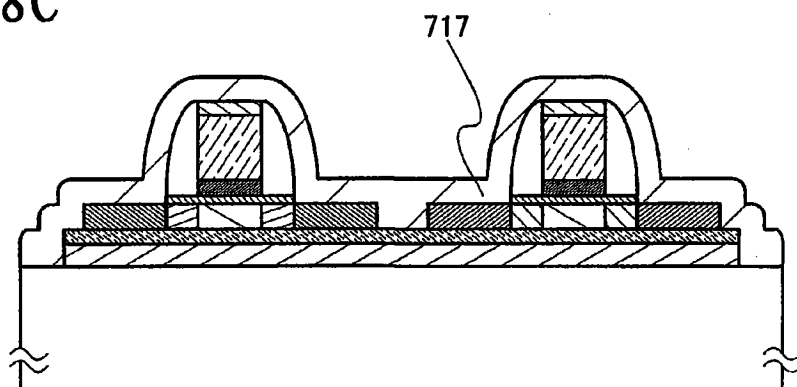


图 8D

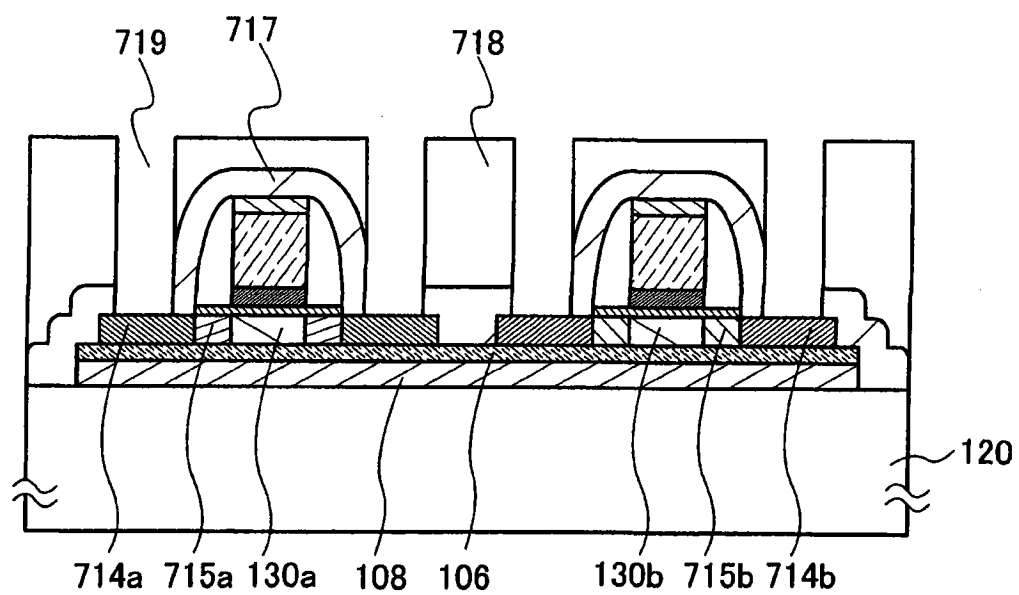


图 9A

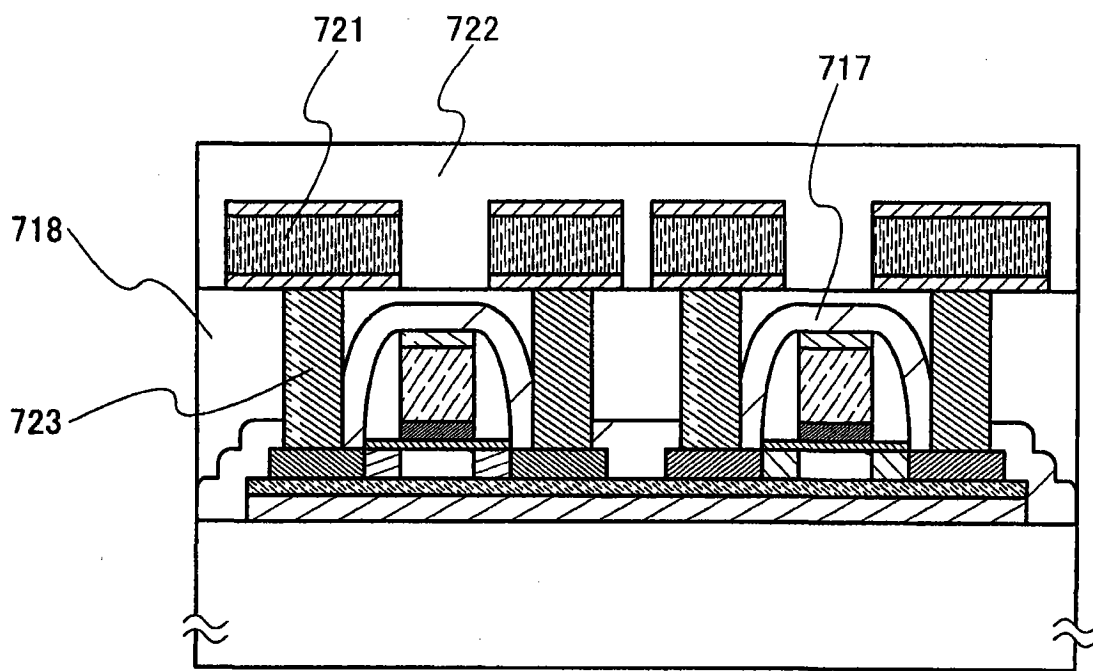
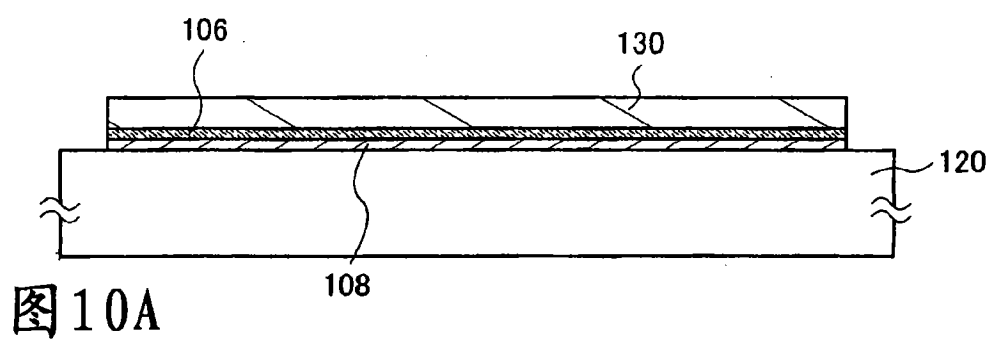


图 9B



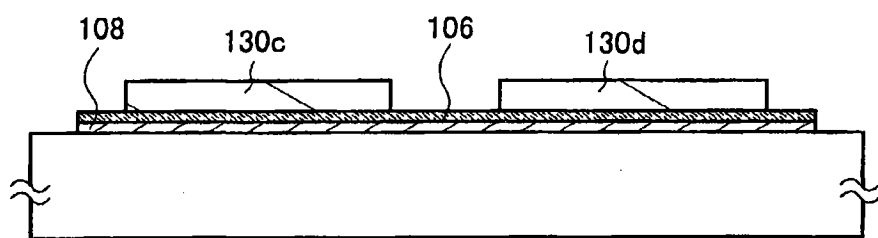


图 10B

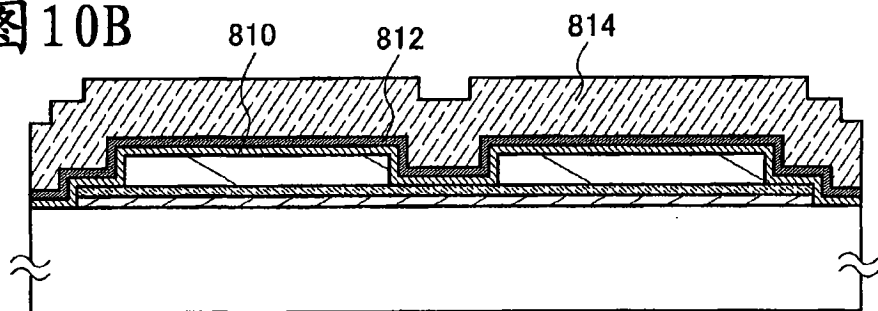


图 10C

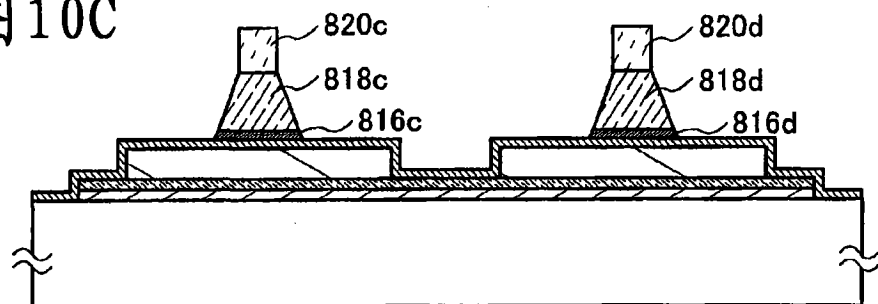


图 10D

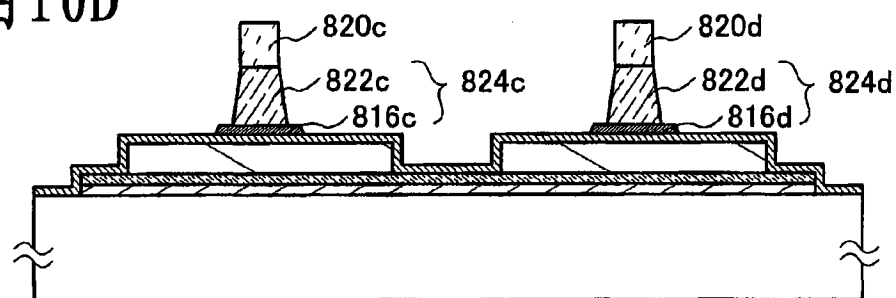


图 10E

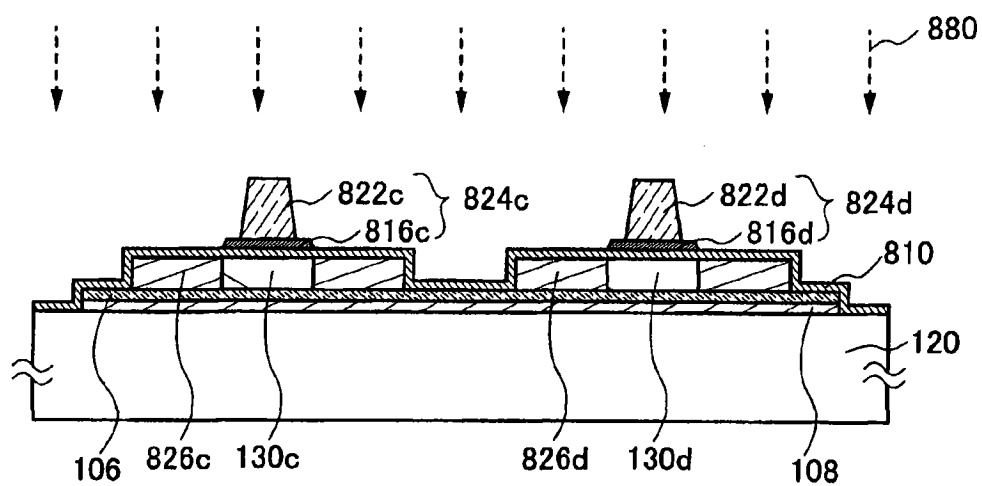


图 11A

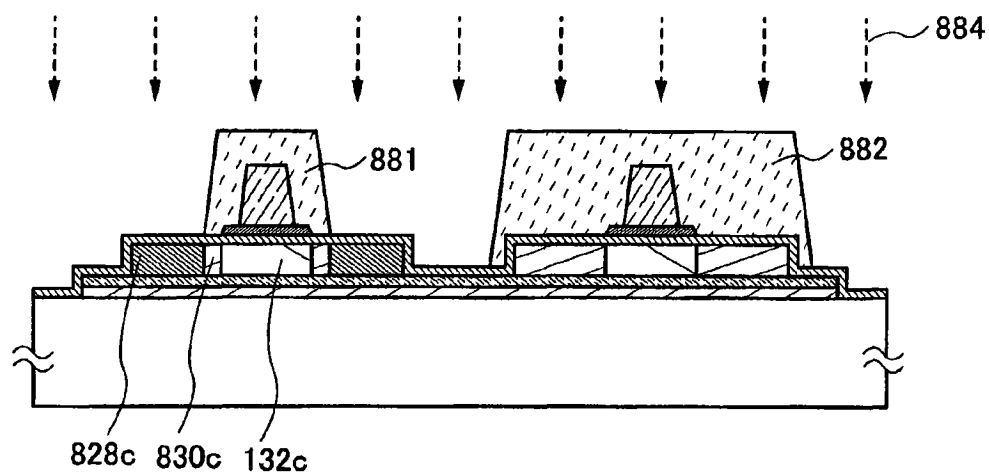


图 11B

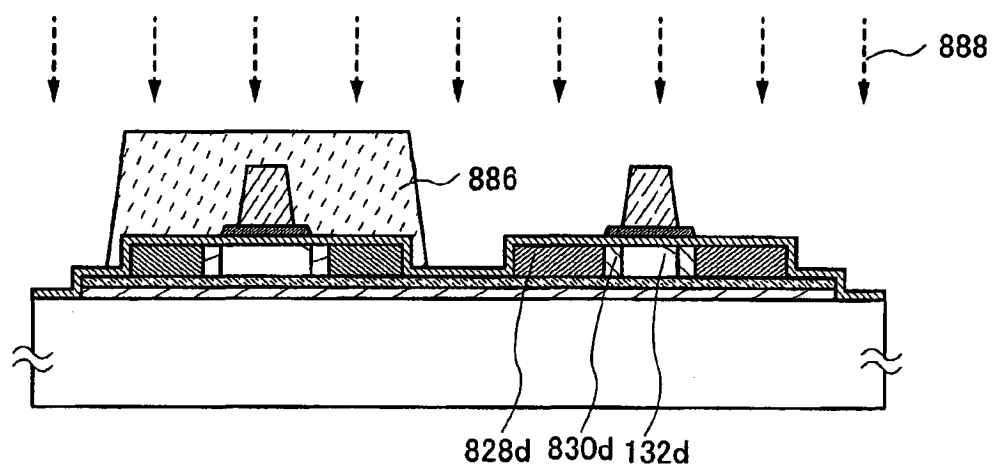


图 11C

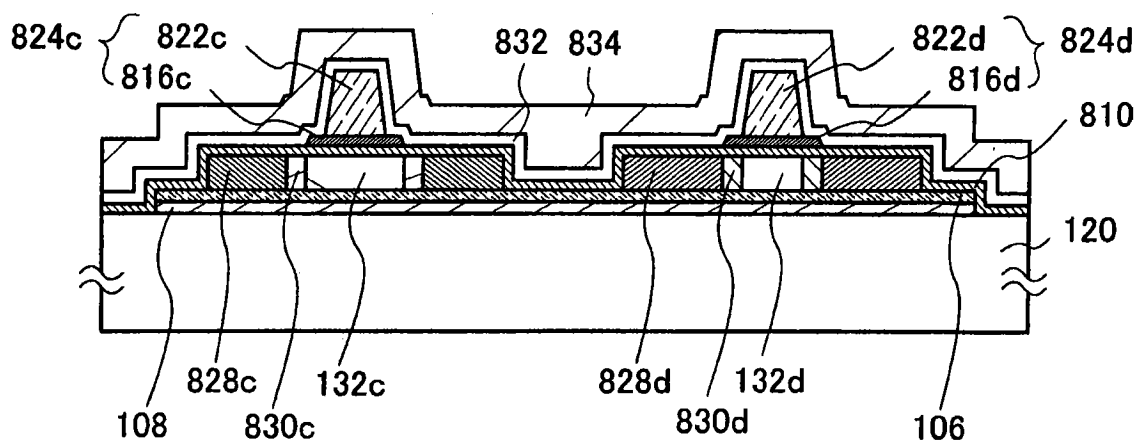


图 12A

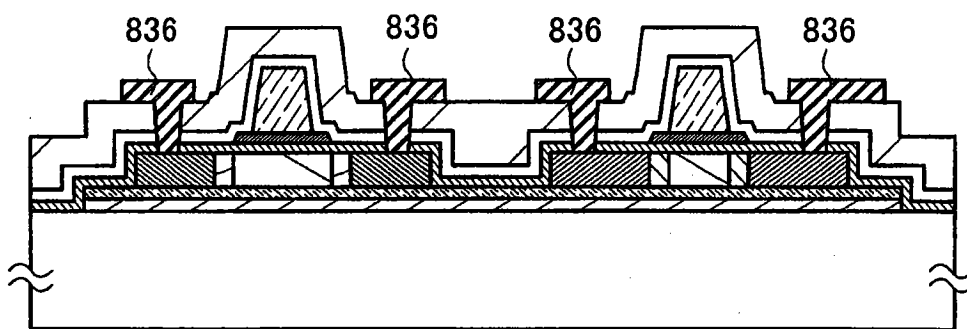


图 12B

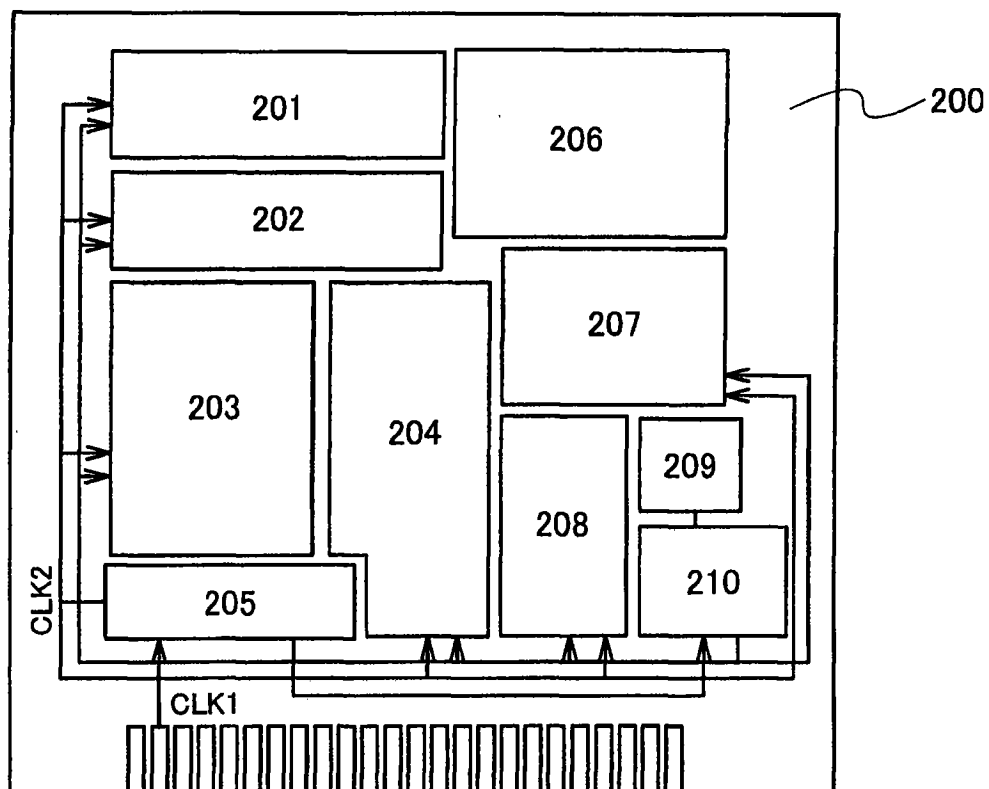


图 14

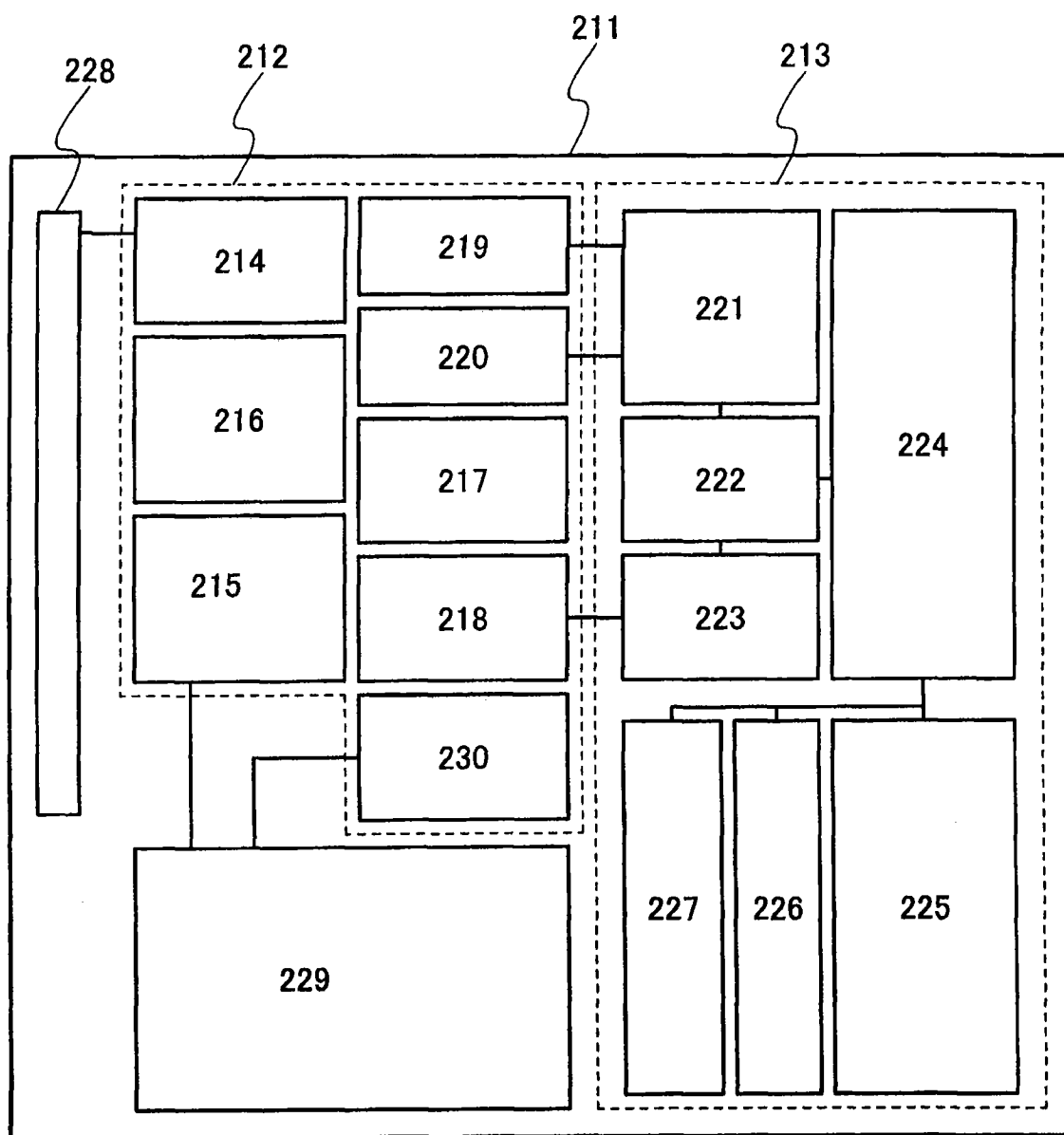


图 15

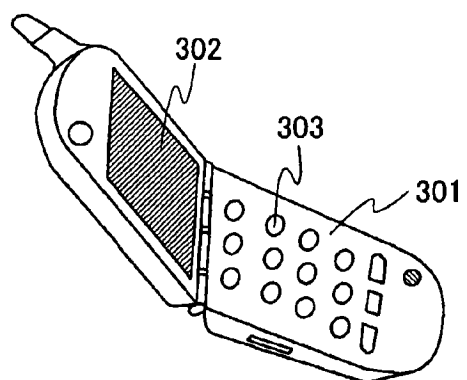


图 16A

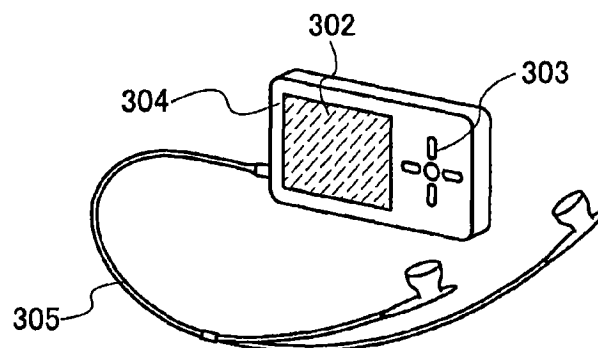


图 16B

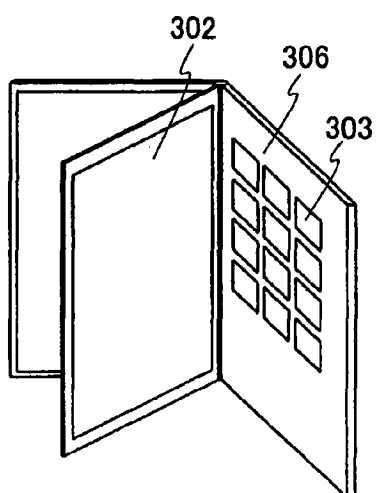


图 16C

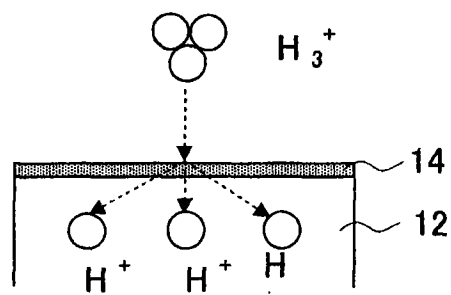


图 17A

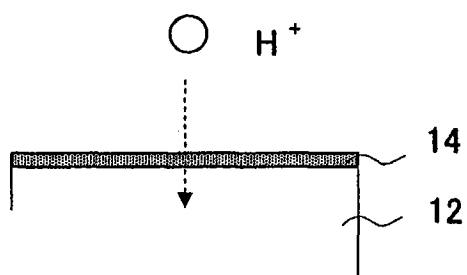


图 17B

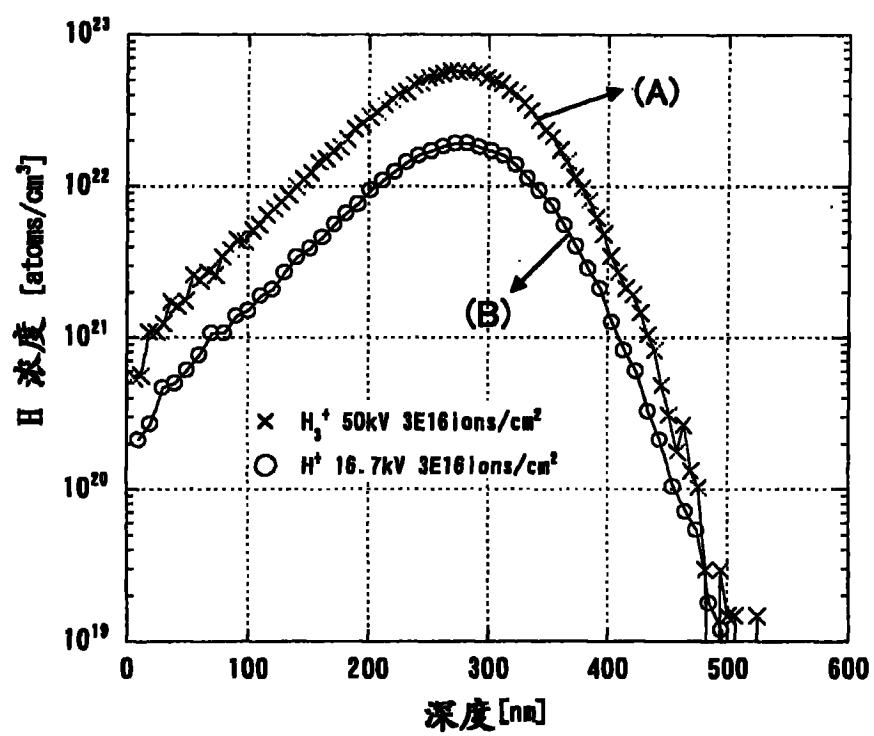


图 18

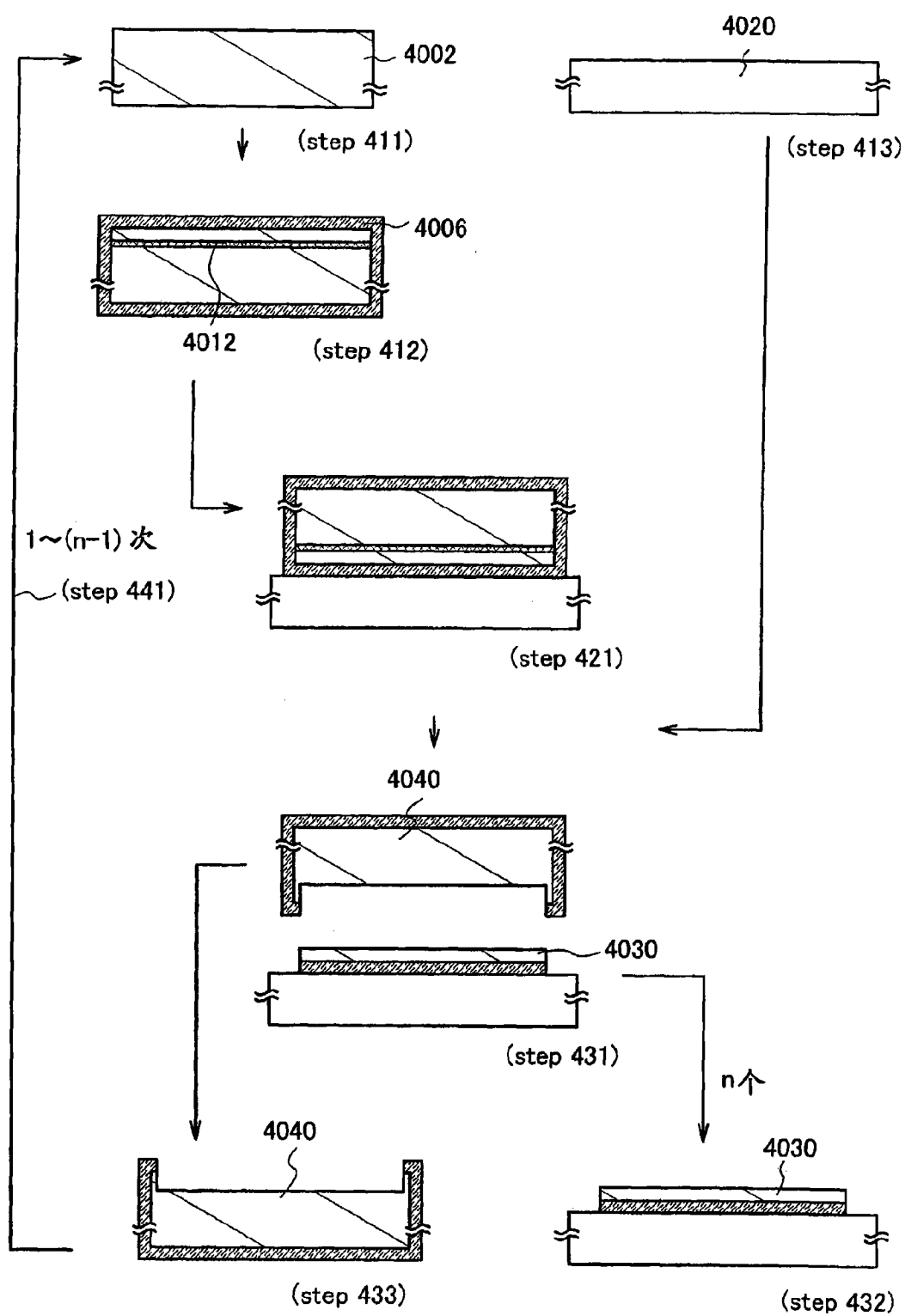


图 19

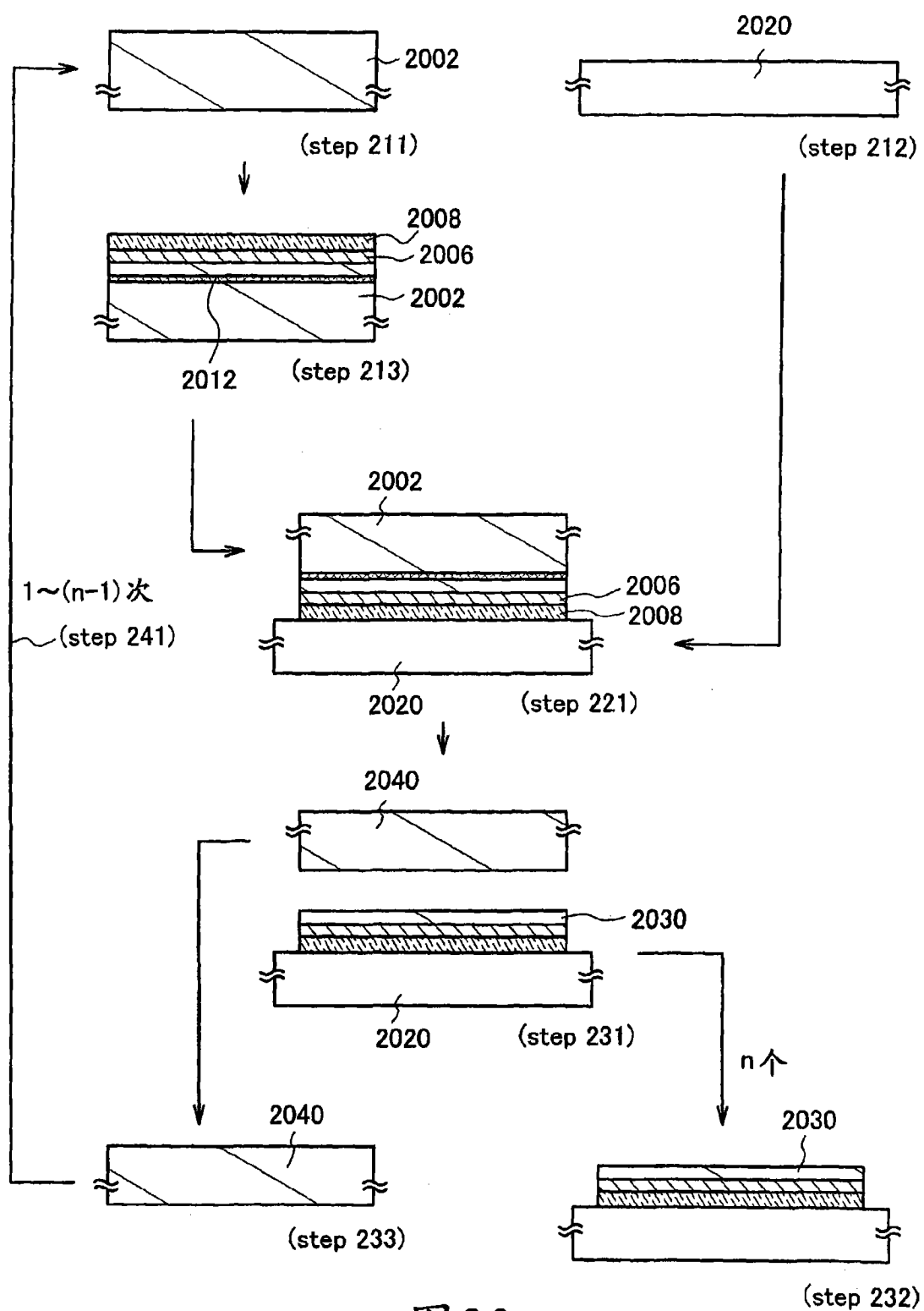


图 20

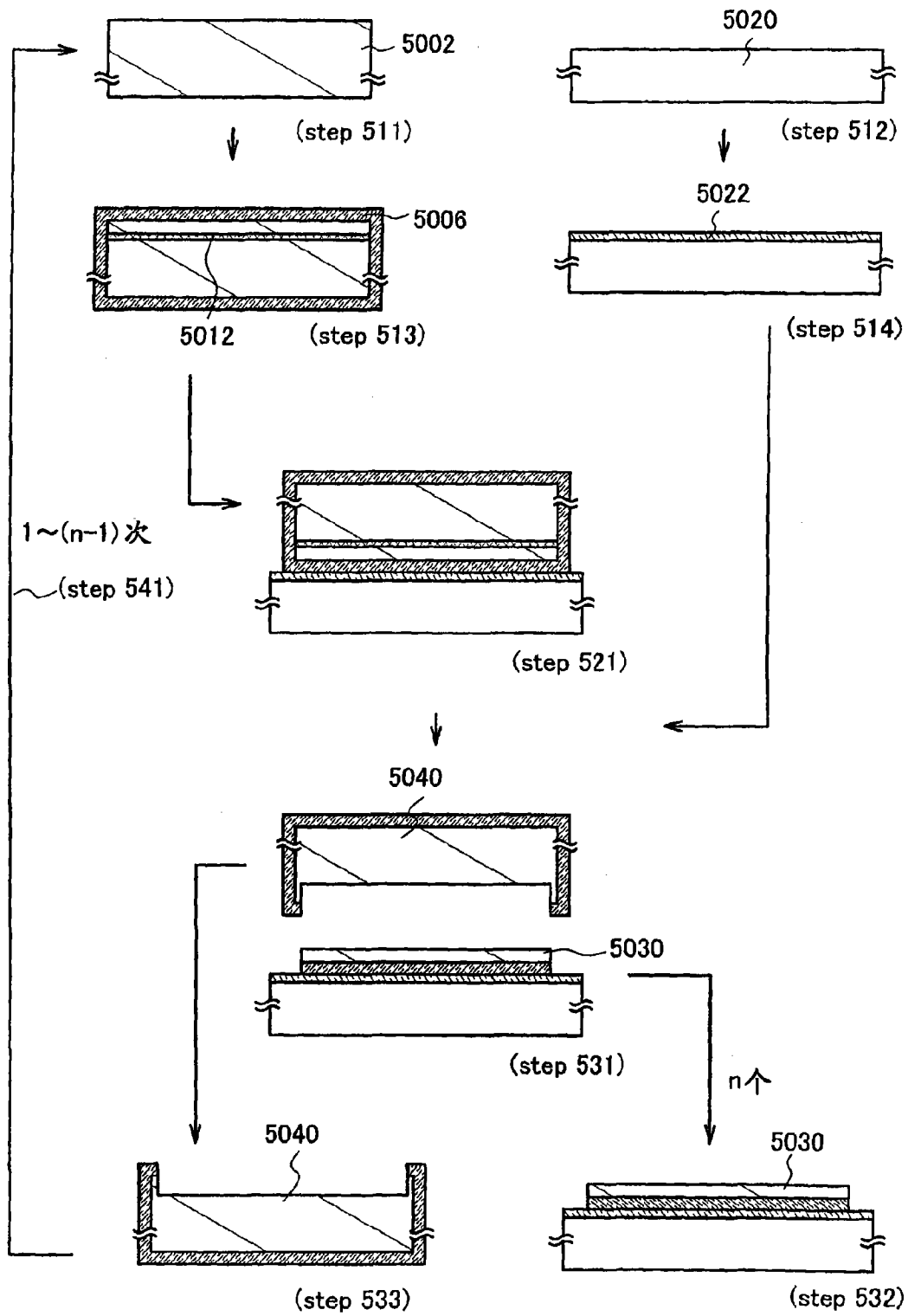


图 21

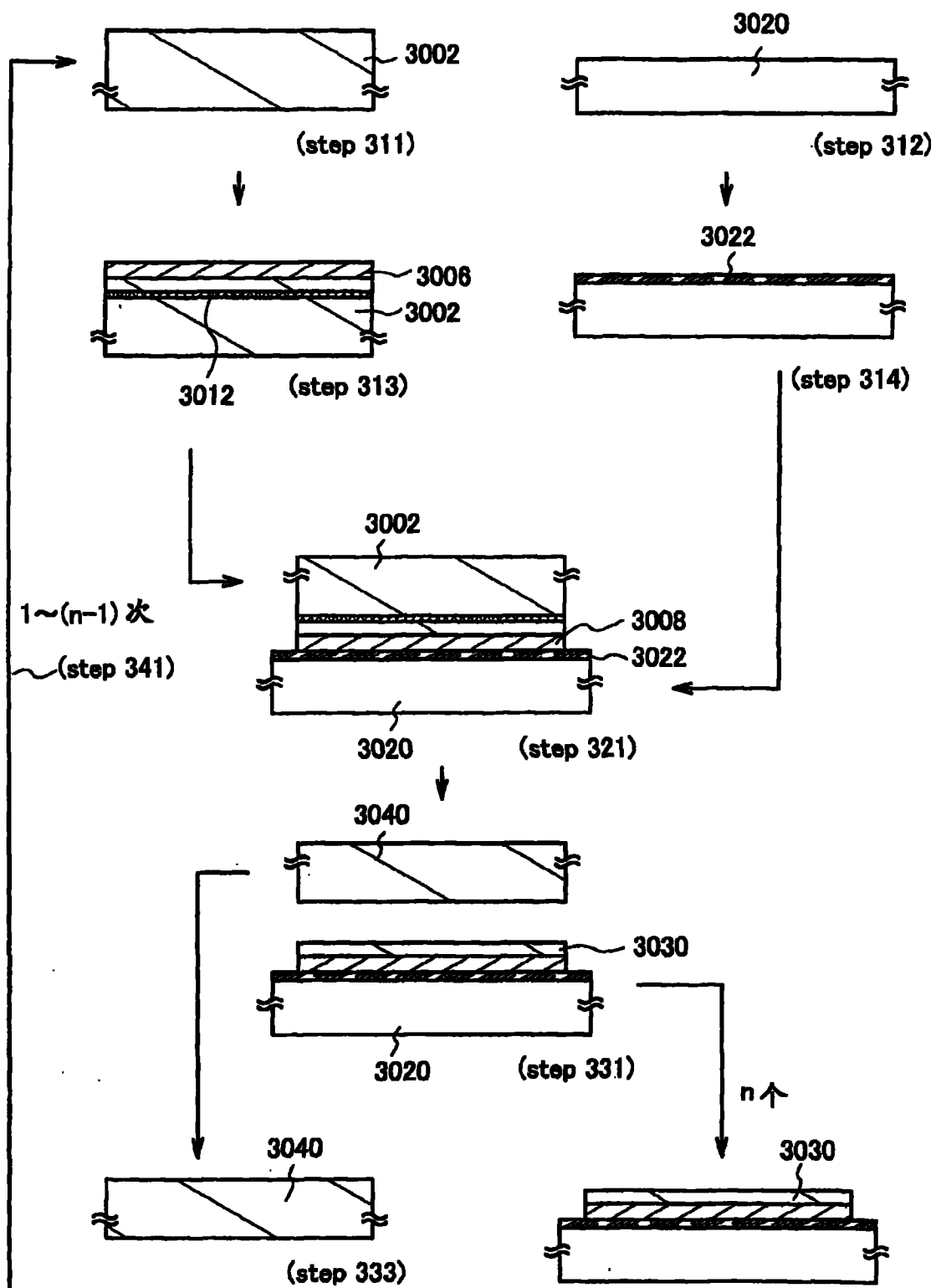


图 22