

(12) 发明专利

(10) 授权公告号 CN 1637960 B

(45) 授权公告日 2012.06.20

(21) 申请号 200410102485.1

(56) 对比文件

(22) 申请日 2004.12.23

US 2003/0218851 A1, 2003.11.27, 全文.

(30) 优先权数据

审查员 郭强

10/746,020 2003.12.23 US

(73) 专利权人 力特保险丝有限公司

地址 美国伊利诺伊州

(72) 发明人 埃得温·詹姆士·哈里斯

图沙尔·维亚斯

史蒂文·J·惠特尼

(74) 专利代理机构 北京金信立方知识产权代理

有限公司 11225

代理人 南霆

(51) Int. Cl.

H01C 7/10(2006.01)

H01C 7/12(2006.01)

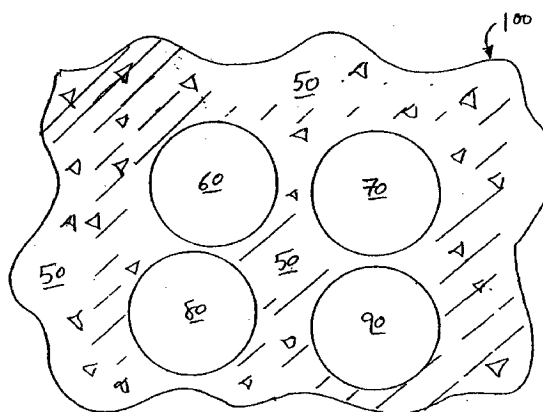
权利要求书 2 页 说明书 15 页 附图 10 页

(54) 发明名称

可直接应用的压变材料、其成分及使用该材料的器件

(57) 摘要

本发明提供压变材料 (VVM), 其包括配制来实质粘结到传导及非传导表面的绝缘粘合剂。粘合剂因而及 VVM 是自固化的并可应用成容易涂开的形式, 其在使用前干燥。粘合剂消除了需将 VVM 放置在单独装置中的需要及单独印刷电路板衬垫的需要, 其中衬垫电连接 VVM。粘合剂及 VVM 可被直接应用于许多不同类型的衬底, 如刚性 (FR-4) 迭层板、聚酰亚胺或聚合物。VVM 还可直接应用到不同类型的、放置在装置内的衬底。在一实施例中, VVM 包括具有核的掺杂的半导体粒子, 其可以是硅, 及惰性涂层, 其可以是氧化物。粒子与传导粒子一起混合在粘合剂中。



1. 一种用于提供保护以免受电压过载的合成物,包括:
绝缘粘合剂;
半导粒子,每个粒子包括掺杂内核及保持在内核上的外壳,半导粒子保持在粘合剂中;
及
保持在粘合剂中的传导粒子;
其中传导和半导粒子散布在绝缘粘合剂中,从而每个粒子之间的粒间间隔建立高阻态,其中该合成物响应于电过载瞬态事件建立低阻态。
2. 根据权利要求 1 所述的合成物,其中绝缘粘合剂包括聚合树脂。
3. 根据权利要求 1 所述的合成物,其中掺杂的内核包括硅及掺杂剂材料。
4. 根据权利要求 3 所述的合成物,其中掺杂剂材料包括选自下组的至少一成分:锑、砷、磷及硼。
5. 根据权利要求 1 所述的合成物,其中掺杂的内核具有 5 微米到 100 微米的平均大小。
6. 根据权利要求 1 所述的合成物,其中外壳具有 100 到 10000 埃的平均厚度。
7. 根据权利要求 1 所述的合成物,其中外壳包括选自下组的至少一材料:二氧化硅、外延硅及玻璃。
8. 根据权利要求 1 所述的合成物,其中传导粒子实质上由单一材料组成。
9. 根据权利要求 1 所述的合成物,其中传导粒子包括氧化涂层。
10. 根据权利要求 1 所述的合成物,其中传导粒子包括选自下组的至少一材料:铝、黄铜、碳黑、铜、石墨、金、铁、镍、银、不锈钢、锡、锌及其任何组合。
11. 根据权利要求 1 所述的合成物,其中传导粒子具有 5 微米到 50 微米的平均大小。
12. 根据权利要求 1 所述的合成物,其包括选自下组的至少一另外类型的粒子:绝缘粒子、半导粒子及钨粉。
13. 一种用于保护以免受电压过载的合成物,包括:
绝缘粘合剂,其包括聚合物或热塑性树脂,该绝缘粘合剂限定高电介质击穿强度;
包括内核和外壳的掺杂的半导粒子,半导粒子保持在粘合剂中;及
保持在粘合剂中的传导粒子,传导粒子实质上由单一材料组成,及
其中传导和半导粒子散布在绝缘粘合剂中,从而粒间间距提供高电阻,而且其中当电过载瞬态事件时该合成物从高阻态转换到低阻态,其中粘合剂、半导粒子及传导粒子被配置和安排以被层压在电极间隙内。
14. 根据权利要求 13 所述的合成物,其中传导粒子包括选自下组的至少一材料:铝、黄铜、碳黑、铜、石墨、金、铁、镍、银、不锈钢、锡、锌及其任何组合。
15. 根据权利要求 13 所述的合成物,其被配置和安排以直接应用,而不需封装在器件中。
16. 根据权利要求 13 所述的合成物,其被配置和安排以提供在器件中。
17. 根据权利要求 13 所述的合成物,其包括选自下组的至少一另外类型的粒子:绝缘粒子、半导粒子及钨粉。
18. 一种用在电压过载合成物中的粒子,包括:
掺杂的半导内核,其包括
内核材料;

掺杂剂 ; 及
其中内核材料选自包括碳化硅、锗、砷化镓的组, 掺杂剂选自包括锑、砷、磷及硼的组 ;
及
包围内核材料的外壳, 其中该外壳包括选自下组的至少一材料 : 二氧化硅、外延硅及玻璃。

19. 根据权利要求 18 所述的粒子, 其中掺杂的内核包括硅及掺杂剂材料。

20. 根据权利要求 19 所述的粒子, 其中掺杂剂材料包括选自下组的至少一成分 : 锑、砷、磷及硼。

21. 根据权利要求 20 所述的粒子, 其中掺杂的内核具有 5 微米到 100 微米的平均大小。

22. 根据权利要求 20 所述的粒子, 其中外壳具有 100 到 10000 埃的平均厚度。

23. 根据权利要求 20 所述的粒子, 其中该外壳为惰性的从而不与该电压过载合成物的其它成分发生反应。

24. 一种用在电压过载合成物中的粒子, 包括 :

内面的硅部分, 其包括 :

内核材料 ;

掺杂剂, 所选掺杂剂用于改变内核材料的导电性 ; 及

外面部分, 其包括选自下组的至少一材料 : 二氧化硅、外延硅及玻璃, 外面部分限定在内面的硅部分的周围的外壳。

25. 根据权利要求 24 所述的粒子, 其中外面部分经加热控制的环境而生长。

26. 根据权利要求 24 所述的粒子, 其中外面部分通过使用流化等离子反应器而得以施加。

可直接应用的压变材料、其成分及使用该材料的器件

[0001] 优先权要求

[0002] 本申请要求 2003 年 4 月 8 日申请的、题为“直接应用的压变材料及使用该材料的器件”的美国专利申请 10/410,393 的利益,其全部内容被组合于此以供参考并被依赖。

[0003] 相关申请交叉引用

[0004] 本申请关于下面的普通拥有的未决专利申请:“用于静电放电保护的聚合复合材料”,序列号为 09/232,387,律师档案号为 0112690-020;“压变衬底材料”,序列号为 09/976,964,律师档案号为 0112690-098。

[0005] 发明背景

[0006] 本发明总体上涉及电路保护,特别是涉及压变材料。

[0007] 电过载(“EOS”)瞬态产生高电场并通常产生高峰值功率,其使得电路或电路中的高度敏感的电学元件暂时或永久失去功能。EOS 瞬态可包括能够中断电路工作或立刻摧毁电路的瞬态电压。EOS 瞬态可起因于电磁脉冲、静电放电、闪电、静电荷的积聚,或由其它电子或电元件的工作引起。EOS 瞬态可在次毫微秒到微秒的时间内达到其最大振幅并具有重复的振幅波峰。

[0008] 用于保护免遭 EOS 瞬态的材料存在,其被设计来非常快速地响应(理想地,在瞬态波到达其峰值前)以将所传输的电压在 EOS 瞬态期间降低到非常低的值。EOS 材料的特征在于其在低或正常工作电压下具有高电阻抗。响应于 EOS 瞬态,材料非常快速地切换到低电阻抗状态。当 EOS 消散时,这些材料回到其高阻抗状态。EOS 材料在 EOS 瞬态消散的基础上还可非常快速地恢复到其最初的高阻抗值。

[0009] EOS 材料能够在高和低阻抗状态之间反复切换。EOS 材料可经受数千次 ESD 事件并在提供保护给每一单个 ESD 事件后恢复到想要的不工作状态。

[0010] 使用 EOS 材料的电路可分流一部分由于 EOS 瞬态产生的过多的电压或电流到地,从而保护电路及其元件。威胁瞬态的另一部分反射回威胁源。反射的波或由威胁源衰减,辐射掉,或重新指引到过电压保护装置,其以同样的方式响应于每一返回脉冲,直到威胁能量被减弱到安全水平。使用 EOS 瞬态装置的典型电路如图 1 所示。

[0011] 参考图 1,其示出了典型的电路 10。电路 10 中的电路负载 12 在正常的工作电压下工作。实质上大于 2 到 3 倍正常工作电压的具有足够持续时间的 EOS 瞬态可损坏负载 12 及其所包含的元件。通常,EOS 威胁可超出正常工作电压的 10 倍、百倍甚至数千倍。

[0012] 在电路 10 中,EOS 瞬态电压 14 被示出,其沿线 16 进入电路 10。在出现 EOS 瞬态电压 14 的情况下,EOS 保护装置 18 从高阻抗状态切换到低阻抗状态,因而将 EOS 瞬态电压 14 箝位在安全的低值。EOS 保护装置 18 将一部分瞬态威胁从电线 16 分流到系统的接地 20。如上所述,EOS 保护装置 18 将大部分威胁反射回威胁源。

[0013] EOS 保护装置通常使用压变材料(“VVM”)。许多 VVM 已具有一致性和组成,即它们已要求某些类型的外壳或封装。也就是说,VVM 材料在此以前已被提供在装置中,如表面安装装置,其安装到印刷电路板(“PCB”)。VVM 装置通常已被分离于要求保护的电路的装置安装。这存在几个问题。

[0014] 首先,VVM 装置增加大量要求安装到 PCB 的元件。VVM 装置消耗了有价值的电路板空间并增加潜在的缺陷。VVM 装置通常要求另外的衬垫来固紧到 PCB,且还要求另外的电路迹线,其从 PCB 装置或从接地层布线到 VVM 衬垫。但为了成本、空间 / 灵活性和可靠性的目的,总是希望减少一些安装到 PCB 的元件。

[0015] 其次,增加元件到现有的 PCB 可能要求电路板重新设计或其它类型的结合到当前未决的设计中。如果应用已经在生产,则可能已花费相当多的时间优化电路板空间,其可能也可能没有留下空间来用于集成 VVM 装置。

[0016] 第三,许多 EOS 瞬态出现在 PCB 的外部并通过线缆或电线传输到 PCB。例如,网络化的计算机和电话系统遭受由周围的操作活动引起的各种瞬态。在这些情况下,希望在电压瞬态到达 PCB 之前将它们消除。

发明内容

[0017] 本发明提供过电压电路保护。具体地,本发明提供压变材料 (VVM, 100), 其包括配制来实质粘结到传导及非传导表面的绝缘粘合剂 (50)。粘合剂及因而 VVM 是自固化的并可以墨水形式应用到应用中,其最终为干燥形式用于使用。粘合剂消除了需将 VVM 放置在单独装置中的需要及单独印刷电路板衬垫的需要,其中衬垫电连接 VVM。粘合剂及 VVM 可被直接应用于许多不同类型的衬底,如刚性 (FR-4) 迭层板、聚酰亚胺、聚合物、玻璃及陶瓷。VVM 还可直接应用到不同类型的衬底,这些衬底被放置在一电学设备 (如连接器) 内。

[0018] VVM 的粘合剂包括聚合物,如聚酯,其被溶解在溶剂中。用于溶解聚合物的一种适当的溶剂为二甘醇--乙醚乙酸酯 (diethyleneglycol monoethyl ether acetate), 通常被称为“carbitolacetate”。在一实施例中,增厚剂如煅制的二氧化硅被添加到绝缘粘合剂中,其增加了绝缘粘合剂的粘性。大量不同类型的粒子接着被混合在粘合剂中以产生所想要的箝位电压和响应时间。不同类型的粒子包括:传导粒子、绝缘粒子、半导粒子、掺杂的半导粒子 (包括核和壳掺杂的半导粒子) 及其任何组合。

[0019] 在一实施例中,传导粒子包括内核和外壳。核和壳具有不同的传导性和电阻率。或壳较核传导性大,或核较壳传导性大。核和壳中的每一个均可分别由上面列出的不同类型的粒子中的任一组成。在一优选实施例中,传导粒子包括铝核和氧化铝壳。在另一实施例中,传导粒子不包括壳或涂层。在此,传导粒子可实质上由一种材料组成。

[0020] 在一优选实施例中,VVM 包括传导粒子和掺杂的半导粒子。传导粒子实质上可以是纯镍粒子,而掺杂的半导粒子包括掺杂的硅。

[0021] 具有本发明粘合剂的 VVM 可被应用到衬底以形成各种电路或应用。在第一应用中,多个电极或导体经任何已知的技术固紧到印刷电路板。电极在每一个均通过间隙而分开布置在印刷电路板上。VVM 被施加并实质地粘结到电极及间隙中的衬底。在第二应用中,电极也被固紧到衬底,但 VVM 仅实质地粘结到电极。即,VVM 不粘结到衬底但跨间隙布置。

[0022] 在第三应用中,VVM 实质地粘结到衬底,其中电极被放置在 VVM 上并实质地粘结到 VVM。也就是说,VVM 将电极固紧到衬底。在第四应用中,多个电极中的至少一个被固紧到衬底,其中 VVM 实质地粘结到固紧的电极。至少一其它电极位于 VVM 的上面。电极之间的间隙由 VVM 的厚度形成。在此,VVM 可能也可不另外实质地固紧到衬底。位于 VVM 上面的电极也可具有固紧到衬底的部分。

[0023] 当 VVM 被应用到电路时,如印刷电路板,自固化成最后形式的 VVM 不要求单独的防护层。通过制造、运输和使用,VVM 可被留下成对周围环境是开放的。衬底可以是任何类型的衬底,如与印刷电路板一起使用的刚性的迭层板(如 FR-4)、与软性印刷电路(如 Kapton[®])一起使用的材料如聚酰亚胺、聚合物、陶瓷或玻璃、及它们的任何组合。

[0024] 在另一实施例中,衬底可被涂覆或保护。例如,上述的任何应用均可被覆盖一涂层。涂层可以是多种不同材料的任一种,包括:干膜可感光覆盖膜、喷射液体可感光覆盖膜、或“涂敷”型涂层。或者,上述的任何应用均可被嵌入在多层的印刷电路板(“PCB”)中。在另一实施例中,至少一另外的电极或导体固紧到上衬底的下侧,其中 VVM 存在于上和下衬底之间并实质地粘结到至少上和下电极并可能粘结到上和下衬底中的一个或多个。

[0025] 电路可以也可不提供在装置中。例如,在一实施例中,装置为电信装置,如 RJ-45 或 RJ-11 连接器。在另一实施例中,装置为输入/输出连接器,如 Deutsches Institut für Normung eV(“DIN”)连接器或带缆连接器。在每一这些装置中,VVM 保护一个或多个信号线路免于瞬态电压峰值,其通过将信号导体连接到接地导体或护罩而实现。

[0026] 在一实施例中,RJ 型的连接器包括多个信号导体。连接器还包括接地传导的护罩。护罩被切开或压印以产生至少一向下偏向导体的接头。在一实施例中,护罩确定每一导体的分开的接头。导体包括将接头压在导体上的外壳。VVM 被应用在护罩接头和导体之间以向 RJ 连接器提供过电压保护。在一实施例中,VVM 为上述实质地固紧的 VVM,然而,现有的提供在装置中的 VVM 也可被使用。在另一实施例中,电容器被放置在 VVM 和导体及护罩接头之一之间以阻止高 DC 电压,如那些在高电位 [HI-POT] 测试期间强加的电压。

[0027] 因此,本发明的优点在于提供实质地粘结的 VVM。

[0028] 本发明的另一优点是提供不需要被放置在单独的装置中的 VVM。

[0029] 本发明的另一优点是提供自固化的 VVM。

[0030] 本发明的另一优点是提供这样的 VVM,其直接粘结到印刷电路板,不需要在安装 VVM 的衬底上提供单独的电衬垫。

[0031] 本发明的另一优点是提供直接粘结到聚合物或塑料的 VVM。

[0032] 本发明的另一优点是将 VVM 直接应用到衬底,其中衬底被提供在电学设备中,如一种设备或连接器。

[0033] 本发明的另一优点是提供具有过电压保护的 RJ 型的连接器。

[0034] 此外,本发明的优点在于提供具有过电压保护的输入/输出连接器。

[0035] 另外,本发明的另一优点是提供将 VVM(或者及另外的一电容器)电连接到 RJ 型连接器中的多个不同信号线的装置。

[0036] 此外,本发明的优点在于,通过消除对外壳的需要,而提供一种低成本、直接生产的电路保护材料,其由于寄生阻抗的减少而可得到改善的电学性能。

[0037] 本发明的其它特征和优点从下面的对优选实施例和附图的详细描述将是很明显的。

附图说明

[0038] 图 1 为电过载瞬态的典型波形的示意图。

[0039] 图 2 为用于本发明的压变材料(“VVM”)的某些可能组成的示意图。

[0040] 图 3A 为与本发明的 VVM 一起使用的核及壳掺杂的半导粒子的截面示意图。

[0041] 图 3B 为本发明的 VVM 的核和壳型传导粒子的截面示意图。

[0042] 图 4 为刚性印刷电路板 (“PCB”) 衬底的立体图, 其示出了用于本发明的实质粘结的 VVM 的一种电路布置。

[0043] 图 5 为具有本发明的实质粘结的 VVM 的软性衬底的立体图。

[0044] 图 6 为用于本发明的实质粘结的 VVM 的三个另外的电路布置的截面正视图。

[0045] 图 7 为用于本发明的实质粘结的 VVM 的两个 “Z” 向型电路布置的截面正视图。

[0046] 图 8 为用于本发明的实质粘结的 VVM 的另一电路布置的截面正视图。

[0047] 图 9 为层压在多层 PCB 中的图 4-7 的电路布置的截面正视图。

[0048] 图 10 为覆盖有防护涂层的图 4-7 的电路布置的截面正视图。

[0049] 图 11 为具有直接应用本发明的 VVM 的 DIN 连接器的一实施例的立体图。

[0050] 图 12 为具有直接应用本发明的 VVM 的带缆连接器的一实施例的立体图。

[0051] 图 13 为具有直接应用本发明的 VVM 的数据 / 电信 RJ 型连接器的一实施例的剖面立体图。

[0052] 图 14 为具有直接应用本发明的 VVM 的数据 / 电信 RJ 型连接器的一实施例的大量信号导体和护罩的剖面立体图。

[0053] 图 15 为具有直接应用本发明的 VVM 的数据 / 电信 RJ 型连接器的一实施例的信号导体、护罩和电容器的侧视图。

[0054] 图 16 和 17 为适于用以涂覆在此描述的压变材料粒子的本发明的不同流化床等离子反应器的示意图。

[0055] 具体实施方式

[0056] 参考图 2, 本发明的压变材料 (“VVM”) 100 包括绝缘粘合剂 50。粘合剂 50 固紧一个或多个或所有某些不同类型的粒子, 如绝缘粒子 60、半导粒子 70、掺杂的半导粒子 80、传导粒子 90 及它们的各种组合。绝缘粘合剂 50 具有实质上胶粘的特性并自粘结到表面如传导的金属表面或非传导的绝缘表面。绝缘粘合剂 50 具有自固化的特性, 使得 VVM100 可被应用到电路或应用及可在不需要加热的情况下使用但可固化 VVM100 和绝缘粘合剂 50。然而, 应该意识到的是, 采用具有粘合剂 50 的 VVM100 的电路或应用可被加热或固化以加速固化过程。

[0057] 在一实施例中, VVM100 的绝缘粘合剂 50 包括聚合物或热塑性树脂, 如聚酯, 其被溶解在溶剂中。在一实施例中, 聚酯树脂具有 6-80°C 的玻璃态转化温度, 及 15000-23000 原子质量单位 (“AMU”) 的分子量。用于溶解聚合物的一种适当的溶剂为二甘醇 -- 乙酰乙酸酯, 通常被称为 “carbitol acetate”。在一实施例中, 增厚剂被添加到绝缘粘合剂 50, 其增加了绝缘粘合剂 50 的粘性。例如, 增厚剂可以是煅制的二氧化硅, 如可通过商品名 Cab-o-Sil TS-720 找到。

[0058] 在一实施例中, 绝缘粘合剂 50 具有高介质击穿强度、高电阻率和高追踪阻抗。绝缘粘合剂 50 在 VVM100 的其它可能的组成之间提供并保持足够的粒间间距, 如传导粒子 90、绝缘粒子 60、半导粒子 70 和掺杂的半导粒子 80。粒间间距提供了高电阻。绝缘粘合剂 50 的电阻率和介质强度还影响高电阻状态。在一实施例中, 绝缘粘合剂 50 具有至少 10^9 ohm-cm 的容积电阻率。将不同的聚合物混合在粘合剂 50 中并交叉结合是可能的。

[0059] 在一实施例中,绝缘粒子 60 被散布在 VVM100 的粘合剂 50 中。在一实施例中,绝缘粒子 60 具有约 200 到约 1000 埃范围内的平均粒子大小及小于 $10^{-6}(\text{ohm-cm})^{-1}$ 的体积电导率。在一实施例中,绝缘粒子 60 具有约 50 到约 200 埃范围内的平均粒子大小。

[0060] 粘合剂 50 的煅制二氧化硅,如可通过商品名 Cab-o-Sil TS-720 获得,组成绝缘粒子 60。然而,除了煅制二氧化硅以外,其它绝缘粒子可被使用。例如,玻璃球、碳酸钙、硫酸钙、硫酸钡、三水合铝、高岭土和高岭石、超高密度聚乙烯 (UHDPE)、及金属氧化物如二氧化钛也可被用作本发明中的绝缘粒子 60。例如,具有约 300-400 埃的平均粒子大小、由 Nanophase Technologies 制造的二氧化钛可提供适当的绝缘粒子 60。

[0061] 绝缘粒子 60 还可包括铁、铝、锌、钛、铜的氧化物及粘土如由 Nanocor, Inc. 生产的蒙脱石类型。除了煅制二氧化硅以外,如果采用在 VVM100 中,在一实施例中,绝缘粒子 60 占 VVM100 的重量百分比的约 1-15%。

[0062] 在一实施例中,半导粒子 70 被散布在 VVM100 的粘合剂 50 中。在一实施例中,半导粒子 70 包括平均粒子大小小于 5 微米、及体积电导率在 10 到 $10^{-6}(\text{ohm-cm})^{-1}$ 的范围内的粒子。为了使粒子组装密度最大并获得最适宜的箝位电压和开关特性,在一优选实施例中,半导粒子 70 的平均粒子大小在约 3-5 微米的范围内,甚至小于 1 微米。半导粒子大小下降到 100 纳米范围或更小同样适于用在本发明中。

[0063] 在一实施例中,半导粒子 70 的材料包括碳化硅。半导粒子材料还可包括:铋、铜、锌、钙、钒、铁、镁、钙及钛的氧化物;硅、铝、铬、钛、钼、铍、硼、钨及钒的碳化物;镉、锌、铅、钼及银的硫化物;氮化物如氮化硼、氮化硅、及氮化铝;钛酸钡及钛酸铁;钼及铬的硫化物;及铬、钼、铌、钨的硼化物。

[0064] 在一实施例中,半导粒子 70 包括碳化硅,如由 Agsco 制造的,其可以是 #1200 的粒度并具有约 3 微米的平均粒子大小。或者碳化硅可由 Norton 制造, #10,000 的粒度,并具有约 0.3 微米的平均粒子大小。在另一实施例中,半导粒子 70 包括碳化硅和 / 或至少一其它材料,包括:钛酸钡、氮化硼、磷化硼、磷化镉、硫化镉、氮化镓、磷化镓、锗、磷化铟、氧化镁、硅、氧化锌、及硫化锌。

[0065] 在一实施例中,掺杂的半导粒子 80 被散布在 VVM100 的粘合剂 50 中。某些杂质(掺杂物)的添加影响半导体的电传导率。用于掺杂半导体材料的杂质或材料可以是给电子体也可是电子接受体。在另一情况下,杂质占用了纯半导体的能带间隙内的能级。通过增加或减小掺杂的半导体中的杂质浓度,材料的电传导率被改变。纯半导体的电传导率可通过增加传导电子浓度而向上延伸(到半金属或金属的范围内),或可通过减小传导电子浓度而向下延伸(到绝缘体的范围内)。

[0066] 在一实施例中,半导粒子 70 和掺杂的半导粒子 80 通过标准混合技术混合在 VVM100 的绝缘粘合剂 50 中。在另一实施例中,已被掺杂到不同电传导率的各种不同掺杂的半导粒子 80 散布在 VVM100 的绝缘粘合剂 50 中。这些实施例的任一个均可还包括绝缘粒子 60。

[0067] 在一实施例中,VVM100 使用掺杂以材料致使其电传导的半导粒子。掺杂的半导粒子 80 可包括任何传统的半导体材料,包括:氮化硼、磷化硼、磷化镉、硫化镉、氮化镓、磷化镓、锗、磷化铟、硅、碳化硅、氧化锌、硫化锌及电传导的聚合物,如聚吡咯(polypyrrole)或聚苯胺(polyaniline)。这些材料均被掺杂以适当的给电子体,如磷、砷或锑,或电子接受体

如铁、铝、硼或镓,以获得想要的电传导率等级。

[0068] 在一实施例中,掺杂的半导体粒子 80 包括掺有铝(大约占掺杂的半导体粒子 80 的重量百分比 0.5%)的硅粉,以致使其电传导。该材料被 Atlantic Equipment Engineers 在 Si-100-F 的商品名下销售。在另一实施例中,掺杂的半导体粒子包括掺锑的氧化锡,其在 Zelec3010-XC 的商品名下销售。

[0069] 在一实施例中,VVM100 的掺杂的半导体粒子 80 具有小于 10 微米的平均粒子大小。然而,为了使粒子组装密度最大并获得最适宜的箝位电压和开关特性,半导体粒子的平均粒子大小可在约 1-5 微米的范围内,甚至小于 1 微米。

[0070] 一优选的 VVM 成分

[0071] 图 3A 示出了一优选的掺杂的半导体粒子 80。半导体粒子 80 包括内核 82,其被掺杂有至少一掺杂剂 84。内核由外壳或涂层 86 包围。

[0072] 在一实施例中,内核材料 82 包括粒子或粉末状硅。硅 82 被掺杂到低电阻率值(如在 1ohm-cm 以下)且其后接地到粉末。粒子 82 的平均大小是任何适当的大小,在一实施例中,内核粒子的每一个在 5 到 100 微米之间。在一实施例中,壳或涂层的平均厚度为大约 100 到 10000 埃。

[0073] 内核材料 82 或硅被掺杂以适当的掺杂剂,如锑、砷、磷、硼或任何其它在此列出的掺杂剂。内核材料 82 可以是任何适当的半导体材料,如碳化硅、锗、砷化镓及类似的。在一实施例中,只使用了一种类型的掺杂剂。然而,应该意识到的是,在同一粒子中可使用不同类型的掺杂剂。

[0074] 掺杂的半导体粒子 80 的壳或涂层 86 可由多种不同的材料制成。例如,涂层可以是下述材料之一:二氧化硅、外延硅及玻璃。这些材料的每一种是惰性的,使得它们不与本发明的 VVM 的其它成分反应。

[0075] 涂层或壳 86 的类型规定了用于形成涂层或壳的过程。例如,如果涂层或壳 86 是氧化物,如二氧化硅,在一实施例中,该层经在一个或多个温度下加热指定或可变的时间而得以生长。已发现适当的氧化硅层可通过使掺杂有硅粒子 82 的内核经受热及温度而形成。特别地,粒子可在约 500°C 到约 1500°C 的温度下加热,氧化时间为约 15 分钟到约 3 小时。加热可执行多个加热和冷却间隔。在一实施例中,在使粒子经受约 10 到 100 毫托的真空的同时执行冷却。真空冷却是有利的,因为其能防止 VVM 暴露给湿气。在一实施例中,粒子被加热约 30 分钟并接着被真空冷却一整夜。该过程接着被重复。

[0076] 现在参考图 16 和 17,本发明设想的用于在内核粒子 82 上形成涂层 86 的另一方法和装置被示出为流化床等离子反应器 250(图 16)和反应器 300(图 17)。流化床反应器 250 被示意性地示出,以易于图示。反应器 250 包括外壳 252 和基座 254。外壳 252 和基座 254 由电绝缘的或电介质材料制成,在一实施例中,如玻璃或塑料。

[0077] 外壳 252 连接到或确定入口压力端口 256 和出口真空端口 258,如图所示。入口压力端口 256 延伸到压力室 260。压力室 260 确定或包括压力通风系统 262。压力通风系统 262 使来自端口 256 的反应物气体能够进入并在通风系统 262 内的压力下稳定。通过通风系统 262 进入外壳 252 内的反应物气体在来自外壳 252 确定或连接到外壳 252 的端口 258 的负压下被除去。

[0078] 压力室 260 还确定或包括床 264,用于保持内核粒子 82,如掺杂的内核粒子。床 264

的底壁 266 同时为通过系统的上壁。壁 266 确定穿孔或熔结的开口 268, 其使加压的反应物气体能够通过壁 266 以相对一致、稳定且连续的方式逃离。如果在通风系统 262 内的压力足够, 通过粒子 82 的气流将导致粒子被吸入气体中。其后粒子被保持在液态状的状态, 其中粒子悬浮液的顶部由于重力而相当扁平, 如液体被注入床 264 的情况。加有电压的导体 274 与接地导体 260 结合产生等离子薄片区 276 和 278, 及位于等离子薄片区 276 和 278 之间的辉光放电区 280。悬浮在气流中的粒子 82 从而被确保与等离子辉光放电 280 适当地混合。

[0079] 进入端口 256 的反应物气体经运载气体携带, 如氮、氩、氦、二氧化碳、氧、其它气体及其组合。反应物气体可以是本领域技术人员所知的任何适当的等离子气体, 如三乙基铝 (TEAL)、四氯化碳、硅烷、乙硼烷及其任何组合。

[0080] 反应器 250 还被连接到高频电源 270, 其通过匹配网络 272 工作以提供功率给一对电极 274 和 260。匹配网络 272 匹配电源及反应器室的阻抗以提供到室的最佳能量传输。应注意的是, 压力室 260 及特别地板 266, 还另外用作与电极 274 结合的第二电极。加压室 260 因此由传导材料制成。

[0081] 电源 270 是高频电源且在一实施例中为电感耦合的射频 (RF) 电源。来自电源 270 的高频能量激励通过通风系统壁 266 进入外壳 252 的反应物气体分子, 使得分子被离子化。流化床连续将上述的粒子与离子化的气体混合, 使得内核粒子的反应是始终如一的。

[0082] 在一实施例中, 反应器 250 用于在上述的掺杂的内核硅 82 粒子上提供氧化层。掺杂的内核粒子在室中所花的时间、提供给电极 274 和 260 的功率的量及频率、及所选择的气体控制氧化物生长速率及量。然而, 应该意识到的是, 反应器 250 可用于产生其它用于粒子 80 的涂层或壳, 而不是氧化物壳。例如, 系统可用于使用等离子增强的化学汽相沉积 (PEVD) 而施加不同类型的涂层。

[0083] 应该意识到的是, 在反应器 250 用在一优选实施例中以施加氧化层或其它涂层给掺杂的半导体粒子 82 的同时, 装置和方法可用于施加涂层给其它类型的内核材料, 如没有掺杂剂的半导体内核材料、绝缘材料和传导材料。事实上, 反应器 50 可用于产生下面结合图 3B 描述的核壳传导粒子 90。

[0084] 图 17 示出了另一反应器 300。另一反应器 300 在此包括许多同样的构件, 如上述的用于反应器 250 的同样的功能。这些构件被标以同样的元件编号。反应器 300 包括关于外壳 252 缠绕的感应线圈 302。来自电源 270 的能量通过线圈 302 感应地耦合到反应器。黑的或薄片区 276 和 278 沿反应器 300 的边出现, 及辉光放电区 280 位于等离子薄片区 276 和 278 之间。再次地, 吸入粒子的气流确保粒子与等离子辉光放电 280 适当的混合。

[0085] 绝缘粒子 60、半导体粒子 70 和掺杂的半导体粒子 80 中的每一个均被可选地散布在 VVM100 的粘合剂 50 中。粘合剂 50 的煅制的二氧化硅或 Cab-o-Sil 组成绝缘粒子 60。在优选实施例中, VVM100 包括传导粒子 90。在一实施例中, 传导粒子 90 具有大于 $10(\text{ohm-cm})^{-1}$ 的体积传导率, 特别地, 大于 $100(\text{ohm-cm})^{-1}$ 。然而, 通过使用掺杂的半导体粒子, VVM100 不包括传导粒子 90 是可能的。

[0086] 在一实施例中, 传导粒子 90 具有小于 60 微米的最大平均粒子大小。在一实施例中, 95% 的传导粒子 90 具有不大于 20 微米的直径。在另一实施例中, 100% 的传导粒子 90 的直径小于 10 微米。在另一实施例中, 使用了平均粒子大小在亚微细粒范围的传导粒子

90, 亚微细粒范围如一微米向下到纳米。

[0087] 适于 VVM100 的传导粒子 90 的材料包括: 铝、黄铜、碳黑、铜、石墨、金、铁、镍、银、不锈钢、锡、锌、及它们的合金和其它金属合金。此外, 实质传导的聚合物粉末如聚吡咯或聚苯胺也可被使用, 只要它们展现稳定的电学特性。

[0088] 在一实施例中, 传导粒子 90 包括由 Atlantic Equipment Engineering 制造的、并在 Ni-120 的商品名下销售的镍, 其具有 10-30 微米范围内的平均粒子大小。在另一实施例中, 传导粒子 90 包括铝, 并具有 1-30 微米范围内的平均粒子大小。

[0089] 在一实施例中, 传导粒子 90 未被涂覆且实质上由单一材料组成。参考图 3B, 在另一实施例中, 传导粒子包括由外壳 94 包围的内核 92。粒子 90 的核 92 和壳 94 具有不同的电传导率。在一实施例中, 核和壳粒子 90 实质上是球形并在约 25 到约 50 微米的范围内。

[0090] 在一实施例中, 传导粒子 90 的内核 92 包括电绝缘材料, 其中外壳 94 包括下述材料之一: (i) 导体; (ii) 掺杂的半导体; 或 (iii) 半导体。在另一实施例中, 传导粒子 90 的内核 92 包括半导材料, 其中外壳 94 包括下述材料之一: (i) 导体; (ii) 掺杂的半导体; 或 (iii) 不同于内核的半导材料的半导材料。在另一实施例中, 内核 92 包括传导材料, 其中外壳 94 可由下述材料之一组成: (i) 绝缘材料; (ii) 半导体; (iii) 掺杂的半导体; 或 (iv) 不同于内核的传导材料的传导材料。

[0091] 适于用于传导核-壳粒子 90 的传导材料包括下述金属及其合金: 铝、铜、金、镍、钯、铂、银、钛及锌。碳黑也可用作 VVM100 中的传导材料。上述的绝缘材料 60、半导粒子 70 和掺杂的半导粒子 80 可与传导核-壳粒子 90 一起混合在本发明的 VVM100 的粘合剂 50 中。

[0092] 在一优选实施例中, 核-壳粒子 90 包括铝核 92 和氧化铝壳 94。具有铝核 92 和氧化铝壳 94 的粒子 90 接着可被提供在实质胶粘的粘合剂中, 其具有成形的二氧化硅, 但没有另外的绝缘粒子 60、半导粒子 70 或掺杂的半导粒子 80。

[0093] 在另一实施例中, 核-壳粒子 90 包括二氧化钛(绝缘体)核 92 和掺铟的氧化锡(掺杂的半导体)壳 94。这些后者的粒子在 Zelec 1410-T 的商品名下销售。另一适当的核-壳粒子 90 在 Zelec 1610-S 的商品名下销售, 并包括中空的二氧化硅(绝缘体)核 92 和掺铟的氧化锡(掺杂的半导体)壳 94。

[0094] 具有飞灰(绝缘体)核 92 和镍(导体)壳 94 的粒子及具有镍(导体)核 92 和银(导体)壳 94 的粒子由 Novamet 销售, 且也适于用在本发明中。另一适当的选择由宾夕法尼亚州 Allentown 的 Composite Particles, Inc. 在 Vistamer Ti-9115 的商品名下销售。这些传导的核-壳粒子具有超高密度聚乙烯(UHDPE)的绝缘壳 92 和碳化钛(TiC)的传导核 94 材料。同样, 由 Martek Corporation 在 Eeonyx F-40-10DG 的商品名下销售的、具有碳黑(导体)核 92 和聚苯胺(掺杂的半导体)壳 94 的粒子 90 也可用在本发明的 VVM100 中。

[0095] 在 VVM100 的一实施例中, 实质胶粘的绝缘粘合剂 50 占全部合成物的重量的约 20-60%, 特别地, 占约 25-50%。在一实施例中, 传导粒子 90 占全部合成物的重量的约 5-80%, 特别地, 占约 50-70%。无论 VVM100 是否还包括另外的绝缘粒子 60、半导粒子 70 和 / 或掺杂的半导粒子 80, 均应用这些范围。如果存在, 半导粒子 70 占全部合成物的重量的约 2-60%, 特别地, 占约 2-10%。

[0096] 在 VVM100 的另一实施例中,实质胶粘的绝缘粘合剂 50 占全部合成物的体积的约 30-65%,特别地,占约 35-50%。掺杂的半导体粒子 80 占全部合成物的体积的约 10-60%,特别地,占约 15-50%。半导体粒子 70 占全部合成物的体积的约 5-45%,特别地,占约 10-40%。绝缘粒子 60 占全部合成物的体积的约 1-15%,特别地,占约 2-10%。

[0097] VVM100 的开关特性由绝缘、半导体、掺杂的半导体及传导粒子的特性、粒子大小和粒子分布、及粒间间隔确定。粒间间隔取决于绝缘、半导体、掺杂的半导体及传导粒子的百分比及它们的大小和大小分布。在本发明的合成物中,粒间间隔将通常大于 1000 埃。

[0098] 通过采用实质胶粘的绝缘粘合剂 50 和上述其它粒子的 VVM100 的使用,本发明的合成物通常可被设计来提供从约 30 伏特到大于 2000 伏特的箝位电压范围。用于电路板级保护的本发明的某些实施例展现了在 100 到 200 伏特范围内的箝位电压,特别地,小于 100 伏特,更特别地,小于 50 伏特,且特别展现了在约 25-50 伏特范围内的箝位电压。

[0099] 具有实质胶粘的绝缘粘合剂 50 的 VVM100 可以自固化或自固紧到传导和绝缘材料。绝缘粘合剂 50 粘结并固化到任何类型的电导线、线圈、电极、引线、迹线等。绝缘粘合剂 50 粘结并固化到任何类型的绝缘材料、迭层板或衬底。例如,绝缘粘合剂 50 粘结并固化到任何类型的印刷电路板材料、柔性电路材料、聚合物、玻璃及陶瓷。

[0100] 在一实施例中,VVM100 的绝缘粘合剂 50 粘结并固化到现有的 FR-4 迭层板。FR-4 迭层板通常包括机织的或非机织的织物,其是有孔的或穿孔的。VVM100 的粘合剂 50 还可粘结到多层 PCB 的 FR-4 层。在另一实施例中,VVM100 的绝缘粘合剂 50 粘结并固化到聚酰亚胺材料。绝缘粘合剂 50 实质固紧到其的一种聚酰亚胺材料由 Dupont Corporation 制造并称作“Kapton”。有 Kapton[®] 材料的三种变体。一种 Kapton[®] 材料包括丙烯酸基的粘合剂但不是阻燃剂。另一 Kapton[®] 材料包括丙烯酸基的粘合剂且是阻燃剂。第三种 Kapton[®] 材料为无粘性的。VVM100 的绝缘粘合剂 50 可粘结并固化到每一变体。

[0101] VVM100 的绝缘粘合剂 50 还可粘结到刚性-柔性材料。如其名称暗含的,刚性-柔性材料是两种不同材料的合成物,一种是柔性的(如 Pyralux),另一种为刚性的(FR-4)。这种类型的材料对任何要求连接到移动的或弯曲的部分并还要求组成的稳定平台的应用均特别有用。

[0102] 一优选的 VVM

[0103] 图 3A 中所示的掺杂的半导体核壳粒子 80 可与许多不同类型的组合一起使用,以产生适于抗衡 EOS 瞬态的压变材料。在一实施例中,图 3A 的粒子 80 与任何在此描述的传导粒子 90 被混合在绝缘粘合剂中,如上述的粘合剂 50。在一实施例中,传导粒子 90 包括实质上纯的材料,如纯镍,其实质上不被氧化。然而,应该意识到的是,图 3A 的粒子可与下面结合图 3B 描述的核壳型的传导粒子一起使用。另外,结合图 3A 所示的粒子 80 可被提供在任何具有未掺杂半导体粒子 70、传导粒子 90 及绝缘粒子 60 的组合中。在一实施例中,还添加了纳米钨粉。

[0104] 在一优选实施例中,VVM100 通过使用结合图 3A 所述的粒子 80 与镍结合而形成,其中掺杂的半导体粒子被提供,其浓度为约 40-80% 体积比,而镍粒子的浓度为 5-25% 的体积比。这些浓度为 VVM100 已经上述的多次加热和冷却而被适当固化时的浓度。即,应用在一应用中的 VVM100 的浓度。这些粒子被混合在绝缘粘合剂 50 中,其为经 carbital acetate

溶解的聚合物,以具有在此描述的直接应用特性。所得的 VVM100 具有约 1400ohm-cm 到约 14×10^6 ohm-cm 的电阻率。

[0105] VVM 的直接应用

[0106] 参考图 4,其示出了实质胶粘的 VVM100 的一种可能的布置 115。在该例子中,布置 115 出现在衬底 110 上,其为刚性的 PCB。大量其它电学器件 113 也被示出,其示出当 PCB 衬底 110 处于最后的形式时,VVM100 是开放且暴露的。电学器件 113 包括任何类型的、通常连接到 PCB 的器件,包括穿孔及表面安装的器件。电学器件 113 包括任何电学元件,如电阻或电容器。电学器件 113 还包括任何类型的集成电路、连接器、滤波器等。

[0107] 布置 115 邻近于 PCB 衬底 110 上的其它电学元件 113。布置 115 被示出具有两个电极 117 和 119,每一电极经本领域技术人员公知的任何方法固紧到 PCB 衬底 110。尽管两个电极 117 和 119 被示出,但布置 115 可具有任何数量的电极。在布置 115 中,大量 VVM100 实质 粘结到电极 117 和 119 及衬底 110。在电极 117 和 119 之间存在间隙,其在该立体图中以部分剖视的形式示出,因为其被大量 VVM100 覆盖。在一实施例中,间隙宽度为约 2mil,然而,可使用更大的或更窄的间隙宽度。电极 117 和 119 正常情况下相互不电通信。在 EOS 瞬态事件时,VVM100 从高阻抗状态转换到低阻抗状态,其中,在此,瞬态峰值从电极 117 通过 VVM100 分流到电极 119,其连接到如图所示的护罩接地或大地接地。

[0108] 为了方便,如图所示,电极 117 以分裂的端部终止。应该意识到的是,电极 117 可被引到任何电学器件。在一实施例中,电极 117 为 PCB 上的迹线,其携带如来自电信传输的信号。在这种情况下,电极 117 可引到接收电信输入线路的连接器或某些类型的收发机。

[0109] 参考图 5,“Z”向布置被示出在衬底 110 上,在一实施例中,其为多层的柔性带或电路。柔性衬底 110 包括多个柔性层 111 和 112。如上所述,柔性衬底 110 可包括由聚酰亚胺制成的层 111 和 112。例如,层 111 和 112 可以是 Kapton[®]。在另一实施例中,层 111 和 112 中的一个或两个均是聚酯薄膜层。衬底 110 的层 112 的部分被切掉以示出多个信号导体 116 及接地导体 118。由于导体 116 和接地导体 118 被暴露,具有自固化粘合剂 50 的自粘 VVM100 可跨每一导体 116 施加。

[0110] 如图所示,每一导体 116 和接地导体 118 由间隙隔开,使得导体在正常情况下相互不电通信。在一实施例中,接地导体(为了方便,仅示出部分)118 位于 VVM100 的上面。因此,间隙即被说成是“Z”向,其中在导体 116 之间的间隙位于 X-Y 平面。VVM 层的厚度小于信号导体 116 之间的间隔。因此,EOS 瞬态将从导体 116 之一跳到接地导体 118,而不是到另一导体 116。在另一实施例中,分开的接地迹线 118 可邻近于每一信号迹线放置,使得瞬态将从信号迹线 116 跳到接地迹线 118。无论哪一种方式,VVM100 层使得任何经受过电压的信号导体 116 能够将过电压分流到接地导体 118。

[0111] 如图 4 的刚性 PCB 应用,导体或电极 116(及 118)固紧到衬底的表面。在此,导体 116 经本领域技术人员所公知的任何方法固紧到 柔性层 111 的内表面 114。在“Z”向实施例中,接地导体粘住 VVM100 层的上面。导体 116 和接地导体 118 还可被压缩并由多层 111 和 112 保持在适当的位置。然而,VVM100 暴露在柔性层 111 和 112 之一的外部是可能的。如图所示,VVM100 覆盖每一导体并还实质地粘结到层 111 的内表面 114。VVM100 层自固紧到多个导体 116 和层 111 的内表面 114,并不需要另外的固化或加热步骤。然而,在另一实施例中,VVM100 层可通过加热柔性电路预定量的时间而更快地固化。

[0112] 如上所述,粘合剂 50 以这样一种方式固化,其中 VVM100 不会破裂或分裂,即使柔性衬底弯曲或移动也不会。即使这样,在优选实施例中,为了电绝缘,内表面 114 的暴露区域及接地面 118 均被覆盖。在一实施例中,VVM100 和导体 116 及接地导体 118 均被银墨水涂层覆盖。在一实施例中,VVM 可覆盖迹线 116 和接地迹线 118 的整个表面,以增强 VVM100 的耗散能力。在另一实施例中,一中间绝缘涂层,如干膜可感光覆盖膜、喷射液体可感光覆盖膜、或“涂敷”型涂层,可被布置在信号迹线 116 和外绝缘层 111(如塑料)的内表面 114 之间。

[0113] 参考图 6,其示出了 VVM100 的三个另外的应用 120、125 和 130。应用 120、125 和 130 中的每一个均以简单的形式图示,其仅具有两个导体。然而,应该意识到的是,在此公开的任何应用可电连接并保护多个导体,如图 5 中所示的。还应当假设,尽管没有示出,导体之一为接地或护罩导体,或具有到地的低阻抗路径的另一类型的导体,同时至少一其它导体为信号或线路导体,其中 VVM100 将过电压瞬态从线路或信号导体分流到接地或护罩导体。此外,应用 120、125 和 130 均被图示成最后的形式,其中 VVM100 对周围环境是开放和暴露的。

[0114] 布置 120 示出了具有导体 122 和 124 的电路,两导体由间隙间隔开。每一导体 122 和 124 经本领域技术人员所公知的任何方法固紧到衬底 110。衬底 110 可以是上述的任何衬底,如刚性的 PCB 衬底或柔性电路型的衬底。应用或电路 120 不同于电路 115,因为 VVM100 不 粘结到衬底 110。为形成该电路,支撑 VVM100 在间隙的上面直到 VVM100 固化和干燥在适当的位置是必要的。在另一实施例中,上层或涂层还可粘结到 VVM100,其中涂层使在自固化状态的 VVM100 能够放置于导体 122 和 124 的上面。重要地,VVM100 在间隙区域不须粘结到衬底 110,以使 VVM100 的功能正常。在 VVM100 的分流能力方面,电路 120 以与图 4 中所示的电路 115 一样的方式准确地起作用。

[0115] 电路或布置 125 示出了 VVM 可实质固紧到衬底 110 并从而形成缓冲或垫,导体 127 和 129 被放置于其上。电极 127 和 129 由间隙分开。当 VVM 已固化到其不会由于导体的重量或由于应用处理而变形的点时,电极可稍微沉入 VVM100,如图所示,或者电极 127 和 129 可被放置在 VVM 之上。电路或布置 125 与电路 115 和 120 一样工作。

[0116] 电路或布置 130 示出了一实施例,其中导体之一即导体 132 固紧到衬底 110,而第二导体 134 悬在 VVM100 层的上面,类似于布置 125 的电极 127 和 129。电路 130 中的间隙为垂直安排的间隙。布置 115、120 和 125 中的间隙为水平安排。应该意识到的是,VVM100 均一样的工作,无论间隙是“XY”向型的间隙,如布置 115、120 和 125 所具有的,还是“Z”向型的间隙,如布置 130 中所示的。

[0117] 图 6 的每一布置在某些电学结构中是令人想要的并具有某些电学器件。具有本发明的绝缘粘合剂 50 的 VVM100 提供了以不同方式关于衬底 110 布置电极的灵活性,其中 VVM100 不要求额外的装置或外壳来在机械上保持 VVM 或将其电连接到导体。例如,许多 VVM 装置要求将 VVM 保持在适当位置的外壳或壳。许多 VVM 还包括布置在外壳或壳上的一对端子,其必需被焊接到形成于衬底表面上的一对衬垫上。要求另外的迹线或接合线自衬垫延伸以连接信号线或接地线。

[0118] 参考图 7,其示出了另外的电路或布置 135 和 145。布置 135 类似于布置 130,因为在上电极 137 和下电极 139 之间有“Z”向间隙,其中下电极 139 固紧到衬底 110。然而,

在布置 135 中,上电极 137 从下电极 139 横向地或水平地延伸并向下转变方向以粘结到衬底 110。水平的偏移产生了第二间隙。当过电压发生时,瞬态峰值可通过 VVM 或“Z”向或“XY”向传导,取决于哪一路径具有更低的阻抗。除此之外,布置 135 与其它布置一样工作。

[0119] 布置 145 类似于图 5 的柔性电路实施例,除了导体 146 和 149 被布置在刚性衬底 110 上之外。在一实施例中,不固定的导体 147 为接地导体,使得布置为纯粹地“Z”向应用。在另一实施例中,导体 146 和 149 均为接地导体,其使得应用为“Z”向及“XY”向应用,其中电压从导体 146 或 149 之一释放到不固定导体 147,并向下到其它导体,其为接地导体。

[0120] 参考图 8,其示出了另一布置或电路 140。电路 140 包括两个衬底 110,其可以是刚性衬底如 FR-4 电路板,或柔性衬底,如聚酰亚胺或 Kapton[®]。第一电极 142 被固紧到上衬底 110,而第二电极 143 固紧到下衬底 110。电极 142 和 143 在“Z”向由 VVM100 间隔开。布置 140 在柔性电路中是有用的,其中衬底 110 为 Kapton[®] 或聚酯薄膜外层,且其中上导体 142 为信号导体,下导体 143 为接地导体(例如)。在此,多个信号导体可被应用到上或下衬底 110,其中瞬态峰值垂直或水平行进,取决于具有瞬态峰值的信号迹线位于相对于接地导体的什么地方。

[0121] 参考图 9,先前的布置或电路 115、120、125、130、135 和 145 被示出为嵌入在多层 PCB 之内。即,衬底 110 组成一层 PCB。第二衬底 144(不按比例)组成多层 PCB 的另一层。层 144 形成在各个电路周围,以产生适于用于安装电学元件 113 和电路板迹线的光滑外表面。图 9 的结构特别有用,因为无论怎样,衬底 110 和 144 的外表面不被电路保护抑制。图 9 中所示的实施例可包括两层以上的层,因而该实施例可包括具有布置 115、120、125、130、135 和 145 中的一个或多个的、多个不同的衬底。

[0122] 参考图 10,其示出了具有电路 115、120、125、130、135 和 145 的类似布置,其中代替为多层 PCB 的一部分的,该布置被防护涂层 148 覆盖。即使 VVM100 自固紧到在某些地方的各个电极和衬底 110,但因为多种原因,还是希望应用防护涂层 148。例如,如图 5 中所示的柔性电路,导体可能在某些点被暴露并要求电绝缘。防护涂层 148 可以是本领域技术人员所公知的任何类型的涂层。在一实施例中,涂层包括上述用于图 5 中的柔性电路的任何涂层,如银墨水、干膜可感光覆盖膜、喷射液体可感光覆盖膜、或“涂敷”型涂层。

[0123] 使用直接应用的 VVM 的器件

[0124] 参考图 11,本发明的 VVM100 可被采用在器件中。在图 11 中示出的一种类型的器件包括符合 Deutsches Institut für Normung eV(“DIN”)标准的各种连接器。圆形的 DIN 连接器 150 被示出。应该意识到的是,本发明适于微型 DIN 连接器、双行拉伸的 DIN 连接器、防护的 DIN 连接器等。本发明可被实施在插头或插座中。连接到线缆的垂直的、水平的及直列式连接器也可被采用。除此之外,DIN 连接器可以是面板安装的。

[0125] 连接器 150 包括由任何适当材料构成的连接器体 152。在插头和插座实施例中,连接器体固紧一圆形壁 154 或多个直壁(未示出),其至少部分包围多个信号导体 156。导体 156 从衬底 158 以实质上与壁 154 平行的方向延伸。壁 154 和导体 156 按公知的方式插入配对的内孔 DIN 连接器中。

[0126] 在图示的实施例中,连接器体 152 为插头,导体 156 为插脚。在另一实施例中(未示出),连接器体为插座,且信号导体为从配对的连接器接收插脚的插孔。连接器 150 可被

配置使得连接器体 152 固紧任何数量的输入 / 输出导体 156。一个或多个外部的信号导体 156 可以是接地导体。然而,正常地,提供单独的(在此中央的)接地或护罩接地导体 160。为了使图示的实施例适当地分流瞬态电压峰值到接地导体 160,在输入 / 输出导体 156 和接地导体 160 之间的间隔应小于输入 / 输出导体 156 之间的间隔。

[0127] 在一实施例中,衬底 158 为 PCB,如 FR-4 电路板。在另一实施例中,衬底 158 包括另一类型的绝缘材料,如聚酰亚胺或塑料。衬底 158 装配在连接器体 152 内,使得连接器 150 可被适当地放置在配对连接器中。在一实施例中,衬底 158 定义孔,其使导体 156 能够从衬底 158 的背面延伸穿过到图示的正面。

[0128] 至少一定量的 VVM100 被直接粘结或固化到衬底 158。如图所示,本发明的 VVM100 将信号导体 156 直接连接到接地导体 160,不需要迹线或接合电线。在另一实施例中,一个或多个导体 156 或另外加上接地导体 160 可接触个别量的 VVM100,其中,一个或多个迹线或接合电线将 VVM100 个别固紧到另一 VVM 量或另一导体。在一实施例中,迹线为蚀刻在 PCB 衬底 158 上的铜线,如现有技术所公知的。信号迹线可与单一信号导体 156 和 / 或接地导体 160 中之一或二者通信。

[0129] 接地导体 160 可采用几种形式,在此图示为中央放置的引脚 160。在每一结构中,胶粘的粘合剂 50 使 VVM100 能够直接粘结到金属导体。接地导体 160 可按需用作电路接地或护罩接地。

[0130] 如图所示,至少一定量的 VVM100 保护一个或多个信号导体 156 免遭瞬态电压峰值。受保护的连接器 150 依次可保护其它自连接器 150 电学上游或下游的电学器件。

[0131] 参考图 12,具有整体胶粘的粘合剂 50 的 VVM100 与带缆连接器 170 一起使用。VVM100 可与任何类型的带缆连接器一起使用,如阳的、阴的、直引线、直角、直引线 / 绕接和直角 / 绕接式的接插件、D- 连接器、PCB 连接器、卡片边缘连接器、倾角连接器、引脚连接器或终端跳接器。VVM100 可被实施在带连接器 170 的插头或插座中。

[0132] 带连接器 170 包括由任何适当材料构成的连接器体 172。在插头和插座实施例中,连接器体 172 至少部分包围多个导体 176。导体 176 实质上与连接器体 172 的壁平行。如果连接器体 172 为插头,则导体 176 为插脚。如果连接器体 172 为插座,则导体 176 为接收插脚的插孔。带连接器 170 可固紧任何数量的输入 / 输出信号导体 176。一个或多个导体 176 可以是接地导体。正常地,提供单独的接地或护罩接地 186 并提供适当的间隔使得电压瞬态从信号导体 176 之一消散到接地带 187,而不是到另一信号导体 176。

[0133] 在连接器体 172 和第二配对的体 178 之间有带缆 180。带缆 180 可以是任何适当的线缆,包括灰色的扁平缆、彩色编码的扁平缆、双绞扁平缆及圆护套 / 护罩扁平缆。在图示的实施例中,第二体 178 为装配在插座体 172 上的插头。位于插头体 178 内的引脚 182 刺穿线缆 180 的绝缘层并产生与线缆内的导体的电接触。

[0134] 在图示的实施例中,至少一及可能大量 VVM100 通过粘合剂 50 的实质胶粘的特性而直接固紧到插座体 172 和导体 176。插座体 172 包括衬底 184,其可以是聚合物、PCB 材料如 FR-4 或聚酰亚胺。VVM100 可被施加到衬底 184 的顶面或底面。在另一实施例中,迹线被通过任何适当的方法应用到衬底 184。迹线将信号导体 176 电连接到 VVM100,将 VVM100 连接到接地导体 186。

[0135] 如图所示,至少一定量的 VVM100 保护带缆连接器 170 的一个或多个信号导体 176

免遭瞬态峰值。即,信号导体 176 可将过电压分流到接地引脚 186。带连接器 170 依次保护自连接器 170 电学上游或下游的电学器件。

[0136] 参考图 13,具有整体胶粘的粘合剂 50 的 VVM100 与数据或电信连接器 190 一起使用。VVM100 可与任何类型的数据 / 电信连接器一起使用。在一实施例中,连接器 190 为 8 导体 RJ-45 连接器,通常用在数据网络中,如局域网 (LAN)、广域网 (WAN) 及类似的网络。在另一实施例中,连接器 190 为 6 导体 RJ-11 连接器,通常用在居民及某些商业电话系统中。

[0137] 连接器 190 包括体 192,在图 13 中,其大部分已被切掉以示出由 VVM100 提供的电路保护。体 192 由任何适当的材料构成,在一实施例中,其为塑料。体固紧大量信号导体 194。信号导体 194 被适当地弯曲以与配对的插头的信号导体 (未示出) 接合。插头以箭头 196 的方向插入数据 / 电信体 192 中。当插头插入体 192 时,信号导体 194 的弹簧部分 198 弯曲使得弹力被施加到配对的导体之间的电连接。

[0138] 在图示的实施例中,导体 194 的相对端 202 与一批或多批 VVM100 直接电通信,VVM100 经实质胶粘的粘合剂 50 直接施加到衬底 204。VVM100 将信号导体 194 直接电耦合到接地导体 206。如上所述,接地导体 206 被适当地放置,其与每一信号导体 194 之间的间隔小于信号导体 194 之间的间隔。在另一实施例中,导体 194 的端 202 与 VVM100 粘结到其的迹线电连接。在另一实施例中,VVM100 经接合电线电连接到信号导体 194 的端 202。

[0139] 类似地,在一实施例中,VVM100 直接粘结到接地导体 206。在另一实施例中,接地导体 206 经固紧到衬底 204 的一个或多个迹线与 VVM100 电通信。在另一实施例中,VVM100 经接合电线与接地导体 206 电通信。

[0140] 在上述的方式中,一个或多个或所有信号导体 194 均可被保护而免受瞬态电压。由于 LAN 或 WAN 通常包围接地点之间的很大的距离,接地点之间的 ESD 和 EOS 是严重的问题。装置如空调、加热器、电梯、复印机及激光打印机等将在具有 LAN 的建筑中导致高水平的峰值和瞬态。受保护的数据 / 电信连接器 190 保护通过连接器 190 连接到网络的装置免遭在网络数据线上出现的瞬态电压。类似的,连接器 190 保护数据线免遭源自连接到网络的装置的过电压事件。

[0141] 参考图 14 和 15,其示出了应用到电信连接器的 VVM100 的其它实施例。图 14 和 15 中所示的结构代表任何类型的数据 / 电信连接器。在图 14 中,只示出了连接器 210 的有关部分。连接器 210 包括多个具有弯曲端 214 的信号导体 212,其中弯曲端 214 与如上所述的导体或数据 / 电信插头 (未示出) 配对。插头沿箭头 196 的方向行进,其插入在连接器 210 中。

[0142] 体 216,其为了图示的目的被切掉,位于护罩 218 内,其由任何适当的传导材料构成。图 14 的视图通常来自图 13 所示的连接器的下面。因此,护罩 218 装配在导体 212 的上面及背面。

[0143] 护罩确定一个或多个切口弹簧接头 220。即,薄的金属护罩 218 被沿每一接头 220 的三侧压印或切开,其中接头 220 沿边缘 222 向内弯曲。接头 220 可向内弯曲任意的角度,但小于 90° 。当护罩 218 放置在导体 212 的上面时,接头 220 接触导体 212 并向 0° 弯回。因此,接头 220 被偏压以保持与导体 212 的电接触。

[0144] 一批具有自固化实质胶粘的粘合剂 50 的 VVM100 被直接施加到接头 220 及接头 220 和导体 212 之间。VVM100 在其高阻抗状态用作断路,使得几乎没有电流在正常情况下

能从导体 212 流到地 218。当 ESD 瞬态出现时, VVM100 转换到其低阻抗状态, 使得瞬态峰值分流到护罩接地 218。

[0145] 在一实施例中, 模板被用于将多批 VVM100 应用到多个接头 220。在另一实施例中, 模板被用于将多批 VVM100 应用到一个接头 220, 其为弹簧载荷并导致与多个导体 212 接触。在另一实施例中, 一层 VVM100 材料首先自粘结到护罩 218 的大部区域, 其中多个接头 220 接着被压印使得每一个均具有各自的 VVM100。在另一实施例中, 一层 VVM100 首先自粘结到护罩 218 的大部区域, 其中一个或多个接头 220 被压印, 每一接头与多个导体 212 接触。

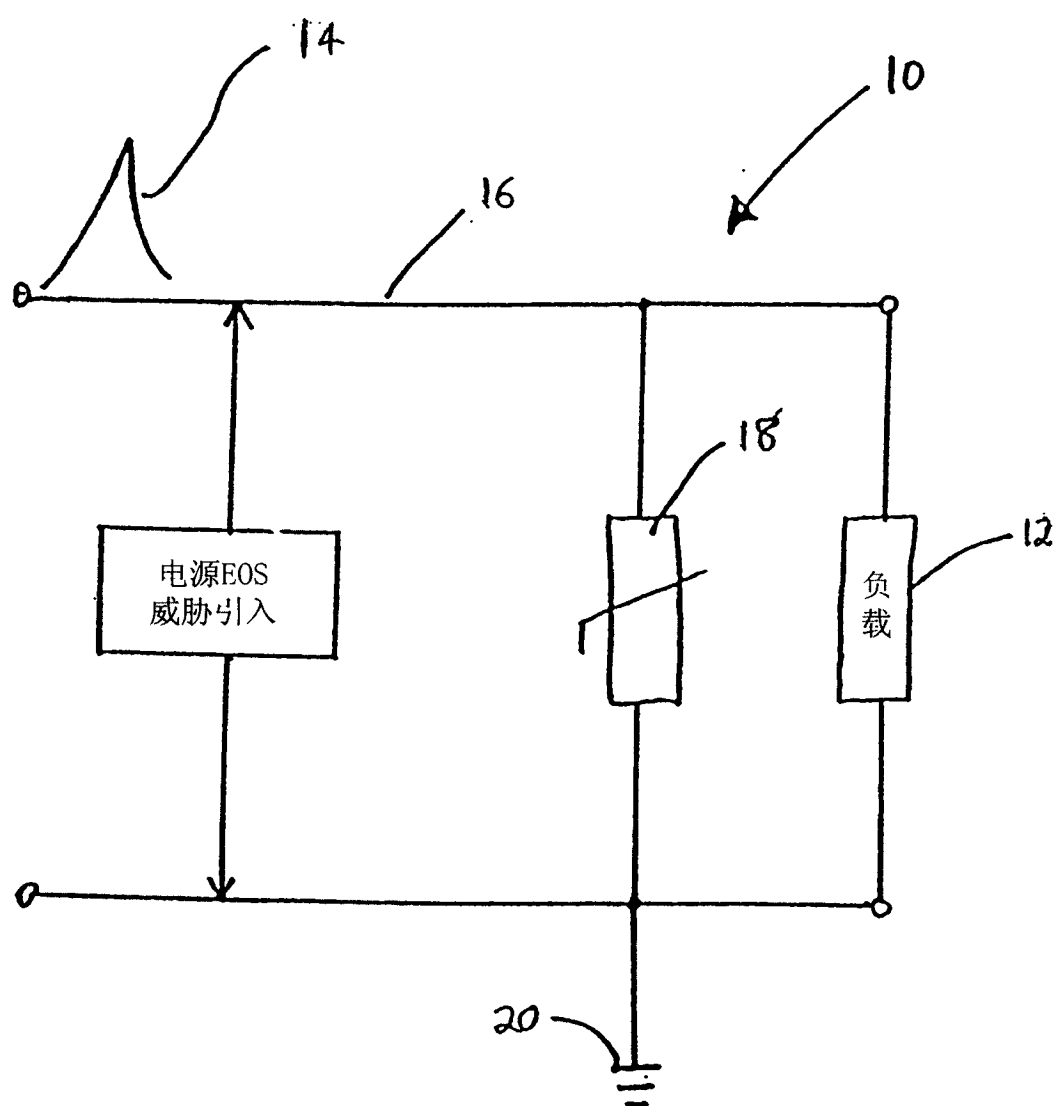
[0146] 参考图 15, 其为图 14 的侧视图, 图 14 的连接器 210 的一个变化被示作新连接器 230。如前所述, 体 216 被部分切掉以显示护罩 218 的一部分。护罩 218 已被压印使得接头 220 沿护罩 218 和导体 212 之间的边缘 222 向内弯曲。接头包括一批具有本发明的自胶粘的粘合剂 50 的 VVM100。

[0147] 信号导体 212 具有弯曲的弹簧部分 214, 其适于与插头 (未示出) 的导体配对。在一实施例中, 耦合电容器 232 被布置在接头 220 上的 VVM100 和信号导体 212 之间。在优选实施方式中, 接头 220、VVM100、电容器 232 和信号导体 212 串联连接。电容器 232 具有适于处理 2500 伏特 DC 电压的电容和额定电压。即, 耦合电容器 232 被设计来封闭高电平 DC 电压, 如那些在高电位 [HI-POT] 测试期间强加的电压, LAN 或以太网系统可能暴露给这样的电压。

[0148] VVM100 还粘结到电容器 232 并与其电接触。电容器 232 还可被焊接或者电连接到导体 212。接头 220 的弹簧载荷还使电容器 232 保持在合适的位置。电容器 232 和 VVM100 的顺序可被颠倒。还应意识到的是, 在图 14 和 15 中, 压印的接头 200 可另外与使用本领域技术人员所公知的任何 VVM 的 VVM 装置 (未示出) 一起使用。

[0149] 图 11-15 示出了通过粘合剂 50, VVM100 可被直接施加到衬底, 其中衬底被使用在一件电学设备中, 如连接器。除了所示的各种连接器以外, 应该意识到的是, 衬底可被放置在其它类型的连接器中, 如数字视频接口 (DVI) 连接器、模数转换器 (ADC) 连接器等, 及其它类型的设备, 如音频耳机、可携式摄像机、电视、收音机、个人邮件装置、计算机等。

[0150] 应该理解的是, 对本领域那些技术人员而言, 对在此描述的优选实施例进行各种变化和修改是很显然的。这样的变化和修改可在不脱离本发明的实质和范围的情况下进行且不缩小其伴随的优点。



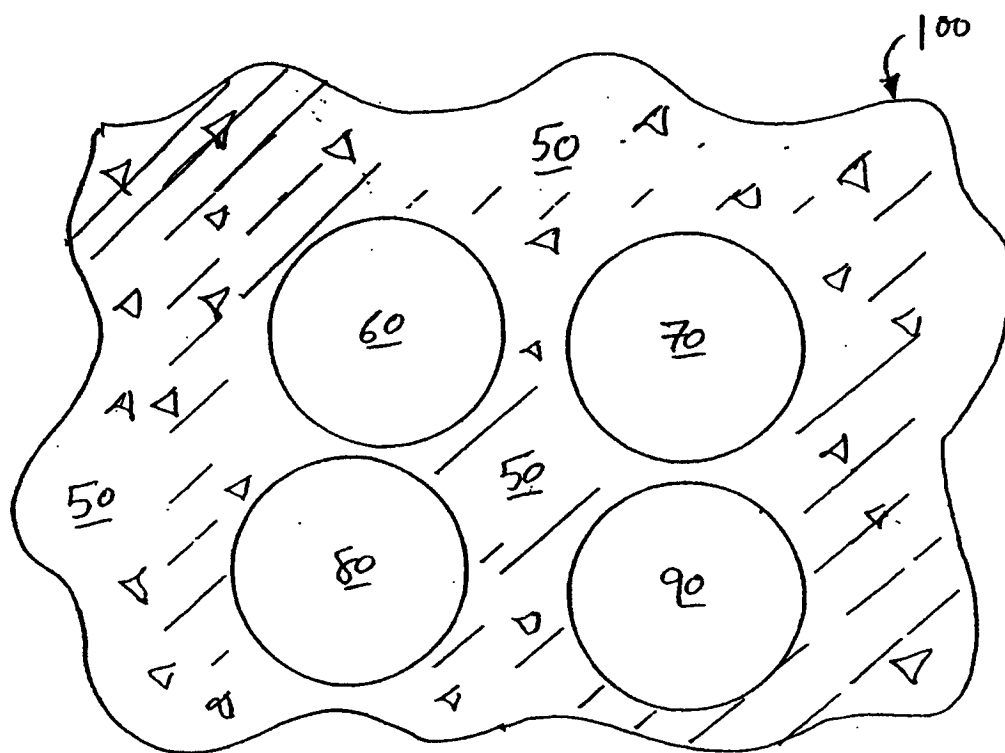


图 2

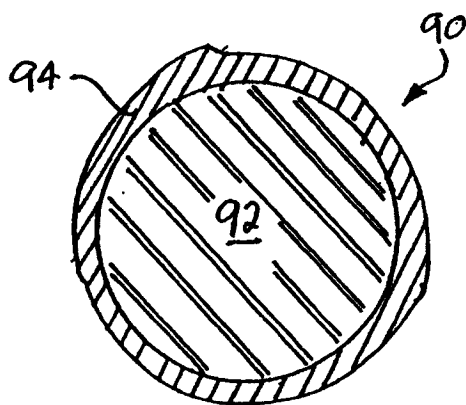


图 3B

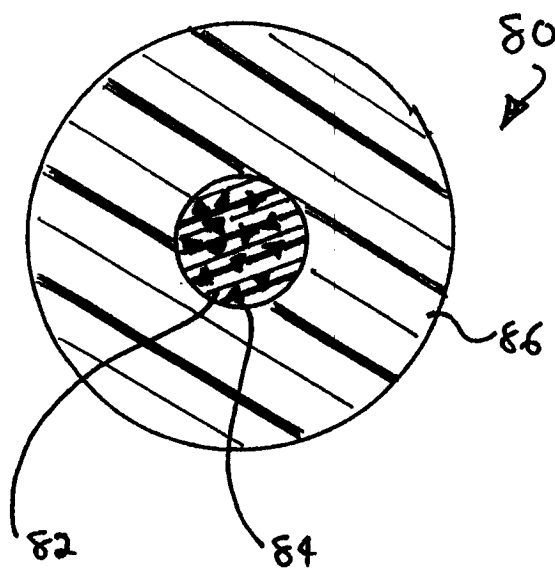


图 3A

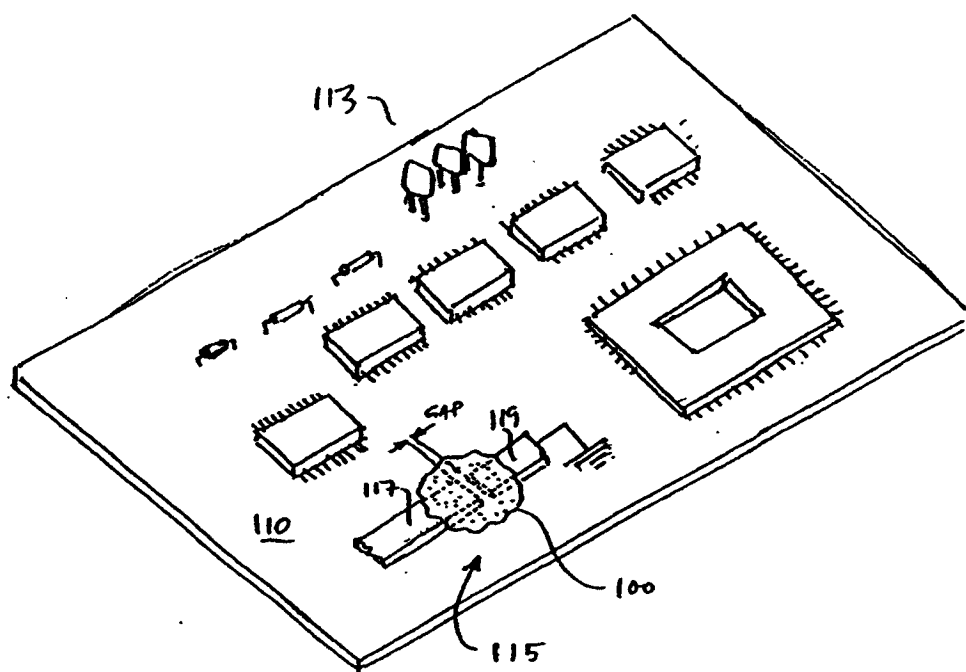


图 4

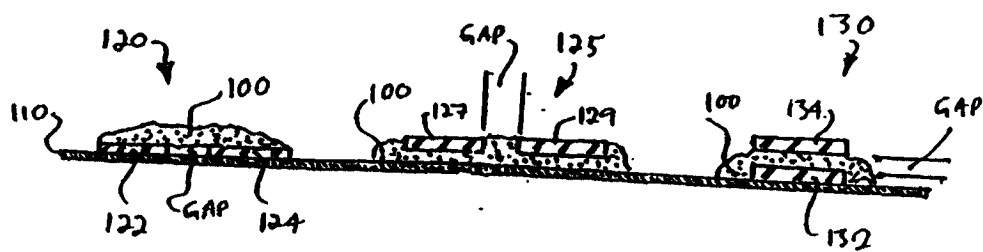


图 6

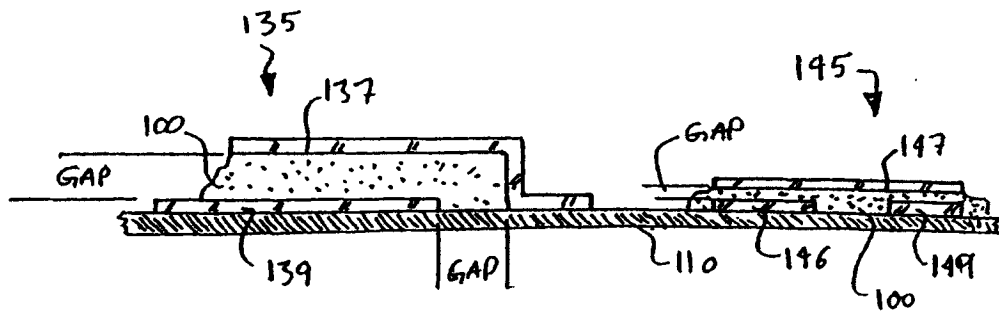


图 7

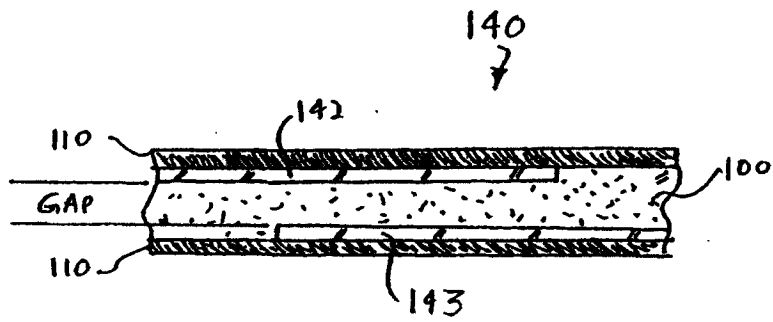


图 8

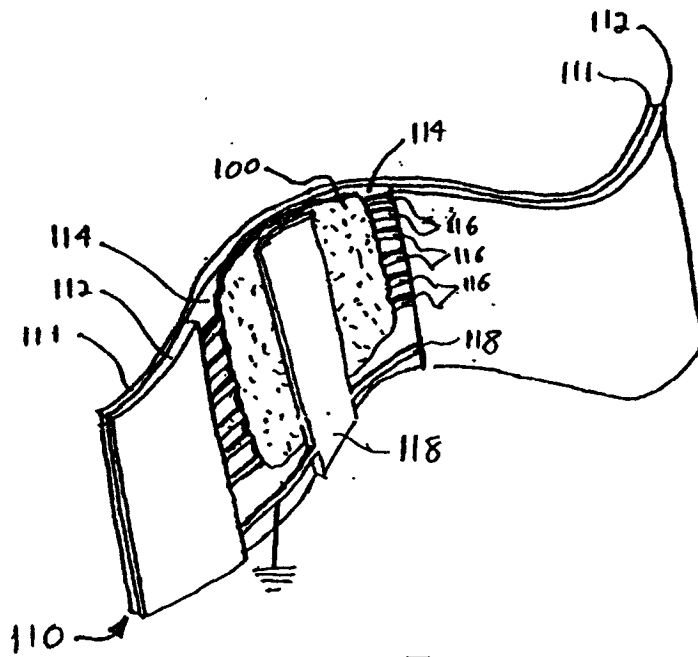


图 5

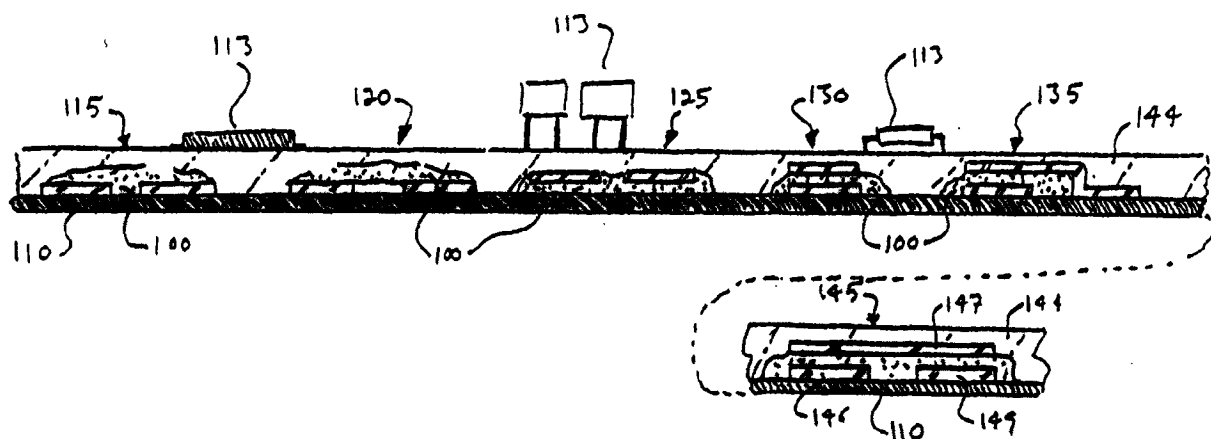


图 9

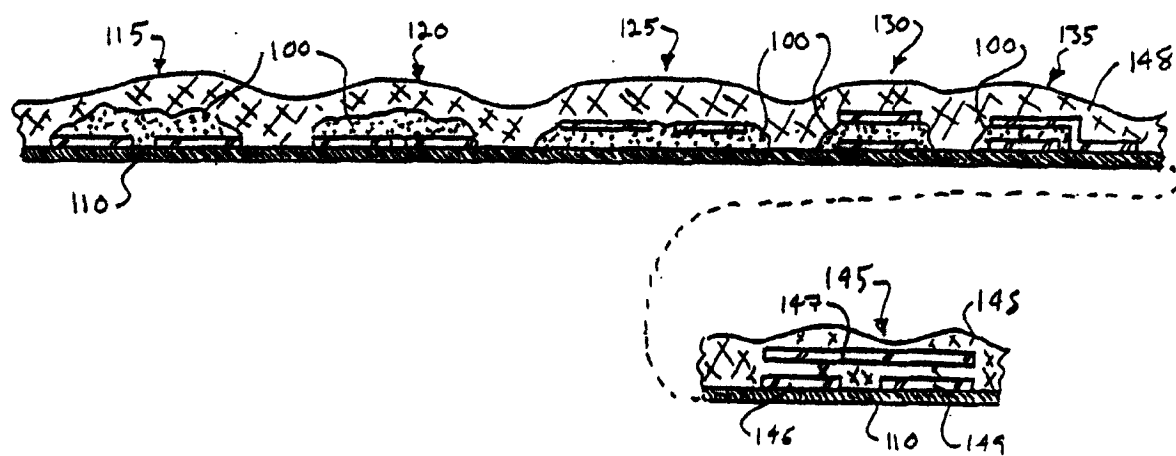


图 10

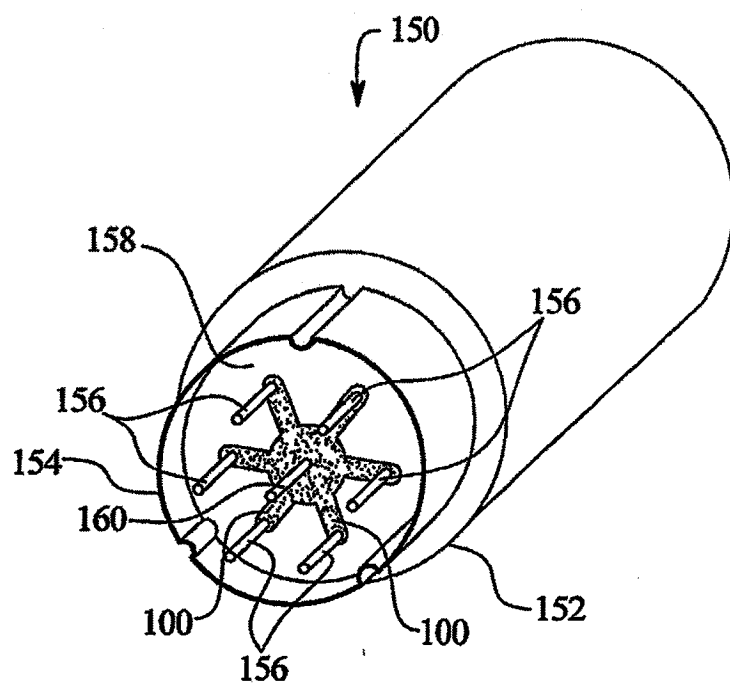


图 11

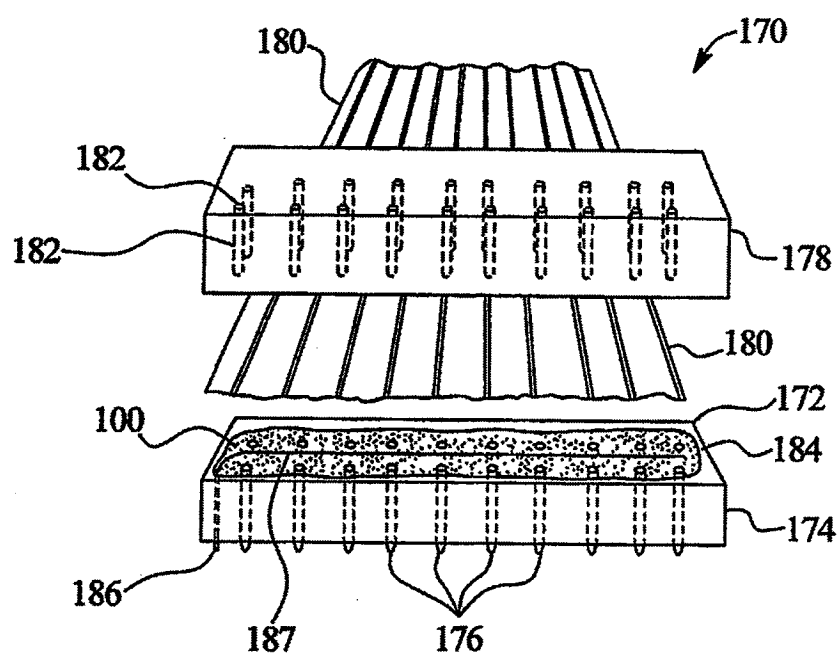


图 12

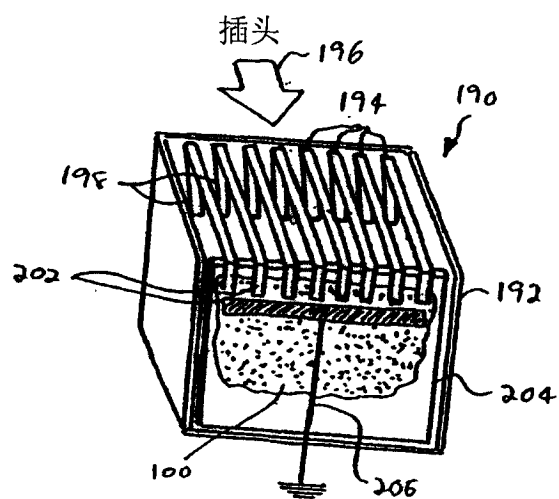


图 13

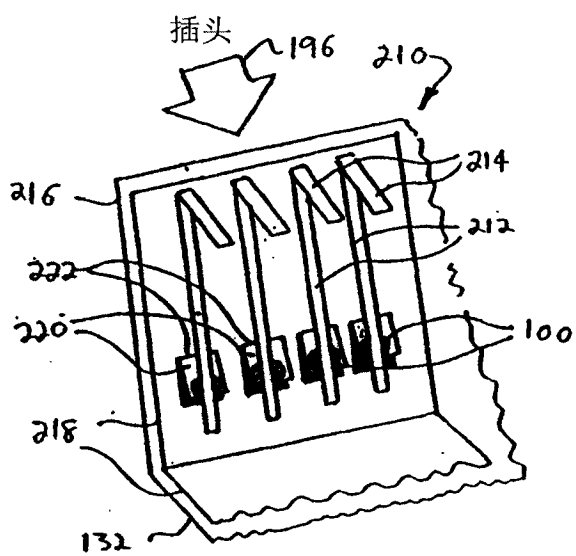


图 14

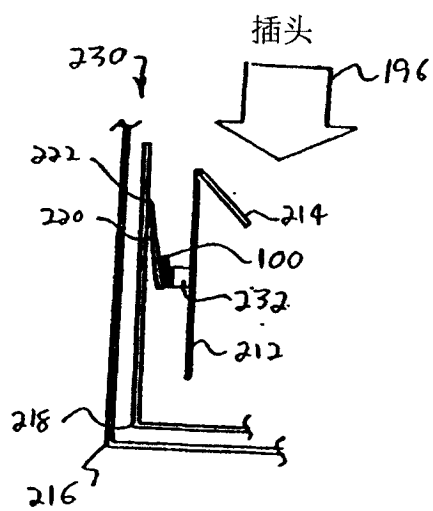


图 15

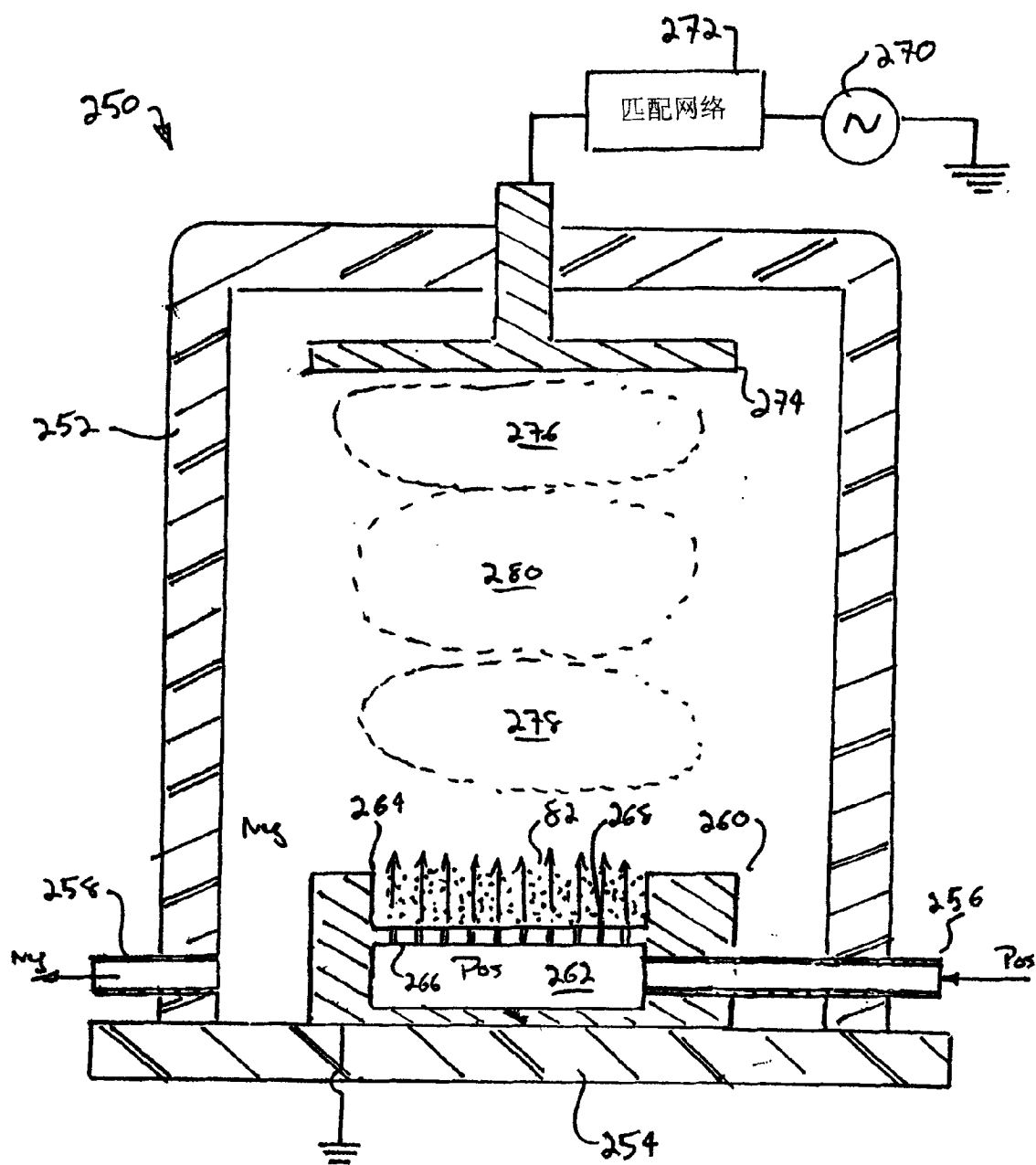


图 16

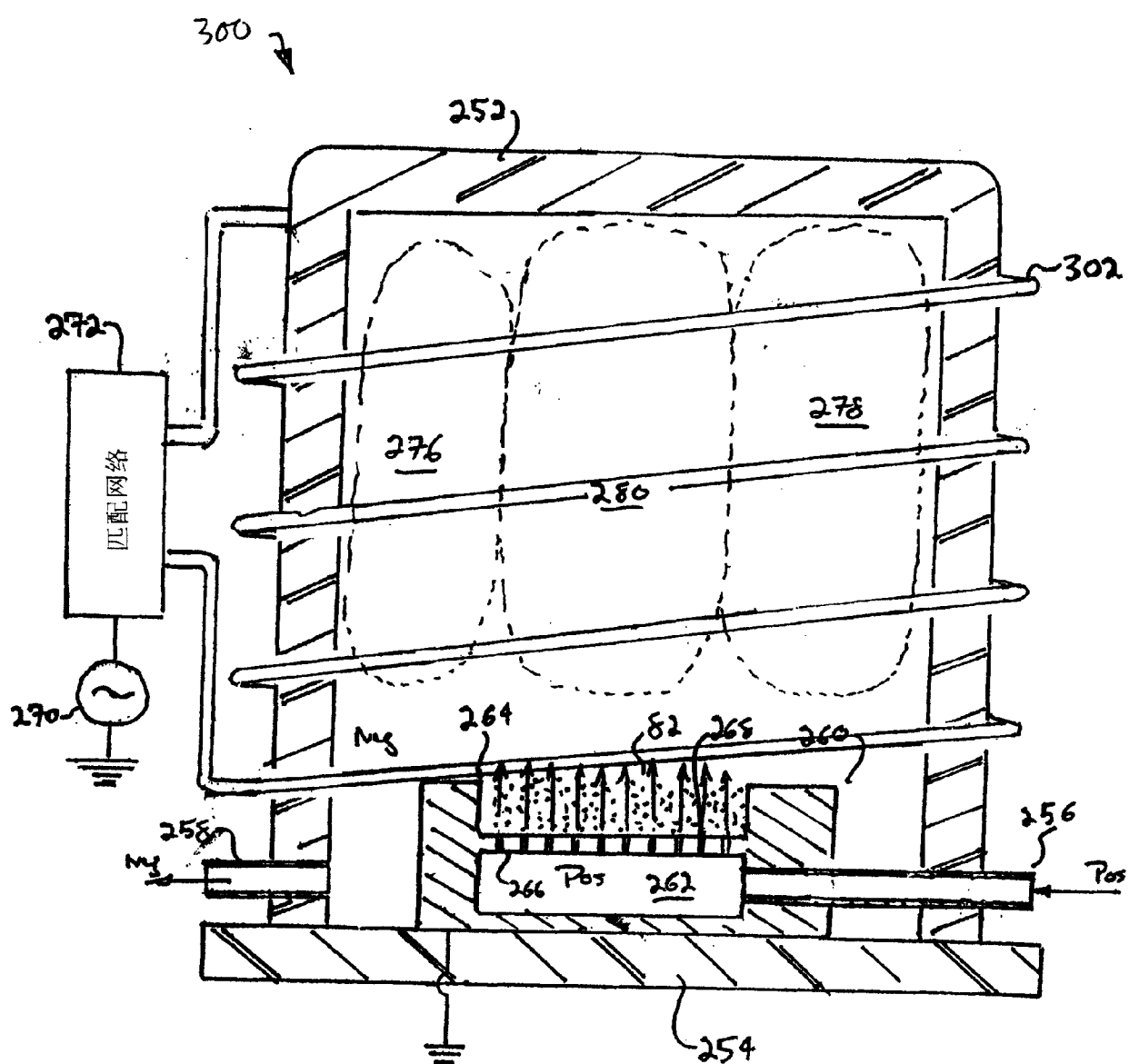


图 17