

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成23年3月24日(2011.3.24)

【公開番号】特開2009-267219(P2009-267219A)

【公開日】平成21年11月12日(2009.11.12)

【年通号数】公開・登録公報2009-045

【出願番号】特願2008-117055(P2008-117055)

【国際特許分類】

H 01 L 27/105 (2006.01)

H 01 L 27/10 (2006.01)

H 01 L 21/265 (2006.01)

H 01 L 21/20 (2006.01)

H 01 L 45/00 (2006.01)

【F I】

H 01 L 27/10 4 4 8

H 01 L 27/10 4 5 1

H 01 L 21/265 6 0 2 C

H 01 L 21/20

H 01 L 45/00 A

【手続補正書】

【提出日】平成23年2月7日(2011.2.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

相変化材料またはRAM材料を有する記録材料と、シリコン材料とを含む半導体デバイスが積層された構造を持つ半導体記憶装置の製造方法であって、

(1) 半導体基板上に前記記録材料を堆積する工程と、

(2) 前記記録材料が堆積された前記半導体基板の表面全体を覆うように金属膜を堆積する工程と、

(3) 前記金属膜上に、前記半導体デバイスを構成するアモルファスシリコンを堆積する工程と、

(4) 前記アモルファスシリコンを炉体加熱よりも熱処理時間の短いアニールで結晶化する工程と、

を含むことを特徴とする半導体記憶装置の製造方法。

【請求項2】

前記(2)の工程で堆積する金属膜として、Wまたは、WとTiもしくはNiもしくはCoの積層膜を堆積することを特徴とする請求項1に記載の半導体記憶装置の製造方法。

【請求項3】

前記(4)の工程の前に、前記アモルファスシリコンの表面側に位置する上部領域または前記金属膜側に位置する下部領域のいずれか一方の領域に第1導電型の不純物領域を形成し、

前記上部領域と前記下部領域のうちのいずれか他方の領域に、第2導電型の不純物領域を形成する工程を含むことを特徴とする請求項1に記載の半導体記憶装置の製造方法。

【請求項4】

前記第1導電型の不純物領域と前記第2導電型の不純物領域のいずれか一方、または両方をイオン打ち込みにより形成することを特徴とする請求項3に記載の半導体記憶装置の製造方法。

【請求項5】

前記第1導電型の不純物を含むアモルファスシリコンを成膜後、前記第2導電型の不純物領域をイオン打ち込みにより形成することを特徴とする請求項4に記載の半導体記憶装置の製造方法。

【請求項6】

前記第1導電型の不純物を含むアモルファスシリコンを成膜後、前記第1導電型の不純物を含むアモルファスシリコン上に第2のアモルファスシリコンを成膜した後、前記第2導電型の不純物領域をイオン打ち込みにより形成することを特徴とする請求項4に記載の半導体記憶装置の製造方法。

【請求項7】

前記第1導電型の不純物を含むアモルファスシリコンを成膜後、前記第1導電型の不純物を含むアモルファスシリコンを短時間アニールで結晶化する工程と、

前記結晶化された第1導電型の不純物を含むシリコン上に第2のアモルファスシリコンを成膜した後、前記第2導電型の不純物領域をイオン打ち込みにより形成することを特徴とする請求項6に記載の半導体記憶装置の製造方法。

【請求項8】

前記(4)の工程の前に、前記アモルファスシリコンの表面側に位置する上部領域または前記金属膜側に位置する下部領域のいずれか一方の領域に第1導電型の高濃度不純物領域を形成し、

前記上部領域と前記下部領域のうちのいずれか他方の領域に、第1導電型の低濃度不純物領域を形成する工程を含むことを特徴とする請求項1に記載の半導体記憶装置の製造方法。

【請求項9】

前記記録材料と、前記半導体デバイスとが積層されたピラー状の構造を有するメモリの形成に際して、

前記(2)の工程で前記半導体基板の表面全体を金属膜で覆う前に、前記ピラー状構造を加工する際の最小寸法を用いて前記記録材料をストライプ状またはドット状にパターニングすることを特徴とする請求項1に記載の半導体記憶装置の製造方法。

【請求項10】

前記(4)の工程においてアモルファスシリコンを結晶化する前に、前記半導体デバイスが積層される部分に前記(2)の工程で形成した前記金属膜が残るようにパターニングすることを特徴とする請求項1に記載の半導体記憶装置の製造方法。

【請求項11】

前記ストライプ状またはドット状にパターニングされた記録材料間のスペースに絶縁膜を埋め込む工程を含むことを特徴とする請求項9に記載の半導体記憶装置の製造方法。

【請求項12】

相変化材料またはRAM材料を有する記録材料と、半導体デバイスとなるシリコン材料を含むメモリセルのアレイが積層された構造を持つ半導体記憶装置の製造方法であって、

- (A) 半導体基板上に前記記録材料を成膜する工程と、
- (B) 前記記録材料が堆積された前記半導体基板の表面全体を覆うように絶縁膜を堆積する工程と、
- (C) 前記絶縁膜の表面全体を覆うように金属膜を堆積する工程と、
- (D) 前記金属膜上に前記ダイオードとなるアモルファスシリコンを堆積する工程と、
- (E) アモルファスシリコンを炉体加熱よりも熱処理時間の短いアニールで結晶化する工程と、

を含むことを特徴とする半導体記憶装置の製造方法。

【請求項 1 3】

前記 (D) の工程で、前記アモルファスシリコンの表面側に位置する上部領域または前記金属膜側に位置する下部領域のいずれか一方の領域に第 1 導電型の不純物領域を形成し、

前記上部領域と前記下部領域のうちのいずれか他方の領域に、第 2 導電型の不純物領域を形成する工程を含むことを特徴とする請求項 1 2 に記載の半導体記憶装置の製造方法。

【請求項 1 4】

前記第 1 導電型の不純物領域と前記第 2 導電型の不純物領域のいずれか一方、または両方をイオン打ち込みにより形成することを特徴とする請求項 1 3 に記載の半導体記憶装置の製造方法。

【請求項 1 5】

前記第 1 導電型の不純物を含むアモルファスシリコンを成膜後、前記第 2 導電型の不純物領域をイオン打ち込みにより形成することを特徴とする請求項 1 3 に記載の半導体記憶装置の製造方法。

【請求項 1 6】

前記 (D) の工程で、前記アモルファスシリコンの表面側に位置する上部領域または前記金属膜側に位置する下部領域のいずれか一方の領域に第 1 導電型の高濃度不純物領域を形成し、

前記上部領域と前記下部領域のうちのいずれか他方の領域に、第 1 導電型の低濃度不純物領域を形成する工程を含むことを特徴とする請求項 1 2 に記載の半導体記憶装置の製造方法。

【請求項 1 7】

前記記録材料と、前記半導体デバイスとが積層されたピラー状の構造を有するメモリの形成に際して、

前記 (A) の記録材料を前記 (B) の工程において、前記半導体基板の表面全体を絶縁膜で覆う前に、前記ピラー状構造を加工する際の最小寸法を用いて前記記録材料をストライプ状またはドット状にパターニングすることを特徴とする請求項 1 2 に記載の半導体記憶装置の製造方法。

【請求項 1 8】

前記ストライプ状またはドット状にパターニングされた記録材料間のスペースに絶縁膜を埋め込む工程を含むことを特徴とする請求項 1 7 に記載の半導体記憶装置の製造方法。

【請求項 1 9】

前記炉体加熱よりも熱処理時間の短いアニールは、CO₂レーザーアニールで行われることを特徴とする請求項 1 または 1 2 に記載の半導体記憶装置の製造方法。

【請求項 2 0】

半導体基板上に形成された絶縁膜と、

前記絶縁膜上に形成された複数の第 1 金属配線と、

前記第 1 金属配線上の各々に形成された複数のダイオードと、

前記ダイオードの各々の上に形成された第 1 電極と、

前記第 1 電極上に形成された相変化材料や R e R A M 材料などの記録材料と、

前記相変化材料の上に形成された第 2 電極と、

前記第 2 電極上に形成された複数の第 2 配線とを有し、

前記第 1 配線は、前記記録材料と前記第 2 配線とを介する前記第 2 電極よりも熱伝導率が大きい金属で形成されることを特徴とする半導体記憶装置。

【請求項 2 1】

前記第 1 電極と前記第 2 電極が、前記第 1 配線および前記第 2 配線よりも熱伝導率が小さい金属で形成されることを特徴とする請求項 2 0 に記載の半導体記憶装置。