

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年7月13日(13.07.2017)



(10) 国際公開番号

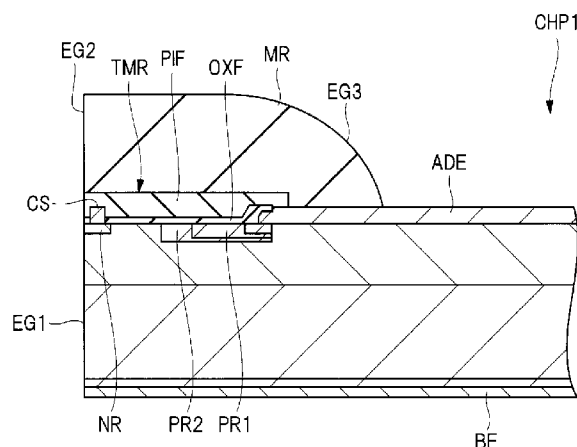
WO 2017/119064 A1

- (51) 国際特許分類:
H01L 23/29 (2006.01) H01L 25/07 (2006.01)
H01L 23/28 (2006.01) H01L 25/18 (2006.01)
H01L 23/31 (2006.01)
- (21) 国際出願番号: PCT/JP2016/050128
- (22) 国際出願日: 2016年1月5日(05.01.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社日立製作所(HITACHI, LTD.)
[JP/JP]; 〒1008280 東京都千代田区丸の内一丁目
6番6号 Tokyo (JP).
- (72) 発明者: 小島 恭子(KOJIMA, Kyoko); 〒1008280
東京都千代田区丸の内一丁目6番6号 Tokyo
(JP). 安井 感(YASUI, Kan); 〒1008280 東京都千代
田区丸の内一丁目6番6号 Tokyo (JP). 吉元 広
行(YOSHIMOTO, Hiroyuki); 〒1008280 東京都千代
田区丸の内一丁目6番6号 Tokyo (JP).
- (74) 代理人: 特許業務法人筒井国際特許事務所
(TSUTSUI & ASSOCIATES); 〒1600022 東京都新宿
区新宿2丁目3番10号 新宿御苑ビル3階
Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

図 15



(57) Abstract: To improve reliability of a semiconductor device (SA1) by achieving a structure that mitigates electric field strength in the vicinity of an outer end portion of a semiconductor chip (CHP1), said semiconductor device (SA1) using a wide bandgap semiconductor material having a bandgap larger than that of silicon. For instance, the semiconductor device (SA1) is provided with: the semiconductor chip (CHP1), which contains a semiconductor material having a bandgap larger than that of silicon, and which has a high electric field-resistant sealing member (MR) covering a peripheral end portion of an element forming surface; and a silicone gel (GL) covering the semiconductor chip (CHP1). At that time, an end surface of the semiconductor chip (CHP1), and an outer end portion of the high electric field-resistant sealing member (MR) respectively include parts on a same plane, and the breakdown electric field strength of the high electric field-resistant sealing member (MR) is higher than that of the silicone gel (GL).

(57) 要約:

[続葉有]

WO 2017/119064 A1



シリコンよりもバンドギャップの大きなワイドバンドギャップ半導体材料を使用した半導体装置（S A 1）において、半導体チップ（C H P 1）の外端部近傍での電界強度を緩和する構造を実現することによって、半導体装置（S A 1）の信頼性を向上する。例えば、半導体装置（S A 1）は、シリコンよりもバンドギャップの大きな半導体材料を含み、かつ、素子形成面の周縁部を覆う耐高電界封止部材（M R）を有する半導体チップ（C H P 1）と、半導体チップ（C H P 1）を覆うシリコンゲル（G L）を備える。このとき、半導体チップ（C H P 1）の端面と耐高電界封止部材（M R）の外端部は、面一の部分を含み、耐高電界封止部材（M R）の絶縁破壊電界強度は、シリコンゲル（G L）の絶縁破壊電界強度よりも大きい。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関し、例えば、シリコンよりもバンドギャップの大きなワイドバンドギャップ半導体材料を使用した半導体装置に適用して有効な技術に関する。

背景技術

[0002] 特開 2 0 1 3 - 1 9 1 7 1 8 号公報（特許文献 1）には、S i C 素子の周辺領域に設けられている電界緩和領域からシリコングル中に発生する電界強度を低減し、安定した耐圧特性を確保する技術が記載されている。この技術においては、電界緩和領域とシリコングルとの間に、酸化シリコンからなる無機層と、無機層の上部に形成された樹脂層とを有することが記載されている。

[0003] 特開 2 0 1 4 - 2 3 6 1 6 6 号公報（特許文献 2）には、半導体チップの中心から $[-1-120]$ 方向側の p 型ターミネーション領域のコーナ部の曲率半径を、半導体チップの中心から $[11-20]$ 方向側の p 型ターミネーション領域のコーナ部の曲率半径よりも大きくする技術が記載されている。

先行技術文献

特許文献

[0004] 特許文献 1：特開 2 0 1 3 - 1 9 1 7 1 8 号公報

特許文献 2：特開 2 0 1 4 - 2 3 6 1 6 6 号公報

発明の概要

発明が解決しようとする課題

[0005] 例えば、シリコンよりもバンドギャップの大きなワイドバンドギャップ半導体材料は、絶縁破壊電界強度が高いため、半導体チップの内部の電界強度を高めた設計が可能であり、半導体チップの周縁部に形成される電界緩和部

(ターミネーション部)を縮小することにより、製造コストの削減を図ることができる。

[0006] ここで、ワイドバンドギャップ半導体材料に接する封止体にかかる電界強度も大きくなるため、ワイドバンドギャップ半導体材料用の封止材には、絶縁破壊強度が高いことが要求される。例えば、シリコンの場合、半導体チップの電界緩和部の直上は、シリコーンゲルなどの封止部材で封止されるが、ワイドバンドギャップ半導体材料の場合には、電界強度がシリコーンゲルの絶縁破壊電界強度を超えてしまうため、電界緩和部とシリコーンゲルとの間に絶縁部材を挿入することが検討されている。

[0007] このとき、例えば、絶縁部材の形成は、半導体ウェハをダイシングして半導体チップを取得した後、半導体チップを絶縁基板に搭載する過程で実施される。すなわち、半導体チップの周縁部に形成されている電界緩和部上にピンポイントで絶縁部材を滴下することが行なわれる。ところが、この場合、絶縁部材の外端部の形状は、ピンポイントでの滴下技術に起因して、裾を引いたテーパ形状となる。このことから、半導体チップの外端部近傍で絶縁部材の膜厚が薄くなり、電界強度を十分に緩和することができないおそれがある。

[0008] この点に関し、電界緩和部の幅を十分に大きく設計すれば、半導体チップの外端部近傍の電界強度を緩和することができるが、この場合、半導体素子形成部として機能しない電界緩和部のサイズが大きくなり、製造コストの増加を招くことになる。

[0009] したがって、ワイドバンドギャップ半導体材料の優れた材料物性を有効活用するためには、電界緩和部を縮小しても、半導体チップの外端部近傍での電界強度を緩和できるように、絶縁部材の形状を工夫することが望まれている。

[0010] 本発明の目的は、シリコンよりもバンドギャップの大きなワイドバンドギャップ半導体材料を使用した半導体装置において、半導体チップの外端部近傍での電界強度を緩和する構造を実現することによって、半導体装置の信頼

性を向上することにある。

[0011] その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0012] 一実施の形態における半導体装置は、シリコンよりもバンドギャップの大きな半導体材料を含み、かつ、素子形成面の周縁部を覆う絶縁部材を有する半導体チップと、半導体チップを覆う封止部材とを備える。このとき、半導体チップの端面と絶縁部材の外端部は、面一の部分を含み、絶縁部材の絶縁破壊電界強度は、封止部材の絶縁破壊電界強度よりも大きい。

[0013] また、一実施の形態における半導体装置は、シリコンよりもバンドギャップの大きな半導体材料を含む半導体チップを備える。このとき、半導体チップは、周縁部と、周縁部の内側に位置する半導体素子形成部と、周縁部を覆い、かつ、半導体素子形成部を囲む絶縁部材とを有する。そして、平面視において、絶縁部材の内端部の形状は、互いに曲率半径の異なる曲線部を含む。

発明の効果

[0014] 一実施の形態によれば、半導体装置の信頼性を向上することができる。

図面の簡単な説明

[0015] [図1]鉄道車両に適用される3相モータシステムの一例を示すブロック図である。

[図2]コンバータとインバータの回路構成を示す回路図である。

[図3]関連技術において、ダイオードが形成された半導体チップの模式的な構成を示す平面図である。

[図4]図3のA-A線で切断した断面図である。

[図5]耐高電界封止部材の形成工程を模式的に示す図である。

[図6]関連技術における半導体装置の構成を示す断面図である。

[図7]実施の形態1における半導体装置を模式的に示す断面図である。

[図8]実施の形態1における半導体装置の製造工程の流れを示すフローチャー

トである。

[図9]半導体ウェハ上に耐高電界封止部材を塗布する様子を示す図である。

[図10]半導体ウェハの一部を拡大して示す図である。

[図11]半導体ウェハに形成されているターミネーション部を覆うように、ディスペンサから耐高電界封止部材を滴下する様子を示す断面図である。

[図12]半導体ウェハのスクライブラインに沿って、半導体ウェハを切断する工程を示す図である。

[図13]半導体ウェハを切断する工程を示す断面図である。

[図14]半導体ウェハを切断した後の状態を示す断面図である。

[図15]実施の形態1における半導体チップの端部近傍を拡大して示す断面図である。

[図16]耐高電界封止部材の外端部の一部が傾斜形状となる形状を示す図である。

[図17]耐高電界封止部材の外端部の一部が凸形状となる形状を示す図である。

[図18]関連技術における半導体チップを示す平面図である。

[図19]実施の形態1における「曲率半径」の定義を説明する図である。

[図20](a)は、実施の形態1における半導体チップの平面構成例を示す模式図であり、(b)は、他の平面構成例を示す模式図である。

[図21]耐高電界封止部材の形成工程を説明する図である。

[図22]耐高電界封止部材の形成工程を説明する図である。

[図23]所定の温度シーケンスによって熱硬化した耐高電界封止部材を模式的に示す図である。

[図24](a)は、変形例1における半導体チップの平面構成例を示す模式図であり、(b)は、他の平面構成例を示す模式図である。

[図25]耐高電界封止部材の形成工程を説明する図である。

[図26]耐高電界封止部材の形成工程を説明する図である。

[図27](a)は、変形例2における半導体チップの平面構成例を示す模式図

であり、（b）は、他の平面構成例を示す模式図である。

[図28]（a）は、変形例2における半導体チップの平面構成例において、ワイヤとの接続部が形成されている状態を示す模式図であり、（b）は、他の平面構成例において、ワイヤとの接続部が形成されている状態を示す模式図である。

[図29]耐高電界封止部材の形成工程を説明する図である。

[図30]耐高電界封止部材の形成工程を説明する図である。

[図31]各パラメータで規定される複数のチップのそれぞれについて、各パラメータの具体的な数値例を示す図である。

[図32]実施の形態1における半導体モジュールの構成を示す模式図である。

[図33]実施の形態1における半導体モジュールの構成を示す模式図である。

[図34]実施の形態1における絶縁基板の平面構成例を示す模式図である。

[図35]SiC-MOSFETが形成された半導体チップの平面構成を示す図である。

[図36]ゲートパッドをソースパッドの端部近傍に配置した平面構成の半導体チップを示す図である。

[図37]（a）は、本実施の形態2における半導体チップの平面構成例を示す模式図であり、（b）は、他の平面構成例を示す模式図である。

[図38]（a）は、本実施の形態2における半導体チップの他の平面構成例を示す模式図であり、（b）は、他の平面構成例を示す模式図である。

[図39]実施の形態2における絶縁基板の平面構成例を示す模式図である。

発明を実施するための形態

[0016] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

[0017] また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の

数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

[0018] さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

[0019] 同様に、以下の実施の形態において、構成要素等の形状、位置関係等に関及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

[0020] また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

[0021] （実施の形態１）

＜３相モータシステムの構成例＞

図１は、例えば、鉄道車両に適用される３相モータシステム（電力変換装置）の一例を示すブロック図である。図１に示すように、鉄道車両には、架線ＲＴからパンタグラフＰＧを介して電力が供給される。このとき、架線ＲＴから供給される高圧交流電圧は、例えば、２５ｋＶまたは１５ｋＶである。架線ＲＴからパンタグラフＰＧを介して鉄道車両に供給される高圧交流電圧は、絶縁型の主変圧器ＭＴＲによって、例えば、３．３ｋＶの交流電圧に降圧される。この降圧された交流電圧は、コンバータＣＯＮによって直流電圧（３．３ｋＶ）に順変換される。その後、コンバータＣＯＮによって変換された直流電圧は、キャパシタＣＬを介してインバータＩＮＶによって、それぞれ位相が１２０度ずれた３相交流電圧に変換される。そして、インバータＩＮＶで変換された３相交流電圧は、３相モータＭＴに供給される。この結果、３相モータＭＴが駆動することにより、車輪ＷＨＬを回転させることができ、これによって、鉄道車両を走行させることができる。

[0022] このように、鉄道車両の３相モータシステムには、コンバータＣＯＮやイ

ンバータ I N V が含まれている。図 2 は、図 1 に示すコンバータ C O N とインバータ I N V の回路構成を示す回路図である。図 2 に示すように、コンバータ C O N およびインバータ I N V のそれぞれは、6 個のパワートランジスタ Q 1 と 6 個のフリーホイールダイオード F R D とから構成されている。例えば、インバータ I N V に着目すると、3 相（U 相、V 相、W 相）のそれぞれに対応して、上アーム（ハイサイドスイッチ）と下アーム（ローサイドスイッチ）が設けられており、上アームと下アームのそれぞれは、互いに並列接続された 1 個のパワートランジスタ Q と 1 個のフリーホイールダイオード F R D から構成されていることになる。このとき、パワートランジスタ Q 1 は、スイッチング素子として機能する一方、フリーホイールダイオードは、例えば、3 相モータ M T に含まれるインダクタンスに起因する還流電流を流す整流素子として機能する。

[0023] 以上のように、インバータ I N V やコンバータ C O N などの電力変換機器の中で、パワートランジスタ Q 1 やフリーホイールダイオード F R D などのパワー半導体素子は、スイッチング機能や整流機能を有する主要な構成部品として使用されている。例えば、パワートランジスタ Q 1 としては、シリコン（S i）を基板材料として使用した I G B T (Insulated Gate Bipolar Transistor) が使用され、フリーホイールダイオード F R D としては、シリコンを基板材料として使用した p n 接合ダイオードが使用されている。

[0024] この点に関し、近年では、パワー半導体素子の基板材料として、シリコンよりもバンドギャップの大きなワイドバンドギャップ半導体材料を使用することが検討され、このワイドバンドギャップ半導体材料を使用したパワー半導体素子の開発が進められている。なぜなら、ワイドバンドギャップ半導体材料は、シリコンよりもバンドギャップが大きいことに起因して、シリコンよりも絶縁破壊電界強度が高いからである。つまり、ワイドバンドギャップ半導体材料を使用したパワー半導体素子では、シリコンよりも絶縁破壊電界強度が高いことから、シリコンを基板材料として使用したパワー半導体素子よりもドリフト層（エピタキシャル層）の厚さを薄くしても耐圧を確保する

ことができる。さらには、ワイドバンドギャップ半導体材料を使用したパワー半導体素子では、ドリフト層の厚さを薄くすることによって、オン抵抗の低減を図ることができる。すなわち、ワイドバンドギャップ半導体材料を基板材料として使用したパワー半導体素子では、トレードオフの関係にある耐圧の確保とオン抵抗の低減との両立を図ることができる利点が得られるのである。

[0025] 例えば、ワイドバンドギャップ半導体材料としては、炭化シリコン（S i C）、窒化ガリウム（G a N）、ダイヤモンドなどを挙げることができるが、以下では、特に、S i Cに着目して説明することにする。

[0026] ワイドバンドギャップ半導体材料であるS i Cは、シリコンに対して、絶縁破壊電界強度が約一桁高いため、パワー半導体素子の低オン抵抗化が可能である。これは、上述したように、絶縁破壊電界強度が高いと、薄いドリフト層（エピタキシャル層）でも耐圧を確保できる結果、ドリフト層を薄くすることによってオン抵抗の低減を図ることができるからである。さらに、S i Cの熱伝導率は、シリコンの熱伝導率の約3倍で、かつ、高温でも半導体物性に優れていることから、高温での使用にも適している。

[0027] したがって、近年では、シリコンを基板材料として使用したパワー半導体素子に対し、S i Cを基板材料として使用したパワー半導体素子に置き換えることが検討されている。具体的に、インバータI N Vを例に挙げると、インバータI N Vの構成部品であるスイッチング素子と整流素子のうち、整流素子であるフリーホイールダイオードF R Dとして、シリコンを基板材料として使用したp n接合ダイオードから、S i Cを基板材料として使用したショットキーバリアダイオード（以下、S i Cショットキーバリアダイオードという）に置き換える開発が先行している。

[0028] このように、シリコンを基板材料として使用したp n接合ダイオードから、S i Cショットキーバリアダイオードに置き換える場合、ショットキーバリアダイオードでは、リカバリ電流が無いため、スイッチング損失を1 / 1 0に低減できるという報告がある。これは、バイポーラ素子であるp n接合

ダイオードでは、スイッチング時に蓄積された少数キャリアがリカバリ電流として流れる一方、ユニポーラ素子であるショットキーバリアダイオードでは、少数キャリアの蓄積が無いためである。

[0029] また、整流素子に加えてスイッチング素子においても、スイッチング素子であるパワートランジスタQ1として、シリコンを基板材料として使用したIGBT（以下、Si-IGBTという）から、SiCを基板材料として使用したMOSFET（Metal Oxide Semiconductor Field Effect Transistor）（以下、SiC-MOSFETという）に置き換えることも検討されている。なぜなら、Si-IGBTをSiC-MOSFETに置き換えることにより、スイッチング損失の低減効果を大きくすることができるからである。これは、バイポーラ素子であるSi-IGBTをユニポーラ素子であるSiC-MOSFETに置き換えることにより、シリコンのpn接合ダイオードをSiCショットキーバリアダイオードに置き換える場合と同様の原理によって、スイッチング損失を低減できるためである。なお、インバータINVのパワートランジスタQ1をSiC-MOSFETから構成する場合、SiC-MOSFETには、寄生的にボディダイオードが形成され、このボディダイオードがフリーホイールダイオードFRDとして機能する。このことから、フリーホイールダイオードFRDとして機能するショットキーバリアダイオードを省略することも可能となる。

[0030] なお、シリコンでも、ショットキーバリアダイオードやMOSFETを製造することは可能であるが、耐圧を高めるために、ドリフト層の厚さを厚くする必要があり、これによって、オン抵抗が高くなってしまい実用的ではない。つまり、絶縁破壊電界強度の高いSiCを使用して初めて、薄いドリフト層で耐圧を確保できるのであり、これによって、耐圧の確保とオン抵抗の低減の両立を図ることが可能となる。つまり、薄いドリフト層で耐圧を確保できる低抵抗なSiCを使用するからこそ、従来のシリコンによるショットキーバリアダイオードやMOSFETを適用できなかった耐圧600V～6.5kVといった高耐圧領域までユニポーラ素子であるショットキーバリア

ダイオードやMOSFETを適用することが可能となるのである。

[0031] さらに、スイッチング素子であるパワートランジスタQ1として、Si-IGBTから、SiCを基板材料として使用したIGBT（以下、SiC-IGBTという）に置き換えることも検討されている。なぜなら、SiC-IGBTは、同じ耐圧のSiC-MOSFETに比べて、3相モータ（負荷）の駆動電流量を大きくすることができ、かつ、Si-IGBTに比べて、1デバイスあたりの耐圧が高いため、部品点数を少なくすることができるからである。この結果、3相モータシステムのサイズ（体積）を小さくすることができる。このことは、例えば、3相モータシステムを含む床下部品的小型化によって、鉄道車両の低床化を図ることができる。また、床下部品的小型化によって、鉄道車両の一部に蓄電池SB（図1参照）を新たに設置できるスペースを確保することができるので、鉄道車両が走行していない場合、車輪WHLを経由して電力を架線RTに戻さずに、蓄電池SBに電力を蓄積することができる。この結果、鉄道車両の回生効率を向上することができる。言い換えれば、鉄道システムのライフサイクルコストを低減することができる。

[0032] <SiCデバイスに特有の構造>

以上のように、SiCを基板材料に使用したパワー半導体素子（以下、SiCデバイスという）では、SiCの絶縁破壊電界強度が高いことに起因して、SiCデバイスが形成された半導体チップの内部の電界強度を高めた設計が可能となる。つまり、SiCデバイスでは、半導体チップの内部の電界強度を高めた設計を実現するために、SiCデバイスに特有の構造を有している。以下に、このSiCデバイスに特有の構造を説明する。

[0033] 上述したように、SiCは、絶縁破壊電界強度が高いため、半導体チップの内部の電界強度を高めた設計が可能であり、半導体チップの周縁部に形成される電界緩和部（ターミネーション部）のサイズを縮小すれば、半導体チップの低コスト化を実現することができる。この場合、半導体チップに接触する封止部材に加わる電界強度も高くなるため、SiCデバイスが形成され

た半導体チップの封止に使用される封止部材には、絶縁破壊電界強度の高さが要求される。例えば、シリコンデバイスが形成された半導体チップでは、半導体チップをシリコングルなどの封止部材で封止するが、S i Cデバイスが形成された半導体チップでは、封止部材に加わる電界強度がシリコングルの絶縁破壊電界強度を超えてしまうため工夫が必要される。すなわち、S i Cデバイスが形成された半導体チップでは、半導体チップの周縁部とシリコングルとの間に、シリコングルよりも絶縁破壊電界強度の高い耐高電界封止部材を挿入することが行なわれる。すなわち、ここでいうS i Cデバイスに特有の構造とは、S i Cデバイスが形成された半導体チップとシリコングルとの間に耐高電界封止部材を挿入する構造である。この構造によれば、S i Cデバイスが形成された半導体チップの周縁部付近において、耐高電界封止部材を挿入することによって、シリコングル内の電界強度を許容範囲内に抑制できる結果、S i Cデバイスが形成された半導体チップを備える半導体装置の信頼性を向上することができる。

[0034] このように、S i Cデバイスが形成された半導体チップにおいては、S i Cデバイスに特有の構造を有しているが、本発明者の検討によると、S i Cデバイスに特有の構造に関して、新たな改善の余地が存在することが明らかになった。そこで、以下では、本発明者が見出した新たな改善の余地に関する知見について説明する。

[0035] <改善の検討>

以下では、S i Cデバイスの一例としてダイオードを取り挙げて改善の検討を行なう。図3は、関連技術において、ダイオードが形成された半導体チップC H Pの模式的な構成を示す平面図である。図3に示すように、矩形形状をした半導体チップC H Pの中央部には、アノード電極（アノード電極パッド）A D Eが形成され、このアノード電極A D Eを平面的に囲むように、電界緩和部として機能するターミネーション部T M Rが形成されている。そして、このターミネーション部T M Rを覆うように耐高電界封止部材M Rが形成されている。なお、本明細書でいう「関連技術」は、新規に発明者が見

出した課題を有する技術であって、公知である従来技術ではないが、新規な技術的思想の前提技術（未公知技術）を意図して記載された技術である。

[0036] 図4は、図3のA-A線で切断した断面図である。図4に示すように、半導体チップCHPの裏面には、カソード電極として機能する裏面電極が形成されている一方、半導体チップCHPの表面には、アノード電極ADEが形成されている。そして、アノード電極ADEを挟むようにターミネーション部TMRが形成されており、ターミネーション部TMR上からアノード電極ADEに跨る領域にわたって、耐高電界封止部材MRが形成されている。ここで、本発明者が見出した改善の余地とは、この耐高電界封止部材MRの形状にあり、特に、耐高電界封止部材MRの製造工程に起因するため、以下では、関連技術における耐高電界封止部材MRの製造工程について簡単に説明する。

[0037] 具体的に、関連技術において、耐高電界封止部材MRは、半導体ウェハをダイシングして複数の半導体チップに個片化した後、個々の半導体チップを絶縁基板に搭載した状態で形成される。図5は、耐高電界封止部材MRの形成工程を模式的に示す図である。図5において、絶縁基板SUB上に半田材（接着材）ADHによって半導体チップCHPを搭載した後、ディスペンサDPからペースト状態の耐高電界封止部材MRを滴下することにより、ターミネーション部TMR上からアノード電極ADEに跨る領域にわたって、耐高電界封止部材MRを形成する。その後、図6に示すように、半導体チップCHPの表面に形成されているアノード電極ADEにワイヤWを接続して、半導体チップCHPを覆うように封止部材であるシリコーンゲルGLを形成する。このとき、図6において、領域ARで示すように、耐高電界封止部材MRの外端部の形状は、図5に示す半導体チップ形成後の塗布技術（ポッティング技術）での形成方法に起因して、裾を引いたテーパ形状となる。この結果、図6に示すように、耐高電界封止部材MRの外端部近傍で、耐高電界封止部材MRの膜厚が薄くなり、これによって、半導体チップCHPの外縁部近傍において、電界を十分に緩和することができないことを本発明者は新

たに見出した。すなわち、本発明者が新たに見出した知見は、関連技術のように、個片化された半導体チップC H Pに対して、ポッティング法によって、ペースト状態の耐高電界封止部材M Rを半導体チップC H Pの外縁部近傍に塗布する方法では、耐高電界封止部材M Rの外端部での膜厚が薄くなり、この領域で電界を十分に緩和できないという知見である。この結果、シリコンゲルに絶縁破壊電界強度以上の電界が加わることになり、半導体装置の信頼性が低下するというものである。

[0038] この点に関し、耐高電界封止部材M Rの下層に形成されるターミネーション部T M Rの幅を十分に大きく設計することにより、半導体チップC H Pの外縁部近傍での電界を緩和することができる。ただし、この場合、高価なS i Cを使用した半導体チップC H P上で、電気伝導に殆ど寄与しないターミネーション部T M Rのサイズが大きくなる結果、S i Cデバイスの製造コストが増大することになる。S i Cの優れた材料物性を有効活用するためには、ターミネーション部T M Rを縮小しても、半導体チップC H Pの外縁部近傍での電界を緩和できるように、耐高電界封止部材M Rの形状を工夫する必要がある。

[0039] さらに、本発明者の検討によると、関連技術には、新たな改善の余地が存在する。すなわち、関連技術において、耐高電界封止部材M Rの形成工程は、例えば、図5に示すように、個片化された半導体チップC H Pを絶縁基板S U B上に搭載した後に実施される。具体的には、図5に示すように、耐高電界封止部材M Rは、ディスペンサD Pによって、絶縁基板S U B上に半田材A D Hを介して搭載された半導体チップC H Pのターミネーション部T M Rを一周するように塗布される。この塗布方法では、絶縁基板S U B上に搭載された半導体チップC H Pごとに塗布ノズルの水平位置と高さとをアライメントしながら、絶縁基板S U B上に搭載したすべての半導体チップC H Pに対して繰り返して塗布する必要がある、製造工程に時間を要することになる。さらに、ペースト状態の耐高電界封止部材M Rを塗布した後、耐高電界封止部材M Rの熱硬化処理を必要であり、この熱硬化処理においては、絶縁

基板SUBを数時間熱処理する必要がある。また、半導体チップCHPは、絶縁基板SUBに半田材ADHで半田付けされているが、半田材ADHは、リフロー時に液化して厚みばらつきや水平方向の移動および回転が生じる。このため、絶縁基板SUB上に搭載されている複数の半導体チップCHPのそれぞれごとに、微妙にアライメントのずれが生じる。この点に関し、ディスプレイDPは、半導体チップCHPの位置を光学的に認識して補正を行なう機能を有しているものの、耐高電界封止部材MRの塗布精度が低下しやすく、耐高電界封止部材MRの塗布精度の向上を図ると塗布時間が増加するトレードオフの関係が存在する。

[0040] このように、本発明者は、関連技術に存在する改善の余地を新たに見出し、この改善の余地に対する工夫を施している。以下では、この工夫を施した本実施の形態1における技術的思想について説明することにする。特に、本実施の形態1における技術的思想は、断面観点上の技術的思想と、平面観点上の技術的思想とを有しているため、まず、断面観点に着目した技術的思想について説明し、その後、平面観点に着目した技術思想について説明することにする。

[0041] 1. 断面に着目した技術的思想

＜半導体装置の構成＞

図7は、本実施の形態1における半導体装置SA1を模式的に示す断面図である。図7に示すように、絶縁基板SUB上に半田材ADHを介して半導体チップCHP1が搭載されている。この半導体チップCHP1には、SiCデバイスが形成されており、特に、本実施の形態1では、SiCデバイスとして、ダイオードを取り挙げている。

[0042] 図7において、半導体チップCHP1の裏面には、ダイオードのカソード電極として機能する裏面電極BEが形成されている。一方、半導体チップCHP1の表面は、素子形成面である。この半導体チップCHP1の表面には、ダイオードのアノード電極ADEが形成されており、このアノード電極ADEを囲むようにターミネーション部TMRが形成されている。このターミ

ネーション部TMRは、半導体チップCHP1の周縁部にわたって形成されており、半導体チップCHP1の周縁部における電界強度を緩和する目的で形成されている。このターミネーション部TMRの内側には、SiCデバイスであるダイオードが形成されている。すなわち、本実施の形態1における半導体チップCHP1は、ターミネーション部TMRが形成された周縁部よりも内側にダイオードが形成された半導体素子形成部を有する。そして、半導体チップCHP1の周縁部に形成されているターミネーション部TMRを覆い、かつ、アノード電極ADEの端部近傍を覆うように、耐高電界封止部材MRが形成されている。また、アノード電極ADEの中央部近傍には、ワイヤWが接続されている。このように構成されている半導体チップCHP1は、封止部材であるシリコーンゲルGLで封止されている。ここで、耐高電界封止部材MRの絶縁破壊電界強度は、封止部材であるシリコーンゲルGLの絶縁破壊電界強度よりも大きくなっている。また、耐高電界封止部材MRは、半導体チップCHP1の周縁部近傍だけを覆うように形成されており、半導体チップCHP1を覆うように形成されているシリコーンゲルGLよりもサイズが小さい。すなわち、耐高電界封止部材MRの体積は、封止部材であるシリコーンゲルGLの体積よりも小さくなっている。

[0043] ここで、本実施の形態1における半導体装置SA1では、例えば、図7に示すように、耐高電界封止部材MRがシリコーンゲルGLと直接接触している。言い換えれば、半導体チップCHP1の周縁部に形成されているターミネーション部TMRとシリコーンゲルGLとの間には、耐高電界封止部材MRが介在している。つまり、ターミネーション部TMRの上面は、耐高電界封止部材MRで覆われており、ターミネーション部TMRとシリコーンゲルGLとは、直接接触していない。

[0044] 以上のように、本実施の形態1における半導体装置S1は、シリコンよりもバンドギャップの大きな半導体材料（炭化シリコン、窒化ガリウム、ダイヤモンドなど）を含み、かつ、素子形成面の周縁部を覆う耐高電界封止部材MR（絶縁部材）を有する半導体チップCHP1と、半導体チップCHP1

を覆う封止部材であるシリコンゲルGLを備える。そして、図7に示すように、半導体チップCHP1の端面と耐高電界封止部材MRの外端面とは、面一の部分を含む。例えば、本実施の形態1における耐高電界封止部材MRは、耐高電界封止部材MRの外端部における厚さが、耐高電界封止部材MRのその他の部分の厚さよりも厚い形状をしている。この耐高電界封止部材MRは、シリコンゲルGLよりも絶縁破壊電界強度が高い材料から構成されており、例えば、ポリイミド樹脂、ポリアミドイミド樹脂、ポリエーテルアミドイミド樹脂、ポリエーテルアミド樹脂のいずれかから構成することができる。

[0045] <半導体装置の製造方法>

本実施の形態1における半導体装置SA1は、上記のように構成されており、以下に、その製造方法について、図面を参照しながら説明する。まず、フローチャートを参照しながら、本実施の形態1における半導体装置SA1の製造工程の流れについて説明した後、製造工程の詳細について説明することにする。

[0046] 図8は、本実施の形態1における半導体装置SA1の製造工程の流れを示すフローチャートである。図8において、シリコンよりもバンドギャップの大きな半導体材料(SiC)から構成され、かつ、素子形成面を有する半導体ウェハを準備する。この半導体ウェハは、複数のチップ領域を有し、半導体ウェハに存在する個々のチップ領域は、半導体素子形成部と、この半導体素子形成部を囲む周縁部とを有し、半導体素子形成部にSiCデバイスであるダイオードが形成され、かつ、周縁部にターミネーション部が形成されている。

[0047] 次に、半導体ウェハの状態、個々のチップ領域の周縁部に形成されているターミネーション部を覆うように、耐高電界封止部材を形成する(S101)。その後、半導体ウェハの状態、各チップ領域に形成されているSiCデバイスのテストングを実施する(S102)。続いて、半導体ウェハに存在する複数のチップ領域をダイシングすることにより、複数の半導体チ

ップを取得する（S103）。そして、個片化された半導体チップの状態で、半導体チップに形成されているSiCデバイスのテストングを実施する（S104）。次に、基板（絶縁基板）上に半導体チップを搭載した後（S105）、半導体チップとワイヤとを電氣的に接続する（ワイヤボンディング）（S106）。続いて、半導体チップを搭載した基板をベースプレート上に配置した後（S107）、ケース組立および封止部材であるシリコーンゲルをケース内に充填する（S108）。このようにして、本実施の形態1における半導体装置を製造することができる。

[0048] 以下では、詳細な製造工程について、図面を参照しながら説明する。まず、図9に示すように、半導体ウェハWFの状態、チップ領域CRを区画するスクライブラインSCRに沿って、ペースト状態の耐高電界封止部材MRを塗布する。具体的には、図9に示すように、格子状に存在するスクライブラインSCRに沿って、ディスペンサDPからペースト状態の耐高電界封止部材MRを滴下することにより、半導体ウェハWF上に耐高電界封止部材MRを塗布する。このとき、耐高電界封止部材MRとしては、例えば、ポリアミドイミドを主成分とする樹脂を使用した。耐高電界封止部材MRの粘度は、 $100\text{ Pa}\cdot\text{s}$ であり、耐高電界封止部材MRの絶縁破壊電界強度は、 210 kV/mm であり、シリコーンゲルの絶縁破壊電界強度の10倍以上の特性であった。

[0049] 図10は、半導体ウェハの一部を拡大して示す図であり、互いに隣り合う4つのチップ領域CRが図示されている。図12において、耐高電界封止部材MRの塗布をスクライブラインSCRに沿って格子状に実施することにより、縦方向と横方向の交差箇所、すなわち余剰の耐高電界封止部材MRが広がる。この結果、ターミネーション部TMRの角部（コーナ部）を耐高電界封止部材MRで効果的に覆うことができる。

[0050] 図11は、半導体ウェハWFに形成されているターミネーション部TMRを覆うように、ディスペンサDPから耐高電界封止部材MRを滴下する様子、すなわち耐高電界封止部材MRの滴下を示す断面図である。図11に示すように、ディスペンサDPから滴下され

たペースト状態の耐高電界封止部材MRがターミネーション部TMRを覆い、かつ、ターミネーション部TMRに隣接するアノード電極の端部近傍を覆うように形成されていることがわかる。

[0051] 続いて、耐高電界封止部材MRを塗布した後、ペースト状態の耐高電界封止部材MRを硬化させるための熱処理を実施する。まず、条件1（100℃、20分）および条件2（200℃、1時間）の条件で連続して熱処理を実施した後、条件3（不活性雰囲気、300℃、1時間）の条件で追加の高温熱処理を実施する。この追加の高温熱処理によって、後述するチップ搭載工程で実施される高温熱処理（最大355℃）において、耐高電界封止部材MRからの脱ガスの発生を抑制することができる。熱処理と脱ガスの関係は、例えば、TDS装置（昇温脱離ガス分析装置）によって評価することができる。本実施の形態1における半導体装置の製造工程では、従来は使用されていなかった200℃以上の熱処理を耐高電界封止部材MRに加えることにより、耐高電界封止部材MRからの脱ガスの発生を抑制している。なお、耐高電界封止部材MRに加える熱処理の最高温度は、チップ搭載工程の最高温度以下、または、耐高電界封止部材MRの熱分解が始まる温度未満であればよく、具体的には、400℃以下である。

[0052] 次に、耐高電界封止部材MRを熱処理によって硬化させた後、半導体ウェハWFの状態での電気的特性検査を実施する。ここで、本実施の形態1によれば、電界強度の大きなターミネーション部TMRが耐高電界封止部材MRで覆われているため、大気中放電が抑制される結果、高電圧の印加試験を容易に行なうことができる。

[0053] その後、図12に示すように、耐高電界封止部材MRの硬化が終了した半導体ウェハWFのスクライブラインSCRに沿って、半導体ウェハWFを回転するダイシング刃DSで切断する（ダイシング）。図13は、半導体ウェハWFをダイシングする様子を示す断面図である。図13に示すように、耐高電界封止部材MRとターミネーション部TMRを通る点線に沿って、ダイシングが実施される。これにより、図14に示すように、耐高電界封止部材

MRとターミネーション部TMRとが切断されて、半導体ウェハWFが複数の半導体チップCHP1に個片化される。

[0054] 続いて、半導体チップCHP1の状態では電気的特性検査が実施されて、良品の半導体チップCHP1が選別される。その後、基板（絶縁基板）に半導体チップCHP1を搭載する（チップ搭載工程）。このとき、半導体チップCHP1と基板との接合には、高融点の半田材が使用されるため、このチップ搭載工程は、最大355℃の還元性雰囲気中での熱処理を含むことになる。そして、基板に接合した半導体チップCHP1の電極（アノード電極）にワイヤを接続するワイヤボンディング工程が実施される。次に、半導体チップCHP1が搭載された基板をヒートシンクに接続される半導体モジュールの底面となるベースプレートに接合する工程が実施された後、ケース組立工程およびシリコンゲルの封入工程が実施される。以上のようにして、本実施の形態1における半導体装置を製造することができる。

[0055] <実施の形態1における特徴>

図15は、本実施の形態1における半導体チップCHP1の端部近傍を拡大して示す断面図である。図15に示すように、本実施の形態1における半導体チップCHP1は、半導体チップCHP1の裏面にダイオードのカソード電極として機能する裏面電極BEが形成されている。一方、半導体チップCHP1の表面には、ダイオードのアノード電極ADEと、アノード電極ADEの外側領域に形成されたターミネーション部TMRとが形成されている。このターミネーション部TMRは、半導体チップCHP1内に形成されたp型半導体領域PR1と、このp型半導体領域PR1を内包し、かつ、p型半導体領域PR1よりも不純物濃度の低いp型半導体領域PR2とを有している。また、ターミネーション部TMRは、p型半導体領域PR2から半導体チップCHP1の端面側に離間して形成されたn型半導体領域NRと、n型半導体領域NR上に形成されたチャネルストップ層CSとを有している。さらに、ターミネーション部TMRは、p型半導体領域PR1およびp型半導体領域PR2上からチャネルストップ層CSに達するように延在する酸化

シリコン膜OXFと、この酸化シリコン膜OXFと、酸化シリコン膜OXFから突出しているチャネルストップ層CSを覆うポリイミド樹脂膜PIFとを有している。このポリイミド樹脂膜PIFは、保護膜として機能し、例えば、 $4\mu\text{m}\sim 9\mu\text{m}$ の膜厚を有している。

[0056] このように構成されているターミネーション部TMRによれば、不純物濃度の高いp型半導体領域PR1が不純物濃度の低いp型半導体領域PR2で内包されているため、ターミネーション部TMRにおける電界を緩和することができる。そして、図15に示すように、ターミネーション部TMRを覆うように、耐高電界封止部材MRが形成されている。図15では、図示されていないが、例えば、図7に示すように、耐高電界封止部材MRが形成された半導体チップCHP1を覆うように、シリコーンゲルGLが形成されている。このシリコーンゲルGLには、半導体チップCHP1からの電界が印加されるが、シリコーンゲルGLに印加される電界の電界強度が、シリコーンゲルGLの絶縁破壊電界強度（ 14 kV/mm ）を超えないためには、ターミネーション部TMR上に形成されている耐高電界封止部材MRの膜厚は、例えば、少なくとも、 $50\mu\text{m}$ 以上、望ましくは、 $80\mu\text{m}$ 以上である必要がある。一方、耐高電界封止部材MRの膜厚は、厚すぎても応力が増大してクラックなどの問題が顕在化するため、 $500\mu\text{m}$ 以下にする必要がある。

[0057] なお、本実施の形態1における半導体チップCHP1としては、例えば、耐圧が 3.3 kV の高耐圧品を対象としている。ただし、本実施の形態1における半導体チップCHP1は、 1.7 kV や 1.2 kV の中耐圧品にも適用可能である。この場合、ターミネーション部TMRの設計にも依存するが、耐高電界封止部材MRの膜厚の下限値を小さくすることが可能であり、例えば、耐高電界封止部材MRの膜厚を $20\mu\text{m}$ 以上にできる。

[0058] また、ポリイミド膜PIF比誘電率は約2.9であり、耐高電界封止部材MRを構成する主成分であるポリエーテルアミド樹脂の比誘電率は約3.2であり、いずれも、下地の酸化シリコン膜OXFの比誘電率（ $3.8\sim 4.1$ ）よりも小さい。一方、シリコーンゲルGLの比誘電率は約2.7であり

、ポリイミド膜PIFの比誘電率および耐高電界封止部材MRの比誘電率は、シリコーンゲルGLの比誘電率よりも大きい。このことから、酸化シリコン膜OXFの比誘電率>ポリイミド膜PIFの比誘電率および耐高電界封止部材MRの比誘電率>シリコーンゲルGLの比誘電率の関係が成立する。このとき、比誘電率の差を小さくすることにより、比誘電率の差に起因する電荷の蓄積による影響を少なくすることができ、これによって、半導体装置の信頼性を向上することができる。

[0059] ここで、本実施の形態1における第1特徴点は、例えば、図15に示すように、半導体チップCHP1の端面EG1と耐高電界封止部材MRの外端部EG2とが、面一の部分を含むように構成されている点にある。これにより、本実施の形態1によれば、半導体チップCHP1の端面EG1上において、耐高電界封止部材MRの膜厚を厚くすることができる。このことから、本実施の形態1によれば、電界強度の高い半導体チップCHP1の端面EG1近傍における絶縁破壊を抑制することができる。

[0060] 例えば、図6の領域ARに示すように、関連技術では、耐高電界封止部材MRの外端部が裾を引くように形成されていることから、半導体チップCHPの端面と耐高電界封止部材MRの外端部とが面一となる部分を含まないように構成されていることになる。この結果、図6に示す関連技術においては、電界強度の高い半導体チップCHPの端面近傍に耐高電界封止部材MRが形成されにくくなる。このことは、電界強度の高い半導体チップCHPの端面近傍にシリコーンゲルGLが直接接触することを意味する。つまり、関連技術においては、電界強度の高い半導体チップCHPの端面近傍に、耐高電界封止部材MRよりも絶縁破壊しやすいシリコーンゲルGLが直接接触することになることから、半導体チップCHPの端面近傍でシリコーンゲルGLが絶縁破壊しやすくなる。言い換えれば、関連技術では、電界強度の高い半導体チップCHPの端面近傍において、耐高電界封止部材MRによる電界強度の緩和が図れなくなるため、半導体チップCHPの端面近傍でのシリコーンゲルGLに加わる電界強度が、シリコーンゲルGLの絶縁破壊電界強度を

超えてしまい、シリコンゲルGLの絶縁破壊が生じるおそれが高くなる。したがって、関連技術では、電界強度の高い半導体チップCHPの端面近傍に耐高電界封止部材MRが形成されにくくなることに起因して、シリコンゲルGLの絶縁破壊が生じやすくなり、これによって、半導体装置の信頼性が低下することになる。

[0061] この点に関し、関連技術において、半導体チップCHPの端面近傍での電界強度の増大を回避するためには、半導体チップCHPの周縁部に形成されるターミネーション部TMRの幅を大きくすることが考えられるが、この場合、素子形成部として機能しないターミネーション部TMRのサイズが大きくなることになる。このことは、半導体チップCHPのサイズが増大することを意味し、これによって、半導体装置の製造コストの増大を招くことになる。すなわち、SiCの絶縁破壊電界強度が高いことに起因して、SiCデバイスが形成された半導体チップCHPでは、半導体チップCHPの内部の電界強度を高めた設計が可能となると考えられる。ところが、関連技術では、電界強度の高い半導体チップCHPの端面近傍に耐高電界封止部材MRが形成されにくくなることに起因して、半導体チップCHPの内部の電界強度を高めた設計を充分に実現することができないのである。つまり、関連技術では、SiCの優れた材料特性を生かした設計を充分に実現することが困難になってしまうのである。

[0062] これに対し、本実施の形態1によれば、例えば、図7の領域BRに示すように、半導体チップCHP1の端面と耐高電界封止部材MRの外端部とが、面一の部分を含むように構成されている。これにより、本実施の形態1によれば、半導体チップCHP1の端面近傍上において、耐高電界封止部材MRの膜厚を厚くすることができる。このことは、本実施の形態1によれば、半導体チップCHP1の端面近傍上に膜厚の厚い耐高電界封止部材MRを形成できることを意味する。したがって、本実施の形態1によれば、電界強度の高い半導体チップCHP1の端面近傍に膜厚の厚い耐高電界封止部材MRが形成されているため、電界強度を充分に緩和できる。この結果、本実施の形

態１によれば、膜厚の厚い耐高電界封止部材MR上に形成されているシリコーンゲルGLに加わる電界強度が、シリコーンゲルGLの絶縁破壊電界強度を超えてしまうことを抑制でき、これによって、シリコーンゲルGLの絶縁破壊を効果的に抑制することができる。つまり、本実施の形態１によれば、半導体チップCHP１の端部近傍において、半導体チップCHP１とシリコーンゲルGLとの間に膜厚の厚い耐高電界封止部材MRを介在させることができることから、シリコーンゲルGLの絶縁破壊を効果的に抑制することができるのである。したがって、本実施の形態１における第１特徴点によれば、シリコーンゲルGLの絶縁破壊に起因する半導体装置の信頼性低下を抑制することができる。言い換えれば、本実施の形態１における第１特徴点によれば、電界強度の高い半導体チップCHP１の端面近傍に膜厚の厚い耐高電界封止部材MRを形成することによって、半導体装置の信頼性を向上することができる。すなわち、本実施の形態１における第１特徴点によれば、電界強度の高い半導体チップCHP１の端面近傍に膜厚の厚い耐高電界封止部材MRを形成することができることになることから、半導体チップCHP１の内部の電界強度を高めた設計を十分に可能となる。つまり、本実施の形態１によれば、SiCの優れた材料特性を生かした設計を充分に実現することができる。具体的には、ターミネーション部TMRの幅を小さくして半導体チップCHP１の端部近傍まで高電界となるような設計も可能となる。このことは、本実施の形態１における半導体チップCHP１では、素子形成部として機能しないターミネーション部TMRの占有面積の縮小による半導体チップCHP１のダウンサイジングが可能となり、これによって、製造コストの削減を図ることができることを意味する。

[0063] 以上のことから、半導体チップCHP１の端面近傍上において、耐高電界封止部材MRの膜厚を厚くすることができるという本実施の形態１における第１特徴点の直接的な効果として、シリコーンゲルGLの絶縁破壊を効果的に抑制できる結果、半導体装置の信頼性を向上することができることになる。さらに、本実施の形態１における第１特徴点の間接的な効果として、半導

体チップＣＨＰ１の端部近傍まで高電界となる設計が可能となる結果、素子形成部として機能しないターミネーション部ＴＭＲのサイズを小さくできることになる。このことから、本実施の形態１における第１特徴点の間接的な効果として、半導体チップＣＨＰ１のサイズを縮小化することができ、これによって、半導体装置の製造コストを低減できることになる。

[0064] なお、本実施の形態１における第１特徴点は、例えば、図１５に示すように、半導体チップＣＨＰ１の端面ＥＧ１と耐高電界封止部材ＭＲの外端部ＥＧ２とが、面一の部分を含むように構成されていればよい。例えば、図１６に示す領域ＣＲで囲まれた部分の形状（斜め形状）や、図１７に示す領域ＤＲで囲まれた部分の形状（突出形状）のように、耐高電界封止部材ＭＲの外端部ＥＧ２の一部に面一とはならない部分が存在してもよい。つまり、本実施の形態１における第１特徴点は、半導体チップＣＨＰ１の端面ＥＧ１と耐高電界封止部材ＭＲの外端部ＥＧ２とが、少なくとも部分的に面一の部分が含まれていればよい。この構成が実現されれば、電界強度の高い半導体チップＣＨＰ１の端面近傍に膜厚の厚い耐高電界封止部材ＭＲが形成されることになり、半導体チップＣＨＰ１の端面近傍での耐高電界封止部材ＭＲによる電界緩和効果を十分に得ることができる。

[0065] 次に、本実施の形態１における第２特徴点は、例えば、図１５に示すように、耐高電界封止部材ＭＲの外端部ＥＧ２における厚さが、耐高電界封止部材ＭＲのその他の部分の厚さよりも厚く形成されている点にある。この本実施の形態１における第２特徴点は、例えば、図１５に示すように、耐高電界封止部材ＭＲの内端部ＥＧ３の膜厚が徐々に薄くなる構成として具現化されている。言い換えれば、本実施の形態１における第２特徴点は、耐高電界封止部材ＭＲの内端部ＥＧ３の形状が緩やかなテーパ形状となっているといえることができる。これにより、本実施の形態１によれば、半導体チップＣＨＰ１と耐高電界封止部材ＭＲとの接触面積を大きくすることができる。このことは、半導体チップＣＨＰ１と耐高電界封止部材ＭＲとの接着強度を向上できることを意味し、これによって、半導体装置の信頼性を向上することができる。

きる。さらには、本実施の形態1における第2特徴点によれば、ターミネーション部TMRだけでなく、ターミネーション部TMRに隣接する周辺領域も耐高電界封止部材MRで覆うことができる。このことは、本実施の形態1における第2特徴点によれば、ターミネーション部TMRだけでなく、ターミネーション部TMRに隣接する周辺領域においても、耐高電界封止部材MRによる電界強度の緩和を図ることができ、この点からも、半導体装置の信頼性の向上を図ることができる。つまり、本実施の形態1における第2特徴点によれば、耐高電界封止部材MRで覆われる半導体チップCHP1の領域が大きくなることに起因して、耐高電界封止部材MRと半導体チップCHP1との接着強度の向上と電界緩和領域の増大とを実現することができる。

[0066] さらに、例えば、図15において、アノード電極ADEは、等電位面となるため、ターミネーション部TMRからの電界は、ターミネーション部TMRとアノード電極ADEとの境界領域を中心に広がっていく。一方、図15に示すように、耐高電界封止部材MRの内端部EG3の形状が緩やかなテーパー形状となっている場合、ターミネーション部TMRとアノード電極ADEとの境界領域を中心とした一定距離の範囲内を覆うように耐高電界封止部材MRが形成されることになる。このことは、ターミネーション部TMRとアノード電極ADEとの境界領域を中心に広がる電界に対応するように、耐高電界封止部材MRが形成されていることになり、耐高電界封止部材MRによる電界緩和効果が無駄なく実現することができることになる。この結果、本実施の形態1における第2特徴点によれば、電界強度の高くなる領域を耐高電界封止部材MRで覆うことができる。このことから、本実施の形態1によれば、耐高電界封止部材MRの外端部EG2だけでなく、耐高電界封止部材MRの内端部EG3においても、シリコングルGLに加わる電界強度が、シリコングルGLの絶縁破壊電界強度を超えてしまうことを抑制でき、これによって、シリコングルGLの絶縁破壊を効果的に抑制することができる。このように本実施の形態1によれば、第1特徴点によって耐高電界封止部材MRの外端部EG2における電界強度の緩和を図ることができるとも

に、第2特徴点によって耐高電界封止部材MRの内端部EG3における電界強度の緩和を図ることができる。

[0067] また、本実施の形態1における第2特徴点によれば、製造方法上の利点も得ることができる。すなわち、例えば、図7に示すように、半導体チップCHP1のアノード電極ADEとワイヤWとの接合部がワイヤボンディング時の位置ずれによって、アノード電極ADEとターミネーション部TMRの境界領域に接近した場合でも、耐高電界封止部材MRの内端部EG3がテーパ形状をしていると、接合部のヒールの立ち上がり部との干渉が生じにくい。これにより、干渉による耐高電界封止部材MRへのダメージを抑制できる。

[0068] また、耐高電界封止部材MRの内端部におけるテーパ形状は、ペースト状態の耐高電界封止部材MRを塗布する塗布条件で自動的に決定され、耐高電界封止部材MRの内端部をテーパ形状にするためのパターニング工程は不要となる。特に、絶縁基板SUBに搭載した半導体チップCHP1は、面内方向にも高さ方向にもアライメントずれが生じるため、正確なパターニングが難しい。この点に関し、本実施の形態1では、耐高電界封止部材MRの内端部をテーパ形状にするためのパターニング工程は不要であり、この点の利点は大きい。さらには、耐高電界封止部材MRの膜厚は、典型的には、約80 μm とかなり厚いため、せいぜい10 μm 程度までの膜に適用する一般的なフォトリソグラフィ工程が困難であることを考慮すると、本実施の形態では、耐高電界封止部材MRの内端部をテーパ形状にするためのパターニング工程が不要である利点は大きくなる。

[0069] なお、ペースト状態の耐高電界封止部材MRを塗布する塗布条件は、ディスペンサのノズル径、吐出圧、ギャップ長（ノズルと塗布対象との間の距離）、塗布速度（ノズルの面内移動速度）、塗布材料としての耐高電界封止部材MRの粘度や温度をパラメータとして、所望の塗布膜厚と塗布線幅が得られる範囲で調整することができる。

[0070] 続いて、本実施の形態1における第3特徴点は、個片化された半導体チップCHP1ごとに耐高電界封止部材MRを形成するのではなく、半導体チッ

チップC H P 1に個片化する前の半導体ウェハの状態で一括して耐高電界封止部材M Rを形成する点にある。具体的には、図9に示すように、半導体ウェハW FのスクライブラインS C Rに沿って、ペースト状態の耐高電界封止部材M Rを塗布した後、図12に示すように、半導体ウェハW FをスクライブラインS C Rに沿ってダイシングする。これにより、図15に示すような断面形状の半導体チップC H Pを得ることができる。すなわち、本実施の形態1における第3特徴点により、上述した第1特徴点を有する半導体チップC H P 1を得ることができる。このように、本実施の形態1によれば、図15に示すように、耐高電界封止部材M Rの外端部E G 2がほぼ垂直な形状となり、耐高電界封止部材M Rの外端部E G 2において、膜厚がほぼ最大の状態が保持される。このことが、ターミネーション部T M Rを設計する上で重要となる。つまり、面積効率を向上できる幅の小さいターミネーション部T M Rは、半導体チップC H Pの端面E G 1近傍まで電界強度が高くなる。このため、例えば、図6に示す関連技術のように、耐高電界封止部材M Rの外端部において、膜厚が薄くなると、電界強度の緩和を十分に図ることができなくなり、耐高電界封止部材M Rを覆うシリコンゲルG Lに印加される電界の電界強度が絶縁破壊電界強度を超えてしまう。したがって、S i Cに代表されるワイドバンドギャップ半導体材料の優れた物性を有効活用できる幅の狭いターミネーション部T M Rを実現するためには、耐高電界封止部材M Rの外端部における膜厚が厚いことが必要とされるのである。

[0071] この点に関し、本実施の形態1における第3特徴点によれば、半導体チップC H P 1の端面近傍上において、耐高電界封止部材M Rの膜厚を厚くすることができるという本実施の形態1における第1特徴点を実現することができる。このことから、本実施の形態1における第3特徴点によれば、シリコンゲルG Lの絶縁破壊を効果的に抑制できる耐高電界封止部材M Rの形状を実現できる結果、半導体装置の信頼性を向上することができる。さらに、本実施の形態1における第3特徴点を有する半導体装置の製造方法を採用することにより、半導体チップC H P 1の端部近傍まで高電界となる設計が可

能となる結果、素子形成部として機能しないターミネーション部 TMR のサイズを小さくできることになる。したがって、本実施の形態 1 における第 3 特徴点によれば、半導体チップ CHP 1 のサイズを縮小化することができ、これによって、半導体装置の製造コストを低減できる。

[0072] ここで、耐高電界封止部材 MR の形状に関しては、耐高電界封止部材 MR の外端部 EG2 の少なくとも一部が垂直あるいは垂直に近い端部形状を有することにより、半導体チップ CHP 1 の端面近傍での高電界となる半導体チップ CHP 1 の構造に対応した封止が可能となる。この観点から、耐高電界封止部材 MR の形状は、図 16 に示すように、外端部の上部の一部が傾斜形状となる場合や、図 17 に示すように、外端部の上部の一部が凸形状となる場合であっても、図 15 に示す構造と同様の効果を得ることができる。

[0073] 図 16 や図 17 に示す形状は、主に、耐高電界封止部材 MR の熱硬化条件の強さとダイシング条件（ブレード回転数や移動速度）との関係で決定されるが、ダイシング後における耐高電界封止部材 MR と半導体チップ CHP 1 との密着性などの他の要素を考慮して最適化することができる。

[0074] また、本実施の形態 1 における第 3 特徴点によれば、以下に示す利点を得ることができる。すなわち、図 5 に示す関連技術のように、絶縁基板 SUB に搭載された半導体チップ CHP ごとに耐高電界封止部材 MR を塗布する方法では、半導体チップ CHP と絶縁基板 SUB とを接着する半田材 ADH のばらつきから半導体チップ CHP の傾きや、面内位置および回転などのアライメントずれがある。このことから、耐高電界封止部材 MR の塗布に使用されるディスペンサ DP に高精度な位置補正技術が必要となる。例えば、耐高電界封止部材 MR の塗布量は、ノズルと対象物との間の距離に敏感なため、画像認識技術によるノズルの面内位置補正に加えて、センサによって半導体チップ CHP までの距離を検出して、半導体チップ CHP の傾きを補正する機能も必要とされる。これに対し、本実施の形態 1 における第 3 特徴点によれば、半導体ウェハ全体に対するアライメントを最初に一度実施するだけで、後は、画像認識技術によって、ノズルの面内位置を適切に補正すればよく

、センサによる高さ調整機能を必要とせずに高精度の塗布技術を実現することができる。このように、本実施の形態１における第３特徴点によれば、塗布装置のコストを低減できるとともに、耐高電界封止部材MRの塗布処理における画像認識時間や半導体チップごとのノズルの移動にかかる時間を削減することができるため、製造時間の短縮効果を得ることができる。

[0075] さらに、本実施の形態１における第３特徴点によれば、個片化された半導体チップC H P １ごとに耐高電界封止部材MRを形成するのではなく、半導体チップC H P １に個片化する前の半導体ウェハの状態で一括して耐高電界封止部材MRを形成することができるので、製造工程のT A T（ターンアラウンドタイム）を削減できる。同時に、各チップ領域が等間隔で傾きが揃った半導体ウェハの状態で耐高電界封止部材MRを塗布するので、耐高電界封止部材MRの形成工程や検査工程の精度も向上することができる。これにより、本実施の形態１によれば、耐高電界封止部材MRの形成不良による廃棄コストの低減、検査工程の簡略化およびディスペンサなどの装置の低価格化を図ることができる。

[0076] 特に、検査工程について補足すると、例えば、半導体ウェハの状態で耐高電界封止部材MRを形成することにより、半導体ウェハでの耐压検査が容易となる。例えば、関連技術のように、絶縁基板に搭載された半導体チップごとに耐高電界封止部材MRを塗布する方法では、半導体ウェハの段階では、半導体ウェハ上に耐高電界封止部材MRが形成されていない。このことから、関連技術においては、耐高電界封止部材MRを形成していない状態の半導体ウェハに対して耐压検査を実施することになる。この場合、半導体ウェハに高電圧を印加する際、空気中の耐压を超えて気中放電が発生するため、フロリナート滴下や局所的な高気圧化により気中放電を防止する特殊な付帯設備が必要となる。これに対し、本実施の形態１によれば、半導体ウェハの状態耐高電界封止部材MRが形成されていることから、上述した付帯設備が不要となり、これによって検査工程の簡略化と高速化が可能となる利点を得ることができる。

[0077] 一方、半導体ウェハの状態で耐高電界封止部材MRを形成する本実施の形態1における半導体装置の製造方法では、半導体チップを絶縁基板上に搭載するチップ搭載工程で実施される高温熱処理が耐高電界封止部材MRにも加わることになる。したがって、本実施の形態1における半導体装置の製造方法では、上述した高温熱処理が耐高電界封止部材MRに加えられることに起因する耐高電界封止部材MRからの脱ガスの問題が顕在化するおそれがある。この点に関し、本実施の形態1では、例えば、耐高電界封止部材MRの形成工程後において熱硬化のために実施される通常の熱処理に加えて、より高温（200℃～360℃程度）の追加の熱処理を行なうことにより、チップ搭載工程よりも前段階で、予め耐高電界封止部材MRからの脱ガス工程を実施することができる。これにより、本実施の形態1によれば、チップ搭載工程よりも前の工程に耐高電界封止部材MRを形成する工程が存在する場合であっても、チップ搭載工程での高温熱処理による耐高電界封止部材MRからの脱ガスの発生を抑制することができる。この結果、本実施の形態1によれば、半導体装置の信頼性を向上することができる。

[0078] 2. 平面に着目した技術的思想

＜改善の検討＞

パワー半導体素子には、オン抵抗の低減と耐圧の向上が求められているが、オン抵抗の低減と耐圧の向上とはトレードオフの関係にある。例えば、オン抵抗の低減には、半導体チップに形成されるアクティブ領域（素子形成部）の面積を大きくすることが有効であり、オン抵抗を低減する観点から、アクティブ領域の平面形状を四角形状とすることが望ましい。ところが、アクティブ領域の平面形状を四角形状とすると、アクティブ領域の角部（コーナ部）が辺よりも高電界となるため、アクティブ領域を囲むようにターミネーション部を形成しても、角部において耐圧の低下が生じて、パワー半導体素子が破壊されるおそれがある。このことから、例えば、アクティブ領域の角部を円弧形状にすることにより、角部における電界を緩和して、耐圧を確保することが行なわれている。

[0079] ただし、アクティブ領域の角部を円弧形状にする場合、円弧形状の曲率半径を大きくすると、アクティブ領域の面積が小さくなり、十分なオン抵抗の低減を図ることが困難となる。したがって、例えば、図18に示すような関連技術がある。図18は、関連技術における半導体チップCHPを示す平面図である。図18に示すように、関連技術における半導体チップCHPは、アクティブ領域上に形成されたアノード電極ADEを囲むように、p型半導体領域PR1とp型半導体領域PR2とチャネルストップ層CSからなるターミネーション部TMRが形成されている。このとき、関連技術においては、基板の方向によって電界強度が異なることを考慮して、高電界が加わる方向の角部の曲率半径を大きくすることが行なわれている。具体的には、図18に示すように、基板の中心から $[-1-120]$ 方向側のp型半導体領域PR1およびp型半導体領域PR2の角部の曲率半径を、基板の中心から $[11-20]$ 方向側のp型半導体領域PR1およびp型半導体領域PR2の角部の曲率半径よりも大きくすることが行なわれている。

[0080] ここで、図18に示すように構成されている関連技術における半導体チップCHPのターミネーション部TMRを覆うように耐高電界封止部材を形成することを考える。例えば、曲率半径の大きな角部の形状に合わせて耐高電界封止部材を形成する場合、曲率半径の小さな角部においても、曲率半径の大きな角部の形状に合わせた耐高電界封止部材が形成されることから、アノード電極ADE（アクティブ領域に対応）の面積が小さくなってしまう。このことは、アノード電極ADE上にワイヤを形成する領域が小さくなることを意味し、これによって、オン抵抗の低減を充分に図ることができなくなるとともに、耐高電界封止部材とワイヤとの干渉が生じて、半導体装置の製造歩留りが低下することが懸念される。一方、曲率半径の小さな角部の形状に合わせて耐高電界封止部材を形成する場合、曲率半径の大きな角部においても、曲率半径の小さな角部の形状に合わせた耐高電界封止部材が形成されることから、曲率半径の大きな角部を充分に耐高電界封止部材で覆うことが困難となる。このことは、曲率半径の大きな角部において、高電界封止部材に

よる電界の緩和効果を充分に得ることができなくなることを意味し、これによって、曲率半径の大きな角部での耐压の確保が困難となる結果、半導体装置の信頼性の低下を招くことになる。

[0081] このように、本発明者は、図18に示す関連技術に存在する改善の余地を新たに見出し、この改善の余地に対する工夫を施している。以下では、この工夫を施した本実施の形態1における技術的思想について説明することにする。

[0082] <実施の形態1における特徴（構成）>

例えば、シリコンよりもバンドギャップの大きな半導体材料（例えば、SiC）を含む半導体チップにおいて、半導体チップが、周縁部と、周縁部の内側に位置する半導体素子形成部と、周縁部を覆い、かつ、半導体素子形成部を囲む耐高電界封止部材（絶縁部材）を有することを前提とする。このとき、本実施の形態1における第4特徴点は、平面視において、耐高電界封止部材の内端部の形状が、互いに曲率半径の異なる曲線部を含む点である。これにより、オン抵抗の低減と耐压の向上とを両立することができる。

[0083] まず、本実施の形態1における「曲率半径」の定義について説明する。図19は、本実施の形態1における「曲率半径」の定義を説明する図である。図18において、太線は、耐高電界封止部材の内端部IEGを示しており、角部は曲線部CRLとなっている。図18において、内端部IEGからx方向に延長した直線を接線SL1とし、内端部IEGからy方向に延長した直線を接線SL2とする。そして、接線SL1が内端部IEGから離れる点をA点とし、接線SL2が内端部IEGから離れる点をB点とする。また、A点から接線SL1に対して垂直に引いた線分を線分SL3とし、B点から接線SL2に対して垂直に引いた線分を線分SL4とする。このとき、線分SL3と線分SL4との交点をC点とした場合、A点とC点との長さを「 r_1 」とし、B点とC点との長さを「 r_2 」とする。ここで、本実施の形態1における「曲率半径」は、「 r_1 」と「 r_2 」の平均値として定義される。つまり、本実施の形態1における耐高電界封止部材の内端部IEGを構成する

曲線部CRLの「曲率半径」は、「 r_1 」と「 r_2 」の平均値となる。

[0084] 次に、図20(a)は、本実施の形態1における半導体チップCHP1の平面構成を示す模式図である。図20(a)において、本実施の形態1における半導体チップCHP1は、矩形形状をしており、半導体チップCHP1の周縁部が耐高電界封止部材MRで覆われ、かつ、半導体チップCHP1の中央部に形成されているアノード電極ADEが耐高電界封止部材MRから露出している。このとき、本実施の形態1における第4特徴点は、平面視において、耐高電界封止部材MRの内端部IEGの形状が、互いに曲率半径の異なる曲線部を含んでいる点にある。具体的には、図20(a)に示すように、4箇所の角部のうち、2箇所の角部に形成されている曲線部(CRL1A、CRL1B)の曲率半径が、他の2箇所の角部に形成されている曲線部(CRL2A、CRL2B)の曲率半径よりも大きくなっている。つまり、平面視において、耐高電界封止部材MRの内端部IEGの形状は、第1曲率半径を有する一对の曲線部(CRL1A、CRL1B)と、第1曲率半径とは異なる第2曲率半径を有する一对の曲線部(CRL2A、CRL2B)とを含んでいる。さらに詳細には、例えば、図20(a)において、矩形形状をした半導体チップCHP1の一对の対角線を対角線DGL1および対角線DGL2とする。このとき、一对の曲線部(CRL1A、CRL1B)のうちの一方の曲線部CRL1Aは、対角線DGL1と交差し、かつ、一对の曲線部(CRL2A、CRL2B)のうちの一方の曲線部CRL2Bは、対角線DGL1と交差する。一方、一对の曲線部(CRL1A、CRL1B)のうちの他方の曲線部CRL1Bは、対角線DGL2と交差し、かつ、一对の曲線部(CRL2A、CRL2B)のうちの他方の曲線部CRL2Aは、対角線DGL2と交差する。

[0085] このように構成されている本実施の形態1における半導体チップCHP1によれば、例えば、図20(a)に示す平面形状の耐高電界封止部材MRによって、図18に示す平面形状のターミネーション部TMRを過不足なく覆うことができる。すなわち、本実施の形態1によれば、同一の半導体チップ

C H P 1 において、内端部 I E G が異なる曲率半径の曲線部を含む形状の耐高電界封止部材 M R の形成が可能となる。これにより、本実施の形態 1 によれば、図 1 8 に示す平面形状のターミネーション部 T M R を過不足なく覆うことによって、耐高電界封止部材 M R で覆う必要のある領域を確実に耐高電界封止部材 M R で覆うことができるため、耐圧の向上を図ることができる。同時に、本実施の形態 1 によれば、図 1 8 に示す平面形状のターミネーション部 T M R を過不足なく覆うことによって、耐高電界封止部材 M R から露出するアノード電極 A D E の面積を大きくすることができる結果、アクティブ領域の面積の増大によるオン抵抗の低減を図ることができる。

[0086] すなわち、本実施の形態 1 における第 4 特徴点によれば、耐高電界封止部材 M R の内端部 I E G の形状を、図 1 8 に示す平面形状のターミネーション部 T M R を過不足なく覆う形状に合わせることができるため、オン抵抗の低減と耐圧の向上とを両立することができる。このように、本実施の形態 1 における第 4 特徴点によれば、図 1 8 に示すような互いに曲率半径の異なる部位を有する平面形状のターミネーション部 T M R の利点を最大限に引き出すことが可能となり、半導体装置の性能向上と信頼性向上とを実現できる。

[0087] なお、本実施の形態 1 における技術的思想は、図 2 0 (a) に示す平面構成に限定されるものではなく、例えば、図 2 0 (b) に示す平面構成も実現することができる。図 2 0 (b) において、一对の曲線部 (C R L 1 A 、 C R L 1 B) のうちの一方の曲線部 C R L 1 B は、対角線 D G L 1 と交差し、かつ、一对の曲線部 (C R L 2 A 、 C R L 2 B) のうちの一方の曲線部 C R L 2 A は、対角線 D G L 1 と交差する。一方、一对の曲線部 (C R L 1 A 、 C R L 1 B) のうちの他方の曲線部 C R L 1 A は、対角線 D G L 2 と交差し、かつ、一对の曲線部 (C R L 2 A 、 C R L 2 B) のうちの他方の曲線部 C R L 2 B は、対角線 D G L 2 と交差する。

[0088] < 実施の形態 1 における特徴 (製造方法) >

続いて、上述した本実施の形態 1 における第 4 特徴点を有する耐高電界封止部材 M R の形成工程を含む半導体装置の製造方法について、図面を参照し

ながら説明する。

[0089] 本実施の形態1における半導体装置の製造方法は、個片化された半導体チップCHP1ごとに耐高電界封止部材MRを形成するのではなく、半導体チップCHP1に個片化する前の半導体ウェハの状態で一括して耐高電界封止部材MRを形成するという上述した第3特徴点を前提として、以下に示す第5特徴点を有する。

[0090] まず、本実施の形態1における耐高電界封止部材MRの形成工程は、例えば、半導体ウェハWFのx方向（第1方向）に沿って、ペースト状態の耐高電界封止部材MRを並行線状に塗布し、このx方向へ塗布された耐高電界封止部材MRが乾燥する前のペースト状態であるうちに、x方向と直交するy方向（第2方向）へ並行線状にペースト状態の耐高電界封止部材MRを塗布する。その後、半導体ウェハWFに対して、高温熱処理を実施することにより、ペースト状態の耐高電界封止部材MRを硬化させる。ここで、本実施の形態1における耐高電界封止部材MRの形成工程では、x方向へ塗布された耐高電界封止部材MRが乾燥する前のペースト状態であるうちに、x方向と直交するy方向（第2方向）へ並行線状にペースト状態の耐高電界封止部材MRを塗布する点に第5特徴点がある。これにより、x方向へ塗布したペースト状態の耐高電界封止部材MRと、y方向へ塗布したペースト状態の耐高電界封止部材MRとが交差する部分において、x方向へ塗布したペースト状態の耐高電界封止部材MRが、y方向へのペースト状態の耐高電界封止部材MRを塗布する際に引きずられる。この結果、交差部分の角部において、耐高電界封止部材MRの内端部の形状が変化して、曲率半径の増大が生じることになる。

[0091] 具体的に、図21に示すように、x方向へのペースト状態の耐高電界封止部材MRの塗布は、例えば、半導体ウェハを上方から見て、常に左から右（あるいは右から左）への方向に塗布する（これを同一方向塗布と呼ぶ）ことにより実現できる、また、x方向へのペースト状態の耐高電界封止部材MRの塗布は、1本目を左から右へ塗布し、かつ、2本目を右から左へ塗布し、

かつ、3本目を左から右へ塗布するというように、1本ごとに塗布方向を逆にする（これを交互塗布と呼ぶ）ことによっても実現できる。例えば、図21では、3本の塗布を左から右への同一方向塗布で実施した3本のラインL1～L3が図示されている。なお、同一の半導体ウェハWFへのx方向へのペースト状態の耐高電界封止部材MRの塗布は、同一方向塗布と交互塗布とを混在させることもできる。いずれの塗布方法においても、x方向への塗布は、耐高電界封止部材MRの内端部の形状には影響を及ぼさない。

[0092] 次に、図22に示すように、y方向へのペースト状態の耐高電界封止部材MRの塗布は、耐高電界封止部材MRの内端部の形状に影響を及ぼすため重要である。例えば、図22では、3本のy方向への塗布を上から下への同一方向塗布で実施した3本のラインR1～R3が図示されている。これにより、x方向への塗布で形成された3本のラインL1～L3との交差領域において、x方向への塗布で形成された3本のラインL1～L3が下方向に引きずられて、図20（a）に示す内端部IEGの形状を有する耐高電界封止部材MRを形成することができる。一方、例えば、3本のy方向への塗布を下から上への同一方向塗布で3本のラインR1～R3を形成する場合には、x方向への塗布で形成された3本のラインL1～L3との交差領域において、x方向への塗布で形成された3本のラインL1～L3が上方向に引きずられて、図20（b）に示す内端部IEGの形状を有する耐高電界封止部材MRを形成することができる。

[0093] さらに、半導体ウェハWF上に形成した耐高電界封止部材MRに関して、耐高電界封止部材MRの内端部を異なる曲率半径の曲線部を有する形状から形成する工程の詳細について説明する。本実施の形態1における耐高電界封止部材MRの形成工程では、耐高電界封止部材MRの内端部の角部の形状は、直角にならず、常にある曲率半径を有する丸みを帯びた形状になっており、この丸みを帯びた形状は、以下に示す本実施の形態1に特有の2つの要因に起因する。

[0094] 第1の要因は、半導体ウェハWF上に塗布した耐高電界封止部材MRは、

塗布時においてはペースト状態であるために自然に広がることに起因している。

[0095] 第2の要因は、半導体ウェハWF上に、ペースト状態の耐高電界封止部材MRを縦横に交差するように塗布する際に、交差領域において、x方向に先に塗布したペースト状態の耐高電界封止部材MRを、x方向に塗布した耐高電界封止部材MRがペースト状態である間に、x方向とは直交するy方向に後から塗布したペースト状態の耐高電界封止部材MRが引きずることに起因している。以下では、この点について、さらに説明する。

[0096] 図21は、半導体ウェハWFのx方向へペースト状態の耐高電界封止部材MRを塗布する様子を示す模式図である。ここで、x方向は、半導体ウェハWFのオリエンテーションフラット部分を下にして半導体ウェハWFの表面を上方から見たときの横方向である。例えば、最終硬化後の耐高電界封止部材MRの膜厚が $80\mu\text{m}$ となるように条件を調整したディスペンサにより、6mm間隔、幅1.9mmでペースト状態の耐高電界封止部材MRを塗布する。次に、図22に示すように、x方向への耐高電界封止部材MRの塗布に続いて、x方向へ塗布された耐高電界封止部材MRがペースト状態を保持している間に、x方向への塗布を実施する際の条件と同一条件でのディスペンサを使用して、7mm間隔、幅1.9mmで、x方向と直交するy方向へのペースト状態の耐高電界封止部材MRの塗布を実施する。このとき、y方向に塗布されたペースト状態の耐高電界封止部材MRが、x方向に塗布されたペースト状態の耐高電界封止部材MRと交差する部分において、y方向に塗布されたペースト状態の耐高電界封止部材MRが、x方向に塗布されたペースト状態の耐高電界封止部材MRを引きずることになる。この結果、チップ領域に存在する4箇所角部のうちの2箇所の角部に形成されている曲線部の曲率半径の増加が生じる。

[0097] なお、例えば、図22では、x方向とy方向のそれぞれに塗布された耐高電界封止部材MR、および、y方向に塗布された耐高電界封止部材MRがx方向に塗布された耐高電界封止部材MRを引きずって形成された引きずり部

分（拡がり部分）との間に境界線が描かれているが、実際には、これらの耐高電界封止部材MRは、互いに均一に混合して、耐高電界封止部材MRは連続的に形成されている。このことは、以後に示す模式図においても同様である。

[0098] 図23は、図22に示す耐高電界封止部材MRを塗布した半導体ウェハWFを水平に保持した状態で、窒素雰囲気下において、（1）100℃、20分、（2）200℃、1時間、（3）300℃、1時間の温度シーケンスによって硬化した耐高電界封止部材MRを模式的に示す図である。図23に示すように、硬化後の耐高電界封止部材MRの内端部IEGの形状は、曲率半径の大きな曲線部（CRL1A、CRL1B）と、曲率半径の小さな曲線部（CRL2A、CRL2B）とを含む。すなわち、耐高電界封止部材MRには、交差部分での引きずりと塗布部分全体に均等に発生する耐高電界封止部材MRの広がりの影響によって形成される曲率半径の大きな曲線部（CRL1A、CRL1B）と、塗布部分全体に均等に発生する耐高電界封止部材MRの広がりによってわずかに曲率半径の増加が生じた曲率半径の小さな曲線部（CRL2A、CRL2B）とが形成される。このようにして、本実施の形態1における耐高電界封止部材MRの形成工程によれば、平面視において、耐高電界封止部材の内端部の形状が、互いに曲率半径の異なる曲線部を含むという本実施の形態1における第4特徴点を有する耐高電界封止部材MRを形成することができることになる。

[0099] <変形例1>

図24（a）は、実施の形態1の変形例1における半導体チップCHP1の平面構成を模式的に示す図である。図24（a）に示すように、本変形例1における半導体チップCHP1は、矩形形状をしており、半導体チップCHP1の周縁部が耐高電界封止部材MRで覆われ、かつ、半導体チップCHP1の中央部に形成されているアノード電極ADEが耐高電界封止部材MRから露出している。ここで、例えば、図24（a）において、矩形形状をした半導体チップCHP1の一对の対角線を対角線DGL1および対角線DG

L 2とする。このとき、一对の曲線部（CRL 1 A、CRL 1 B）のうちの一方の曲線部CRL 1 Bは、対角線DGL 1と交差し、かつ、一对の曲線部（CRL 2 A、CRL 2 B）のうちの一方の曲線部CRL 2 Aは、対角線DGL 1と交差する。一方、一对の曲線部（CRL 1 A、CRL 1 B）のうちの他方の曲線部CRL 1 Aは、対角線DGL 2と交差し、かつ、一对の曲線部（CRL 2 A、CRL 2 B）のうちの他方の曲線部CRL 2 Bは、対角線DGL 2と交差する。このようにして、本変形例 1 における半導体チップCHP 1においても、平面視において、耐高電界封止部材MRの内端部IEGの形状が、互いに曲率半径の異なる曲線部を含むように構成されていることになる。

[0100] なお、本変形例 1 における半導体チップCHP 1は、図 2 4（a）に示す平面構成だけでなく、図 2 4（a）に示す平面構成と左右が逆となる図 2 4（b）に示す平面構成であってもよい。このとき、図 2 4（b）において、一对の曲線部（CRL 1 A、CRL 1 B）のうちの一方の曲線部CRL 1 Aは、対角線DGL 1と交差し、かつ、一对の曲線部（CRL 2 A、CRL 2 B）のうちの一方の曲線部CRL 2 Bは、対角線DGL 1と交差する。一方、一对の曲線部（CRL 1 A、CRL 1 B）のうちの他方の曲線部CRL 1 Bは、対角線DGL 2と交差し、かつ、一对の曲線部（CRL 2 A、CRL 2 B）のうちの他方の曲線部CRL 2 Aは、対角線DGL 2と交差する。このようにして、図 2 4（b）に示す半導体チップCHP 1においても、平面視において、耐高電界封止部材MRの内端部IEGの形状が、互いに曲率半径の異なる曲線部を含むように構成される。

[0101] 図 2 5 は、図 2 4（a）に示す耐高電界封止部材MRの内端部IEGの形状を実現する製造工程を模式的に示す図である。まず、図 2 5 に示すように、y 方向へのペースト状態の耐高電界封止部材MRの塗布を実施する。例えば、図 2 5 では、3 本のラインR 1～R 3 が図示されている。次に、図 2 5 に示すように、x 方向へのペースト状態の耐高電界封止部材MRの塗布を実施する。例えば、図 2 5 では、3 本の x 方向への塗布を左から右への同一方

向塗布で実施した3本のラインL1～L3が図示されている。これにより、y方向への塗布で形成された3本のラインR1～R3との交差領域において、y方向への塗布で形成された3本のラインR1～R3が右方向に引きずられて、図24(a)に示す内端部IEGの形状を有する耐高電界封止部材MRを形成することができる。一方、図26に示すように、例えば、3本のx方向への塗布を右から左への同一方向塗布で3本のラインL1～L3を形成する場合には、y方向への塗布で形成された3本のラインR1～R3との交差領域において、y方向への塗布で形成された3本のラインR1～R3が左方向に引きずられて、図24(b)に示す内端部IEGの形状を有する耐高電界封止部材MRを形成することができる。

[0102] <変形例2>

図27(a)は、実施の形態1の変形例2における半導体チップCHP1の平面構成を模式的に示す図である。ここで、一对の曲線部(CRL2A、CRL2B)のそれぞれは、対角線DGL1と交差し、かつ、一对の曲線部(CRL1A、CRL1B)のそれぞれは、対角線DGL2と交差する。このようにして、本変形例2における半導体チップCHP1においても、平面視において、耐高電界封止部材MRの内端部IEGの形状が、互いに曲率半径の異なる曲線部を含むように構成されていることになる。

[0103] なお、本変形例2における半導体チップCHP1は、図27(a)に示す平面構成だけでなく、図27(a)に示す平面構成と左右が逆となる図27(b)に示す平面構成であってもよい。このとき、図27(b)において、一对の曲線部(CRL1A、CRL1B)のそれぞれは、対角線DGL1と交差し、かつ、一对の曲線部(CRL2A、CRL2B)のそれぞれは、対角線DGL2と交差する。このようにして、図27(b)に示す半導体チップCHP1においても、平面視において、耐高電界封止部材MRの内端部IEGの形状が、互いに曲率半径の異なる曲線部を含むように構成される。

[0104] 図28(a)は、図27(a)に示す平面構成を有する半導体チップCHP1において、素子形成部に形成されているアノード電極ADEの表面にワ

イヤとの接続部CU1～CU3が形成されている状態を示す模式図である。

図28(a)に示すように、対角線DGL1と交差するように曲率半径の小さな曲線部(CRL2A, CRL2B)が形成されている。したがって、対角線DGL1に沿ったアノード電極ADEの幅は大きくなり、この結果、この対角線DGL1に沿って、半導体チップCHP1と複数のワイヤのそれぞれとの複数の接続部CU1～CU3を配置することができる。すなわち、本変形例2によれば、対角線DGL1と交差する曲線部(CRL2A, CRL2B)の曲率半径が小さくなるように耐高電界封止部材MRの内端部IEGの形状を形成することにより、対角線DGL1に沿って、複数の接続部CU1～CU3を配置しやすくなる利点を得ることができる。この場合、複数のワイヤに流れる電流値を均等化しやすく、半導体装置の信頼性を向上することができる。一方、対角線DGL2と交差する曲線部(CRL1A, CRL1B)の曲率半径が大きくなるように耐高電界封止部材MRの内端部IEGの形状を形成することにより、対角線DGL2に沿ったアノード電極ADEの幅は小さくなり、耐高電界封止部材MRで覆われる面積が増大するため、半導体チップCHP1の耐圧を向上することができる。このように、本変形例2では、図27(a)に示すように、対角線DGL1の一端点である角部CNR1と、曲線部CRL2Aと対角線DGL1との交差点CP1との間の距離である耐高電界封止部材MRの幅L1は、対角線DGL2の一端点である角部CNR2と、曲線部CRL1Aと対角線DGL2との交差点CP2との間の距離である耐高電界封止部材MRの幅L2よりも小さくなっている。これにより、対角線DGL1に沿った耐高電界封止部材MRの幅L1が小さくなる結果、対角線DGL1に沿って、複数の接続部CU1～CU3を配置しやすくなる利点を得ることができるとともに、対角線DGL2に沿った耐高電界封止部材MRの幅L2が大きくなる結果、耐圧を向上できる。

[0105] 同様に、図28(b)は、図27(b)に示す平面構成を有する半導体チップCHP1において、素子形成部に形成されているアノード電極ADEの表面にワイヤとの接続部CU1～CU3が形成されている状態を示す模式図

である。図28(b)に示すように、対角線DGL2と交差するように曲率半径の小さな曲線部(CRL2A, CRL2B)が形成されている。したがって、対角線DGL2に沿ったアノード電極ADEの幅は大きくなり、この結果、この対角線DGL2に沿って、半導体チップCHP1と複数のワイヤのそれぞれとの複数の接続部CU1~CU3を配置することができる。すなわち、本変形例2によれば、対角線DGL2と交差する曲線部(CRL2A, CRL2B)の曲率半径が小さくなるように耐高電界封止部材MRの内端部IEGの形状を形成することにより、対角線DGL2に沿って、複数の接続部CU1~CU3を配置しやすくなる利点を得ることができる。この場合、複数のワイヤに流れる電流値を均等化しやすく、半導体装置の信頼性を向上することができる。一方、対角線DGL1と交差する曲線部(CRL1A, CRL1B)の曲率半径が大きくなるように耐高電界封止部材MRの内端部IEGの形状を形成することにより、対角線DGL1に沿ったアノード電極ADEの幅は小さくなり、耐高電界封止部材MRで覆われる面積が増大するため、半導体チップCHP1の耐圧を向上することができる。

[0106] 図29は、図27(a)に示す耐高電界封止部材MRの内端部IEGの形状を実現する製造工程を模式的に示す図である。まず、図29に示すように、y方向へのペースト状態の耐高電界封止部材MRの塗布を実施する。例えば、図29では、3本のラインR1~R3が図示されている。次に、図29に示すように、x方向へのペースト状態の耐高電界封止部材MRの塗布を実施する。例えば、図25では、3本のx方向への塗布を交互塗布で実施した3本のラインL1~L3が図示されている。これにより、y方向への塗布で形成された3本のラインR1~R3との交差領域において、y方向への塗布で形成された3本のラインR1~R3は、図29に示すように引きずられて、図27(a)に示す内端部IEGの形状を有する耐高電界封止部材MRを形成することができる。一方、図30に示すように、例えば、3本のx方向への塗布を図29の場合とは逆にして3本のラインL1~L3を形成する場合、y方向への塗布で形成された3本のラインR1~R3との交差領域にお

いて、3本のラインR1～R3は引きずられて、図27(b)に示す内端部IEGの形状を有する耐高電界封止部材MRを形成することができる。

[0107] <具体的寸法例>

次に、半導体チップCHP1の平面構成における具体的寸法例について説明する。図31は、各パラメータで規定される複数のチップ1～14のそれぞれについて、各パラメータの具体的な数値例を示す図である。図31において、「チップ横寸」は、チップの横幅を示し、「チップ縦寸」は、チップの縦幅を示している。「樹脂幅1」は、横方向に塗布した耐高電界封止部材（樹脂）の幅の2分の1の寸法（最小部分）（mm）を示し、「樹脂幅2」は、縦方向に塗布した耐高電界封止部材（樹脂）の幅の2分の1の寸法（最小部分）（mm）を示している。「樹脂高さ1」は、横方向に塗布した耐高電界封止部材（樹脂）の最大厚み（ μm ）を示し、「樹脂高さ2」は、縦方向に塗布した耐高電界封止部材（樹脂）の最大厚み（ μm ）を示している。

「内周形状A～F」のそれぞれは、図31中に示す形状を示している。「曲率半径1～4」のそれぞれは、図31中の破線で囲む曲線部の曲率半径（mm）である。

[0108] <半導体モジュールの構成>

続いて、本実施の形態1における半導体モジュールの構成について説明する。図32および図33は、本実施の形態1における半導体モジュールMJの構成を示す模式図である。図32および図33に示すように、絶縁基板SUBには、例えば、ダイオードが形成された本実施の形態1における複数の半導体チップCHP1と、スイッチング素子として機能するSi-IGBTが形成された複数の半導体チップCHP2とが搭載されている。

[0109] 図34は、絶縁基板SUBの平面構成例を示す模式図である。図34に示すように、例えば、絶縁基板SUB上には、ダイオード（SiCデバイス）が形成された10個の半導体チップCHP1と、Si-IGBTが形成された4個の半導体チップCHP2とが搭載されている。絶縁基板SUBの中央部には、図34に示すように、端子が形成されており、この端子と複数の半

導体チップＣＨＰ１とがワイヤで電氣的に接続されているとともに、端子と複数の半導体チップＣＨＰ２とがワイヤで電氣的に接続されている。

[0110] そして、図３２および図３３に示すように、複数の半導体チップＣＨＰ１と複数の半導体チップＣＨＰ２とが搭載された絶縁基板ＳＵＢは、ケースＣＡＳの下面を構成するベースプレートＰＬＴ上に配置される。このベースプレートＰＬＴ上には、複数の絶縁基板ＳＵＢが配置されている。ベースプレートＰＬＴ上に配置された絶縁基板ＳＵＢは、部材（放熱部材、接続部材）ＰＡＴと接続されており、この部材ＰＡＴは、ケースＣＡＳの蓋であるキャップＣＡＰと接続される。さらに、ケースＣＡＳの内部空間は、例えば、シリコンゲル（封止部材）で封止される。

[0111] このようにして、本実施の形態１における半導体モジュールＭＪが構成される。本実施の形態１における半導体モジュールＭＪを複数組み合わせることにより、インバータやコンバータに代表される電力変換装置を実現することが可能となる。

[0112] （実施の形態２）

前記実施の形態１では、ＳｉＣデバイスとしてダイオードを例に挙げて説明したが、本実施の形態２では、ＳｉＣデバイスとして、ＳｉＣ－ＭＯＳＦＥＴを例に挙げて説明する。

[0113] ＜改善の検討＞

図３５は、ＳｉＣ－ＭＯＳＦＥＴが形成された半導体チップＣＨＰ３の平面構成を示す図である。図３５に示すように、半導体チップＣＨＰ３は、矩形形状をしており、中央部にゲートパッドＧＰが配置され、かつ、このゲートパッドＧＰを囲むようにソースパッドＳＰが配置され、かつ、ソースパッドＳＰを囲むようにターミネーション部ＴＭＲが配置されている。そして、ターミネーション部ＴＭＲからソースパッドＳＰの一部を覆うように、耐高電界封止部材ＭＲが形成されている。このように構成されている半導体チップＣＨＰ３においては、ソースパッドＳＰにワイヤを接続し、かつ、ゲートパッドＧＰにもワイヤを接続するが、ゲートパッドＧＰがソースパッドＳＰ

の中央部に配置されているため、ソースパッドS Pとワイヤとを接続する際にゲートパッドG Pが邪魔になる。

[0114] そこで、例えば、ソースパッドS Pとワイヤとを接続する際の障害とならないように、ゲートパッドG PをソースパッドS Pの中央部に配置するのではなく、ソースパッドS Pの端部近傍に配置することが検討されている。図36は、ゲートパッドG PをソースパッドS Pの端部近傍に配置した平面構成の半導体チップC H P 4を示す図である。図36に示すように、半導体チップC H P 4において、ゲートパッドG Pは、ソースパッドS Pの中央部から+x方向側にずれて配置されている。これにより、半導体チップC H P 4の平面構成によれば、ゲートパッドG Pが障害となることなく、ソースパッドS Pとワイヤとを接続することが容易となる利点を得ることができる。

[0115] ただし、この構成の場合、以下に示す不都合が生じる。すなわち、ゲートパッドG PをソースパッドS Pの端部近傍に配置することは、ゲートパッドG Pが耐高電界封止部材MRと近接することを意味している。この場合、例えば、耐高電界封止部材MRを塗布した際に、耐高電界封止部材MRの塗布位置がずれることや、ペースト状態の耐高電界封止部材MRが広がることによって、ゲートパッドG Pの一部分が耐高電界封止部材MRに覆われてしまい、ゲートパッドG Pとワイヤとの接続に支障をきたすおそれが生じる。

[0116] <実施の形態2における特徴>

そこで、本実施の形態2では、以下に示す工夫を施している。図37(a)は、本実施の形態2における半導体チップC H P 4の平面構成を示す模式図である。図37(a)に示すように、本実施の形態2における半導体チップC H P 4では、ソースパッドS Pを囲むように、耐高電界封止部材MRが形成されており、この耐高電界封止部材MRの内端部I E Gは、曲率半径の大きな一对の曲線部(C R L 1 A、C R L 1 B)と、曲率半径の小さな一对の曲線部(C R L 2 A、C R L 2 B)とを含むように構成されている。

[0117] そして、本実施の形態2における特徴点は、図37(a)に示すように、

ゲートパッドG Pが曲率半径の大きな一对の曲線部（C R L 1 A、C R L 1 B）よりも、曲率半径の小さな一对の曲線部（C H R L 2 A、C R L 2 B）に近い位置に配置されている点にある。これにより、ゲートパッドG PをソースパッドS Pの端部近傍に配置しながらも、ゲートパッドG Pの一部が耐高電界封止部材M Rに覆われてしまうことを抑制できる。なぜなら、曲率半径の小さな一对の曲線部（C R L 2 A、C R L 2 B）側では、曲率半径の大きな一对の曲線部（C R L 1 A、C R L 1 B）側よりも、耐高電界封止部材M Rが広がりにくくなるからである。この結果、本実施の形態2によれば、ゲートパッドG Pの一部が耐高電界封止部材M Rに覆われてしまうことを抑制できるので、半導体装置の製造歩留り向上や半導体装置の信頼性向上を図ることができる。

[0118] なお、本実施の形態2における半導体チップC H P 4は、図37（a）に示す平面構成だけでなく、図37（a）に示す平面構成と左右が逆となる図37（b）に示す平面構成であってもよい。このとき、図37（b）において、ゲートパッドG Pは、ソースパッドS Pの左端部近傍に配置されることになる。さらに、本実施の形態2における半導体チップC H P 4は、図37（a）や図37（b）に示す平面構成だけでなく、図38（a）に示す平面構成や、図38（b）に示す平面構成であってもよい。このとき、図38（a）においては、ゲートパッドG Pが、ソースパッドS Pの下端部近傍に配置されることになり、図38（b）においては、ゲートパッドG Pが、ソースパッドS Pの上端部近傍に配置されることになる。

[0119] 図39は、絶縁基板S U Bの平面構成例を示す模式図である。図39に示すように、例えば、絶縁基板S U B上には、ダイオード（S i Cデバイス）が形成された10個の半導体チップC H P 1と、S i C-M O S F E Tが形成された4個の本実施の形態2における半導体チップC H P 4とが搭載されている。絶縁基板S U Bの中央部には、図39に示すように、端子が形成されており、この端子と複数の半導体チップC H P 1とがワイヤで電氣的に接続されているとともに、端子と複数の半導体チップC H P 4とがワイヤで電

氣的に接続されている。この場合、半導体チップC H P 4に形成されているゲートパッドと絶縁基板S U Bの端子とがワイヤで電氣的に接続されるとともに、半導体チップC H P 4に形成されているソースパッドと絶縁基板S U Bの端子とがワイヤで電氣的に接続される。このとき、本実施の形態2によれば、ゲートパッドがソースパッドの端部近傍に配置されているため、ゲートパッドに邪魔されることなく、ソースパッドと絶縁基板S U Bの端子とをワイヤで電氣的に接続することができる。

[0120] 本実施の形態2における技術的思想は、S i C-M O S F E Tだけでなく、S i C-M O S F E Tと同じようにゲートパッドを有するS i C-I G B Tにも適用できる。

[0121] 以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

[0122] 前記実施の形態における技術的思想は、例えば、S i-I G B TとS i C-ダイオード（S i C-ショットキーバリアダイオード）とを組み合わせたS i Cハイブリッドモジュールに適用できるとともに、S i C-M O S F E TからなるフルS i Cモジュールや、S i C-I G B TとS i C-ダイオードとを組み合わせたフルS i Cモジュールにも適用することができる。さらに、前記実施の形態における技術的思想は、これに限らず、例えば、S i CやG a Nやダイヤモンドなどのワイドバンドギャップ半導体材料を使用した半導体素子と、シリコンやガリウムヒ素やゲルマニウムなどの一般的なバンドギャップを有する半導体材料を使用した半導体素子との組み合わせる技術にも適用できる。また、前記実施の形態における技術的思想は、ショットキーバリアダイオードやp n接合ダイオード、M O S F E Tや接合F E T、バイポーラトランジスタ、I G B Tなどの半導体素子を組み合わせた技術にも適用することができる。

[0123] 前記実施の形態は、以下の形態を含む。

[0124] （付記1）

基板と、
前記基板上に搭載された複数の半導体チップと、
前記複数の半導体チップを覆う封止部材と、
を備える、半導体モジュールであって、
前記複数の半導体チップのうちの一部の半導体チップは、シリコンよりもバンドギャップの大きな半導体材料を含み、かつ、素子形成面の周縁部を覆う絶縁部材を有し、
前記一部の半導体チップの外端面と前記絶縁部材の外端面とは、面一の部分を含み、
前記絶縁部材の絶縁破壊電界強度は、前記封止部材の絶縁破壊電界強度よりも大きい、半導体モジュール。

[0125] (付記2)

付記1に記載の半導体モジュールを複数備える電力変換装置。

[0126] (付記3)

基板と、
前記基板上に搭載された複数の半導体チップと、
を備える、半導体モジュールであって、
前記複数の半導体チップのうちの一部の半導体チップは、シリコンよりもバンドギャップの大きな半導体材料を含み、
前記一部の半導体チップは、
周縁部と、
前記周縁部の内側に位置する半導体素子形成部と、
前記周縁部を覆い、かつ、前記半導体素子形成部を囲む絶縁部材と、
を有し、
平面視において、前記絶縁部材の内端部の形状は、互いに曲率半径の異なる曲線部を含む、半導体モジュール。

[0127] (付記4)

付記3に記載の半導体モジュールを複数備える電力変換装置。

[0128] (付記5)

(a) シリコンよりもバンドギャップの大きな半導体材料を含み、かつ、素子形成面を有する半導体ウェハを準備する工程、

(b) 前記素子形成面内の第1方向に沿ってペースト状態の絶縁部材を塗布する工程、

(c) 前記(b)工程後、前記素子形成面内において、前記第1方向と交差する第2方向に沿ってペースト状態の絶縁部材を塗布する工程、
を備え、

前記(c)工程では、前記(b)工程で塗布したペースト状態の絶縁部材が乾燥する前に、前記第2方向に沿ってペースト状態の絶縁部材を塗布する、半導体装置の製造方法。

[0129] (付記6)

付記5に記載の半導体装置の製造方法において、

(d) 前記(c)工程後、前記半導体ウェハをダイシングして半導体チップを取得する工程を有する、半導体装置の製造方法。

[0130] (付記7)

付記6に記載の半導体装置の製造方法において、

(e) 前記(d)工程後、前記半導体チップを封止部材で封止する工程を有する、半導体装置の製造方法。

[0131] (付記8)

付記7に記載の半導体装置の製造方法において、

前記絶縁部材の絶縁破壊電界強度は、前記封止部材の絶縁破壊電界強度よりも大きい、半導体装置の製造方法。

符号の説明

[0132] ADE アノード電極

CHP1 半導体チップ

CNR1 角部

CNR2 角部

C P 1 交差点
C P 2 交差点
C R L 1 A 曲線部
C R L 1 B 曲線部
C R L 2 A 曲線部
C R L 2 B 曲線部
D G L 1 対角線
D G L 2 対角線
E G 1 端面
E G 2 外端部
E G 3 内端部
G L シリコーンゲル
G P ゲートパッド
L 1 幅
L 2 幅
M R 耐高電界封止部材
S P ソースパッド
T M R ターミネーション部

請求の範囲

- [請求項1] シリコンよりもバンドギャップの大きな半導体材料を含み、かつ、素子形成面の周縁部を覆う絶縁部材を有する半導体チップと、前記半導体チップを覆う封止部材と、を備え、前記半導体チップの端面と前記絶縁部材の外端部とは、面一の部分を含み、前記絶縁部材の絶縁破壊電界強度は、前記封止部材の絶縁破壊電界強度よりも大きい、半導体装置。
- [請求項2] 請求項1に記載の半導体装置において、前記絶縁部材は、前記封止部材と直接接触する、半導体装置。
- [請求項3] 請求項1に記載の半導体装置において、前記絶縁部材の前記外端部における厚さは、前記絶縁部材のその他の部分の厚さよりも厚い、半導体装置。
- [請求項4] 請求項1に記載の半導体装置において、前記絶縁部材の体積は、前記封止部材の体積よりも小さい、半導体装置。
- [請求項5] 請求項1に記載の半導体装置において、前記半導体チップは、前記周縁部に電界緩和部を有する、半導体装置。
- [請求項6] 請求項1に記載の半導体装置において、前記半導体チップは、前記周縁部よりも内側に半導体素子形成部を有する、半導体装置。
- [請求項7] 請求項1に記載の半導体装置において、前記絶縁部材は、ポリイミド樹脂、ポリアミドイミド樹脂、ポリエーテルアミドイミド樹脂、ポリエーテルアミド樹脂のいずれかを含み、前記封止部材は、シリコーンゲルからなる、半導体装置。

- [請求項8] 請求項1に記載の半導体装置において、
前記半導体材料は、炭化シリコン、窒化ガリウム、ダイヤモンドの
いずれかである、半導体装置。
- [請求項9] シリコンよりもバンドギャップの大きな半導体材料を含む半導体チ
ップを備え、
前記半導体チップは、
周縁部と、
前記周縁部の内側に位置する半導体素子形成部と、
前記周縁部を覆い、かつ、前記半導体素子形成部を囲む絶縁部材と
、
を有し、
平面視において、前記絶縁部材の内端部の形状は、互いに曲率半径
の異なる曲線部を含む、半導体装置。
- [請求項10] 請求項9に記載の半導体装置において、
平面視において、前記絶縁部材の内端部の形状は、
第1曲率半径を有する一对の第1曲線部と、
前記第1曲率半径とは異なる第2曲率半径を有する一对の第2曲線
部と、
を含む、半導体装置。
- [請求項11] 請求項10に記載の半導体装置において、
前記半導体チップは、第1対角線と第2対角線とを有する矩形形状
から構成され、
前記一对の第1曲線部のそれぞれは、前記第2対角線と交差し、
前記一对の第2曲線部のそれぞれは、前記第1対角線と交差する、
半導体装置。
- [請求項12] 請求項11に記載の半導体装置において、
前記第2曲率半径は、前記第1曲率半径よりも小さく、
平面視において、前記絶縁部材から露出する前記半導体素子形成部

には、前記第1対角線に沿って、前記半導体チップと複数のワイヤのそれぞれとの複数の接続部が配置されている、半導体装置。

[請求項13]

請求項10に記載の半導体装置において、

前記半導体チップは、第1対角線と第2対角線とを有する矩形形状から構成され、

前記一对の第1曲線部のうちの一方の第1曲線部は、前記第1対角線と交差し、

前記一对の第2曲線部のうちの一方の第2曲線部は、前記第1対角線と交差し、

前記一对の第1曲線部のうちの他方の第1曲線部は、前記第2対角線と交差し、

前記一对の第2曲線部のうちの他方の第2曲線部は、前記第2対角線と交差する、半導体装置。

[請求項14]

請求項13に記載の半導体装置において、

前記半導体素子形成部には、パワートランジスタのゲートパッド電極が配置され、

前記第2曲率半径は、前記第1曲率半径よりも小さく、

前記ゲートパッド電極は、前記一对の第1曲線部よりも前記一对の第2曲線部に近い位置に配置されている、半導体装置。

[請求項15]

請求項9に記載の半導体装置において、

前記半導体チップは、第1対角線と第2対角線とを有する矩形形状から構成され、

平面視において、前記絶縁部材の内端部の形状は、

第1曲率半径を有し、かつ、前記第2対角線と交差する第1曲線部と、

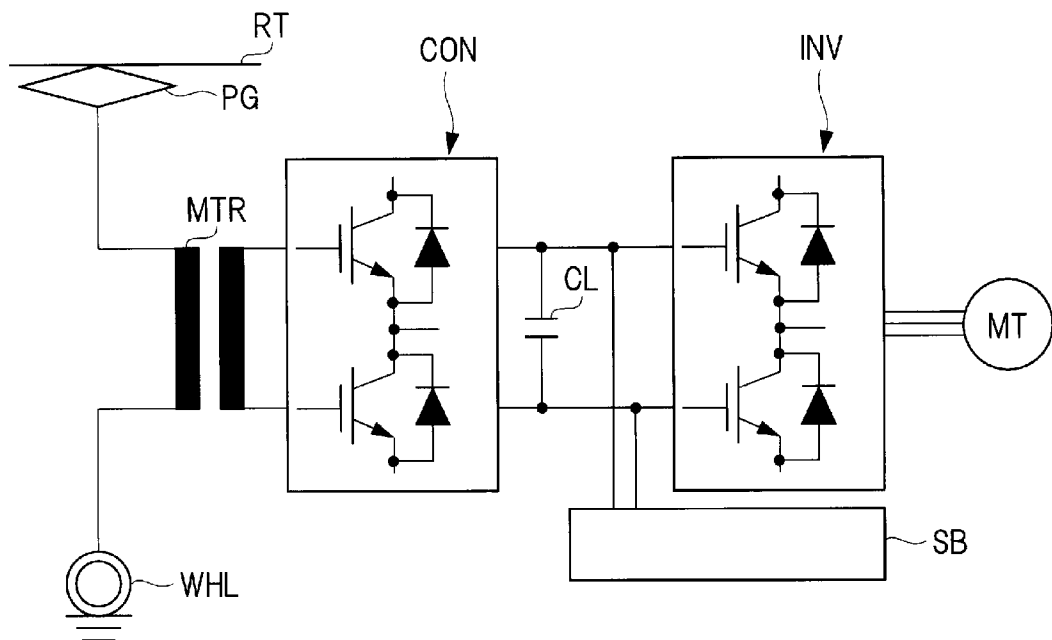
前記第1曲率半径よりも小さな第2曲率半径を有し、かつ、前記第1対角線と交差する第2曲線部と、

を含み、

前記第 1 対角線の一 endpoint である第 1 角部と、前記第 2 曲線部と前記第 1 対角線との第 1 交差点との間の距離である前記絶縁部材の第 1 幅は、前記第 2 対角線の一 endpoint である第 2 角部と、前記第 1 曲線部と前記第 2 対角線との第 2 交差点との間の距離である前記絶縁部材の第 2 幅よりも小さい、半導体装置。

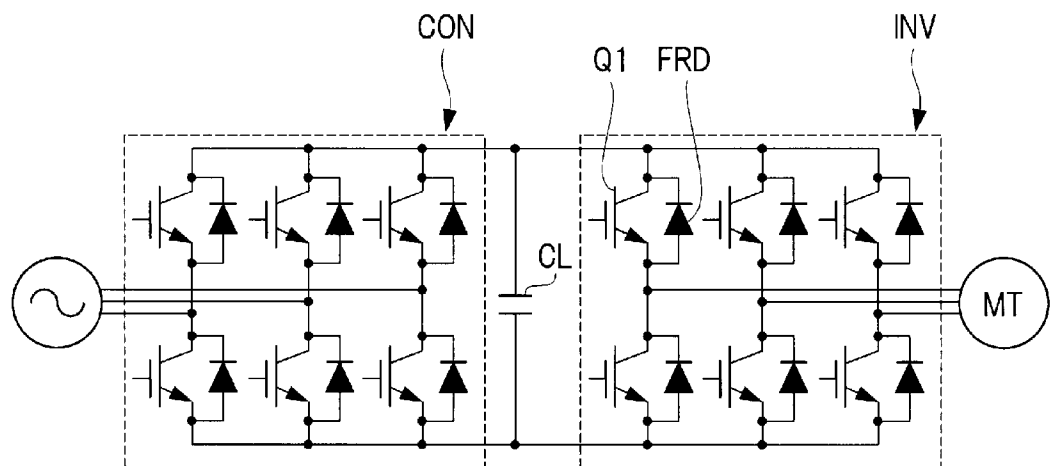
[図1]

図 1



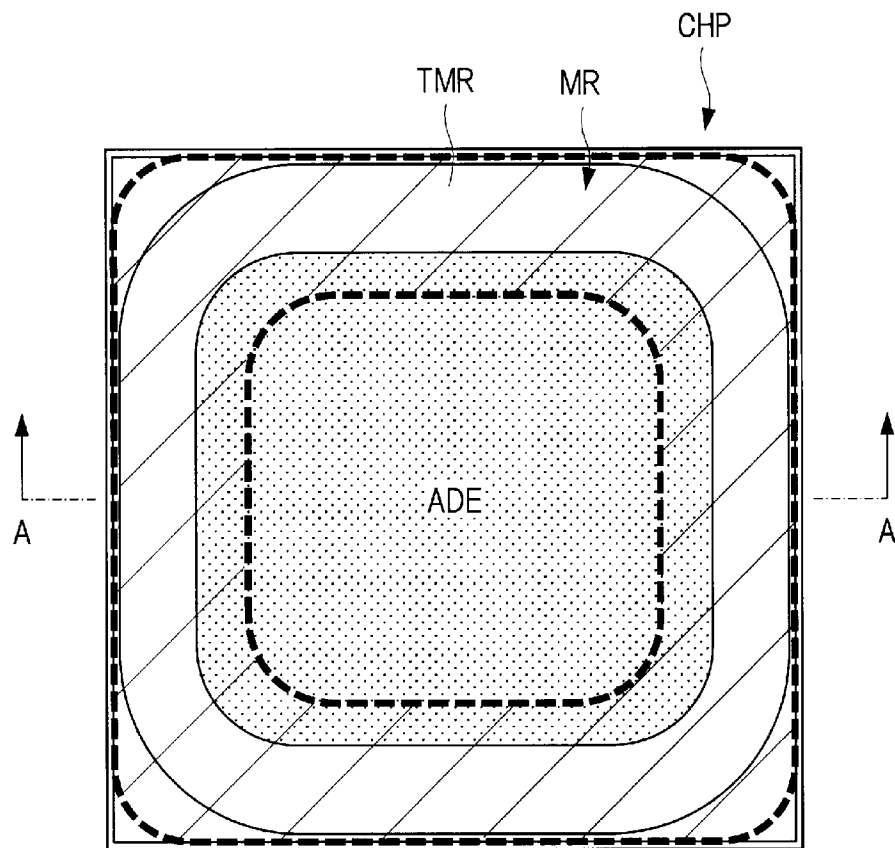
[図2]

図 2



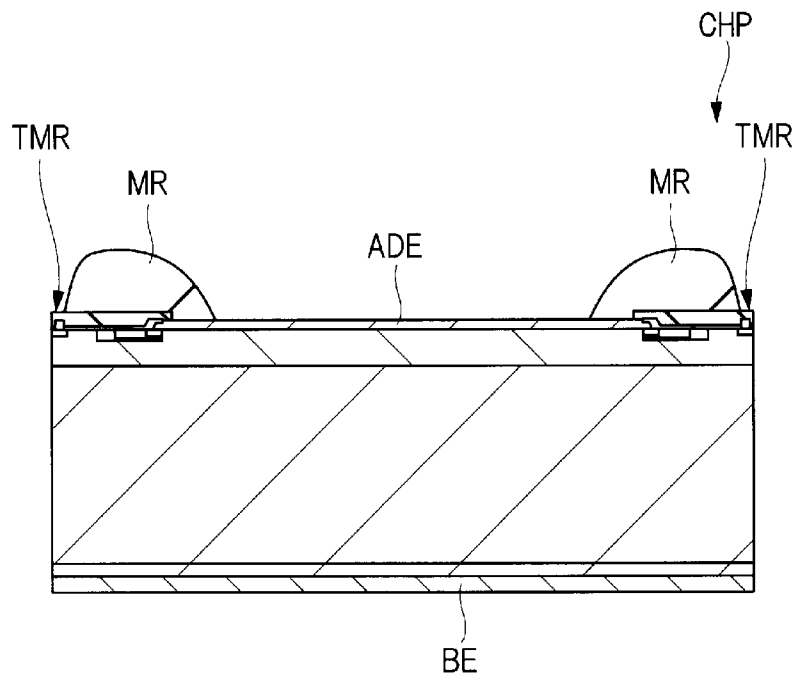
[図3]

図 3



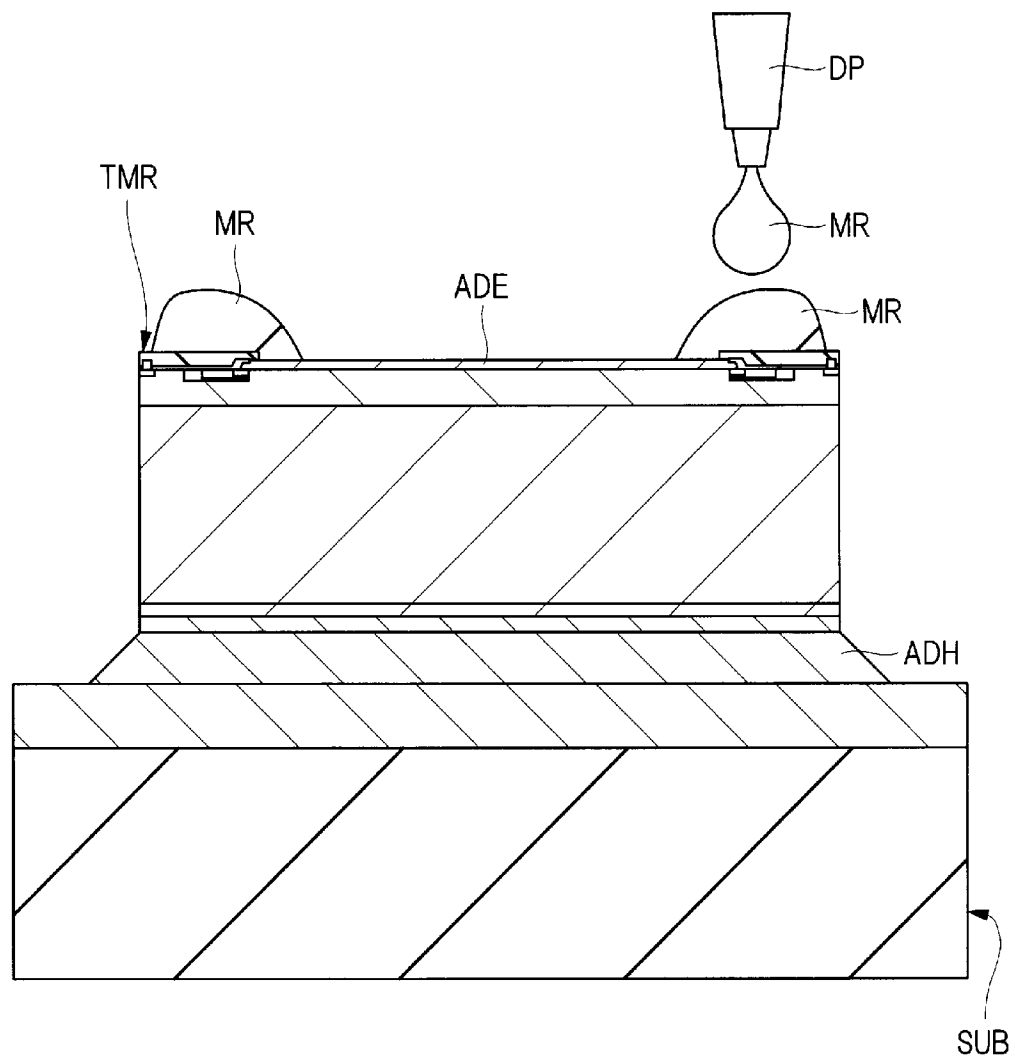
[図4]

図 4



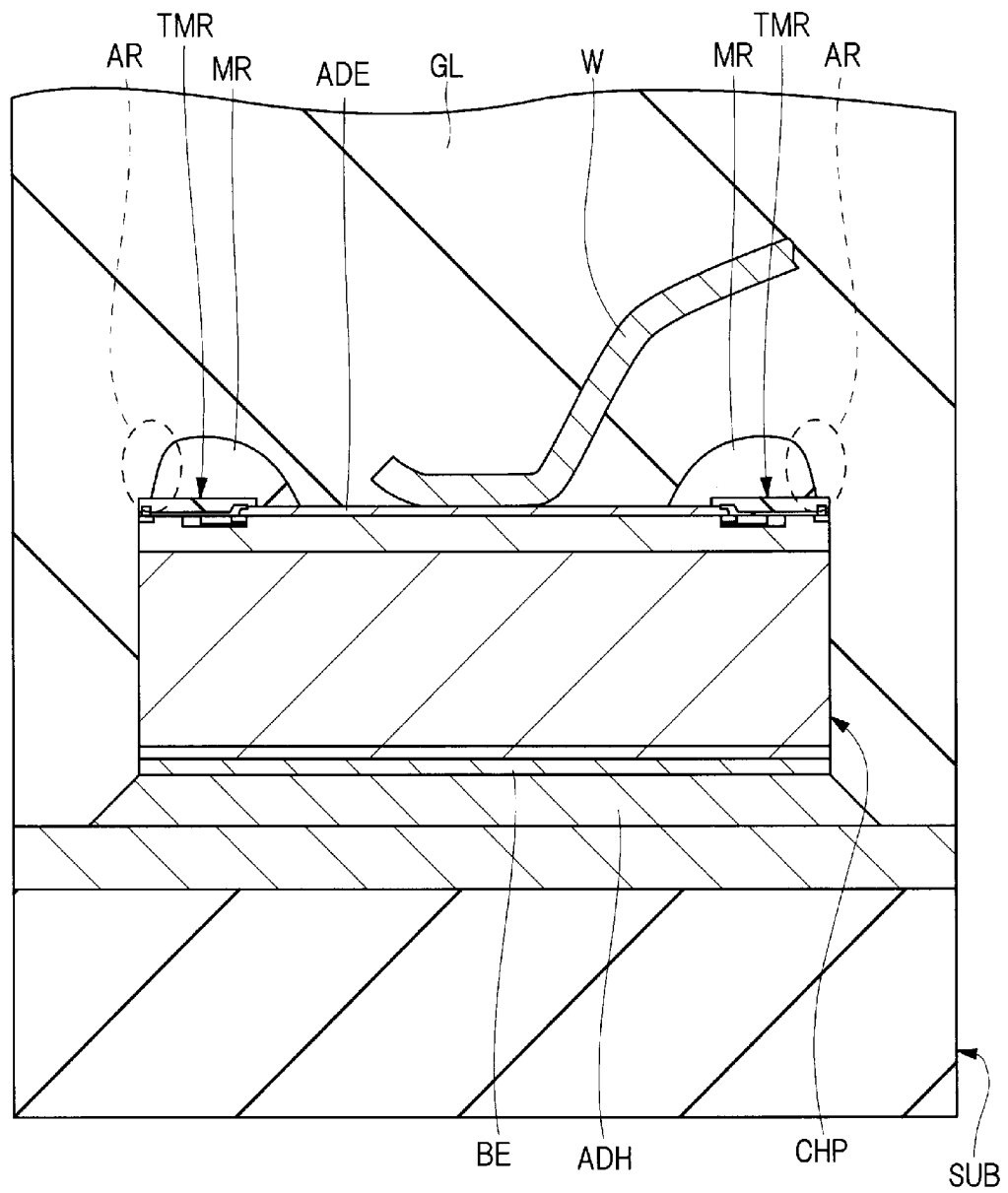
[図5]

図 5



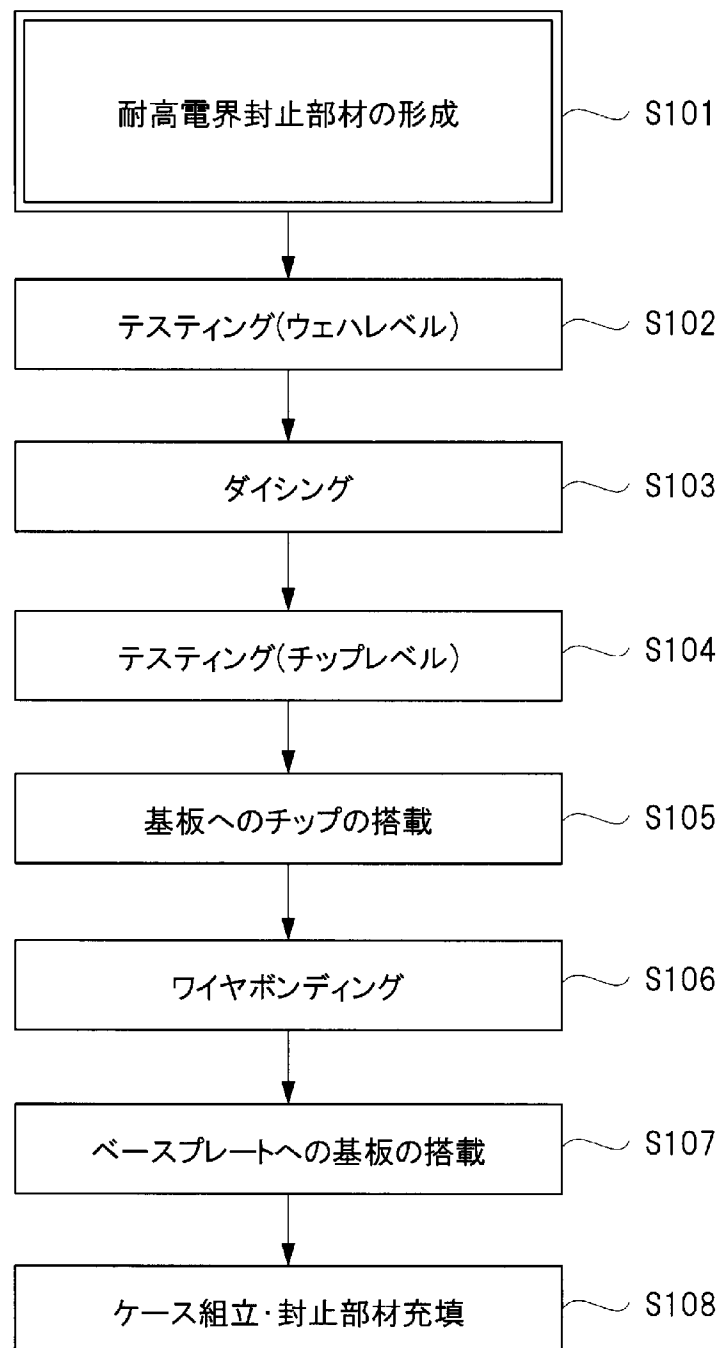
[図6]

☒ 6



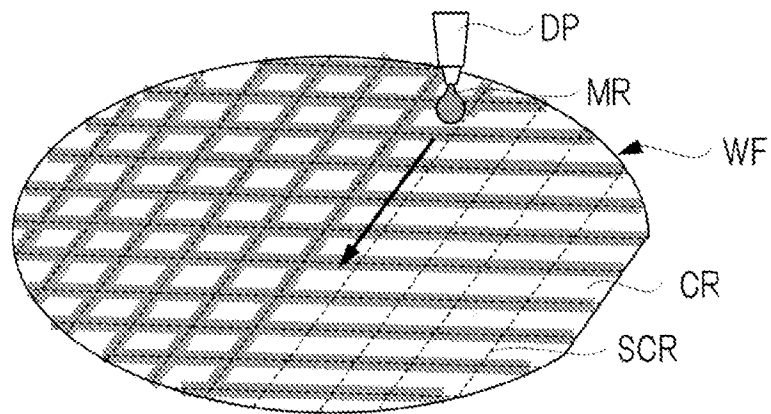
[図8]

図 8



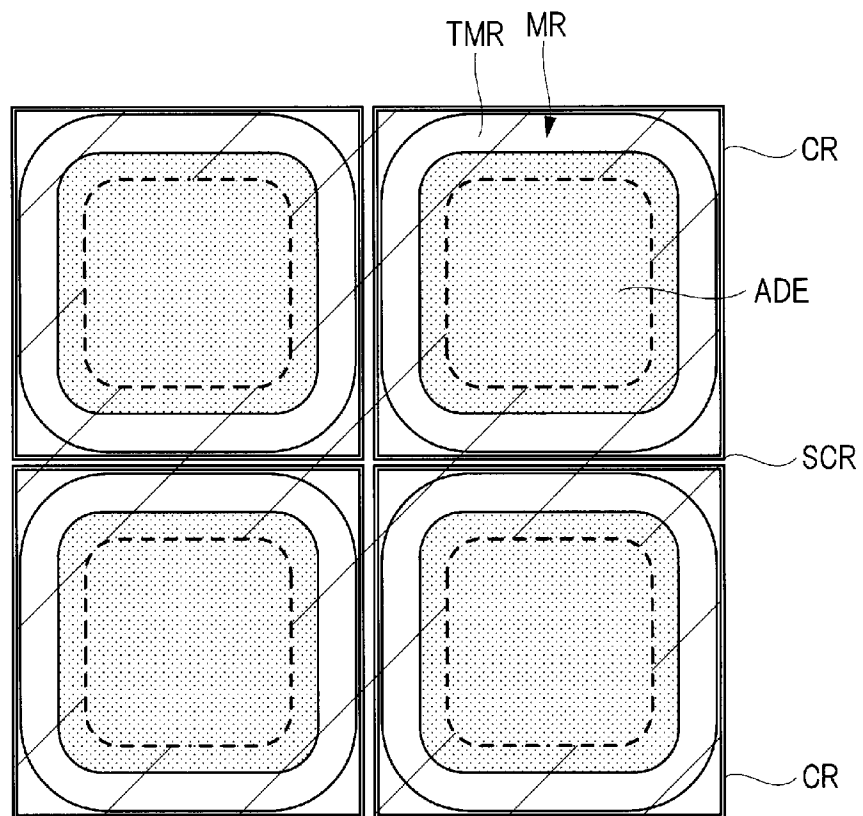
[図9]

図 9



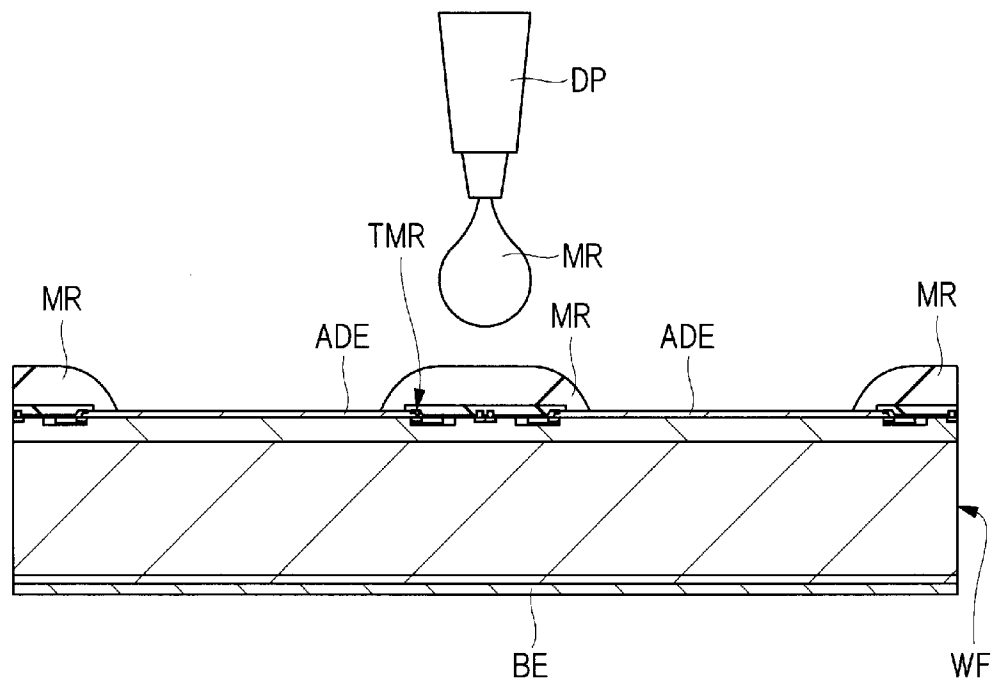
[図10]

図 10



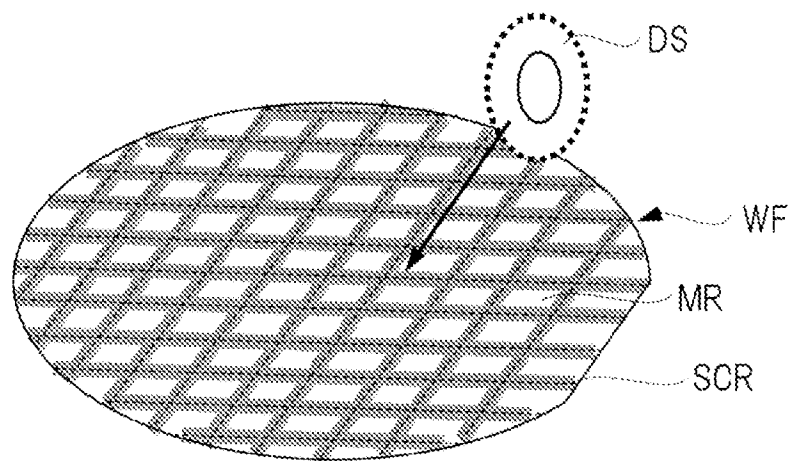
[図11]

図 11

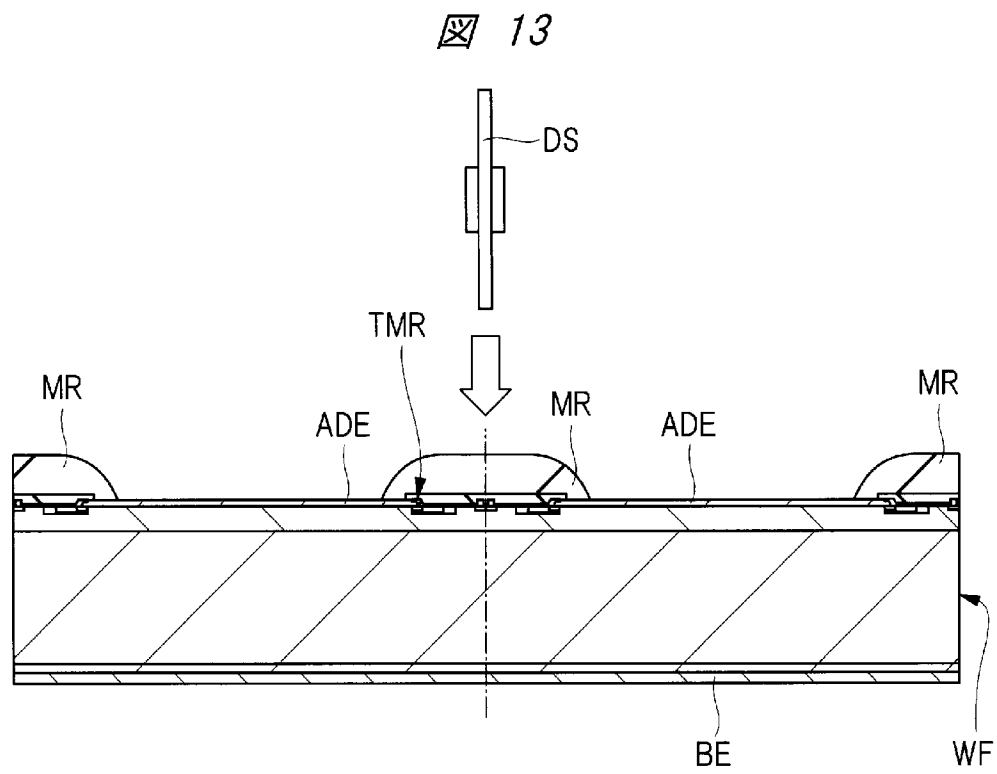


[図12]

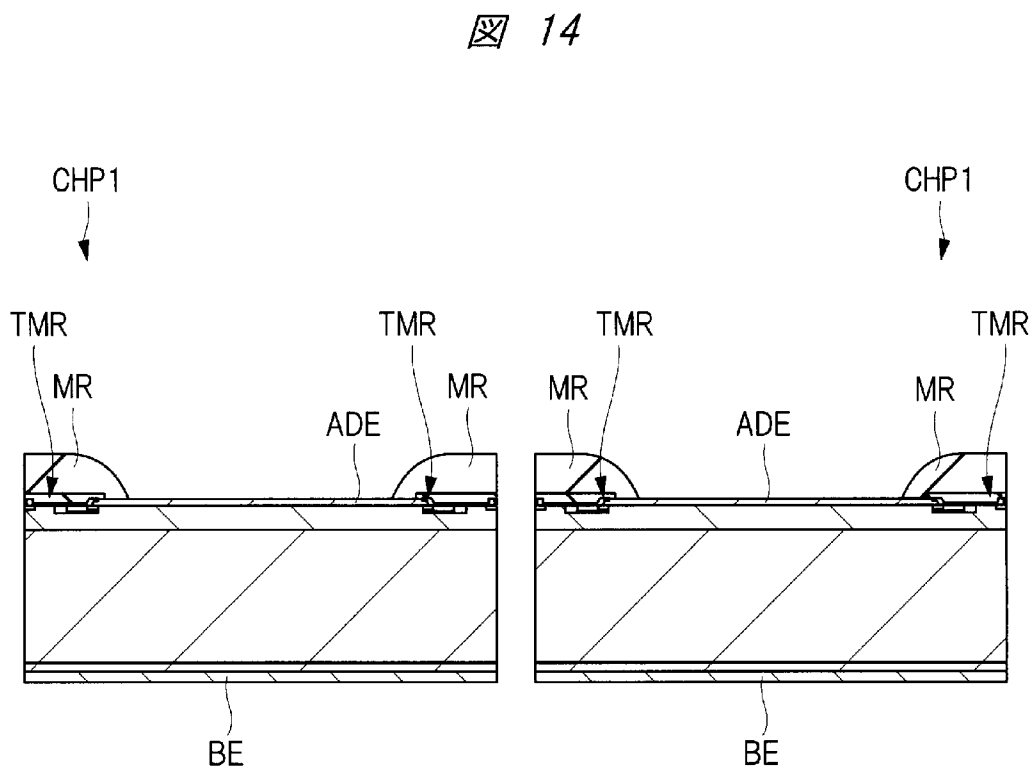
図 12



[図13]

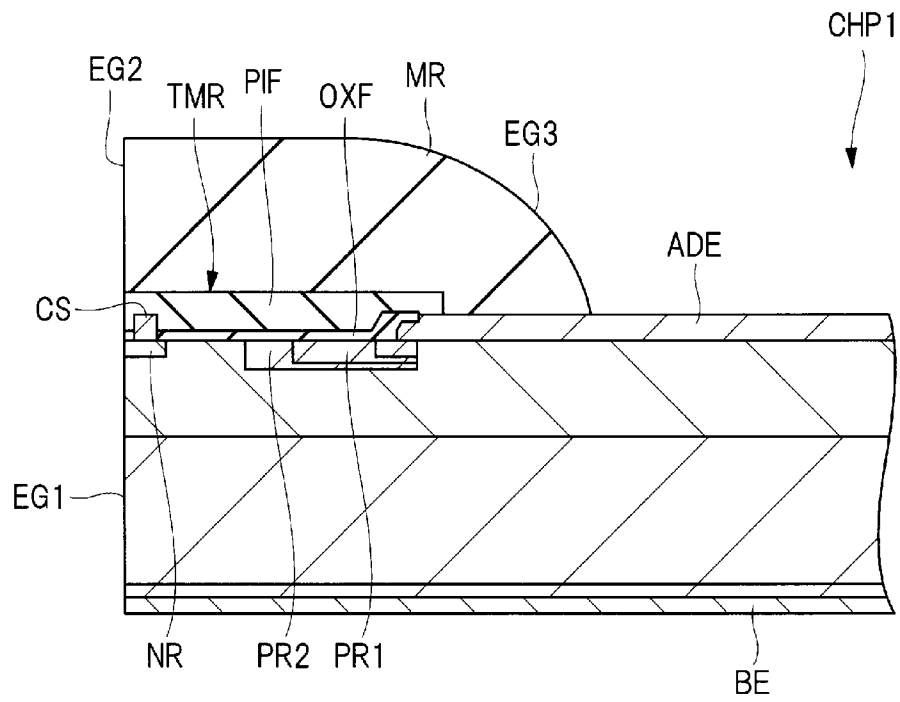


[図14]



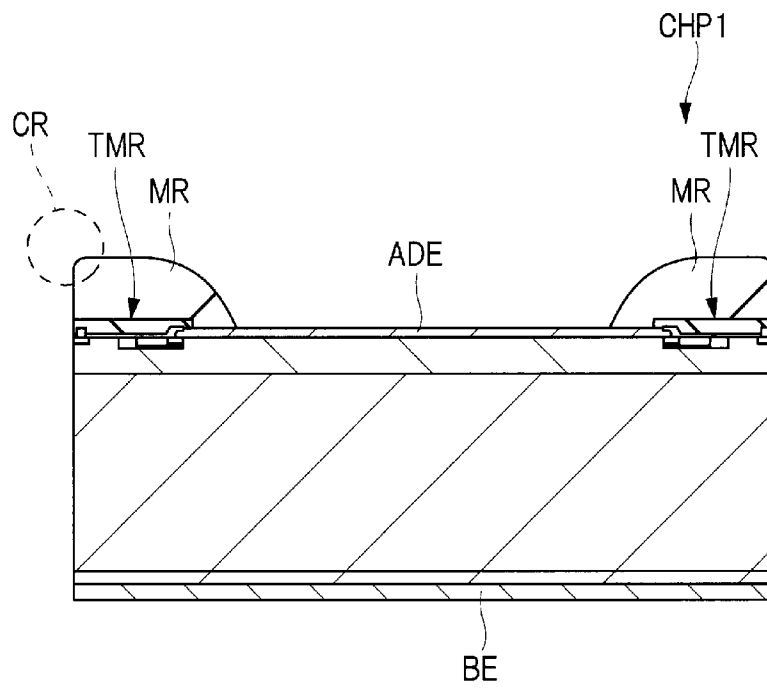
[図15]

図 15



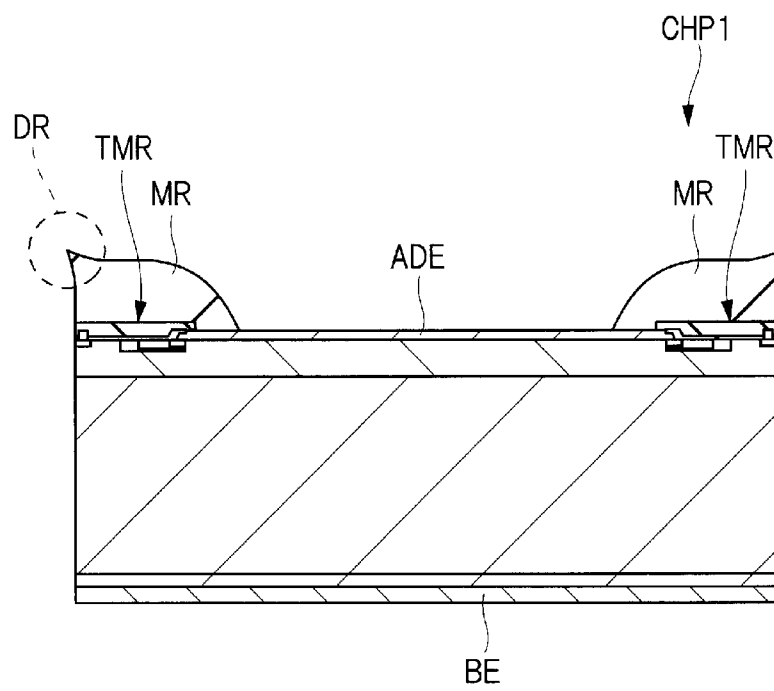
[図16]

図 16



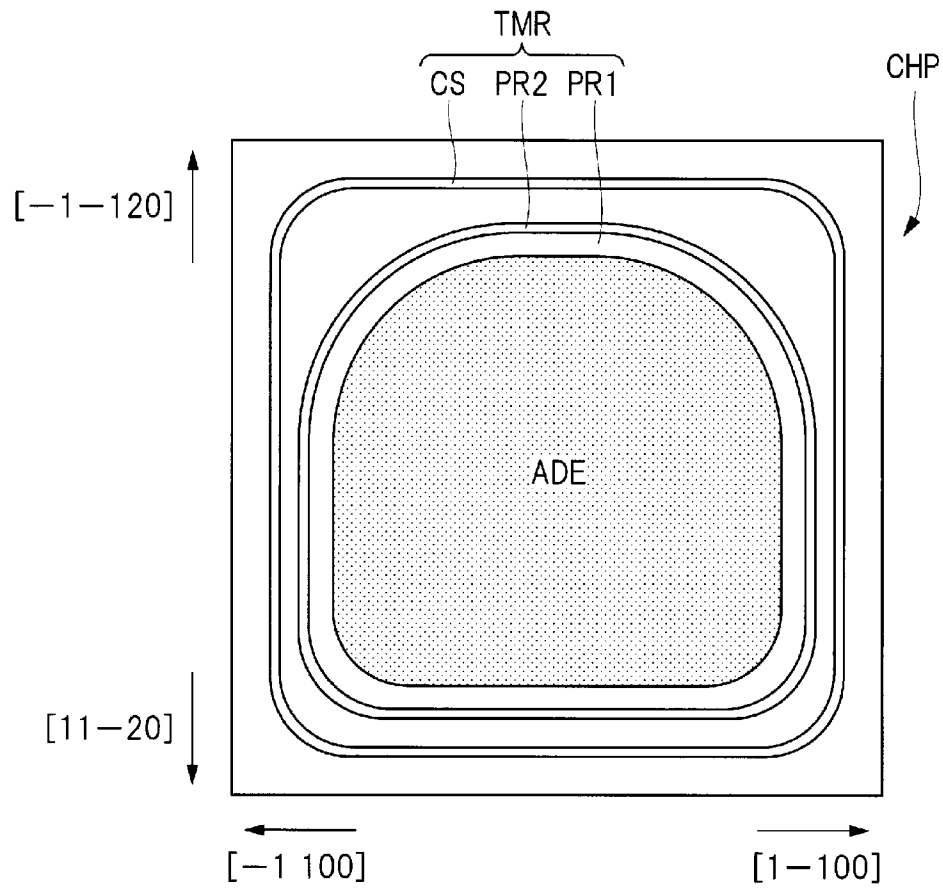
[図17]

図 17



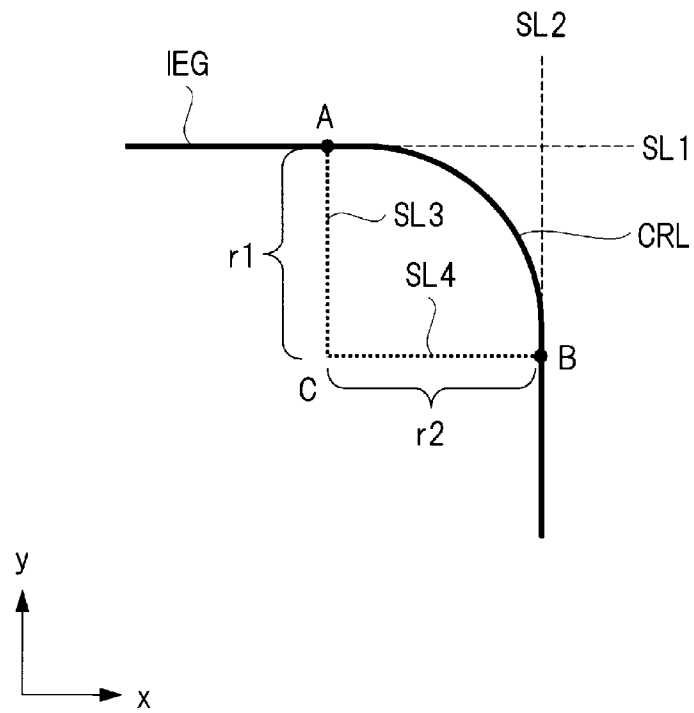
[図18]

図 18

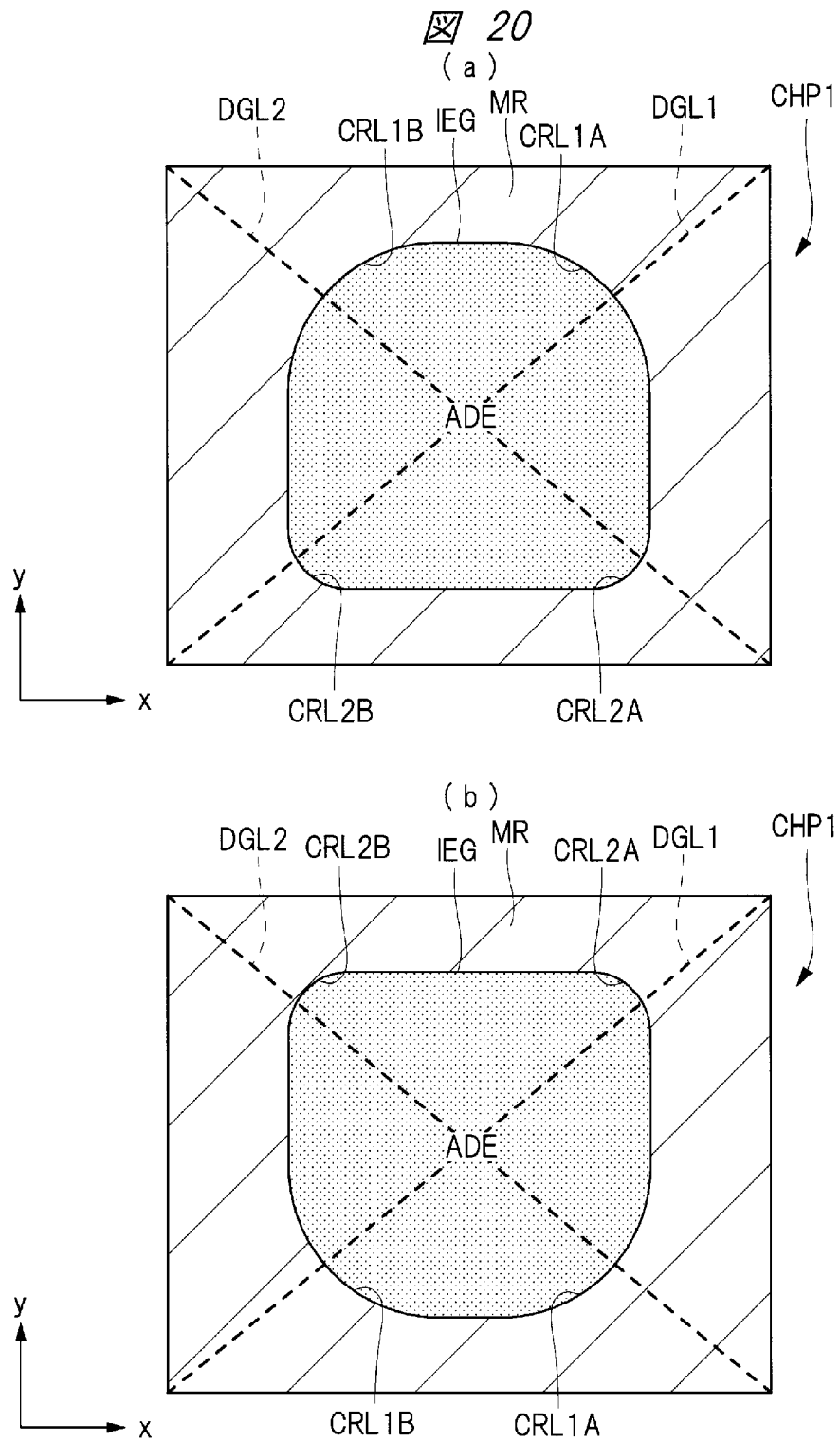


[図19]

図 19

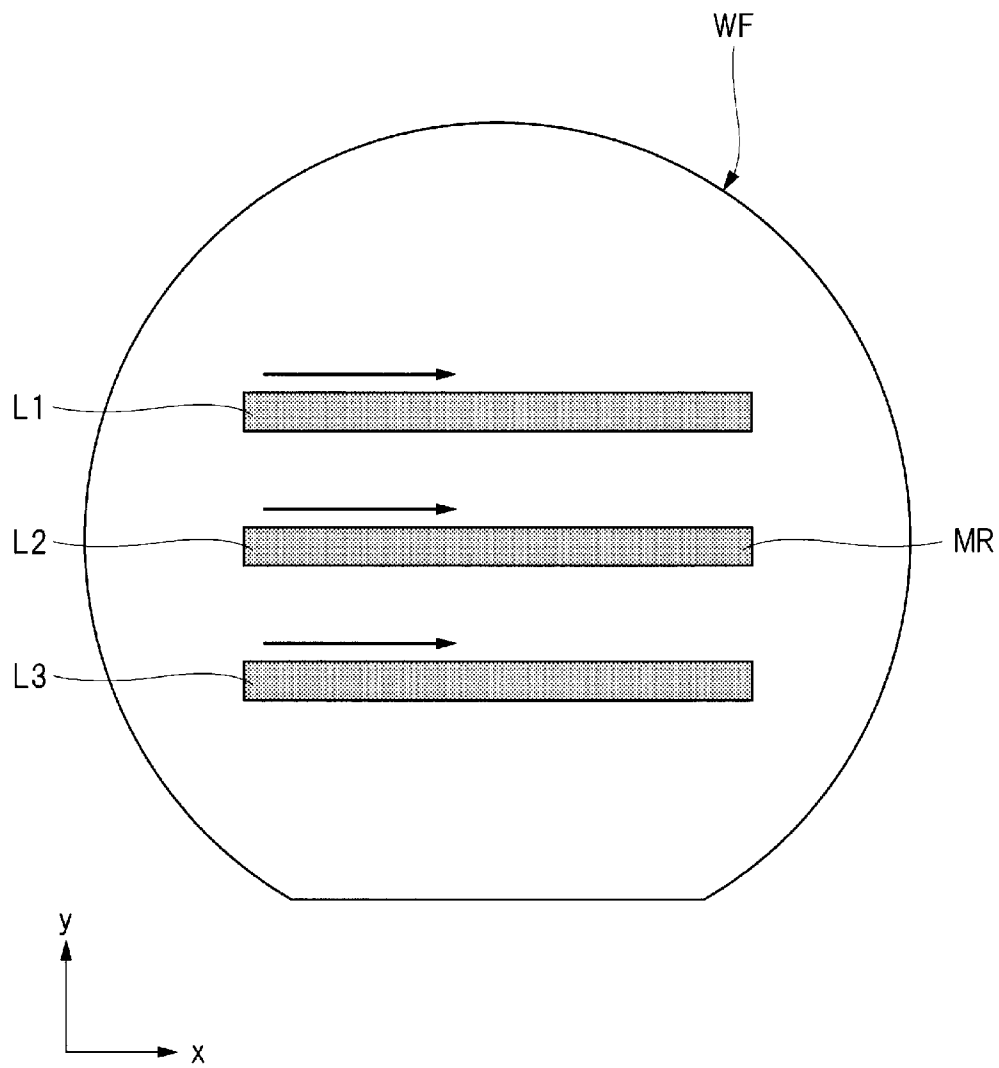


[図20]



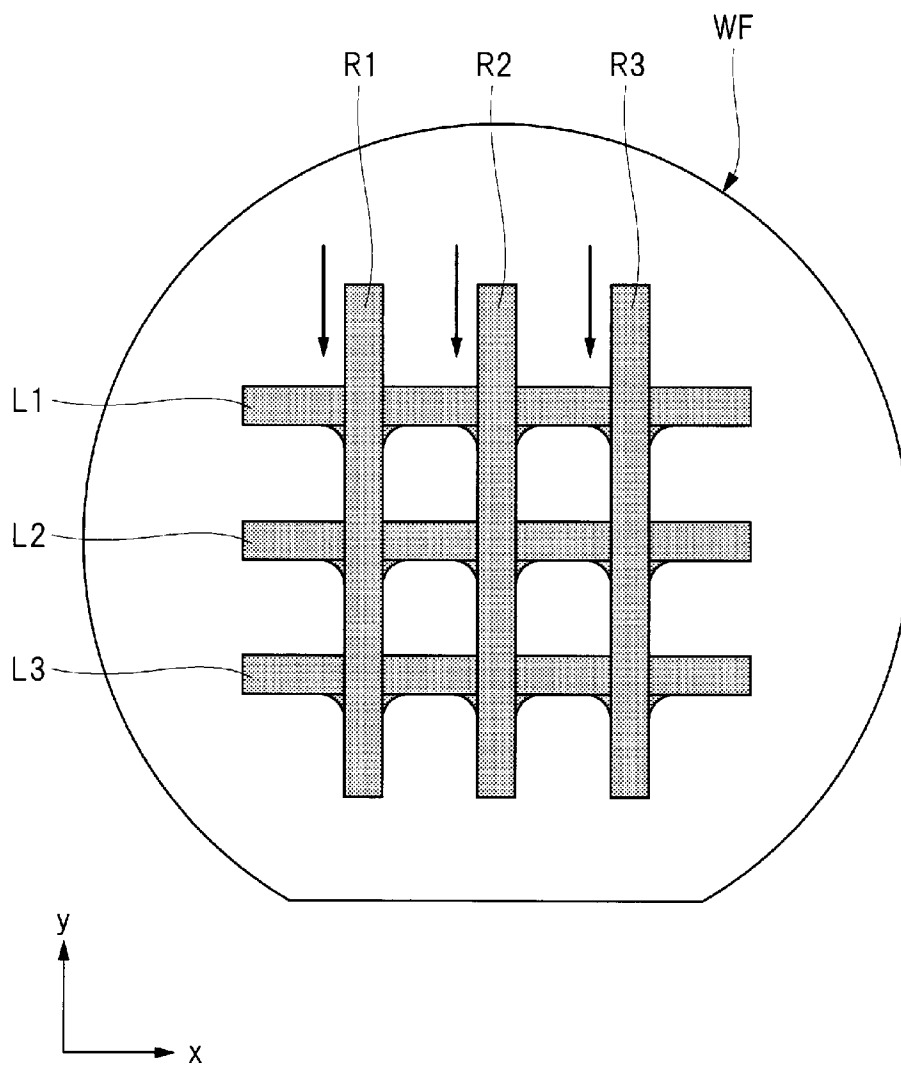
[図21]

図 21



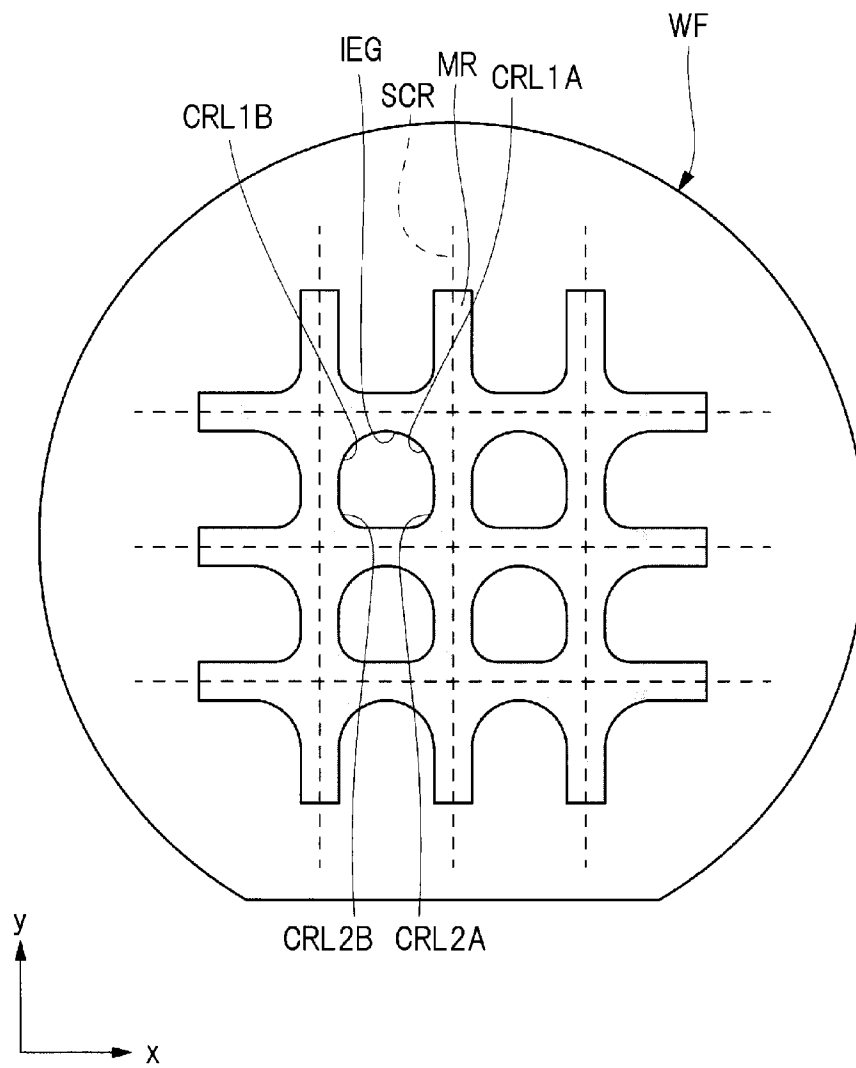
[図22]

図 22

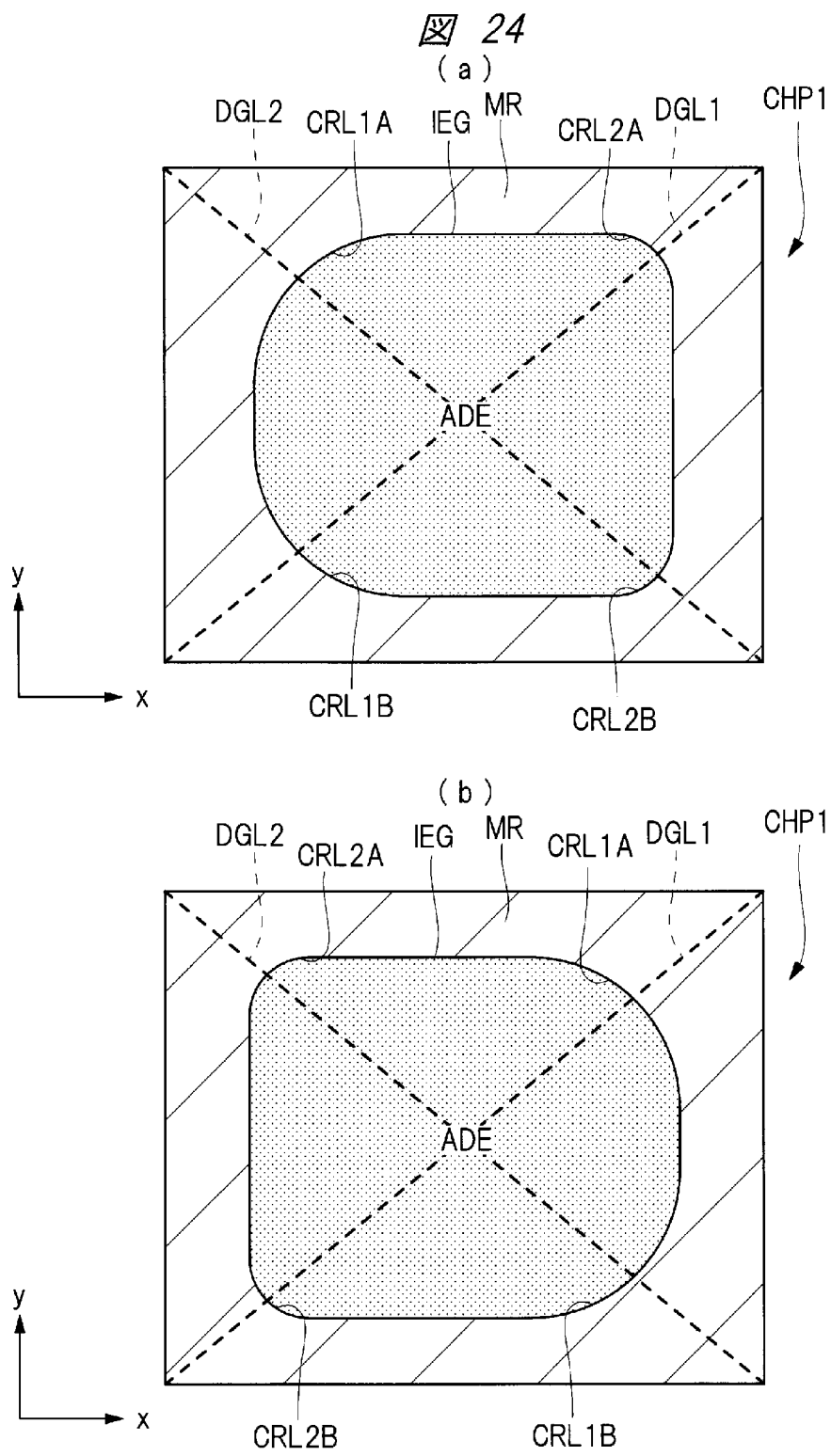


[図23]

図 23

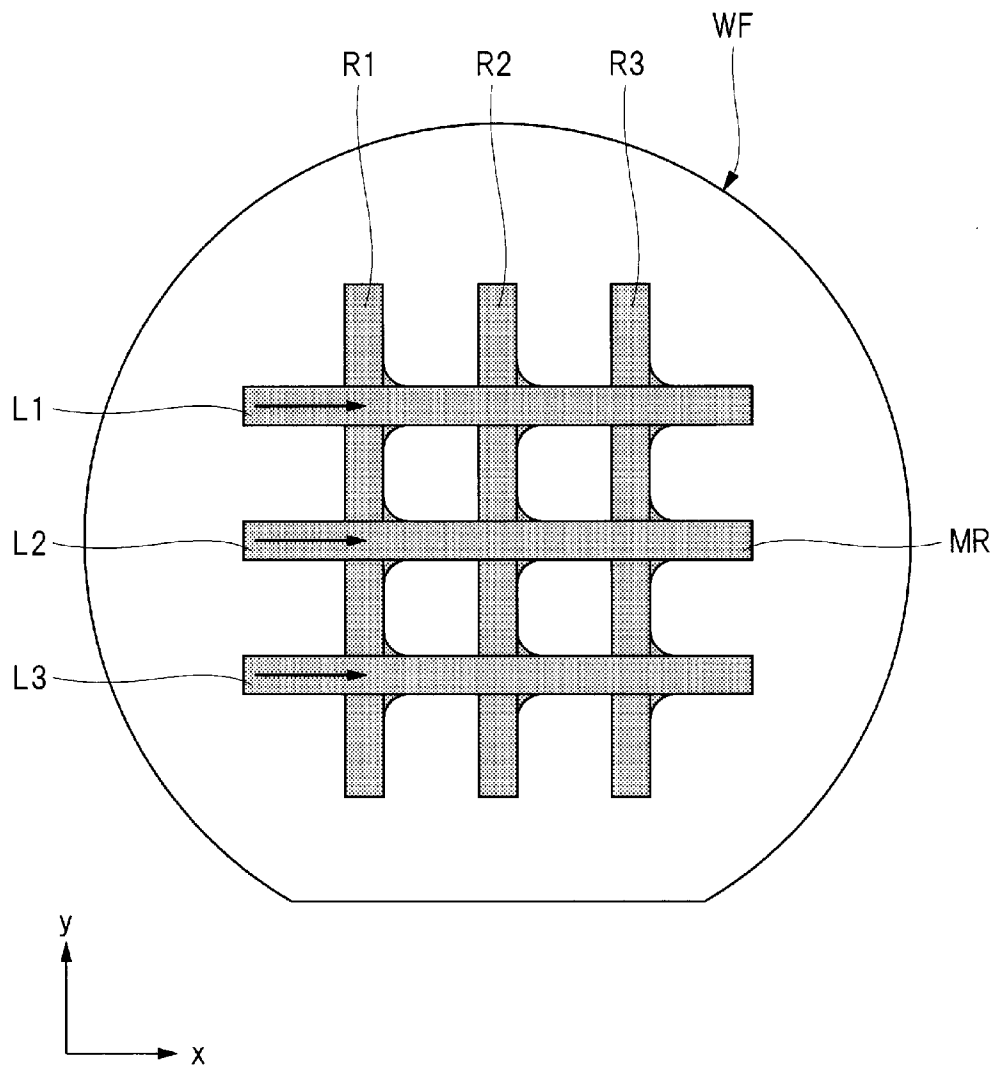


[図24]



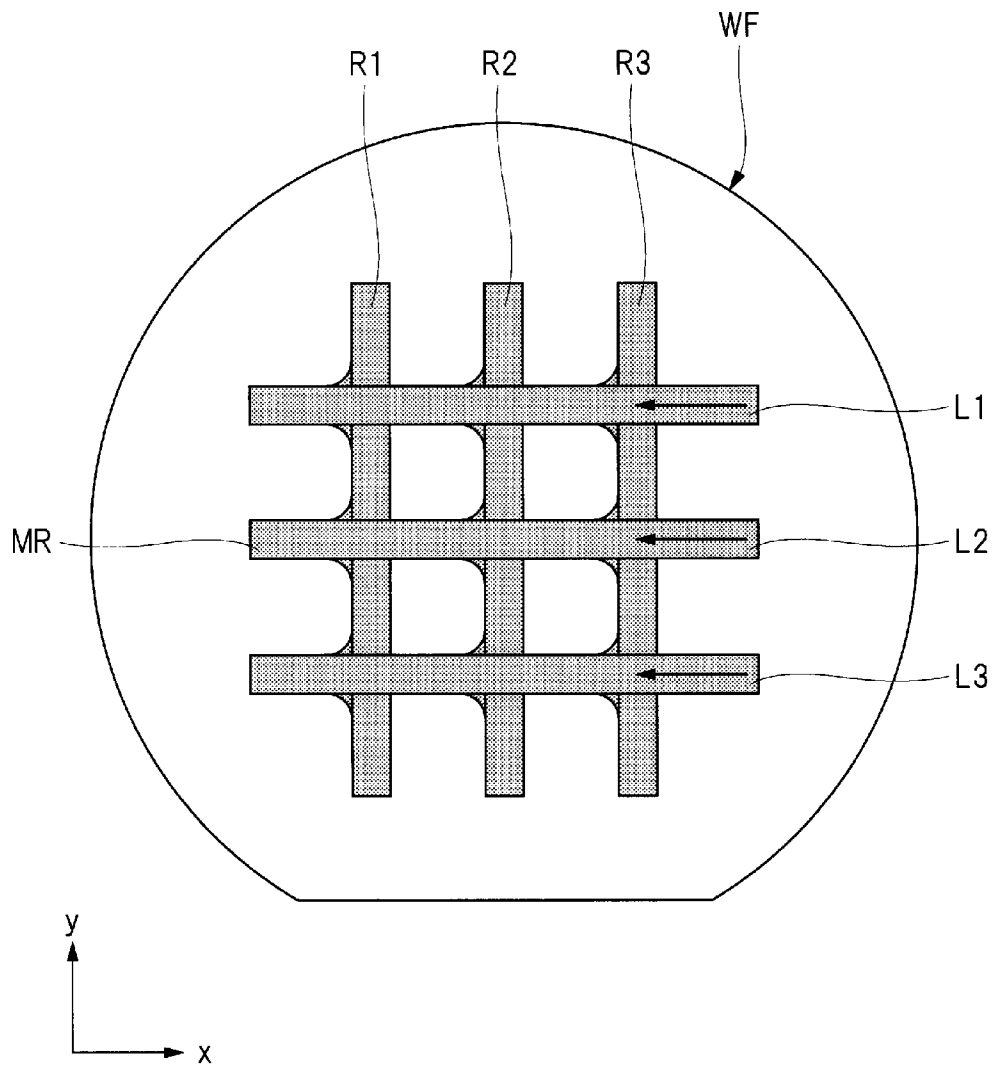
[図25]

図 25



[図26]

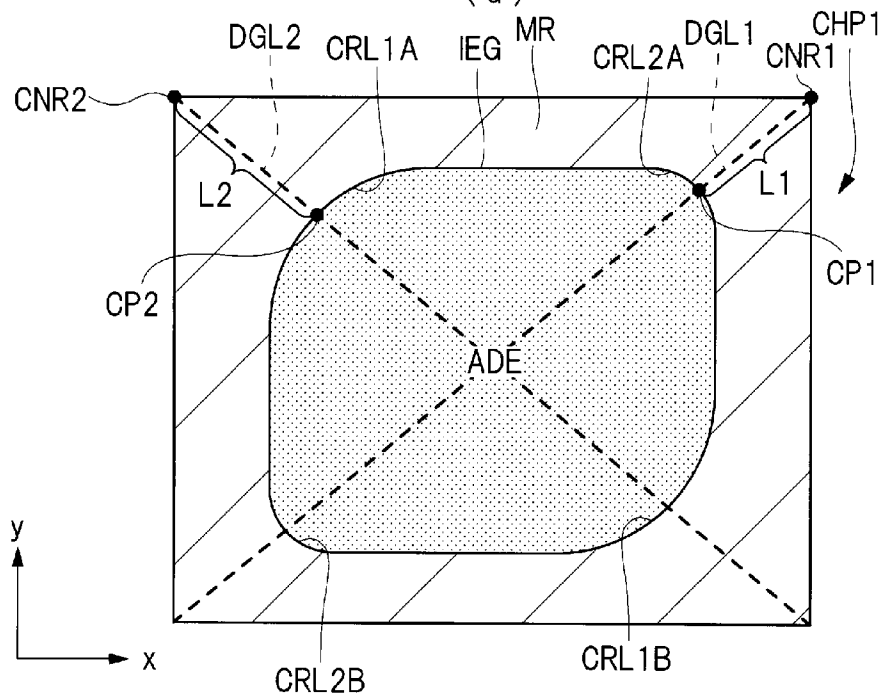
図 26



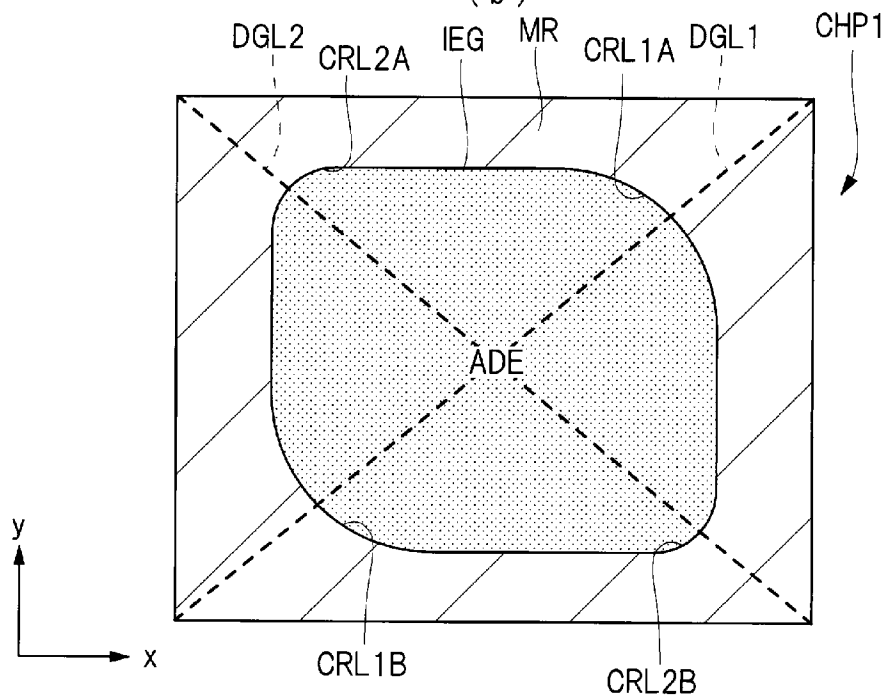
[図27]

27

(a)



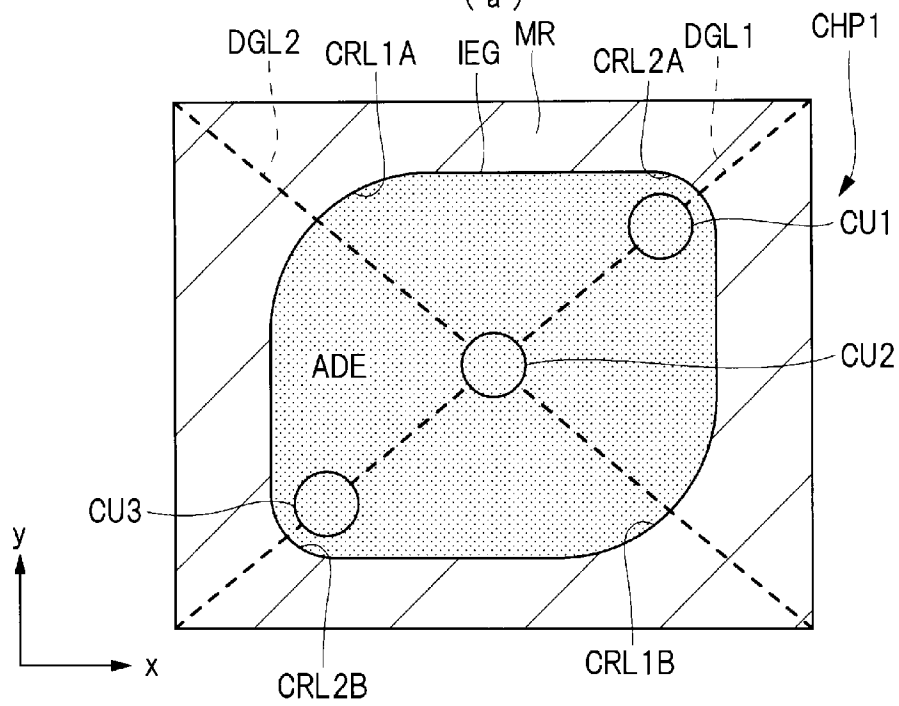
(b)



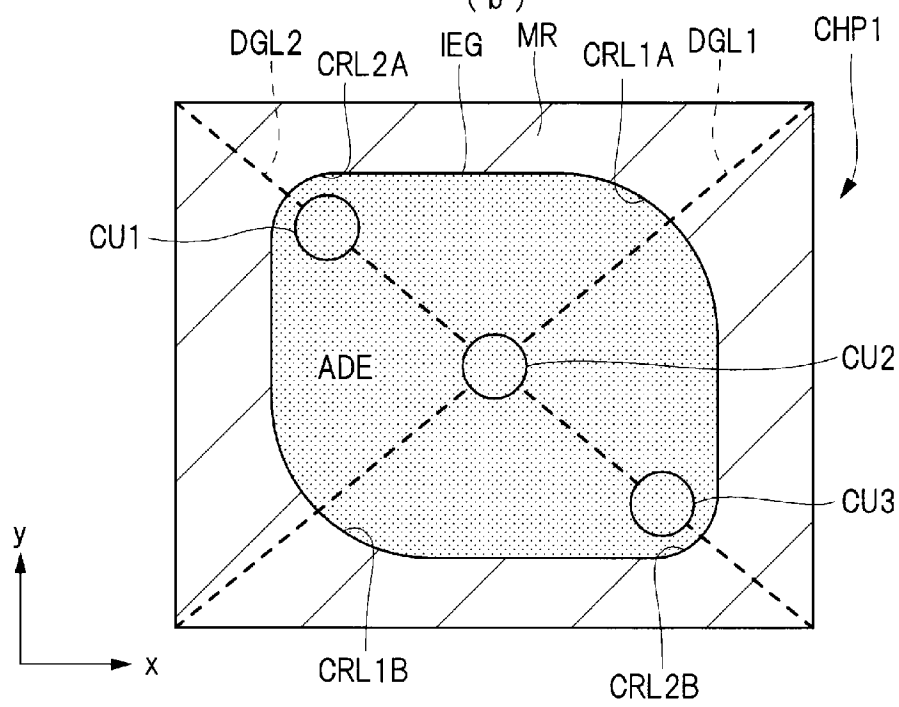
[図28]

図 28

(a)

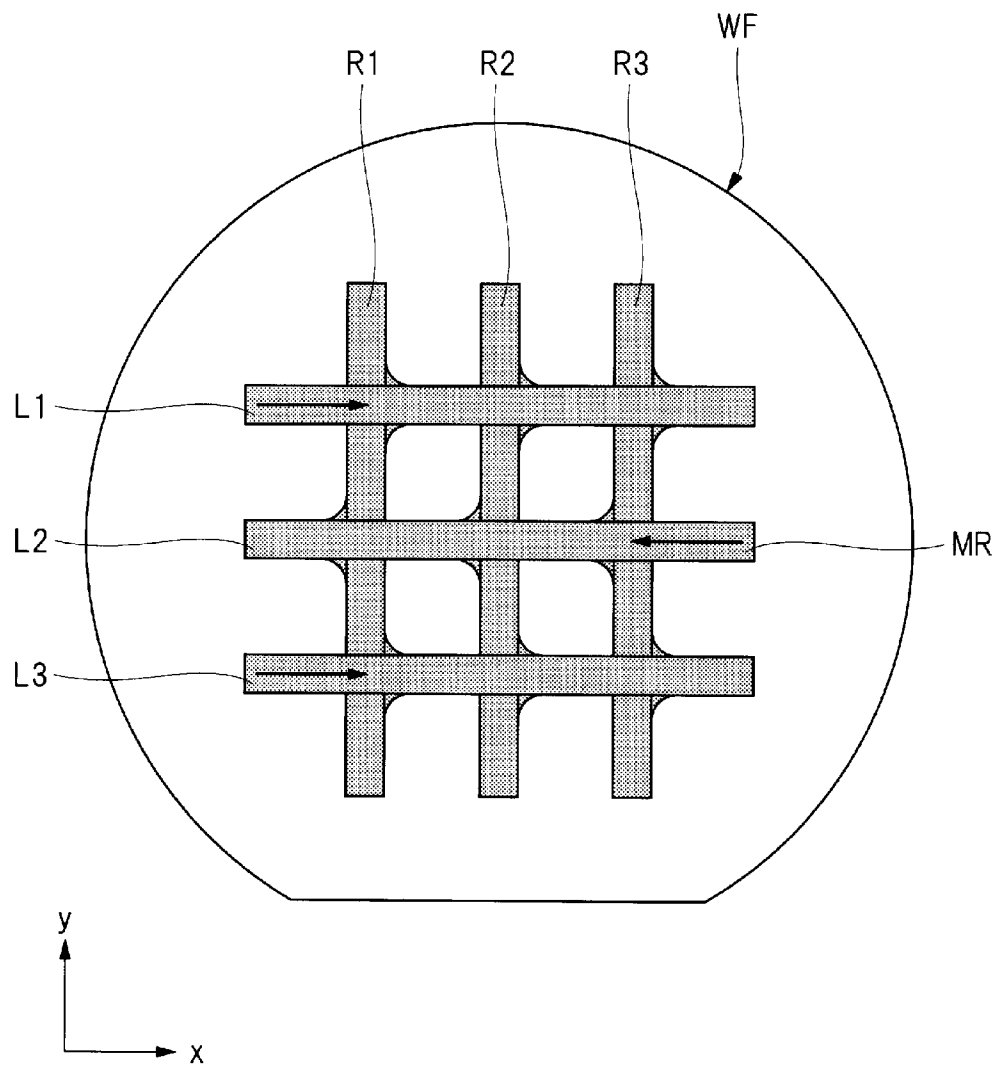


(b)



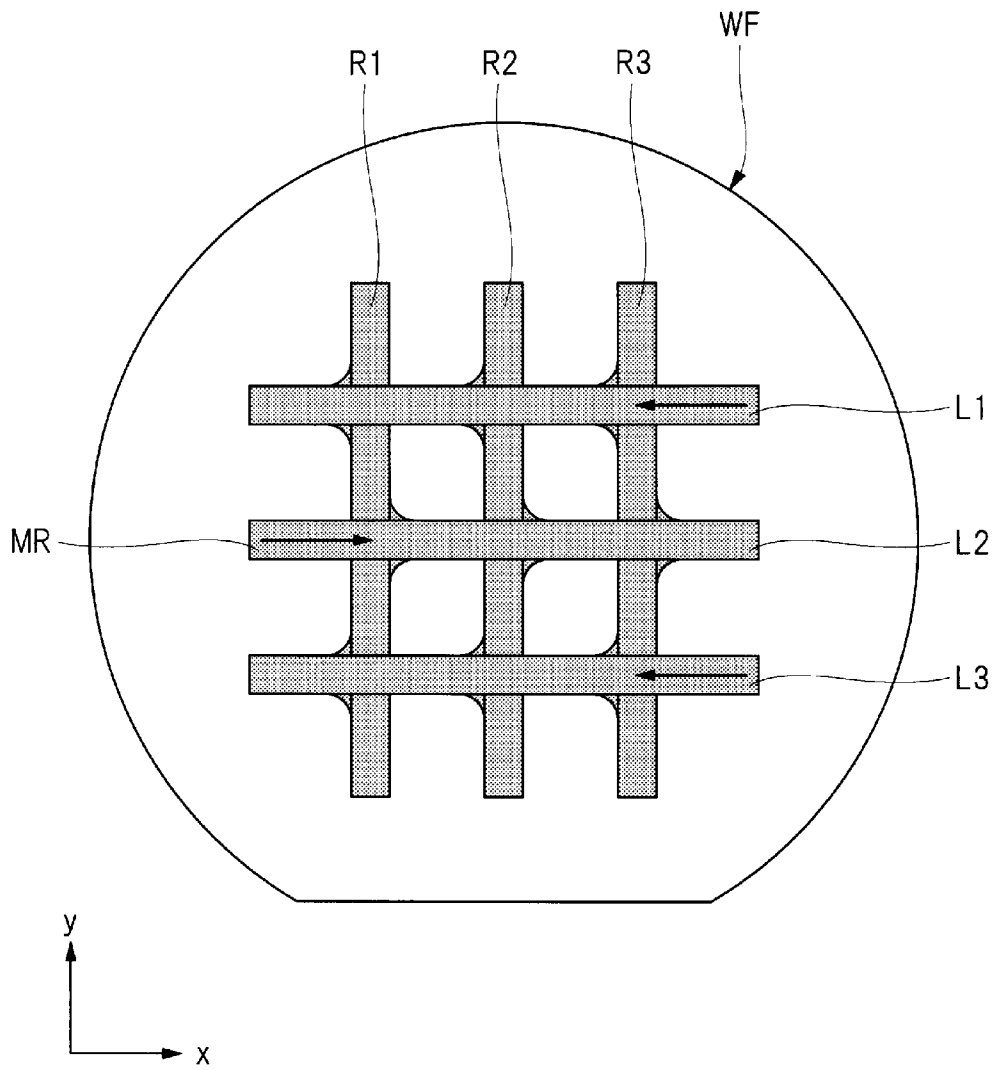
[図29]

図 29



[図30]

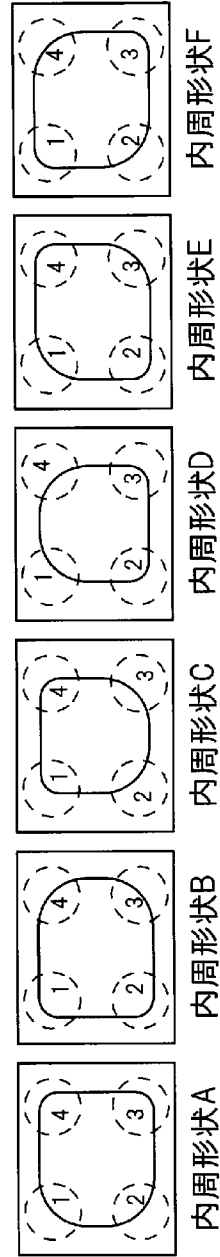
図 30



[図31]

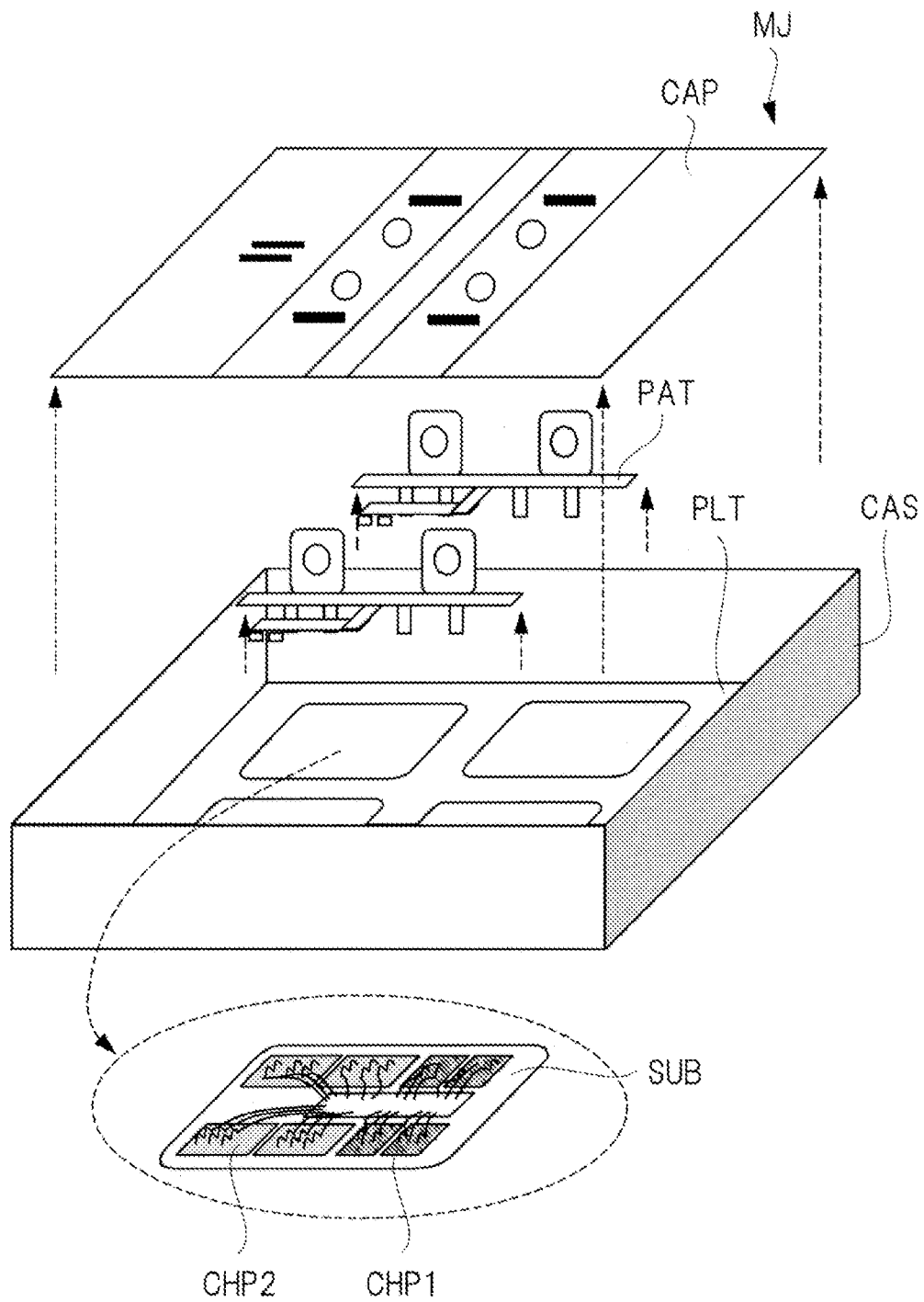
図 31

	チップ横寸 (mm)	チップ縦寸 (mm)	樹脂幅1	樹脂幅2	樹脂高さ ₁	樹脂高さ ₂	内周形状	曲率半径 (1)	曲率半径 (2)	曲率半径 (3)	曲率半径 (4)
チップ1	6	5	1.1	1.2	100	105	A	1.02	0.99	0.83	0.88
チップ2	7	5	0.8	0.8	120	110	A	1.1	1.12	0.91	0.89
チップ3	6	4.5	0.7	0.7	60	55	B	0.84	0.8	0.94	0.99
チップ4	8	6	1	0.96	98	100	B	0.92	0.98	1.13	1.1
チップ5	6	5	0.9	0.9	130	130	C	1.11	1.33	1.4	1.08
チップ6	8	5	0.68	0.7	70	70	C	0.71	0.87	0.93	0.74
チップ7	7	5	1.2	1.2	130	140	D	1.31	0.97	1.02	1.24
チップ8	9	7	1	1	75	81	D	0.98	0.83	0.85	1.06
チップ9	6	5	1.3	1.3	115	120	E	1.22	0.91	1.2	0.93
チップ10	8	6	1	1.1	85	86	E	1.04	0.88	1.05	0.84
チップ11	7	6	0.8	0.8	107	109	F	0.71	0.91	0.68	0.89
チップ12	6	5	1	1	95	96	F	0.88	1.07	0.86	1.05
チップ13	10	8	1.7	1.7	110	105	F	0.99	1.18	0.91	1.23
チップ14	13	10	1.6	1.8	140	150	F	1.2	1.44	1.22	1.39



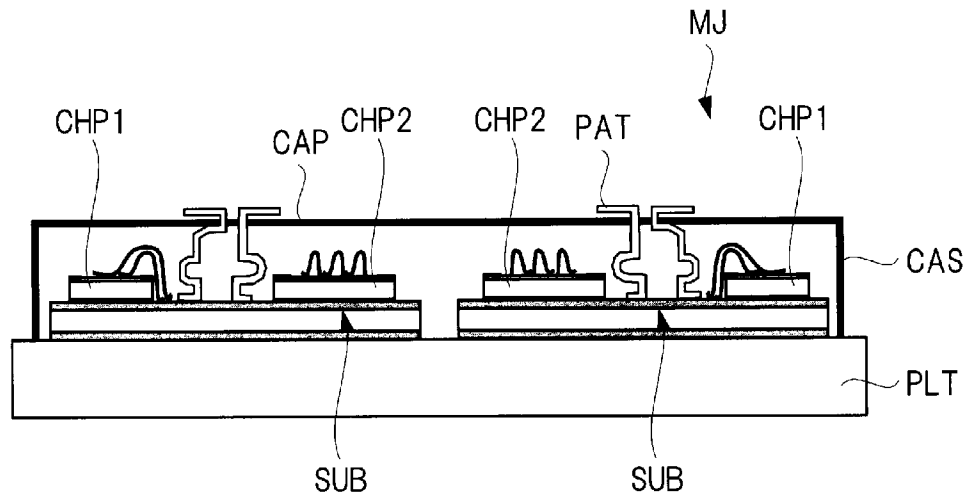
[図32]

図 32



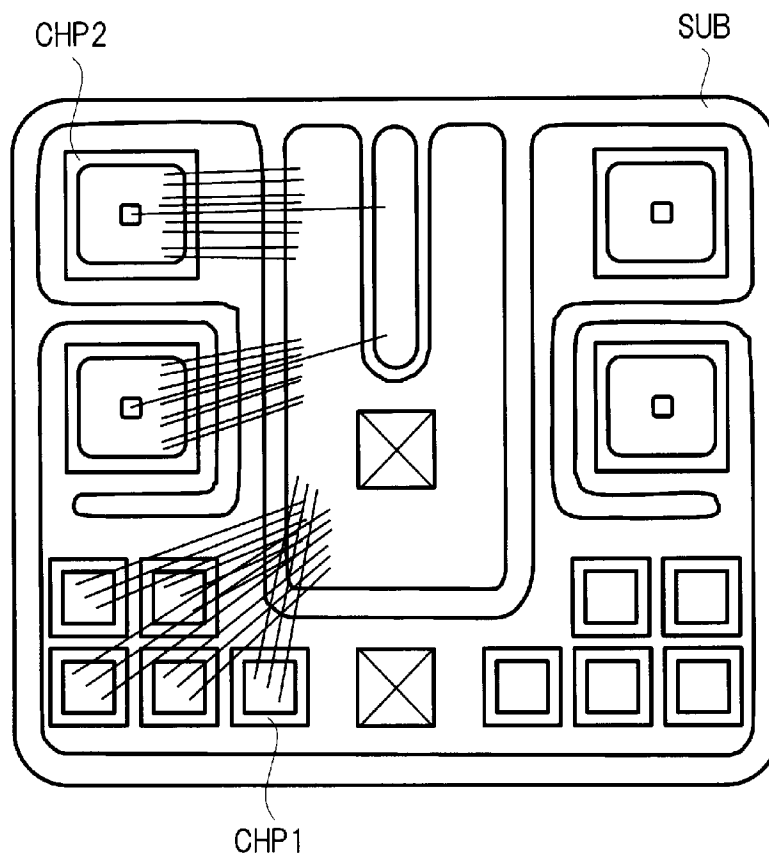
[図33]

図 33



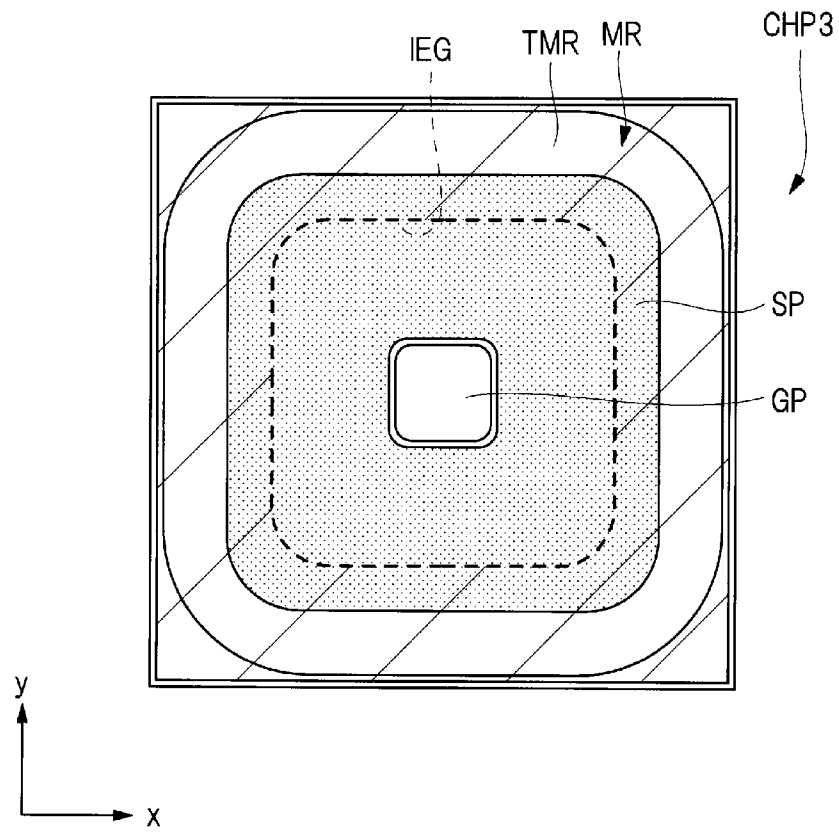
[図34]

図 34



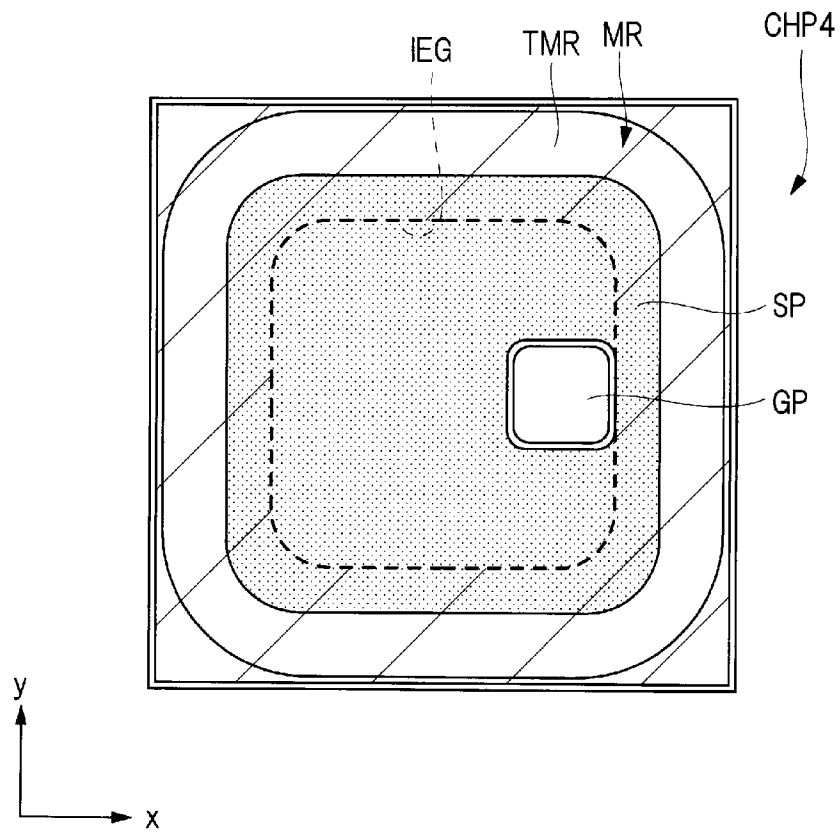
[図35]

図 35

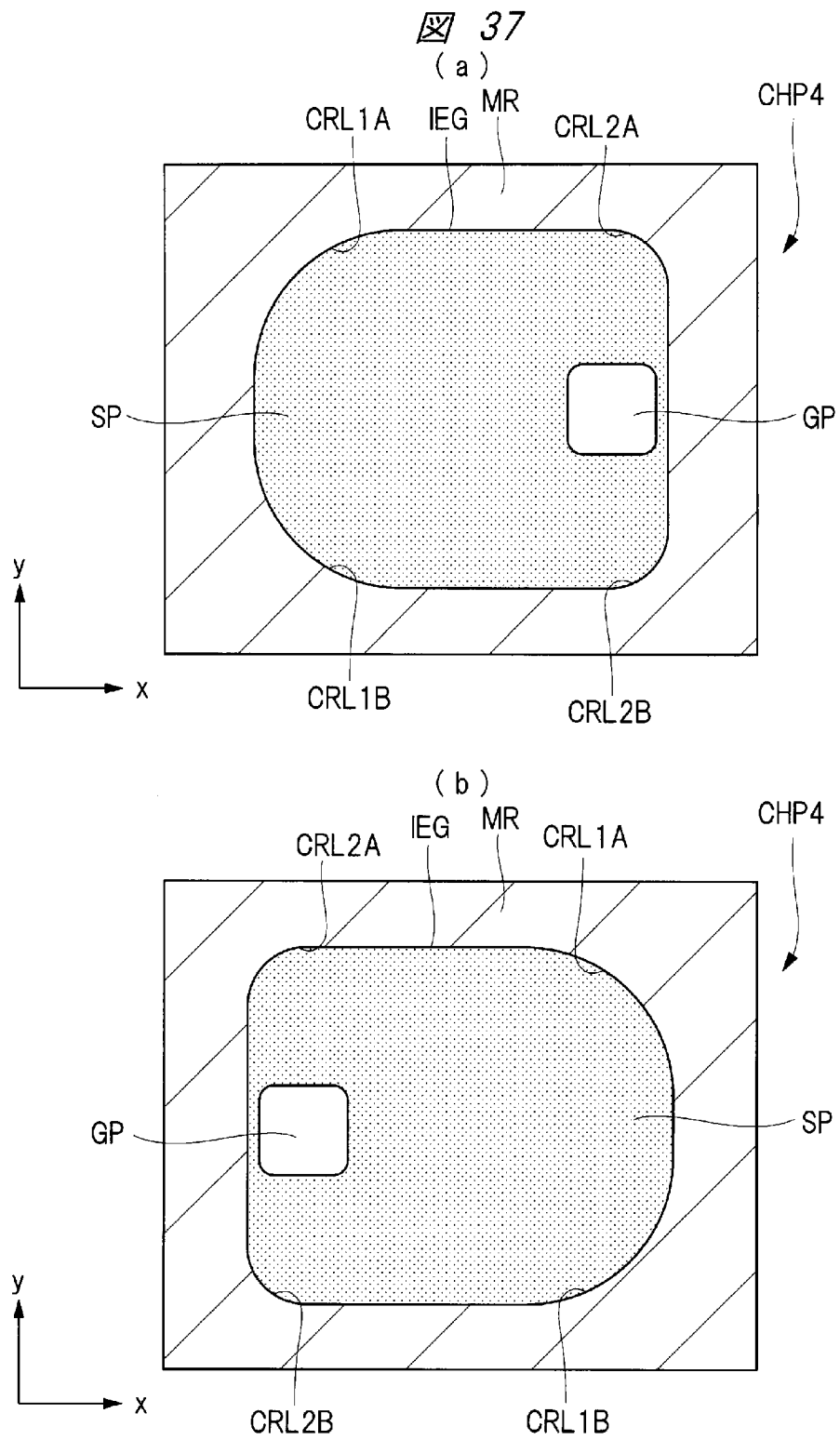


[図36]

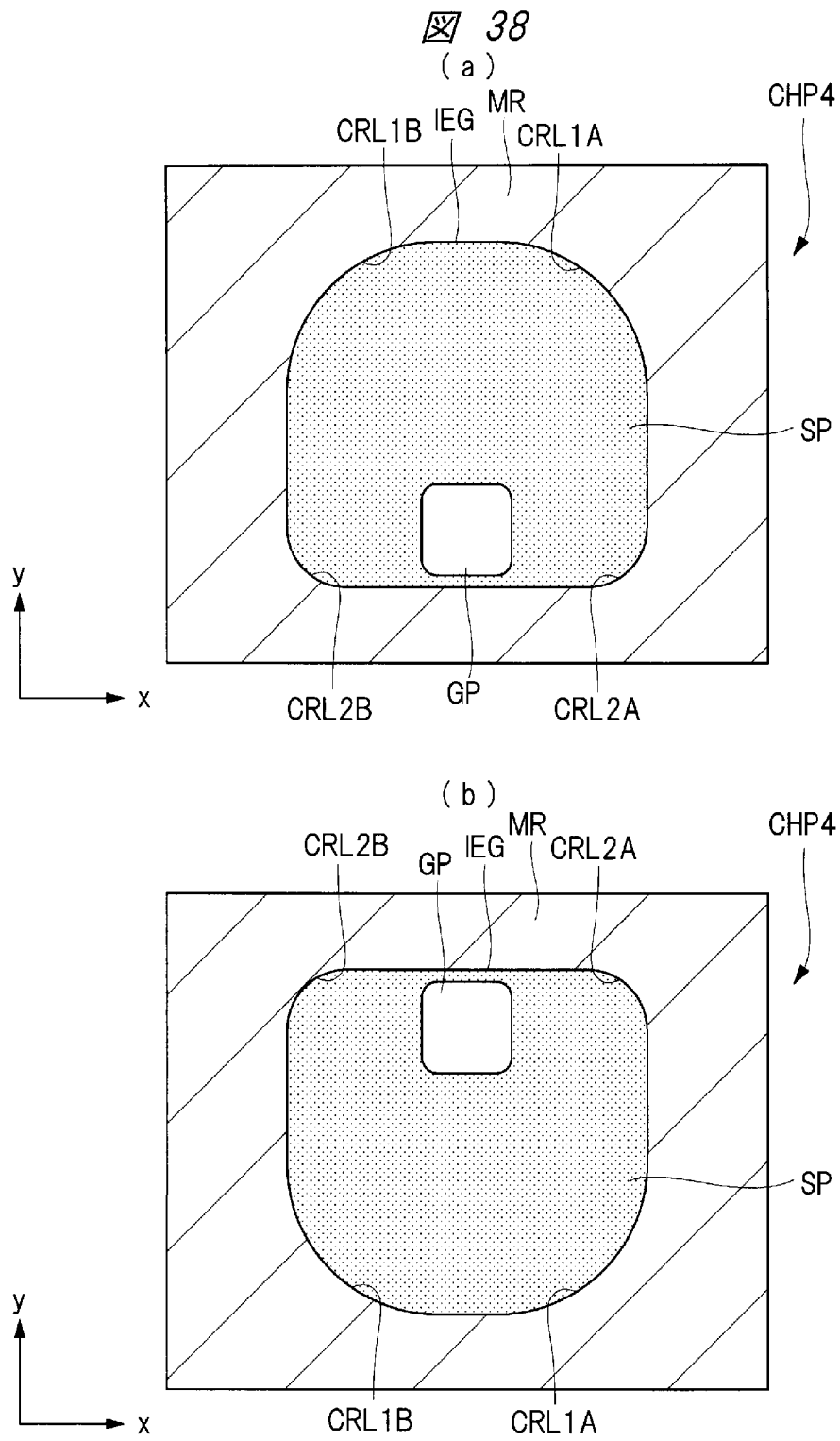
図 36



[図37]

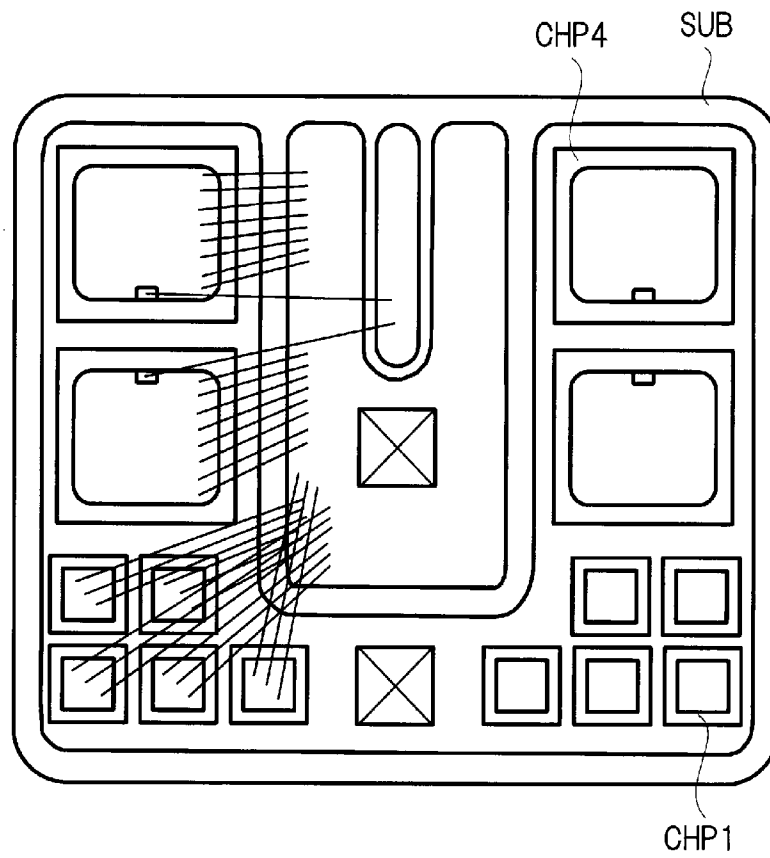


[図38]



[図39]

図 39



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/050128

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/29(2006.01)i, H01L23/28(2006.01)i, H01L23/31(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/29, H01L23/28, H01L23/31, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2013-191716 A (Hitachi, Ltd.), 26 September 2013 (26.09.2013), paragraphs [0022] to [0024], [0027] to [0031]; fig. 4, 6 (Family: none)	1, 2, 4-8 3, 9, 10, 13-15 11, 12
Y	JP 2015-032665 A (Sumitomo Electric Industries, Ltd.), 16 February 2015 (16.02.2015), abstract; paragraph [0046] (Family: none)	3
Y A	JP 2014-236166 A (Hitachi Power Semiconductor Device, Ltd.), 15 December 2014 (15.12.2014), paragraphs [0033] to [0069]; fig. 5, 8, 9 (Family: none)	9, 10, 13-15 11, 12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 March 2016 (10.03.16)

Date of mailing of the international search report
22 March 2016 (22.03.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/050128

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-239488 A (Rohm Co., Ltd.), 28 November 2013 (28.11.2013), paragraphs [0017] to [0031]; fig. 1 & US 2015/0333120 A1 paragraphs [0035] to [0053]; fig. 1 & WO 2013/168795 A1	9, 10, 13-15
Y	JP 2013-239607 A (Mitsubishi Electric Corp.), 28 November 2013 (28.11.2013), paragraphs [0040] to [0048]; fig. 3 to 5 (Family: none)	9, 10, 13-15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/050128

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/050128

Continuation of Box No.III of continuation of first sheet(2)

The invention of claim 1 and the invention of claim 9 have a common technical feature of "a semiconductor device that is provided with a semiconductor chip, which contains a semiconductor material having a band gap that is larger than that of silicon, and which has an insulating member covering a peripheral end portion of an element forming surface".

However, the above-said technical feature cannot be considered to be a special technical feature, since the technical feature does not make a contribution over the prior art in the light of the contents disclosed in document 1 (JP 2015-220438 A (Sumitomo Electric Industries, Ltd.), 07 December 2015 (07.12.2015), abstract; paragraph [0023]) and document 2 (JP 2015-032665 A (Sumitomo Electric Industries, Ltd.), 16 February 2015 (16.02.2015), abstract, paragraph [0046]).

Further, there is no other same or corresponding special technical feature between these inventions.

Accordingly, claims are classified into two inventions each of which has a special technical feature indicated below.

(Invention 1) claims 1-8

A semiconductor device wherein the dielectric breakdown electric field strength of an insulating member is higher than that of a sealing member.

(Invention 2) claims 9-15

A semiconductor device wherein the shape of an inner end portion of an insulating member includes curved line sections having curvature radii different from each other in a plan view.

Claims 9-15 are not relevant to inventions which involve all of the matters to define the invention in claim 1 and which have a same category.

Further, claims 9-15 do not relate to an invention which is substantially same as or equivalent to that of claims classified into Invention 1, and therefore, these claims 9-15 cannot be classified into Invention 1.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L23/29(2006.01)i, H01L23/28(2006.01)i, H01L23/31(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L23/29, H01L23/28, H01L23/31, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2013-191716 A (株式会社日立製作所) 2013.09.26, 段落 [0022]-[0024], [0027]-[0031], 第4,6図 (ファミリーなし)	1, 2, 4-8 3, 9, 10, 13-15 11, 12
Y	JP 2015-032665 A (住友電気工業株式会社) 2015.02.16, 要約, 段落 [0046] (ファミリーなし)	3
Y A	JP 2014-236166 A (株式会社日立パワーデバイス) 2014.12.15, 段 落[0033]-[0069], 第5,8,9図 (ファミリーなし)	9, 10, 13-15 11, 12

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

10.03.2016

国際調査報告の発送日

22.03.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小山 和俊

5D

9369

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-239488 A (ローム株式会社) 2013. 11. 28, 段落 [0017]-[0031], 第 1 図 & US 2015/0333120 A1, 段落[0035]-[0053], 第 1 図 & WO 2013/168795 A1	9, 10, 13-15
Y	JP 2013-239607 A (三菱電機株式会社) 2013. 11. 28, 段落 [0040]-[0048], 第 3-5 図 (ファミリーなし)	9, 10, 13-15

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

特別ページ参照

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☒ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求項 1 に係る発明、請求項 9 に係る発明は、「シリコンよりもバンドギャップの大きな半導体材料を含み、かつ、素子形成面の周縁部を覆う絶縁部材を有する半導体チップを備える半導体装置」という共通の技術的特徴を有している。しかしながら、当該技術的特徴は、文献 1 (JP 2015-220438 A (住友電気工業株式会社) 2015.12.07, 要約, 段落[0023])、文献 2 (JP 2015-032665 A (住友電気工業株式会社) 2015.02.16, 要約, 段落[0046])の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、当該技術的特徴は、特別な技術的特徴であるとはいえない。また、これらの発明の間には、他に同一の又は対応する特別な技術的特徴は存在しない。

そして、請求の範囲は、各々下記の特別な技術的特徴を有する 2 の発明に区分される。

(発明 1) 請求項 1 - 8

絶縁部材の絶縁破壊電界強度は、封止部材の絶縁破壊電界強度よりも大きい半導体装置。

(発明 2) 請求項 9 - 15

平面視において、絶縁部材の内端部の形状は、互いに曲率半径の異なる曲線部を含む、半導体装置。

請求項 9 - 15 は、請求項 1 の発明特定事項を全て含む同一カテゴリーの発明ではない。そして、請求項 9 - 15 は、発明 1 に区分された請求項と実質同一又はそれに準ずる発明でもないから、請求項 9 - 15 を発明 1 に区分することはできない。