



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201209820 A1

(43)公開日：中華民國 101 (2012) 年 03 月 01 日

(21)申請案號：100115972

(22)申請日：中華民國 100 (2011) 年 05 月 06 日

(51)Int. Cl. : *G11C11/4093(2006.01)*

G11C7/10 (2006.01)

(30)優先權：2010/05/07 美國

61/332,232

(71)申請人：摩賽德科技股份有限公司 (加拿大) MOSAID TECHNOLOGIES INCORPORATED
(CA)

加拿大

(72)發明人：舒茲 羅蘭 SCHUETZ, ROLAND (CA)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：28 項 圖式數：16 共 71 頁

(54)名稱

使用單一緩衝器同時讀取複數記憶裝置之方法及裝置

METHOD AND APPARATUS FOR CONCURRENTLY READING A PLURALITY OF MEMORY DEVICES USING A SINGLE BUFFER

(57)摘要

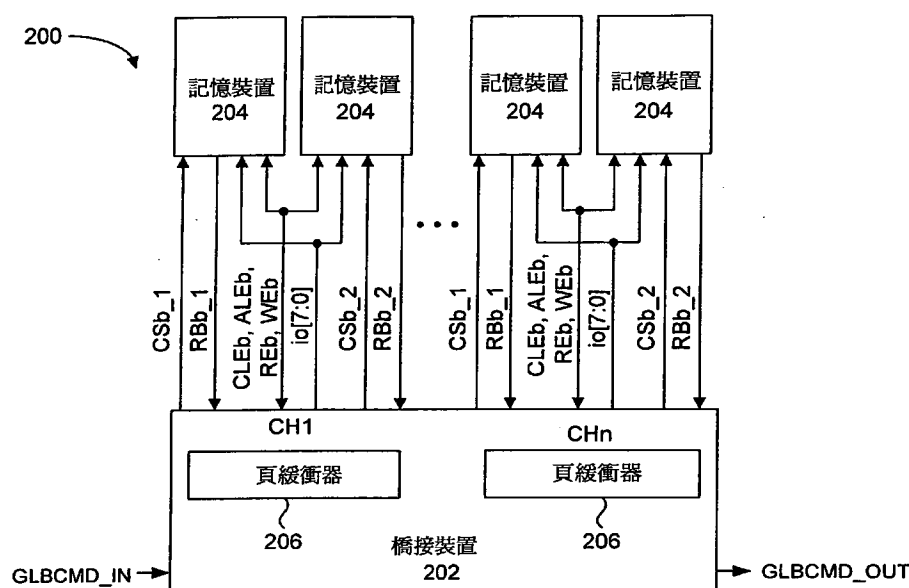
一種包括離散記憶裝置及橋接裝置之複合記憶裝置，用於控制該離散記憶裝置以回應具有與該記憶裝置不相容之格式或協定的總體記憶體控制信號。該離散記憶裝置可為回應於本機或局部記憶體控制信號之市售現成的記憶裝置或訂製記憶裝置。該總體及局部記憶體控制信號包括各具有不同格式之指令及指令信號。該複合記憶裝置包括包括該離散記憶裝置及該橋接裝置之半導體晶粒的套裝系統，或可包括具有封裝離散記憶裝置及所安裝之封裝橋接裝置的印刷電路板。

200：記憶裝置

202：橋接裝置

204：記憶裝置

206：資料緩衝器





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201209820 A1

(43)公開日：中華民國 101 (2012) 年 03 月 01 日

(21)申請案號：100115972

(22)申請日：中華民國 100 (2011) 年 05 月 06 日

(51)Int. Cl. : *G11C11/4093(2006.01)*

G11C7/10 (2006.01)

(30)優先權：2010/05/07 美國

61/332,232

(71)申請人：摩賽德科技股份有限公司 (加拿大) MOSAID TECHNOLOGIES INCORPORATED
(CA)

加拿大

(72)發明人：舒茲 羅蘭 SCHUETZ, ROLAND (CA)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：28 項 圖式數：16 共 71 頁

(54)名稱

使用單一緩衝器同時讀取複數記憶裝置之方法及裝置

METHOD AND APPARATUS FOR CONCURRENTLY READING A PLURALITY OF MEMORY DEVICES USING A SINGLE BUFFER

(57)摘要

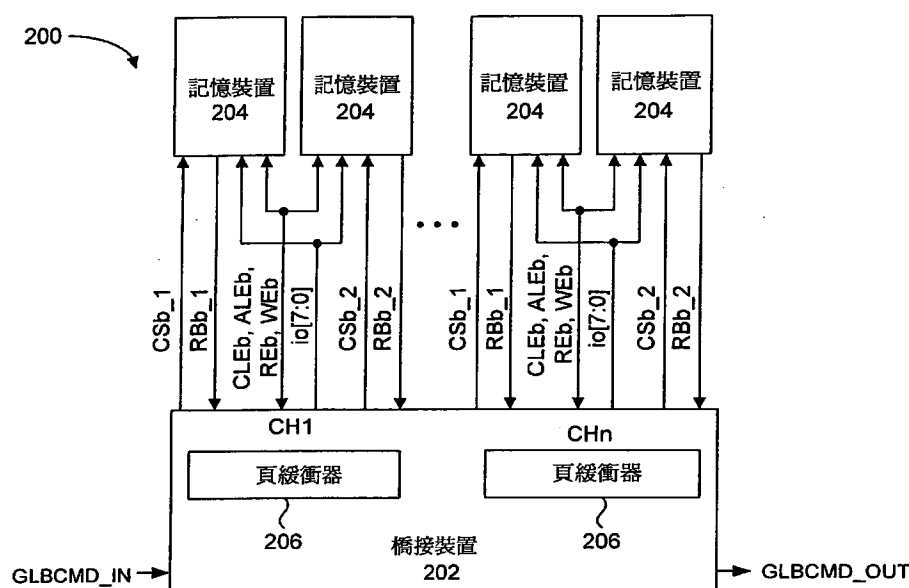
一種包括離散記憶裝置及橋接裝置之複合記憶裝置，用於控制該離散記憶裝置以回應具有與該記憶裝置不相容之格式或協定的總體記憶體控制信號。該離散記憶裝置可為回應於本機或局部記憶體控制信號之市售現成的記憶裝置或訂製記憶裝置。該總體及局部記憶體控制信號包括各具有不同格式之指令及指令信號。該複合記憶裝置包括包括該離散記憶裝置及該橋接裝置之半導體晶粒的套裝系統，或可包括具有封裝離散記憶裝置及所安裝之封裝橋接裝置的印刷電路板。

200：記憶裝置

202：橋接裝置

204：記憶裝置

206：資料緩衝器



六、發明說明：

【發明所屬之技術領域】

本發明一般關於半導體裝置，尤其關於從使用半導體裝置之單一緩衝器的複數源讀取資料。

【先前技術】

半導體記憶裝置在目前業界及消費者電子產品中是重要組件。例如，電腦、行動電話、及其他可攜式電子產品均仰賴一些型式的記憶體以儲存資料。雖然許多記憶裝置典型地可用作商品，或離散記憶裝置，但更高整合程度及更高輸入/輸出（I/O）帶寬的需求導致嵌入式記憶體的發展，其可與系統整合，諸如微控制器及其他處理電路。

大部分消費者電子產品採用非揮發性裝置，諸如快閃裝置以儲存資料。快閃記憶裝置的需要持續顯著成長，因為該些裝置極適於需要大量非揮發性儲存同時佔據小實體面積之各式應用。例如，快閃記憶體廣泛地發現於各式消費者裝置中，諸如數位相機、行動電話、通用序列匯流排（USB）快閃記憶體、及可攜式音樂播放器，以儲存該些裝置使用之資料。而且，快閃裝置用作取代硬碟驅動機（HDD）之固體狀態驅動機（SSD）。該等可攜式裝置較佳地於外型尺寸及重量方面微型化。不幸地，多媒體及SSD應用需要大量記憶體，而增加其產品之外型尺寸及重量。因此，消費者產品製造商妥協限縮產品中所包括之實體記憶體的量，以維持消費者可接受之尺寸及重量。此外，雖

然快閃記憶體較DRAM或SRAM具有每單位面積較高之密度，因其相對低之I/O帶寬而侷限其性能，此負面地影響整體讀取及寫入。

圖1A描繪本技藝中已知之快閃記憶體系統，其具有多個離散快閃記憶裝置及記憶體控制器，並聯連接至通道。已知為多點傳輸記憶體組態。圖1B為可用於圖1A之記憶體系統中離散快閃記憶裝置之一，尤其顯示記憶裝置介面。之後詳細說明圖1A及1B。此離散快閃記憶裝置可為已知NAND快閃記憶裝置，其係廣泛使用因而購買並不昂貴。熟悉本技藝之人士應理解的是NAND快閃記憶裝置典型地輸出至少一單位的資料，稱為資料頁，其係於讀取作業中從記憶體陣列讀取。使用圖1B之離散記憶裝置的圖1A之記憶體系統承受速度及容量限制。

圖2A為方塊圖，描繪串列記憶體系統之概念特性，其中離散串列介面記憶裝置與記憶體控制器彼此串聯連接。圖2B為快閃裝置之串列介面，其可用於圖2A之記憶體系統中，尤其顯示其記憶裝置介面。之後詳細說明圖2A及2B。使用圖2B之離散串列介面記憶裝置的圖2A之串列記憶體系統較圖1A之多點傳輸記憶體系統可達成更大之記憶體容量及速度。圖2A之記憶裝置可輸出於讀取作業中從記憶體陣列讀取之資料的至少一頁。不幸地，圖2B之離散串列介面記憶裝置較圖1B之NAND快閃記憶裝置具有不同記憶體介面，因此無法彼此交換使用。

為利用圖2B之記憶裝置介面的改進速度及廣泛使用而

不昂貴之 NAND 快閃記憶裝置，已開發橋接裝置，其充當與其相連之多個 NAND 快閃記憶裝置間之介面適配器，及與圖 2B 中所示之離散串列介面一起操作之記憶體控制器。例如圖 3B 中所示，橋接裝置及多個離散 NAND 快閃記憶裝置可一起封裝於封裝記憶裝置中。

橋接裝置包括緩衝器，諸如 SRAM 記憶體，以接收及緩衝從記憶裝置讀取資料頁，並將讀取資料輸出至記憶體控制器。橋接裝置之成本主要由其面積驅動，且橋接裝置之面積係由 SRAM 記憶體之尺寸支配。因此，為使橋接裝置之成本最低，SRAM 記憶體應最小。此意即多個離散 NAND 快閃記憶裝置共用橋接裝置之一資料緩衝器，此係調整尺寸以僅儲存資料之一頁。因此離散記憶裝置間之有限資料緩衝器空間之連接將增加，且若第二記憶裝置輸出資料至橋接裝置，資料可能流失，同時第一記憶裝置具有至橋接裝置之資料緩衝器之存取。另一方面，離散記憶裝置可具有輸出多個資料頁之能力，此進一步加重至資料緩衝器之存取的問題。

因此，需要具有最低限度調整尺寸之資料緩衝器的改進之橋接裝置，可控制離散記憶裝置之存取。

【發明內容】

在第一方面，提供一種方法，用於控制資料從兩頁緩衝器源轉移至資料緩衝器。該方法包括：啓動該兩頁緩衝器源中之讀取作業；自動從該兩頁緩衝器源之第一頁緩衝

器源轉移資料至該資料緩衝器，此完成讀取作業；當該第二頁緩衝器源完成讀取作業且該資料緩衝器忙碌時，禁止從該兩頁緩衝器源之第二頁緩衝器源轉移資料；等候該資料緩衝器變成可用；以及當該資料緩衝器可用時，從該第二頁緩衝器源轉移資料。根據第一方面之實施例，該兩頁緩衝器源之每一者及該資料緩衝器調整尺寸以儲存資料之一頁，該第一頁緩衝器源為第一記憶裝置及該第二頁緩衝器源為第二記憶裝置，或該第一頁緩衝器源為記憶裝置之第一頁緩衝器，及該第二頁緩衝器源為該記憶裝置之第二頁緩衝器。

在本方面之其他實施例中，自動轉移資料包括從該第一頁緩衝器源接收就緒信號，及進一步包括從該第一頁緩衝器源接收該讀取信號之後，發佈資料轉移指令至該第一頁緩衝器源。在又其他實施例中，禁止資料轉移包括若該第二頁緩衝器源之該讀取作業進行中，設定該第二頁緩衝器源之延遲狀態，及設定延遲狀態包括將對應於該第二頁緩衝器源之延遲狀態暫存器設定為延遲狀態。在此實施例中，轉移資料包括將該延遲狀態暫存器設定為非延遲狀態。在本實施例中，禁止資料轉移包括從該第二頁緩衝器源接收就緒信號，及從該第二頁緩衝器源接收該讀取信號且該第二頁緩衝器源設定為該延遲狀態之後，禁止發佈資料轉移指令至該第二頁緩衝器源。

在第一方面之實施例中，等候包括輸出儲存於該資料緩衝器中之該第一頁緩衝器源之該資料，及轉移資料包括

該資料緩衝器結束輸出該第一頁緩衝器源之該資料之後，發佈資料轉移指令至該第二頁緩衝器源。在第一方面之替代實施例中，禁止資料轉移包括當接收該就緒信號時，設定該第二頁緩衝器源之延遲狀態，其中設定延遲狀態包括將對應於該第二頁緩衝器源之延遲狀態暫存器設定為延遲狀態。

在第二方面，提供一種方法，用於從具有兩頁緩衝器源之橋接裝置讀取資料，該兩頁緩衝器源連接至該橋接裝置之通道。該方法包括：發佈用於從該兩頁緩衝器源讀取資料頁讀取指令至該橋接裝置；判斷該兩頁緩衝器源之第一頁緩衝器源係處於就緒狀態及處於非延遲狀態，以指示該第一頁緩衝器源之資料儲存於該橋接裝置之資料緩衝器中；突然從該橋接裝置之該資料緩衝器讀取資料；若該第二頁緩衝器源處於就緒狀態及處於延遲狀態，重新發佈頁讀取指令至該兩頁緩衝器源之第二頁緩衝器源，以轉移該第二頁緩衝器源之資料至該橋接裝置之該資料緩衝器；以及，突然從該橋接裝置之該資料緩衝器讀取資料。

在第二方面之實施例中，發佈頁讀取指令包括發佈第一頁讀取指令至該第一頁緩衝器源，接著於預先判斷的潛伏期之後，發佈第二頁讀取指令至該第二頁緩衝器源，使得該第一頁緩衝器源從記憶體陣列讀取資料頁，並回應於該第一頁讀取指令而轉移該資料頁至該橋接裝置之該資料緩衝器。當該轉移該資料頁至該資料緩衝器啟動時，該橋接裝置設定該第二頁緩衝器源之延遲狀態。在第二方面之

其他實施例中，判斷包括讀取該橋接裝置之狀態暫存器，其指示對應於該第一頁緩衝器源及該第二頁緩衝器源之每一者之該就緒狀態及該非延遲狀態。在又其他實施例中，重新發佈包括讀取該橋接裝置之該狀態暫存器，以判斷該第二頁緩衝器源是否處於該就緒狀態及處於該延遲狀態，其中該第二頁緩衝器源從記憶體陣列讀取資料頁，並回應於該頁讀取指令而轉移該資料頁至該橋接裝置之該資料緩衝器。在此實施例中，讀取該橋接裝置之該狀態暫存器以判斷該第二頁緩衝器源是否處於就緒狀態，而指示該第二頁緩衝器源之資料儲存於該橋接裝置之資料緩衝器中。

在第三方面，提供一種橋接裝置，用於從第一頁緩衝器源及第二頁緩衝器源接收讀取資料。該橋接裝置包括資料緩衝器、仲裁器電路、及控制器。資料緩衝器具有預先判斷的尺寸，用於從該第一頁緩衝器源接收第一讀取資料及從該第二頁緩衝器源接收第二讀取資料，其中該第一讀取資料及該第二讀取資料具有該預先判斷的尺寸。仲裁器電路產生第一讀取轉移信號以回應於檢測到第一頁緩衝器源就緒而提供該第一讀取資料，及用於當該第二頁緩衝器源變成就緒而提供該第二讀取資料時，至少當該第一頁緩衝器就緒而提供該第一讀取資料時，禁止產生第二讀取轉移信號。控制器發佈資料轉移指令至該第一頁緩衝器源，以回應於從該第一頁緩衝器源至該資料緩衝器之用於從該第一頁緩衝器源轉移該第一讀取資料至該資料緩衝器之該第一讀取轉移信號。

根據第三方面之實施例，該第一頁緩衝器源為第一記憶裝置，及該第二頁緩衝器源為第二記憶裝置，且該仲裁器電路從該第一記憶裝置接收第一就緒/忙碌信號轉變，指示該第一記憶裝置就緒而提供該第一讀取資料，及於該第一就緒/忙碌信號轉變之後，從該第二頁緩衝器源接收第二就緒/忙碌信號轉變。根據第三方面之替代實施例，該第一頁緩衝器為記憶裝置之第一平面，及該第二頁緩衝器源為該記憶裝置之第二平面，且該仲裁器電路從該記憶裝置接收就緒/忙碌信號轉變，指示該第一平面及該第二平面就緒而提供該第一讀取資料及該第二讀取資料。

經檢視本發明之具體實施例的下列說明結合附圖，本發明之其他方面及特徵對於本技藝之一般技術人士將變成顯而易見。

【實施方式】

一般來說，本發明之實施例指向複合記憶裝置，包括離散記憶裝置及橋接裝置，用於回應於具有與記憶裝置不相容之格式或協定的總體記憶體控制信號而控制離散記憶裝置。離散記憶裝置可為市售現成的記憶裝置或客製記憶裝置，其回應於本機或局部記憶體控制信號。橋接裝置藉由將總體記憶體控制信號轉換為與離散記憶裝置相容之本機格式，而充當離散記憶裝置與系統間之介面。寫入資料係藉由橋接裝置接收，並被轉移至定址離散記憶裝置，且橋接裝置從離散記憶裝置接收讀取資料以轉移至主機。

應注意的是下列說明互換使用表達「高邏輯狀態」及「邏輯1狀態」，並意指為相同。類似地，表達「低邏輯狀態」及「邏輯0狀態」意指為相同。

圖1A描繪本技藝中已知的快閃記憶體系統。圖1A為與主機系統12整合之非揮發性記憶體系統10的方塊圖。系統10包括與主機系統12通訊之記憶體控制器14，及複數非揮發性記憶裝置16-1、16-2、16-3及16-4。例如非揮發性記憶裝置16-1 - 16-4可為離散非同步快閃記憶裝置。主機系統12包括處理裝置諸如微控制器、微處理器、或電腦系統。圖1A之系統10經組織以包括一通道18，且記憶裝置16-1 - 16-4並聯連接至通道18。熟悉本技藝之人士應理解的是系統10可具有與其連接之多於或少於四記憶裝置。在目前顯示之範例中，記憶裝置16-1 - 16-4為非同步且彼此並聯連接。

通道18包括一組共用匯流排，其包括連接至所有對應記憶裝置之資料及控制線。每一記憶裝置以記憶體控制器14提供之個別晶片選擇（啓動）信號CE1#，CE2#，CE3#及CE4#啓動或關閉。在此及下列範例中，「#」指示信號為主動低邏輯位準信號。在此方案中，典型地同時選擇晶片選擇信號之一以啓動對應的非揮發性記憶裝置16-1 - 16-4之一。記憶體控制器14負責回應於主機系統12之作業而經由通道18發佈指令及資料至選擇之記憶裝置。從記憶裝置輸出之讀取資料經由通道18而轉移返回至記憶體控制器14及主機系統12。系統10一般來說包括多點傳輸匯流排

，其中記憶裝置 16-1 - 16-4 相對於通道 18 而並聯連接。

圖 1B 為可用於圖 1A 之記憶體系統的離散快閃記憶裝置 16-1 - 16-4 之一。此快閃記憶裝置包括若干輸入及輸出埠，其包括例如電源、控制埠及資料埠。用詞「埠」係指進入記憶裝置之通用輸入或輸出端子，其包括例如封裝引腳、封裝焊料凸點、晶片焊盤、及無線發射器及接收器。電源埠包括 VCC 及 VSS 以供電給快閃記憶裝置之所有電路。如本技藝中所熟知，可提供其餘電源埠以僅供應輸入及輸出緩衝器。以下表 1 提供控制及資料埠、其對應說明、定義及邏輯狀態範例之表列。應注意的是封裝引腳及球閘陣列為埠之實體範例，其用於封裝裝置之信號或電壓相互連接至板。埠可包括其他連接類型，諸如嵌入及封裝中系統（SIP）之系統的端子及接點。

表 1

埠	說明
R/B#	就緒/忙碌：R/B#為開放汲極埠且輸出信號用於指示裝置之操作狀況。R/B#於程式、抹除及讀取作業期間處於忙碌狀態（R/B#=低），並將於作業完成之後返回就緒狀態（R/B#=高）。
CE#	晶片啟動：當裝置處於就緒狀態期間CE#進入高時，裝置進入低電力待命模式。當裝置處於忙碌狀態（R/B#=低）時，諸如程式或抹除或讀取作業期間，CE#信號被忽略，且即使CE#輸入進入高，亦將不進入待命模式。
CLE	指令門鎖啟動：CLE輸入信號用於控制作業模式指令載入內部指令暫存器。當CLE為高時，指令從WE#信號之上升邊緣上之I/O埠門鎖於指令暫存器中。
ALE	位址門鎖啟動（ALE）：ALE信號用於控制位址資訊載入內部位址暫存器。當ALE為高時，位址資訊從WE#信號之上升邊緣上之I/O埠門鎖於位址暫存器中。
WE#	寫入啟動：WE#信號用於控制從I/O埠獲得資料。
RE#	讀取啟動：RE信號控制串列資料輸出。在RE#之下降邊緣之後，資料可用。
WP#	寫入保護：WP#信號用於保護裝置免於意外程控或抹除。當WP#為低時，內部電壓調節器（高電壓產生器）重設。當輸入信號無效時，此信號通常用於在開啓/關閉順序期間保護資料。
I/O[n]	I/O埠：用作將位址、指令及輸入/輸出資料轉移至裝置或轉移出裝置之埠。變數n可為任何非零整數值。

表 1 中所記錄之所有信號一般來說稱為圖 1B 中所描繪之快閃記憶裝置範例之作業的記憶體控制信號。應注意的是，最後埠 I/O[n] 因其可接收指示快閃記憶裝置執行具體作業之指令，而被視為記憶體控制信號。

圖 1A 之非揮發性記憶裝置之每一者具有一具體資料介面，用於接收及提供資料。在圖 1A 之範例中，此為並列資料介面，共用於非同步快閃記憶裝置中。提供並列多位元資料之標準並列資料介面已知遭受熟知通訊降級效應，諸如串音、信號偏差及信號衰減，其以超出額定操作頻率操

作時，降級信號品質。

為增加資料處理量，具有串列資料介面之記憶裝置已於標題「具輸出控制之記憶體」之共同所有權美國專利申請案 No. 20070153576，及標題「菊花鏈層疊裝置」，其以例如 200 MHz 頻率接收及提供串列資料，之共同所有權美國專利申請案 No. 20070076502 中揭露。此稱為串列資料介面格式。如該些共同所有權美國專利申請案中所示，所說明之記憶裝置可用於彼此串聯連接之記憶裝置系統。

圖 2A 為方塊圖，描繪串列記憶體系統之概念特性。在圖 2A 中，串列環拓樸記憶體系統 20 包括記憶體控制器 22，其具有一組輸出埠 Sout 及一組輸入埠 Sin；及串聯連接之記憶裝置 24、26、28 及 30。記憶裝置可為例如串列介面快閃記憶裝置。雖然圖 2A 中未顯示，每一記憶裝置具有一組輸入埠 Sin 及一組輸出埠 Sout。該些輸入及輸出埠組包括一或更多個別輸入/輸出埠，諸如實體接腳或連接，將記憶裝置接合至部分系統。在一範例中，記憶裝置可為快閃記憶裝置。另一方面，記憶裝置可為 DRAM、SRAM、DiNOR Flash EEPROM、Serial Flash EEPROM、Ferro RAM、Magnet RAM、Phase Change RAM、或任何其他具有與具體指令結構相容之輸入/輸出介面的合適類型記憶裝置，以執行指令或將指令及資料傳至下一記憶裝置。圖 2A 之目前範例包括四記憶裝置，但替代組態可包括單一記憶裝置，或任何合適之記憶裝置數量。因此，若記憶裝置 24 因連接至 Sout 而為系統 20 之第一裝置，那麼記憶裝置 30 因連接

至 S_{in} 而為第 N 或最後裝置，其中 N 為大於零之整數。記憶裝置 26 至 28 接著插於串聯連接記憶裝置之第一與最後記憶裝置之間。在圖 2A 之範例中，記憶裝置 24 至 30 彼此同步並與記憶體控制器 22 串聯連接。

圖 2B 為串列介面快閃記憶裝置（例如 24 至 30），其可用於圖 2A 之記憶體系統。串列介面快閃記憶裝置之範例包括電源埠、控制埠及資料埠。電源埠包括 V_{CC} 及 V_{SS} ，供電至快閃記憶裝置之所有電路。如本技藝中所熟知，可配置其餘電源埠而僅供應輸入及輸出緩衝器。以下表 2 提供控制及資料埠、其對應說明及邏輯狀態範例之表列。

表 2

埠	說明
CK/ CK#	時脈：CK為系統時脈輸入。CK及CK#為差動時脈輸入。所有指令、位址、輸入資料及輸出資料係參照雙向之CK及CK#的交叉邊緣。
CE#	晶片啟動：當CE#為低時，裝置啟動。一旦裝置開始程式或抹除作業，晶片啟動埠可停用。此外，CE#低啟動及CE#高停用內部時脈信號。
RST#	晶片重設：RST#提供裝置重設。當RST#為高時，裝置處於正常操作模式。當RST#為低時，裝置將進入重設模式。
D[n]	資料輸入：（n=1、2、3、4、5、6、7或8）接收指令、位址及輸入資料。若裝置經組配為「1位元鏈路模式（=預設）」，僅D1為有效信號並接收以CK/CK#之8交叉的一位元組封包。若裝置經組配為「2位元鏈路模式」，僅D1&D2為有效信號並接收以CK/CK#之4交叉的一位元組封包。未使用之輸入埠接地。
Q[n]	資料輸出：（n=1、2、3、4、5、6、7或8）於讀取作業期間傳送輸出資料。若裝置經組配為「1位元鏈路模式（=預設）」，僅Q1為有效信號並傳送以CK/CK#之8交叉的一位元組封包。若裝置經組配為「2位元鏈路模式」，僅Q1&Q2為有效信號並傳送以CK/CK#之4交叉的一位元組封包。未使用之輸入埠為DNC（=未連接）。
CSI	指令選通輸入：當CSI為高時，指令、位址及輸入資料經由D[n]而被門鎖於CK及CK#之交叉。當CSI為低時，裝置忽略來自D[n]之輸入信號。
CSO	指令選通輸出：回音信號CSO為源信號CSI之重新傳送之版本。
DSI	資料選通輸入：當高時，啟動Q[n]緩衝器。當DSI為低時，Q[n]緩衝器保持先前存取之資料。
DSO	資料選通輸出：回音信號DSO為源信號DSI之重新傳送之版本。

具有共同可用之圖1B的非同步快閃記憶裝置及圖2B的串列介面快閃記憶裝置二者，允許記憶體系統製造商提供二型記憶體系統。然而，由於必需獲得及購買二不同類型記憶裝置，此可能造成記憶體系統製造商更高成本。熟悉本技藝之人士瞭解當購買大量時每一記憶裝置之價格下降，因此購買大量以使記憶體系統之成本最低。因此，雖然

製造商可提供二種記憶體系統，但其承擔因另一種之高市場需求，而一種記憶裝置脫離市場需求之風險。此使其剩餘無法使用之購買的記憶裝置。雖然目前共用圖 1B 之非同步 NAND 快閃裝置，並未提供圖 2B 之同步快閃裝置的性能優勢。非快閃記憶裝置亦可產生此情況，其中具有其本身優點之二類似但介面不相容裝置可整合入記憶體系統。

在多晶片套裝（MCP）或系統套裝（SIP）中，至少一些實施例範例提供具高速介面晶片或配合離散記憶裝置之橋接裝置的高性能複合記憶裝置。橋接裝置提供與其整合於內之系統的 I/O 介面，接收依循總體格式之總體記憶體控制信號，並將指令轉換為依循與離散記憶裝置相容之本機或局部格式的局部記憶體控制信號。橋接裝置藉以允許諸如 NAND 快閃裝置之離散記憶裝置的重新使用，同時提供橋接裝置之 I/O 介面所提供之性能優勢。橋接裝置可體現為套裝中與離散記憶裝置晶粒整合之離散邏輯晶粒。

在本範例中，總體格式為與圖 2A 及 2B 之串列快閃記憶裝置相容之串列資料格式，局部格式為與圖 1A 及 2B 之非同步快閃記憶裝置相容之並列資料格式。然而，本發明之實施例不侷限於上述範例格式，有關可使用之任何記憶體控制信號格式對，取決於用於複合記憶裝置之離散記憶裝置的類型及複合記憶裝置之記憶體系統的類型。例如，記憶體系統之總體格式可依循開放 NAND 快閃介面（ONFi）標準，局部格式可依循非同步快閃記憶裝置記憶體控制信號格式。例如，一具體 ONFi 標準為 ONFi 2.0 規格。另一方面

，總體格式可依循非同步快閃記憶裝置記憶體控制信號格式，局部格式可依循 ONFi 2.0規格格式。通常，ONFi規格為多點傳輸同步協定，其中資料及指令經由其資料輸入/輸出埠而與一時脈同步提供予相容記憶裝置。換言之，ONFi相容記憶裝置與具有並列雙向輸入/輸出埠之非同步 NAND快閃記憶裝置可具有一些相似性，一差異在於 ONFi 相容裝置接收時脈信號。

圖 3A 為根據本實施例之複合記憶裝置的方塊圖。如圖 3A 中所示，複合記憶裝置 100 包括連接至四離散記憶裝置 104 之橋接裝置 102。橋接裝置 102 在一些實施例中亦稱為橋接晶片，因其組裝為離散晶片。離散記憶裝置 104 之每一者可為例如具有 8Gb 記憶體容量之非同步快閃記憶裝置，但除了 8Gb 裝置以外，可使用任何容量之離散快閃記憶裝置。此外，複合記憶裝置 100 不侷限於具有四離散記憶裝置。當橋接裝置 102 設計為容納複合記憶裝置 100 中最大數量離散記憶裝置時，可包括任何合適數量之離散記憶裝置。在目前所示實施例中，橋接裝置 102 具有各與一離散記憶裝置 104 相關之四專用通道 CH1、CH2、CH3 及 CH4。每一通道包括控制離散記憶裝置 104 所需之 I/O 及控制信號。

複合記憶裝置 100 具有輸入埠 GLBCMD_IN 以接收總體指令，及輸出埠 GLBCMD_OUT 傳遞所接收之總體指令及讀取資料。圖 3B 示意描繪根據本實施例之總體指令的階層。總體指令 110 包括具有具體格式之總體記憶體控制信號（

GMCS) 112, 及位址標頭 (AH) 114。該些總體記憶體控制信號 112 為圖 2B 之串列介面快閃記憶裝置提供記憶體指令及指令信號, 諸如記憶體控制信號。位址標頭 114 包括用於系統等級及複合記憶裝置等級之定址資訊。其餘定址資訊包括總體裝置位址 (GDA) 116, 用於選擇複合記憶裝置以執行記憶體指令中作業碼; 以及局部裝置位址 (LDA) 118, 用於在選擇之複合記憶裝置中選擇特定離散裝置, 以執行作業碼。總之, 總體指令包括對應於一格式的所有記憶體控制信號; 以及進一步定址資訊, 其係選擇或控制其中複合記憶裝置或離散記憶裝置所需。

應注意的是橋接裝置 102 未執行作業碼或以列及位址資訊存取任何記憶體位置。橋接裝置 102 使用總體裝置位址 116 判斷是否選擇以轉換接收之總體記憶體控制信號 112。若選擇, 橋接裝置 102 接著使用局部裝置位址 118 以判斷轉換之總體記憶體控制信號 112 係發送予哪一離散記憶裝置。為與所有四離散記憶裝置 104 通訊, 橋接裝置 102 包括四組局部 I/O 埠, 通道 CH1、CH2、CH3 及 CH4 之每一者一組, 各連接至對應離散記憶裝置。如前述, 每一組局部 I/O 埠包括離散記憶裝置適當作業所需之所有信號, 並藉以充當局部裝置介面。

讀取資料係藉由來自複合記憶裝置 100 或來自前一複合記憶裝置的任一快閃記憶裝置 104 提供。尤其, 橋接裝置 102 可連接至記憶體系統之記憶體控制器, 或串列相互連接裝置之系統中其他複合記憶裝置的另一橋接裝置。輸

入埠 GLBCMD_IN及輸出埠 GLBCMD_OUT可為封裝引腳、其他實體導體、或任何其他電路以傳送/接收總體指令信號及讀取資料至/自複合記憶裝置100，尤其至/自橋接裝置102。橋接裝置102因此具有至輸入埠 GLBCMD_IN及輸出埠 GLBCMD_OUT之對應連接，以啟動與外部控制器之通訊，諸如圖2A之記憶體控制器22，或與來自系統中其他複合記憶裝置之橋接裝置之通訊。共同所有權PCT專利申請案W02010/043032詳細說明相對於先前圖1A及圖2A中所示之記憶體系統提供改進性能及儲存容量之記憶體系統中有多少複合記憶裝置可彼此串聯連接。PCT專利申請案W02010/043032另詳細說明橋接裝置102，因此之後僅說明有關先前說明之實施例的特徵及功能。

雖然圖3A之實施例中所示複合記憶裝置100具有連接至橋接裝置102之一通道的一離散記憶裝置104，橋接裝置可經組配而連接至記憶裝置或更加連接至每一通道，以進一步增加複合記憶裝置之總記憶體容量。圖4為根據本實施例之其他複合記憶裝置的方塊圖。複合記憶裝置200包括具有複數通道CH1至CHn之橋接裝置202，其中CHn為橋接裝置202之最後通道。在目前所示實施例中，每一通道具有相連之二記憶裝置204。如圖4中所示，與一通道相關的一對記憶裝置204共用共同的一組控制信號CLEb、ALEb、REb、WEb，及共同的一組輸入/輸出線io[7:0]。每一與一通道相關之記憶裝置204接收其本身之晶片選擇信號，並提供其本身之就緒/忙碌信號。如圖4中所示，連接至

CH1之一記憶裝置204接收晶片選擇信號CSb₁，並提供其本身之就緒/忙碌信號RBb₁。應注意的是「b」配賦信號為主動低邏輯位準信號。

橋接裝置202之每一通道具有資料儲存單元，諸如專用資料緩衝器206或配賦之部分記憶體，以接收及儲存來自連接至通道之二記憶裝置204之任一者的資料之對應調整尺寸單元。專用資料緩衝器206未於通道之間共用。記憶裝置204提供之資料的單位可為例如資料頁，或可於讀取作業中以一邏輯列位址存取之任一最大資料量。在快閃記憶裝置中，諸如本實施例中之記憶裝置204，讀取作業產生被讀出並轉移至內部頁緩衝器之記憶體陣列中所儲存之資料頁。回應於快閃記憶裝置204接收之指令，直至內部頁緩衝器之整個內容輸出為讀取資料。應注意的是一些記憶裝置經組配而於讀取作業中讀出二或更多資料頁。此將進一步參照圖5及圖6說明。

圖5及圖6為方塊圖，顯示不同平面及對應頁緩衝器組態，其可用於圖5之記憶裝置204。圖5為一般方塊圖，顯示典型快閃記憶裝置經組配而具有單一平面。快閃記憶裝置300包括單一平面302及單一頁緩衝器304。平面302包括包含連接至字線及位元線之記憶格的記憶體陣列，其中字線從平面302的左側水平延伸至右側，及位元線從平面302的頂部垂直延伸至底部。字線驅動器（未顯示）於讀取作業期間驅動選擇之字線，及位元線感測放大器電路（未顯示）藉由感測其個別位元線而判斷連接至選擇之字線之格

的儲存之邏輯狀態。感測之資料儲存於頁緩衝器304中。在圖5之本範例中，資料頁為4KB。

圖6為一般方塊圖，顯示多平面快閃記憶裝置。快閃記憶裝置310包括第一平面312及第二平面314，各具有相關之第一頁緩衝器316及第二頁緩衝器318。快閃記憶裝置310不侷限於具有二平面，因而可具有任何數量之平面。平面312及314各具有其本身之位元線及字線，並可各具有邏輯相同字線電路。此意即對任何單一系列位址而言，平面312中字線及平面314中字線係同時驅動以存取所連接之記憶格。因此，頁緩衝器316及318分別儲存從平面312及314讀出之資料頁。

返回圖4，當連接至一通道的一或二記憶裝置204接收橋接裝置202發佈之讀取指令時，記憶裝置204啟動內部讀取作業，且最終從記憶體陣列載入具讀取資料頁之其內部頁緩衝器，或在多平面記憶體之狀況下之頁緩衝器。橋接裝置202接著將發佈資料轉移指令至一或二記憶裝置204，並藉由輸出其頁緩衝器之內容至橋接裝置202之資料緩衝器206而予回應。一旦此轉移完成，裝置202將讀出資料緩衝器206中所儲存之資料，並經由GLBCMD_OUT輸出埠輸出。

橋接裝置202之資料緩衝器206可調整尺寸以儲存從與通道相關之記憶裝置204接收之任何數量之資料頁。例如，如圖6中所示，若連接至通道CH1之記憶裝置204對各經組配而具有2平面，每一通道之資料緩衝量將為（2平面）

$x(2 \text{ 記憶裝置}) = 4 \text{ 緩衝器容量頁}$ 。然而，此可造成可提供具有有限商業價值之晶片的橋接裝置之晶粒成本增加。這是因為晶粒之總面積係藉由用於儲存來自記憶裝置204之資料頁的記憶體驅動之故。從成本觀點，想望最小緩衝量，即每通道僅具一頁容量之記憶體。

該等組態適於圖3A中所示之複合記憶裝置100的橋接裝置102，其具有連接至一通道之確實一記憶裝置104，假設每一記憶裝置104為單一平面裝置，諸如圖5之快閃記憶裝置300。在該等組態中，每一記憶裝置104具有針對橋接裝置之資料緩衝器的專用進接。然而，具有通道之單一頁容量的橋接裝置，其中通道係服務連接至通道的多個頁源，可產生儲存衝突。頁源可為來自單一平面記憶裝置的頁緩衝器，或多平面記憶裝置中個別平面之各個頁緩衝器。

為描繪當橋接裝置通道資料緩衝器容量低於組合之頁源容量時的儲存衝突，首先考量如何藉由橋接裝置執行頁讀取。當執行頁讀取指令時，一旦記憶裝置從其記憶體陣列檢索讀取資料，橋接裝置自動將讀取資料從記憶裝置轉移至板載資料緩衝器。橋接裝置接著將其狀態暫存器更新為「就緒」指示記憶體控制器所要求之讀取資料就緒將取出。然而，基於一個以上之記憶裝置連接至特定通道，或記憶裝置可同步存取二平面之每一者上之頁，想望同步發佈如記憶裝置可支援之許多併發頁作業，以便隱藏任何內部潛伏期，藉此改進記憶體系統之整體帶寬。當頁讀取已同時發佈予一個以上記憶裝置或記憶裝置具多個頁緩衝器

時，且基於少於橋接裝置上閒置資料緩衝器容量，便產生衝突諸如於何處儲存所有讀取資料。

為藉由範例描繪，當連接至一通道之2單一平面記憶裝置已完成其內部陣列存取，而從定址頁檢索讀取資料時，橋接裝置應自動轉移資料至與通道相關之其板載資料緩衝器。若無充分容量來儲存所有資料，一些資料便可能流失。

因此，已發展仲裁方法以解決儲存空間衝突，其允許想望地重疊內部記憶裝置讀取潛伏期，並藉由依據快閃完成順序、優先性及指令定序而排程從快閃記憶裝置轉移讀取資料至橋接裝置資料緩衝器。根據本實施例，橋接裝置之狀態暫存器用於仲裁方法。

圖7為諸如先前說明之根據本實施例之圖3A及圖4之橋接裝置的裝置中，從多個源轉移資料頁至有限記憶體空間之一般方法的流程圖。圖7之方法係藉由連接至具有多個平面之單一記憶裝置或各具有單一平面或多個平面之多個記憶裝置之任一者之一通道的橋接裝置之控制邏輯而予執行。對本方法而言，具有單一平面之記憶裝置被視為頁緩衝器源，且多平面記憶裝置之每一平面被視為頁緩衝器源。

方法從步驟400開始，其中橋接裝置接收從連接至一通道之至少2不同頁緩衝器源讀取資料之要求。該些要求可同時或相繼抵達橋接晶片，且對應讀取指令發佈予記憶裝置。為利用快閃記憶裝置之讀取潛伏期，該等讀取指令

典型地連續快速發佈。最後，第一頁緩衝器源就緒以轉移其資料頁至橋接裝置，且其以信號通知橋接裝置其就緒狀態。此第一頁緩衝器源現在稱為頁緩衝器源 n 。此時，其他頁緩衝器源尚未就緒以轉移其個別資料頁。在步驟 402，橋接裝置指示頁緩衝器源 n 轉移儲存之讀取資料至橋接裝置頁緩衝器。在步驟 404，橋接裝置查看是否有讀取作業為連接至通道之至少另一頁緩衝器源暫停，指示資料即將轉移至相同資料緩衝器。若無其他讀取作業為至少另一頁緩衝器源暫停，那麼方法返回至步驟 400，且橋接裝置資料緩衝器最後填注來自頁緩衝器源 n 之讀取資料。另一方面，若存在為其他頁緩衝器源之另一暫停讀取作業，那麼便於步驟 406 將其他頁緩衝器源設定為延遲資料轉移狀態。本範例中假定僅兩頁緩衝器源連接至通道。

現在稱為頁緩衝器源 $n+1$ 之其他頁緩衝器源藉由橋接裝置而設定為延遲狀態，當資料緩衝器使用時，橋接裝置被禁止要求從頁緩衝器源 $n+1$ 資料轉移至其資料緩衝器。如同之後將說明的，此使得橋接裝置忽略其他頁緩衝器源 $n+1$ 發佈之任何就緒狀態，否則其已觸發橋接裝置發佈資料轉移指令至頁緩衝器源 $n+1$ 。使用中之資料緩衝器可表示其將填注從頁緩衝器源 n 轉移之資料，或資料緩衝器處於輸出其內容至主機系統或記憶體控制器之程序中。在任一狀況下，資料緩衝器無法用於接收來自其他頁緩衝器源之讀取資料。

在步驟 408，橋接裝置等候通道之資料緩衝器變成可

用，且當其落實時， n 值於410增加以存取下一頁緩衝器源 $n+1$ 。方法接著返回至步驟402，且橋接裝置發佈資料轉移指令至就緒提供其資料頁之頁緩衝器源 $n+1$ 。

總之，橋接裝置可判斷第一頁緩衝器源就緒，同時保持追蹤為推遲其資料轉移作業直至與通道相關之資料緩衝器可用而具有暫停讀取作業之其他頁緩衝器源。在多個頁緩衝器源連接至通道且均就緒轉移其資料的實施例中，橋接裝置可經組配而具任何數量之優化方案及其組合以判斷何者為下一具體頁緩衝器源。優化方案範例包括其一係依據抵達順序，其他可為處理重要性，及再其他可依據位址範圍。任何優化方案可以目前說明之方法使用。

圖8為根據本實施例之資料頁從連接至一通道之多個快閃裝置轉移至與僅使用就緒/忙碌狀態信號之通道相關之橋接裝置的資料緩衝器，其仲裁方法的流程圖。圖8之方法假設每一連接至通道之記憶裝置提供信號指示其就緒/忙碌狀態，諸如藉由連接至圖4之通道CH1的記憶裝置204提供之信號RBb_1及RBb_2。雖然本實施例使用具有專用就緒/忙碌信號之快閃記憶裝置，假設橋接裝置經組配以解譯信號組合，裝置可使用許多信號之任何組合以指示其讀取/忙碌狀態。假設橋接裝置已發佈讀取指令至連接至一通道之至少二記憶裝置。

方法從步驟500展開，其中橋接裝置從連接至通道的所有裝置監控就緒/忙碌狀態信號（例如RBb_1及RBb_2）。在步驟502，記憶裝置驅動其就緒/忙碌狀態信號至主動

邏輯狀態，指示橋接裝置：對應記憶裝置已完成內部讀取作業，且其頁緩衝器現在儲存來自記憶體陣列之讀取資料。假設此記憶裝置為第一就緒記憶裝置，且現在稱為裝置 n 。橋接裝置現在檢查裝置 n 是否已設定為延遲狀態。由於其係本範例中就緒之第一裝置，方法進行至步驟 506，其中橋接裝置發佈資料轉移指令至裝置 n 。回應於資料轉移指令，記憶裝置開始輸出其頁緩衝器之內容，其係由橋接裝置之資料暫存器接收及儲存。進行至步驟 508，橋接裝置檢查讀取指令是否已發佈至任何其他記憶裝置。如同之後將進一步詳細說明，橋接裝置保持追蹤已發佈至每一記憶裝置之讀取指令。若橋接裝置判斷至少另一記憶裝置已接收讀取指令，接著便於步驟 510 將該些記憶裝置之每一者設定為延遲狀態。在本範例中，假設裝置 $n+1$ 係在該記憶裝置上，及橋接裝置將其設定為延遲狀態。另一方面，若無其他讀取指令已發佈，且僅裝置 n 為連接至接收讀取指令之通道的記憶裝置，接著方法返回至步驟 500。返回至步驟 510，於適當記憶裝置被設定為延遲狀態之後，方法返回至步驟 500。

返回至步驟 500，橋接裝置等候將就緒之下一裝置的就緒/忙碌狀態信號，在範例中將為裝置 $n+1$ 。其係於步驟 502 最後接收，且橋接裝置於步驟 504 檢查裝置 $n+1$ 是否處於延遲狀態。因為裝置 $n+1$ 先前藉由橋接裝置設定為延遲狀態，接著方法進行至步驟 512，其中橋接裝置等候通道之資料緩衝器變成可用。在一實施例中，記憶體控制器詢

問橋接裝置檢查橋接裝置與記憶裝置間之內部資料轉移作業之狀態。在其他實施例中，橋接裝置可發佈其本身就緒/忙碌信號至記憶體控制器，以指示通道之內部資料轉移作業已完成。在任一狀況下，記憶體控制器可於接收裝置n之內部資料轉移作業已完成之指示時，發佈指令以重新啟動記憶裝置n+1之頁讀取作業。一旦資料緩衝器變成可用，橋接裝置接著發佈資料轉移指令至裝置n+1，以啟動從裝置n+1之頁緩衝器至橋接裝置之資料緩衝器的資料轉移。若無其他記憶裝置接收讀取指令，接著方法返回至步驟500，藉此終止通道之資料轉移仲裁方法。

目前說明之橋接裝置實施例可藉由包括記錄連接至通道之每一記憶裝置的狀態資訊之狀態暫存器位元，而仲裁從連接至單一通道之任何數量記憶裝置的資料轉移。圖9為根據本實施例之橋接裝置的狀態暫存器定義表。圖9之狀態暫存器經組配而用於具有4通道（例如CH1、CH2、CH3及CH4）之橋接裝置，其中每一通道具有以並列組態連接之二記憶裝置。對每一記憶裝置而言，狀態暫存器儲存其就緒/忙碌狀態、其通過/失敗狀態、及其延遲讀取轉移狀態。圖9之表中所使用之命名約定如下。就緒/忙碌狀態位元標示為「就緒/忙碌CH[i]，D[j]」、通過/失敗狀態位元標示為「通過/失敗CH[i]，D[j]」、及延遲狀態位元標示為「推遲讀取轉移CH[i]，D[j]」，其中i代表橋接裝置之通道數，及j代表連接至通道i之裝置數。狀態位元數量可根據出現於橋接裝置中之通道數及可連接至每一通道

之記憶裝置的最大數量而縮放。爲了仲裁從記憶裝置至連接記憶裝置之通道之資料緩衝器的讀取資料轉移，橋接裝置可因此保持追蹤每一記憶裝置之狀態，以及每一記憶裝置之延遲狀態。

圖 10 爲順序圖，描繪根據本實施例而從連接至通道之二快閃裝置至橋接裝置之資料緩衝器的讀取轉移作業範例。本順序圖範例描繪橋接裝置如何回應於記憶裝置所發佈之就緒/忙碌信號，以仲裁讀取轉移作業並避免二記憶裝置衝突使用資料緩衝器。應注意的是橋接控制器具有自動發佈資料轉移指令至記憶裝置之邏輯，此報告於接收讀取指令之後使其個別頁緩衝器中讀取資料就緒。根據本實施例，橋接裝置包括仲裁邏輯以處理下列情況，當第二記憶裝置報告其就緒同時通道之資料緩衝器用於從第一記憶裝置接收讀取資料，或同時其輸出儲存之讀取資料至外部裝置。

圖 10 之順序圖顯示內部及外部信號之信號記錄，說明如下。橋接裝置接收藉由先前表 2 中已說明之記憶體控制器或主機裝置提供之外部指令選通信號 CSI 及外部資料選通信號 DSI。橋接裝置經由先前表 2 中亦已說明之其 Q[n] 輸出埠，而輸出通道之資料緩衝器中所儲存之讀取資料。在橋接裝置內，存在記憶裝置介面，其以與記憶裝置相容之格式提供指令及資料資訊至記憶裝置。在本範例中記憶裝置爲 NAND 快閃裝置，所以圖 10 中顯示雙向「NAND IO」埠。橋接裝置之記憶裝置介面進一步分別接收來自裝置 1

及裝置2之就緒/忙碌信號RBb_1及RBb_2。內部控制信號pos_edge_RBb_1為回應於檢測到記憶裝置1就緒可從其頁緩衝器轉移讀取資料而產生之脈衝信號。在本範例中，產生脈衝以回應於檢測到RBb_1從低邏輯狀態轉變為高邏輯狀態，其指示記憶裝置內部讀取作業完成。內部控制信號pos_edge_RBb_2為相同類型信號，但係回應於RBb_2。

內部信號D1_rd_in_prog為當讀取作業發佈至裝置1時，藉由橋接裝置設定之狀態信號。內部信號neg_D1_rd_in_prog為回應於D1_rd_in_prog之下降邊緣而產生之脈衝。內部信號rd_data_D1_stb為脈衝信號，僅於檢測到neg_D1_rd_in_prog脈衝且延遲狀態信號defer_D1_rd處於失效狀態時產生。當產生脈衝信號rd_data_D1_stb時，讀取轉移指令發佈至記憶裝置1以啟動將其頁緩衝器資料轉移至與橋接裝置之通道相關之資料緩衝器。狀態信號defer_D1_rd可源自狀態暫存器。其餘內部信號D2_rd_in_prog、neg_D2_rd_in_prog、rd_data_D2_stb、及defer_D2_rd，功能如同其個別D1對口信號，但與記憶裝置2相關。接著說明順序圖，應注意的是時段未按比例顯示。在圖10底部為狀態暫存器位元d1、d2、b1及b2之邏輯狀態。位元d1及d2分別代表記憶裝置D1及D2之延遲狀態，位元b1及b2分別代表記憶裝置D1及D2之就緒/忙碌狀態。

諸如記憶體控制器之主機控制器可於藉由讀取狀態位元而判斷目標通道中目標裝置「就緒」之後，開始2裝置

讀取作業，如「A」所示。在「A」，二狀態位元 b1 及 b2 為邏輯 0，指示二記憶裝置 D1 及 D2 就緒。記憶體控制器之第一步驟為發佈二「頁讀取」指令，其中讀取指令 600 定址於裝置 1 及讀取指令 602 定址於裝置 2。橋接裝置將該些指令轉換為快閃記憶裝置瞭解之指令，並發佈至適當記憶裝置。在橋接裝置解碼讀取指令之每一者之後，將對應就緒 / 忙碌位元設定為 1，如「B」及「C」所示，並將 D1_rd_in_progress 及 D2_rd_in_progress 設定為高邏輯狀態以保持追蹤刻正進行之讀取指令。在記憶裝置接收個別讀取指令之後，記憶裝置 1 及 2 驅動其 RBb_1 及 RBb_2 線為邏輯「0」位準，分別顯示為 604 及 606，指示橋接裝置其忙碌於其個別讀取作業。

由於橋接裝置花一些時間處理每一讀取指令、發佈對應指令至目標記憶裝置、並等候記憶裝置接收指令，控制器於發佈一對第二讀取指令 602 之前必須等候預定區隔潛伏期 t_{2CR} ，使得橋接裝置可結束處理第一讀取指令 600。在發佈第二讀取指令 602 之前，控制器空閒地等候更久，但通常係於第一記憶裝置之讀取時間 t_R 期滿之前發佈。否則橋接裝置的內部匯流排將忙碌於將資料從第一記憶裝置 D1 轉移至橋接裝置，且橋接裝置可能遭受故障。

記憶裝置忙碌於將使用之特定裝置的製造商規格中所定義之時段，並可標示為 t_R 。在圖 10 中，該時段標示為「記憶裝置 D1 之陣列潛伏期」。陣列潛伏期於製造商之間及裝置之間各不相同，並可隨裝置年限而改變。當每一記憶

裝置之陣列潛伏期期滿時，便釋放其就緒/忙碌信號（例如 RBb_1），其返回至邏輯值「1」，發信號通知橋接裝置其頁緩衝器中讀取資料可用。如 608 及 610 所示，RBb_1 及 RBb_2 上升至邏輯「1」。

在「正常」單一記憶裝置讀取作業期間，橋接裝置自動發佈「資料讀取」指令至快閃裝置，以於 RBb 之上升邊緣之後，從記憶裝置轉移讀取資料至橋接裝置之資料緩衝器。根據本實施例，使用額外控制信號，其允許於二裝置（或多裝置）讀取作業期間自動讀取轉移之轉移排程。對二裝置讀取而言，RBb 之上升邊緣造成橋接裝置停用記憶裝置之 rd_in_progress。在目前顯示之範例中，產生選通信號 rd_data_D1_stb 以回應於 RBb_1 上升至邏輯 1 位準。選通信號 rd_data_D1_stb 為發佈記憶裝置 D1 之「讀取資料」指令之觸發。此選通係假設記憶體介面 I/O 匯流排未忙碌於從連接至通道之匯流排的其他裝置轉移資料，而予產生。以下說明此選通之仲裁機構。

所提供之實施例範例使用產生之邏輯選通指示有興趣之信號何時進行從邏輯 0 至 1 之正邊緣轉變或從邏輯 1 至 0 之負邊緣轉變，但其他技術亦可。本實施例之主要概念在於檢測邊緣並用於觸發後續邏輯事件。

由於二就緒/忙碌信號 RBb_1 及 RBb_2 可高度接近足以使第一記憶裝置之資料尚未結束便轉移至橋接裝置之資料緩衝器，兩資料頁之間可存在連接以存取橋接裝置之資料緩衝器。為解決此問題，提供第二組控制位元，其係用於

推遲之後結束之記憶裝置的自動讀取資料轉移。在圖10中，該些稱為 defer_D1_rd 及 defer_D2_rd。在此範例中，RBb_1 首先於 608 走高。此造成 D1_rd_in_progress 走低（經由選通信號 pos_edge_RBb_1）且 defer_D2_rd 走高。defer_D2_rd 因為記憶裝置 1 結束其讀取而生效，如 RBb_1 上正邊緣所指示，同時記憶裝置 2 仍忙碌於其頁讀取，如 chp2_rd_in_progress = 「1」所指示。用於判斷何時推遲記憶裝置之讀取資料的自動轉移之方程式提供如以下方程式 1。

$$(\text{defer_Dj_rd 之正邊緣}) = \text{pos_edge_RBbi} \ \&\& \ \text{Dj_rd_in_progress}$$

假設 defer_D1_rd 並非高，D1_rd_in_progress 之下降邊緣觸發經由 neg_edge_D1_rd_Sn_prog 而產生選通 rd_data_D1_stb。此選通造成橋接裝置開始從裝置 1（D1）轉移讀取資料至橋接裝置之資料緩衝器。於 609 顯示 NAND IO 將從記憶裝置 D1 之頁緩衝器攜帶有效資料至橋接裝置之資料緩衝器。defer_D2_rd 之上升邊緣造成狀態暫存器將記憶裝置 2 之讀取作業登記為已延遲，如間隔「D」中所示，其中狀態位元 d2 設定為邏輯 1 狀態。

之後，於 610，記憶裝置 D2 變成「就緒」並停用 RBb_2，造成橋接裝置中 D2_rd_in_progress 走低，藉此發信號通知記憶裝置之頁讀取程序終止。由於 defer_D2_rd 此時為高，讀取資料之自動轉移至資料緩衝器延遲直至之後

時間。換言之，`defer_D2_rd` 為高，避免產生 `rd_data_D2_stb`。如於 612 所示，`rd_data_D2_stb` 選通信號係以虛線顯示，指示若記憶裝置 D2 未處於延遲狀態，其中已發生選通。狀態暫存器接著將狀態位元 b2 改變為邏輯 0，以反映記憶裝置 D2 變成「就緒」之事實，但如間隔「E」中所示，其為延遲。

最後，從記憶裝置 D1 資料轉移至橋接裝置之資料緩衝器係於第一「內部轉移時間」時期之結尾完成，標示為代號 614。橋接裝置接著將狀態位元 b1 改變為邏輯 0，以指示其現在就緒，尤其是資料轉移作業結束。現在記憶體控制器讀出橋接裝置之狀態暫存器以判斷內部作業之狀態。

狀態暫存器可於任何時間讀取，且在此特定作業中，記憶體控制器尋找將「就緒」之一裝置，且其於可進行轉移出資料之前未處於延遲狀態。圖中未顯示狀態讀取作業，但控制器將讀取之值係顯示於間隔「F」中。記憶體控制器知道其尚未完成之處理，所以此狀態暫存器值告知記憶體控制器從記憶裝置 D1 之讀取完成，及資料緩衝器中資料可用。狀態值亦告知記憶體控制器發送至記憶裝置 D2 之讀取指令亦已完成，但至資料緩衝器之資料轉移已延遲，且需進一步動作以檢索。記憶體控制器接著進行發佈突然讀取指令，其係於 616 藉由選通至 1 邏輯位準之 CSI 指示。接著於 618 藉由選通至 1 邏輯位準之 DSI 所指示之讀取封包，而從橋接裝置讀出資料緩衝器中所儲存之記憶裝置 D1 的資料。如圖 10 中所示，`Qn` 輸出埠提供有效資料。

在記憶體控制器結束從記憶裝置 D1 讀出資料之後，自由地從記憶裝置 D2 讀取資料。為予實施，經由具對應指令（未顯示）之其他 CSI 選通 620，重新發佈最初頁讀取指令至記憶裝置 D2 中相同頁。由於資料頁仍儲存於記憶裝置 D2 之頁緩衝器中，且橋接裝置自動轉移作業延遲，藉由回應於重新發佈之頁讀取指令而於 622 發佈 rd_data_D2_stb 選通，橋接裝置簡單地從記憶裝置 D2 之頁緩衝器讀出資料進入其資料緩衝器，使其可用於記憶體控制器進行之後檢索。在此期間，狀態暫存器藉由將狀態位元 b2 設定為邏輯 1 而指示記憶裝置 D2 為「忙碌」，但隨著 defer_D2_rd 設定為非延遲 0 邏輯狀態而不再處於延遲狀態，亦於間隔「G」中顯示狀態位元 d2 為邏輯 0 狀態。一旦從記憶裝置 D2 資料轉移至橋接裝置完成，狀態暫存器值便更新以指示記憶裝置 D2 為「就緒」，如間隔「H」中顯示狀態位元 b2 設定回邏輯 0。由於此資料係藉由快閃裝置製造商提供並包括橋接裝置規格，記憶體控制器經設計而概略瞭解在查看內部橋接裝置資料轉移作業是否完成之前將等候多久。在經過第二「內部轉移時間」之後，記憶體控制器讀取狀態暫存器以確認記憶裝置 D2 為「就緒」及其資料可用，接著於 622 進行發佈其他突然讀取指令，並回應於後續 DSI 選通而於 Qn 輸出埠上輸出資料。

圖 8 之方法說明從橋接裝置觀點之資料轉移仲裁。在圖 11 之後，藉由記憶體控制器執行以讀取資料頁之作業順序對應於橋接裝置之一通道。在步驟 650，記憶體控制器

藉由發佈頁讀取指令至連接至橋接裝置之通道的一裝置而開始作業。在於步驟654發佈其他頁讀取指令至連接至通道之其他記憶裝置之前，記憶體控制器接著在步驟652等候預先判斷的潛伏期。於步驟658讀取橋接裝置之狀態暫存器之前，尤其針對通道，記憶體控制器於步驟656等候經過預先判斷的時間。藉由範例，此預先判斷的時間可藉由記憶體控制器內之內部計時器予以設定，或另一方面，橋接裝置可發佈選通信號至記憶體控制器，以指示由於讀取或程式作業已完成，此即檢查狀態暫存器之時間。在任一狀況下，記憶體控制器於讀取橋接裝置之狀態暫存器之前，等候預先判斷的時間。於步驟660依據狀態暫存器之讀出位元而實施判斷，以檢查是否任何連接至通道之裝置為就緒且未延遲。若判斷錯誤，方法便返回至步驟658。否則，連接至通道之記憶裝置已完成其頁緩衝器內容轉移至橋接裝置之資料緩衝器。方法接著進行至步驟662，其中記憶體控制器發佈突然讀取指令以讀出橋接裝置之資料緩衝器中所儲存之資料。

記憶體控制器於步驟664再次要求來自橋接裝置之通道的狀態，並於步驟666依據狀態位元寫出，記憶體控制器判斷連接至通道之其他裝置是否為就緒及延遲。再一次，若任一狀況錯誤，方法便返回至步驟664。否則，方法進行至步驟668，其中記憶體控制器重新發佈頁讀取指令至延遲裝置。在橋接裝置內，資料轉移作業啟動以轉移記憶裝置之頁緩衝器中所儲存之資料至橋接裝置之資料緩衝

器。於步驟 672 讀取通道之狀態之前，記憶體控制器於步驟 670 等候其內部讀取計時器之時間經過。在步驟 674，若狀態暫存器指示其他裝置未就緒，那麼方法便返回至步驟 672。否則，現在資料頁儲存於橋接裝置之資料緩衝器中，且記憶體控制器發佈突然讀取指令以於步驟 676 讀出資料緩衝器之內容。若無進一步記憶裝置連接至通道，方法接著在步驟 678 終止。目前說明之範例假設僅 2 記憶裝置連接至通道。在替代實施例中，若存在 2 個以上記憶裝置連接至通道，且記憶體控制器發佈頁讀取指令至其每一者，那麼方法將未於步驟 678 終止，而是返回步驟 664 以從下一記憶裝置讀出資料。

參照圖 10，步驟 650、652 及 654 對應於前 2 CSI 選通，其中控制器首先發佈頁讀取指令至通道中之一裝置；等候預定區隔潛伏期 t_{2CR} ；以及接著發佈讀取指令至相同通道中之第二裝置。

步驟 656、658、660 及 662 對應於 CSI 選通直至第三 CSI 選通之後發生之事件。在記憶體控制器發佈讀取指令之後，若其配置一內部計時器便加以設定，並在讀取橋接裝置狀態暫存器之前等候時間經過，以判斷是否任一目標記憶裝置為「就緒」且資料將傳送出的橋接裝置。若控制器未配置內部讀取計時器，當檢查橋接裝置狀態暫存器時，可以間隔輪詢狀態暫存器，或具有一些其他判斷手段。當藉由狀態暫存器中資訊而判斷一記憶裝置將「就緒」時，記憶體控制器便於讀取封包（ $DSI=1$ ）之前發佈突然讀取指令

至其裝置，以便從「就緒」記憶裝置傳送讀取資料，使其可返回至記憶體控制器。

步驟 664、666 及 668 對應於發生於第四 CSI 選通之事件。記憶體控制器輪詢或以其他方式檢查橋接裝置狀態暫存器，直至第二記憶裝置「就緒」但「延遲」。記憶體控制器接著重新發佈原始頁讀取指令，其被發送至記憶裝置，造成橋接裝置從頁緩衝器讀取資料進入橋接裝置資料緩衝器。

步驟 670、672、674 及 676 對應於發生於第四 CSI 選通之後及第五 CSI 選通之後的事件。在重新發佈讀取指令至延遲裝置之後，記憶體控制器等候其讀取計時器之時間經過，指示內部轉移時間終止，接著輪詢狀態暫存器直至延遲記憶裝置「就緒」且未「延遲」。同樣，可存在替代較佳方法以判斷何時讀取狀態暫存器，但係由記憶體控制器設計者決定。一旦讀取所欲狀態，記憶體控制器針對讀取封包之前的資料發佈突然讀取指令以傳送資料返回至控制器。

先前說明之實施例輕易地掌控一情況，其中在連接至相同通道之第二裝置變成就緒之前，一裝置清楚地變成就緒。可存在一情況，其中由於其個別就緒/忙碌信號 RBb 同時生效，連接至相同通道之二記憶裝置同時變成就緒。在此情況下，橋接裝置可程控或以硬體處理而較其他優先處理一記憶裝置。另一方面，優先性可動態設定。例如，可提供藉由程控暫存器控制之其餘位元。若暫存器例如係以

邏輯 0 程控，將提供優先性予記憶裝置 1。若暫存器例如係以邏輯 1 程控，將提供優先性予記憶裝置 2。可使用較其他優先處理一記憶裝置或優先處理一連串記憶裝置之每一記憶裝置的任何其他技術。

先前說明之圖 8 的方法，及圖 10 之 2 記憶裝置資料讀取作業的範例，為圖 7 中所示仲裁方法之實施例的具體範例。雖然圖 8 之方法指向各具有資料之單一頁緩衝器的 2 記憶裝置間之仲裁，以於任何單一讀取作業中輸出，記憶裝置之每一者可為各具有資料之至少 2 頁緩衝器的多平面裝置，以於任何單一讀取作業中輸出。

圖 12 為從多頁記憶裝置至具有單一頁儲存容量之資料緩衝器的資料轉移之仲裁方法實施例之範例。圖 12 之本方法與圖 8 之方法實施例間之主要差異在於單一記憶裝置僅提供單一讀取/忙碌信號。

圖 12 之方法於步驟 700 開始，其中橋接裝置藉由發佈適當指令至記憶裝置而啟動從單一裝置之多平面讀取作業。在步驟 702，記憶裝置將驅動其就緒/忙碌信號 RBb 至指示載入其多個頁緩衝器之內部讀取作業已完成之邏輯狀態。橋接裝置接著於步驟 704 設定所有平面為延遲狀態，除了在本範例中被稱為平面 n 之第一平面以外。應注意的是橋接裝置經組配而以預先判斷之順序優先處理多平面記憶裝置之平面。在步驟 706，來自平面 n 之頁緩衝器的資料頁被轉移至橋接裝置之資料緩衝器。在步驟 708，橋接裝置等候資料緩衝器變成可用，如可忙碌於從平面 n 接收資料

，或可忙碌於輸出其內容至記憶體控制器。當資料緩衝器為可用時，便於步驟710實施判斷以檢視平面n是否為讀取資料之最後平面。在本範例重複中，存在至少一其餘平面可供讀取，因此方法返回至步驟706，其中橋接裝置啟動從下一預先判斷的平面n+1之資料轉移。步驟706、708及710重複直至多平面記憶裝置之最後平面的頁緩衝器資料轉移至橋接裝置之資料緩衝器為止。多平面仲裁方法接著於712終止。

先前說明之多平面仲裁方法實施例使用狀態暫存器位元，以追蹤置於延遲狀態之記憶裝置的平面。圖13顯示替代狀態暫存器定義表，其類似於圖9中所示，但現在包括位元24及25。位元24追蹤連接至通道1（CH1）之裝置1（D1）之平面2（P2）的延遲狀態。位元25追蹤連接至通道1（CH1）之裝置2（D2）之平面2（P2）的延遲狀態。本範例假設連接至通道1之記憶裝置之每一者具有二平面。因此，可包括類似的狀態位元對，用於橋接裝置之其他通道。當然，可根據連接至每一通道之記憶裝置數量，及記憶裝置之每一者內平面數量，而提供其餘狀態位元。

圖14為順序圖，描繪從連接至橋接裝置之通道之單一記憶裝置的二平面讀取作業範例。圖14中出現的許多信號名稱與圖10中顯示及說明者相同，除了特定用於目前說明之多平面資料轉移仲裁方法的底部3信號以外。信號rd_data_D1_P1_stb為選通信號，其係回應於來自信號neg_D1_rd_in_prog之脈衝而產生，並發信號通知橋接裝置

啓動從記憶裝置之平面1的頁緩衝器資料轉移至橋接裝置之資料緩衝器。信號 `defer_D1_P2_rd` 對應於狀態位元，以追蹤記憶裝置1之平面2的延遲狀態。信號 `rd_data_D1_P2_stb` 以與 `rd_data_D1_P1_stb` 相同方式作動。沿圖14之底部顯示之暫存器位元顯示記憶裝置1之平面2（`d2`）之延遲狀態位元的邏輯狀態，及記憶裝置1（`b1`）之「就緒/忙碌」位元的邏輯狀態。再一次，應注意的是所顯示時段未依比例尺。

二平面讀取作業極類似於記憶裝置讀取作業，除了由於僅包含一記憶裝置而無資料緩衝器空間之裝置對裝置連接以外。當就緒/忙碌信號 `RBb` 走高時，讀取資料之二頁可用，所以轉移至推遲之頁緩衝器的選擇應預先判斷。在本範例中，平面2總是延遲且其係經硬體處理為此邏輯。另一方面，可提供優先性予平面2或經由控制暫存器而設定優先性，使得優先性可動態改變。其他方法亦可。

參照圖14，在橋接裝置接收二平面讀取指令並傳遞至目標記憶裝置之後，設定信號 `D1_rd_in_prog` 之邏輯位準。現在記憶裝置視為處於忙碌狀態，且如於「A」所示，狀態位元 `b1` 設定為邏輯一。最後，信號 `RBb_1` 於800藉由記憶裝置驅動為高，指示內部讀取結束且二頁處於個別頁緩衝器中。信號 `RBb_1` 轉變為高邏輯狀態以觸發事件。第一，產生選通信號 `rd_data_D1_P1_stb` 以啓動平面1之頁緩衝器與橋接裝置之資料緩衝器間之資料轉移，如於802所指示。第二，記憶裝置之平面2設定為延遲狀態，如藉由被驅

動為高邏輯狀態之信號 `defer_D1_P2_rd` 所示。如於「B」所示，延遲平面2狀態位元 `d2` 設定為邏輯1。記憶體控制器於804讀出資料緩衝器之內容，其回應於於806發生之DSI選通信號而出現於Qn輸出埠上。一旦資料緩衝器內容已從記憶體控制器輸出，記憶裝置1之狀態從其忙碌狀態釋放，如於「C」所示，其中位元設定為邏輯0。在808，記憶體控制器重新發佈最初二平面讀取指令，其指示橋接裝置轉移資料之第二頁至橋接裝置資料緩衝器。橋接裝置藉由選通 `rd_data_D1_P2_stb` 回應以啟動平面2之頁緩衝器與橋接裝置之資料緩衝器間之資料轉移，如於810所示。此外，回應於選通信號，狀態位元 `d2` 設定為邏輯0以移除平面2之延遲狀態。控制器從Qn輸出埠讀出資料，且讀取作業完成。

應注意的是上述呈現之二平面讀取實施例可與二裝置讀取實施例組合，以產生二裝置二平面讀取。在該等實施例中，將就緒之第一記憶裝置反向使用橋接裝置之資料緩衝器，以從其頁緩衝器轉移資料，同時其餘記憶裝置保持延遲狀態。

先前說明之圖7、圖8及圖12的資料轉移仲裁方法實施例可實施為橋接裝置內之邏輯控制電路。圖15為根據本實施例之橋接裝置之一通道的組件簡化方塊圖。簡化橋接裝置900包括橋接裝置介面902、狀態暫存器904、讀取轉移仲裁器906、橋接裝置控制器908、資料緩衝器910、及記憶體I/O介面912。橋接裝置介面902從記憶體控制器接收

總體指令，並將其提供至橋接裝置控制器 908，其將其轉換為與記憶裝置相容之本機指令。狀態暫存器 904 可包括先前說明之與通道相關之圖 9 及圖 13 的狀態位元。讀取轉移仲裁器 906 接收從連接至通道之記憶裝置提供的就緒/忙碌信號，並與狀態暫存器 904 及控制器 908 組合，控制將置於延遲狀態之記憶裝置或平面。本範例假設存在連接至通道之 2 記憶裝置。

橋接裝置控制器 908 將從橋接裝置介面 902 接收之總體指令轉換為本機指令，並可經由橋接裝置介面 902 而提供包括狀態暫存器資料之輸出資料至記憶體控制器。資料緩衝器 910 調整尺寸以儲存從記憶裝置接收之資料的一頁，其對應於記憶裝置之頁緩衝器的尺寸。橋接裝置控制器 908 控制資料緩衝器 910 以從記憶裝置接收資料，並經由橋接裝置介面 902 而將其內容輸出至記憶體控制器。橋接裝置控制器亦負責更新狀態暫存器 904 之位元。I/O 介面 912 提供指令及控制信號至連接至通道之記憶裝置。在本範例中，介面 912 為與 NAND 快閃記憶裝置通訊之 NAND 快閃 I/O 介面。雖然圖 15 顯示讀取轉移仲裁器 906 為與橋接裝置控制器 908 分離，二電路可彼此整合。如圖 15 中所示，僅讀取轉移仲裁器 906 所需之記憶裝置信號為讀取/忙碌信號 RBb_1 及 RBb_2。該些 2 信號亦為橋接裝置控制器 908 所用以啟動內部控制信號之產生，諸如先前順序圖中所示，並更新狀態暫存器 904 之位元。

圖 16 為根據本實施例之資料轉移仲裁器電路的電路實

施例。仲裁器電路 950 之電路範例可用以產生圖 10 之順序圖中所示之一些內部信號。電路包括就緒/忙碌信號檢測器 952 及 954、讀取作業檢測器 956 及 958、衝突檢測器 960 及 962、讀取選通產生器 964 及 966 及 AND 邏輯閘 968、970、972 及 974。圖 16 中所示之電路元件可分組如下。元件 952、956、960、964、968 及 970 形成記憶裝置 D1 之第一資料轉移控制電路。元件 954、958、962、966、972 及 974 形成記憶裝置 D2 之第二資料轉移控制電路。一般來說，每一資料轉移控制電路操作以產生讀取資料選通信號，其觸發橋接裝置控制器 908 以啟動各個記憶裝置與橋接裝置之資料緩衝器間之資料轉移。然而，第一及第二資料轉移控制電路相互連接，使得一資料轉移控制電路可禁止其他者產生其讀取資料選通信號。

下列為參照第一資料轉移控制電路之元件之圖 16 之電路的簡要討論。應注意的是圖 16 中出現的信號名稱與圖 10 中使用者相同。以讀取作業檢測器 956 開始，實施為 D 型正反器，讀取作業信號 RD_D1 (CSI) 經檢測以驅動 D1_rd_in_prog 至邏輯 1。就緒/忙碌信號檢測器 952 經組配以檢測 RBb_1 之上升邊緣，並當事件發生時產生 pos_edge_RBb_1 脈衝。此脈衝將重設正反器 956 以驅動 D1_rd_in_prog 至邏輯 0。讀取選通產生器 964 將產生 rd_data_D1_stb，提供之信號 defer_D1_rd 係處於主動邏輯 0 狀態。rd_data_D1_stb 信號可為圖 15 之 BD 控制器 908 所用，以發佈資料轉移指令至對應記憶裝置。只有當

pos_edge_RBb_2及 D1_rd_in_prog處於邏輯 1 狀態時，正反器 960 將經由邏輯閘 968 而驅動 defer_D1_rd 至主動邏輯 1 狀態。因此，若於 RBb_1 之前檢測 RBb_2，defer_D1_rd 便被驅動至邏輯 1，並禁止產生選通信號 rd_data_D1_stb。在 defer_D1_rd 處於邏輯 1 之事件中，defer_RD_D1 (CSI) 之後續讀取作業信號將經由 AND 邏輯閘 970 而重設正反器 960，以驅動 defer_D1_rd 至邏輯 0，此允許讀取選通產生器 964 產生其選通信號。

第二資料轉移控制電路具有與第一資料轉移控制電路相同組態，除了 AND 邏輯閘 972 接收 pos_edge_RBb_1 及 AND 邏輯閘 974 接收 defer_RD_D2 (CSI) 以外。因此，若首先檢測 RBb_1 之上升邊緣，可禁止第二資料轉移控制電路產生其選通信號 rd_data_D2_stb。讀取選通產生器 964 可包括任何邏輯裝置，其檢測 D1_rd_in_prog 之下降邊緣並回應於 defer_D1_rd 處於邏輯 0 狀態而產生 rd_data_D1_stb 邏輯 1 脈衝，但於 defer_D1_rd 處於邏輯 1 狀態時，禁止如此做。此外，讀取選通產生器 964 邏輯裝置將亦產生 rd_data_D1_stb 邏輯 1 脈衝以回應於 defer_D1_rd 之下降轉變。讀取選通產生器 966 可包括相同邏輯電路。rd_data_D2_stb 信號可為圖 15 之 BD 控制器 908 所用，以發佈資料轉移指令至對應記憶裝置。

根據文中所說明之技術的系統及裝置可應用於具有複數裝置串聯連接之記憶體系統。裝置為例如記憶裝置，諸如動態隨機存取記憶體 (DRAM)、靜態隨機存取記憶體

(SRAM)、快閃記憶體、DiNOR快閃EEPROM記憶體、串列快閃EEPROM記憶體、Ferro RAM記憶體、Magnetor RAM記憶體、相位改變RAM記憶體、及任何其他合適類型記憶體。

在先前之說明中，為予說明，提出許多細節以便提供本發明之實施例的徹底瞭解。然而，對於熟悉本技藝之人士而言，顯然為體現本發明，該些具體細節並非必需。在其他範例中，以方塊圖形式顯示已知電氣結構及電路以便不使本發明難解。

將理解的是當文中元件稱為「連接」或「耦合」至其他元件時，其可直接連接或耦合至其他元件，或出現插於元件中。相反地，當文中元件稱為「直接連接」或「直接耦合」至其他元件時，並無出現插於元件中。用於說明元件間之關係者應解譯為以類似的方式（即「之間」相對於「直接之間」、「相鄰」相對於「直接相鄰」等）。

本說明書中之圖不一定依比例尺。例如，在圖5中，橋接裝置302及離散記憶裝置304之相對尺寸並未依比例尺，且組裝之橋接裝置之面積較離散記憶裝置304之面積小一些量級。

所說明之實施例可進行某些調整及修改。因此，上述實施例被視為描繪而非侷限。

【圖式簡單說明】

現在將僅藉由範例並參照附圖說明本發明之實施例，

其中：

圖 1A 為非揮發性記憶體系統範例之方塊圖；

圖 1B 為用於圖 1A 之記憶體系統範例的離散快閃記憶裝置；

圖 2A 為串列記憶體系統範例之方塊圖；

圖 2B 為用於圖 2A 之記憶體系統範例的離散串列介面快閃記憶裝置；

圖 3A 為根據本實施例之具有四離散記憶裝置及橋接裝置的複合記憶裝置之方塊圖；

圖 3B 描繪根據本實施例之總體指令；

圖 4 為根據其他實施例之具有四離散記憶裝置及橋接裝置的複合記憶裝置之方塊圖；

圖 5 為單一平面快閃記憶裝置之方塊圖；

圖 6 為多平面快閃記憶裝置之方塊圖；

圖 7 為根據本實施例之從多個源轉移資料至有限記憶體空間之方法流程圖；

圖 8 為根據本實施例之從多個快閃裝置轉移資料頁至有限記憶體空間之方法流程圖；

圖 9 為根據本實施例之橋接裝置的狀態暫存器定義表；

圖 10 為順序圖，描繪根據本實施例之從二快閃裝置至有限記憶體空間之轉移作業範例；

圖 11 為根據本實施例之控制橋接裝置的方法流程圖；

圖 12 為根據本實施例之從單一快閃裝置轉移多個資料

頁至有限記憶體空間的方法流程圖；

圖 13 為根據替代實施例之橋接裝置的狀態暫存器定義表；

圖 14 為順序圖，描繪根據本實施例之從單一快閃裝置的 2 頁轉移作業範例；

圖 15 為根據本實施例之具有資料轉移仲裁器之橋接裝置的簡化方塊圖；以及

圖 16 為根據本實施例之轉移仲裁器電路的示意圖。

【主要元件符號說明】

10、20：記憶體系統

12：主機系統

14、22：記憶體控制器

16-1、16-2、16-3、16-4、24、26、28、30、100、

104、200、204、300、310：記憶裝置

18：通道

102、202、900：橋接裝置

112：總體記憶體控制信號

114：位址標頭

116：總體裝置位址

118：局部裝置位址

206、910：資料緩衝器

302、312、314：平面

304、316、318：頁緩衝器

400、402、404、406、408、410、500、502、504、
506、508、510、512、650、652、654、656、658、
660、662、664、666、668、670、672、674、676、
678、700、702、704、706、708、710、712：步驟
600、602：讀取指令
604、606、608、609、610、612、614、616、618、
620、622、800、802、804、806、808、810：狀態代
號
902：橋接裝置介面
904：狀態暫存器
906：讀取轉移仲裁器
908：橋接裝置控制器
912：記憶體 I/O 介面
950：仲裁器電路
952、954：就緒 / 忙碌信號檢測器
956、958：讀取作業檢測器
960、962：衝突檢測器
964、966：讀取選通產生器
968、970、972、974：AND 邏輯閘

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100115972

※申請日：100 年 05 月 06 日

※IPC 分類：G11C 11/4093 (2006.01)

一、發明名稱：(中文／英文)

G11C 11/10 (2006.01)

使用單一緩衝器同時讀取複數記憶裝置之方法及裝置

Method and apparatus for concurrently reading a plurality of memory devices using a single buffer

二、中文發明摘要：

一種包括離散記憶裝置及橋接裝置之複合記憶裝置，用於控制該離散記憶裝置以回應具有與該記憶裝置不相容之格式或協定的總體記憶體控制信號。該離散記憶裝置可為回應於本機或局部記憶體控制信號之市售現成的記憶裝置或訂製記憶裝置。該總體及局部記憶體控制信號包括各具有不同格式之指令及指令信號。該複合記憶裝置包括包括該離散記憶裝置及該橋接裝置之半導體晶粒的套裝系統，或可包括具有封裝離散記憶裝置及所安裝之封裝橋接裝置的印刷電路板。

三、英文發明摘要：

A composite memory device including discrete memory devices and a bridge device for controlling the discrete memory devices in response to global memory control signals having a format or protocol that is incompatible with the memory devices. The discrete memory devices can be commercial off-the-shelf memory devices or custom memory devices which respond to native, or local memory control signals. The global and local memory control signals include commands and command signals each having different formats. The composite memory device includes a system in package including the semiconductor dies of the discrete memory devices and the bridge device, or can include a printed circuit board having packaged discrete memory devices and a packaged bridge device mounted thereto.

七、申請專利範圍：

1.一種方法，用於控制資料從兩頁緩衝器源轉移至資料緩衝器，該方法包含：

啓動該兩頁緩衝器源中之讀取作業；

自動從完成讀取作業的該兩頁緩衝器源之第一頁緩衝器源轉移資料至該資料緩衝器；

當該兩頁緩衝器源之第二頁緩衝器源完成讀取作業且該資料緩衝器忙碌時，禁止從該第二頁緩衝器源轉移資料；

等候該資料緩衝器變成可用；以及

當該資料緩衝器可用時，從該第二頁緩衝器源轉移資料。

2.如申請專利範圍第1項之方法，其中，該兩頁緩衝器源之每一者及該資料緩衝器調整尺寸以儲存資料之一頁。

3.如申請專利範圍第1項之方法，其中，該第一頁緩衝器源爲第一記憶裝置及該第二頁緩衝器源爲第二記憶裝置。

4.如申請專利範圍第1項之方法，其中，該第一頁緩衝器源爲記憶裝置之第一頁緩衝器，及該第二頁緩衝器源爲該記憶裝置之第二頁緩衝器。

5.如申請專利範圍第1項之方法，其中，自動轉移資料包括從該第一頁緩衝器源接收就緒信號。

6.如申請專利範圍第5項之方法，其中，自動轉移資

料進一步包括從該第一頁緩衝器源接收該讀取信號之後，發佈資料轉移指令至該第一頁緩衝器源。

7.如申請專利範圍第1項之方法，其中，禁止資料轉移包括若該第二頁緩衝器源之該讀取作業進行中，設定該第二頁緩衝器源之延遲狀態。

8.如申請專利範圍第7項之方法，其中，設定延遲狀態包括將對應於該第二頁緩衝器源之延遲狀態暫存器設定為延遲狀態。

9.如申請專利範圍第8項之方法，其中，轉移資料包括將該延遲狀態暫存器設定為非延遲狀態。

10.如申請專利範圍第2項之方法，其中，禁止資料轉移包括從該第二頁緩衝器源接收就緒信號。

11.如申請專利範圍第9項之方法，進一步包括從該第二頁緩衝器源接收該讀取信號且該第二頁緩衝器源設定為該延遲狀態之後，禁止發佈資料轉移指令至該第二頁緩衝器源。

12.如申請專利範圍第1項之方法，其中，等候包括輸出儲存於該資料緩衝器中之該第一頁緩衝器源之該資料。

13.如申請專利範圍第11項之方法，其中，轉移資料包括該資料緩衝器結束輸出該第一頁緩衝器源之該資料之後，發佈資料轉移指令至該第二頁緩衝器源。

14.如申請專利範圍第1項之方法，其中，禁止資料轉移包括當接收該就緒信號時，設定該第二頁緩衝器源之延遲狀態。

15.如申請專利範圍第14項之方法，其中，設定延遲狀態包括將對應於該第二頁緩衝器源之延遲狀態暫存器設定為延遲狀態。

16.一種方法，用於從具有兩頁緩衝器源之橋接裝置讀取資料，該兩頁緩衝器源連接至該橋接裝置之通道，該方法包含：

發佈用於從該兩頁緩衝器源讀取資料之頁讀取指令至該橋接裝置；

判斷該兩頁緩衝器源之第一頁緩衝器源係處於就緒狀態及處於非延遲狀態，以指示該第一頁緩衝器源之資料儲存於該橋接裝置之資料緩衝器中；

突發從該橋接裝置之該資料緩衝器讀取資料；

若該第二頁緩衝器源處於就緒狀態及處於延遲狀態，重新發佈頁讀取指令至該兩頁緩衝器源之第二頁緩衝器源，以轉移該第二頁緩衝器源之資料至該橋接裝置之該資料緩衝器；以及

突發從該橋接裝置之該資料緩衝器讀取資料。

17.如申請專利範圍第16項之方法，其中，發佈頁讀取指令包括發佈第一頁讀取指令至該第一頁緩衝器源，接著於預先判斷的潛伏期之後，發佈第二頁讀取指令至該第二頁緩衝器源。

18.如申請專利範圍第17項之方法，其中，該第一頁緩衝器源從記憶體陣列讀取資料頁，並回應於該第一頁讀取指令而轉移該資料頁至該橋接裝置之該資料緩衝器。

19.如申請專利範圍第18項之方法，其中，當該轉移該資料頁至該資料緩衝器啟動時，該橋接裝置設定該第二頁緩衝器源之延遲狀態。

20.如申請專利範圍第16項之方法，其中，判斷包括讀取該橋接裝置之狀態暫存器，其指示對應於該第一頁緩衝器源及該第二頁緩衝器源之每一者之該就緒狀態及該非延遲狀態。

21.如申請專利範圍第16項之方法，其中，重新發佈包括讀取該橋接裝置之該狀態暫存器，以判斷該第二頁緩衝器源是否處於該就緒狀態及處於該延遲狀態。

22.如申請專利範圍第21項之方法，其中，該第二頁緩衝器源從記憶體陣列讀取資料頁，並回應於該頁讀取指令而轉移該資料頁至該橋接裝置之該資料緩衝器。

23.如申請專利範圍第22項之方法，其中，讀取該橋接裝置之該狀態暫存器以判斷該第二頁緩衝器源是否處於就緒狀態，而指示該第二頁緩衝器源之資料儲存於該橋接裝置之資料緩衝器中。

24.一種橋接裝置，用於從第一頁緩衝器源及第二頁緩衝器源接收讀取資料，該橋接裝置包含：

具有預先判斷的尺寸之資料緩衝器，用於從該第一頁緩衝器源接收第一讀取資料及從該第二頁緩衝器源接收第二讀取資料，該第一讀取資料及該第二讀取資料為該預先判斷的尺寸；

仲裁器電路，用於產生第一讀取轉移信號以回應於檢

測到第一頁緩衝器源就緒而提供該第一讀取資料，及用於當該第二頁緩衝器源變成就緒而提供該第二讀取資料時，至少當該第一頁緩衝器就緒而提供該第一讀取資料時，禁止產生第二讀取轉移信號；以及

控制器，用於發佈資料轉移指令至該第一頁緩衝器源，以回應於從該第一頁緩衝器源至該資料緩衝器之用於從該第一頁緩衝器源轉移該第一讀取資料至該資料緩衝器之該第一讀取轉移信號。

25.如申請專利範圍第24項之橋接裝置，其中，該第一頁緩衝器源為第一記憶裝置，及該第二頁緩衝器源為第二記憶裝置。

26.如申請專利範圍第25項之橋接裝置，其中，該仲裁器電路從該第一記憶裝置接收第一就緒／忙碌信號轉變，指示該第一記憶裝置就緒而提供該第一讀取資料，及於該第一就緒／忙碌信號轉變之後，從該第二頁緩衝器源接收第二就緒／忙碌信號轉變。

27.如申請專利範圍第24項之橋接裝置，其中，該第一頁緩衝器為記憶裝置之第一平面，及該第二頁緩衝器源為該記憶裝置之第二平面。

28.如申請專利範圍第27項之橋接裝置，其中，該仲裁器電路從該記憶裝置接收就緒／忙碌信號轉變，指示該第一平面及該第二平面就緒而提供該第一讀取資料及該第二讀取資料。

圖 1A

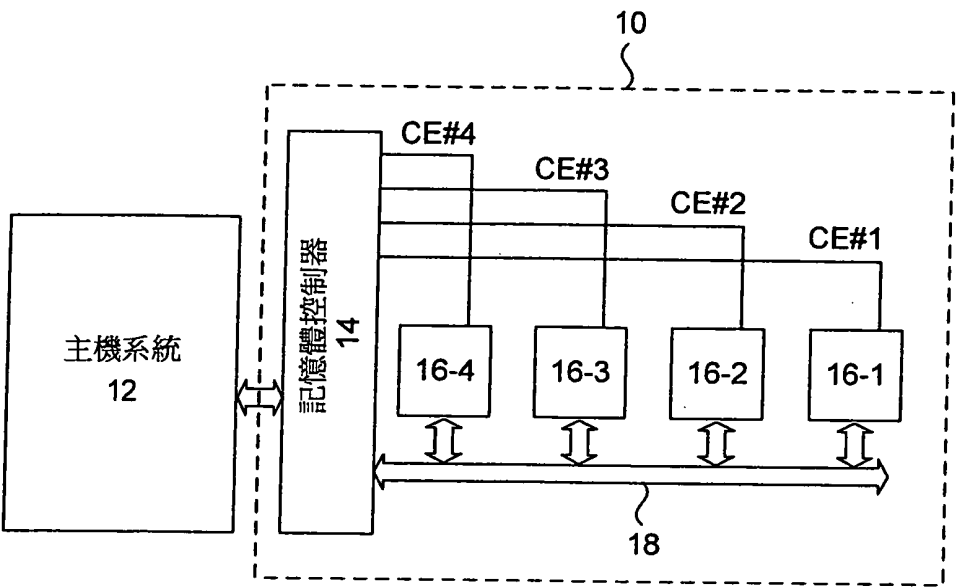


圖 1B

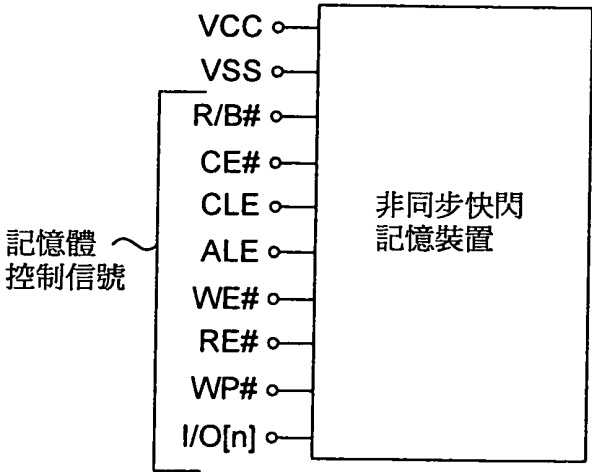


圖 2A

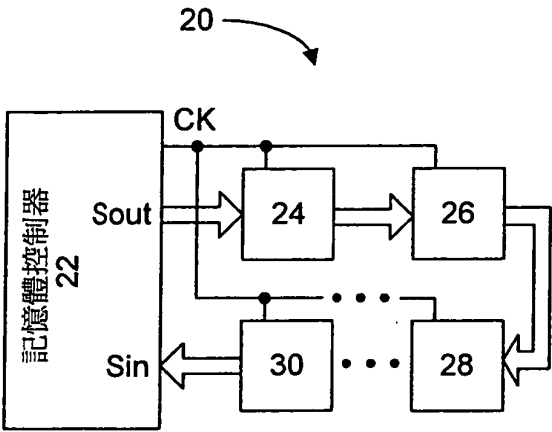


圖 2B

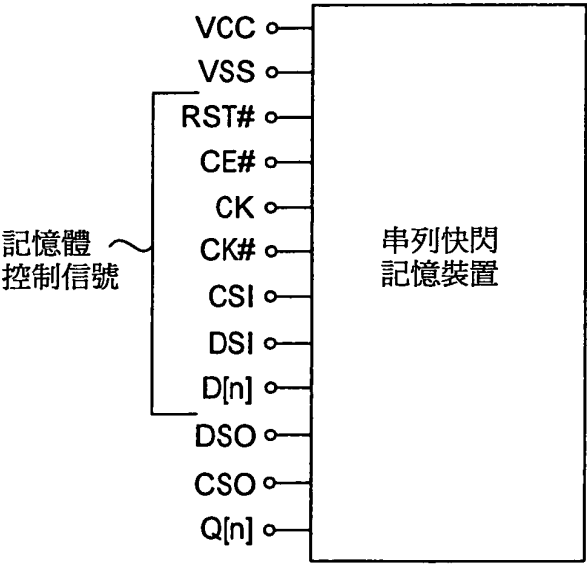


圖 3A

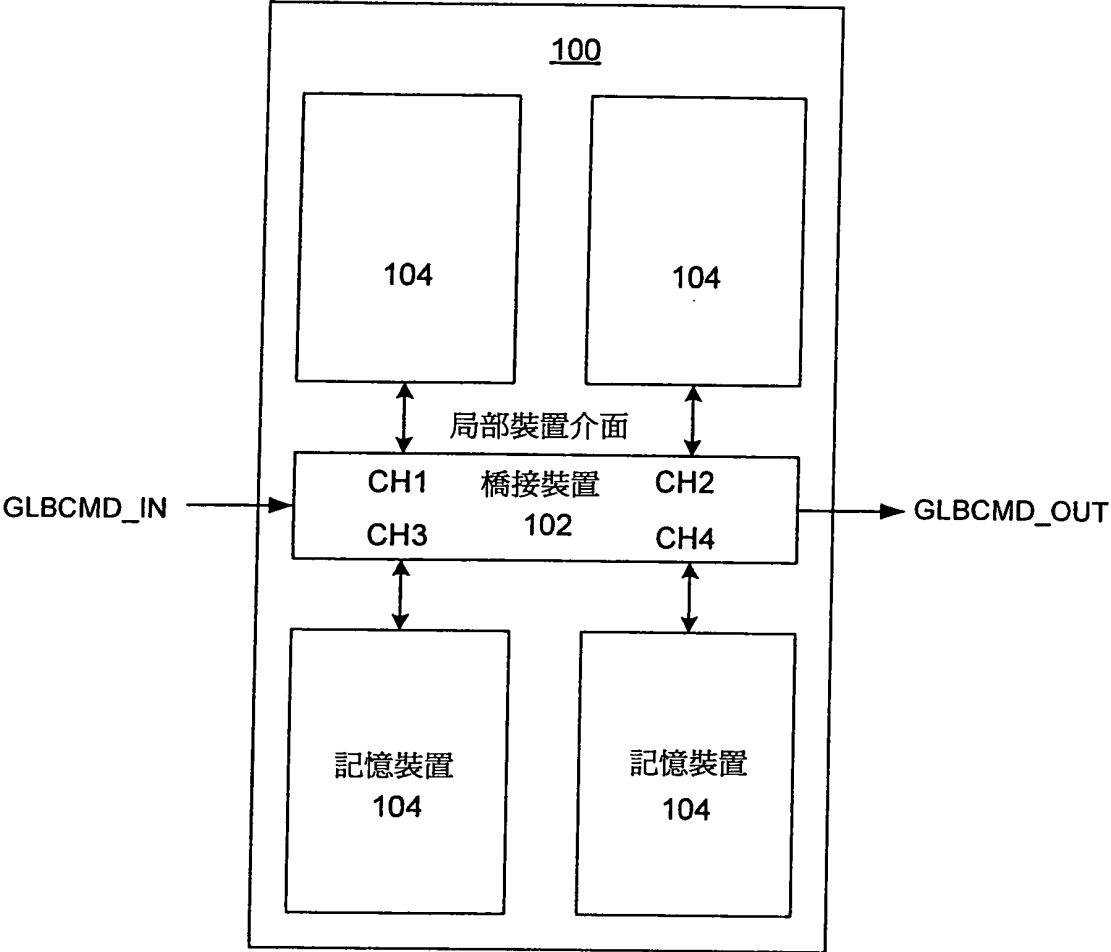


圖 3B

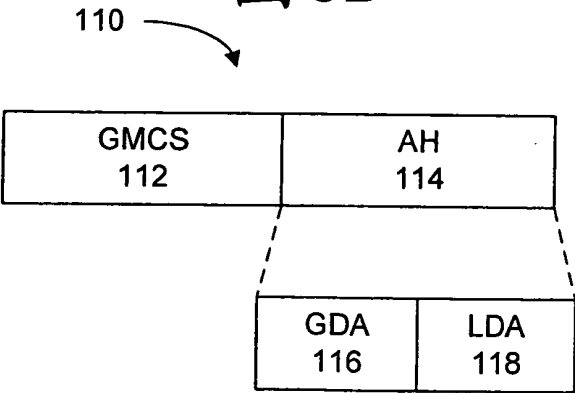


圖4

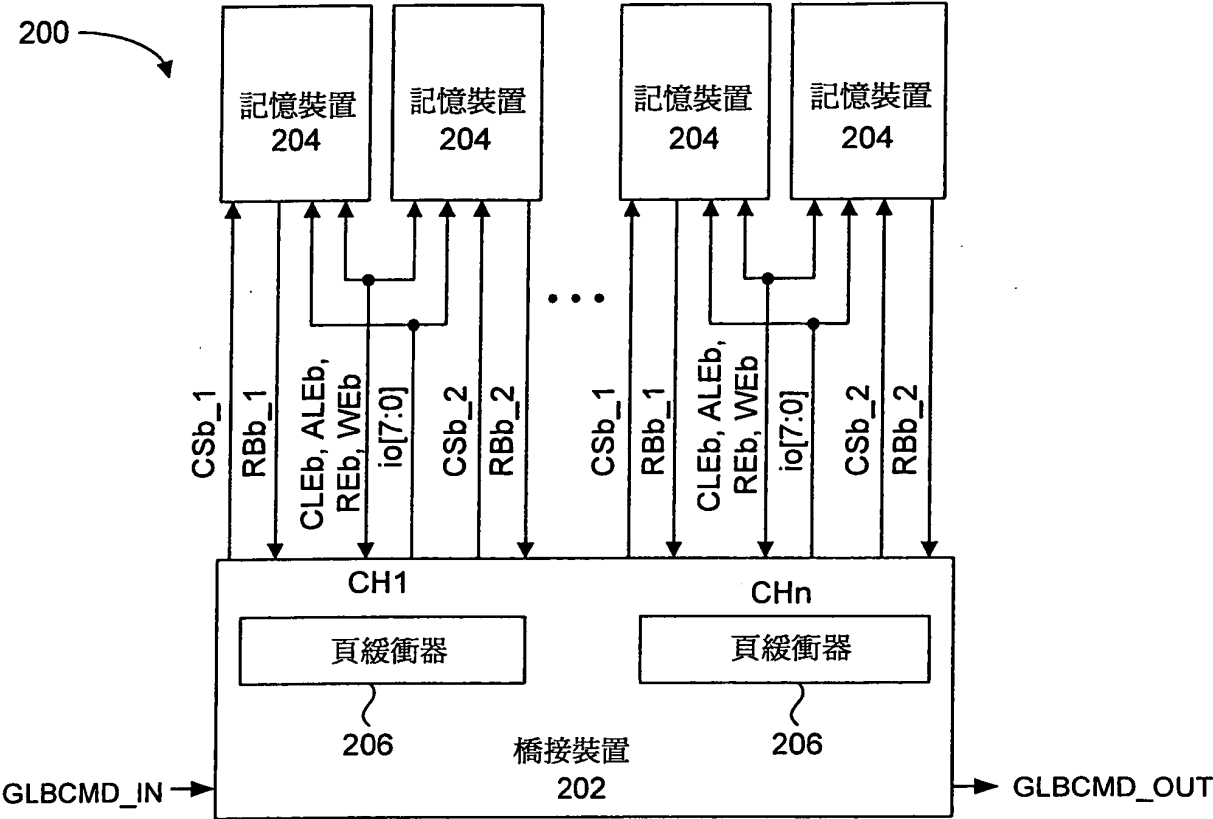


圖5

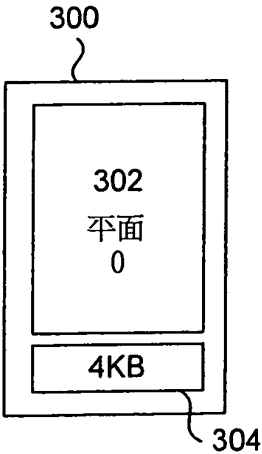


圖6

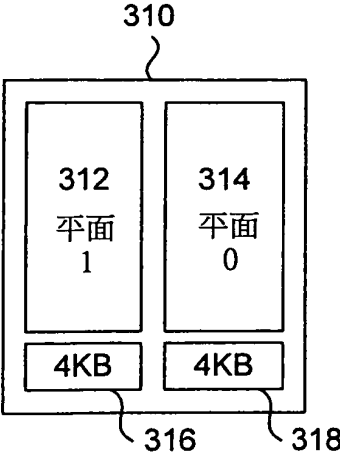


圖 7

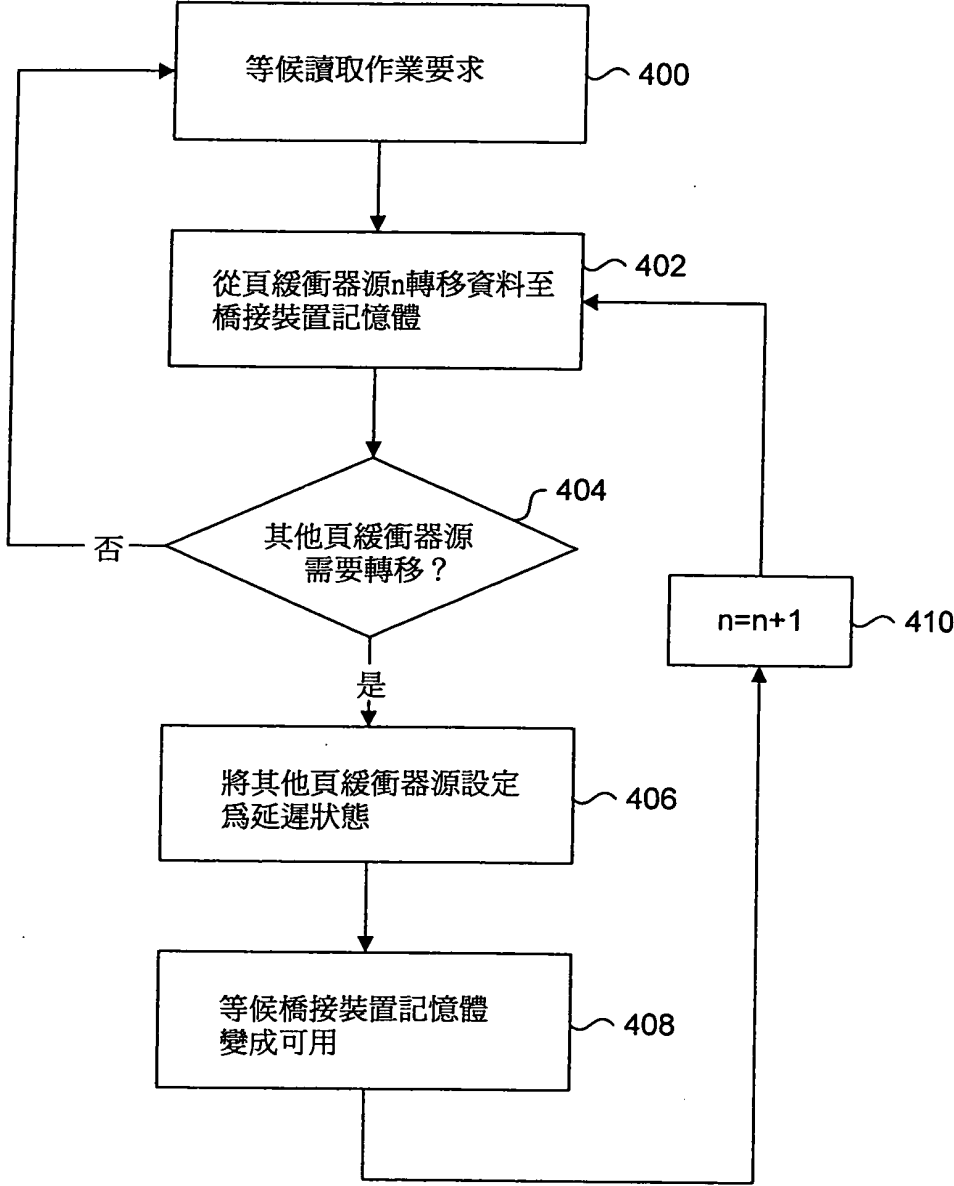


圖 8

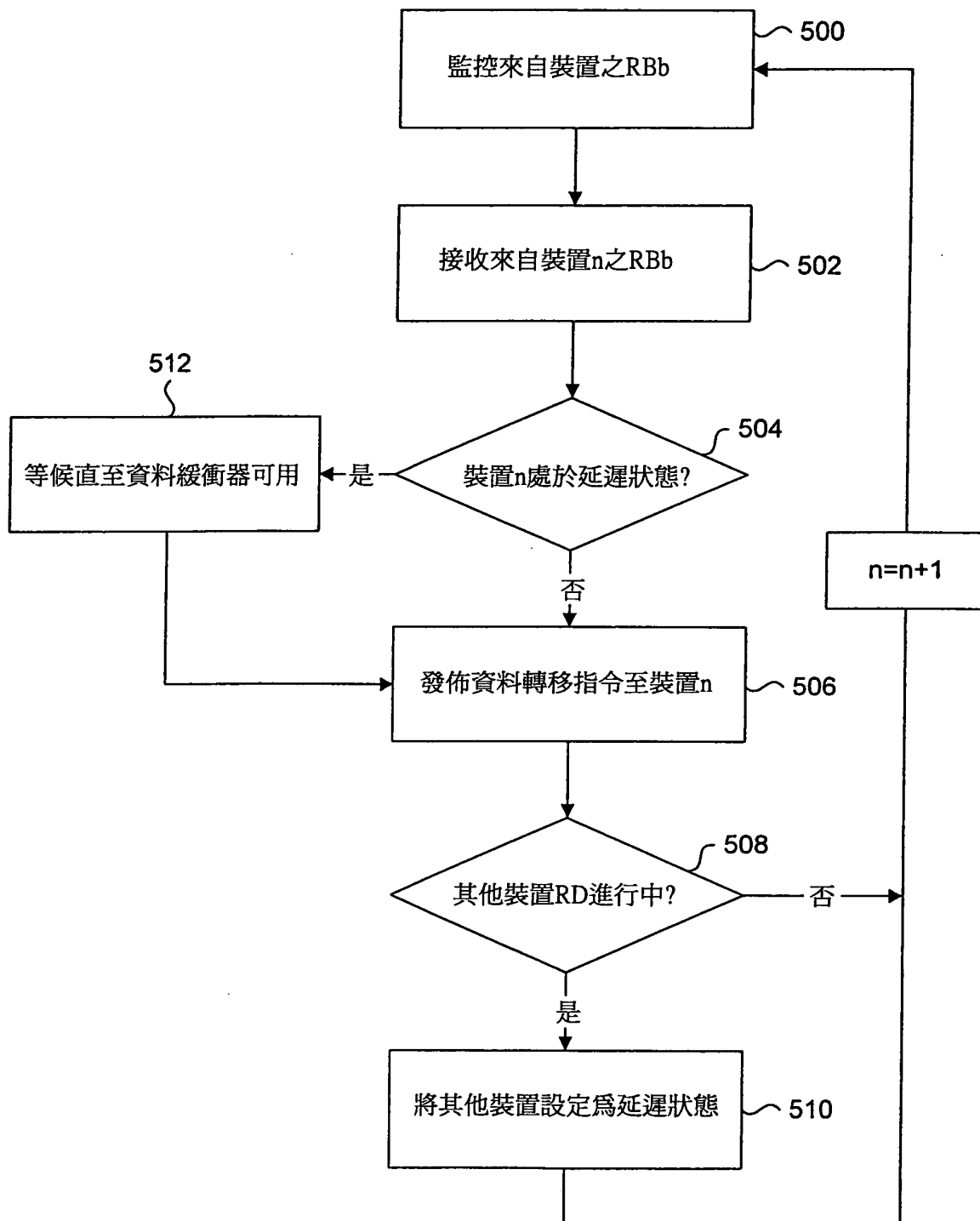


圖 9

暫存器名稱	位元定義	位元	值定義	預設值
狀態暫存器	就緒/忙碌 CH1,D1	0	0=就緒, 1=忙碌	0
	通過/失敗 CH1,D1	1	0=通過, 1=失敗	0
	⋮			
	就緒/忙碌 CH4,D1	6	0=就緒, 1=忙碌	0
	通過/失敗 CH4,D1	7	0=通過, 1=失敗	0
	就緒/忙碌 CH1,D2	8	0=就緒, 1=忙碌	0
	通過/失敗 CH1,D2	9	0=通過, 1=失敗	0
	⋮			
	就緒/忙碌 CH4,D2	14	0=就緒, 1=忙碌	0
	通過/失敗 CH4,D2	15	0=通過, 1=失敗	0
	延遲讀取轉移 CH1, D1	16	0=讀取未延遲, 1=讀取延遲	0
	延遲讀取轉移 CH1, D2	17	0=讀取未延遲, 1=讀取延遲	0
	⋮			
	延遲讀取轉移 CH4, D1	22	0=讀取未延遲, 1=讀取延遲	0
	延遲讀取轉移 CH4, D2	23	0=讀取未延遲, 1=讀取延遲	0

圖10

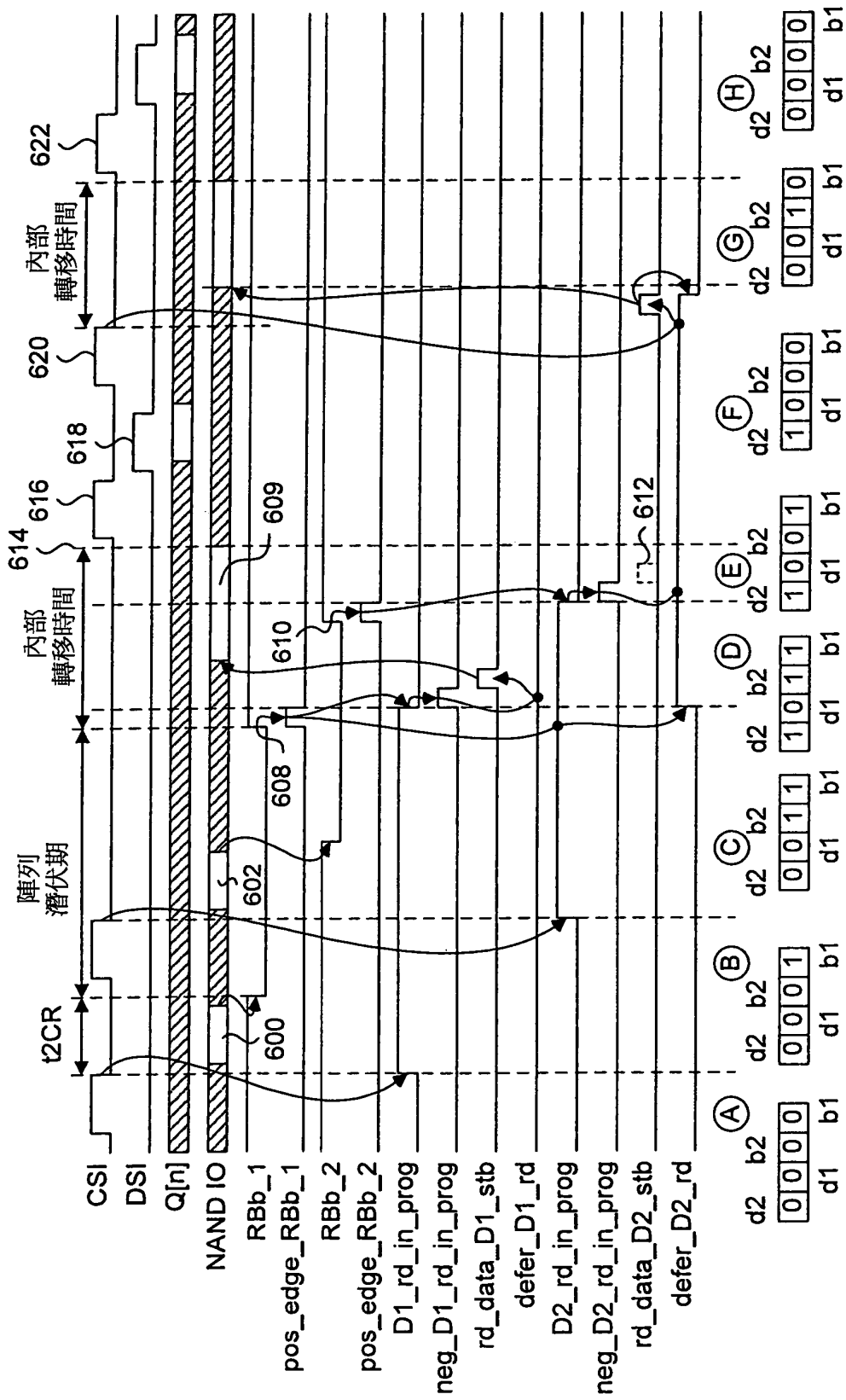


圖 11

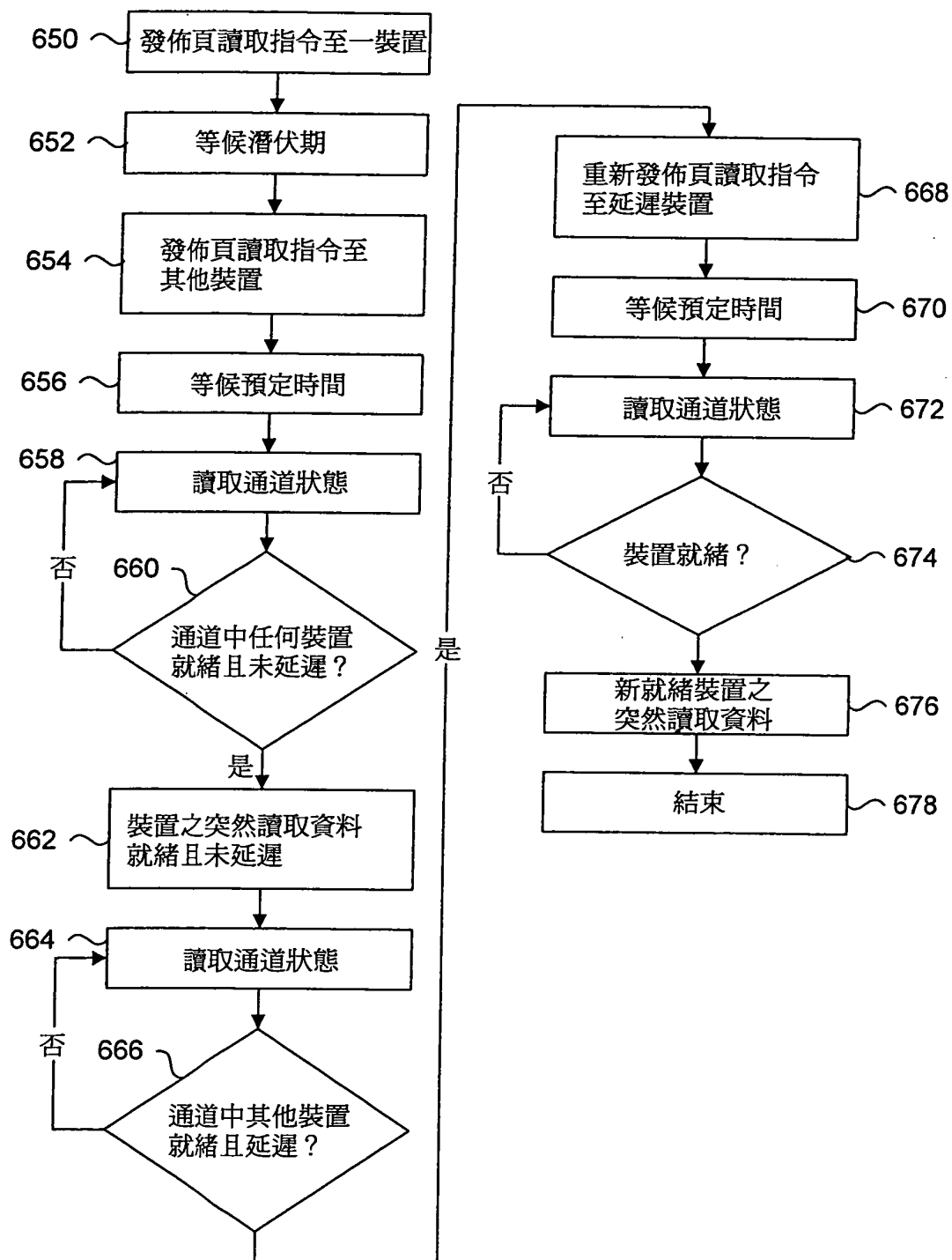


圖 12

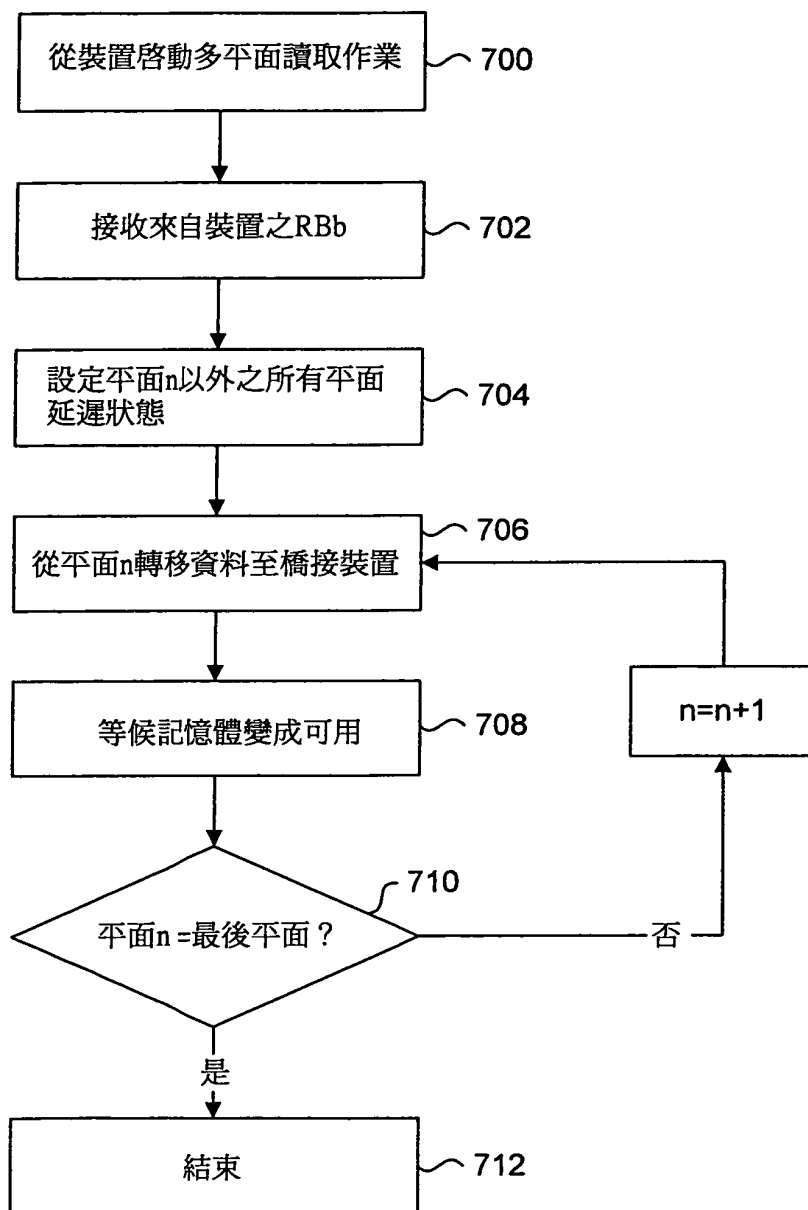


圖13

暫存器名稱	位元定義	位元	值定義	預設值
狀態暫存器	就緒/忙碌 CH1, D1	0	0=就緒, 1=忙碌	0
	通過/失敗 CH1, D1	1	0=通過, 1=失敗	0
	⋮			
	就緒/忙碌 CH4, D1	6	0=就緒, 1=忙碌	0
	通過/失敗 CH4, D1	7	0=通過, 1=失敗	0
	就緒/忙碌 CH1, D2	8	0=就緒, 1=忙碌	0
	通過/失敗 CH1, D2	9	0=通過, 1=失敗	0
	⋮			
	就緒/忙碌 CH4, D2	14	0=就緒, 1=忙碌	0
	通過/失敗 CH4, D2	15	0=通過, 1=失敗	0
	延遲讀取轉移 CH1, D1	16	0=讀取未延遲, 1=讀取延遲	0
	延遲讀取轉移 CH1, D2	17	0=讀取未延遲, 1=讀取延遲	0
	⋮			
	延遲讀取轉移 CH4, D1	22	0=讀取未延遲, 1=讀取延遲	0
	延遲讀取轉移 CH4, D2	23	0=讀取未延遲, 1=讀取延遲	0
	延遲讀取轉移 CH1, D1,P2	24	0=讀取未延遲, 1=讀取延遲	0
	延遲讀取轉移 CH1, D2,P2	25	0=讀取未延遲, 1=讀取延遲	0

圖14

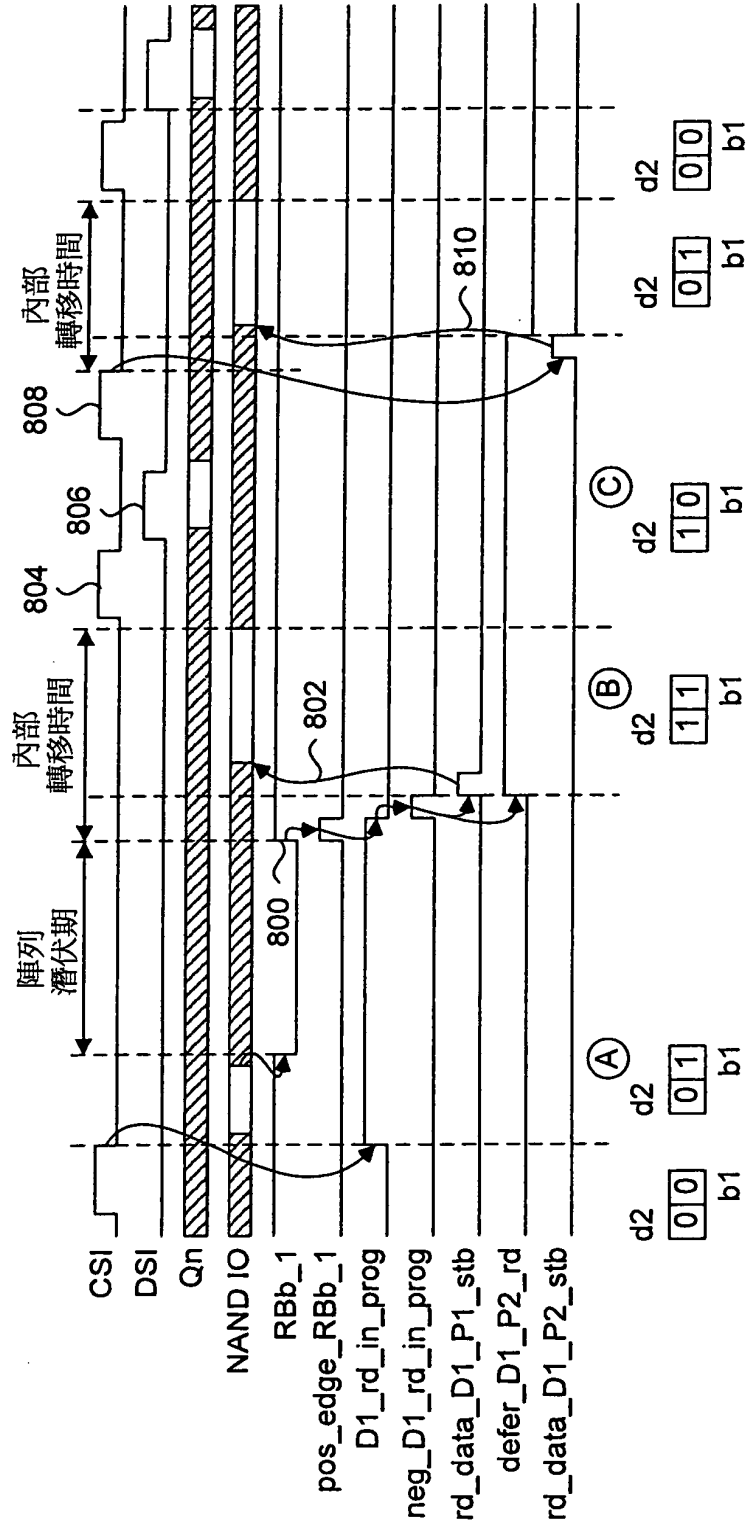


圖 15

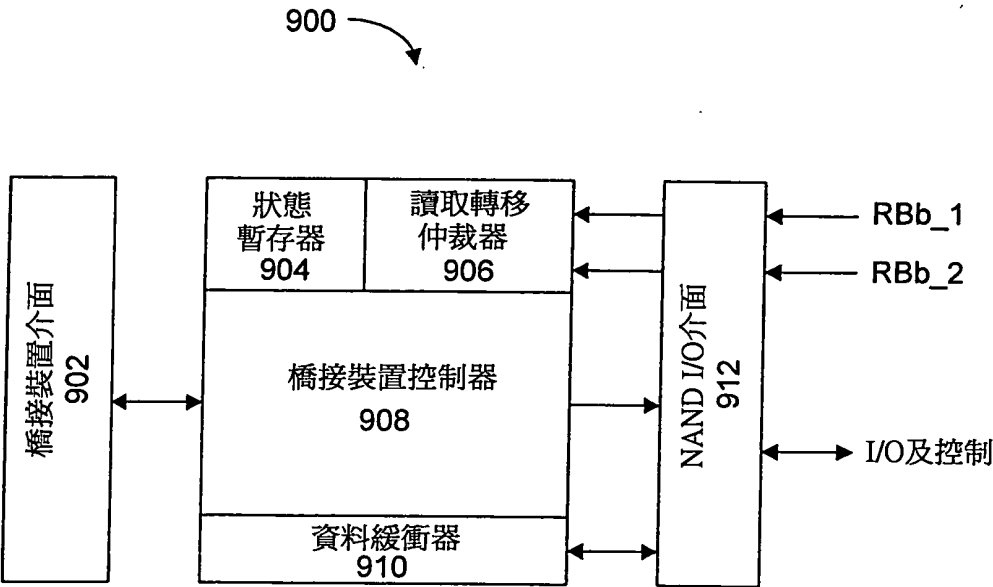
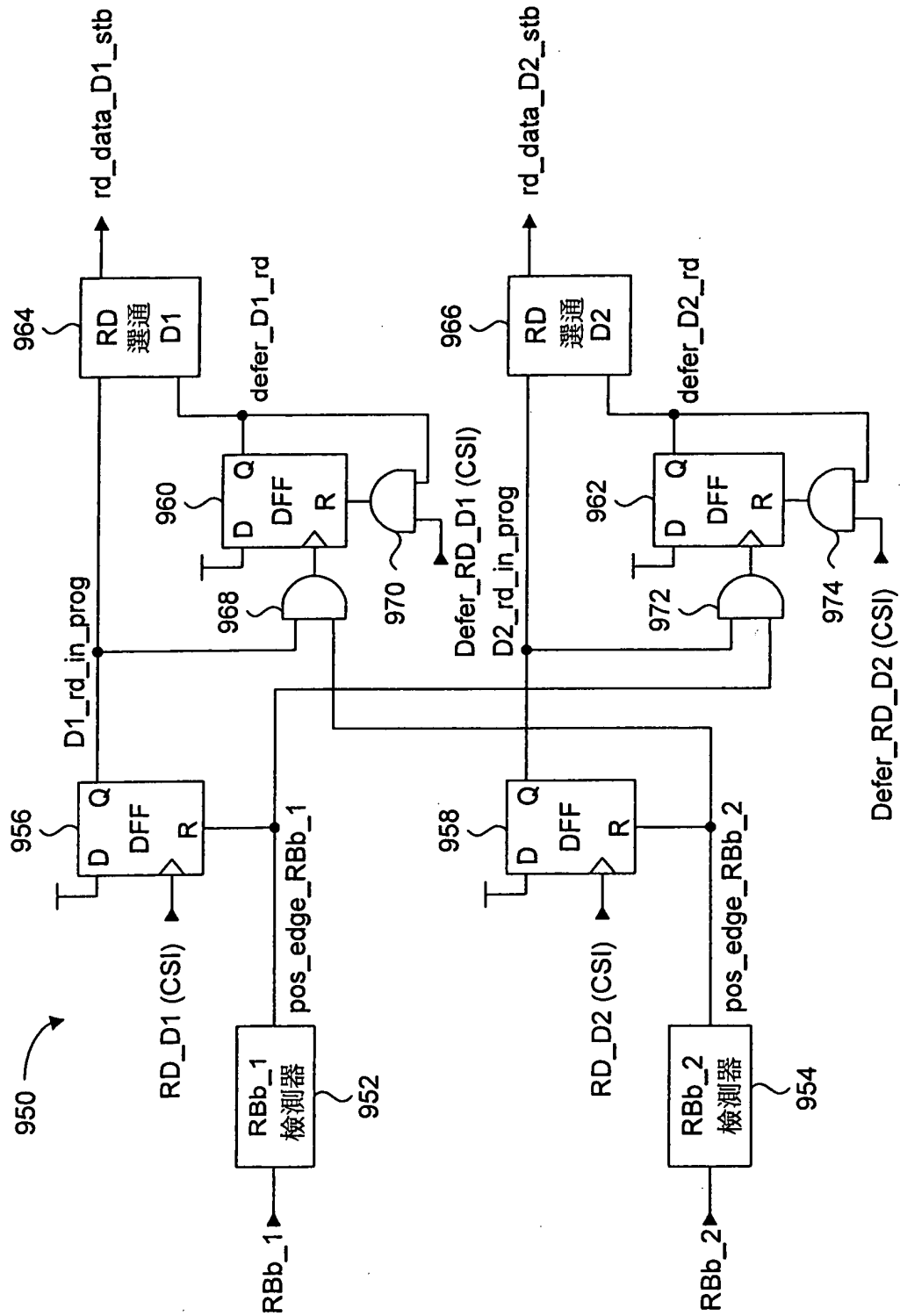


圖16



四、指定代表圖：

(一) 本案指定代表圖為：第(4)圖。

(二) 本代表圖之元件符號簡單說明：

200、204：記憶裝置

202：橋接裝置

206：資料緩衝器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無