



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0095182
(43) 공개일자 2014년08월01일

(51) 국제특허분류(Int. Cl.)

H01L 23/48 (2006.01)

(21) 출원번호 10-2013-0007765

(22) 출원일자 2013년01월24일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

김정겸

서울 서초구 반포대로 275, 106동 2701호 (반포동, 래미안퍼스티지)

최정환

경기 화성시 동탄문화센터로 39, 320동 202호 (반송동, 시범다운마을포스코더샵아파트)

(74) 대리인

윤재석, 한지희, 권영규

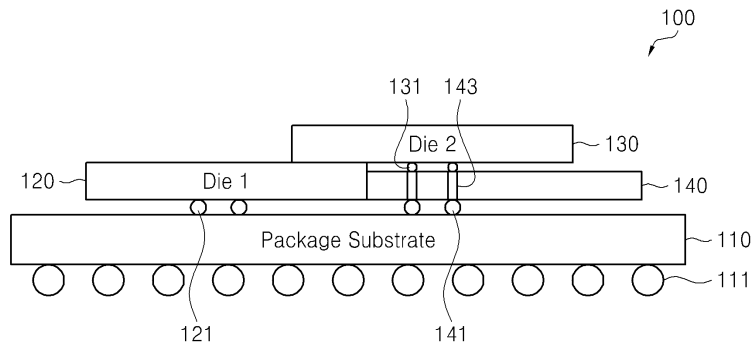
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 적층된 다이 패키지, 이를 포함하는 시스템 및 이의 제조 방법

(57) 요약

적층된 다이 패키지는 패키지 기판, 상기 패키지 기판의 상면에 마운트된 제1다이, 제2다이, 및 상기 패키지 기판의 상기 상면에 마운트되고, 상기 패키지 기판과 상기 제2다이를 전기적으로 접속하기 위해 복수의 수직적 전기적 소자들을 포함하는 인터포저를 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

패키지 기판;

상기 패키지 기판에 마운트된 제1다이;

제2다이; 및

상기 패키지 기판에 마운트되고, 상기 패키지 기판과 상기 제2다이를 전기적으로 접속하기 위한 복수의 수직적 전기적 소자들을 포함하는 인터포저를 포함하는 적층된 다이 패키지(stacked die package).

청구항 2

제1항에 있어서, 상기 복수의 수직적 전기적 소자들 각각은,

TSV(through-silicon via)인 적층된 다이 패키지.

청구항 3

제1항에 있어서,

상기 제1다이와 상기 제2다이 각각은 플립 칩(flip-chip)인 적층된 다이 패키지.

청구항 4

제1항에 있어서,

상기 제2다이는 상기 인터포저의 적어도 일부와 상기 제1다이의 일부 각각에 오버랩되는 적층된 다이 패키지.

청구항 5

제1항에 있어서,

상기 제1다이와 상기 제2다이 각각은 DRAM(dynamic random access memory), SRAM(static random access memory) 또는 RDRAM(Rambus DRAM)중 어느 하나인 적층된 다이 패키지.

청구항 6

제1항에 있어서,

상기 제1다이와 상기 제2다이 각각은 EEPROM(electrically erasable programmable read-only memory), 플래시 메모리, STT(Spin Transfer Torque RAM)-MRAM, PRAM(phase change RAM), 또는 RRAM(Resistive RAM) 중 어느 하나인 적층된 다이 패키지.

청구항 7

제1항에 있어서,

상기 제1다이와 상기 제2다이 중 어느 하나는 메모리 컨트롤러이고,

상기 제1다이와 상기 제2다이 중 다른 하나는 메모리 장치인 적층된 다이 패키지.

청구항 8

전기적 콘택들;

상기 전기적 콘택들과 전기적으로 접속된 패키지 기판;

상기 패키지 기판에 마운트된 제1다이;

제2다이; 및

상기 패키지 기판에 마운트되고, 상기 패키지 기판과 상기 제2다이를 전기적으로 접속하기 위한 복수의 수직적 전기적 소자들을 포함하는 인터포저를 포함하는 칩 온 보드 패키지(chip on board package).

청구항 9

제8항에 있어서, 상기 전기적 컨택들은,
볼 그리드 어레이(ball grid array)인 칩 온 보드 패키지.

청구항 10

제8항에 있어서,
상기 제1다리와 상기 제2다이 각각은 플립-칩(flip chip)인 칩 온 보드 패키지.

청구항 11

제8항에 있어서, 상기 인터포저는,
상기 제1다이에 인접하게 그리고 상기 패키지 기판과 상기 제2다이 사이에 배치되는 칩 온 보드 패키지.

청구항 12

접속 핀들을 포함하는 인쇄 회로 기판(printed circuit board(PCB)); 및
상기 PCB에 마운트된 적어도 하나의 제1항의 적층된 다이 패키지를 포함하는 메모리 모듈.

청구항 13

제12항에 있어서, 상기 메모리 모듈은,
SIMM(single in-line memory module), DIMM(dual in-line memory module), LRDIMM(load reduction dual in-line memory module), FBDIMM(Fully Buffered DIMM), UDIMM(unregistered DIMM), RDIMM(registered DIMM), 또는 SO-DIMM(small outline DIMM) 중에서 어느 하나인 메모리 모듈.

청구항 14

제12항에 있어서, 상기 인터포저는,
상기 제1다이에 인접하게 그리고 상기 패키지 기판과 상기 제2다이 사이에 배치되는 메모리 모듈.

청구항 15

제1항의 적층된 다이 패키지를 포함하는 메모리 모듈;
상기 메모리 모듈과 접속될 수 있는 메모리 모듈 슬롯; 및
상기 메모리 모듈 슬롯과 전기적으로 접속된 프로세서를 포함하며,
상기 프로세서는 상기 적층된 다이 패키지에 포함된 상기 제1다리와 상기 제2다이 중에서 적어도 하나의 동작을 제어할 수 있는 메모리 컨트롤러를 포함하는 컴퓨팅 시스템.

청구항 16

제15항에 있어서, 상기 인터포저는,
상기 제1다이에 인접하게 그리고 상기 패키지 기판과 상기 제2다이 사이에 배치되는 컴퓨팅 시스템.

청구항 17

제15항에 있어서, 상기 컴퓨팅 시스템은,
PC 또는 랩탑 컴퓨터인 컴퓨팅 시스템.

청구항 18

제1항의 적층된 다이 패키지; 및

상기 적층된 다이 패키지에 포함된 상기 제1다이와 상기 제2다이 중에서 적어도 어느 하나의 동작을 제어하기 위한 메모리 컨트롤러를 포함하는 컴퓨팅 시스템.

청구항 19

제18항에 있어서, 상기 인터포저는,

상기 제1다이에 인접하게 그리고 상기 패키지 기판과 상기 제2다이 사이에 배치되는 컴퓨팅 시스템.

청구항 20

제18항에 있어서, 상기 컴퓨팅 시스템은,

상기 적층된 다이 패키지와 상기 메모리 컨트롤러 사이에 형성된 적어도 하나의 광 링크(optical link)를 더 포함하고,

상기 제1다이와 상기 제2다이 중에서 상기 적어도 하나는 상기 적어도 하나의 광 링크와 통신하기 위한 제1광 송수신기를 포함하고,

상기 메모리 컨트롤러는 상기 적어도 하나의 광 링크와 통신하기 위한 제2광 송수신기를 포함하는 컴퓨팅 시스템.

청구항 21

제18항에 있어서,

상기 메모리 컨트롤러는 애플리케이션 프로세서의 내부에 구현되고,

상기 컴퓨팅 시스템은 스마트 폰 또는 태블릿 PC인 컴퓨팅 시스템.

청구항 22

패키지 기판에 제1다이와, 복수의 수직적 전기적 소자들을 포함하는 인터포저를 마운팅하는 단계; 및

상기 복수의 수직적 전기적 소자들을 이용하여 제2다이와 상기 패키지 기판을 전기적으로 접속하는 단계를 포함하는 적층된 다이 패키지의 제조 방법.

청구항 23

제22항에 있어서, 상기 인터포저는,

상기 제1다이에 인접하게 그리고 상기 패키지 기판과 상기 제2다이 사이에 배치되는 적층된 다이 패키지의 제조 방법.

청구항 24

제22항에 있어서,

상기 제1다이와 상기 제2다이 각각은 플립-칩(flip chip)인 적층된 다이 패키지의 제조 방법.

청구항 25

제22항에 있어서,

상기 복수의 수직적 전기적 소자들 각각은 TSV(through-silicon via)인 적층된 다이 패키지의 제조방법.

명세서

기술분야

본 발명의 개념에 따른 실시 예는 회로 패키징(circuit packaging)에 관한 것으로, 특히 다이 패키징의 공정 비용을 감소시킬 수 있는 적층된 다이 패키지, 이를 포함하는 시스템 및 이의 제조 방법에 관한 것이다.

[0001]

배경 기술

- [0002] 반도체 웨이퍼는 동일한 전기 회로가 인쇄된 수백 개 또는 수천 개의 칩들을 포함한다. 상기 칩들 각각은 그 자체만으로는 외부와 통신할 수 없다. 따라서, 상기 칩들 각각에 외부와 통신할 수 있도록 전기적인 배선들을 연결하고 외부 충격, 예컨대 물리적 충격 또는 화학적 충격에 견디도록 밀봉하여 포장하는 것이 반도체 패키징 공정이다. 즉, 다이 패키징 공정이라고도 불리는 반도체 패키징 공정은 반도체 장치를 제조하는 공정들 중에서 마지막 공정이다.
- [0003] 와이어 본딩(wire bonding)을 이용하여 복수의 다이들이 패키지 기판 위에 적층(stack)될 때, 상기 복수의 다이들 각각은 중앙 패드(center pad)와 에지 패드(edge pad)를 접속시키기 위한 재분배층(re-distribution layer; RDL)을 포함한다. 상기 중앙 패드와 상기 에지 패드 사이의 거리가 증가할수록 상기 복수의 다이들 각각의 커패시턴스(capacitance)와 레지스턴스(resistance)가 증가한다. 또한, RDL 공정이 추가됨에 따라 패키징 비용이 증가한다.
- [0004] TSV(through-silicon via)를 이용하여 복수의 다이들이 패키지 기판 위에 적층될 때, 상기 복수의 다이들 각각에서 상기 TSV를 형성하기 위한 공정이 요구될 수 있다. 상기 TSV를 형성하기 위한 공정은 패키징 비용을 증가시킨다.

발명의 내용

해결하려는 과제

- [0005] 본 발명이 이루고자 하는 기술적인 과제는 다이 패키징의 공정 비용을 감소시키기 위한 적층된 다이 패키지, 이를 포함하는 시스템 및 이의 제조 방법을 제공하는 것이다.

과제의 해결 수단

- [0006] 본 발명의 실시 예에 따른 적층된 다이 패키지는 패키지 기판, 상기 패키지 기판에 마운트된 제1다이, 제2다이, 및 상기 패키지 기판에 마운트되고, 상기 패키지 기판과 상기 제2다이를 전기적으로 접속하기 위한 복수의 수직적 전기적 소자들을 포함하는 인터포저를 포함한다.
- [0007] 상기 복수의 수직적 전기적 소자들 각각은 TSV(through-silicon via)이다.
- [0008] 상기 제1다이와 상기 제2다이 각각은 플립 칩이다.
- [0009] 상기 제2다이는 상기 인터포저의 적어도 일부와 상기 제1다이의 일부 각각에 오버랩된다.
- [0010] 실시 예에 따라 상기 제1다이와 상기 제2다이 각각은 DRAM(dynamic random access memory), SRAM(static random access memory) 또는 RDRAM(Rambus DRAM)중 어느 하나일 수 있다.
- [0011] 다른 실시 예에 따라 상기 제1다이와 상기 제2다이 각각은 EEPROM (electrically erasable programmable read-only memory), 플래시 메모리, STT (Spin Transfer Torque RAM)-MRAM, PRAM(phase change RAM), 또는 RRAM(Resistive RAM) 중 어느 하나일 수 있다.
- [0012] 상기 제1다이와 상기 제2다이 중 어느 하나는 메모리 컨트롤러이고 상기 제1다이와 상기 제2다이 중 다른 하나는 메모리 장치이다.
- [0013] 본 발명의 실시 예에 따른 칩 온 보드 패키지는 전기적 컨택들, 상기 전기적 컨택들과 전기적으로 접속된 패키지 기판과, 상기 패키지 기판에 마운트된 제1다이와, 제2다이와, 상기 패키지 기판에 마운트되고 상기 패키지 기판과 상기 제2다이를 전기적으로 접속하기 위한 복수의 수직적 전기적 소자들을 포함하는 인터포저를 포함한다. 상기 전기적 컨택들은 볼 그리드 어레이이다.
- [0014] 상기 제1다이와 상기 제2다이 각각은 플립-칩(flip chip)이다.
- [0015] 상기 인터포저는 상기 제1다이에 인접하게 그리고 상기 패키지 기판과 상기 제2다이 사이에 배치된다.
- [0016] 본 발명의 실시 예에 따른 메모리 모듈은 접속 핀들을 포함하는 인쇄 회로 기판(printed circuit board(PCB)), 및 상기 PCB에 마운트된 적어도 하나의 제1항의 적층된 다이 패키지를 포함한다.
- [0017] 상기 메모리 모듈은 SIMM(single in-line memory module), DIMM(dual in-line memory module), LRDIMM(load

reduction dual in-line memory module), FBDIMM(Fully Buffered DIMM), UDIMM(unregistered DIMM), RDIMM(registered DIMM), 또는 SO-DIMM(small outline DIMM) 중에서 어느 하나이다.

- [0018] 본 발명의 일 실시 예에 따른 컴퓨팅 시스템은 상기 적층된 다이 패키지를 포함하는 메모리 모듈, 상기 메모리 모듈과 접속될 수 있는 메모리 모듈 슬롯, 및 상기 메모리 모듈 슬롯과 전기적으로 접속된 프로세서를 포함하며, 상기 프로세서는 상기 적층된 다이 패키지에 포함된 상기 제1다이와 상기 제2다이 중에서 적어도 하나의 동작을 제어할 수 있는 메모리 컨트롤러를 포함한다.
- [0019] 상기 컴퓨팅 시스템은 PC 또는 랩탑 컴퓨터이다.
- [0020] 본 발명의 다른 실시 예에 따른 컴퓨팅 시스템은 상기 적층된 다이 패키지, 및 상기 적층된 다이 패키지에 포함된 상기 제1다이와 상기 제2다이 중에서 적어도 어느 하나의 동작을 제어하기 위한 메모리 컨트롤러를 포함한다.
- [0021] 상기 인터포저는 상기 제1다이에 인접하게 그리고 상기 패키지 기판과 상기 제2다이 사이에 배치된다.
- [0022] 실시 예에 따라 상기 컴퓨팅 시스템은 상기 적층된 다이 패키지와 상기 메모리 컨트롤러 사이에 형성된 적어도 하나의 광 링크(optical link)를 더 포함하고, 상기 제1다이와 상기 제2다이 중에서 상기 적어도 하나는 상기 적어도 하나의 광 링크와 통신하기 위한 제1광 송수신기를 포함한다. 상기 메모리 컨트롤러는 상기 적어도 하나의 광 링크와 통신하기 위한 제2광 송수신기를 포함한다.
- [0023] 상기 메모리 컨트롤러는 애플리케이션 프로세서의 내부에 구현되고, 상기 컴퓨팅 시스템은 스마트 폰 또는 태블릿 PC이다.
- [0024] 본 발명의 실시 예에 따른 적층된 다이 패키지의 제조 방법은 패키지 기판에 제1다이와, 복수의 수직적 전기적 소자들을 포함하는 인터포저를 마운팅하는 단계, 및 상기 복수의 수직적 전기적 소자들을 이용하여 제2다이와 상기 패키지 기판을 전기적으로 접속하는 단계를 포함한다.
- [0025] 상기 인터포저는 상기 제1다이에 인접하게 그리고 상기 패키지 기판과 상기 제2다이 사이에 배치된다. 상기 제1다이와 상기 제2다이 각각은 플립-칩이다. 상기 복수의 수직적 전기적 소자들 각각은 TSV이다.

발명의 효과

- [0026] 본 발명의 실시 예에 따른 적층된 다이 패키지, 이를 포함하는 시스템 및 이의 제조 방법은 복수의 다이들을 적층하기 위해 인터포저(interposer)의 수직적 전기적 소자들을 이용함으로써 다이 패키징의 공정 비용을 감소시킬 수 있다.

도면의 간단한 설명

- [0027] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.
 - 도 1은 본 발명의 실시 예에 따른 적층된 다이 패키지의 절단 정면도(cross-sectional view)를 나타낸다.
 - 도 2는 도 1에 도시된 적층된 다이 패키지의 상면도(top view)를 나타낸다.
 - 도 3은 본 발명의 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타낸다.
 - 도 4는 본 발명의 또 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타낸다.
 - 도 5는 본 발명의 또 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타낸다.
 - 도 6은 본 발명의 또 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타낸다.
 - 도 7은 본 발명의 또 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타낸다.
 - 도 8은 도 7에 도시된 적층된 다이 패키지의 상면도를 나타낸다.
 - 도 9는 본 발명의 또 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타낸다.
 - 도 10은 도 9에 도시된 적층된 다이 패키지의 상면도를 나타낸다.
 - 도 11은 본 발명의 또 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타낸다.
 - 도 12는 도 11에 도시된 적층된 다이 패키지의 상면도를 나타낸다.

도 13은 본 발명의 또 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타낸다.

도 14는 도 13에 도시된 적층된 다이 패키지의 상면도를 나타낸다.

도 15는 본 발명의 또 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타낸다.

도 16은 도 15에 도시된 적층된 다이 패키지의 상면도를 나타낸다.

도 17은 본 발명의 또 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타낸다.

도 18은 도 1에 도시된 적층된 다이 패키지의 제조 방법을 설명하기 위한 흐름도이다.

도 19는 도 1 내지 도 17에 도시된 적층된 다이 패키지들 중 어느 하나를 포함하는 시스템의 일 실시 예를 나타낸다.

도 20은 도 1 내지 도 17에 도시된 적층된 다이 패키지들 중 어느 하나를 포함하는 시스템의 다른 실시 예를 나타낸다.

도 21은 도 1 내지 도 17에 도시된 적층된 다이 패키지들 중 어느 하나를 포함하는 시스템의 또 다른 실시 예를 나타낸다.

도 22는 도 1 내지 도 17에 도시된 적층된 다이 패키지들 중 어느 하나를 포함하는 시스템의 또 다른 실시 예를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0028] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 개념에 따른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되는 것으로 해석되어서는 아니 된다.

[0029] 본 발명의 개념에 따른 실시 예는 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있으므로 특정 실시 예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예를 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0030] 제1 및/또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

[0031] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0032] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 다수개의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0033] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0034] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다.

- [0035] 도 1은 본 발명의 실시 예에 따른 적층된 다이 패키지의 절단 정면도(cross-sectional view)를 나타내며, 도 2는 도 1에 도시된 적층된 다이 패키지의 상면도(top view)를 나타낸다.
- [0036] 도 1과 도 2를 참조하면, 적층된 다이 패키지(stacked die package; 100)는 패키지 기판(110), 제1다이(120), 제2다이(130), 및 인터포저(interposer; 140)를 포함한다.
- [0037] 실시 예에 따라, 패키지 기판(110)은 인쇄 회로 기판(printed circuit board(PCB))이라고 호칭될 수 있다. 복수의 솔더 볼들(solder balls; 111)은 패키지 기판(110)을 시스템 보드(미도시) 또는 외부 장치에 접속(attach)하는데 사용된다. 복수의 솔더 볼들(111)은 볼 그리드 어레이(ball grid array(BGA)) 또는 리드 프레임들로 대체될 수 있다.
- [0038] 제1다이(120)와 제2다이(130) 각각은 플립-칩(flip-chip) 형태로 구현될 수 있다.
- [0039] 제1다이(120)와 인터포저(140)는 패키지 기판(110)의 상면에 배치(또는 마운트)된다. 복수의 범프들(bumps; 121)은 제1다이(130)를 패키지 기판(110)과 접속하는데 사용된다. 복수의 범프들(141)은 인터포저(140)를 패키지 기판(110)과 접속하는데 사용된다.
- [0040] 인터포저(140)는 더미 다이(dummy die)일 수 있다. 실시 예에 따라 인터포저 (140)는 더미 PCB라고 호칭될 수 있다.
- [0041] 인터포저(140)는 패키지 기판(110)과 제2다이(130)를 전기적으로 접속하기 위한 수직적 전기적 소자들(vertical electrical connection means; 143)를 포함한다. 상기 수직적 전기적 소자들 각각은 TSV(through silicon via)일 수 있다.
- [0042] 인터포저(140)가 사용됨으로써, 다이들(120과 130)을 적층하기 위해 제1다이 (120)는 수직적 전기적 소자들을 필요로 하지 않는다. 즉, 제1다이(120)는 수직적 전기적 소자들을 포함하지 않는다. 인터포저(140)는 기능적인 회로(functional circuit)를 포함하지 않는다.
- [0043] 또한, 각 다이(120과 130)가 플립-칩 형태로 구현됨에 따라, 재분배층(re-distribution layer)으로 인해 유발되는 다이들의 커패시턴스(capacitance)와 레지스턴스(resistance)가 감소될 수 있다.
- [0044] 제2다이(130)는 제1다이(120)와 인터포저(140)의 위(on)에 배치된다. 복수의 마이크로범프들(microbumps; 131)은 수직적 전기적 소자들(143)을 통해 제2다이 (130)를 패키지 기판(110)과 전기적으로 접속한다.
- [0045] 제2다이(130)는 제1다이(120)와 부분적으로 오버랩되고 인터포저(140)와도 부분적으로 오버랩된다.
- [0046] 제1다이(120)와 제2다이(130) 각각은 칩(chip) 또는 집적 회로(integrated circuit(IC))라고 불릴 수 있다.
- [0047] 제1다이(120)와 제2다이(130) 각각은 데이터를 저장하는 메모리 셀 어레이와 상기 메모리 셀 어레이를 액세스하기 위한 액세스 제어 회로 등을 포함하는 기능적인 회로들을 포함한다.
- [0048] 제1다이(120)와 제2다이(130) 각각은 휘발성 메모리 장치, 예컨대 DRAM (dynamic random access memory), SRAM(static random access memory), RDRAM (Rambus DRAM), T-RAM(thyristor RAM), Z-RAM(zero capacitor RAM), 또는 TTRAM(Twin Transistor RAM)로 구현될 수 있다.
- [0049] 제1다이(120)와 제2다이(130) 각각은 불휘발성 메모리 장치, 예컨대 EEPROM (Electrically Erasable Programmable Read-Only Memory), 플래시(flash) 메모리, MRAM(Magnetic RAM),STT-MRAM (Spin Transfer Torque MRAM), Conductive bridging RAM(CBRAM), FeRAM(Ferroelectric RAM), PRAM(Phase change RAM), 저항 메모리 (Resistive RAM; RRAM), 나노튜브 RRAM(Nanotube RRAM), 폴리머 RAM(Polymer RAM: PoRAM), 나노 부유 게이트 메모리(Nano Floating Gate Memory: NFGM), 홀로그래픽 메모리 (holographic memory), 분자 전자 메모리 소자(Molecular Electronics Memory Device), 또는 절연 저항 변화 메모리(Insulator Resistance Change Memory)로 구현될 수 있다.
- [0050] 또 다른 실시 예에 따라, 제1다이(120)와 제2다이(130) 중에서 어느 하나는 메모리 컨트롤러일 수 있고 제1다이 (120)와 제2다이(130) 중에서 다른 하나는 메모리 장치일 수 있다.
- [0051] 적층된 다이 패키지(100)는 BGAs(Ball Grid Arrays), CSPs(Chip Scale Packages), PLCC(Plastic Leaded Chip Carrier), PDIP(Plastic Dual In-Line Package), COB(Chip On Board), CERDIP(CERamic Dual In-Line Package), MQFP (plastic metric quad flat pack), TQFP(Thin Quad Flat Pack), SOIC(small-outline integrated circuit), SSOP(shrink small outline package), TSOP(thin small outline), SIP(system in

package), MCP(multi chip package), WLP(wafer-level package), 또는 WSP(wafer-level processed stack package) 등과 같은 패키지로 구현될 수 있다.

- [0052] 도 3은 본 발명의 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타낸다.
- [0053] 도 3을 참조하면, 적층된 다이 패키지(300)는 패키지 기판(310), 복수의 다이들(320, 330, 및 350), 및 인터포저(340)를 포함한다.
- [0054] 복수의 솔더 볼들(311)은 패키지 기판(310)을 시스템 보드(미도시) 또는 외부 장치에 접속하는데 사용된다.
- [0055] 복수의 다이들(320와 350)과 인터포저(340)는 패키지 기판(310)의 위에 배치된다. 복수의 범프들(321, 341 및 351) 각각은 복수의 다이들(320와 350) 각각과 인터포저(340)를 패키지 기판(110)에 접속하는데 사용된다.
- [0056] 제2다이(330)는 제1다이(320), 인터포저(340), 및 제3다이(350)의 위에 배치된다. 인터포저(340)는 제2다이(330)와 패키지 기판(310)을 전기적으로 접속하기 위한 수직적 전기적 소자들(343)을 포함한다. 복수의 마이크로범프들(331)은 수직적 전기적 소자들(343)을 통해 제2다이(330)를 패키지 기판(310)과 전기적으로 접속한다.
- [0057] 적층된 다이 패키지(300)의 각 구성요소들(320, 330, 340 및 350)은 도 1에 도시된 적층된 다이 패키지(100)의 각 구성요소들(120, 130 및 140)과 기능이 유사하므로 이에 대한 자세한 설명은 생략한다.
- [0058] 도 4는 본 발명의 또 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타낸다.
- [0059] 도 4를 참조하면, 적층된 다이 패키지(400)는 패키지 기판(410), 복수의 다이들(420, 430, 및 450), 및 복수의 인터포저들(440 및 460)을 포함한다.
- [0060] 제1다이(420)와 복수의 인터포저들(440 및 460)은 패키지 기판(410) 위에 배치된다.
- [0061] 제2다이(430)는 제1인터포저(440)와 제1다이(420) 위에 배치된다. 제1인터포저(440)는 제2다이(430)와 패키지 기판(410)을 전기적으로 접속하기 위한 제1수직 적 전기적 소자들(443)을 포함한다.
- [0062] 제3다이(450)는 제1다이(420)와 제2인터포저(460) 위에 배치된다. 제2인터포저(460)는 제3다이(450)와 패키지 기판(410)을 전기적으로 접속하기 위한 제2수직 적 전기적 소자들(463)을 포함한다.
- [0063] 적층된 다이 패키지(400)의 각 구성요소들(410, 411, 420, 421, 430, 431, 440, 441, 443, 450, 451, 460, 461 및 463)은 도 1에 도시된 적층된 다이 패키지(100)의 각 구성요소들(110, 111, 120, 121, 130, 131, 140, 141 및 143)과 기능이 유사하므로 이에 대한 자세한 설명은 생략한다.
- [0064] 도 5는 본 발명의 또 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타낸다.
- [0065] 도 5를 참조하면, 적층된 다이 패키지(500)는 패키지 기판(510), 복수의 다이들(520, 530, 550, 560, 및 580), 및 복수의 인터포저들(540 및 570)을 포함한다.
- [0066] 복수의 다이들(520, 550, 및 560)과 복수의 인터포저들(540 및 570)은 패키지 기판(510) 위에 배치된다.
- [0067] 제2다이(530)는 제1다이(520), 제1인터포저(540), 및 제3다이(550) 위에 배치된다. 제1인터포저(540)는 제2다이(530)와 패키지 기판(510)을 전기적으로 접속하기 위한 제1수직적 전기적 소자들(543)을 포함한다.
- [0068] 제5다이(580)는 제3다이(550), 제2인터포저(570), 및 제4다이(560) 위에 배치된다. 제2인터포저(570)는 제5다이(580)와 패키지 기판(510)을 전기적으로 접속하기 위한 제2수직적 전기적 소자들(573)을 포함한다.
- [0069] 적층된 다이 패키지(500)의 각 구성요소들(510, 511, 520, 521, 530, 531, 540, 541, 543, 550, 551, 560, 561, 570, 571, 573, 580 및 581)은 도 1에 도시된 적층된 다이 패키지(100)의 각 구성요소들(110, 111, 120, 121, 130, 131, 140, 141 및 143)과 기능이 유사하므로 이에 대한 자세한 설명은 생략한다.
- [0070] 도 6은 본 발명의 또 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타낸다.
- [0071] 도 6을 참조하면, 적층된 다이 패키지(600)는 패키지 기판(610), 복수의 다이들(620, 630, 및 660) 및 복수의 인터포저들(640과 650)을 포함한다.
- [0072] 제1다이(620)와 제1인터포저(640)는 패키지 기판(610) 위에 배치된다.
- [0073] 제2다이(630)는 제1다이(620)와 제1인터포저(640) 위에 배치된다.
- [0074] 제1인터포저(640)는 제1수직적 전기적 소자들(643)과 제2수직적 전기적 소자들(645)을 포함한다. 제1수직적 전

기적 소자들(643)은 제2다이(630)와 패키지 기관(610)을 전기적으로 접속하기 위해 이용된다. 제2인터포저(650)는 제1인터포저(640) 위에 적층된다. 제2인터포저(650)는 제3수직적 전기적 소자들(653)을 포함한다.

- [0075] 제3다이(660)는 제2다이(630)와 제2인터포저(650) 위에 배치된다. 제2수직 적 전기적 소자들(645)과 제3수직적 전기적 소자들(653)은 제3다이(660)와 패키지 기관(610)을 전기적으로 접속하기 위해 이용된다.
- [0076] 적층된 다이 패키지(600)의 각 구성요소들(610, 611, 620, 621, 630, 631, 640, 641, 643, 645, 650, 651, 653, 660 및 661)은 도 1에 도시된 적층된 다이 패키지(100)의 각 구성요소들(110, 111, 120, 121, 130, 131, 140, 141 및 143)과 기능이 유사하므로 이에 대한 자세한 설명은 생략한다.
- [0077] 도 7은 본 발명의 또 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타내며, 도 8은 도 7에 도시된 적층된 다이 패키지의 상면도를 나타낸다.
- [0078] 도 7과 도 8을 참조하면, 적층된 다이 패키지(700)는 패키지 기관(710), 복수의 다이들(720, 730, 750, 760 및 770) 및 인터포저(740)를 포함한다. 실시 예에 따라 적층된 다이 패키지(700)는 적어도 하나 이상의 인터포저를 더 포함할 수 있다.
- [0079] 복수의 다이들(720, 750, 760 및 770)과 인터포저(740)는 패키지 기관(710) 위에 배치된다. 인터포저(740)는 제2다이(730)와 패키지 기관(710)을 전기적으로 접속하기 위한 수직적 전기적 소자들(743)을 포함한다.
- [0080] 적층된 다이 패키지(700)의 각 구성요소들(710, 711, 720, 721, 730, 731, 740, 741, 743, 750 및 751)은 도 1에 도시된 적층된 다이 패키지(100)의 각 구성요소들(110, 111, 120, 121, 130, 131, 140, 141 및 143)과 기능이 유사하므로 이에 대한 자세한 설명은 생략한다.
- [0081] 도 9는 본 발명의 또 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타내며, 도 10은 도 9에 도시된 적층된 다이 패키지의 상면도를 나타낸다.
- [0082] 도 9와 도 10을 참조하면, 적층된 다이 패키지(900)는 패키지 기관(910), 복수의 다이들(920, 930, 940, 950 및 960) 및 복수의 인터포저들(970과 980)을 포함한다.
- [0083] 복수의 다이들(920과 940)과 제1인터포저(970)는 패키지 기관(910) 위에 배치된다. 제2다이(930)는 제1다이(920)와 제1인터포저(970) 위에 배치된다. 제2인터포저(980)는 제1인터포저(970) 위에 배치된다. 제4다이(950)는 제1인터포저(970)와 제3다이(940) 위에 배치된다.
- [0084] 제1인터포저(970)는 제1수직적 전기적 소자들(973), 제2수직적 전기적 소자들(975) 및 제3수직적 전기적 소자들(977)을 포함한다. 제1수직적 전기적 소자들(973)은 패키지 기관(910)과 제2다이(930)를 전기적으로 접속하기 위해 이용된다. 제3수직적 전기적 소자들(977)은 패키지 기관(910)과 제4다이(950)를 전기적으로 접속하기 위해 이용된다.
- [0085] 제5다이(960)는 제2다이(930), 제2인터포저(980) 및 제4다이(950) 위에 배치된다. 제2인터포저(980)는 제4수직적 전기적 소자들(983)을 포함한다.
- [0086] 제2수직적 전기적 소자들(975)과 제4수직적 전기적 소자들(983)은 제5다이(960)와 패키지 기관(910)을 전기적으로 접속하기 위해 이용된다.
- [0087] 적층된 다이 패키지(900)의 각 구성요소들(910, 911, 920, 921, 930, 931, 940, 941, 950, 951, 960, 961, 970, 971, 973, 975, 977, 980, 981 및 983)은 도 1에 도시된 적층된 다이 패키지(100)의 각 구성요소들(110, 111, 120, 121, 130, 131, 140, 141 및 143)과 기능이 유사하므로 이에 대한 자세한 설명은 생략한다.
- [0088] 도 11은 본 발명의 또 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타내며, 도 12는 도 11에 도시된 적층된 다이 패키지의 상면도를 나타낸다.
- [0089] 도 11과 도 12를 참조하면, 적층된 다이 패키지(1100)는 패키지 기관(1110), 복수의 다이들(1120, 1130, 1140, 1160, 1190 및 1200) 및 복수의 인터포저들(1150, 1170 및 1180)을 포함한다.
- [0090] 복수의 다이들(1120, 1140, 및 1160)과 복수의 인터포저들(1150과 1170)은 패키지 기관(1110) 위에 배치된다. 제1인터포저(1150)는 수직적 전기적 소자들(1153)을 포함한다. 수직적 전기적 소자들(1153)은 제2다이(1130)와 패키지 기관(1110)을 전기적으로 접속하기 위해 이용된다. 제2인터포저(1170)는 수직적 전기적 소자들(1173)을 포함한다. 수직적 전기적 소자들(1173)은 제5다이(1190)와 패키지 기관(1110)을 전기적으로 접속하기 위해 이용된다.

- [0091] 제2다이(1130)는 제1다이(1120), 제1인터포저(1150), 및 제3다이(1140) 위에 배치된다. 제2인터포저(1180)는 제3다이(1140) 위에 배치된다. 제3인터포저(1180)는 수직적 전기적 소자들(1183)을 포함한다. 수직적 전기적 소자들(1183)은 제6다이(1200)와 제3다이(1140)을 전기적으로 접속하기 위해 이용된다. 제5다이(1190)는 제3다이(1140), 제2인터포저(1180), 및 제4다이(1160) 위에 배치된다.
- [0092] 제6다이(1200)는 제2다이(1130), 제3인터포저(1180), 및 제5다이(1190) 위에 배치된다.
- [0093] 적층된 다이 패키지(1100)의 각 구성요소들(1110, 1111, 1120, 1121, 1130, 1131, 1140, 1141, 1150, 1151, 1153, 1160, 1161, 1170, 1171, 1173, 1180, 1183, 1190, 1191, 1200)은 도 1에 도시된 적층된 다이 패키지(100)의 각 구성요소들(110, 111, 120, 121, 130, 131, 140, 141 및 143)과 기능이 유사하므로 이에 대한 자세한 설명은 생략한다.
- [0094] 도 13은 본 발명의 또 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타내며, 도 14는 도 13에 도시된 적층된 다이 패키지의 상면도를 나타낸다.
- [0095] 도 13과 도 14를 참조하면, 적층된 다이 패키지(1300)는 패키지 기관(1315), 인터포저(1317) 및 복수의 다이들(1320과 1330)을 포함한다.
- [0096] 제1다이(1320)와 인터포저(1317)은 패키지 기관(1315) 위에 배치된다. 실시 예에 따라 패키지 기관(1315)과 인터포저(1317)는 하나의 PCB로 구현될 수 있다. 실시 예에 따라 인터포저(1317)는 스텝(step) PCB로 호칭될 수 있다. 제2다이(1330)는 제1다이(1320)와 인터포저(1317) 위에 배치된다. 인터포저(1317)는 제2다이(1330)와 패키지 기관(1315)을 전기적으로 접속하기 위한 수직적 전기적 소자들(1319)을 포함한다.
- [0097] 적층된 다이 패키지(1300)의 각 구성요소들(1311, 1315, 1317, 1320, 1321, 1330 및 1331)은 도 1에 도시된 적층된 다이 패키지(100)의 각 구성요소들(110, 111, 120, 121, 130, 131, 140, 141 및 143)과 기능이 유사하므로 이에 대한 자세한 설명은 생략한다.
- [0098] 도 15는 본 발명의 또 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타내며, 도 16은 도 15에 도시된 적층된 다이 패키지의 상면도를 나타낸다.
- [0099] 도 15와 도 16을 참조하면, 적층된 다이 패키지(1500)는 패키지 기관(1510), 복수의 인터포저들(1520과 1530) 및 복수의 다이들(1550, 1560, 1570, 1580 및 1590)을 포함한다.
- [0100] 복수의 다이들(1550과 1570)과 제1인터포저(1520)는 패키지 기관(1510) 위에 배치된다. 제2다이(1560)는 제1다이(1550)와 제1인터포저(1520) 위에 배치된다.
- [0101] 제2인터포저(1530)는 제1인터포저(1520) 위에 배치된다. 제4다이(1580)는 제1인터포저(1520)와 제3다이(1570) 위에 배치된다.
- [0102] 제1인터포저(1520)는 제1수직적 전기적 소자들(1521), 제2수직적 전기적 소자들(1523) 및 제3수직적 전기적 소자들(1525)을 포함한다. 제1수직적 전기적 소자들(1521)은 제2다이(1560)와 패키지 기관(1510)을 전기적으로 접속하기 위해 이용된다. 제3수직적 전기적 소자들(1525)은 제4다이(1580)와 패키지 기관(1510)을 전기적으로 접속하기 위해 이용된다.
- [0103] 제5다이(1590)는 제2다이(1560), 제2인터포저(1530) 및 제4다이(1580) 위에 배치된다. 제2인터포저(1530)는 제4수직 접속 수단(1531)을 포함한다. 제2수직적 전기적 소자들(1523)과 제4수직적 전기적 소자들(1531)은 제5다이(1590)와 패키지 기관(1510)을 전기적으로 접속하기 위해 이용된다.
- [0104] 실시 예에 따라 패키지 기관(1510)과 복수의 인터포저들(1520과 1530)은 하나의 PCB로 구현될 수 있다. 실시 예에 따라 복수의 인터포저들(1520과 1530) 각각은 스텝 PCB로 호칭될 수 있다.
- [0105] 도 17은 본 발명의 또 다른 실시 예에 따른 적층된 다이 패키지의 절단 정면도를 나타낸다.
- [0106] 도 17을 참조하면, 적층된 다이 패키지(1700)는 패키지 기관(1710), 제1다이(1720), 제2다이(1730), 및 인터포저(1740), 보드(board; 1760)를 포함한다. 실시 예에 따라 적층된 다이 패키지(1700)는 칩 온 보드 패키지(chip on board package)라고 호칭될 수 있다.
- [0107] 복수의 솔더 볼들(solder balls; 1711)은 보드(1760)와 전기적으로 접속하기 위한 전기적 컨택(contact)으로 이용된다. 상기 전기적 컨택들은 볼 그리드 어레이일 수 있다.

- [0108] 제1다이(1720)와 인터포저(1740)는 패키지 기판(1710) 위에 배치된다. 인터포저(1740)는 패키지 기판(1710)과 제2다이(1730)를 전기적으로 접속하기 위해 수직적 전기적 소자들(1743)를 포함한다. 제2다이(1730)는 제1다이(1720)와 인터포저(1740) 위에 배치된다.
- [0109] 적층된 다이 패키지(1700)의 각 구성요소들(1710, 1711, 1720, 1721, 1730, 1731, 1740, 1741 및 1743)은 도 1에 도시된 적층된 다이 패키지(100)의 각 구성요소들(110, 111, 120, 121, 130, 131, 140, 141 및 143)과 기능이 유사하므로 이에 대한 자세한 설명은 생략한다.
- [0110] 도 18은 도 1에 도시된 적층된 다이 패키지의 제조 방법을 설명하기 위한 흐름도이다.
- [0111] 도 1과 도 18을 참조하면, 패키지 기판(110)에 제1다이(120)와, 복수의 수직적 전기적 소자들(143)을 포함하는 인터포저(140)가 마운팅된다(S10).
- [0112] 복수의 수직적 전기적 소자들(143)을 이용하여 제2다이(130)와 패키지 기판(110)을 전기적으로 접속한다(S20).
- [0113] 인터포저(140)는 제1다이(120)에 인접하게 그리고 패키지 기판(110)과 제2다이(130) 사이에 배치된다. 제1다이(120)와 제2다이(130) 각각은 플립-칩이다.
- [0114] 복수의 수직적 전기적 소자들(143) 각각은 TSV이다.
- [0115] 설명의 편의를 위해 도 1에 도시된 적층된 다이 패키지(100)의 제조 방법이 설명되었으나 도 3 내지 도 17에 도시된 적층된 다이 패키지들도 도 1과 유사하게 제조될 수 있다.
- [0116] 도 19는 도 1 내지 도 17에 도시된 적층된 다이 패키지들 중 어느 하나를 포함하는 시스템의 일 실시 예를 나타낸다.
- [0117] 도 19를 참조하면, 시스템(1900), 예컨대 메모리 모듈은 인쇄회로 기판(PCB; 1910)에 마운트된 메모리 장치들(1912-1~1912-k, k는 자연수)을 포함할 수 있다. PCB(1910)는 접속핀들(1914)을 포함한다.
- [0118] 메모리 장치들(1912-1~1912-k) 각각은 도 1 내지 도 17에 도시된 적층된 다이 패키지 중 어느 하나이다.
- [0119] 상기 메모리 모듈은 SIMM(single in-line memory module), DIMM(dual in-line memory module), LRDIMM(load reduction dual in-line memory module), FBDIMM(Fully Buffered DIMM), UDIMM(unregistered DIMM), RDIMM(registered DIMM), 또는 SO-DIMM(small outline DIMM)일 수 있다.
- [0120] 도 20은 도 1 내지 도 17에 도시된 적층된 다이 패키지들 중 어느 하나를 포함하는 시스템의 다른 실시 예를 나타낸다.
- [0121] 도 19와 도 20을 참조하면, 시스템(2000)은 PC(personal computer), 랩탑 (laptop) 컴퓨터, 또는 서버로 구현될 수 있다.
- [0122] 시스템(2000)은 메인 보드(main board; 2010)에 장착된 메모리 모듈 슬롯 (memory module slot; 2013)과 프로세서(2020)를 포함한다. 메모리 모듈(1900)의 메모리 장치들(1912-1~1912-k) 각각은 메모리 모듈 슬롯(2013)과 메인 보드(2010)를 통하여 프로세서(2020)와 데이터를 주거나 받을 수 있다. 메모리 장치들(1912-1~1912-k) 각각은 도 1 내지 도 17에 도시된 적층된 다이 패키지 중 어느 하나이다. 프로세서(2020)는 칩 셋(chip set)일 수 있다. 프로세서(2020)는 메모리 장치들(1912-1~1912-k)을 제어하기 위한 메모리 컨트롤러(2021)를 포함할 수 있다.
- [0123] 도 21은 도 1 내지 도 17에 도시된 적층된 다이 패키지들 중 어느 하나를 포함하는 시스템의 또 다른 실시 예를 나타낸다.
- [0124] 도 21에 도시된 바와 같이, 시스템(2100)은 모바일 컴퓨팅 장치(mobile computing device)로 구현될 수 있다.
- [0125] 상기 모바일 컴퓨팅 장치는 랩탑 컴퓨터, 이동 전화기, 스마트 폰(smart phone), 태블릿(tablet) PC, PDA(personal digital assistant), EDA(enterprise digital assistant), 디지털 스틸 카메라(digital still camera), PMP(portable multimedia player), PND(personal navigation device 또는 portable navigation device), 휴대용 게임 콘솔(handheld game console), 또는 e-북(e-book)으로 구현될 수 있다.
- [0126] 애플리케이션 프로세서(application processor(AP); 2110), 예컨대 모바일 애플리케이션 프로세서(2110)는 각 요소(2115, 2120, 2145, 및 2150)의 동작을 제어할 수 있다.

- [0127] 각 메모리 장치(2115와 2221)는 도 1 내지 도 17에 도시된 적층된 다이 패키지 중 어느 하나이다.
- [0128] 애플리케이션 프로세서(2110)의 내부에 구현된 메모리 컨트롤러(2111)는 메모리 장치(2115)에 대한 액세스 동작을 제어할 수 있다.
- [0129] 애플리케이션 프로세서(2110)의 내부에 구현된 디스플레이 드라이버(2113)는 디스플레이(2150)의 동작을 제어할 수 있다. 디스플레이(2150)는 TFT-LCD(Thin film transistor liquid crystal display), LED(light-emitting diode) 디스플레이, OLED(organic LED) 디스플레이, AMOLED(active-matrix OLED) 디스플레이, 또는 플렉시블 디스플레이(flexible display)로 구현될 수 있다.
- [0130] 모뎀(2120)은 무선 송수신기(2130)와 애플리케이션 프로세서(2110) 사이에서 주고받는 데이터를 인터페이싱(interfacing)할 수 있다. 모뎀(2120)에 의해 처리된 데이터는 메모리 장치(2221)에 저장되거나 애플리케이션 프로세서(2110)로 전송될 수 있다.
- [0131] 안테나(ANT)를 통하여 수신된 무선 데이터는 무선 송수신기(2130)를 통하여 모뎀(2120)으로 전송되고, 모뎀(2120)으로부터 출력된 데이터는 무선 송수신기(2130)에 의해 무선 데이터로 변환되고 변환된 무선 데이터는 안테나(ANT)를 통하여 출력된다.
- [0132] 이미지 신호 프로세서(2145)는 카메라(또는 이미지 센서; 2140)로부터 출력된 신호를 처리하고, 처리된 데이터를 애플리케이션 프로세서(2110)로 전송할 수 있다.
- [0133] 애플리케이션 프로세서(2110)는 웹 브라우징(web browsing), 이-메일 액세스 (e-mail access), 비디오 재생(video playback), 문서 편집(document editing), 및 이미지 편집(image editing) 중에서 적어도 하나의 수행을 제어할 수 있다.
- [0134] 도 22는 도 1 내지 도 17에 도시된 적층된 다이 패키지들 중 어느 하나를 포함하는 시스템의 또 다른 실시 예를 나타낸다.
- [0135] 도 22를 참조하면, 메모리 시스템은 메모리 컨트롤러(2200A)와 메모리 장치(2300A)를 포함한다.
- [0136] 메모리 컨트롤러(2200A)는 컨트롤 유닛(2210A)과, 전기 신호를 광신호로 변경해 주는 전광 변환 장치(electrical-to-optical(E/O))를 포함하는 광 송신기(2220A)와 광 신호를 전기 신호로 변경해 주는 광전 변환 장치(optical-to-electrical(O/E))를 포함하는 광 수신기(2230A)를 포함한다.
- [0137] 메모리 장치(2300A)는 MRAM 코어(2310A), 광신호를 전기 신호로 변경해 주는 광전 변환 장치(O/E)를 포함하는 광 수신기(2320A), 및 전기 신호를 광신호로 변경해 주는 전광 변환 장치(E/O)를 포함하는 광 송신기(2330A)를 포함한다.
- [0138] 메모리 장치(2300A)는 도 1 내지 도 17에 도시된 적층된 다이 패키지 중 어느 하나에 포함된 다이이다.
- [0139] 메모리 컨트롤러(2200A)와 메모리 장치(2300A) 사이에는 데이터를 송수신하기 위한 옵티컬 링크 0(Optical Link 0; 2500)과 옵티컬 링크 1(Optical Link 1; 2501)이 연결된다. 다른 실시 예에 따라, 메모리 컨트롤러(2200A)와 메모리 장치(2300A)는 하나의 옵티컬 링크를 통하여 데이터를 송수신을 할 수 있다.
- [0140] 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

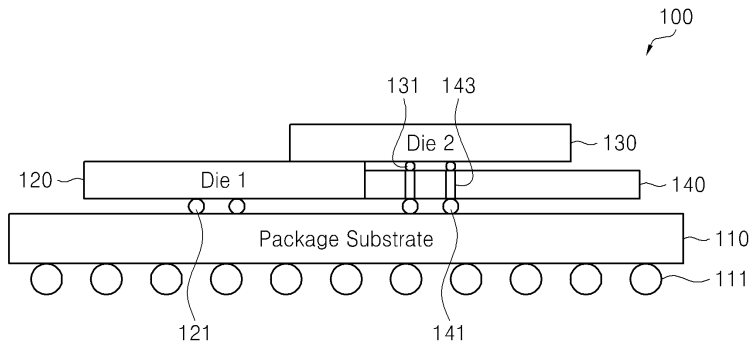
- [0141] 100; 적층된 다이 패키지
- 110; 패키지 기판
- 111; 복수의 솔더 볼들
- 120; 제1다이
- 121; 복수의 범프들
- 130; 제2다이

131; 복수의 마이크로범프들

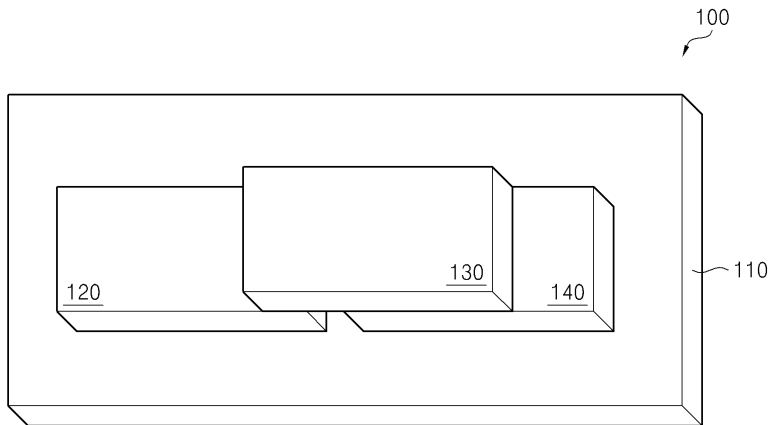
140; 인터포저

도면

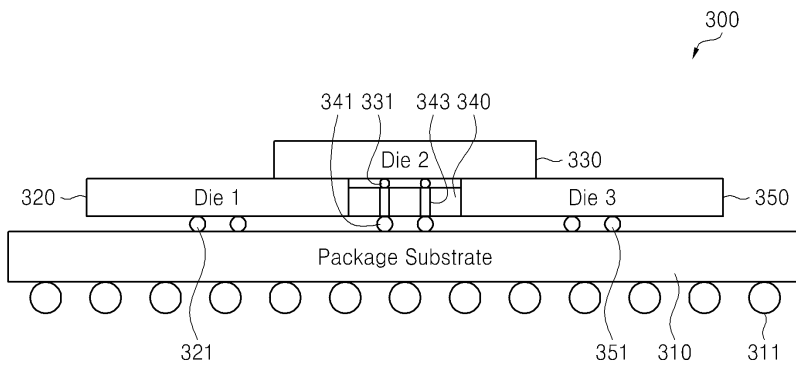
도면1



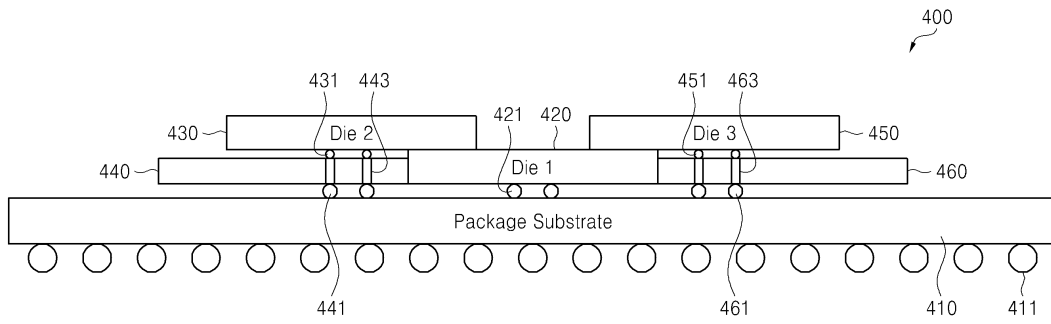
도면2



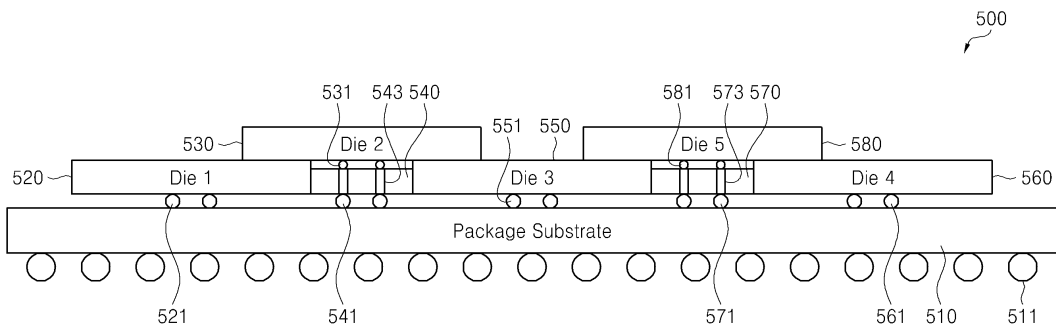
도면3



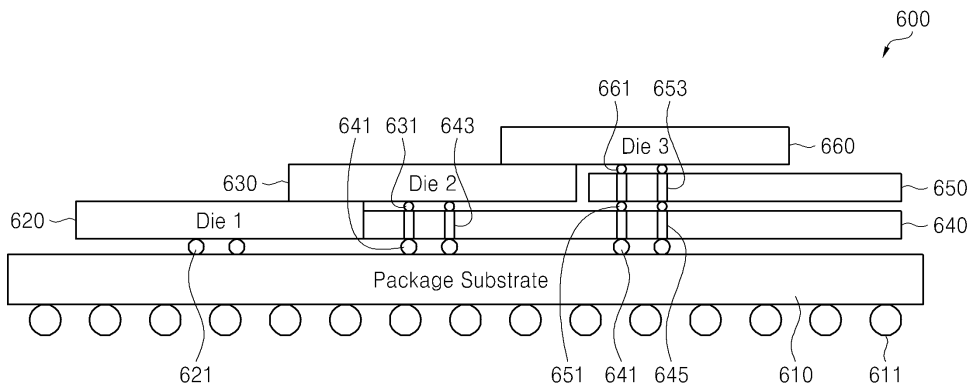
도면4



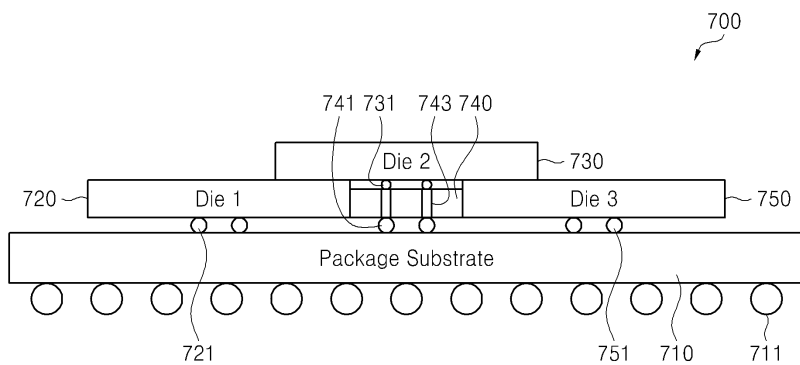
도면5



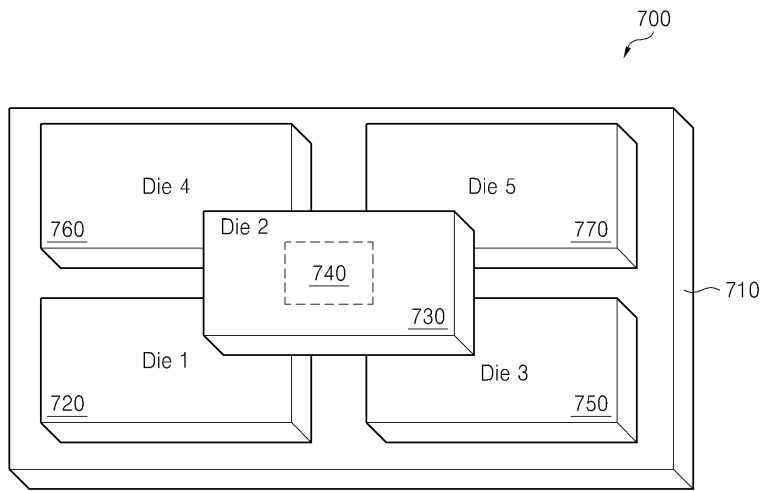
도면6



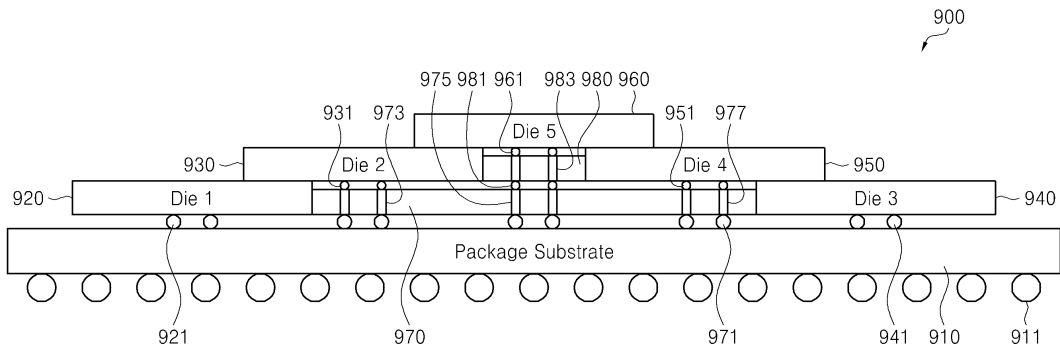
도면7



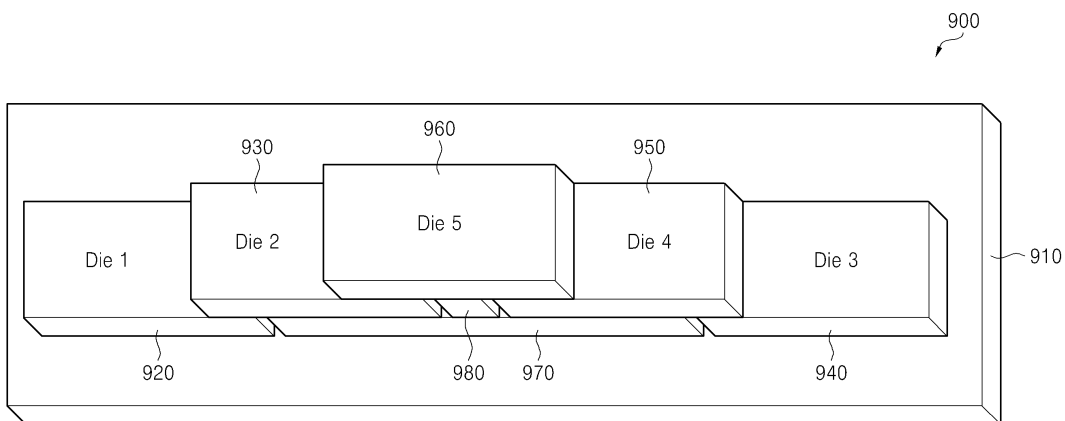
도면8



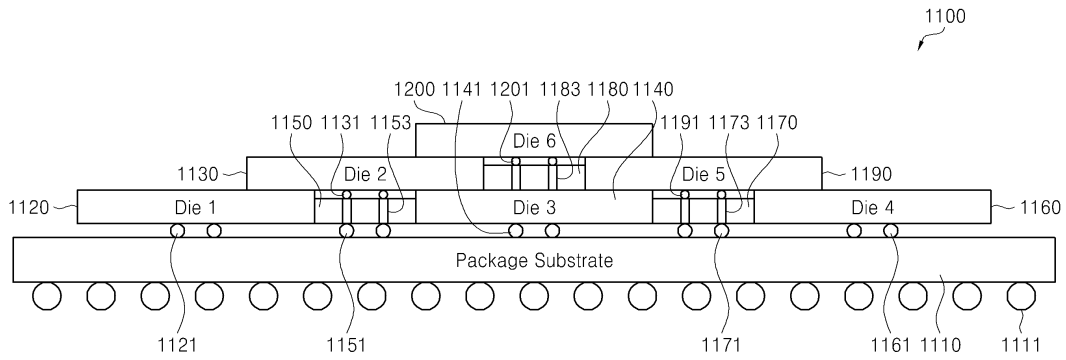
도면9



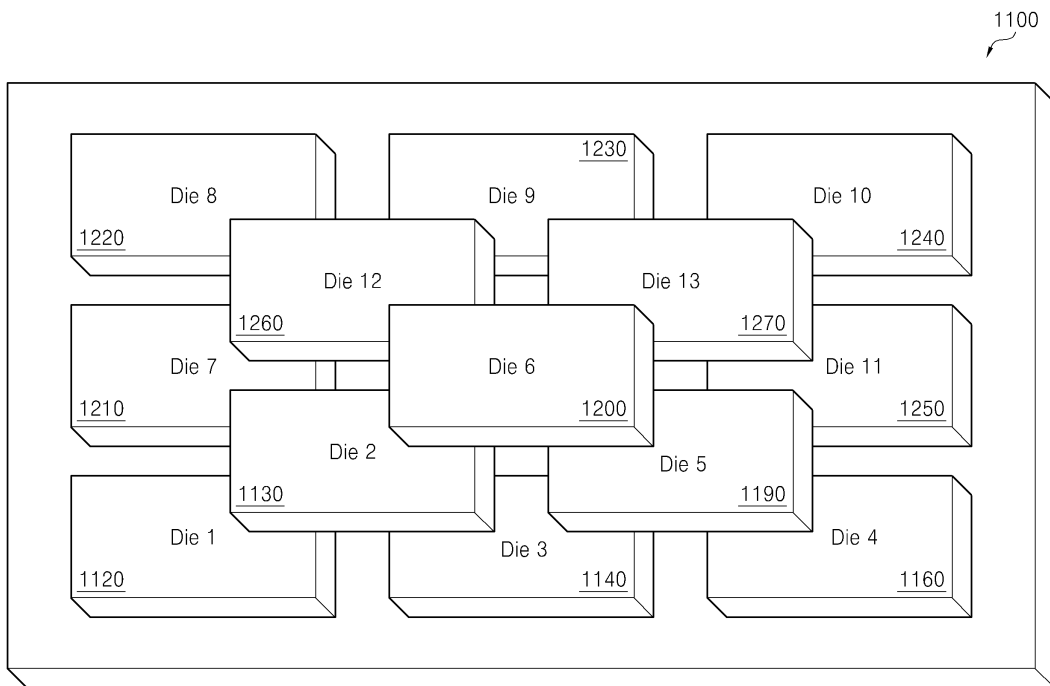
도면10



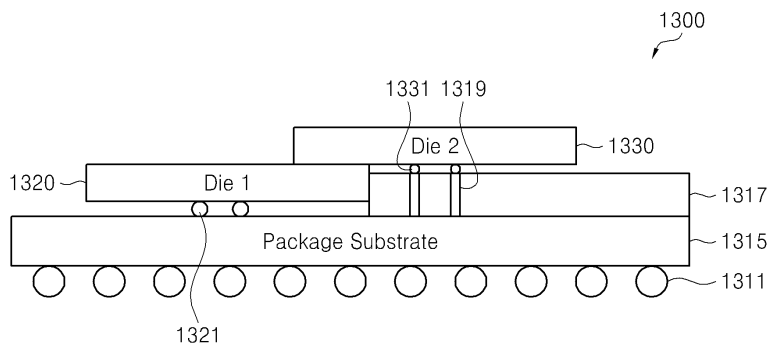
도면11



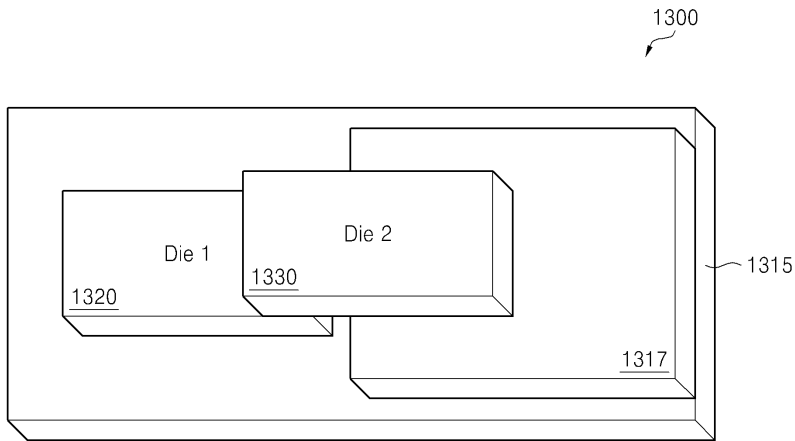
도면12



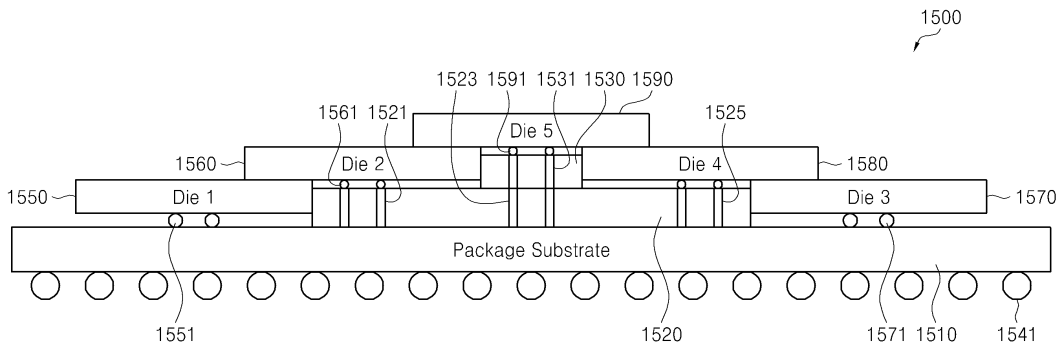
도면13



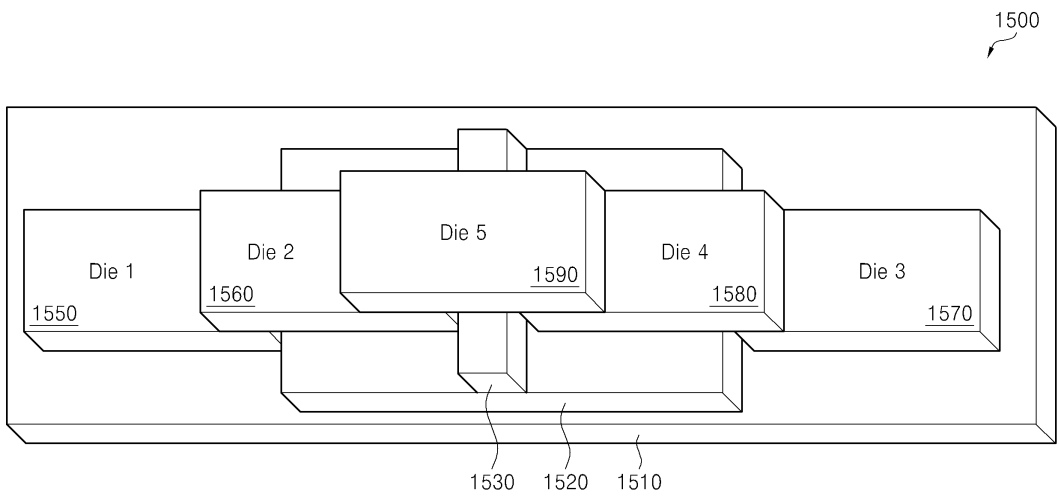
도면14



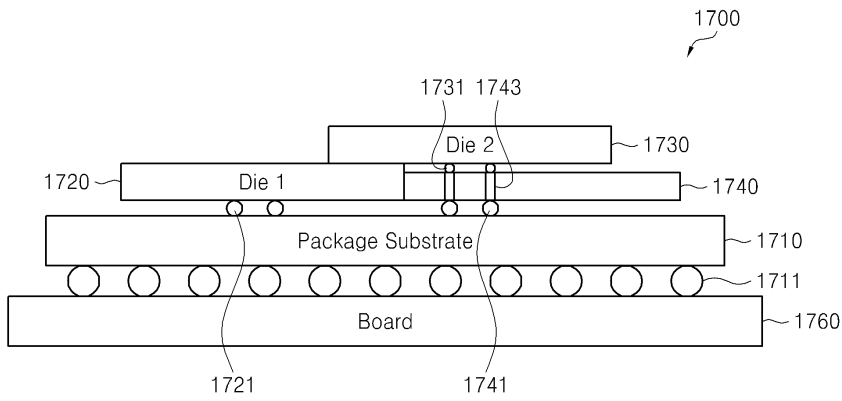
도면15



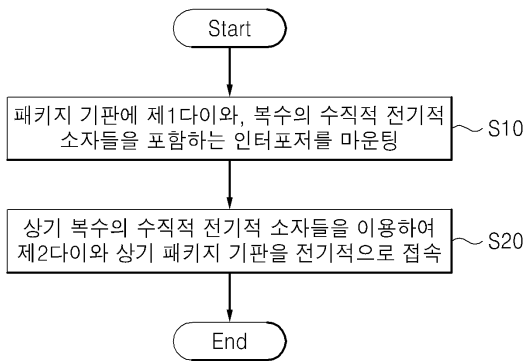
도면16



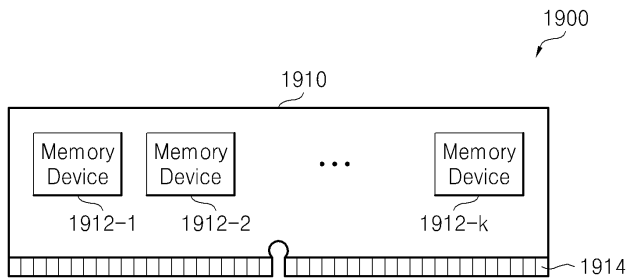
도면17



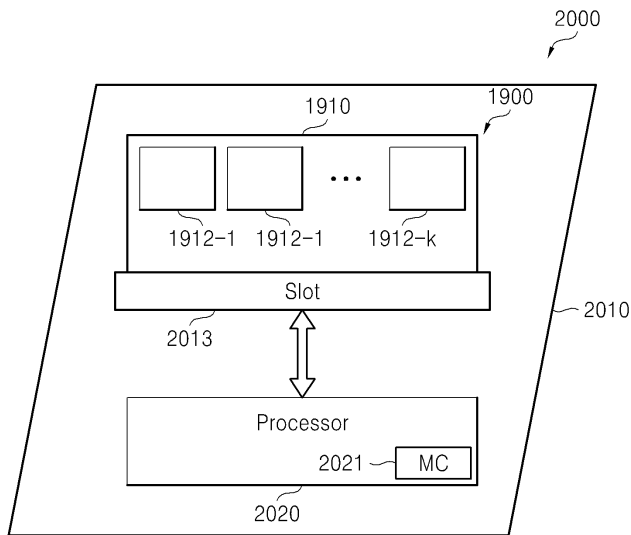
도면18



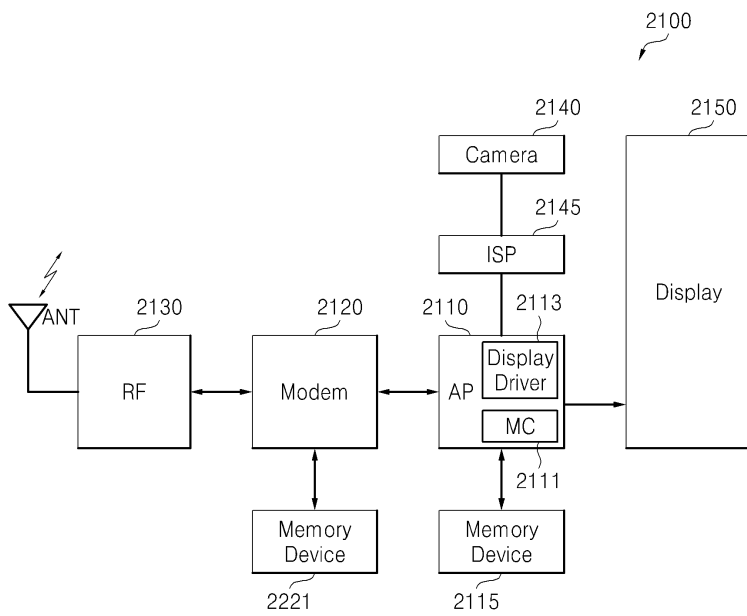
도면19



도면20



도면21



도면22

