

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 動作が安定した半導体装置を提供する。第1トランジスタと、第2トランジスタと、第3トランジスタと、第1容量素子と、を有する、半導体装置である。第3トランジスタのソース及びドレインの一方は、第2トランジスタのソース及びドレインの一方に電氣的に接続されている。また、第3トランジスタのソース及びドレインの他方は、第1トランジスタのゲートと、第1容量素子の第1端子と、に電氣的に接続されている。また、第1トランジスタのソース及びドレインの一方は、第2トランジスタのゲートと、第1容量素子の第2端子と、に電氣的に接続されている。なお、表示デバイスに対して画像を表示させるための信号を送信する機能を有する駆動回路に、当該半導体装置を設けることができる。

明細書

発明の名称

半導体装置、表示装置、及び電子機器

技術分野

[0001]

本発明の一態様は、半導体装置、表示装置、及び電子機器に関する。

[0002]

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、動作方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ又は組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、センサ、プロセッサ、電子機器、システム、それらの駆動方法、それらの製造方法又はそれらの検査方法を一例として挙げることができる。

背景技術

[0003]

近年、例えば、VR（仮想現実）、AR（拡張現実）などのXR（Extended Reality又はCross Reality）向けの電子機器、携帯電話（例えば、スマートフォン）、タブレット型情報端末、ノート型PC（パーソナルコンピュータ）が有する表示装置において、様々な面で改良が進められている。例えば、画面解像度を大きくする、色再現性（NTSC比）を高くする、駆動回路を小さくする、消費電力を低減する、等の表示装置の開発が行われている。

[0004]

例えば、表示装置の表示品位を高くするため、画素に含まれる駆動トランジスタの特性のばらつきを低減する回路などの開発も進められている。特に、駆動トランジスタのしきい値電圧を補正する回路を有する画素回路の発明が、特許文献1に記載されている。

[0005]

また、表示装置が有する画素回路に含まれるスイッチング素子として、酸化物半導体を半導体薄膜としたトランジスタを適用する技術などが挙げられる。

[0006]

トランジスタに適用可能な半導体薄膜として、シリコン系半導体材料が広く知られている。また、シリコン系半導体材料以外の材料としては、酸化物半導体が注目されている。酸化物半導体としては、例えば、酸化インジウム、酸化亜鉛などの一元系金属の酸化物のみでなく、多元系金属の酸化物も知られている。多元系金属の酸化物の中でも、特に、In-Ga-Zn酸化物（以下、IGZOとも呼ぶ）に関する研究が盛んに行われている。

[0007]

IGZOを活性層として用いたトランジスタは極めて低いオフ電流を持ち（非特許文献1参照）、その特性を利用したLSI（Large Scale Integration）および表示装置が報告されている（非特許文献2及び非特許文献3参照）。また、特許文献2には、IGZOを活性層に含むトランジスタを、表示装置の画素回路に用いる発明が開示されている。

[先行技術文献]

[特許文献]

[0008]

[特許文献1] 特開2017-10000号公報

[特許文献2] 特開2010-156963号公報

[非特許文献]

[0009]

[非特許文献1] K. Kato et al., "Japanese Journal of Applied Physics", 2012, volume 51, p. 021201-1-021201-7

[非特許文献2] S. Matsuda et al., "2015 Symposium on VLSI Technology Digest of Technical Papers", 2015, p. T216-T217

[非特許文献3] S. Amano et al., "SID Symposium Digest of Technical Papers", 2010, volume 41, issue 1, p. 626-629

発明の概要

発明が解決しようとする課題

[0010]

一般的には、表示装置に備わるソースドライバ回路又はゲートドライバ回路といった駆動回路を駆動させることによって、当該表示装置の表示部に画像を表示させることができる。当該駆動回路は、各行又は各列に所定の信号を送信するため、シフトレジスタが設けられている。

[0011]

シフトレジスタは、連続で接続された保持回路において、保持回路に入力された信号を隣の保持回路に逐次的に送信する構成となっている。複数の保持回路のうちの一の保持回路に動作不良が起きた時、その保持回路からの出力信号の波形に欠け、なまりなどの不良が現れる場合がある。保持回路から出力された信号の波形に不良が現れたとき、当該信号が次段以降の保持回路に入力されるため、シフトレジスタ全体にその影響が波及する。このため、シフトレジスタから出力される信号においても、その波形に欠け、なまりなどの不良が現れる場合がある。

[0012]

特に、シフトレジスタに含まれる保持回路において、信号の情報を電位として保持する保持ノードにノイズが入力されることによって、当該保持回路から出力される信号の波形に不良が現れる場合がある。これにより、シフトレジスタ内の後段の保持回路に、欠け、なまりなどの不良を含む信号が伝達してしまう傾向がある。

[0013]

本発明の一態様は、安定して動作が行われる半導体装置を提供することを課題の一とする。本発明の一態様は、駆動速度が速い半導体装置を提供することを課題の一とする。又は、本発明の一態様は、信頼性の高い半導体装置を提供することを課題の一とする。又は、本発明の一態様は、上述した半導体装置を含む表示装置を提供することを課題の一とする。又は、本発明の一態様は、上述した表示装置を含む電子機器を提供することを課題の一とする。又は、本発明の一態様は、新規な半導体装置、新規な表示装置又は新規な電子機器を提供することを課題の一とする。

[0014]

なお、本発明の一態様の課題は、上記課題に限定されない。上記課題は、他の課題の存在を妨げるものではない。なお、他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記課題及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記課題及び他の課題の全てを解決する必要はない。

課題を解決するための手段

[0015]

上述した、シフトレジスタの保持回路から出力される信号に不良が現れる原因としては、シフトレジスタの動作中において、保持回路内の、信号の情報を保持する保持ノードの電位が、意図せずに変動してしまうことが考えられる。そこで、本発明の一態様では、シフトレジスタの動作中に、当該保持ノードの電位が、意図せずに変動しないように、保持回路を構成する。

[0016]

以下に、上記課題を解決するための半導体装置（保持回路）、表示装置及び電子機器の一例を記載する。

[0017]

(1)

本発明の一態様は、第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第5トランジスタと、第6トランジスタと、第7トランジスタと、第8トランジスタと、第1容量素子と、第2容量素子と、を有する半導体装置である。第3トランジスタのソース及びドレインの一方は、第2トランジスタのソース及びドレインの一方と、第7トランジスタのソース及びドレインの一方と、第8トランジスタのソース及びドレインの一方と、に電氣的に接続されている。また、第3トランジスタのソース及びドレインの他方は、第1トランジスタのゲートと、第1容量素子の第1端子と、に電氣的に接続されている。また、第1トランジスタのソース及びドレインの一方は、第2トランジスタのゲートと、第4トランジスタのソース及びドレインの一方と、第1容量素子の第2端子と、に電氣的に接続されている。また、第4トランジスタのゲートは、第5トランジスタのソース及びドレインの一方と、第6トランジスタのソース及びドレインの一方と、第8トランジスタのゲートと、第2容量素子の第1端子と、に電氣的に接続されている。また、第7トランジスタのゲートは、第6トランジスタのゲートに電氣的に接続されている。

[0018]

(2)

又は、本発明の一態様は、上記(1)とは異なる、第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第5トランジスタと、第6トランジスタと、第7トランジスタと、第8トランジスタと、第1容量素子と、第2容量素子と、を有する半導体装置である。第3トランジスタのソース及びドレインの一方は、第2トランジスタのソース及びドレインの一方と、第7トランジスタのソース及びドレインの一方と、第8トランジスタのソース及びドレインの一方と、に電氣的に接続されている。また、第3トランジスタのソース及びドレインの他方は、第1トランジスタのゲートと、第1容量素子の第1端子と、に電氣的に接続されている。また、第1トランジスタのソース及びドレインの一方は、第2トランジスタのゲートと、第2トランジスタの

ゲートと、第4トランジスタのソース及びドレインの一方と、第1容量素子の第2端子と、に電氣的に接続されている。また、第4トランジスタのゲートは、第5トランジスタのソース及びドレインの一方と、6トランジスタのソース及びドレインの一方と、第8トランジスタのゲートと、第2容量素子の第1端子と、に電氣的に接続されている。また、第7トランジスタのゲートは、第6トランジスタのゲートに電氣的に接続されている。

[0019]

(3)

又は、本発明の一態様は、第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第5トランジスタと、第6トランジスタと、第7トランジスタと、第8トランジスタと、第9トランジスタと、第1容量素子と、第2容量素子と、第3容量素子と、を有する半導体装置である。第3トランジスタのソース及びドレインの一方は、第2トランジスタのソース及びドレインの一方と、第4トランジスタのソース及びドレインの一方と、第8トランジスタのソース及びドレインの一方と、第9トランジスタのソース及びドレインの一方と、に電氣的に接続されている。また、第3トランジスタのソース及びドレインの他方は、第1トランジスタのゲートと、第1容量素子の第1端子と、に電氣的に接続されている。また、第1トランジスタのソース及びドレインの一方は、第5トランジスタのソース及びドレインの一方と、第1容量素子の第2端子と、第2容量素子の第1端子と、に電氣的に接続されている。また、第2トランジスタのゲートは、第4トランジスタのソース及びドレインの他方と、第2容量素子の第2端子と、に電氣的に接続されている。また、第5トランジスタのゲートは、第6トランジスタのソース及びドレインの一方と、7トランジスタのソース及びドレインの一方と、第9トランジスタのゲートと、第3容量素子の第1端子と、に電氣的に接続されている。また、第9トランジスタのゲートは、第7トランジスタのゲートに電氣的に接続されている。

[0020]

(4)

又は、本発明の一態様は、上記(1)及び(2)とは異なる、第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第5トランジスタと、第6トランジスタと、第7トランジスタと、第8トランジスタと、第1容量素子と、第2容量素子と、を有する半導体装置である。第3トランジスタのソース及びドレインの一方は、第7トランジスタのソース及びドレインの一方と、第8トランジスタのソース及びドレインの一方と、に電氣的に接続されている。また、第3トランジスタのソース及びドレインの他方は、第1トランジスタのゲートと、第2トランジスタのソース及びドレインの一方と、第1容量素子の第1端子と、に電氣的に接続されている。また、第1トランジスタのソース及びドレインの一方は、第2トランジスタのゲートと、第4トランジスタのソース及びドレインの一方と、第1容量素子の第2端子と、に電氣的に接続されている。また、第4トランジスタのゲートは、第5トランジスタのソース及びドレインの一方と、6トランジスタのソース及びドレインの一方と、第8トランジスタのゲートと、第2容量素子の第1端子と、に電氣的に接続されている。また、第7トランジスタのゲートは、第6トランジスタのゲートに電氣的に接続されている。

[0021]

(5)

又は、本発明の一態様は、第1トランジスタと、第2トランジスタと、第3トランジスタと、第

1容量素子と、を有する半導体装置である。第3トランジスタのソース及びドレインの一方は、第2トランジスタのソース及びドレインの一方に電氣的に接続され、第3トランジスタのソース及びドレインの他方は、第1トランジスタのゲートと、第1容量素子の第1端子と、に電氣的に接続されている。また、第1トランジスタのソース及びドレインの一方は、第2トランジスタのゲートと、第1容量素子の第2端子と、に電氣的に接続されている。

[0022]

(6)

又は、本発明の一態様は、第1トランジスタと、第2トランジスタと、第3トランジスタと、第1容量素子と、を有し、上記(5)とは異なる、半導体装置である。第3トランジスタのソース及びドレインの一方は、第2トランジスタのソース及びドレインの一方に電氣的に接続され、第3トランジスタのソース及びドレインの他方は、第1トランジスタのゲートと、第1容量素子の第1端子と、に電氣的に接続されている。また、第1トランジスタのソース及びドレインの一方は、第2トランジスタのゲートと、第2トランジスタのソース及びドレインの他方と、第1容量素子の第2端子と、に電氣的に接続されている。

[0023]

(7)

又は、本発明の一態様は、第1トランジスタと、第2トランジスタと、第3トランジスタと、バッファ回路と、第1容量素子と、を有する半導体装置である。バッファ回路は、入力端子と、出力端子と、を有する。第3トランジスタのソース及びドレインの一方は、第2トランジスタのソース及びドレインの一方に電氣的に接続され、第3トランジスタのソース及びドレインの他方は、第1トランジスタのゲートと、第1容量素子の第1端子と、に電氣的に接続されている。また、バッファ回路の入力端子は、第1トランジスタのソース及びドレインの一方と、第1容量素子の第2端子と、に電氣的に接続され、バッファ回路の出力端子は、第2トランジスタのゲートに電氣的に接続されている。

[0024]

(8)

又は、本発明の一態様は、第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第1容量素子と、第2容量素子と、を有する半導体装置である。第3トランジスタのソース及びドレインの一方は、第2トランジスタのソース及びドレインの一方と、第4トランジスタのソース及びドレインの一方と、に電氣的に接続され、第3トランジスタのソース及びドレインの他方は、第1トランジスタのゲートと、第1容量素子の第1端子と、に電氣的に接続されている。また、第1トランジスタのソース及びドレインの一方は、第2トランジスタのゲートと、第1容量素子の第2端子と、第2容量素子の第1端子と、に電氣的に接続され、第2トランジスタのゲートは、第4トランジスタのソース及びドレインの他方と、第2容量素子の第2端子と、に電氣的に接続されている。

[0025]

(9)

又は、本発明の一態様は、第1トランジスタと、第2トランジスタと、第3トランジスタと、第1容量素子と、を有し、上記(5)及び(6)とは異なる、半導体装置である。第3トランジスタのソース及びドレインの一方は、第2トランジスタのソース及びドレインの一方に電氣的に接続さ

れている。また、第3トランジスタのソース及びドレインの他方は、第1トランジスタのゲートと、第2トランジスタのゲートと、第1容量素子の第1端子と、に電氣的に接続されている。また、第1トランジスタのソース及びドレインの一方は、第1容量素子の第2端子に電氣的に接続されている。

[0026]

(10)

又は、本発明の一態様は、駆動回路と、表示デバイスと、を有する表示装置である。特に、駆動回路は、上記(1)乃至(9)のいずれか一の半導体装置を有する。また、駆動回路は、表示デバイスに対して、画像を表示させるための信号を送信する機能を有する。

[0027]

(11)

又は、本発明の一態様は、上記(10)において、表示デバイスが、発光デバイス、又は液晶表示デバイスを有する構成としてもよい。

[0028]

(12)

又は、本発明の一態様は、上記(11)に記載の表示装置と、筐体と、を有する電子機器である。

発明の効果

[0029]

シフトレジスタに含まれる保持回路に、上記の半導体装置の構成を適用することによって、保持回路の出力信号を、保持ノード側にフィードバックすることができる。保持ノード側は、当該出力信号のフィードバックを受けることによって、保持ノードには、例えば、電源線などからの固定電位が与えられて、保持ノードがフローティング状態にならなくなる。これにより、保持ノードの電位の変動を抑えることができるため、保持回路の出力信号を安定させることができる。なお、当該固定電位は、保持回路が保持している情報に応じた電位と等しいことが好ましい。

[0030]

本発明の一態様によって、安定して動作が行われる半導体装置を提供することができる。本発明の一態様によって、駆動速度が速い半導体装置を提供することができる。又は、本発明の一態様によって、信頼性の高い半導体装置を提供することができる。又は、本発明の一態様によって、上述した半導体装置を含む表示装置を提供することができる。又は、本発明の一態様によっては、上述した表示装置を含む電子機器を提供することができる。又は、本発明の一態様によって、新規な半導体装置、新規な表示装置、又は新規な電子機器を提供することができる。

[0031]

なお、本発明の一態様の効果は、上記効果に限定されない。上記効果は、他の効果の存在を妨げるものではない。なお、他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記効果を有さない場合もある。

図面の簡単な説明

[0032]

図 1 A 乃至図 1 C は、増幅回路の一例を示す回路図である。

図 2 A 乃至図 2 C は、増幅回路の一例を示す回路図である。

図 3 A 乃至図 3 C は、増幅回路の一例を示す回路図である。

図 4 A 乃至図 4 D は、増幅回路の一例を示す回路図である。

図 5 は、増幅回路の一例を示す回路図である。

図 6 A 及び図 6 B は、増幅回路の一例を示す回路図である。

図 7 A 及び図 7 B は、増幅回路の一例を示す回路図である。

図 8 A 乃至図 8 C は、増幅回路の一例を示す回路図である。

図 9 A 乃至図 9 F は、増幅回路の一例を示す回路図である。

図 10 A 乃至図 10 C は、増幅回路の一例を示す回路図である。

図 11 は、増幅回路の一例を示すレイアウト図である。

図 12 は、表示装置の一例を示すブロック図である。

図 13 A 及び図 13 B は、駆動回路の一例を示すブロック図である。

図 14 は、駆動回路に含まれている回路の一例を示す回路図である。

図 15 は、駆動回路に含まれている回路の動作例を示すタイミングチャートである。

図 16 は、駆動回路に含まれている回路の一例を示す回路図である。

図 17 は、駆動回路に含まれている回路の一例を示す回路図である。

図 18 は、駆動回路に含まれている回路の一例を示す回路図である。

図 19 は、駆動回路に含まれている回路の一例を示す回路図である。

図 20 は、駆動回路の一例を示すブロック図である。

図 21 は、駆動回路の動作例を示すタイミングチャートである。

図 22 は、駆動回路に含まれている回路の一例を示す回路図である。

図 23 は、駆動回路に含まれている回路の一例を示す回路図である。

図 24 は、駆動回路に含まれている回路の一例を示す回路図である。

図 25 A、及び図 25 B は、表示装置の構成例を示す斜視模式図である。

図 26 は、表示装置の構成例を示すブロック図である。

図 27 は、表示装置の構成例を示す断面模式図である。

図 28 A 乃至図 28 C は、表示装置の構成例を示す断面模式図である。

図 29 は、表示装置の構成例を示す断面模式図である。

図 30 A 及び図 30 B は、半導体装置に含まれるトランジスタの構成例を示す断面模式図である。

図 31 は、半導体装置に含まれるトランジスタの構成例を示す断面模式図である。

図 32 は、表示装置の構成例を示す断面模式図である。

図 33 A 乃至図 33 C は、半導体装置に含まれるトランジスタの構成例を示す平面模式図であり、

図 33 D は、半導体装置に含まれるトランジスタの構成例を示す断面模式図である。

図 34 A は、半導体装置に含まれるトランジスタの構成例を示す平面模式図であり、図 34 B は、半導体装置に含まれるトランジスタの構成例を示す断面模式図である。

図 35 は、表示装置の構成例を示す断面模式図である。

図 36 は、表示装置の構成例を示す断面模式図である。

図 37 は、表示装置の構成例を示す断面模式図である。

図 38 は、表示装置の構成例を示す断面模式図である。

図 39 は、表示装置の構成例を示す断面模式図である。

図 40 は、表示装置の構成例を示す断面模式図である。

図 41 は、表示装置の構成例を示す断面模式図である。

図 42 は、表示装置の構成例を示す断面模式図である。

図 43 は、表示装置の構成例を示す断面模式図である。

図 44 A 乃至図 44 D は、LED パッケージの構成例を示した断面模式図である。

図 45 A 及び図 45 B は、LED パッケージの構成例を示した平面模式図である。

図 46 A 乃至図 46 F は、発光デバイスの構成例を示す図である。

図 47 A 乃至図 47 C は、発光デバイスの構成例を示す図である。

図 48 A は、表示装置に含まれる画素回路の構成例を示す回路図であり、図 48 B は、表示装置に含まれる画素回路の構成例を示す斜視模式図である。

図 49 A 乃至図 49 G は、画素の一例を示す平面模式図である。

図 50 A 乃至図 50 F は、画素の一例を示す平面模式図である。

図 51 A 乃至図 51 H は、画素の一例を示す平面模式図である。

図 52 A 乃至図 52 D は、画素の一例を示す平面模式図である。

図 53 A 乃至図 53 G は、画素の一例を示す平面模式図である。

図 54 A 乃至図 54 I は、電子機器の一例を示す斜視図である。

発明を実施するための形態

[0033]

本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（例えば、トランジスタ、ダイオード及びフォトダイオード）を含む回路、同回路を有する装置をいう。また、半導体装置とは、半導体特性を利用することで機能しうる装置全般をいう。半導体装置の一例としては、集積回路が挙げられる。また、半導体装置の一例としては、集積回路を備えたチップも挙げられる。また、半導体装置の一例としては、パッケージにチップを収納した電子部品も挙げられる。また、例えば、記憶装置、表示装置、発光装置、照明装置及び電子機器は、それ自体が半導体装置である場合があり、半導体装置を有している場合がある。

[0034]

また、本明細書等において、X と Y とが接続されていると記載されている場合は、X と Y とが電氣的に接続されている場合と、X と Y とが機能的に接続されている場合と、X と Y とが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも、図又は文章に開示されているものとする。X、Y は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜又は層）であるとする。

[0035]

X と Y とが電氣的に接続されている場合の一例としては、X と Y との電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示デバイス、発光デバイス及び負荷）が、X と Y との間に 1 個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。

[0036]

なお、XとYとの間に、素子と電源線（例えば、VDD（高電源電位）、VSS（低電源電位）、GND（接地電位）又は所望の電位を与える配線）との両方が配置されている場合には、XとYとが電氣的に接続されている、とは規定しないものとする。なお、XとYとの間に電源線のみが配置されている場合には、XとYとの間に別の素子がないため、XとYとは、直接接続されている、ということになる。よって、XとYとの間に、電源線のみが配置されている場合には、「XとYとは、電氣的に接続されている」ともいえる。しかし、XとYとの間に、素子と電源線の両方が配置されている場合には、Xと電源線とが（素子を介して）電氣的に接続されており、Yと電源線とが電氣的に接続されている、ということになるが、XとYとは、電氣的に接続されている、とは規定されない。なお、XとYとの間に、トランジスタのゲートとソースとを介している場合には、XとYとが電氣的に接続されている、とは規定しないものとする。なお、XとYとの間に、トランジスタのゲートとドレインとを介している場合には、XとYとが電氣的に接続されている、とは規定しないものとする。つまり、トランジスタの場合には、XとYとの間に、トランジスタのドレインとソースとを介している場合には、XとYとが電氣的に接続されている、と規定するものとする。なお、XとYとの間に、容量素子が配置されている場合には、XとYとが電氣的に接続されている、と規定する場合と規定しない場合がある。例えば、デジタル回路又はロジック回路の構成において、XとYとの間に、容量素子が配置されている場合には、XとYとが電氣的に接続されている、とは規定しない場合がある。一方、例えば、アナログ回路の構成において、XとYとの間に、容量素子が配置されている場合には、XとYとが電氣的に接続されている、と規定する場合がある。

[0037]

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（例えば、インバータ、NAND回路及びNOR回路）、信号変換回路（例えば、デジタルアナログ変換回路、アナログデジタル変換回路及びガンマ補正回路）、電位レベル変換回路（例えば、昇圧回路又は降圧回路といった電源回路、及び信号の電位レベルを変えるレベルシフト回路）、電圧源、電流源、切り替え回路、増幅回路（例えば、信号振幅又は電流量などを大きくできる回路、オペアンプ、差動増幅回路、ソースフォロワ回路及びバッファ回路）、信号生成回路、記憶回路及び制御回路）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

[0038]

また、例えば、「XとYとトランジスタのソース（第1端子及び第2端子の一方に言い換える場合がある）とドレイン（第1端子及び第2端子の他方に言い換える場合がある）とは、互いに電氣的に接続されており、X、トランジスタのソース、トランジスタのドレイン、Yの順序で電氣的に接続されている。」と表現することができる。又は、「トランジスタのソースは、Xと電氣的に接続され、トランジスタのドレインはYと電氣的に接続され、X、トランジスタのソース、トランジスタのドレイン、Yは、この順序で電氣的に接続されている」と表現することができる。又は、「Xは、トランジスタのソースとドレインとを介して、Yと電氣的に接続され、X、トランジスタのソース、トランジスタのドレイン、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソースと、ドレインとを、区別して、技術的範囲を決定することができる。

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜又は層）であるとする。

[0039]

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能及び電極の機能の両方を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

[0040]

また、本明細書等において、「抵抗素子」とは、例えば、 $0\ \Omega$ よりも高い抵抗値を有する回路素子、又は $0\ \Omega$ よりも高い抵抗値を有する配線とすることができる。そのため、本明細書等において、「抵抗素子」は、抵抗値を有する配線、ソースドレイン間に電流が流れるトランジスタ、ダイオード又はコイルを含むものとする。そのため、「抵抗素子」という用語は、「抵抗」、「負荷」又は「抵抗値を有する領域」という用語に言い換えることができる場合がある。逆に「抵抗」、「負荷」又は「抵抗値を有する領域」という用語は、「抵抗素子」という用語に言い換えることができる場合がある。抵抗値としては、例えば、好ましくは $1\text{ m}\Omega$ 以上 $10\ \Omega$ 以下、より好ましくは $5\text{ m}\Omega$ 以上 $5\ \Omega$ 以下、更に好ましくは $10\text{ m}\Omega$ 以上 $1\ \Omega$ 以下とすることができる。また、例えば、 $1\ \Omega$ 以上 $1 \times 10^9\ \Omega$ 以下としてもよい。

[0041]

また、本明細書等において、「容量素子」とは、例えば、 0 F よりも高い静電容量の値を有する回路素子、 0 F よりも高い静電容量の値を有する配線の領域、寄生容量又はトランジスタのゲート容量とすることができる。また、「容量素子」、「寄生容量」又は「ゲート容量」という用語は、「容量」という用語に言い換えることができる場合がある。逆に、「容量」という用語は、「容量素子」、「寄生容量」又は「ゲート容量」という用語に言い換えることができる場合がある。また、「容量素子」（3端子以上の「容量素子」を含む）は、絶縁体と、当該絶縁体を挟んだ一対の導電体と、を含む構成となっている。そのため、「容量素子」の「一対の導電体」という用語は、「一対の電極」、「一対の導電領域」、「一対の領域」又は「一対の端子」に言い換えることができる。また、「一対の端子の一方」及び「一対の端子の他方」という用語は、それぞれ第1端子及び第2端子と呼称する場合がある。なお、静電容量の値としては、例えば、 0.05 fF 以上 10 pF 以下とすることができる。また、例えば、 1 pF 以上 $10\ \mu\text{F}$ 以下としてもよい。

[0042]

また、本明細書等において、トランジスタは、ゲート、ソース及びドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソース又はドレインとして機能する2つの端子は、トランジスタの入出力端子である。2つの入出力端子は、トランジスタの導電型（nチャネル型、pチャネル型）及びトランジスタの3つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソース又はドレインという用語は、互いに言い換えることができる場合がある。また、本明細書等では、トランジスタの接続関係を説明する際、「ソース及びドレインの一方」（又は第1電極若しくは第1端子）、「ソース及びドレインの他方」（又は第2電極若しくは第2端子）という表記を用いる。なお、トランジスタの構造によっては、上述した3つの端子に加えて、バックゲートを有す

る場合がある。この場合、本明細書等において、トランジスタのゲート又はバックゲートの一方を第1ゲートと呼称し、トランジスタのゲート又はバックゲートの他方を第2ゲートと呼称することがある。更に、同じトランジスタにおいて、「ゲート」と「バックゲート」の用語は互いに入れ換えることができる場合がある。また、トランジスタが、3以上のゲートを有する場合は、本明細書等においては、それぞれのゲートを第1ゲート、第2ゲート、第3ゲートなどと呼称することがある。

[0043]

例えば、本明細書等において、トランジスタの一例としては、ゲート電極が2個以上のマルチゲート構造のトランジスタを用いることができる。マルチゲート構造にすると、チャネル形成領域が直列に接続されるため、複数のトランジスタが直列に接続された構造となる。よって、マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上（信頼性の向上）を図ることができる。または、マルチゲート構造により、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレインとソースとの間の電流があまり変化せず、傾きがフラットである電圧・電流特性を得ることができる。傾きがフラットである電圧・電流特性を利用すると、理想的な電流源回路、又は非常に高い抵抗値をもつ能動負荷を実現することができる。その結果、特性のよい差動回路又はカレントミラー回路などを実現することができる。

[0044]

また、回路図上では、単一の回路素子が図示されている場合でも、当該回路素子が複数の回路素子を有する場合がある。例えば、回路図上に1個の抵抗が記載されている場合は、2個以上の抵抗が直列に電氣的に接続されている場合を含むものとする。また、例えば、回路図上に1個の容量素子が記載されている場合は、2個以上の容量素子が並列に電氣的に接続されている場合を含むものとする。また、例えば、回路図上に1個のトランジスタが記載されている場合は、2個以上のトランジスタが直列に電氣的に接続され、かつそれぞれのトランジスタのゲート同士が電氣的に接続されている場合を含むものとする。また、同様に、例えば、回路図上に1個のスイッチが記載されている場合は、当該スイッチが2個以上のトランジスタを有し、2個以上のトランジスタが直列又は並列に電氣的に接続され、それぞれのトランジスタのゲート同士が電氣的に接続されている場合を含むものとする。

[0045]

また、本明細書等において、ノードは、回路構成及びデバイス構造に応じて、端子、配線、電極、導電層、導電体又は不純物領域と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

[0046]

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。なお、グラウンド電位は必ずしも0Vを意味するとは限らない。また、電位は相対的なものであり、基準となる電位が変わることによって、配線に与えられる電位、回路などに印加される電位、回路などから出力される電位なども変化する。

[0047]

また、本明細書等において、「高レベル電位」及び「低レベル電位」という用語は、特定の電位

を意味するものではない。例えば、2本の配線において、両方とも「高レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの高レベル電位は、互いに等しくなくてもよい。また、同様に、2本の配線において、両方とも「低レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの低レベル電位は、互いに等しくなくてもよい。

[0048]

また、「電流」とは、電荷の移動現象（電気伝導）のことであり、例えば、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとしては、例えば、電子、正孔、アニオン、カチオン、及び錯イオンが挙げられ、電流の流れる系（例えば、半導体、金属、電解液、及び真空中）によってキャリアが異なる。また、配線等における「電流の向き」は、正電荷となるキャリアが移動する方向とし、正の電流量で記載する。換言すると、負電荷となるキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書等において、電流の正負（又は電流の向き）について断りがない場合、「素子Aから素子Bに電流が流れる」の記載は「素子Bから素子Aに電流が流れる」に言い換えることができるものとする。また、「素子Aに電流が入力される」の記載は「素子Aから電流が出力される」に言い換えることができるものとする。

[0049]

また、本明細書等において、「第1」、「第2」、「第3」などの序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0050]

また、本明細書等において、「上に」及び「下に」といった配置を示す語句は、構成要素同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成要素同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現は、示している図面の向きを180度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

[0051]

また、「上」又は「下」といった用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。また、同様に、例えば、「絶縁層Aの上方の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。また、同様に、例えば、「絶縁層Aの下方の電極B」の表現であれば、絶縁層Aの下に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に

他の構成要素を含むものを除外しない。

[0052]

また、本明細書等において、マトリクス状に配置された構成要素、及びその位置関係を説明するために、「行」及び「列」といった語句を使用する場合がある。また、構成要素同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「行方向」という表現は、示している図面の向きを90度回転することによって、「列方向」と言い換えることができる場合がある。

[0053]

また、本明細書等において、「膜」及び「層」といった語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、及び「層」といった語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。また、例えば、「絶縁層」又は「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

[0054]

また、本明細書等において「電極」、「配線」及び「端子」という用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」又は「配線」といった用語は、複数の「電極」又は「配線」が一体となって形成されている場合なども含む。また、例えば、「端子」は「配線」又は「電極」の一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、「電極」、「配線」及び「端子」から選ばれた一以上が一体となって形成されている場合なども含む。そのため、例えば、「電極」は「配線」又は「端子」の一部とすることができ、また、例えば、「端子」は「配線」又は「電極」の一部とすることができる。また、「電極」、「配線」又は「端子」という用語は、場合によって、「領域」という用語に置き換える場合がある。

[0055]

また、本明細書等において、「配線」、「信号線」及び「電源線」といった用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」又は「電源線」といった用語を、「配線」という用語に変更することが可能な場合がある。「電源線」といった用語は、「信号線」という用語に変更することが可能な場合がある。また、その逆も同様で「信号線」といった用語は、「電源線」という用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」という用語に変更することが可能な場合がある。また、その逆も同様で、「信号」という用語は、「電位」という用語に変更することが可能な場合がある。

[0056]

また、本明細書等では、半導体装置の動作方法を説明するため、タイミングチャートを用いる場合がある。また、本明細書等に用いるタイミングチャートは、理想的な動作例を示したものであり、当該タイミングチャートに記載されている、期間、信号（例えば、電位又は電流）の大きさ、及び

タイミングは、特に断りがない場合は限定されない。本明細書等に記載されているタイミングチャートは、状況に応じて、当該タイミングチャートにおける各配線（ノードを含む）に入力される信号（例えば、電位、又は電流）の大きさ、及びタイミングの変更を行うことができる。例えば、タイミングチャートに2つの期間が等間隔に記載されていたとしても、2つの期間の長さは互いに異なる場合がある。また、例えば、2つの期間において、一方の期間が長く、かつ他方の期間が短く記載されていたとしても、両者の期間の長さは等しくてもよい場合があり、又は、一方の期間が短くかつ他方の期間が長くしてもよい場合がある。

[0057]

本明細書等において、金属酸化物（metal oxide）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Oxide Semiconductor又は単にOSともいう）などに分類される。例えば、トランジスタのチャネル形成領域に金属酸化物が含まれている場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が、増幅作用、整流作用及びスイッチング作用の少なくとも1つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体（metal oxide semiconductor）と呼称することができる。また、OSトランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

[0058]

また、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

[0059]

また、本明細書等において、半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなること、キャリア移動度が低下すること、及び結晶性が低下すること、から選ばれた一以上が起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素と、第2族元素と、第13族元素と、第14族元素と、第15族元素と、主成分以外の遷移金属とがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素及び窒素がある。

[0060]

本明細書等において、スイッチとは、導通状態（オン状態）又は非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。そのため、スイッチは、制御端子とは別に、電流を流す端子を2つ又は3つ以上有する場合がある。一例としては、電氣的なスイッチ、機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

[0061]

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Meta

Insulator Semiconductor) ダイオード、ダイオード接続のトランジスタなど)、又はこれらを組み合わせた論理回路などがある。なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、例えば、トランジスタのソース電極とドレイン電極が電氣的に短絡されているとみなせる状態、又はソース電極とドレイン電極との間に電流を流すことができる状態、をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性(導電型)は特に限定されない。

[0062]

機械的なスイッチの一例としては、MEMS(マイクロ・エレクトロ・メカニカル・システムズ)技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

[0063]

また、本明細書等において、メタルマスク、またはFMM(ファインメタルマスク、高精細なメタルマスク)を用いて作製されるデバイスをMM(メタルマスク)構造のデバイスと呼称する場合がある。また、本明細書等において、メタルマスク、またはFMMを用いることなく作製されるデバイスをMML(メタルマスクレス)構造のデバイスと呼称する場合がある。

[0064]

なお、本明細書等において、各色の発光デバイス(ここでは青(B)、緑(G)及び赤(R))で、発光層を作り分ける、または発光層を塗り分ける構造をSBS(Side By Side)構造と呼ぶ場合がある。また、本明細書等において、白色光を発することのできる発光デバイスを白色発光デバイスと呼ぶ場合がある。なお、白色発光デバイスは、着色層(例えば、カラーフィルタ)と組み合わせることで、フルカラー表示の表示装置とすることができる。

[0065]

また、発光デバイスは、シングル構造と、タンデム構造と、に大別することができる。シングル構造のデバイスは、一対の電極間に1つの発光ユニットを有し、当該発光ユニットは、1以上の発光層を含む構成とすることが好ましい。2つの発光層を用いて白色発光を得る場合、2つの発光層の各々の発光色が補色の関係となるような発光層を選択すればよい。例えば、第1の発光層の発光色と第2の発光層の発光色を補色の関係になるようにすることで、発光デバイス全体として白色発光する構成を得ることができる。また、3つ以上の発光層を用いて白色発光を得る場合、3つ以上の発光層のそれぞれの発光色があわさることで発光デバイス全体として白色発光することができる構成とすればよい。

[0066]

タンデム構造のデバイスは、一対の電極間に2つ以上の複数の発光ユニットを有し、各発光ユニットは、1つ以上の発光層を含む構成とすることが好ましい。白色発光を得るには、複数の発光ユニットの発光層からの光を合わせて白色発光が得られる構成とすればよい。なお、白色発光が得られる構成については、シングル構造の構成と同様である。なお、タンデム構造のデバイスにおいて、複数の発光ユニットの間には、電荷発生層などの中間層を設けると好適である。

[0067]

また、上述の白色発光デバイス(シングル構造又はタンデム構造)と、SBS構造の発光デバイスと、を比較した場合、SBS構造の発光デバイスは、白色発光デバイスよりも消費電力を低くす

ることができる。消費電力を低く抑えたい場合は、S B S構造の発光デバイスを用いると好適である。一方で、白色発光デバイスは、製造プロセスがS B S構造の発光デバイスよりも簡単であるため、製造コストを低くすることができる、又は製造歩留まりを高くすることができるため、好適である。

[0068]

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」又は「概略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」又は「概略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0069]

また、本明細書等において、各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

[0070]

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）と、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）との少なくとも一つの内容に対して、適用、組み合わせ又は置き換えなどを行うことができる。

[0071]

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

[0072]

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）と、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）との少なくとも一つの内容に対して、組み合わせることにより、さらに多くの図を構成させることができる。

[0073]

本明細書に記載の実施の形態について図面を参照しながら説明している。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

[0074]

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“__1”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。また、図面等において、符号に“__1”、“[n]”、“[m, n]”等の識別用の符

号を付記している場合、本明細書等において区別する必要が無いときには、識別用の符号を記載しない場合がある。

[0075]

また、本明細書の図面において、大きさ、層の厚さ又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズ又はタイミングのズレによる信号、電圧若しくは電流のばらつきなどを含むことが可能である。

[0076]

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置である、増幅回路について説明する。

[0077]

<増幅回路の構成例1>

図2Aに示す回路BSPRは、増幅回路の一例であって、回路BBと、トランジスタMNbと、容量素子Caと、を有する。また、回路BSPRは、例えば、入力端子として機能する端子Tiと、出力端子として機能する端子Toを有する。また、回路BBは、例えば、入力端子として機能する端子Biと、出力端子として機能する端子Boを有する。

[0078]

トランジスタMNbとしては、例えば、OSトランジスタを適用することが好ましい。特に、OSトランジスタのチャネル形成領域に含まれる金属酸化物としては、例えば、インジウム、元素M及び亜鉛を有するIn-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、コバルト、マグネシウム又はアンチモンから選ばれた一種又は複数種）等とすることが好ましい。また、当該トランジスタMNbとしては、チャネル形成領域にシリコンを有するトランジスタ（以後、Siトランジスタと呼称する。）を適用してもよい。また、シリコンとしては、例えば、単結晶シリコン、非晶質シリコン（水素化アモルファスシリコンという場合がある）、微結晶シリコン又は多結晶シリコンを用いることができる。また、OSトランジスタ及びSiトランジスタ以外のトランジスタとしては、例えば、ゲルマニウム（Ge）などがチャネル形成領域に含まれているトランジスタ、セレン化亜鉛（ZnSe）、硫化カドミウム（CdS）、ヒ化ガリウム（GaAs）、リン化インジウム（InP）、窒化ガリウム（GaN）若しくはシリコンゲルマニウム（SiGe）といった化合物半導体がチャネル形成領域に含まれているトランジスタ、カーボンナノチューブがチャネル形成領域に含まれるトランジスタ、又は有機半導体がチャネル形成領域に含まれるトランジスタを用いることができる。

[0079]

図2Aに図示しているトランジスタMNbは、一例としては、チャネルの上下にゲートを有するマルチゲート構造のnチャネル型トランジスタとしており、トランジスタMNbは第1ゲートと第2ゲートとを有する。但し、本明細書等において、便宜上、一例として、第1ゲートをゲート（フロントゲートと記載する場合がある）、第2ゲートをバックゲートとして区別するように記載する場合がある。また、本明細書等において、第1ゲートと第2ゲートは互いに入れ替えることができ、そのため、「ゲート」という語句は「バックゲート」という語句と入れ替えて記載することができ

る。同様に、「バックゲート」という語句は「ゲート」という語句と入れ替えて記載することができる。具体例としては、「ゲートは第1配線に電氣的に接続され、バックゲートは第2配線に電氣的に接続されている」という接続構成は、「バックゲートは第1配線に電氣的に接続され、ゲートは第2配線に電氣的に接続されている」という接続構成として置き換えることができる。

[0080]

また、図2Aにおいて、トランジスタMNbにはバックゲートが図示されているが、当該バックゲートの接続構成については図示されていない。なお、当該バックゲートの電氣的な接続先は、設計の段階で決めることができる。例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのオン電流を高めるために、ゲートとバックゲートとを電氣的に接続してもよい。つまり、例えば、トランジスタMNbのゲートとバックゲートとを電氣的に接続してもよい。また、例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのしきい値電圧を変動させるため、又は、そのトランジスタのオフ電流を小さくするために、そのトランジスタのバックゲートと外部回路とを電氣的に接続するための配線を設けて、当該外部回路によってそのトランジスタのバックゲートに電位を与える構成としてもよい。

[0081]

また、トランジスタMNbは、理想的にはノーマリーオフであって、トランジスタMNbのしきい値電圧を V_{th_MNb} とする。また、しきい値電圧 V_{th_MNb} は、 $V_{High} - V_{Low} > V_{th_MNb}$ を満たす電圧とする。なお、 V_{High} は高レベル電位であって、 V_{Low} は低レベル電位とする。

[0082]

なお、本明細書等において、ノーマリーオフとは、ゲートソース間電圧が0Vのときにおいて、トランジスタに電流が流れない状態のことを言う。また、OSトランジスタにおけるノーマリーオフとは、ゲートソース間電圧が0Vのときにおいて、トランジスタに流れるチャネル幅1 μ mあたりの電流が、室温において 1×10^{-20} A以下、85℃において 1×10^{-18} A以下、または125℃において 1×10^{-16} A以下であることをいう。一方で、ノーマリーオンとは、ゲートソース間電圧が0Vのときにおいてもチャネルが存在し、トランジスタに電流が流れてしまう状態のことをいう。

[0083]

また、本発明の一態様の半導体装置は、当該半導体装置に含まれるトランジスタの構造に依らない。例えば、図2Aに図示しているトランジスタMNbは、バックゲートを有さない構成、つまり、シングルゲート構造のトランジスタとしてもよい（図2B参照）。また、一部のトランジスタはバックゲートを有している構成であり、別の一部のトランジスタは、バックゲートを有さない構成であってもよい。

[0084]

また、図2Aにおいて、トランジスタMNbはnチャネル型トランジスタとしているが、状況に応じて、トランジスタMNbはpチャネル型トランジスタとしてもよい。

[0085]

なお、上記のトランジスタの記載については、図2Aだけでなく、明細書の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタについても同様である。

[0086]

回路BBの端子Biは、端子Tiに電氣的に接続され、回路BBの端子Boは、トランジスタM

Nbのゲートと、容量素子Caの第1端子と、に電氣的に接続されている。また、トランジスタMNbの第1端子は、配線VAL1に電氣的に接続され、トランジスタMNbの第2端子は、容量素子Caの第2端子と、端子Toと、に電氣的に接続されている。

[0087]

なお、本実施の形態では、回路BBの端子Boと、トランジスタMNbのゲートと、容量素子Caの第1端子と、の電氣的な接続部分をノードNと呼称する。

[0088]

回路BBは、例えば、ノードNをフローティング状態にする機能を有する。そのため、回路BBは、例えば、スイッチング素子を有する構成とすることができる。また、回路BBは、端子Biに入力された電位に応じた電位を端子Boに出力する機能を有する。例えば、回路BBは、端子Biに高レベル電位 V_{High} が与えられたとき、端子Boに電位 V_{Mid} を出力する構成とすることができる。なお、 V_{Mid} は、高レベル電位 V_{High} よりも低く、低レベル電位 V_{Low} よりも高い電位とする。また、 V_{Mid} は、 $V_{Mid} - V_{Low} > V_{th_MNb}$ を満たす電圧とする。

[0089]

また、図2Aの配線VAL1は、例えば、固定電位又は可変電位を与える配線として機能する。また、固定電位としては、例えば、高レベル電位、低レベル電位、接地電位又は負電位が挙げられる。また、可変電位としては、パルス信号（パルス電圧と呼ばれる場合がある）が挙げられる。また、パルス信号の一例として、クロック信号が挙げられる。

[0090]

また、図2Aでは、端子Tiの電位を V_{in} と記載し、また、端子Toの電位を V_{out} と記載している。

[0091]

ここで、図2Aの回路BSPRのノードNの電位は、高レベル電位 V_{High} よりも低い電位 V_{Mid} になっているものとする。また、このとき、ノードNはフローティング状態になっていないものとする。また、配線VAL1からトランジスタMNbの第1端子に低レベル電位 V_{Low} が与えられているものとする。

[0092]

このとき、トランジスタMNbのゲートソース間電圧（このタイミングでは、ゲートー第1端子間電圧）は $V_{Mid} - V_{Low}$ となる。また、 $V_{Mid} - V_{Low} > V_{th_MNb}$ であるため、トランジスタMNbはオン状態となる。このため、配線VAL1は、トランジスタMNbを介して、回路BSPRの端子Toに低レベル電位 V_{Low} を出力する。つまり、 $V_{out} = V_{Low}$ となる。

[0093]

次に、配線VAL1からトランジスタMNbの第1端子に与える電位を、低レベル電位 V_{Low} から高レベル電位 V_{High} に変化したとする。また、回路BBによって、ノードNがフローティング状態になったものとする。このとき、トランジスタMNbのゲートソース間電圧（このタイミングでは、ゲートー第2端子間電圧）は $V_{Mid} - V_{Low}$ であるため、トランジスタMNbはオン状態となる。このため、配線VAL1から、トランジスタMNbを介して、回路BSPRの端子Toに電流が流れて、端子Toの電位が V_{Low} から高くなる。なお、ノードNはフローティング状態なので、容量素子Caの容量結合により、端子Toの電位の上昇に伴って、ノードNの電位も V_{Mid} から上昇する。これにより、トランジスタMNbのゲートソース間電圧は、容量素子Caによって保持

されるため、端子T_oの電位はV_{High}まで高くなる。また、理想的には、ノードNの電位は、 $V_{Mid} + V_{High} - V_{Low}$ となる。

[0094]

このように、回路BSPRにおいて、ノードNに高レベル電位よりも低いV_{Mid}が入力され、かつ配線VAL1によってトランジスタMNbの第1端子に高レベル電位V_{High}が与えられているとき、端子T_oからは、電位としてV_{High}が出力される。本明細書等では、容量結合を利用してトランジスタの第1端子又は第2端子の電位の上昇に伴って、ゲート電位を高くすることをブートストラップと呼称する。

[0095]

図2Aの回路BSPRでは、配線VAL1によってトランジスタMNbの第1端子に高レベル電位V_{High}が与えられ、ノードNに高レベル電位V_{High}が与えられたとき、ブートストラップによって、ノードNの電位が $V_{Mid} + V_{High} - V_{Low}$ にまで上昇し、回路BSPRの端子T_oに出力される電位が、V_{High}となる。

[0096]

なお、トランジスタMNbのゲートとチャネル形成領域（状況によっては第1端子及び第2端子の一方又は双方を含む場合がある）との間におけるゲート容量が大きい場合、回路BSPRは、図2Cに示すとおり、容量素子Caを設けない構成とすることができる。この場合、回路BSPRの回路面積を低減することができる。

[0097]

ところで、回路BSPRの端子T_iの電位がV_{High}であり、かつ端子T_iがフローティング状態（電位を与える配線と非導通になっている）であるとき、端子T_iの電位は様々な要因によって変化することがある。例えば、端子T_iの電位を保持するためのトランジスタにおいて、ソースドレイン間に流れるオフ電流、又はゲートーソース間若しくはゲートドレイン間に流れるリーク電流が大きくなった場合、端子T_iの電位は変動する。また、端子T_iにノイズ信号が入力されたときも、端子T_iの電位は変動する。つまり、回路BBの端子B_iに与えられる電位が変動するため、ノードNの電位にも影響し、結果として、回路BSPRの端子T_oから出力される電位が不安定となることがある。

[0098]

そこで、上記課題を解決した本発明の一態様の半導体装置である、増幅回路を図1Aに示す。図1Aに示す回路BSFBは、図2Aの回路BSPRと、回路FBと、を有する回路である。

[0099]

回路FBは、端子F_iと、端子F_oと、を有する。

[0100]

回路BSPRの端子T_iと、回路FBの端子F_oと、は互いに電氣的に接続されている。また、回路BSPRの端子T_oと、回路FBの端子F_iと、は互いに電氣的に接続されている。なお、図1Aでは、回路BSPRの端子T_iと、回路FBの端子F_oと、をまとめて1つの端子TM_iとして図示し、回路BSPRの端子T_oと、回路FBの端子F_iと、をまとめて1つの端子TM_oとして図示している。

[0101]

回路FBは、一例として、回路BSPRの端子T_oから出力された電位を取得して、回路BSP

Rの端子T_iに固定電位を与える機能を有する。つまり、回路F Bは、回路B S P Rの端子T_oから出力された電位に基づいて、回路B S P Rにフィードバックを与える回路といえる。具体的には、例えば、回路F Bは、端子F_iに高レベル電位V_{H i g h}が入力されたとき、端子F_oに固定電位（例えば、高レベル電位V_{H i g h}）を出力する構成としてもよい。

[0102]

回路F Bを上記の構成にすることによって、例えば、回路B S P Rの端子T_oから高レベル電位V_{H i g h}を出力しているとき、回路B S P Rの端子T_iには、回路F Bの端子F_oから出力される固定電位が与えられる。このため、例えば、端子T_i（端子T M i）の電位を保持するためのトランジスタにおいて、ソースドレイン間に流れるオフ電流、又はゲートソース間若しくはゲートドレイン間に流れるリーク電流が大きくなったとしても、端子T_i（端子T M i）の電位は、回路F Bが与える固定電位のままとなる。また、端子T_i（端子T M i）にノイズ信号が入力されたときも、端子T_i（端子T M i）の電位は回路F Bが与える固定電位のままとなる。したがって、回路B S P Rの端子T_oの電位が、上述したような要因によって変化しないため、ノードNの電位にも影響が波及しにくい。そのため、回路B S P Rの端子T_oから出力される電位が安定となる。

[0103]

なお、本発明の一態様の半導体装置は、図1 Aに示す回路B S F Bに限定されない。本発明の一態様の半導体装置は、例えば、図1 Bに示す回路B S F B Aのとおり、図1 Aの回路B S F BにトランジスタM N gを設けた構成としてもよい。

[0104]

トランジスタM N gは、例えば、トランジスタM N bに適用できるトランジスタを用いることができる。

[0105]

また、図1 Bの回路B S F B Aは、入力端子として機能する端子T M i 1及び端子T M i 2と、出力端子として機能する端子T M oと、を有する。なお、端子T M i 1は、図1 Aに示す端子T M iに相当する。また、図1 Bでは、端子T M i 1の電位をV_{i n 1}と記載し、端子T M i 2の電位をV_{i n 2}と記載している。

[0106]

トランジスタM N gの第1端子は、トランジスタM N bの第2端子と、容量素子C aの第2端子と、端子T M oと、に電氣的に接続されている。また、トランジスタM N gの第2端子は、配線V A L 4に電氣的に接続されている。また、トランジスタM N gのゲートは、端子T M i 2に電氣的に接続されている。

[0107]

配線V A L 4は、例えば、固定電位を与える配線として機能する。また、固定電位としては、例えば、低レベル電位が挙げられる。また、他の固定電位としては、接地電位又は負電位が挙げられる。また、状況によっては、配線V A L 4は、可変電位を与える配線として機能してもよい。

[0108]

回路B S F B Aは、例えば、配線V A L 4が低レベル電位V_{L o w}を出力する配線としたとき、端子T M oから低レベル電位V_{L o w}を出力することができる。

[0109]

ここで、図1 Bの回路B S F B Aの動作例について説明する。例えば、配線V A L 1からトラン

ジスタMN bの第1端子に高レベル電位 V_{High} が与えられているものとする。また、配線VAL 4からトランジスタMN gの第2端子に低レベル電位 V_{Low} が与えられているものとする。

[0110]

回路BSFBAの端子TMOから、高レベル電位 V_{High} を出力させる場合、初めに、端子TMi 2に低レベル電位 V_{Low} を入力してトランジスタMN gをオフ状態にする。その後、端子TMi 1に高レベル電位 V_{High} を入力することによって、端子TMOから高レベル電位 V_{High} が出力される。なお、端子TMOから高レベル電位 V_{High} が出力される動作については、図1Aの回路BSFBの動作例を参照することができる。

[0111]

その後、回路BSFBAの端子TMOから、低レベル電位 V_{Low} を出力させる場合、端子TMi 2に高レベル電位 V_{High} を入力してトランジスタMN gをオン状態にすればよい。これにより、端子TMOと配線VAL 4との間が導通状態となるため、端子TMOに蓄積された電荷が配線VAL 4に流れて、結果として端子TMOの電位が低レベル電位 V_{Low} となる。また、このとき、端子TMi 1に低レベル電位 V_{Low} を与えて、トランジスタMN bのゲートの電位を低レベル電位 V_{Low} とすることによって、トランジスタMN bがオフ状態となって、配線VAL 1と端子TMOとの間が非導通状態となるため、端子TMOにおける低レベル電位 V_{Low} への電位の降下を速くすることができる。

[0112]

また、本発明の一態様の半導体装置は、例えば、図1Cに示す回路BSFBBのとおり、回路BSPRに容量素子Caが設けられていない構成としてもよい。具体的には、図1Cの回路BSFBBは、図1Aの回路BSPRを、図2Cの回路BSPRに置き換えた構成である。図2Cの説明のとおり、トランジスタMN bのゲート容量が大きい場合には、図1Aの回路BSPRに容量素子Caを設けなくてもよく、また、これにより、図1Aの回路BSFBの回路面積を低減することができる。

[0113]

<<回路FBの構成例1>>

次に、図1Aの回路BSFB又は図1Bの回路BSFBAの構成例について説明する。

[0114]

図3Aに示す回路BSFB1は、回路FBにトランジスタMNF aが含まれている構成となっている。トランジスタMNF aは、例えば、トランジスタMN bに適用できるトランジスタを用いることができる。なお、図3Aでは、一例として、トランジスタMNF aを、チャネルの上下にゲートを有するマルチゲート構造のnチャネル型トランジスタとして図示している。

[0115]

トランジスタMNF aの第1端子は、端子FOに電氣的に接続され、トランジスタMNF aの第2端子は、配線VAL 41に電氣的に接続されている。また、トランジスタMNF aのゲートは、端子Fiに電氣的に接続されている。

[0116]

配線VAL 41は、例えば、配線VAL 1と同様に、固定電位又は可変電位を与える配線として機能する。また、固定電位としては、例えば、高レベル電位、低レベル電位、接地電位又は負電位が挙げられる。また、可変電位としては、パルス信号（パルス電圧と呼ばれる場合がある）が挙げ

られる。

[0117]

また、配線VAL41は、配線VAL1に電氣的に接続されていてもよい。換言すると、配線VAL41は、配線VAL1と同一の配線としてもよい。

[0118]

ここで、図3Aの回路BSFB1の動作例について説明する。

[0119]

回路BSPRに係る動作については、図2Aの回路BSPRの動作例を参照することができる。例えば、回路BSFB1の端子T_{Mi}に高レベル電位V_{High}が入力されたとき（つまり、V_{in}=V_{High}のとき）、回路BBは端子B_oに電位V_{Mid}を出力する。これにより、トランジスタMN_bのゲート（容量素子C_aの第1端子）にV_{Mid}が与えられる。また、配線VAL1からトランジスタMN_bの第1端子に低レベル電位V_{Low}が与えられているものとする。また、配線VAL41からトランジスタMNF_aの第2端子に高レベル電位V_{High}が与えられているものとする。

[0120]

このとき、トランジスタMN_bのゲートソース間電圧（このタイミングでは、ゲート第1端子間電圧）は、V_{Mid}-V_{Low}となるため、トランジスタMN_bは、オン状態となる。このため、配線VAL1は、トランジスタMN_bを介して、回路BSPRの端子T_oに低レベル電位V_{Low}を出力する。つまり、V_{out}=V_{Low}となる。

[0121]

そのため、回路FBの端子F_iには、端子T_oの電位と同じV_{Low}が入力される。これにより、トランジスタMNF_aのゲートに低レベル電位V_{Low}が与えられている。

[0122]

また、トランジスタMNF_aはノーマリーオフであって、トランジスタMNF_aのしきい値電圧をV_{th_MNFa}とする。また、しきい値電圧をV_{th_MNFa}は、V_{High}-V_{Low}>V_{th_MNFa}を満たす電圧とする。

[0123]

ここでのトランジスタMNF_aのゲートソース間電圧（ここでは、ゲート第1端子間電圧とする）は、V_{Low}-V_{High}<V_{th_MNFa}であるため、トランジスタMNF_aはオフ状態となる。

[0124]

次に、配線VAL1からトランジスタMN_bの第1端子に与える電位を、低レベル電位V_{Low}から高レベル電位V_{High}に変化したとする。また、回路BBによって、ノードNがフローティング状態になったものとする。このとき、トランジスタMN_bのゲートソース間電圧（このタイミングでは、ゲート第2端子間電圧）は、V_{Mid}-V_{Low}となるため、トランジスタMN_bは、オン状態となる。このため、配線VAL1から、トランジスタMN_bを介して、回路BSPRの端子T_oに電流が流れて、端子T_oの電位がV_{Low}から高くなる。なお、ノードNはフローティング状態なので、容量素子C_aの容量結合により、端子T_oの電位の上昇に伴って、ノードNの電位もV_{Mid}から上昇する。これにより、トランジスタMN_bのゲートソース間電圧は、容量素子C_aによって保持されるため、端子T_oの電位はV_{High}まで高くなる。また、理想的には、ノードNの電位は、V_{Mid}+V_{High}-V_{Low}となる。

[0125]

このとき、回路FBの端子Fiには、端子Toの電位と同じ V_{High} が入力される。これにより、トランジスタMNFaのゲートに高レベル電位 V_{High} が与えられている。

[0126]

ここでのトランジスタMNFaのゲートソース間電圧（ここでは、ゲートー第1端子間電圧とする）は、一例として、 $V_{High} - V_{High} = 0$ となる。トランジスタMNFaはノーマリーオフであるため、トランジスタMNFaはオフ状態である。

[0127]

ところで、この状態において、回路BSPRの端子Ti（トランジスタMNFaの第1端子）の電位が高レベル電位 V_{High} から低下して、トランジスタMNFaのゲートー第1端子間電圧がしきい値電圧よりも高くなったとき、トランジスタMNFaがオン状態となる。このとき、回路BSPRの端子Tiには、配線VAL41からの電荷が蓄積されて、回路BSPRの端子Tiの電位が上昇する。具体的には、トランジスタMNFaは、トランジスタMNFaのゲートソース間電圧が V_{th_MNFa} になったときにオフ状態となるため、このときの回路BSPRの端子Ti（トランジスタMNFaの第1端子）の電位は $V_{High} - V_{th_MNFa}$ となる。

[0128]

上記のとおり、回路BSFB1は、端子TMoから高レベル電位 V_{High} が出力されたとき、回路BSPRの端子Tiの電位が下がった際に、回路FBが、端子Tiに対して電位 $V_{High} - V_{th_MNFa}$ を与えることができる。これにより、端子Tiの電位はほぼ $V_{High} - V_{th_MNFa}$ のまま維持されるため、回路BSPRの端子Toから出力される電位が安定となる。

[0129]

なお、本発明の一態様の半導体装置は、図3Aに示す回路BSFB1に限定されない。本発明の一態様の半導体装置は、例えば、図3Bに示す回路BSFB1Aのとおり、トランジスタMNFaがシングルゲート構造のトランジスタとした構成としてもよい。つまり、トランジスタMNFaは、バックゲートを有さないトランジスタとしてもよい。

[0130]

また、本発明の一態様の半導体装置は、例えば、図3Cに示す回路BSFB1Bのとおり、図3Aの回路BSFB1にトランジスタMNgを設けた構成としてもよい。具体的には、図3Cの回路BSFB1Bは、図1Bの回路BSFBAにおける回路FBに、図3Aに示す回路FBを適用した構成となっている。回路BSFB1Bは、図1Bの回路BSFBAと同様に、端子TMoから高レベル電位 V_{High} 又は低レベル電位 V_{Low} を出力することができる増幅回路となっている。

[0131]

<<回路FBの構成例2>>

図4Aに示す回路BSFB2は、図3Aの回路BSFB1の変更例であって、トランジスタMNFaのバックゲートが、トランジスタMNFaのゲートに電氣的に接続されている点で、回路BSFB1と異なっている。

[0132]

上述したとおり、トランジスタのゲートとバックゲートとを電氣的に接続することによって、当該トランジスタのオン電流を大きくすることができる。つまり、回路BSFB2のトランジスタMNFaにおいて、ゲートとバックゲートとを電氣的に接続することによって、トランジスタMNFaがオン状態のときに流れるオン電流を大きくすることができる。これにより、端子TMiの電位

が回路FBの端子Foから出力される固定電位（例えば、 $V_{High} - V_{th_MNFa}$ ）に遷移する速度を速くすることができる。

[0133]

また、図4Bに示す回路BSFB3は、図3Aの回路BSFB1の変更例であって、トランジスタMNFaのバックゲートが、配線VAL51に電氣的に接続されている点で、回路BSFB1と異なっている。

[0134]

配線VAL51は、例えば、配線VAL4と同様に、固定電位を与える配線として機能する。また、固定電位としては、例えば、低レベル電位が挙げられる。また、他の固定電位としては、接地電位又は負電位が挙げられる。また、状況によっては、配線VAL51は、可変電位を与える配線として機能してもよい。

[0135]

上述したとおり、トランジスタMNFaのバックゲートに、例えば、配線VAL4から出力される低レベル電位が入力されたとき、トランジスタMNFaのしきい値電圧は高くなる。これにより、トランジスタMNFaをノーマリーオフにすることができるため、トランジスタMNFaのソースドレイン間に流れるオフ電流を低減することができる。

[0136]

また、図4Cに示す回路BSFB4は、図3Aの回路BSFB1の変更例であって、トランジスタMNFaのバックゲートが、端子Tmiと、端子Foと、端子Tiと、に電氣的に接続されている点で、回路BSFB1と異なっている。

[0137]

回路BSFB4におけるトランジスタMNFaは、端子Tmiに低レベル電位 V_{Low} が入力されているとき、トランジスタMNFaのバックゲートに低レベル電位 V_{Low} が入力されるため、トランジスタMNFaのしきい値電圧が高くなる。また、このとき、端子Tmoから低レベル電位 V_{Low} が出力されている場合、トランジスタMNFaのゲートには低レベル電位 V_{Low} が入力されているため、トランジスタMNFaはオフ状態となり、このときのトランジスタMNFaのソースドレイン間に流れるオフ電流の量を小さくすることができる。

[0138]

また、回路BSFB4におけるトランジスタMNFaは、端子Tmiに高レベル電位 V_{High} が入力されているとき、トランジスタMNFaのバックゲートに高レベル電位 V_{High} が入力されるため、トランジスタMNFaのしきい値電圧が低くなる。また、このとき、回路BSPRの動作によって、端子Tmoに高レベル電位 V_{High} が出力された場合、トランジスタMNFaのゲートには高レベル電位 V_{High} が入力されているため、トランジスタMNFaはオン状態となる。このときのトランジスタMNFaのソースドレイン間に流れるオン電流は、トランジスタMNFaのバックゲートに高レベル電位 V_{High} が入力されているため、オン電流の量が大きくなる。これにより、端子Tmiの電位が回路FBの端子Foから出力される固定電位（例えば、 $V_{High} - V_{th_MNFa}$ ）に遷移する速度を速くすることができる。

[0139]

<<回路FBの構成例3>>

図4Dに示す回路BSFB5は、図3Aの回路BSFB1の変更例であって、トランジスタMN

F a の第 2 端子が、配線 V A L 4 1 でなく、トランジスタ M N F a のゲートに電氣的に接続されている点で、回路 B S F B 1 と異なっている。つまり、回路 B S F B 5 におけるトランジスタ M N F a は、ダイオード接続された構成となっている。

[0140]

トランジスタ M N F a のゲートに高レベル電位 V_{High} が入力されている場合（回路 B S P R の端子 T o から高レベル電位 V_{High} が出力されている場合）、トランジスタ M N F a の第 1 端子の電位が $V_{High} - V_{th_MNFa}$ よりも低いとき、トランジスタ M N F a はオン状態となる。このとき、端子 T o から出力される電流は、回路 F B を介して、トランジスタ M N F a のソースドレイン間を介して端子 T M i に流れる。また、端子 T M i に電流が流れて、トランジスタ M N F a の第 1 端子の電位が $V_{High} - V_{th_MNFa}$ になったとき、トランジスタ M N F a がオフ状態となる。

[0141]

回路 B S F B 5 を用いても、回路 B S F B と同様に、回路 B S P R の端子 T o から出力される電位をフィードバックして、回路 B S P R の端子 T i に固定電位を与えることができる。

[0142]

<<回路 F B の構成例 4>>

図 5 に示す回路 B S F B 6 は、図 3 A の回路 B S F B 1 の変更例であって、回路 F B に回路 B U F を設けている点で、回路 B S F B 1 と異なっている。また、回路 B S F B 6 の端子 F i と、トランジスタ M N F a のゲートと、が互いに直接電氣的に接続されず、回路 B S F B 6 の端子 F i が後述する端子 B F i に直接電氣的に接続され、トランジスタ M N F a のゲートが後述する端子 B F o に直接電氣的に接続されている点でも、回路 B S F B 1 と異なっている。

[0143]

回路 B U F は、端子 B F i と、端子 B F o と、を有する。

[0144]

回路 B U F は、一例として、端子 B F i に入力した電位を増幅して、端子 B F o に増幅した電位を出力する機能を有する。特に、ここでは、回路 B U F は、バッファ回路として機能するものとする。

[0145]

回路 B S F B 6 において、回路 B U F をバッファ回路とすることによって、例えば、端子 T M o から出力される電位がノイズ信号などによってわずかに変動したとしても、トランジスタ M N F a のゲートには安定した固定電位を与えることができる。

[0146]

図 5 に示した回路 B S F B 6 の回路 B U F の構成例を、図 6 A に示す。なお、図 6 A には、電氣的な接続構成を説明するため、回路 B S P R と、端子 T M i と、端子 T M o と、も図示している。

[0147]

図 6 A に示す回路 B S F B 6 A において、回路 B U F は、論理回路 I N V 1 と、論理回路 I N V 2 と、を有する。

[0148]

論理回路 I N V 1 の入力端子は、端子 B F i に電氣的に接続され、論理回路 I N V 1 の出力端子は、論理回路 I N V 2 の入力端子に電氣的に接続され、論理回路 I N V 2 の出力端子は、端子 B F o に電氣的に接続されている。

[0149]

論理回路 INV 1 及び論理回路 INV 2 のそれぞれは、入力端子に入力された信号に対する反転信号を生成して、当該反転信号を出力する機能を有する。論理回路 INV 1 及び論理回路 INV 2 としては、例えば、インバータ回路を適用することができる。また、インバータ回路以外では、例えば、NAND回路、NOR回路、XOR回路又はこれらを組み合わせた論理回路とすることができる。

[0150]

図6Aに示した回路BSFB6Aの回路BUFに含まれる論理回路 INV 1 及び論理回路 INV 2 の構成例を、図6Bに示す。

[0151]

図6Bに示す回路BSFB6Bにおいて、論理回路 INV 1 及び論理回路 INV 2 のそれぞれは、トランジスタM1と、トランジスタM2と、トランジスタM3と、トランジスタM4と、を有する。

[0152]

トランジスタM1乃至トランジスタM4のそれぞれは、例えば、トランジスタMNBに適用できるトランジスタを用いることができる。

[0153]

論理回路 INV 1 において、トランジスタM1のゲートと、トランジスタM3のゲートと、のそれぞれは、論理回路 INV 1 の入力端子（回路BUFの端子BFi）に電氣的に接続されている。また、トランジスタM1の第1端子は、トランジスタM2の第1端子と、トランジスタM4のゲートと、に電氣的に接続されている。また、トランジスタM1の第2端子は、配線VAL52に電氣的に接続されている。また、トランジスタM2の第2端子は、トランジスタM2のゲートと、配線VAL42と、に電氣的に接続されている。また、トランジスタM3の第1端子は、トランジスタM4の第1端子と、論理回路 INV 1 の出力端子に電氣的に接続されている。また、トランジスタM3の第2端子は、配線VAL52に電氣的に接続されている。また、トランジスタM4の第2端子は、配線VAL42に電氣的に接続されている。

[0154]

論理回路 INV 2 において、トランジスタM1のゲートと、トランジスタM3のゲートと、のそれぞれは、論理回路 INV 2 の入力端子（論理回路 INV 1 の出力端子）に電氣的に接続されている。また、トランジスタM1の第1端子は、トランジスタM2の第1端子と、トランジスタM4のゲートと、に電氣的に接続されている。また、トランジスタM1の第2端子は、配線VAL52に電氣的に接続されている。また、トランジスタM2の第2端子は、トランジスタM2のゲートと、配線VAL42と、に電氣的に接続されている。また、トランジスタM3の第1端子は、トランジスタM4の第1端子と、論理回路 INV 2 の出力端子（回路BUFの端子BFo）に電氣的に接続されている。また、トランジスタM3の第2端子は、配線VAL52に電氣的に接続されている。また、トランジスタM4の第2端子は、配線VAL42に電氣的に接続されている。

[0155]

配線VAL42は、一例として、論理回路 INV 1 及び論理回路 INV 2 のそれぞれに高レベル電位を与えるための電源線として機能する。なお、配線VAL42は、高レベル電位でなく、低レベル電位、接地電位又は負電位を与える配線としてもよい。又は、配線VAL42は、固定電位ではなく、可変電位を与える配線としてもよい。

[0156]

配線VAL52は、一例として、論理回路INV1及び論理回路INV2のそれぞれに低レベル電位を与えるための電源線として機能する。なお、配線VAL52は、低レベル電位でなく、高レベル電位、接地電位又は負電位を与える配線としてもよい。又は、配線VAL52は、固定電位ではなく、可変電位を与える配線としてもよい。

[0157]

なお、論理回路INV1及び論理回路INV2のそれぞれに含まれている、トランジスタM2の第2端子とトランジスタM4の第2端子とには、1本の配線VAL42が電氣的に接続されているが、論理回路INV1及び論理回路INV2のそれぞれに含まれている、トランジスタM2の第2端子とトランジスタM4の第2端子のそれぞれには、異なる配線が電氣的に接続されていてもよい。同様に、論理回路INV1及び論理回路INV2のそれぞれに含まれている、トランジスタM1の第2端子とトランジスタM3の第2端子とには、1本の配線VAL52が電氣的に接続されているが、論理回路INV1及び論理回路INV2のそれぞれに含まれている、トランジスタM1の第2端子とトランジスタM3の第2端子のそれぞれには、異なる配線が電氣的に接続されていてもよい。

[0158]

また、図5に示した回路BSFB6の回路BUFの構成例を図7Aに示す。図7Aに示す回路BSFB6Cは、図6Bの回路BSFB6Bの変更例でもあって、回路BUFに含まれているトランジスタの数、及び接続構成が回路BSFB6Bと異なっている。

[0159]

回路BSFB6Cの回路BUFは、トランジスタM1と、トランジスタM2と、トランジスタM3と、トランジスタM4と、トランジスタM5と、トランジスタM6と、トランジスタM7と、を有する。

[0160]

トランジスタM1乃至トランジスタM7のそれぞれは、例えば、トランジスタMNbに適用できるトランジスタを用いることができる。

[0161]

図7Aの回路BSFB6Cの回路BUFにおいて、トランジスタM1のゲートと、トランジスタM3のゲートと、トランジスタM5の第1端子と、のそれぞれは、回路BUFの端子BFi（回路FBの端子Fi）に電氣的に接続されている。また、トランジスタM1の第1端子は、トランジスタM2の第1端子と、トランジスタM4のゲートと、に電氣的に接続されている。また、トランジスタM1の第2端子は、配線VAL52に電氣的に接続されている。また、トランジスタM2の第2端子は、トランジスタM2のゲートと、配線VAL42と、に電氣的に接続されている。また、トランジスタM3の第1端子は、トランジスタM4の第1端子と、トランジスタM6のゲートと、に電氣的に接続されている。また、トランジスタM3の第2端子は、配線VAL52に電氣的に接続されている。また、トランジスタM4の第2端子は、配線VAL42に電氣的に接続されている。また、トランジスタM5の第2端子は、トランジスタM7のゲートに電氣的に接続され、トランジスタM5のゲートは、配線VAL42に電氣的に接続されている。また、トランジスタM6の第1端子は、トランジスタM2の第1端子と、回路BUFの端子BFoと、に電氣的に接続されている。また、トランジスタM6の第2端子は、配線VAL52に電氣的に接続されている。また、トランジスタM7の第2端子は、配線VAL42に電氣的に接続されている。

[0162]

なお、トランジスタM2の第2端子とトランジスタM4の第2端子とトランジスタM5のゲートとトランジスタM7の第2端子とには、1本の配線VAL42が電氣的に接続されているが、トランジスタM2の第2端子とトランジスタM4の第2端子とトランジスタM5のゲートとトランジスタM7の第2端子とのそれぞれには、異なる配線が電氣的に接続されていてもよい。同様に、トランジスタM1の第2端子とトランジスタM3の第2端子とトランジスタM6の第2端子とには、1本の配線VAL52が電氣的に接続されているが、トランジスタM1の第2端子とトランジスタM3の第2端子とトランジスタM6の第2端子とのそれぞれには、異なる配線が電氣的に接続されていてもよい。

[0163]

また、図7Aの回路BSFB6Cとは異なる、図5に示した回路BSFB6の回路BUFの構成例を図7Bに示す。図7Bに示す回路BSFB6Dは、図7Aの回路BSFB6Cの変更例でもあって、回路BUFに含まれているトランジスタの数、及び接続構成が回路BSFB6Cと異なっている。

[0164]

回路BSFB6Dの回路BUFは、一例として、トランジスタM1と、トランジスタM2と、トランジスタM5と、トランジスタM6と、トランジスタM7と、を有する。

[0165]

図7Bの回路BSFB6Dの回路BUFにおいて、トランジスタM1のゲートと、トランジスタM5の第1端子と、のそれぞれは、回路BUFの端子BFi（回路FBの端子Fi）に電氣的に接続されている。また、トランジスタM1の第1端子は、トランジスタM2の第1端子と、トランジスタM6のゲートと、に電氣的に接続されている。また、トランジスタM1の第2端子は、配線VAL52に電氣的に接続されている。また、トランジスタM2の第2端子は、トランジスタM2のゲートと、配線VAL42と、に電氣的に接続されている。また、トランジスタM5の第2端子は、トランジスタM7のゲートに電氣的に接続され、トランジスタM5のゲートは、配線VAL42に電氣的に接続されている。また、トランジスタM6の第1端子は、トランジスタM7の第1端子と、回路BUFの端子BFoと、に電氣的に接続されている。また、トランジスタM6の第2端子は、配線VAL52に電氣的に接続されている。また、トランジスタM7の第2端子は、配線VAL42に電氣的に接続されている。

[0166]

図5に示す回路BSFB6の回路BUFを、図6Aの回路BSFB6A（図6Bの回路BSFB6B）と、図7Aの回路BSFB6Cと、図7Bの回路BSFB6Dと、のいずれかの回路BUFの構成にすることによって、トランジスタMNFaのゲートに安定した固定電位を与えることができる。

[0167]

なお、回路BSFB6は、特に、図6Bの回路BSFB6B、図7Aの回路BSFB6C、及び図7Bの回路BSFB6Dのとおり、nチャネル型トランジスタを用いた単極性回路として構成してもよいし、pチャネル型トランジスタも含めたCMOS回路として構成してもよい。

[0168]

<<回路FBの構成例5>>

図 8 A に示す回路 B S F B 7 は、図 1 A の回路 B S F B と同様に、回路 B S P R の端子 T o から出力した電位に応じて、端子 T i (端子 T M i) へのフィードバックを行う増幅回路である。なお、図 8 A の回路 B S F B 7 の回路 F B は、入力端子として機能する端子 F i 1 及び端子 F i 2 と、を有する点で、図 1 A の回路 B S F B と異なっている。

[0169]

図 8 A の回路 B S F B 7 において、回路 F B は、トランジスタ M N F a と、容量素子 C a f と、回路 B B F と、を有する。また、上述したとおり、図 8 A の回路 B S F B 7 に含まれる回路 F B は、入力端子として機能する端子 F i 1 及び端子 F i 2 と、出力端子として機能する端子 F o と、を有する。なお、端子 F i 2 は、図 1 A に示す端子 F i に相当する。

[0170]

トランジスタ M N F a には、トランジスタ M N b に適用できるトランジスタを用いることができる。

[0171]

回路 B B F には、図 2 A に示した回路 B S P R に含まれている回路 B B に適用できる回路とすることができる。そのため、図 8 A には、回路 B B F の端子として、回路 B B と同様に端子 B i と端子 B o とを図示している。

[0172]

端子 F i 1 は、回路 B B F の端子 B i に電氣的に接続されている。また、端子 F i 1 は、回路 B S P R の端子 T i と、回路 B S F B 7 の端子 T M i と、回路 F B の端子 F o と、に電氣的に接続されている。端子 F i 2 は、容量素子 C a f の第 1 端子に電氣的に接続されている。また、端子 F i 2 は、回路 B S P R の端子 T o と、回路 B S F B 7 の端子 T M o と、に電氣的に接続されている。また、容量素子 C a f の第 2 端子は、回路 B B F の端子 B o と、トランジスタ M N F a のゲートと、に電氣的に接続されている。また、端子 F o は、トランジスタ M N F a の第 1 端子に電氣的に接続され、トランジスタ M N F a の第 2 端子は、配線 V A L 4 1 に電氣的に接続されている。

[0173]

なお、本実施の形態では、回路 B B F の端子 B o と、トランジスタ M N F a のゲートと、容量素子 C a f の第 2 端子と、の電氣的な接続部分をノード N f と呼称する。

[0174]

回路 B B F は、例えば、ノード N f をフローティング状態にする機能を有する。そのため、回路 B B F は、例えば、スイッチング素子を有する構成とすることができる。また、回路 B B F は、端子 B i に入力された電位に応じた電位を端子 B o に出力する機能を有する。例えば、回路 B B F は、端子 B i に高レベル電位 V_{High} が与えられたとき、端子 B o に電位 V_{Mid_f} を出力する構成とすることができる。なお、 V_{Mid_f} は、高レベル電位 V_{High} よりも低く、低レベル電位 V_{Low} よりも高い電位とする。

[0175]

配線 V A L 4 1 は、図 3 A の回路 B S F B 1 で説明した配線 V A L 4 1 の説明を参照することができる。

[0176]

ここで、図 8 A の回路 B S F B 7 の動作例について説明する。

[0177]

回路BSPRに係る動作については、図2Aの回路BSPRの動作例を参照することができる。例えば、回路BSFB7の端子T_{Mi}に高レベル電位 V_{High} が入力されたとき（つまり、 $V_{in} = V_{High}$ のとき）、回路BBは端子B_oに電位 V_{Mid} を出力する。これにより、トランジスタMNbのゲート（容量素子C_aの第1端子）に V_{Mid} が与えられる。また、このとき、回路BBによって、ノードNがフローティング状態になったものとする。

[0178]

また、配線VAL1からトランジスタMNbの第1端子に低レベル電位 V_{Low} が与えられているものとする。このとき、トランジスタMNbのゲートソース間電圧（このタイミングでは、ゲートー第1端子間電圧）は、 $V_{Mid} - V_{Low}$ となるため、トランジスタMNbは、オン状態となる。このため、配線VAL1は、トランジスタMNbを介して、回路BSPRの端子T_oに低レベル電位 V_{Low} を出力する。つまり、 $V_{out} = V_{Low}$ となる。

[0179]

そのため、回路FBの端子F_{i2}には、端子T_oの電位と同じ V_{Low} が入力される。これにより、容量素子C_{af}の第1端子に低レベル電位 V_{Low} が与えられている。

[0180]

また、回路FBにおいて、回路BSFB7の端子T_{Mi}に高レベル電位 V_{High} が入力されたとき（つまり、 $V_{in} = V_{High}$ のとき）、回路BBFは端子B_oに電位 V_{Mid_f} を出力する。これにより、トランジスタMNFaのゲート（容量素子C_{af}の第2端子、及びノードN_f）に V_{Mid_f} が与えられる。これにより、容量素子C_{af}に保持されている電圧は、ノードN_fを基準としたとき、 $V_{Mid_f} - V_{Low}$ となる。

[0181]

また、トランジスタMNFaはノーマリーオフであって、トランジスタMNFaのしきい値電圧を V_{th_MNFa} とする。また、しきい値電圧 V_{th_MNFa} は、 $V_{High} - V_{Low} > V_{th_MNFa}$ を満たす電圧とする。

[0182]

また、配線VAL41からトランジスタMNFaの第2端子に高レベル電位 V_{High} が与えられているものとする。このとき、トランジスタMNFaの第1端子及び第2端子のそれぞれの電位が V_{High} であり、トランジスタMNFaのゲートが V_{Mid_f} となる。このとき、トランジスタMNFaのゲートソース間電圧（このタイミングでは、例えば、ゲートー第1端子間電圧）は、 $V_{Mid_f} - V_{High}$ となる。 $V_{Mid_f} - V_{High} < V_{th_MNFa}$ となるため、トランジスタMNFaは、オフ状態となる。また、このとき、回路BBFによって、ノードN_fがフローティング状態になったものとする。

[0183]

次に、配線VAL1からトランジスタMNbの第1端子に与える電位を、低レベル電位 V_{Low} から高レベル電位 V_{High} に変化したものとする。このとき、トランジスタMNbのゲートソース間電圧（このタイミングでは、ゲートー第2端子間電圧）は、 $V_{Mid} - V_{Low}$ となるため、トランジスタMNbは、オン状態となる。このため、配線VAL1から、トランジスタMNbを介して、回路BSPRの端子T_oに電流が流れて、端子T_oの電位が V_{Low} から高くなる。なお、ノードNはフローティング状態なので、容量素子C_aの容量結合により、端子T_oの電位の上昇に伴って、ノードNの電位も V_{Mid} から上昇する。これにより、トランジスタMNbのゲートソース間電圧は、容

量素子C a によって保持されるため、端子T o の電位は V_{High} まで高くなる。また、理想的には、ノードN の電位は、 $V_{Mid} + V_{High} - V_{Low}$ となる。

[0184]

このとき、回路F B の端子F i 2 には、端子T o の電位と同じ V_{High} が入力される。これにより、容量素子C a f の第1 端子の電位が、低レベル電位 V_{Low} から高レベル電位 V_{High} に変化したことになる。また、ノードN f はフローティング状態なので、容量素子C a f の容量結合により、端子F i 2 の電位の上昇に伴って、ノードN f の電位も V_{Mid} から上昇する。なお、ここでは、ノードN f の電位は、 $V_{Mid_f} + V_{High} - V_{Low}$ となるものとする。

[0185]

上記より、トランジスタMNF a のゲートの電位は、 $V_{Mid_f} + V_{High} - V_{Low}$ となる。また、トランジスタMNF a の第1 端子及び第2 端子のそれぞれの電位は V_{High} であるため、このときのトランジスタMNF a のゲートソース間電圧は、 $V_{Mid_f} - V_{Low}$ となる。 $V_{Mid_f} - V_{Low} > V_{th_MNFa}$ を満たすことによって、トランジスタMNF a は、オン状態となる。つまり、回路B S F B 7 の端子TM i と、配線VAL 4 1 と、の間が導通状態となる。

[0186]

また、上述したとおり、トランジスタMNF a のゲートの電位は、 $V_{Mid_f} + V_{High} - V_{Low}$ である。ここで、トランジスタMNF a のゲートの電位 $V_{Mid_f} + V_{High} - V_{Low}$ が、 $V_{High} + V_{th_MNFa}$ よりも大きいとき（つまり、 $V_{Mid_f} - V_{Low}$ が V_{th_MNFa} よりも高いとき）、配線VAL 4 1 から、トランジスタMNF a を介して回路B S F B 7 の端子TM i （回路B S P R の端子T i ）に与えられる電位には、トランジスタMNF a のしきい値電圧 V_{th_MNFa} の低下が起きない。つまり、トランジスタMNF a での電圧降下の影響をほぼ無くすることができるため、回路B S F B 7 の端子TM i （回路B S P R の端子T i ）の電位を、配線VAL 4 1 から与えられる高レベル電位 V_{High} にすることができる。

[0187]

これにより、例えば、端子T i （端子TM i ）の電位を保持するためのトランジスタにおいて、ソースドレイン間に流れるオフ電流、又はゲートソース間若しくはゲートドレイン間に流れるリーク電流が大きくなったとしても、端子T i （端子TM i ）の電位は、回路F B が与える固定電位（高レベル電位 V_{High} ）のままとなる。また、端子T i （端子TM i ）にノイズ信号が入力されたときも、端子T i （端子TM i ）の電位は回路F B が与える固定電位（高レベル電位 V_{High} ）のままとなる。したがって、回路B S P R の端子T o の電位が、上述したような要因によって変化しないため、ノードN の電位にも影響が波及しにくい。そのため、回路B S P R の端子T o から出力される電位が安定となる。

[0188]

図8 A の回路B S F B 7 において、回路B B F に、後述する図9 A の回路B B を適用した構成例を、図8 B に示す。図8 B の回路B S F B 7 A は、回路B B F にトランジスタMNF b が含まれている構成となっている。

[0189]

トランジスタMNF b の第1 端子は、回路B B F の端子B i に電氣的に接続され、トランジスタMNF b の第2 端子は、回路B B F の端子B o に電氣的に接続され、トランジスタMNF b のゲートは、配線VAL 4 2 に電氣的に接続されている。

[0190]

配線VAL42は、上記で説明した配線VAL41の説明を参照することができる。

[0191]

また、トランジスタMNFbはノーマリーオフであって、トランジスタMNFbのしきい値電圧を V_{th_MNFb} とする。また、しきい値電圧 V_{th_MNFb} は、 $V_{High} - V_{Low} > V_{th_MNFb}$ を満たす電圧とする。

[0192]

ここで、図8Bの回路BSFB7Aにおける回路FBの回路の動作例について説明する。初めに、回路FBにおいて、ノードNfの電位が低レベル電位 V_{Low} であるものとする。また、配線VAL42からトランジスタMNFbのゲートに高レベル電位 V_{High} が与えられているものとする。このとき、トランジスタMNFbのゲートソース間電圧（このタイミングでは、ゲート第2端子間電圧）は $V_{High} - V_{Low}$ となるので、トランジスタMNFbがオン状態となる。また、ここで、回路BSFB7Aの端子Tmiに高レベル電位 V_{High} が入力されたとき（つまり、 $V_{in} = V_{High}$ のとき）、トランジスタMNFbの第2端子の電位は、トランジスタMNFbがオフ状態となるゲートソース間電圧になるまで上昇する。具体的には、トランジスタMNFbの第2端子の電位（ノードNfの電位）が、 $V_{High} - V_{th_MNFb}$ に達したとき、トランジスタMNFbがオフ状態となる。なお、 $V_{High} - V_{th_MNFb}$ は、上述した V_{Mid_f} に相当する。

[0193]

その後、回路BSPRによって、端子Toから高レベル電位 V_{High} が出力されたものとする。これにより、ノードNfの電位は、容量素子Cafによる容量結合によって、 $V_{High} - V_{th_MNFb}$ から $2V_{High} - V_{th_MNFb} - V_{Low}$ に変化する。つまり、トランジスタMNFaのゲートの電位は $2V_{High} - V_{th_MNFb} - V_{Low}$ となり、また、トランジスタMNFaの第1端子及び第2端子のそれぞれは V_{High} であるため、トランジスタMNFaのゲートソース間電圧は、 $V_{High} - V_{th_MNFb} - V_{Low}$ となる。 $V_{High} - V_{th_MNFb} - V_{Low} > V_{th_MNFa}$ を満たすことにより、トランジスタMNFaはオン状態となって、配線VAL41と端子Ti（端子Tmi）との間が導通状態となる。

[0194]

また、トランジスタMNFaのゲートの電位 $2V_{High} - V_{th_MNFb} - V_{Low}$ が、 $V_{High} + V_{th_MNFa}$ よりも大きいとき（つまり、 $V_{High} - V_{Low} - V_{th_MNFb}$ が、 V_{th_MNFa} よりも高いとき）、配線VAL41から、トランジスタMNFaを介して回路BSFB7の端子Tmi（回路BSPRの端子Ti）に与えられる電位には、トランジスタMNFaのしきい値電圧 V_{th_MNFa} の低下が起きない。つまり、トランジスタMNFaでの電圧降下の影響をほぼ無くすることができるため、回路BSFB7の端子Tmi（回路BSPRの端子Ti）の電位を、配線VAL41から与えられる高レベル電位 V_{High} にすることができる。これにより、端子Ti（端子Tmi）がフローティング状態でなくなるため、端子Ti（端子Tmi）の電位は、リーク電流又はノイズ信号といった要因によって、変化しなくなる。

[0195]

なお、本発明の一態様の半導体装置は、図8Aに示す回路BSFB7及び図8Bに示す回路BSFB7Aに限定されない。本発明の一態様の半導体装置は、例えば、図8Aの回路BSFB7を、図8Cに示す回路BSFB7Bに変更した回路構成としてもよい。

[0196]

図8Cの回路BSFB7Bは、図8Aの回路BSFB7において、回路FBに含まれている容量素子Cafを回路BSPRに含まれている容量素子Caにまとめ、回路FBに含まれている回路BBFを回路BSPRに含まれている回路BBにまとめた構成となっている。そのため、回路FBのノードNfは、回路BSPRのノードNにまとめられる。

[0197]

図8Cの回路BSFB7Bでは、回路FBの入力端子は、端子Fi1及び端子Fi2ではなく、端子Fiとしている。また、図8Cの回路BSFB7Bにおいて、回路FBの端子Fiは、回路BBの端子Boと、トランジスタMNbのゲートと、容量素子Caの第1端子と、に電氣的に接続されている。

[0198]

なお、図8Cの回路BSFB7Bは、図3Aの回路BSFB1において、回路FBの端子Fiを、端子To及び端子TMoではなく、回路FBの端子Fiは、回路BBの端子Boと、トランジスタMNbのゲートと、容量素子Caの第1端子と、に電氣的に接続した構成でもある。つまり、図8Cの回路BSFB7Bは、図3Aの回路BSFB1の変更例ともいえる。

[0199]

図8Cの回路BSFB7Bにおいて、回路BSPRの動作は、図2Aの回路BSPRの動作例を参照することができる。このため、ノードNの電位を V_{Mid} とし、かつノードNをフローティング状態にした後に、配線VAL1からトランジスタMNbの第1端子に与える電位を低レベル電位 V_{Low} から高レベル電位 V_{High} に変化させることによって、ブートストラップによって、ノードNの電位を $V_{Mid} + V_{High} - V_{Low}$ にすることができる。また、これにより、トランジスタMNFaのゲートには、 $V_{Mid} + V_{High} - V_{Low}$ が与えられる。ここで、トランジスタMNFaのゲートの電位 $V_{Mid} + V_{High} - V_{Low}$ が、 $V_{High} + V_{th_MNFa}$ よりも大きいとき、配線VAL41から、トランジスタMNFaを介して回路BSFB7の端子TMi（回路BSPRの端子Ti）に与えられる電位には、トランジスタMNFaのしきい値電圧 V_{th_MNFa} の低下が起きない。つまり、図8Aの回路BSFB7と同様に、トランジスタMNFaでの電圧降下の影響をほぼ無くすることができるため、回路BSFB7Bの端子TMi（回路BSPRの端子Ti）の電位を、配線VAL41から与えられる高レベル電位 V_{High} にすることができる。

[0200]

<<回路BBの構成例1>>

次に、図1A及び図1Bのそれぞれの回路BSPRに含まれている回路BBの構成例について説明する。なお、下記に説明する回路BBは、図8Aの回路FBに含まれる回路BBFにも適用することができる。

[0201]

図9Aに示す回路BSPRは、回路BBにトランジスタMNaが含まれている構成となっている。トランジスタMNaは、例えば、トランジスタMNbに適用できるトランジスタを用いることができる。

[0202]

トランジスタMNaの第1端子は端子Biに電氣的に接続され、トランジスタMNaの第2端子は端子Boに電氣的に接続されている。また、トランジスタMNaのゲートは、配線VAL2に電

氣的に接続されている。

[0203]

配線VAL2は、例えば、配線VAL1と同様に、固定電位、又は可変電位を与える配線として機能する。また、固定電位としては、例えば、高レベル電位、低レベル電位、接地電位又は負電位が挙げられる。また、可変電位としては、パルス信号が挙げられる。

[0204]

また、配線VAL2は、配線VAL1に電氣的に接続されていてもよい。換言すると、配線VAL2は、配線VAL1と同一の配線としてもよい。

[0205]

ここで、図9Aの回路BSPRの動作例について説明する。例えば、回路BSPRの端子Tiに高レベル電位 V_{High} が入力されているものとする。つまり、 $V_{in}=V_{High}$ となる。また、配線VAL2からトランジスタMNaのゲートに高レベル電位 V_{High} が与えられているものとする。また、ノードNの電位（トランジスタMNbのゲートの電位、又は容量素子Caの第1端子の電位）を低レベル電位 V_{Low} とする。

[0206]

また、トランジスタMNaはノーマリーオフであって、トランジスタMNaのしきい値電圧を V_{th_MNa} とする。また、しきい値電圧 V_{th_MNa} は、 $V_{High}-V_{Low}>V_{th_MNa}$ を満たす電圧とする。

[0207]

トランジスタMNaのゲートソース間電圧（このタイミングでは、ゲート第2端子間電圧）は、 $V_{High}-V_{Low}$ となるため、トランジスタMNaは、オン状態となる。このため、ノードNには、端子TiからトランジスタMNaを介して電流が流れて、電荷が蓄積されて、トランジスタMNaがオフ状態になるまでノードNの電位が上昇する。具体的には、トランジスタMNaは、トランジスタMNaのゲートソース間電圧が V_{th_MNa} まで低くなったときにオフ状態となるため、このときのノードNの電位（トランジスタMNaの第2端子の電位）は $V_{High}-V_{th_MNa}$ となる。なお、 $V_{High}-V_{th_MNa}$ は、図2Aで説明した V_{Mid} に相当する。

[0208]

<<回路BBの構成例2>>

図9Bに示す回路BSPRの回路BBは、図9Aの回路BSPRの回路BBの変更例であって、トランジスタMNaのゲートが配線VAL2でなく、トランジスタMNaの第1端子に電氣的に接続されている点で、図9Aの回路BSPRの回路BBと異なっている。

[0209]

図9Bにおいて、トランジスタMNaの第1端子と、トランジスタMNaのゲートと、が電氣的に接続されているため、トランジスタMNaは、ダイオード接続されている構成といえる。このため、例えば、回路BSPRの端子Tiに高レベル電位 V_{High} が入力されたとき、トランジスタMNaの第1端子とゲートのそれぞれの電位は、高レベル電位 V_{High} となるため、ノードNの電位（トランジスタMNaの第2端子の電位）は $V_{High}-V_{th_MNa}$ となる。

[0210]

なお、ノードNの電位（トランジスタMNaの第2端子の電位）である $V_{High}-V_{th_MNa}$ を低下させたい場合、換言するとノードNに蓄積された電荷を放出したい場合には、図9Bの回路BS

PRの回路BBに対して更なる変更が求められる。

[0211]

図9Cに示す回路BSPRの回路BBは、図9Bの回路BSPRの回路BBの変更例であって、ノードNに蓄積された電荷の放出が可能な構成となっている点で、図9Bの回路BSPRの回路BBと異なっている。

[0212]

図9Cの回路BSPRにおいて、回路BBは、トランジスタMNaに加えて更にトランジスタMNdを有する。

[0213]

トランジスタMNdは、例えば、トランジスタMNa又はトランジスタMNbに適用できるトランジスタを用いることができる。

[0214]

トランジスタMNdの第1端子は、トランジスタMNaの第2端子と、端子Boと、に電氣的に接続され、トランジスタMNdの第2端子は、配線VAL3に電氣的に接続され、トランジスタMNdのゲートは、配線RSTに電氣的に接続されている。

[0215]

配線VAL3は、例えば、配線VAL2又は配線VAL52と同様に、固定電位を与える配線として機能する。また、固定電位としては、例えば、低レベル電位が挙げられる。また、他の固定電位としては、接地電位又は負電位が挙げられる。また、状況によっては、配線VAL3は、可変電位を与える配線として機能してもよい。

[0216]

配線RSTは、例えば、ノードNに蓄積された電荷を放出するか否かを選択するための信号を送信する配線として機能する。具体的には、例えば、ノードNの電荷を放出しない場合は、配線RSTには、信号として低レベル電位 V_{Low} を与えてトランジスタMNdをオフ状態とすればよい。また、例えば、ノードNの電荷を放出する場合は、配線RSTには、信号として高レベル電位 V_{High} を与えてトランジスタMNdをオン状態とすればよい。

[0217]

ノードNの電位を高くしたい場合（ノードNの電位を $V_{High} - V_{th_MNa}$ にしたい場合）、例えば、配線RSTに低レベル電位 V_{Low} を与えてトランジスタMNdをオフ状態にした後に、端子Tiに高レベル電位 V_{High} を与えればよい。また、ノードNの電位を低くしたい場合（ノードNの電位を V_{Low} にしたい場合）、例えば、端子Tiに低レベル電位 V_{Low} を与えてトランジスタMNaをオフ状態にした後に、配線RSTに高レベル電位 V_{High} を与えてトランジスタMNdをオン状態とすればよい。ここで、配線VAL3が与える電位を低レベル電位 V_{Low} としたとき、ノードNの電荷は配線VAL3に流れていき、結果として、ノードNの電位は V_{Low} となる。

[0218]

<<回路BBの構成例3>>

図9Dに示す回路BSPRの回路BBは、図9Aの回路BSPRの回路BBの変更例であって、トランジスタMNaのゲートが配線VAL2でなく端子Biに電氣的に接続され、トランジスタMNaの第1端子が端子Biでなく配線VAL2に電氣的に接続されている点で、図9Aの回路BSPRの回路BBと異なっている。

[0219]

図9Dの回路BSPRの動作例について説明する。例えば、回路BSPRの端子Tiに高レベル電位 V_{High} が入力されているものとする。また、配線VAL2からトランジスタMNaの第1端子に高レベル電位 V_{High} が与えられているものとする。また、ノードNの電位を低レベル電位 V_{Low} とする。

[0220]

トランジスタMNaのゲートソース間電圧（このタイミングでは、ゲート第2端子間電圧）は、 $V_{High}-V_{Low}$ となるため、トランジスタMNaは、オン状態となる。このため、ノードNには、配線VAL2からトランジスタMNaを介して電流が流れて、電荷が蓄積されて、トランジスタMNaがオフ状態になるまでノードNの電位が上昇する。具体的には、トランジスタMNaは、トランジスタMNaのゲートソース間電圧が V_{th_MNa} まで低くなったときにオフ状態となるため、このときのノードNの電位（トランジスタMNaの第2端子の電位）は $V_{High}-V_{th_MNa}$ となる。なお、 $V_{High}-V_{th_MNa}$ は、図2Aで説明した V_{Mid} に相当する。

[0221]

なお、ノードNの電位（トランジスタMNaの第2端子の電位）である $V_{High}-V_{th_MNa}$ を低下させたい場合、換言するとノードNに蓄積された電荷を放出したい場合には、図9Dの回路BSPRの回路BBに対して更なる変更が求められる。

[0222]

図9Eに示す回路BSPRの回路BBは、図9Dの回路BSPRの回路BBの変更例であって、ノードNに蓄積された電荷の放出が可能な構成となっている点で、図9Dの回路BSPRの回路BBと異なっている。

[0223]

図9Eの回路BSPRにおいて、回路BBは、トランジスタMNaに加えて更にトランジスタMNdを有する。

[0224]

トランジスタMNdの第1端子は、トランジスタMNaの第2端子と、端子Boと、に電氣的に接続され、トランジスタMNdの第2端子は、配線VAL3に電氣的に接続され、トランジスタMNdのゲートは、配線RSTに電氣的に接続されている。

[0225]

トランジスタMNd、配線VAL3、及び配線RSTのそれぞれについては、図9Cの回路BSPRのトランジスタMNd、配線VAL3及び配線RSTのそれぞれの説明を参照することができる。

[0226]

ノードNの電位を高くしたい場合（ノードNの電位を $V_{High}-V_{th_MNa}$ にしたい場合）、例えば、配線RSTに低レベル電位 V_{Low} を与えてトランジスタMNdをオフ状態にした後に、端子Tiに高レベル電位 V_{High} を与えればよい。また、ノードNの電位を低くしたい場合（ノードNの電位を V_{Low} にしたい場合）、例えば、端子Tiに低レベル電位 V_{Low} を与えてトランジスタMNaをオフ状態にした後に、配線RSTに高レベル電位 V_{High} を与えてトランジスタMNdをオン状態とすればよい。ここで、配線VAL3が与える電位を低レベル電位 V_{Low} としたとき、ノードNの電荷は配線VAL3に流れていき、結果として、ノードNの電位は V_{Low} となる。

[0227]

<<回路BBの構成例4>>

図9Fに示す回路BSPRは、回路BBにインバータ回路が含まれている構成となっている。具体的には、回路BBは、トランジスタMNeと、トランジスタMNfと、を有し、トランジスタMNeと、トランジスタMNfと、によって当該インバータ回路が構成されている。

[0228]

トランジスタMNe及びトランジスタMNfのそれぞれは、例えば、トランジスタMNbに適用できるトランジスタを用いることができる。

[0229]

トランジスタMNeの第1端子は、トランジスタMNeのゲートと、配線VAL2と、に電氣的に接続され、トランジスタMNeの第2端子は、端子Boと、トランジスタMNfの第1端子と、に電氣的に接続されている。トランジスタMNfの第2端子は、配線VAL3に電氣的に接続され、トランジスタMNfのゲートは、端子Biに電氣的に接続されている。

[0230]

配線VAL2については、図9Aの回路BSPRにおける配線VAL2の説明を参照することができる。また、配線VAL3については、図9Cの回路BSPRにおける配線VAL3の説明を参照することができる。

[0231]

なお、図9Fでは、端子Toから出力される電位を V_{out} ではなく、 V_{outb} と図示している。

[0232]

ここで、図9Fの回路BSPRの動作例について説明する。例えば、配線VAL2からトランジスタMNeの第1端子及びゲートに高レベル電位 V_{High} が与えられているものとする。また、配線VAL3からトランジスタMNfの第2端子に低レベル電位 V_{Low} が与えられているものとする。また、ノードNの電位（トランジスタMNbのゲートの電位、若しくは容量素子Caの第1端子の電位）を低レベル電位 V_{Low} とする。

[0233]

また、トランジスタMNe及びトランジスタMNfはノーマリーオフであって、特に、トランジスタMNeのしきい値電圧を V_{th_MNe} とし、また、 V_{th_MNe} は、 $V_{High} - V_{Low} > V_{th_MNe}$ を満たす電圧とする。

[0234]

初めに、端子Tiに低レベル電位 V_{Low} が入力された場合を考える。このとき、トランジスタMNfのゲートには V_{Low} が入力されるため、トランジスタMNfはオフ状態となる。また、トランジスタMNeのゲートソース間電圧（このタイミングでは、ゲート第2端子間電圧）は $V_{High} - V_{Low}$ となるので、トランジスタMNeがオン状態となる。このため、ノードNには、配線VAL2からトランジスタMNeを介して電流が流れて、電荷が蓄積されて、トランジスタMNeがオフ状態になるまでノードNの電位が上昇する。具体的には、トランジスタMNeは、トランジスタMNeのゲートソース間電圧が V_{th_MNe} まで低くなったとき、オフ状態となるため、このときのノードNの電位（トランジスタMNeの第2端子の電位）は $V_{High} - V_{th_MNe}$ となる。なお、 $V_{High} - V_{th_MNe}$ は、図2Aで説明した V_{Mid} に相当する。

[0235]

次に、端子T_iに高レベル電位V_{H_ig_h}が入力された場合を考える。このとき、トランジスタMN_fのゲートにはV_{H_ig_h}が入力されるため、トランジスタMN_fはオン状態となる。また、トランジスタMN_fがオン状態になるため、ノードNから、トランジスタMN_fを介して配線VAL₃に電流が流れて、電荷が放出されて、理想的にはノードNの電位は、配線VAL₃が与える低レベル電位V_{L_ow}となる。なお、実際には、トランジスタMN_eの第2端子の電位（ノードNの電位）が低下すると、トランジスタMN_eはオン状態となるため、ノードNの電位は、低レベル電位V_{L_ow}以上高レベル電位V_{H_ig_h}以下となる。

[0236]

<増幅回路の構成例2>

次に、図1Aの回路BSFBと異なる、増幅回路の構成例について説明する。

[0237]

図10Aに示す回路BSFCは、図1Aの回路BSFBの変更例であって、回路FBの端子F_oが、端子TM_i（回路BBの端子B_i）でなく、回路BBの端子B_oと、トランジスタMN_bのゲートと、容量素子C_aの第1端子と、に電氣的に接続されている点で、図1Aの回路BSFBと異なっている。

[0238]

また、図10Aに示す回路BSFCの回路FBには、例えば、上記で説明した図3A、図3B及び図4A乃至図7Bに示した回路FBを用いることができる。

[0239]

一例として、図10Aの回路BSFCの回路FBに、図3Aの回路BSFB1の回路FBを用いた場合の構成例を図10Bに示す。

[0240]

図10Bの回路BSFC1は、図3Aに示した構成の回路FBを有している。そのため、図10Bの回路BSFC1において、トランジスタMN_{Fa}の第1端子は、回路BBの端子B_oと、トランジスタMN_bのゲートと、容量素子C_aの第1端子と、に電氣的に接続されている。

[0241]

次に、図10Bの回路BSFC1の動作例について説明する。

[0242]

回路BSPRに係る動作については、図2Aの回路BSPRの動作例を参照することができる。例えば、回路BSFC1の端子TM_iに高レベル電位V_{H_ig_h}が入力されたとき（つまり、V_{i_n}=V_{H_ig_h}のとき）、回路BBは端子B_oに電位V_{M_id}を出力する。これにより、トランジスタMN_bのゲート（容量素子C_aの第1端子）にV_{M_id}が与えられる。また、配線VAL₁からトランジスタMN_bの第1端子に低レベル電位V_{L_ow}が与えられているものとする。また、配線VAL₄₁からトランジスタMN_{Fa}の第2端子に高レベル電位V_{H_ig_h}が与えられているものとする。

[0243]

このとき、トランジスタMN_bのゲートソース間電圧（このタイミングでは、ゲートー第1端子間電圧）は、V_{M_id}-V_{L_ow}となるため、トランジスタMN_bは、オン状態となる。このため、配線VAL₁は、トランジスタMN_bを介して、回路BSPRの端子T_oに低レベル電位V_{L_ow}を出力する。つまり、V_{o_ut}=V_{L_ow}となる。

[0244]

このとき、回路FBの端子Fiには、端子Toの電位と同じ V_{Low} が入力される。これにより、トランジスタMNFaのゲートに低レベル電位 V_{Low} が与えられている。

[0245]

また、トランジスタMNFaはノーマリーオフであって、トランジスタMNFaのしきい値電圧を V_{th_MNFa} とする。また、しきい値電圧 V_{th_MNFa} は、 $V_{High} - V_{Low} > V_{th_MNFa}$ を満たす電圧とする。

[0246]

ここでのトランジスタMNFaのゲートソース間電圧（ここでは、ゲートー第1端子間電圧とする）は、 $V_{Low} - V_{Mid} < V_{th_MNFa}$ であるため、トランジスタMNFaはオフ状態となる。

[0247]

次に、配線VAL1からトランジスタMNbの第1端子に与える電位を、低レベル電位 V_{Low} から高レベル電位 V_{High} に変化したとする。また、回路BBによって、ノードNをフローティング状態にしたとする。このとき、トランジスタMNbのゲートソース間電圧（このタイミングでは、ゲートー第2端子間電圧）は、 $V_{Mid} - V_{Low}$ となるため、トランジスタMNbは、オン状態となる。このため、配線VAL1から、トランジスタMNbを介して、回路BSPRの端子Toに電流が流れて、端子Toの電位が V_{Low} から高くなる。なお、ノードNはフローティング状態なので、容量素子Caの容量結合により、端子Toの電位の上昇に伴って、ノードNの電位も V_{Mid} から上昇する。これにより、トランジスタMNbのゲートソース間電圧は、容量素子Caによって保持されるため、端子Toの電位は V_{High} まで高くなる。また、理想的には、ノードNの電位は、 $V_{Mid} + V_{High} - V_{Low}$ となる。

[0248]

このとき、回路FBの端子Fiには、端子Toの電位と同じ V_{High} が入力される。これにより、トランジスタMNFaのゲートに高レベル電位 V_{High} が与えられている。

[0249]

ここでのトランジスタMNFaのゲートソース間電圧（ここでは、ゲートー第2端子間電圧とする）は、一例として、 $V_{High} - V_{High} = 0$ となる。トランジスタMNFaはノーマリーオフであるため、トランジスタMNFaはオフ状態である。

[0250]

ところで、この状態において、回路BBの端子Bo（トランジスタMNFaの第1端子）の電位が $V_{Mid} + V_{High} - V_{Low}$ から低下して、トランジスタMNFaのゲートー第1端子間電圧がしきい値電圧よりも高くなったとき、トランジスタMNFaがオン状態となる。このとき、ノードNには、配線VAL41からの電荷が蓄積されて、回路BSPRの端子Tiの電位が上昇する。具体的には、トランジスタMNFaは、トランジスタMNFaのゲートソース間電圧が V_{th_MNFa} になったときにオフ状態となるため、このときのノードNの電位（トランジスタMNFaの第1端子の電位）は $V_{High} - V_{th_MNFa}$ となる。

[0251]

上記の通り、回路BSFC1は、端子TMoから高レベル電位 V_{High} が出力されたとき、回路BBの端子Boの電位が下がった際に、回路FBが、端子Bo（ノードN）に対して、電位 $V_{High} - V_{th_MNFa}$ を与えることができる。また、その後、回路BSPRにおいて、ブートストラップが再度行われ、回路BSPRの端子Toから高レベル電位 V_{High} が出力される。上記の動作によって、

回路BSPRの端子Toから出力される電位が安定となる。

[0252]

また、別の一例として、図10Aの回路BSFCの回路FBに、図4Dの回路BSFB5の回路FBを用いた場合の構成例を図10Cに示す。

[0253]

図10Cの回路BSFC2は、図4Dに示した構成の回路FBを有している。そのため、図10Cの回路BSFC2において、トランジスタMNFaの第1端子は、回路BBの端子Boと、トランジスタMNBのゲートと、容量素子Caの第1端子と、に電氣的に接続されている。また、トランジスタMNFaの第2端子及びゲートは、回路BSPRの端子Toと、回路BSFC2の端子Mと、に電氣的に接続されている。

[0254]

図10Cの回路BSFC2において、トランジスタMNFaのゲートに高レベル電位 V_{High} が入力されている場合（回路BSPRの端子Toから高レベル電位 V_{High} が出力されている場合）、トランジスタMNFaの第1端子の電位が $V_{High} - V_{th_MNFa}$ 以下になっているとき、トランジスタMNFaはオン状態となる。このとき、端子Toから出力される電流は、トランジスタMNFaのソースドレイン間を介して端子Bo（ノードN）に流れる。また、トランジスタMNFaの第1端子の電位は、 $V_{High} - V_{th_MNFa}$ になるまで上昇する。また、トランジスタMNFaの第1端子の電位が $V_{High} - V_{th_MNFa}$ に達したとき、トランジスタMNFaは、オフ状態となる。その後、回路BSPRにおいて、ブートストラップが再度行われ、回路BSPRの端子Toから高レベル電位 V_{High} が出力される。上記の動作によって、回路BSPRの端子Toから出力される電位が安定となる。

[0255]

上記の通り、図10Aの回路BSFC、図10Bの回路BSFC1又は図10Cの回路BSFC2を用いることで、回路BSPRの端子Toから出力される電位をフィードバックして、回路BBの端子Bo（ノードN）に固定電位を与えることができる。その結果、回路BSPRの端子Toから出力される電位を安定させることができる。

[0256]

<増幅回路のレイアウト例>

次に、上述した増幅回路のレイアウト図（平面模式図）の一例について説明する。

[0257]

図11は、図3Cに示す回路BSFB1Bのレイアウト図である。特に、図3Cの回路BSFB1Bに含まれる回路BBには、図9Aに示す回路BBを適用している。なお、図11のレイアウト図では、トランジスタMNFa、トランジスタMNa、トランジスタMNB及びトランジスタMNgのそれぞれのバックゲートを図示していないが、図11のレイアウト図には、バックゲートが設けられていてもよい。

[0258]

また、図11において、回路BSFB1Bは、導電体GEMと、導電体SDMと、半導体SMCと、導電体PLGと、を有する。なお、図11には、回路BSFB1Bに含まれている絶縁体を図示していない。

[0259]

半導体SMCは、一例として、導電体GEMの下方に位置している。また、導電体GEMは、一例として、導電体SDMの下方に位置している。つまり、図11において、回路BSFB1Bは、下方から、半導体SMC、導電体GEM及び導電体SDMの順に形成されている。

[0260]

導電体GEMの一部は、一例として、トランジスタMNFa、トランジスタMNa、トランジスタMNb及びトランジスタMNgのそれぞれのゲート（第1ゲートと呼称する場合がある）として機能する。

[0261]

半導体SMC、導電体GEM及び導電体SDMのそれぞれは、例えば、フォトリソグラフィ法を用いて形成することができる。具体的には、例えば、導電体GEMを形成する場合には、導電体GEMとなる導電材料をスパッタリング法、CVD（Chemical Vapor Deposition）法、PLD（Pulsed Laser Deposition）法及びALD（Atomic Layer Deposition）法から選ばれた一以上の方法を用いて形成し、その後、フォトリソグラフィ法によって所望のパターンを形成すればよい。また、半導体SMC及び導電体SDMについても、上記と同様の方法により形成を行うことができる。

[0262]

また、半導体SMCと導電体GEMとの間には、絶縁体が設けられていてもよい。特に、半導体SMCと導電体GEMとの間に設けられる絶縁体は、ゲート絶縁膜（第1のゲート絶縁膜、フロントゲート絶縁膜と呼称する場合がある）として機能する場合がある。また、導電体GEMと導電体SDMの間にも絶縁体が設けられていてもよい。

[0263]

また、半導体SMCと導電体SDMの間には、配線又はプラグとして機能する導電体PLGが設けられている。また、同様に、及び導電体GEMと導電体SDMの間にも、配線又はプラグとして機能する導電体PLGが設けられている。導電体PLGは、例えば、上記の絶縁体に開口部を形成し、当該開口部に導電体PLGとなる導電材料を埋めることにより、形成される。なお、導電体PLGの形成後には、導電体PLG及び周辺の絶縁体のそれぞれの膜面の高さを揃えるために、化学機械研磨法などを用いた平坦化処理によって平坦化がなされていてもよい。

[0264]

図11に図示している、トランジスタMNFa、トランジスタMNa、トランジスタMNb及びトランジスタMNgのそれぞれは、一例として、半導体SMCと、導電体GEMと、絶縁体と、導電体PLGと、のそれぞれの一部を有する。

[0265]

また、図11のそれぞれに図示している、容量素子Caは、導電体SDMと、導電体GEMと、のそれぞれの一部を有する。また、具体的には、容量素子Caは、導電体SDMと、導電体GEMと、のそれぞれの一部が互いに重なる領域を有する。つまり、容量素子Caにおいて、導電体SDMの一部は、一対の電極の一方として機能し、導電体GEMの一部は、一対の電極の他方として機能する。なお、容量素子Caに含まれる導電体SDMと導電体GEMとの間には、誘電率が高い絶縁体が設けられていることが好ましい。

[0266]

なお、本発明の一態様の表示装置に係るレイアウト図は、図11に限定されない。本発明の一態

様の表示装置に係るレイアウト図は、適宜変更がなされた図 11 としてもよい。

[0267]

<表示装置への適用例>

次に、上述した増幅回路を有する駆動回路と、当該駆動回路を有する表示装置と、について説明する。

[0268]

初めに、表示装置について説明する。図 12 は、上述した増幅回路を含む駆動回路を有する、表示装置の構成例を示している。図 12 に示す表示装置 DSP は、一例として、駆動回路 GD と、駆動回路 SD と、画素アレイ PA と、を有する。

[0269]

なお、図 12 では、駆動回路 GD、駆動回路 SD、画素アレイ PA、配線 GL [1]、配線 GL [m]、配線 SL [1]、配線 SL [n]、画素回路 PX [1, 1]、画素回路 PX [m, 1]、画素回路 PX [1, n] 及び画素回路 PX [m, n] (m は 1 以上の整数であって、n は 1 以上の整数である。) を抜粋して示している。

[0270]

画素アレイ PA は、一例として、複数の画素回路 PX を有する。また、画素回路 PX は、画素アレイ PA において、m 行 n 列のマトリクス状に配置されている。

[0271]

なお、図 12 に示す画素回路 PX の符号は、その画素回路のアドレスを示している。例えば、画素回路 PX [1, 1] の符号は、画素アレイ PA において 1 行 1 列の位置に配置されている画素回路 PX を示している。また、例えば、画素回路 PX [m, 1] の符号は、画素アレイ PA において m 行 1 列の位置に配置されている画素回路 PX を示している。また、例えば、画素回路 PX [1, n] の符号は、画素アレイ PA において 1 行 n 列の位置に配置されている画素回路 PX を示している。また、例えば、画素回路 PX [m, n] の符号は、画素アレイ PA において m 行 n 列の位置に配置されている画素回路 PX を示している。

[0272]

また、画素アレイ PA の i 行 j 列 (i は 1 以上 m 以下の整数とし、j は 1 以上 n 以下の整数とする) に配置されている画素回路 PX を、画素回路 PX [i, j] (図示しない) とする。画素回路 PX [i, j] は、一例として、配線 GL [i] (図示しない) に電氣的に接続されている。また、画素回路 PX [i, j] は、一例として、配線 SL [j] (図示しない) に電氣的に接続されている。

[0273]

駆動回路 GD は、一例として、配線 GL [1] 乃至配線 GL [m] に電氣的に接続されている。また、駆動回路 SD は、一例として、配線 SL [1] 乃至配線 SL [n] に電氣的に接続されている。

[0274]

配線 GL [1] 乃至配線 GL [m] のそれぞれは、一例として、画素アレイ PA において、行方向に延設されている配線とすることができる。また、配線 GL に付している [x] は、その配線が延設されている行番号を示している。例えば、配線 GL [1] の符号は、画素アレイ PA において 1 行目に延設されている配線を意味している。また、例えば、配線 GL [m] の符号は、画素アレ

イ P A において m 行目に延設されている配線を意味している。

[0275]

配線 S L [1] 乃至配線 S L [n] のそれぞれは、一例として、画素アレイ P A において、列方向に延設されている配線とすることができる。また、配線 S L に付している [y] は、その配線が延設されている列番号を示している。例えば、配線 S L [1] の符号は、画素アレイ P A において 1 列目に延設されている配線を意味している。また、例えば、配線 S L [n] の符号は、画素アレイ P A において n 列目に延設されている配線を意味している。

[0276]

画素回路 P X は、例えば、液晶表示デバイス、有機 E L 材料を含む発光デバイス、無機 E L 材料を含む発光デバイス、及び発光ダイオード（例えば、マイクロ L E D (L i g h t E m i t t i n g D i o d e) ）を含む発光デバイスから選ばれた 1 つ以上が適用された画素回路とすることができる。なお、本実施の形態では、画素アレイ P A の画素回路 P X には、有機 E L 材料が含まれる発光デバイスが適用されたものとして説明する。特に高輝度発光が可能な発光デバイスから発光される光の輝度としては、例えば、 500 cd/m^2 以上、好ましくは 1000 cd/m^2 以上 10000 cd/m^2 以下、さらに好ましくは 2000 cd/m^2 以上 5000 cd/m^2 以下とすることができる。

[0277]

駆動回路 G D は、一例として、表示装置 D S P の画素アレイ P A において、画像データの送信先となる画素回路 P X を選択する機能を有する。このため、駆動回路 G D は、ゲートドライバ回路などと呼称することができる。

[0278]

また、上記より、駆動回路 G D と画素回路 P X との間を電氣的に接続する配線 G L は、一例として、選択信号を送信する配線として機能する。なお、配線 G L は、選択信号を送信する配線としてではなく、例えば、固定電位を供給する配線として機能してもよい。

[0279]

駆動回路 S D は、一例として、表示装置 D S P の画素アレイ P A における画素回路 P X に対して、画像データを送信する機能を有する。このため、駆動回路 S D は、ソースドライバ回路などと呼称することができる。

[0280]

また、上記より、駆動回路 S D と画素回路 P X との間を電氣的に接続する配線 S L は、一例として、画像データを信号として送信する配線として機能する。なお、配線 S L は、画像データを送信する配線としてではなく、例えば、固定電位を供給する配線として機能してもよい。

[0281]

なお、図 12 に示す表示装置 D S P には、配線 G L [1] 乃至配線 G L [m] 及び配線 S L [1] 乃至配線 S L [n] 以外の配線が延設されていてもよい。例えば、表示装置 D S P には、画素回路 P X に供給するための固定電位を与える配線が延設されていてもよい。

[0282]

<<駆動回路 G D の構成例>>

図 13 A は、図 12 の表示装置 D S P に適用できる、本発明の一態様に係る、駆動回路 G D の構成例を示している。図 13 A に図示している駆動回路 G D は、一例として、回路 100 [1] 乃至

回路100 [m] を有する。

[0283]

回路100 [1] 乃至回路100 [m] のそれぞれは、例えば、端子ITと、端子OTと、端子CLK1と、端子CLK2と、端子PWCと、端子GTと、を有する。

[0284]

回路100 [1] 乃至回路100 [m] のそれぞれにおいて、例えば、端子CLK1は配線CL1に電氣的に接続され、端子CLK2は配線CL2に電氣的に接続され、端子PWCは配線PLに電氣的に接続されている。

[0285]

配線CL1、配線CL2及び配線PLのそれぞれは、例えば、クロック信号などの可変電位（本明細書において、パルス電圧と呼ばれる場合がある）を与える配線として機能する。なお、配線CL1、配線CL2及び配線PLから選ばれた一以上は、可変電位ではなく、固定電位を与える配線としてもよい。

[0286]

回路100 [k] （kは1以上m-1以下の整数とする）の端子OTは、例えば、回路100 [k+1] の端子ITに電氣的に接続されている。

[0287]

回路100 [i] の端子GTは、例えば、配線GL [i] に電氣的に接続されている。

[0288]

回路100 [1] 乃至回路100 [m] のそれぞれは、一例として、端子ITに入力された情報を保持する機能と、保持された情報を端子OT及び端子GTの一方又は双方に出力する機能を有する。

[0289]

また、例えば、回路100 [i] は、端子CLK1に高レベル電位が入力されたときに、回路100 [i] に保持されている情報を端子OTに出力する機能を有する。また、例えば、回路100 [i] は、端子PWCに高レベル電位が入力されたときに、回路100 [i] に保持されている情報を端子GTに出力する機能を有する。また、例えば、回路100 [i] は、端子CLK2に高レベル電位が入力されたときに、回路100 [i] に保持されている情報をリセットする機能を有する。また、回路100 [i] は、回路100 [i] に保持されている情報をリセットされた後に、回路100 [i] の端子ITに新たな情報が入力されることで、回路100 [i] に新たな情報を保持する構成とすることが好ましい。

[0290]

上記のとおり、回路100 [1] 乃至回路100 [m] において、回路100 [1] の端子ITに情報が入力された後に、適切なタイミングで端子CLK1及び端子CLK2に可変電位が入力されることによって、当該情報を回路100 [2] 以降に順次送信することができる。また、回路100 [1] の端子ITに情報が入力された後に、適切なタイミングで端子PWCに可変電位が入力されることによって、回路100 [1] 乃至回路100 [m] のそれぞれに保持されている情報を、回路100 [1] 乃至回路100 [m] のそれぞれの端子GTから出力することができる。このため、本明細書等では、回路100 [1] 乃至回路100 [m] の構成をシフトレジスタと呼称することができる。

[0291]

また、上述した情報とは、例えば、画素アレイPAにおいて、画像データを書き込む画素回路PXを選択するための選択信号とすることができる。なお、図13Aでは、当該選択信号を信号SSとして図示している。

[0292]

なお、図13Aに示す駆動回路GDにおいて、回路100[m]には端子OTを図示しているが、回路100[1]乃至回路100[m]は、シフトレジスタの構成としているため、回路100[m]は端子OTを設けない構成としてもよい。

[0293]

また、図12の表示装置DSPに適用できる駆動回路GDの構成は、図13Aに限定されない。例えば、図12の表示装置DSPに適用できる駆動回路GDの構成としては、図13Bに示す駆動回路GDとしてもよい。図13Bの駆動回路GDは、回路BF[1]乃至回路BF[m]を有している点で、図13Aの駆動回路GDと異なっている。

[0294]

図13Bの駆動回路GDでは、回路BF[1]乃至回路BF[m]のそれぞれの入力端子は、回路100[1]乃至回路100[m]のそれぞれの端子GTに一对一で電氣的に接続され、回路BF[1]乃至回路BF[m]のそれぞれの出力端子は、配線GL[1]乃至配線GL[m]のそれぞれに一对一で電氣的に接続されている。

[0295]

回路BF[1]乃至回路BF[m]のそれぞれは、例えば、バッファ回路、インバータ回路又はラッチ回路といった増幅回路が含まれている構成とすることができる。具体的には、回路BF[1]乃至回路BF[m]のそれぞれは、端子GTの電位を参照して、配線GLに当該電位を増幅した電位を出力する機能を有することができる。

[0296]

なお、図13A及び図13Bに示す駆動回路GDには、配線CL1、配線CL2及び配線PL以外の配線が延設されていてもよい。例えば、回路100[1]乃至回路100[m]のそれぞれを駆動するための固定電位を与える配線が延設されていてもよい。

[0297]

図14の回路100Aは、図13A又は図13Bのそれぞれに示している駆動回路GDに含まれている回路100[1]乃至回路100[m]のそれぞれに適用できる回路構成である。

[0298]

回路100Aは、一例として、回路BSPRcと、回路BSPRdと、回路FBcと、トランジスタMN1と、トランジスタMN4と、トランジスタMN5と、トランジスタMN8と、トランジスタMN12と、トランジスタMN16と、容量素子C5と、を有する。また、回路100Aは、一例として、端子ITと、端子PWCと、端子CLK1と、端子CLK2と、端子GTと、端子OTと、を有する。

[0299]

また、図14の回路100Aにおいて、回路BSPRcと、回路BSPRdと、のそれぞれは、図2Aに示した回路BSPRを適用している。回路BSPRcは、トランジスタMN11と、容量素子C3と、回路BBcと、を有し、回路BSPRdは、トランジスタMN15と、容量素子C4

と、回路BBdと、を有する。

[0300]

なお、トランジスタMN11及びトランジスタMN15は、図2Aの回路BSPRに含まれるトランジスタMNbの説明を参照することができる。また、容量素子C3及び容量素子C4は、図2Aの回路BSPRに含まれる容量素子Caの説明を参照することができる。また、回路BBc及び回路BBdは、図2Aの回路BSPRに含まれる回路BBの説明を参照することができる。

[0301]

トランジスタMN1の第1ゲートは、トランジスタMN8の第1ゲートと、端子ITと、に電氣的に接続され、トランジスタMN1の第1端子は、配線VDE1に電氣的に接続されている。また、トランジスタMN1の第2端子は、トランジスタMN4の第1端子と、回路BBcの端子Biと、回路FBcの端子Foと、回路BBdの端子Biと、に電氣的に接続されている。

[0302]

トランジスタMN5の第1ゲートは、端子CLK2に電氣的に接続され、トランジスタMN5の第1端子は、配線VDE2に電氣的に接続されている。また、トランジスタMN5の第2端子は、トランジスタMN4の第1ゲートと、容量素子C5の第1端子と、トランジスタMN8の第1端子と、トランジスタMN12の第1ゲートと、トランジスタMN16の第1ゲートと、に電氣的に接続されている。

[0303]

トランジスタMN11の第1ゲートは、回路BBcの端子Boと、容量素子C3の第1端子と、に電氣的に接続され、トランジスタMN11の第1端子は、端子CLK1に電氣的に接続されている。また、トランジスタMN11の第2端子は、容量素子C3の第2端子と、トランジスタMN12の第1端子と、端子OTと、回路FBcの端子Fiと、に電氣的に接続されている。

[0304]

トランジスタMN15の第1ゲートは、回路BBdの端子Boと、容量素子C4の第1端子と、に電氣的に接続され、トランジスタMN15の第1端子は、端子PWCに電氣的に接続されている。また、トランジスタMN15の第2端子は、容量素子C4の第2端子と、トランジスタMN16の第1端子と、端子GTと、に電氣的に接続されている。

[0305]

トランジスタMN4の第2端子は、配線VSE1に電氣的に接続されている。また、容量素子C5の第2端子は、配線VSE2に電氣的に接続されている。また、トランジスタMN8の第2端子は、配線VSE3に電氣的に接続されている。また、トランジスタMN12の第2端子は、配線VSE4に電氣的に接続されている。また、トランジスタMN16の第2端子は、配線VSE5に電氣的に接続されている。

[0306]

なお、図14では、トランジスタMN1の第2端子と、トランジスタMN4の第1端子と、回路BBcの端子Biと、回路BBdの端子Biと、回路FBcの端子Foと、の電氣的な接続点を、ノードN1として図示している。また、図14では、トランジスタMN5の第2端子と、トランジスタMN4の第1ゲートと、トランジスタMN8の第1端子と、トランジスタMN12の第1ゲートと、トランジスタMN16の第1ゲートと、容量素子C5の第1端子と、の電氣的な接続点を、ノードN2として図示している。

[0307]

上述したとおり、回路BSPRCと、回路BSPRDと、のそれぞれは、図2Aに示した回路BSPRに相当する。また、図14の回路BSPRCと回路FBCとの組は、図1Aに示す回路BSFBに相当する。

[0308]

配線VDE1及び配線VDE2のそれぞれは、一例として、固定電位を与える配線として機能する。当該固定電位としては、例えば、高レベル電位とすることができる。なお、配線VDE1及び配線VDE2のそれぞれは、互いに等しい固定電位を与えてもよいし、互いに異なる固定電位を与えてもよい。なお、例えば、配線VDE1と配線VDE2とのそれぞれが互いに等しい固定電位を与える場合、配線VDE1と配線VDE2とは、同一の配線としてもよい。

[0309]

また、配線VDE1及び配線VDE2の一方又は双方は、固定電位ではなく、可変電位を与える配線としてもよい。

[0310]

配線VSE1乃至配線VSE5のそれぞれは、一例として、固定電位を与える配線として機能する。当該固定電位としては、例えば、低レベル電位、接地電位又は負電位とすることができる。なお、配線VSE1乃至配線VSE5のそれぞれは、互いに等しい固定電位を与えてもよいし、互いに異なる固定電位を与えてもよい。また、配線VSE1乃至配線VSE5のそれぞれから選ばれた二以上の配線は、互いに等しい固定電位を与え、且つ残りの配線は、当該固定電位とは異なる電位を与えてもよい。また、配線VSE1乃至配線VSE5のそれぞれのうち、互いに等しい固定電位を与える二以上の配線は、同一の配線としてもよい。例えば、配線VSE1と配線VSE2とのそれぞれが互いに等しい固定電位を与える場合、配線VSE1と配線VSE2とは、同一の配線としてもよい。

[0311]

また、配線VSE1乃至配線VSE5から選ばれた一以上は、固定電位ではなく、可変電位を与える配線としてもよい。

[0312]

上記の図14に示す回路100Aのとおり、回路BSPRCと回路FBCとを並列した回路を用いることによって、回路BSPRCの出力端子の電位（トランジスタMN11の第2端子の電位、又は容量素子C3の第2端子の電位に相当）を安定させることができる。つまり、回路100Aにおいて、端子OTの電位を安定させることができる。

[0313]

<<回路100Aの動作例>>

図15は、回路100Aの動作例を示したタイミングチャートである。図15に示すタイミングチャートは、一例として、端子IT、端子PWC、端子CLK1、端子CLK2、ノードN1、ノードN2、端子GT及び端子OTのそれぞれの電位の変動を示している。なお、図15では、高レベル電位を V_{High} と表記し、低レベル電位を V_{Low} と表記している。

[0314]

なお、図15のタイミングチャートでは、回路100Aの動作を簡便に説明するため、図15のタイミングチャートに図示されている信号の入力期間の長さ、出力期間の長さなどは、実際の回路

動作と異なる場合がある。

[0315]

また、本動作例において、配線VDE 1及び配線VDE 2のそれぞれが与える固定電位は、互いに等しい高レベル電位 V_{High} とする。また、配線VSE 1乃至配線VSE 5のそれぞれが与える固定電位は、互いに等しい低レベル電位 V_{Low} とする。

[0316]

なお、高レベル電位 V_{High} と低レベル電位 V_{Low} のそれぞれは、高レベル電位 V_{High} と低レベル電位 V_{Low} との差が図14に記載されているトランジスタのそれぞれのしきい値電圧よりも高くなるような電位とすることが好ましい。

[0317]

[時刻T1から時刻T2まで]

時刻T1から時刻T2までの間において、端子ITには低レベル電位 V_{Low} が与えられ、端子PWCには低レベル電位 V_{Low} が与えられ、端子CLK 1には V_{Low} が与えられ、端子CLK 2には低レベル電位 V_{Low} が与えられているものとする。また、ノードN2には、一例として、低レベル電位 V_{Low} が保持されているものとする。

[0318]

端子CLK 2に低レベル電位 V_{Low} が与えられているとき、トランジスタMN5の第1ゲートの電位は、低レベル電位 V_{Low} になる。また、トランジスタMN5のしきい値電圧は、適切な範囲内であるものとする。このため、トランジスタMN5はオフ状態となる。

[0319]

トランジスタMN4の第1ゲートの電位（ノードN2の電位）が高レベル電位 V_{High} であり、トランジスタMN4の第2端子には配線VSE 1からの低レベル電位 V_{Low} が与えられているため、トランジスタMN4はオン状態となる。これにより、ノードN1と配線VSE 1との間が導通状態となるため、ノードN1の電位は低レベル電位 V_{Low} となる。

[0320]

また、端子ITに低レベル電位 V_{Low} が与えられているとき、トランジスタMN1の第1ゲートの電位は、低レベル電位 V_{Low} になっているものとする。また、トランジスタMN1のしきい値電圧は、適切な範囲内であるものとする。このため、トランジスタMN1はオフ状態となる。

[0321]

トランジスタMN12の第1ゲートの電位（ノードN2の電位）が低レベル電位 V_{Low} であり、トランジスタMN12の第2端子には配線VSE 4からの低レベル電位 V_{Low} が与えられているため、トランジスタMN12はオフ状態となる。

[0322]

トランジスタMN16の第1ゲートの電位（ノードN2の電位）が低レベル電位 V_{Low} であり、トランジスタMN16の第2端子には配線VSE 5からの低レベル電位 V_{Low} が与えられているため、トランジスタMN16はオフ状態となる。

[0323]

トランジスタMN8の第1ゲートの電位（端子ITの電位）が低レベル電位 V_{Low} であり、トランジスタMN8の第2端子には配線VSE 3からの低レベル電位 V_{Low} が与えられているため、トランジスタMN8はオフ状態となる。

[0324]

なお、図15のタイミングチャートの時刻T1から時刻T2までの間において、端子OTと端子GTとのそれぞれの電位は、一例として、低レベル電位 V_{Low} となっている。時刻T1から時刻T2までの間において、端子OTと端子GTとのそれぞれの電位は高レベル電位 V_{High} であってもよい。

[0325]

[時刻T2から時刻T3まで]

時刻T2から時刻T3までの間において、端子CLK2には高レベル電位 V_{High} が与えられる。

[0326]

また、端子CLK2に高レベル電位 V_{High} が与えられることにより、トランジスタMN5のゲートの電位は、高レベル電位 V_{High} になる。

[0327]

ここで、トランジスタMN5はノーマリーオフであり、トランジスタMN5のしきい値電圧を V_{th_MN5} とする。また、しきい値電圧 V_{th_MN5} は、 $V_{High} - V_{Low} > V_{th_MN5}$ を満たす電圧とする。

[0328]

トランジスタMN5の第2端子の電位（ノードN2の電位）が低レベル電位 V_{Low} であるとき、トランジスタMN5はオン状態となり、トランジスタMN5の第2端子（ノードN2）には、配線VDE2からの電荷が蓄積される。また、トランジスタMN5のゲートソース間電圧（このタイミングでは、ゲート第2端子間電圧）が $V_{High} - V_{th_MN5}$ となるまで、ノードN2に電荷が蓄積されたとき、トランジスタMN5はオフ状態となる。これにより、ノードN2には、電位 $V_{High} - V_{th_MN5}$ が保持される。

[0329]

なお、トランジスタMN5の第2端子の電位（ノードN2の電位）が高レベル電位 V_{High} よりも高いとき、トランジスタMN5の第1端子がソースとなって、ノードN2から配線VDE1に電荷が放出される。また、トランジスタMN5の第2端子の電位（ノードN2の電位）が $V_{High} - V_{th_MN5}$ となったとき、トランジスタMN5はオフ状態となる。これにより、ノードN2には、上記と同様に、電位 $V_{High} - V_{th_MN5}$ が保持される。

[0330]

また、時刻T2から時刻T3までの間において、端子CLK2に高レベル電位 V_{High} が与えられた後には、端子CLK2に低レベル電位 V_{Low} が与えられる。これにより、トランジスタMN5の第1ゲートの電位は低レベル電位 V_{Low} になっているものとする。

[0331]

上記の動作によって、回路100Aは、端子CLK2に高レベル電位 V_{High} が与えられることによって、ノードN2の電位を高レベル電位 V_{High} にリフレッシュすることができる。

[0332]

また、ノードN2の電位が $V_{High} - V_{th_MN5}$ なので、トランジスタMN12の第1ゲートの電位（ノードN2の電位）は $V_{High} - V_{th_MN5}$ となり、また、トランジスタMN12の第2端子には配線VSE4からの低レベル電位 V_{Low} が与えられているため、トランジスタMN12はオン状態となる。このため、端子OTと配線VSE4との間が導通状態となるため、端子OTの電位は低

レベル電位 V_{Low} となる。

[0333]

また、ノードN2の電位が $V_{High} - V_{th_MN5}$ なので、トランジスタMN16の第1ゲートの電位（ノードN2の電位）は $V_{High} - V_{th_MN5}$ となり、また、トランジスタMN16の第2端子には配線VSE5からの低レベル電位 V_{Low} が与えられているため、トランジスタMN16はオン状態となる。これにより、端子GTと配線VSE5との間が導通状態となるため、端子GTの電位は低レベル電位 V_{Low} となる。

[0334]

[時刻T3から時刻T4まで]

時刻T3から時刻T4までの間において、端子ITには低レベル電位 V_{Low} が与えられ、端子PWCには低レベル電位 V_{Low} が与えられ、端子CLK1には V_{Low} が与えられ、端子CLK2には低レベル電位 V_{Low} が与えられているものとする。時刻T3から時刻T4までの間における、端子IT、端子PWC、端子CLK1及び端子CLK2のそれぞれに入力される電位は、時刻T1から時刻T2までの間における端子IT、端子PWC、端子CLK1及び端子CLK2のそれぞれに入力される電位と等しいため、時刻T3から時刻T4までの間における回路100Aの動作例については、時刻T1から時刻T2までの間における動作例の説明を参酌する。

[0335]

[時刻T4から時刻T5まで]

時刻T4から時刻T5までの間において、端子ITには高レベル電位 V_{High} が与えられる。

[0336]

トランジスタMN8の第1ゲートには端子ITからの高レベル電位 V_{High} が与えられ、トランジスタMN8の第2端子には配線VSE3から V_{Low} が与えられているため、トランジスタMN8はオン状態となる。これにより、ノードN2と配線VSE3との間が導通状態となるため、ノードN2の電位は、高レベル電位 V_{High} から低レベル電位 V_{Low} に変化する。

[0337]

また、上記より、トランジスタMN4の第1ゲートの電位（ノードN2の電位）が低レベル電位 V_{Low} となり、かつトランジスタMN4の第2端子には配線VSE1からの低レベル電位 V_{Low} が与えられているため、トランジスタMN4はオフ状態となる。

[0338]

また、上記より、トランジスタMN12の第1ゲートの電位（ノードN2の電位）が低レベル電位 V_{Low} となり、トランジスタMN12の第2端子には配線VSE4からの低レベル電位 V_{Low} が与えられているため、トランジスタMN12はオフ状態となる。

[0339]

また、上記より、トランジスタMN16の第1ゲートの電位（ノードN2の電位）が低レベル電位 V_{Low} であり、トランジスタMN16の第2端子には配線VSE5からの低レベル電位 V_{Low} が与えられているため、トランジスタMN16はオフ状態となる。

[0340]

また、端子ITに高レベル電位 V_{High} が与えられることにより、トランジスタMN1のゲートの電位は、高レベル電位 V_{High} になる。また、トランジスタMN1の第2端子の電位（ノードN1の電位）が低レベル電位 V_{Low} であるため、トランジスタMN1はオン状態となる。このため、トラ

ンジスタMN 1の第2端子（ノードN 1）には、配線VDE 1から流れる電荷が蓄積される。

[0341]

ここで、トランジスタMN 1はノーマリーオフであり、トランジスタMN 1のしきい値電圧を V_{th_MN1} とする。また、しきい値電圧 V_{th_MN1} は、 $V_{High} - V_{Low} > V_{th_MN1}$ を満たす電圧とする。

[0342]

上記より、トランジスタMN 1のゲートソース間電圧（このタイミングでは、ゲート第2端子間電圧）が $V_{High} - V_{th_MN1}$ となるまで、ノードN 1に電荷が蓄積されたとき、トランジスタMN 1はオフ状態となる。これにより、ノードN 1には、電位 $V_{High} - V_{th_MN1}$ が保持される。

[0343]

また、時刻T 4から時刻T 5までの間において、端子ITに高レベル電位 V_{High} が与えられた後には、端子ITに低レベル電位 V_{Low} が与えられる。これにより、トランジスタMN 1の第1ゲートの電位は低レベル電位 V_{Low} になっているものとする。

[0344]

トランジスタMN 8の第1ゲートには端子ITからの低レベル電位 V_{Low} が与えられ、トランジスタMN 8の第2端子には配線VSE 3からの低レベル電位 V_{Low} が与えられているため、トランジスタMN 8はオフ状態となる。これにより、ノードN 2には低レベル電位 V_{Low} が保持される。

[0345]

[時刻T 5から時刻T 6まで]

時刻T 5から時刻T 6までの間において、端子CLK 1には高レベル電位 V_{High} が与えられる。

[0346]

時刻T 4から時刻T 5までの間では、ノードN 1の電位が高レベル電位 $V_{High} - V_{th_MN1}$ になっている。このとき、端子CLK 1に高レベル電位 V_{High} が与えられることで、図2Aの回路BS PRの説明より、トランジスタMN 11の第2端子（端子OT）の電位は、高レベル電位 V_{High} になる。

[0347]

また、回路FB cの端子Fiには、トランジスタMN 11の第2端子（端子OT）の電位である高レベル電位 V_{High} が与えられる。回路FB cを図3Aの回路BS FB 1の回路FBとしたとき、回路FB cは、端子Foに対して $V_{High} - V_{th_MNFa}$ を出力する。つまり、ノードN 1の電位が $V_{High} - V_{th_MNFa}$ となる。

[0348]

なお、図15のタイミングチャートでは、 $V_{High} - V_{th_MNFa}$ は、 $V_{High} - V_{th_MN1}$ よりも高い電位として図示しているが、 $V_{High} - V_{th_MNFa}$ は、 $V_{High} - V_{th_MN1}$ と等しい電位としてもよく、又は、 $V_{High} - V_{th_MN1}$ よりも低い電位としてもよい。

[0349]

[時刻T 6から時刻T 7まで]

時刻T 6から時刻T 7までの間において、端子PWCには高レベル電位 V_{High} が与えられる。

[0350]

また、時刻T 5から時刻T 6までの間において、ノードN 1の電位が $V_{High} - V_{th_MNFa}$ になっている。このとき、端子PWCに高レベル電位 V_{High} が与えられることで、図2Aの回路BS P

Rの説明より、同様にトランジスタMN15の第2端子（端子GT）の電位は、高レベル電位 V_{High} になる。

[0351]

また、時刻T6から時刻T7までの間において、端子PWCに高レベル電位 V_{High} が与えられた後には、端子PWCに低レベル電位 V_{Low} が与えられる。これにより、トランジスタMN15の第2端子（端子GT）の電位は、時刻T5から時刻T6までの間の動作例と同様に、低レベル電位 V_{Low} となる。

[0352]

[時刻T8から時刻T9まで]

時刻T8から時刻T9までの間において、端子CLK1には低レベル電位 V_{Low} が与えられる。

[0353]

これにより、トランジスタMN11の第2端子（端子OT）の電位は、時刻T4から時刻T5までの間の動作例と同様に、低レベル電位 V_{Low} となる。

[0354]

また、回路FBCの端子Fiには、トランジスタMN11の第2端子（端子OT）の電位である低レベル電位 V_{Low} が与えられる。回路FBCを図3Aの回路BSFB1の回路FBとしたとき、回路FBCのトランジスタMNFaはオフ状態となる。また、トランジスタMNFaがオフ状態となったとき、ノードN1はフローティング状態となる。また、ノードN1における電流リークが起これない場合、ノードN1の電位は、 $V_{High} - V_{th_MNFa}$ のままとなる。

[0355]

[時刻T9から時刻T10まで]

時刻T9から時刻T10までの間において、端子CLK2には高レベル電位 V_{High} が与えられる。このとき、回路100Aの時刻T9から時刻T10までの間の動作は、時刻T2から時刻T3までの間と同様の動作となる。

[0356]

例えば、端子CLK2に高レベル電位 V_{High} が与えられることにより、トランジスタMN5の第2端子の電位（ノードN2の電位）は、高レベル電位 $V_{High} - V_{th_MN5}$ になる。これにより、トランジスタMN4、トランジスタMN12及びトランジスタMN16がオン状態となり、ノードN1、端子OT及び端子GTのそれぞれの電位が V_{Low} となる。

[0357]

[時刻T10以降]

時刻T10以降では、一例として、端子CLK2に低レベル電位 V_{Low} の可変電位を入力して、ノードN1の電位を V_{Low} とし、かつノードN2の電位を $V_{High} - V_{th_MN5}$ とした後で、端子ITに V_{High} を入力せずに、端子CLK1又は端子PWCに V_{High} を与えている。具体的な動作例を以下に説明する。

[0358]

[時刻T11から時刻T12まで]

時刻T11から時刻T12までの間において、端子CLK1には V_{High} が与えられる。

[0359]

トランジスタMN11の第1ゲートの電位を V_{Low} とする。トランジスタMN11の第1端子に

は端子CLK1からの V_{High} が与えられており、トランジスタMN11の第2端子の電位は V_{Low} となっている。このとき、トランジスタMN11の第1端子の電位よりも第2端子の電位が低くなるため、トランジスタMN11の第2端子がソースとなり、トランジスタMN11はオフ状態となる。これにより、端子CLK1と端子OTとの間が非導通状態となる。

[0360]

また、トランジスタMN12の第1ゲートの電位は $V_{High} - V_{th_MN5}$ であり、トランジスタMN12の第2端子には配線VSE4からの V_{Low} が与えられているため、トランジスタMN12はオン状態となる。これにより、端子OTと配線VSE4との間が導通状態となり、端子OTの電位は V_{Low} となる。

[0361]

また、時刻T11から時刻T12までの間において、端子CLK1に V_{High} が与えられた後には、端子CLK1に V_{Low} が与えられる。トランジスタMN11の第1ゲートの電位は V_{Low} であり、トランジスタMN11の第1端子には端子CLK1からの V_{Low} が与えられており、トランジスタMN11の第2端子の電位は V_{Low} となっているため、トランジスタMN11のしきい値電圧が適切な範囲であれば、トランジスタMN11はオフ状態となる。

[0362]

また、回路FBCの端子Fiには、トランジスタMN11の第2端子（端子OT）の電位である低レベル電位 V_{Low} が与えられる。回路FBCを図3Aの回路BSFB1の回路FBとしたとき、回路FBCのトランジスタMNFaはオフ状態となる。このため、ノードN1の電位に変化は起こらない。

[0363]

上記のとおり、端子CLK2に V_{Low} の可変電位を入力して、ノードN1の電位を V_{Low} とし、かつノードN2の電位を $V_{High} - V_{th_MN5}$ とした後で、端子ITに V_{High} を入力せずに、端子CLK1に V_{High} を与えても、トランジスタMN11はオフ状態のままとなる。また、その後、端子CLK1に V_{Low} を与えても、トランジスタMN11はオフ状態を維持する。

[0364]

[時刻T12から時刻T13まで]

時刻T12から時刻T13までの間において、端子PWCには V_{High} が与えられる。

[0365]

トランジスタMN15の第1ゲートの電位を V_{Low} とする。トランジスタMN15の第1端子には端子PWCからの V_{High} が与えられており、トランジスタMN15の第2端子の電位は V_{Low} となっている。このとき、トランジスタMN15の第1端子の電位よりも第2端子の電位が低くなるため、トランジスタMN15の第2端子がソースとなり、トランジスタMN15はオフ状態となる。これにより、端子PWCと端子GTとの間が非導通状態となる。

[0366]

また、トランジスタMN16の第1ゲートの電位は $V_{High} - V_{th_MN5}$ であり、トランジスタMN16の第2端子には配線VSE5からの V_{Low} が与えられているため、トランジスタMN16はオン状態となる。これにより、端子GTと配線VSE5との間が導通状態となり、端子GTの電位は V_{Low} となる。

[0367]

また、時刻T 1 2から時刻T 1 3までの間において、端子PWCに V_{High} が与えられた後には、端子PWCに V_{Low} が与えられる。トランジスタMN 1 5の第1ゲートの電位は V_{Low} であり、トランジスタMN 1 5の第1端子には端子PWCからの V_{Low} が与えられており、トランジスタMN 1 5の第2端子の電位は V_{Low} となっているため、トランジスタMN 1 5はオフ状態となる。

[0368]

上記のとおり、端子CLK 2に V_{Low} の可変電位を入力して、ノードN 1の電位を V_{Low} とし、かつノードN 2の電位を $V_{High} - V_{th_MN5}$ とした後で、端子ITに V_{High} を入力せずに、端子PWCに V_{High} を与えても、トランジスタMN 1 5はオフ状態のままとなる。また、その後、端子PWCに V_{Low} を与えても、トランジスタMN 1 5はオフ状態を維持する。

[0369]

<<回路100Aの変更例>>

駆動回路GDの回路100 [1]乃至回路100 [m]のそれぞれには、例えば、図16に示した回路100A1を適用してもよい。

[0370]

回路100A1は、図14の回路100Aの変更例であって、回路BSPR dに対して回路FB dを並列に電氣的に接続した構成となっている。なお、回路FB dについては、回路FB cに適用できる回路とする。

[0371]

具体的には、回路FB dの端子Foは、回路BB dの端子Biと、回路FB cの端子Foと、回路BB cの端子Biと、トランジスタMN 1の第2端子と、トランジスタMN 4の第1端子と、に電氣的に接続されている。また、回路FB dの端子Fiは、トランジスタMN 15の第2端子と、トランジスタMN 16の第1端子と、容量素子C 4の第2端子と、端子GTと、に電氣的に接続されている。

[0372]

また、駆動回路GDの回路100 [1]乃至回路100 [m]のそれぞれには、例えば、図17に示した回路100A2を適用してもよい。

[0373]

回路100A2は、回路BSPR c及び回路BSPR dに図9Aの回路BSPRを適用し、回路FB cに図3Aの回路FBを適用した構成例である。そのため、回路FB cにはトランジスタMN 9が含まれ、回路BB cにはトランジスタMN 10が含まれ、回路BB dにはトランジスタMN 14が含まれている。

[0374]

トランジスタMN 9のゲートは回路FB cの端子Fiに電氣的に接続され、トランジスタMN 9の第1端子は配線VDE 11に電氣的に接続され、トランジスタMN 9の第2端子は回路FB cの端子Foに電氣的に接続されている。トランジスタMN 10のゲートは、配線VDE 3に電氣的に接続され、トランジスタMN 10の第1端子は回路BB cの端子Biに電氣的に接続され、トランジスタMN 10の第2端子は回路BB cの端子Boに電氣的に接続されている。トランジスタMN 14のゲートは、配線VDE 4に電氣的に接続され、トランジスタMN 14の第1端子は回路BB dの端子Biに電氣的に接続され、トランジスタMN 14の第2端子は回路BB dの端子Boに電氣的に接続されている。

[0375]

配線VDE 11、配線VDE 3及び配線VDE 4のそれぞれについては、配線VDE 1及び配線VDE 2の説明を参照することができる。なお、配線VDE 1乃至配線VDE 4及び配線VDE 11のそれぞれは、互いに等しい固定電位を与えてもよいし、互いに異なる固定電位を与えてもよい。また、配線VDE 1乃至配線VDE 4及び配線VDE 11のそれぞれから選ばれた二以上の配線は、互いに等しい固定電位を与え、且つ残りの配線は、当該固定電位とは異なる電位を与えてもよい。また、配線VDE 1乃至配線VDE 4及び配線VDE 11のそれぞれのうち、互いに等しい固定電位を与える二以上の配線は、同一の配線としてもよい。

[0376]

また、駆動回路GDの回路100 [1] 乃至回路100 [m] のそれぞれには、例えば、図18に示した回路100A3を適用してもよい。

[0377]

回路100A3は、図17の回路100A2の変更例であって、トランジスタMN1、トランジスタMN4、トランジスタMN5、トランジスタMN8乃至トランジスタMN12及びトランジスタMN14乃至トランジスタMN16のそれぞれの第2ゲートの接続先を明確に規定したものである。

[0378]

トランジスタMN1、トランジスタMN5、トランジスタMN9乃至トランジスタMN11、トランジスタMN14及びトランジスタMN15のそれぞれにおいて、第1ゲートは、第2ゲートに電氣的に接続されている。また、トランジスタMN4の第2ゲートは、配線BG1に電氣的に接続されている。また、トランジスタMN8の第2ゲートは、配線BG2に電氣的に接続されている。また、トランジスタMN12と、トランジスタMN16と、のそれぞれの第2ゲートは、配線BG3に電氣的に接続されている。

[0379]

配線BG1乃至配線BG3のそれぞれは、一例として、固定電位を与える配線として機能する。当該固定電位としては、例えば、低レベル電位、接地電位又は負電位とすることができる。なお、配線BG1乃至配線BG3のそれぞれは、互いに等しい固定電位を与えてもよいし、互いに異なる固定電位を与えてもよい。また、配線BG1乃至配線BG3から選ばれた2本以上のそれぞれが互いに等しい固定電位を与える配線である場合、選ばれた2本以上の配線は同一の配線としてもよい。また、配線BG1乃至配線BG3から選ばれた一本以上は、固定電位ではなく、可変電位を与える配線としてもよい。

[0380]

配線BG1乃至配線BG3がそれぞれ異なる配線であるとき、トランジスタMN4と、トランジスタMN8と、トランジスタMN12及びトランジスタMN16と、のそれぞれの第2ゲートには、異なる固定電位を与えることができる。つまり、トランジスタMN4のしきい値電圧と、トランジスタMN8のしきい値電圧と、トランジスタMN12及びトランジスタMN16のそれぞれのしきい値電圧と、を独立に制御することができる。

[0381]

これにより、例えば、トランジスタMN4の第2ゲートに負電位を与えて、かつトランジスタMN12及びトランジスタMN16のそれぞれの第2ゲートに接地電位、又は低レベル電位（当該負

電位よりも高い電位)を与えることで、トランジスタMN12及びトランジスタMN16のオフ電流の量をトランジスタMN4のオフ電流の量よりも大きくすることができる。したがって、図13A又は図13Bの駆動回路GDの回路100[1]乃至回路100[m]のそれぞれに、図18の回路100A3を適用することによって、駆動回路GDの駆動速度を更に速めることができる。

[0382]

また、駆動回路GDの回路100[1]乃至回路100[m]のそれぞれには、例えば、図19に示した回路100A4を適用してもよい。

[0383]

回路100A4は、図16の回路100A1の変更例であって、回路BSPRcの容量素子C3の第1端子に回路FBcの端子Foを電氣的に接続し、回路BSPRdの容量素子C4の第1端子に回路FBdの端子Foを電氣的に接続した構成となっている。なお、回路BSPRcと回路FBcの組み合わせと、回路BSPRdと回路FBdの組み合わせについては、図10(A)に示した回路BSFCに相当する回路とする。

[0384]

<<駆動回路SDの構成例>>

次に、駆動回路SDの構成例について説明する。

[0385]

図20は、図12の表示装置DSPに適用できる、本発明の一態様に係る、駆動回路SDの構成例を示している。図20に図示している駆動回路SDは、一例として、回路SRと、回路LATと、回路DACと、を有する。特に、回路SRは、例えば、回路200[1]乃至回路200[n+2]と、を有する。なお、回路200[n+1]は、回路200[n+1]の端子SRTから回路200[n-1]の端子RTにデータを送信するための回路であり、回路200[n+2]は、回路200[n+2]の端子SRTから回路200[n]の端子RTにデータを送信するための回路である。また、図20では、回路200[1]乃至回路200[6]を抜粋して示している。

[0386]

回路200[1]乃至回路200[n]のそれぞれは、例えば、端子ITと、端子OTと、端子CLK1と、端子CLK2と、端子CLK3と、端子SRTと、端子PWCと、端子RTと、を有する。

[0387]

また、回路SRには、配線CLKLA乃至配線CLKLDと、配線PWCLA乃至配線PWCLDと、が延在している。

[0388]

回路200[4k-3] (ここでのkは、 $1 \leq 4k-3 \leq n$ を満たす、1以上の整数とする)において、端子CLK1は配線CLKLAに電氣的に接続され、端子CLK2は配線CLKLBに電氣的に接続され、端子CLK3は配線CLKLCに電氣的に接続され、端子PWCは配線PWCLAに電氣的に接続されている。また、回路200[4k-2] (ここでのkは、 $2 \leq 4k-2 \leq n$ を満たす、1以上の整数とする)において、端子CLK1は配線CLKLBに電氣的に接続され、端子CLK2は配線CLKLCに電氣的に接続され、端子CLK3は配線CLKLDに電氣的に接続され、端子PWCは配線PWCLBに電氣的に接続されている。また、回路200[4k-1] (ここでのkは、 $3 \leq 4k-1 \leq n$ を満たす、1以上の整数とする)において、端子CLK1は配

線CLKLCに電氣的に接続され、端子CLK2は配線CLKLDに電氣的に接続され、端子CLK3は配線CLKLAに電氣的に接続され、端子PWCは配線PWCLCに電氣的に接続されている。また、回路200[4k]（ここでのkは、 $4 \leq 4k \leq n$ を満たす、1以上の整数とする）において、端子CLK1は配線CLKLDに電氣的に接続され、端子CLK2は配線CLKLAに電氣的に接続され、端子CLK3は配線CLKLBに電氣的に接続され、端子PWCは配線PWCLDに電氣的に接続されている。

[0389]

回路200[j]（ここでのjは、1以上n以下の整数とする）の端子SRTは、回路200[j+1]の端子ITに電氣的に接続されている。また、回路200[j]の端子RTは、回路200[j+2]の端子SRTに電氣的に接続されている。

[0390]

回路200[1]乃至回路200[n]のそれぞれの端子OTは、回路LATの各入力端子に電氣的に接続されている。また、回路LATの各出力端子は、回路DACの各入力端子に電氣的に接続されている。また、回路LATは、配線VDLに電氣的に接続されている。また、回路LATは、配線SPRに電氣的に接続されている。また、回路DACの各出力端子は、配線SL[1]乃至配線SL[n]に電氣的に接続されている。また、図20では、配線SL[1]乃至配線SL[6]を抜粋して示している。

[0391]

回路200[1]乃至回路200[n]のそれぞれは、一例として、端子ITに入力された情報を保持する機能と、保持された情報を端子OT及び端子SRTの一方又は双方に出力する機能を有する。

[0392]

また、例えば、回路200[j]は、端子CLK1に高レベル電位が入力されたときに、回路200[j]に保持されている情報を端子SRTに出力する機能を有する。また、例えば、回路200[j]は、端子PWCに高レベル電位が入力されたときに、回路200[j]に保持されている情報を端子OTに出力する機能を有する。また、例えば、回路200[j]は、端子CLK2と端子CLK3、又は端子RTの一方又は双方に高レベル電位が入力されたときに、回路200[j]に保持されている情報をリセットする機能を有する。また、回路200[j]は、回路200[j]に保持されている情報をリセットされた後に、回路200[j]の端子ITに新たな情報が入力されることで、回路200[j]に新たな情報を保持する構成とすることが好ましい。

[0393]

つまり、図20に示す回路SRは、図13A及び図13Bの駆動回路GDと同様に、シフトレジスタとして機能する。

[0394]

配線VDLは、例えば、画素アレイPAに含まれる画素回路PXに表示するためのビデオ信号を送信する配線として機能する。なお、図20では、配線VDLは、デジタルデータを送信する配線として記載している。

[0395]

回路LATは、一例として、n列分の保持回路を有する。また、回路LATは、回路200[1]乃至回路200[n]のそれぞれの端子OTからの信号に応じて、配線VDLに入力されたビデオ

信号を保持回路に保持する機能を有する。具体的には、例えば、回路200[j]の端子OTの電位が高レベル電位であるとき、回路LATは、配線VDLに入力されたビデオ信号をj列目の保持回路に保持する。また、例えば、配線SPRに高レベル電位が入力されたとき、回路LATは、n列分の保持回路に保持されているそれぞれのビデオ信号を一括に回路LATの各出力端子に出力する機能を有する。

[0396]

回路DACは、一例として、回路LATの各出力端子から出力されたデジタルデータであるビデオ信号をアナログデータ（アナログ電位）に変換する機能を有する。なお、当該アナログデータ（アナログ電位）は、その列の配線SLに送信される。

[0397]

なお、図20に示す駆動回路SDには、配線CLKLA乃至配線CLKLD、及び配線PWCLA乃至配線PWCLD以外の配線が延設されていてもよい。また、図20に示す駆動回路SDの構成は一例であって、配線数、電気的な接続構成などは適宜変更がなされていてもよい。

[0398]

図21は、駆動回路SDの動作例を示したタイミングチャートである。図21には、時刻T21乃至時刻T36、及びその近傍における、配線CLKLA乃至配線CLKLD、配線PWCLA乃至配線PWCLD、端子IT、端子OT[1]、端子OT[2]、端子OT[3]、端子OT[n]、及び配線SPRのそれぞれの電位変化について示している。なお、端子OT[j]は、回路200[j]に備わる端子OTとする。また、図21には、配線VDLにビデオ信号V_{DT}[1]乃至V_{DT}[n]が順次入力されている例について示している。

[0399]

時刻T21から時刻T22までの間では、配線CLKLAと配線PWCLAとに高レベル電位V_{H_{igh}}が与えられる。また、時刻T22から時刻T23までの間では、配線CLKLBと配線PWCLBとに高レベル電位V_{H_{igh}}が与えられる。また、時刻T23から時刻T24までの間では、配線CLKLCと配線PWCLCとに高レベル電位V_{H_{igh}}が与えられる。また、時刻T24から時刻T25までの間では、配線CLKLDと配線PWCLDとに高レベル電位V_{H_{igh}}が与えられる。時刻T25以降において、配線CLKLA乃至配線CLKLD、及び配線PWCLA乃至配線PWCLDには、時刻T21から時刻T25までの間と同じタイミングで高レベル電位V_{H_{igh}}が与えられるものとする。

[0400]

上述したタイミングで、配線CLKLA乃至配線CLKLD、及び配線PWCLA乃至配線PWCLDのそれぞれに高レベル電位V_{H_{igh}}が与えられることで、時刻T21以前に端子ITに高レベル電位V_{H_{igh}}が与えられたとき、所定のタイミングで端子OT[1]乃至端子OT[n]のそれぞれから順次高レベル電位V_{H_{igh}}が出力される。例えば、時刻T21から時刻T22までの間では、端子OT[1]から高レベル電位V_{H_{igh}}が出力され、時刻T22から時刻T23までの間では、端子OT[2]から高レベル電位V_{H_{igh}}が出力され、時刻T23から時刻T24までの間では、端子OT[3]から高レベル電位V_{H_{igh}}が出力される。また、例えば、時刻T31から時刻T32までの間では、端子OT[n-2]から高レベル電位V_{H_{igh}}が出力され、時刻T32から時刻T33までの間では、端子OT[n-1]から高レベル電位V_{H_{igh}}が出力され、時刻T33から時刻T34までの間では、端子OT[n]から高レベル電位V_{H_{igh}}が出力される。

[0401]

なお、図21のタイミングチャートでは、 n が4の倍数である場合を示している。駆動回路SDにおいて、 n が4の倍数でない場合は、時刻T30から時刻T34までの間に配線CLKLA乃至配線CLKLD、及び配線PWCLA乃至配線PWCLDに与えられる電位は適宜読み替えればよい。

[0402]

また、回路LATは、端子OT[1]から高レベル電位 V_{High} が出力されているタイミングで、配線VDLに入力されているビデオ信号 $V_{DT}[1]$ を1列目の保持回路に保持する。また、端子OT[2]から高レベル電位 V_{High} が出力されているタイミングで、配線VDLに入力されているビデオ信号 $V_{DT}[2]$ を2列目の保持回路に保持し、また、端子OT[3]から高レベル電位 V_{High} が出力されているタイミングで、配線VDLに入力されているビデオ信号 $V_{DT}[3]$ を3列目の保持回路に保持する。同様の動作を順次続けていき、端子OT[n]から高レベル電位 V_{High} が出力されているタイミングで、配線VDLに入力されているビデオ信号 $V_{DT}[n]$ をn列目の保持回路に保持する。

[0403]

また、回路LATは、時刻T34から時刻T35までの間において配線SPRの電位が高レベル電位 V_{High} に変化することによって、回路LATが備えるn列分の保持回路から、保持されているビデオ信号 $V_{DT}[1]$ 乃至ビデオ信号 $V_{DT}[n]$ を、回路LATの各出力端子を介して回路DACに出力する。

[0404]

駆動回路SDは、上述した図21のタイミングチャートの動作例を行うことで、画素アレイPAのそれぞれの画素回路にビデオ信号を送信することができる。

[0405]

図22の回路200Aは、駆動回路SDに含まれている回路200[1]乃至回路200[n]のそれぞれに適用できる回路構成である。

[0406]

回路200Aは、一例として、回路BSPR_i、回路FB_{i1}、トランジスタMN21、トランジスタMN24、トランジスタMN25、トランジスタMN28、トランジスタMN31、トランジスタMN34、トランジスタMN40、トランジスタMN41及び容量素子C26を有する。また、回路200Aは、一例として、端子IT、端子PWC、端子CLK1、端子CLK2、端子CLK3、端子RT、端子SRT及び端子OTを有する。

[0407]

また、図22の回路200Aにおいて、回路BSPR_iは、図2Aに示した回路BSPRを変更した回路構成を適用している。具体的には、回路BSPR_iには、図2Aに示した回路BSPRに対して更に1つのトランジスタが追加された回路構成が適用されている。

[0408]

回路BSPR_iは、図2Aの回路BSPRの回路BBに相当する回路BB_iと、図2Aの回路BSPRのトランジスタMN_bに相当するトランジスタMN37と、図2Aの回路BSPRの容量素子C_aに相当する容量素子C25と、トランジスタMN36と、を有する。

[0409]

トランジスタMN 2 1の第1ゲートは、トランジスタMN 3 4の第1ゲートと、端子ITと、に電氣的に接続され、トランジスタMN 2 1の第1端子は、配線VDE 2 1に電氣的に接続されている。また、トランジスタMN 2 1の第2端子は、トランジスタMN 2 4の第1端子と、回路BB iの端子Biと、回路FB i 1の端子Foと、に電氣的に接続されている。

[0 4 1 0]

トランジスタMN 2 5の第1ゲートは、端子CLK 3に電氣的に接続され、トランジスタMN 2 5の第1端子は、配線VDE 2 2に電氣的に接続されている。また、トランジスタMN 2 5の第2端子は、トランジスタMN 2 8の第1端子に電氣的に接続されている。また、トランジスタMN 2 8の第1ゲートは、端子CLK 2に電氣的に接続されている。

[0 4 1 1]

トランジスタMN 3 1の第1ゲートは、端子RTに電氣的に接続され、トランジスタMN 3 1の第1端子は、配線VDE 2 3に電氣的に接続されている。また、トランジスタMN 3 1の第2端子は、トランジスタMN 2 8の第2端子と、トランジスタMN 2 4の第1ゲートと、容量素子C 2 6の第1端子と、トランジスタMN 3 4の第1端子と、トランジスタMN 4 0の第1ゲートと、トランジスタMN 4 1の第1ゲートと、に電氣的に接続されている。

[0 4 1 2]

トランジスタMN 3 6の第1ゲートは、回路BB iの端子Boと、容量素子C 2 5の第1端子と、トランジスタMN 3 7の第1ゲートと、に電氣的に接続され、トランジスタMN 3 6の第1端子は、端子CLK 1に電氣的に接続されている。トランジスタMN 3 6の第2端子は、回路FB i 1の端子Fiと、トランジスタMN 4 0の第1端子と、端子SRTと、に電氣的に接続されている。また、トランジスタMN 3 7の第1端子は、端子PWCに電氣的に接続されている。また、トランジスタMN 3 7の第2端子は、容量素子C 2 5の第2端子と、トランジスタMN 4 1の第1端子と、端子OTと、に電氣的に接続されている。

[0 4 1 3]

トランジスタMN 2 4の第2端子は、配線VSE 1 1に電氣的に接続されている。また、容量素子C 2 6の第2端子は、配線VSE 1 2に電氣的に接続されている。また、トランジスタMN 3 4の第2端子は、配線VSE 1 3に電氣的に接続されている。また、トランジスタMN 4 0の第2端子は、配線VSE 1 4に電氣的に接続されている。また、トランジスタMN 4 1の第2端子は、配線VSE 1 5に電氣的に接続されている。

[0 4 1 4]

配線VDE 2 1乃至配線VDE 2 3のそれぞれについては、例えば、配線VDE 1 1、配線VDE 3及び配線VDE 4の説明を参照することができる。

[0 4 1 5]

配線VSE 1 1乃至配線VSE 1 5のそれぞれについては、例えば、配線VSE 1乃至配線VSE 5の説明を参照することができる。

[0 4 1 6]

回路200Aは、端子SRTの電位が高レベル電位 V_{High} となったとき、トランジスタMN 2 1の第2端子と、トランジスタMN 2 4の第1端子と、回路BB iの端子Biと、の電氣的接続点は、固定電位を与える配線（例えば、図3A乃至図3Cにおける配線VAL 4 1）と導通状態になることがある。これにより、当該電氣的接続点に蓄積されている電荷が意図せずに変化したとしても、

当該配線と当該電氣的接続点との間が導通状態になることで、当該電氣的接続点の電位を一定に保つことができる。

[0417]

上記の図22に示す回路200Aのとおり、回路BSPR_iの回路BB_i及びトランジスタMN36と、回路FB_{i1}と、を並列した回路を用いることによって、回路BSPR_iの出力端子（トランジスタMN36の第2端子）の電位を安定させることができる。つまり、回路200Aにおいて、端子SRTの電位を安定させることができる。

[0418]

<<回路200Aの変更例>>

駆動回路SDの回路200[1]乃至回路200[n]のそれぞれには、例えば、図23に示した回路200A1を適用してもよい。

[0419]

回路200A1は、図22の回路200Aの変更例であって、図22の回路200Aに回路FB_{i2}を設けた構成となっている。なお、回路FB_{i2}の回路構成は、回路FB_{i1}に適用できる回路構成とすることができる。

[0420]

具体的には、回路FB_{i2}の端子F_oは、回路FB_{i1}の端子F_oと、回路BB_iの端子B_iと、トランジスタMN21の第2端子と、トランジスタMN24の第1端子と、に電氣的に接続されている。また、回路FB_{i2}の端子F_iは、トランジスタMN37の第2端子と、トランジスタMN41の第1端子と、容量素子C25の第2端子と、端子OTと、に電氣的に接続されている。

[0421]

回路200A1は、端子SRT及び端子OTの一方又は双方の電位が高レベル電位V_{High}となったとき、トランジスタMN21の第2端子と、トランジスタMN24の第1端子と、回路BB_iの端子B_iと、の電氣的接続点は、固定電位を与える配線（例えば、図3A乃至図3Cにおける配線VAL41）と導通状態になることがある。これにより、当該電氣的接続点に蓄積されている電荷が意図せずに変化したとしても、当該配線と当該電氣的接続点との間が導通状態になることで、当該電氣的接続点の電位を一定に保つことができる。

[0422]

また、駆動回路SDの回路200[1]乃至回路200[n]のそれぞれには、例えば、図24に示した回路200A2を適用してもよい。

[0423]

図24の回路200A2は、図22の回路200Aにおいて、回路BB_iに図9Aの回路BSPRの回路BBを適用し、かつ回路FB_{i1}に図3Aの回路FBを適用した構成となっている。そのため、回路BB_iにはトランジスタMN35が含まれ、回路FB_{i1}にはトランジスタMN31が含まれている。

[0424]

トランジスタMN35の第1端子は、回路BB_iの端子B_iに電氣的に接続され、トランジスタMN35の第2端子は、回路BB_iの端子B_oに電氣的に接続され、トランジスタMN35のゲートは、配線VDE35に電氣的に接続されている。また、トランジスタMN31の第1端子は、配線VDE36に電氣的に接続され、トランジスタMN31の第2端子は、回路FB_{i1}の端子F_o

に電氣的に接続され、トランジスタMN31のゲートは、回路FBi1の端子Fiに電氣的に接続されている。

[0425]

配線VDE35及び配線VDE36のそれぞれについては、例えば、配線VDE21乃至配線VDE23の説明を参照することができる。

[0426]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせ用いることができる。

[0427]

(実施の形態2)

本実施の形態では、本発明の一態様の表示装置の構成例について説明する。

[0428]

<表示装置の構成例>

図25Aは、本発明の一態様の表示装置を示す斜視模式図である。表示装置DSP1は、一例として、表示領域DISと、駆動回路領域DRVと、端子領域TMRと、を有する。また、表示装置DSP1は、基板BSを有しており、表示領域DISと、駆動回路領域DRVと、端子領域TMRと、のそれぞれは、基板BS上に位置している。

[0429]

また、駆動回路領域DRVは、一例として、駆動回路GDR1と、駆動回路GDR2と、駆動回路SDRと、を有する。

[0430]

基板BSには、例えば、半導体基板（例えば、シリコン又はゲルマニウムを材料とした単結晶基板）を用いることができる。また、基板BSには、半導体基板以外としては、例えば、SOI（Silicon On Insulator）基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙又は基材フィルムを用いることができる。ガラス基板の一例としては、例えば、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス又はソーダライムガラスが挙げられる。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）、ポリテトラフルオロエチレン（PTFE）に代表されるプラスチックが挙げられる。または、別の一例としては、アクリル樹脂等の合成樹脂が挙げられる。または、別の一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルが挙げられる。または、別の一例としては、ポリアミド、ポリイミド、アラミド、エポキシ樹脂、無機蒸着フィルム、又は紙類が挙げられる。なお、表示装置DSP1の作製工程において熱処理が含まれている場合、基板BSには、熱に対して耐性の高い材料を用いることが好ましい。

[0431]

例えば、基板BSを、シリコンを材料として有する半導体基板とした場合、表示領域DIS、及び駆動回路領域DRVに含まれるトランジスタをSiトランジスタとして、基板BS上に形成する

ことができる。

[0432]

また、例えば、基板BSをガラス基板とした場合、表示領域DIS、及び駆動回路領域DRVに含まれるトランジスタをOSトランジスタとして、基板BS上に形成することができる。

[0433]

なお、駆動回路領域DRVに含まれている、駆動回路GDR1、駆動回路GDR2、及び駆動回路SDRから選ばれた一以上は、IC(Integrated Circuit)として、COG(Chip On Glass)技術を用いて基板BS上に実装してもよい。

[0434]

駆動回路GDR1及び駆動回路GDR2のそれぞれは、例えば、表示領域DISに画像を表示させるための駆動回路として機能する。具体的には、例えば、駆動回路GDR1、及び駆動回路GDR2のそれぞれは、表示領域DISに対するゲートドライバ回路として機能する。また、例えば、駆動回路SDRは、表示領域DISに対するソースドライバ回路として機能する。

[0435]

このため、駆動回路GDR1及び駆動回路GDR2のそれぞれには、例えば、上記実施の形態で説明した図13A又は図13Bの駆動回路GDを適用することができる。また、駆動回路SDRには、例えば、上記実施の形態で説明した図20の駆動回路SDを適用することができる。

[0436]

端子領域TMRには、表示装置DSP1の外部から、表示装置DSP1の内部に画像信号、及び電源電圧を供給するための端子が含まれている。また、端子領域TMRには、FPC(Flexible Printed Circuit)が電氣的に接続されていてもよい。また、当該FPC上には、COF(Chip On Film)技術を用いて、ICとしてチップを実装してもよい。当該ICは、例えば、表示領域DISに画像を表示させるための駆動回路が含まれていてもよい。

[0437]

表示領域DISは、一例として、複数の画素を有する。また、複数の画素は、表示領域DISにおいて、マトリクス状に配置されていてもよい。

[0438]

また、複数の画素のそれぞれは、一又は複数の色を表現することができる。特に、複数の色としては、例えば、赤、緑及び青の三色とすることができる。又は、複数の色としては、例えば、赤、緑及び青に、更に、シアン、マゼンタ、黄及び白から選ばれた二以上の色としてもよい。なお、異なる色を表現する画素のそれぞれを副画素と呼び、複数の異なる色の副画素によって白色を表現する場合、その複数の副画素をまとめて画素と呼ぶ場合がある。本明細書等では、便宜上、副画素を画素と呼称して、説明する。

[0439]

なお、本発明の一態様の表示装置は、図25Aに図示した表示装置DSP1の構成に限定されない。例えば、本発明の一態様の表示装置は、図25Bに示す表示装置DSP2の構成としてもよい。

[0440]

図25Bに示す表示装置DSP2は、一例として、表示領域DISと、回路領域SICと、端子領域TMRと、を有する。また、表示装置DSP2は、表示装置DSP1と同様に基板BSを有している。なお、表示装置DSP2は、基板BS上に回路領域SIC及び端子領域TMRが設けられ、

かつ回路領域S I C上に表示領域D I Sが設けられている点で、表示領域D S P 1と異なっている。

[0441]

回路領域S I Cは、一例として、上述した駆動回路領域D R Vを有する。また、回路領域S I Cには、駆動回路領域D R V以外の、様々な機能回路が含まれていてもよい。また、本実施の形態では、当該機能回路は、機能回路領域M F N Cに含まれているものとする。

[0442]

例えば、機能回路領域M F N Cには、G P U (G r a p h i c s P r o c e s s i n g U n i t)が含まれていてもよい。また、表示装置D S P 2にタッチパネルが含まれている場合には、機能回路領域M F N Cには、当該タッチパネルに含まれるタッチセンサを制御するセンサコントローラが含まれていてもよい。

[0443]

また、表示装置D S P 2の表示素子として有機E L材料が用いられた発光デバイスが適用されている場合、機能回路領域M F N Cには、補正回路が含まれていてもよい。なお、補正回路は、例えば、有機E L材料が含まれている発光デバイスに入力される電流量を適切に調整する機能を有する。有機E L材料が含まれている発光デバイスの発光時における輝度は電流に比例するため、当該発光デバイスに電氣的に接続されている駆動トランジスタの特性が良くない場合には、当該発光デバイスにて発光する光の輝度は所望の輝度よりも低くなることがある。補正回路は、例えば、当該発光デバイスに流れる電流量をモニタリングして、当該電流量が所望の電流量よりも小さいときに、当該発光デバイスに流れる電流量を大きくして、当該発光デバイスにて発光する輝度を高くすることができる。また、逆に、当該電流量が所望の電流量よりも大きいときに、当該発光デバイスに流れる電流量を小さく調整してもよい。

[0444]

また、表示装置D S P 2の表示素子として液晶表示デバイスが適用されている場合、機能回路領域M F N Cには、ガンマ補正回路が含まれていてもよい。

[0445]

図26は、図25Bに示した表示装置D S P 2の構成例を示したブロック図である。図26に示す表示装置D S P 2は、一例として、表示領域D I Sと、回路領域S I Cと、を有する。また、図26には、センサP D Aを図示しているが、センサP D Aは、表示装置D S P 2の内部に配置されていてもよいし、外部に配置されていてもよい。

[0446]

また、図25Aの表示装置D S P 1は、端子領域T M Rを介して、表示装置D S P 1の外部に位置する機能回路領域M F N Cに電氣的に接続されていてもよい。このときの表示装置D S P 1の構成は、図26に示す表示装置D S P 2と同様の構成とみなすことができる。

[0447]

図26において、太い実線は、複数の配線又はバス配線として記載している。

[0448]

また、図26において、表示領域D I Sには、一例として複数の画素回路P Xがマトリクス状に配置されている。画素回路P Xとしては、例えば、液晶表示デバイス、有機E L材料を含む発光デバイス、無機E L材料を含む発光デバイス、マイクロL E Dなどの発光ダイオードを含む発光デバイスから選ばれた一以上が適用された画素回路とすることができる。なお、本実施の形態では、表

示領域D I Sの画素回路P Xには、有機E L材料が含まれる発光デバイスが適用されたものとして説明する。

[0449]

また、図26において、回路領域S I Cは、上述したとおり、駆動回路領域D R Vと、機能回路領域M F N Cと、を有する。

[0450]

駆動回路領域D R Vは、一例として、表示領域D I Sを駆動させるための周辺回路として機能する。具体的には、駆動回路領域D R Vは、例えば、駆動回路S D R、デジタルアナログ変換回路D A D、駆動回路G D R及びレベルシフタL V Sを有する。なお、駆動回路S D Rは、例えば、図12における駆動回路S Dに相当し、また、駆動回路G D Rは、例えば、図12における駆動回路G Dに相当する。

[0451]

また、機能回路領域M F N Cは、例えば、表示領域D I Sに表示させるための画像データが保存されている記憶装置、エンコードされている画像データを復元するためのデコード、画像データを処理するためのG P U、電源回路、補正回路又はC P Uといった回路を設けることができる。図26において、機能回路領域M F N Cは、一例として、記憶装置M E M、G P U 2 2、補正回路E C R、タイミングコントローラT M C、C P U (N o f f C P U (登録商標)) 2 1、センサコントローラS C C、及び電源回路E P Sを有する。

[0452]

また、図26の表示装置D S P 2は、駆動回路領域D R Vに含まれる回路、及び機能回路領域M F N Cに含まれる回路のそれぞれには、一例として、バス配線B S Lが電氣的に接続されている構成となっている。

[0453]

駆動回路S D Rは、一例として、表示領域D I Sに含まれる画素回路P Xに対して、画像データを送信する機能を有する。そのため、駆動回路S D Rは、配線S Lを介して、画素回路P Xに電氣的に接続されている。

[0454]

デジタルアナログ変換回路D A Dは、一例として、後述するG P U又は補正回路によってデジタル処理された画像データをアナログデータに変換する機能を有する。アナログデータに変換された画像データは、駆動回路S D Rを介して、表示領域D I Sに送信される。なお、デジタルアナログ変換回路D A Dは、駆動回路S D Rに含まれていてもよいし、駆動回路S D R、デジタルアナログ変換回路D A D及び表示領域D I Sの順に画像データが送信される構成としてもよい。

[0455]

駆動回路G D Rは、一例として、表示領域D I Sにおいて、画像データの送信先となる画素回路P Xを選択する機能を有する。そのため、駆動回路G D Rは、配線G Lを介して、画素回路P Xに電氣的に接続されている。

[0456]

レベルシフタL V Sは、一例として、駆動回路S D R、デジタルアナログ変換回路D A D、駆動回路G D Rなどに対して入力される信号を適切なレベルに変換する機能を有する。

[0457]

記憶装置MEMは、一例として、表示領域DISに表示させる画像データを保存する機能を有する。なお、記憶装置MEMは、画像データをデジタルデータ又はアナログデータとして保存する構成とすることができる。

[0458]

また、記憶装置MEMに画像データを保存する場合、記憶装置MEMとしては不揮発性メモリとすることが好ましい。この場合、記憶装置MEMとしては、例えば、NAND型メモリなどを適用することができる。

[0459]

また、記憶装置MEMにGPU22、補正回路ECR、CPU21などで生じる一時データを保存する場合、記憶装置MEMとしては揮発性メモリとすることが好ましい。この場合、記憶装置MEMとしては、例えば、SRAM (Static Random Access Memory)、DRAM (Dynamic Random Access Memory)などを適用することができる。

[0460]

GPU22は、一例として、記憶装置MEMから読み出された画像データを、表示領域DISに描画するための処理を行う機能を有する。特に、GPU22は、並列にパイプライン処理を行う構成となっているため、表示領域DISに表示させる画像データを高速に処理することができる。また、GPU22は、エンコードされた画像を復元するためのデコーダとしての機能も有することができる。

[0461]

また、機能回路領域MFNCには、表示領域DISの表示品位を高めることができる回路が複数含まれていてもよい。当該回路としては、例えば、表示領域DISに表示された画像の色ムラを検知して、当該色ムラを補正して最適な画像にする補正回路（調色又は調光を行う回路）を設けてもよい。また、表示領域DISの画素に有機EL材料が用いられた発光デバイスが適用されている場合、機能回路領域MFNCには、補正回路を設けてもよい。なお、本実施の形態では、表示領域DISの画素回路PXには、有機EL材料が含まれる発光デバイスが適用されたものとして説明しているため、機能回路領域MFNCには、一例として、補正回路ECRを含めている。

[0462]

また、上記で説明した画像補正には、人工知能を用いてもよい。例えば、画素に備えられている表示デバイスに流れる電流（又は表示デバイスに印加される電圧）をモニタリングして取得し、表示領域DISに表示された画像をイメージセンサなどで取得し、電流（又は電圧）と画像を人工知能の演算（例えば、人工ニューラルネットワークなど）の入力データとして扱い、その出力結果で当該画像の補正の有無を判断させてもよい。

[0463]

また、人工知能の演算は、画像補正だけでなく、画像データのアップコンバート処理にも応用することができる。これにより、画面解像度の小さい画像データを表示領域DISの画面解像度に合わせて、アップコンバートを行うことで、表示品位の高い画像を表示領域DISに表示させることができる。また、人工知能の演算は、画像データのダウンコンバート処理にも応用することができる。

[0464]

なお、上述した人工知能の演算には、機能回路領域MFNCに含まれるGPU22を用いて行うことができる。つまり、GPU22を用いて、各種補正の演算（色ムラの補正、アップコンバート処理など）を行うことができる。また、GPU22には、色ムらを補正する回路22aと、アップコンバート処理を行う回路22bと、が含まれていてもよい。

[0465]

なお、本明細書等において、人工知能の演算を行うGPUをAIアクセラレータと呼称する。つまり、本明細書等では、機能回路領域MFNCに備えられているGPUをAIアクセラレータと置き換えて説明する場合がある。

[0466]

タイミングコントローラTMCは、一例として、表示領域DISに画像を表示させるフレームレートを可変する機能を有する。例えば、表示領域DISに静止画を表示させる場合、表示装置DSP2は、タイミングコントローラTMCによってフレームレートを下げて駆動させることができ、また、例えば、表示領域DISに動画を表示させる場合、表示装置DSP2は、タイミングコントローラTMCによってフレームレートを上げて駆動させることができる。つまり、表示装置DSP2にタイミングコントローラTMCを設けることによって、静止画又は動画に応じてフレームレートを変化させることができる。特に、表示領域DISに静止画を表示させる場合には、フレームレートを下げて動作させることができるため、表示装置DSP2の消費電力の低減を図ることができる。

[0467]

CPU21は、一例として、オペレーティングシステムの実行、データの制御、各種演算、及びプログラムの実行といった、汎用の処理を行う機能を有する。表示装置DSP2では、CPU21は、例えば、記憶装置MEMにおける画像データの書き込み動作若しくは読み出し動作、画像データの補正動作、又は後述するセンサへの動作といった命令を行う役割を有する。また、例えば、CPU21は、記憶装置、GPU、補正回路、タイミングコントローラ及び高周波回路といった、機能回路領域MFNCに含まれる回路から選ばれた一以上に制御信号を送信する機能を有してもよい。

[0468]

また、CPU21は、一時的にデータをバックアップする回路（以下、バックアップ回路と呼称する）を有してもよい。バックアップ回路は、例えば、電源電圧の供給が停止したとしても、当該データを保持することができることが好ましい。例えば、表示領域DISで静止画を表示した場合、現在の静止画と異なる画像を表示するまでは、CPU21は機能を停止することができる。そのため、CPU21で処理中のデータをバックアップ回路に一時的に退避させて、その後CPU21への電源電圧の供給を停止して、CPU21を停止させることによって、CPU21における動的な消費電力を低くすることができる。また、本明細書等では、バックアップ回路を有するCPUをNon-CPUと呼称する。

[0469]

センサコントローラSCCは、一例として、センサPDAを制御する機能を有する。また、図26では、センサPDAとセンサコントローラSCCとを電氣的に接続するための配線として、配線SNCLを図示している。

[0470]

センサPDAとしては、例えば、表示領域DISの上方、下方、又は表示領域DISの内部に備

えることができるタッチセンサとすることができる。

[0471]

又は、センサPDAとしては、例えば、照度センサとすることができる。特に、表示領域DISを照らす外光の強さを照度センサによって取得することで、外光に合わせて、表示領域DISに表示する画像の明るさ（輝度）を変化させることができる。例えば、外光が明るい場合、表示領域DISに表示する画像の輝度を高くして、当該画像の視認性を高めることができる。逆に、外光が暗い場合、表示領域DISに表示する画像の輝度を低くして、消費電力を低くすることができる。

[0472]

又は、センサPDAとしては、例えば、イメージセンサとすることができる。例えば、当該イメージセンサによって、画像などを取得することで、表示領域DISに当該画像を表示することができる。

[0473]

電源回路EPSは、一例として、駆動回路領域DRVに含まれている回路、機能回路領域MFNCに含まれている回路、表示領域DISに含まれている画素などに対して供給する電圧を生成する機能を有する。なお、電源回路EPSは、電圧を供給する回路を選択する機能を有してもよい。例えば、電源回路EPSは、表示領域DISに静止画を表示させている期間では、駆動回路領域DRVに含まれている各回路（例えば、駆動回路SDR、デジタルアナログ変換回路DADなど）、及び機能回路領域MFNCに含まれている各回路（例えば、CPU21、GPU22など）に対しての電圧供給を停止することによって、表示装置DSP全体の消費電力を低減することができる。

[0474]

<表示装置の断面構成例1>

次に、図25Aに示す表示装置DSP1の断面視における構成例について説明する。

[0475]

図27に示す表示装置DSP1Aは、図25Aに示す表示装置DSP1の断面視における構成例である。表示装置DSP1Aは、基板310上に画素回路、駆動回路などが設けられた構成となっている。図27の表示装置DSP1Aでは、図25Aに示している駆動回路領域DRVと表示領域DISを図示している。

[0476]

図27における基板310は、図25Aに示す基板BSに相当する。また、表示装置DSP1Aの対角サイズは、例えば、基板310の種類と大きさによって定めることができる。例えば、テレビジョン装置向けに、又はデジタルサイネージ用途の電子機器向けに、30インチ以上、50インチ以上、70インチ以上又は100インチ以上の対角サイズの表示装置を作製する場合、基板310としては、ガラス基板を用いればよい。また、例えば、XR向け機器向けに、又はウェアラブル型情報端末向けに、10インチ以下、5インチ以下、1.5インチ以下、1インチ以下又は0.5インチ以下の対角サイズの表示装置を作製する場合、基板310としては、半導体基板を用いればよい。

[0477]

なお、図27の表示装置DSP1Aの説明では、基板310は半導体基板とする。

[0478]

また、表示装置DSP1Aの画面比率（アスペクト比）については、特に限定はない。例えば、

表示装置D S P 1 Aは、1 : 1（正方形）、4 : 3、16 : 9、16 : 10、21 : 9又は32 : 9といった様々な画面比率に対応することができる。

[0479]

図27の表示装置D S P 1 Aにおいて、基板310上には、トランジスタ300p、及びトランジスタ300dが形成されている。なお、本明細書等では、トランジスタ300p、又はトランジスタ300dをまとめて、トランジスタ300と記載する。また、トランジスタ300p、及びトランジスタ300dの上方には、発光デバイス130（図27では、発光デバイス130R、発光デバイス130G及び発光デバイス130B）が設けられている。

[0480]

トランジスタ300pは、表示領域D I Sに含まれており、例えば、画素回路P Xが有するトランジスタとして機能する。また、トランジスタ300dは、駆動回路領域D R Vに含まれているトランジスタとして機能する。このため、トランジスタ300dは、例えば、実施の形態1で説明した回路100[1]乃至回路100[m]又は回路200[1]乃至回路200[n+2]に含まれるトランジスタとすることができる。また、発光デバイス130は、画素回路P Xに含まれる発光デバイスとすることができる。

[0481]

トランジスタ300は、基板310上に設けられ、素子分離層312と、導電体316と、絶縁体315と、絶縁体317と、基板310の一部からなる半導体領域313と、ソース領域又はドレイン領域として機能する低抵抗領域314a及び低抵抗領域314bと、を有する。このため、トランジスタ300は、S iトランジスタとなっている。なお、図27では、トランジスタ300のソース及びドレインの一方が、後述する導電体328を介して、後述する導電体596及び導電体112（導電体112a乃至導電体112c）に電氣的に接続されている構成を示しているが、本発明の一態様の表示装置の電氣的な接続構成は、これに限定されない。本発明の一態様の表示装置は、例えば、トランジスタ300のゲートが、導電体328を介して、導電体596に電氣的に接続されている構成としてもよい。

[0482]

トランジスタ300は、例えば、半導体領域313の上面及びチャネル幅方向の側面が、ゲート絶縁体として機能する絶縁体315を介して導電体316に覆う構成にすることによって、F i n型にすることができる。トランジスタ300をF i n型にすることにより、実効上のチャネル幅が増大することができ、トランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。また、トランジスタ300は、F i n型でなくプレーナー型としてもよい。

[0483]

なお、トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。またはトランジスタ300を複数設け、pチャネル型及びnチャネル型の双方を用いてもよい。

[0484]

半導体領域313のチャネルが形成される領域と、その近傍の領域と、ソース領域又はドレイン領域となる低抵抗領域314a及び低抵抗領域314bと、には、シリコン系半導体を含むことが好ましく、具体的には、単結晶シリコンを含むことが好ましい。又は、上述した各領域は、例えば、ゲルマニウム、シリコンゲルマニウム、ヒ化ガリウム、ヒ化アルミニウムガリウム、又は窒化ガリ

ウムを用いて形成されてもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又は、トランジスタ300は、例えば、ヒ化ガリウムとヒ化アルミニウムガリウムを用いたHEMT (High Electron Mobility Transistor) としてもよい。

[0485]

ゲート電極として機能する導電体316には、ヒ素又はリンといったn型の導電性を付与する元素、もしくはホウ又はアルミニウムといったp型の導電性を付与する元素を含むシリコンなどの半導体材料を用いることができる。又は、導電体316には、例えば、金属材料、合金材料、又は金属酸化物材料といった導電性材料を用いることができる。

[0486]

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタン、及び窒化タantalの一方又は双方の材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステン及びアルミニウムの一方又は双方の金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

[0487]

素子分離層312は、基板310上に形成されている複数のトランジスタ同士を分離するために設けられている。素子分離層は、例えば、LOCOS (Local Oxidation of Silicon) 法、STI (Shallow Trench Isolation) 法又はメサ分離法を用いて形成することができる。

[0488]

図27に示すトランジスタ300上には、絶縁体320及び絶縁体322が、基板310側から順に積層して設けられている。

[0489]

絶縁体320及び絶縁体322として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム及び窒化アルミニウムから選ばれた一以上を用いればよい。

[0490]

なお、本明細書などにおいて、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い材料を指す。例えば、酸化窒化シリコンと記載した場合は、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンと記載した場合は、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0491]

絶縁体322は、絶縁体320及び絶縁体322に覆われているトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨 (CMP) 法を用いた平坦化处理により平坦化されていてもよい。

[0492]

絶縁体322上には、絶縁体592及び絶縁体594が順に積層して設けられている。

[0493]

また、絶縁体592には、基板310又はトランジスタ300から、絶縁体592より上方の領域（例えば、発光デバイス130R、発光デバイス130G及び発光デバイス130Bなどが設けられている領域）に、水又は水素といった不純物が拡散しないようなバリア性を有する絶縁膜（バリア性絶縁膜と呼称する）を用いることが好ましい。したがって、絶縁体592は、水素原子、水素分子、及び水分子といった不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。また、状況によっては、絶縁体592は、窒素原子、窒素分子、酸化窒素分子（例えば、 N_2O 、 NO 及び NO_2 ）、及び銅原子といった不純物の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、及び酸素分子の一方又は双方）の拡散を抑制する機能を有することが好ましい。

[0494]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。

[0495]

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS：Thermal Desorption Spectrometry）を用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDSにおいて、膜の表面温度が 50°C から 500°C の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当りに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0496]

なお、絶縁体594は、絶縁体592よりも誘電率が低いことが好ましい。例えば、絶縁体594の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体594の比誘電率は、絶縁体592の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。絶縁体594を誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0497]

また、絶縁体320、絶縁体322、絶縁体592及び絶縁体594には、絶縁体594より上方に設けられている発光デバイスなどと接続する導電体328、及び導電体596が埋め込まれている。なお、導電体328及び導電体596は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[0498]

各プラグ及び配線（例えば、導電体328及び導電体596）の材料としては、金属材料、合金材料、金属窒化物材料及び金属酸化物材料から選ばれた一以上の導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステン又はモリブデンといった高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウム若しくは銅といった低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0499]

絶縁体594上及び導電体328上には、絶縁体598及び絶縁体599がこの順に形成されている。

[0500]

絶縁体598は、一例として、絶縁体592と同様に、水素、酸素及び水から選ばれた一以上に対するバリア性を有する絶縁体を用いることが好ましい。また、絶縁体599としては、絶縁体594と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。また、絶縁体599は、層間絶縁膜及び平坦化膜としての機能を有する。

[0501]

絶縁体599上には、発光デバイス130及び接続部140が形成されている。

[0502]

接続部140は、カソードコンタクト部と呼ばれる場合があり、発光デバイス130R、発光デバイス130G及び発光デバイス130Bのそれぞれのカソード電極に電氣的に接続されている。図27では、接続部140は、後述する導電体112a乃至導電体112cから選ばれた一以上の導電体と、後述する導電体126a乃至導電体126cの少なくとも一の導電体と、後述する導電体129a乃至導電体129cから選ばれた一以上の導電体と、後述する共通層114と、後述する共通電極115と、を有する。

[0503]

なお、接続部140は、平面視において表示部の四辺を囲むように設けられてもよく、又は、表示部内（例えば、隣り合う発光デバイス130同士の間）に設けられてもよい。

[0504]

発光デバイス130Rは、導電体112aと、導電体112a上の導電体126aと、導電体126a上の導電体129aと、を有する。導電体112a、導電体126a及び導電体129aの全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。また、発光デバイス130Gは、導電体112bと、導電体112b上の導電体126bと、導電体126b上の導電体129bと、を有する。発光デバイス130Rと同様に、導電体112b、導電体126b及び導電体129bの全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。また、発光デバイス130Bは、導電体112cと、導電体112c上の導電体126cと、導電体126c上の導電体129cと、を有する。発光デバイス130R、及び発光デバイス130Gと同様に、導電体112c、導電体126c及び導電体129cの全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。

[0505]

導電体112a乃至導電体112c、及び導電体126a乃至導電体126cには、例えば、反射電極として機能する導電層を用いることができる。反射電極として機能する導電層には、可視光に対して反射率の高い導電体として、例えば、銀、アルミニウム、銀（Ag）とパラジウム（Pd）と銅（Cu）の合金膜（Ag-Pd-Cu（APC）膜）を適用することができる。また、導電体112a乃至導電体112c、及び導電体126a乃至導電体126cには、一対のチタンで挟まれたアルミニウムの積層膜（Ti、Al、Tiの順の積層膜）、又は一対のインジウム錫酸化物で挟まれた銀の積層膜（ITO、Ag、ITOの順の積層膜）を用いることができる。

[0506]

また、例えば、導電体112a乃至導電体112cに反射電極として機能する導電層を用いて、導電体126a乃至導電体126cに、透光性が高い導電体を用いてもよい。透光性が高い導電体としては、例えば、銀とマグネシウムの合金、又はインジウム錫酸化物（ITOと呼ばれる場合がある）、が挙げられる。

[0507]

導電体129a乃至導電体129cには、例えば、透明電極として機能する導電層を用いることができる。透明電極として機能する導電層としては、例えば、上述した透光性が高い導電体とすることができる。

[0508]

また、後に詳述する発光デバイス130に、マイクロキャビティ構造（微小共振器構造）を設けてもよい。マイクロキャビティ構造とは、発光層の下面と下部電極の上面との距離を、当該発光層が発光する光の色の波長に応じた厚さにする構造を指す。この場合、上部電極（共通電極）である導電体129a乃至導電体129cに透光性及び光反射性を有する導電材料を用い、下部電極（画素電極）である導電体112a乃至導電体112c、及び導電体126a乃至導電体126cとして光反射性を有する導電材料を用いること好ましい。

[0509]

マイクロキャビティ構造とは、下部電極と発光層の光学的距離を $(2n-1)\lambda/4$ （ただし、 n は1以上の自然数、 λ は増幅したい発光の波長）に調節した構造を指す。これにより、下部電極によって反射されて戻ってきた光（反射光）は、発光層から上部電極に直接入射する光（入射光）と大きな干渉を起こす。そのため、波長 λ のそれぞれの反射光と入射光との位相を合わせ発光層からの発光をより増幅させることができる。一方で、反射光と入射光とが波長 λ 以外である場合、位相が合わなくなるため、共振せずに減衰する。

[0510]

導電体112aは、絶縁体599に設けられた開口を介して、絶縁体594に埋め込まれている導電体596と接続されている。また、導電体112aの端部よりも外側に導電体126aの端部が位置している。導電体126aの端部と導電体129aの端部は、揃っている、または概略揃っている。

[0511]

発光デバイス130Gにおける導電体112bと発光デバイス130Bにおける導電体112cについては、発光デバイス130Rにおける導電体112aと同様であるため詳細な説明を省略する。また、発光デバイス130Gにおける導電体126bと発光デバイス130Bにおける導電体126cについては、発光デバイス130Rにおける導電体126aと同様であるため詳細な説明を省略する。また、発光デバイス130Gにおける導電体129bと発光デバイス130Bにおける導電体129cについては、発光デバイス130Rにおける導電体129aと同様であるため詳細な説明を省略する。

[0512]

導電体112a、導電体112b及び導電体112cには、絶縁体599に設けられた開口を覆うように凹部が形成される。また、当該凹部には、層128が埋め込まれている。

[0513]

層128は、導電体112a乃至導電体112cの凹部を平坦化する機能を有する。導電体11

2 a 上乃至導電体 1 1 2 c 上、及び層 1 2 8 上には、導電体 1 1 2 a 乃至導電体 1 1 2 c と電氣的に接続される導電体 1 2 6 a 乃至導電体 1 2 6 c が設けられている。したがって、導電体 1 1 2 a 乃至導電体 1 1 2 c の凹部と重なる領域も発光領域として使用でき、画素の開口率を高めることができる。

[0514]

層 1 2 8 は、絶縁層であってもよく、導電層であってもよい。層 1 2 8 には、各種無機絶縁材料、有機絶縁材料及び導電材料を適宜用いることができる。特に、層 1 2 8 は、絶縁材料を用いて形成されることが好ましい。

[0515]

層 1 2 8 には、有機材料を有する絶縁層を好適に用いることができる。例えば、層 1 2 8 には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、又はこれら樹脂の前駆体を適用することができる。また、層 1 2 8 として、感光性の樹脂を用いることができる。感光性の樹脂としては、ポジ型の材料、またはネガ型の材料が挙げられる。

[0516]

感光性の樹脂を用いることにより、露光及び現像の工程のみで層 1 2 8 を作製することができ、ドライエッチング、あるいはウェットエッチングによる導電体 1 1 2 a、導電体 1 1 2 b、導電体 1 1 2 c の表面への影響を低減することができる。また、ネガ型の感光性樹脂を用いて層 1 2 8 を形成することにより、絶縁体 5 9 9 の開口の形成に用いるフォトリソマスク（露光マスク）と同一のフォトリソマスクを用いて、層 1 2 8 を形成できる場合がある。

[0517]

なお、図 2 7 では、層 1 2 8 の上面が平坦部を有する例を示すが、層 1 2 8 の形状は、特に限定されない。図 2 8 A に示すとおり、層 1 2 8 の上面は、断面視において、中央及びその近傍において凹曲面を有する形状としてもよい。又は、図 2 8 B に示すとおり、層 1 2 8 は、断面視において、中央及びその近傍において凸曲面を有する形状としてもよい。また、図 2 8 C に示すとおり、層 1 2 8 は、中央及びその近傍において凹曲面及び凸曲面を有する形状としてもよい。

[0518]

発光デバイス 1 3 0 R は、第 1 の層 1 1 3 a と、第 1 の層 1 1 3 a 上の共通層 1 1 4 と、共通層 1 1 4 上の共通電極 1 1 5 と、を有する。また、発光デバイス 1 3 0 G は、第 2 の層 1 1 3 b と、第 2 の層 1 1 3 b 上の共通層 1 1 4 と、共通層 1 1 4 上の共通電極 1 1 5 と、を有する。また、発光デバイス 1 3 0 B は、第 3 の層 1 1 3 c と、第 3 の層 1 1 3 c 上の共通層 1 1 4 と、共通層 1 1 4 上の共通電極 1 1 5 と、を有する。

[0519]

なお、第 1 の層 1 1 3 a は、導電体 1 2 6 a の上面及び側面と導電体 1 2 9 a の上面及び側面を覆うように形成されている。同様に、第 2 の層 1 1 3 b は、導電体 1 2 6 b の上面及び側面と導電体 1 2 9 b の上面及び側面を覆うように形成されている。また、同様に、第 3 の層 1 1 3 c は、導電体 1 2 6 c の上面及び側面と導電体 1 2 9 c の上面及び側面を覆うように形成されている。したがって、導電体 1 2 6 a、導電体 1 2 6 b 及び導電体 1 2 6 c が設けられている領域全体を、発光デバイス 1 3 0 R、発光デバイス 1 3 0 G 及び発光デバイス 1 3 0 B の発光領域として用いることができるため、画素の開口率を高めることができる。

[0520]

発光デバイス130Rにおいて、第1の層113aと共通層114をまとめてEL層と呼ぶことができる。また、同様に、発光デバイス130Gにおいて、第2の層113bと共通層114をまとめてEL層と呼ぶこともできる。また、同様に、発光デバイス130Bにおいて、第3の層113cと共通層114をまとめてEL層と呼ぶことができる。

[0521]

本実施の形態の発光デバイスの構成に、特に限定はなく、シングル構造であってもタンデム構造であってもよい。

[0522]

第1の層113a、第2の層113b及び第3の層113cは、フォトリソグラフィ法により島状に加工されている。そのため、第1の層113a、第2の層113b、及び第3の層113cは、それぞれその端部において、上面と側面との成す角が90度に近い形状となる。一方、例えば、FMM (Fine Metal Mask) を用いて形成された有機膜は、その厚さが端部に近いほど徐々に薄くなる傾向があり、例えば1 μ m以上10 μ m以下の範囲にわたって、上面がスロープ状に形成されるため、上面と側面の区別が困難な形状となる。

[0523]

第1の層113a、第2の層113b及び第3の層113cは、上面と側面の区別が明瞭となる。これにより、隣接する第1の層113aと第2の層113bにおいて、第1の層113aの側面の一と、第2の層113bの側面の一は、互いに対向して配置される。これは、第1の層113a、第2の層113b及び第3の層113cのうちいずれの組み合わせにおいても同様である。

[0524]

第1の層113a、第2の層113b及び第3の層113cは、少なくとも発光層を有する。例えば、第1の層113aが、赤色の光を発する発光層を有し、第2の層113bが緑色の光を発する発光層を有し、第3の層113cが、青色の光を発する発光層を有する構成であると好ましい。また、それぞれの発光層は、上記以外の色としては、シアン、マゼンタ、黄又は白を適用することができる。

[0525]

第1の層113a、第2の層113b及び第3の層113cは、発光層と、発光層上のキャリア輸送層（電子輸送層または正孔輸送層）と、を有することが好ましい。第1の層113a、第2の層113b及び第3の層113cの表面は、表示装置の作製工程中に露出する場合があるため、キャリア輸送層を発光層上に設けることで、発光層が最表面に露出することを抑制し、発光層が受けるダメージを低減することができる。これにより、発光デバイスの信頼性を高めることができる。

[0526]

共通層114は、例えば電子注入層又は正孔注入層を有する。また、共通層114は、電子輸送層と電子注入層とを積層して有していてもよく、正孔輸送層と正孔注入層とを積層して有していてもよい。共通層114は、発光デバイス130R、発光デバイス130G及び発光デバイス130Bで共有されている。

[0527]

また、共通電極115は、発光デバイス130R、発光デバイス130G及び発光デバイス130Bで共有されている。また、図27に示すように、複数の発光デバイスが共通して有する共通電

極 1 1 5 は、接続部 1 4 0 に含まれている導電体に電氣的に接続される。

[0528]

絶縁体 1 2 5 は、水及び酸素の一方又は双方に対するバリア絶縁層としての機能を有することが好ましい。また、絶縁体 1 2 5 は、水及び酸素の一方又は双方の拡散を抑制する機能を有することが好ましい。また、絶縁体 1 2 5 は、水及び酸素の一方又は双方を捕獲、または固着する（ゲッタリングともいう）機能を有することが好ましい。絶縁体 1 2 5 が、バリア絶縁層としての機能、又はゲッタリング機能を有することで、外部から各発光デバイスに拡散しうる不純物（代表的には、水及び酸素の一方又は双方）の侵入を抑制することが可能な構成となる。当該構成とすることで、信頼性の高い発光デバイス、さらには、信頼性の高い表示パネルを提供することができる。

[0529]

また、絶縁体 1 2 5 は、不純物濃度が低いことが好ましい。これにより、絶縁体 1 2 5 から EL 層に不純物が混入し、EL 層が劣化することを抑制することができる。また、絶縁体 1 2 5 において、不純物濃度を低くすることで、水及び酸素の一方又は双方に対するバリア性を高めることができる。例えば、絶縁体 1 2 5 は、水素濃度及び炭素濃度の一方、好ましくは双方が十分に低いことが望ましい。

[0530]

絶縁体 1 2 7 としては、有機材料を有する絶縁層を好適に用いることができる。有機材料としては、感光性の有機樹脂を用いることが好ましく、例えば、アクリル樹脂を含む感光性の樹脂組成物を用いればよい。また、絶縁体 1 2 7 の材料の粘度は、1 cP 以上 1500 cP 以下とすればよく、1 cP 以上 12 cP 以下とすることが好ましい。絶縁体 1 2 7 の材料の粘度を上記の範囲にすることで、後述するテーパ形状を有する絶縁体 1 2 7 を、比較的容易に形成することができる。なお、本明細書などにおいて、アクリル樹脂とは、ポリメタクリル酸エステル、またはメタクリル樹脂だけを指すものではなく、広義のアクリル系ポリマー全体を指す場合がある。

[0531]

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面とがなす角（テーパ角ともいう）が 90° 未満である領域を有すると好ましい。

[0532]

なお、絶縁体 1 2 7 は、後述するように側面にテーパ形状を有していればよく、絶縁体 1 2 7 に用いることができる有機材料は上記に限られるものではない。例えば、絶縁体 1 2 7 には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、イミド樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、又はこれら樹脂の前駆体を適用することができる場合がある。また、絶縁体 1 2 7 として、ポリビニルアルコール（PVA）、ポリビニルブチラル（PVB）、ポリビニルピロリドン、ポリエチレングリコール、ポリグリセリン、プルラン、水溶性のセルロース、またはアルコール可溶性のポリアミド樹脂といった有機材料を適用することができる場合がある。また、絶縁体 1 2 7 には、例えば、感光性の樹脂として、フォトレジストを用いることができる場合がある。なお、感光性の樹脂としては、ポジ型の材料、またはネガ型の材料が挙げられる。

[0533]

絶縁体 1 2 7 には可視光を吸収する材料を用いてもよい。絶縁体 1 2 7 が発光デバイスからの発

光を吸収することで、発光デバイスから絶縁体 1 2 7 を介して隣接する発光デバイスに光が漏れること（迷光）を抑制することができる。これにより、表示パネルの表示品位を高めることができる。また、表示パネルに偏光板を用いなくても、表示品位を高めることができるため、表示パネルの軽量化及び薄型化を図ることができる。

[0534]

可視光を吸収する材料としては、黒色などの顔料を含む材料、染料を含む材料、光吸収性を有する樹脂材料（例えば、ポリイミド）及びカラーフィルタに用いることのできる樹脂材料（カラーフィルタ材料）が挙げられる。特に、2色又は3色以上のカラーフィルタ材料を積層または混合した樹脂材料を用いると、可視光の遮蔽効果を高めることができるため好ましい。特に3色以上のカラーフィルタ材料を混合させることで、黒色又は黒色近傍の樹脂層とすることが可能となる。

[0535]

絶縁体 1 2 7 は、例えば、スピコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート又はナイフコートといった湿式の成膜方法を用いて形成することができる。特に、スピコートにより、絶縁体 1 2 7 となる有機絶縁膜を形成することが好ましい。

[0536]

絶縁体 1 2 7 は、EL層の耐熱温度よりも低い温度で形成する。絶縁体 1 2 7 を形成する際の基板温度としては、代表的には、200℃以下、好ましくは180℃以下、より好ましくは160℃以下、より好ましくは150℃以下、より好ましくは140℃以下である。

[0537]

以下では、発光デバイス 1 3 0 R と発光デバイス 1 3 0 G の間の絶縁体 1 2 7 の構造を例に挙げて、絶縁体 1 2 7 などの構造について説明を行う。なお、発光デバイス 1 3 0 G と発光デバイス 1 3 0 B の間の絶縁体 1 2 7、並びに発光デバイス 1 3 0 B と発光デバイス 1 3 0 R の間の絶縁体 1 2 7 についても同様のことが言える。また、以下では、第2の層 1 1 3 b 上の絶縁体 1 2 7 の端部を例に挙げて説明する場合があるが、第1の層 1 1 3 a 上の絶縁体 1 2 7 の端部、並びに第3の層 1 1 3 c 上の絶縁体 1 2 7 の端部についても同様のことが言える。

[0538]

絶縁体 1 2 7 は、表示装置の断面視において、側面にテーパ角 $\theta 1$ のテーパ形状を有することが好ましい。テーパ角 $\theta 1$ は、絶縁体 1 2 7 の側面と基板面のなす角である。ただし、基板面に限らず、絶縁体 1 2 5 の平坦部の上面、又は第2の層 1 1 3 b の平坦部の上面と、絶縁体 1 2 7 の側面がなす角としてもよい。また、絶縁体 1 2 7 の側面をテーパ形状にすることにより、絶縁体 1 2 5 の側面、及びマスク層 1 1 8 a の側面もテーパ形状となる場合がある。

[0539]

絶縁体 1 2 7 のテーパ角 $\theta 1$ は、90°未満であり、60°以下が好ましく、45°以下がより好ましい。絶縁体 1 2 7 の側面端部をこのような順テーパ形状にすることで、絶縁体 1 2 7 の側面端部上に設けられる、共通層 1 1 4 及び共通電極 1 1 5 に、段切れ、または局所的な薄膜化などを生じさせることなく、被覆性良く成膜することができる。これにより、共通層 1 1 4 及び共通電極 1 1 5 の面内均一性を向上させることができるので、表示装置の表示品位を向上させることができる。

[0540]

また、表示装置の断面視において、絶縁体 1 2 7 の上面は凸曲面形状を有することが好ましい。絶縁体 1 2 7 の上面の凸曲面形状は、中心に向かってなだらかに膨らんだ形状であることが好ましい。また、絶縁体 1 2 7 上面の中心部の突曲面部が、側面端部のテーパ部に滑らかに接続される形状であることが好ましい。絶縁体 1 2 7 をこのような形状にすることで、絶縁体 1 2 7 上全体で、共通層 1 1 4 及び共通電極 1 1 5 を被覆性良く成膜することができる。

[0 5 4 1]

また、絶縁体 1 2 7 は、二つの E L 層の間の領域（例えば、第 1 の層 1 1 3 a と第 2 の層 1 1 3 b との間の領域）に形成される。このとき、絶縁体 1 2 7 の一部が、一方の E L 層（例えば、第 1 の層 1 1 3 a）の側面端部と、もう一方の E L 層（例えば、第 2 の層 1 1 3 b）の側面端部に挟まれる位置に配置されることになる。

[0 5 4 2]

また、絶縁体 1 2 7 の一方の端部が画素電極として機能する導電体 1 2 6 a と重なり、絶縁体 1 2 7 の他方の端部が画素電極として機能する導電体 1 2 6 b と重なることが好ましい。このような構造にすることで、絶縁体 1 2 7 の端部を第 1 の層 1 1 3 a（第 2 の層 1 1 3 b）の概略平坦な領域の上に形成することができる。よって、絶縁体 1 2 7 のテーパ形状を、上記の通り加工することが比較的容易になる。

[0 5 4 3]

以上のように、絶縁体 1 2 7 など設けることにより、第 1 の層 1 1 3 a の概略平坦な領域から第 2 の層 1 1 3 b の概略平坦な領域まで、共通層 1 1 4 及び共通電極 1 1 5 に段切れ箇所、及び局所的に膜厚が薄い箇所が形成されるのを防ぐことができる。よって、各発光デバイス間において、共通層 1 1 4 及び共通電極 1 1 5 に、段切れ箇所に起因する接続不良、及び局所的に膜厚が薄い箇所に起因する電気抵抗の上昇が発生するのを抑制することができる。

[0 5 4 4]

本実施の形態の表示装置は、発光デバイス間の距離を狭くすることができる。具体的には、発光デバイス間の距離、E L 層間の距離、または画素電極間の距離を、 $10\ \mu\text{m}$ 未満、 $8\ \mu\text{m}$ 以下、 $5\ \mu\text{m}$ 以下、 $3\ \mu\text{m}$ 以下、 $2\ \mu\text{m}$ 以下、 $1\ \mu\text{m}$ 以下、 $500\ \text{nm}$ 以下、 $200\ \text{nm}$ 以下、 $100\ \text{nm}$ 以下、 $90\ \text{nm}$ 以下、 $70\ \text{nm}$ 以下、 $50\ \text{nm}$ 以下、 $30\ \text{nm}$ 以下、 $20\ \text{nm}$ 以下、 $15\ \text{nm}$ 以下又は $10\ \text{nm}$ 以下とすることができる。別言すると、本実施の形態の表示装置は、隣接する 2 つの島状の E L 層の間隔が $1\ \mu\text{m}$ 以下の領域を有し、好ましくは $0.5\ \mu\text{m}$ （ $500\ \text{nm}$ ）以下の領域を有し、さらに好ましくは $100\ \text{nm}$ 以下の領域を有する。このように、各発光デバイス間の距離を狭めることで、高い精細度と、大きな開口率を有する表示装置を提供することができる。

[0 5 4 5]

発光デバイス 1 3 0 上には、保護層 1 3 1 が設けられている。保護層 1 3 1 は、発光デバイス 1 3 0 を保護するパッシベーション膜として機能する膜である。発光デバイスを覆う保護層 1 3 1 を設けることで、発光デバイスに水又は酸素といった不純物が入り込むことを抑制し、発光デバイス 1 3 0 の信頼性を高めることができる。保護層 1 3 1 には、例えば、酸化アルミニウム、窒化シリコン、又は窒化酸化シリコンを用いることができる。

[0 5 4 6]

保護層 1 3 1 と、基板 1 1 0 と、は接着層 1 0 7 を介して接着されている。発光デバイスの封止としては、例えば、固体封止構造又は中空封止構造を適用することができる。図 2 7 では、基板 3

10と基板110との間の空間が、接着層107で充填されており、固体封止構造が適用されている。または、当該空間を不活性ガス（窒素またはアルゴンなど）で充填し、中空封止構造を適用してもよい。このとき、接着層107は、発光デバイスと重ならないように設けられていてもよい。また、当該空間を、枠状に設けられた接着層107とは異なる樹脂で充填してもよい。

[0547]

接着層107には、紫外線硬化型の光硬化型接着剤、反応硬化型接着剤又は熱硬化型接着剤、嫌気型接着剤といった各種硬化型接着剤を用いることができる。これら接着剤としては、例えば、エポキシ樹脂、アクリル樹脂、シリコーン樹脂、フェノール樹脂、ポリイミド樹脂、イミド樹脂、PVC（ポリビニルクロライド）樹脂、PVB（ポリビニルブチラル）樹脂、EVA（エチレンビニルアセテート）樹脂が挙げられる。特に、エポキシ樹脂の透湿性が低い材料が好ましい。また、二液混合型の樹脂を用いてもよい。また、接着シートを用いてもよい。

[0548]

表示装置DSP1Aは、トップエミッション型である。発光デバイスが発する光は、基板110側に射出される。そのため、基板110には、可視光に対する透過性が高い材料を用いることが好ましい。例えば、基板110には、基板310及び基板BSに適用できる基板のうち、可視光に対する透過性が高い基板を選択すればよい。画素電極は可視光を反射する材料を含み、対向電極（共通電極115）は可視光を透過する材料を含む。

[0549]

なお、本発明の一態様の表示装置は、トップエミッション型ではなく、発光デバイスが発する光が基板310側に射出されるボトムエミッション型としてもよい。なお、この場合、基板310には、可視光に対する透過性が高い基板を選択すればよい。

[0550]

<表示装置の断面構成例2>

次に、図27の表示装置DSP1Aとは異なる、図25Aに示す表示装置DSP1の断面視における構成例について説明する。図29に示す表示装置DSP1Bは、表示装置DSP1Aの変更例であって、基板310上に設けられているトランジスタの構成が表示装置DSP1Aと異なっている。

[0551]

また、図29の表示装置DSP1Bにおいて、基板310には、基板BSに適用できる基板を用いることが好ましい。なお、表示装置DSP1Bの説明では基板310はガラス基板とする。

[0552]

図29の表示装置DSP1Bにおいて、基板310上には、トランジスタ500p及びトランジスタ500dが形成されている。なお、本明細書等では、トランジスタ500p又はトランジスタ500dをまとめて、トランジスタ500と記載する。また、表示装置DSP1Bにおけるトランジスタ500pは、表示装置DSP1Aのトランジスタ300pに相当し、表示装置DSP1Bにおけるトランジスタ500dは、表示装置DSP1Aのトランジスタ300dに相当する。

[0553]

また、トランジスタ500p及びトランジスタ500dの上方に位置する、発光デバイス130（図29では、発光デバイス130R、発光デバイス130G及び発光デバイス130B）については、図27の発光デバイス130の説明を参照することができる。

[0554]

トランジスタ500上には、絶縁体574が形成されており、また、絶縁体574上には、絶縁体581が形成されている。また、絶縁体574及び絶縁体581には開口が設けられており、当該開口には導電体596が埋め込まれている。なお、絶縁体574及び絶縁体581については、後述する。また、導電体596については、図27の導電体596の説明を参照することができる。

[0555]

絶縁体581上及び導電体540上には、絶縁体592と、絶縁体594と、導電体596と、が形成されている。なお、絶縁体592、絶縁体594及び導電体596については、図27の絶縁体592及び絶縁体594の説明を参照することができる。

[0556]

<<トランジスタ500の構成例>>

図30Aは、表示装置DSP1Bに備えることができるトランジスタ500のチャネル長方向の断面模式図であり、図30Bは、トランジスタ500のチャネル幅方向の断面模式図である。なお、図30A及び図30Bでは、基板310上ではなく、絶縁体512上にトランジスタ500が設けられている構成を示している。

[0557]

図30A及び図30Bに示すように、トランジスタ500は、一例として、金属酸化物531aと、金属酸化物531bと、導電体505と、導電体542aと、導電体542bと、絶縁体580と、導電体560と、絶縁体514と、絶縁体516と、絶縁体520と、絶縁体522と、絶縁体524と、絶縁体550と、絶縁体554と、絶縁体574と、絶縁体580と、絶縁体581と、を有する。なお、トランジスタ500は、上述した構成要素のそれぞれを必ずしも有していなくてもよい。例えば、トランジスタ500は、絶縁体520を有していない構成としてもよい。

[0558]

導電体505（導電体505a及び導電体505b）と、絶縁体516と、は、基板（図示しない）の上方に配置されている。特に、導電体505は、絶縁体516に埋め込まれて設けることが好ましい。具体的には、導電体505aは、絶縁体516に設けられた開口の底面及び側壁に接して設けられることが好ましい。また、導電体505bは、導電体505aに形成された凹部に埋め込まれるように設けられることが好ましい。なお、図30A及び図30Bに示すトランジスタ500では、導電体505bの上面の高さは、導電体505aの上面の高さおよび絶縁体516の上面の高さと略一致する。

[0559]

また、金属酸化物531及び導電体560は、導電体505に重なる領域に配置されている。また、金属酸化物531bは、金属酸化物531aの上に配置されている。また、導電体542a及び導電体542bは、金属酸化物531bの上に、互いに離隔して配置されている。また、絶縁体580は、導電体542a及び導電体542b上に配置されている。特に、絶縁体580には、導電体542aと導電体542bの間の領域に開口部が形成されている。また、導電体560は、当該開口部の中に配置されている。また、絶縁体550は、金属酸化物531b、導電体542a、導電体542b及び絶縁体580と導電体560との間に配置されている。ここで、図30A及び図30Bに示すように、導電体560の上面は、絶縁体550及び絶縁体580の上面と略一致することが好ましい。なお、以下において、導電体505a及び導電体505bをまとめて導電体5

05 という場合がある。また、金属酸化物531a及び金属酸化物531bをまとめて金属酸化物531という場合がある。また、導電体542a及び導電体542bをまとめて導電体542という場合がある。

[0560]

また、図30Aに示すように、金属酸化物531bの、導電体542aとの界面とその近傍には、低抵抗領域として、領域543aが形成される場合がある。同様に、金属酸化物531bの、導電体542bとの界面とその近傍には、低抵抗領域として、領域543bが形成される場合がある。このとき、領域543aはソース領域またはドレイン領域の一方として機能し、領域543bはソース領域またはドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャンネル形成領域が形成される。

[0561]

金属酸化物531と接するように上記導電体542a（導電体542b）を設けることで、領域543a（領域543b）の酸素濃度が低減する場合がある。また、領域543a（領域543b）に導電体542a（導電体542b）に含まれる金属と、金属酸化物531の成分とを含む金属化合物層が形成される場合がある。このような場合、領域543a（領域543b）のキャリア濃度が増加し、領域543a（領域543b）は、低抵抗領域となる。

[0562]

図30A及び図30Bに示すトランジスタ500では、導電体542aおよび導電体542bの導電体560側の側面が、概略垂直な形状を有している。なお、図30A及び図30Bに示すトランジスタ500は、これに限られるものではなく、導電体542aおよび導電体542bの側面と底面がなす角が、 10° 以上 80° 以下、好ましくは、 30° 以上 60° 以下としてもよい。また、導電体542a及び導電体542bの対向する側面が、複数の面を有していてもよい。

[0563]

なお、トランジスタ500では、チャンネルが形成される領域（以下、チャンネル形成領域ともいう。）と、その近傍において、金属酸化物531a及び金属酸化物531bの2層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、金属酸化物531bの単層構造、若しくは3層以上の積層構造を設ける構成にしてもよい。また、金属酸化物531a及び金属酸化物531bのそれぞれが2層以上の積層構造を有していてもよい。

[0564]

ここで、導電体560は、トランジスタの第1のゲート電極（トップゲート電極又はフロントゲート電極と呼称する場合がある）として機能し、導電体542a及び導電体542bは、それぞれソース電極又はドレイン電極として機能する。上記のように、導電体560は、絶縁体580の開口と、導電体542aと導電体542bに挟まれた領域と、に埋め込まれるように形成される。ここで、導電体560、導電体542a及び導電体542bの配置は、絶縁体580の開口に対して、自己整合的に選択される。つまり、トランジスタ500において、第1のゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体560を位置合わせのマージンを設けることなく形成することができるため、トランジスタ500の占有面積の縮小を図ることができる。これにより、表示装置を高精細にすることができる。また、表示装置を狭額縁にすることができる。

[0565]

また、導電体505は、第2のゲート電極（ボトムゲート電極又はバックゲート電極と呼称する場合がある）として機能する場合がある。この場合、導電体505に印加する電位を、導電体560に印加する電位と連動させず、独立して変化させることで、トランジスタ500のしきい値電圧 V_{th} を制御することができる。特に、導電体505に負電位を印加することにより、トランジスタ500の V_{th} をより大きくし、オフ電流を小さくすることが可能となる。したがって、導電体505に負電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0566]

導電体505は、金属酸化物531におけるチャネル形成領域よりも、大きく設けるとよい。特に、図30Bに示すように、導電体505は、金属酸化物531のチャネル幅方向と交わる端部よりも外側の領域においても、配線として延在していることが好ましい。つまり、金属酸化物531のチャネル幅方向における側面の外側において、導電体505と導電体560とは、絶縁体を介して重畳していることが好ましい。

[0567]

図30Aに示すように、導電体560は、絶縁体550の内側に設けられた導電体560aと、導電体560aの内側に埋め込まれるように設けられた導電体560bと、を有することが好ましい。なお、図30A及び図30Bでは、導電体560を2層の積層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体560が、単層構造であってもよいし、3層以上の積層構造であってもよい。

[0568]

図30A及び図30Bに示すように、トランジスタ500は、基板（図示しない）の上に配置された絶縁体512と、絶縁体512の上に配置された絶縁体514と、絶縁体514の上に配置された絶縁体516と、絶縁体516に埋め込まれるように配置された導電体505と、絶縁体516と導電体505の上に配置された絶縁体520と、絶縁体520の上に配置された絶縁体522と、絶縁体522の上に配置された絶縁体524と、を有することが好ましい。絶縁体524の上に金属酸化物531aが配置されることが好ましい。

[0569]

また、図30A及び図30Bに示すように、絶縁体524と絶縁体580との間、金属酸化物531aと絶縁体580との間、金属酸化物531bと絶縁体580との間、導電体542aと絶縁体580との間並びに導電体542bと絶縁体580との間に絶縁体554が配置されることが好ましい。ここで、絶縁体554は、図30A及び図30Bに示すように、絶縁体550の側面、導電体542aの上面と側面、導電体542bの上面と側面、金属酸化物531a、金属酸化物531b、並びに絶縁体524の側面及び上面に接することが好ましい。

[0570]

トランジスタ500上には、層間膜として機能する絶縁体574及び絶縁体581が配置されることが好ましい。ここで、絶縁体574は、導電体560、絶縁体550及び絶縁体580のそれぞれの上面に接して配置されることが好ましい。また、このとき、絶縁体580の上面は、平坦化されていることが好ましい。

[0571]

トランジスタ500と電氣的に接続し、プラグとして機能する導電体540（導電体540a及

び導電体540b)が設けられることが好ましい。このため、絶縁体554、絶縁体580、絶縁体574及び絶縁体581の開口の内壁に接して導電体540が設けられる。特に、当該内壁に接して導電体540の第1の導電体が設けられ、さらに第1の導電体の側面に導電体540の第2の導電体が設けられる構成にしてもよい。ここで、導電体540の上面の高さと、絶縁体581の上面の高さは同程度にできる。

[0572]

具体的には、例えば、絶縁体581、絶縁体574、絶縁体580及び絶縁体554の2つの開口の一方の内壁に接して、導電体540aの第1の導電体が設けられ、その側面に接して導電体540aの第2の導電体が形成されている。なお、当該開口の底部の一部には導電体542aが位置しており、導電体540aが導電体542aと接する。同様に、例えば、絶縁体581、絶縁体574、絶縁体580及び絶縁体554の2つの開口の他方の内壁に接して、導電体540bの第1の導電体が設けられ、その側面に接して導電体540bの第2の導電体が形成されている。なお、当該開口の底部の一部には導電体542bが位置しており、導電体540bが導電体542bと接する。

[0573]

なお、トランジスタ500では、導電体540の第1の導電体および導電体540の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体540を単層、若しくは3層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0574]

図30Bに示すように、金属酸化物531bの導電体542と重ならない領域、言い換えると、金属酸化物531のチャネル形成領域において、金属酸化物531の側面が導電体560で覆うように配置されている。これにより、第1のゲート電極として機能する導電体560の電界を金属酸化物531の側面に作用させやすくなり、結果として、導電体560の電界によって金属酸化物531のチャネル形成領域を電氣的に取り囲むことができる。よって、トランジスタ500のオン電流を増大させ、周波数特性を向上させることができる。

[0575]

<<トランジスタの構成材料>>

次に、トランジスタ500に用いることができる構成材料について説明する。

[0576]

[金属酸化物(酸化物半導体)]

トランジスタ500は、チャネル形成領域を含む金属酸化物531(金属酸化物531a及び金属酸化物531b)に、酸化物半導体として機能する金属酸化物(以下、酸化物半導体ともいう)を用いることが好ましい。例えば、金属酸化物531のチャネル形成領域となる金属酸化物としては、バンドギャップが2eV以上であるものが好ましく、2.5eV以上のものがより好ましい。

[0577]

上記金属酸化物として、少なくともインジウム又は亜鉛を含むことが好ましい。特に、インジウム及び亜鉛を含むことが好ましい。また、これらに加えて、元素Mが含まれていることが好ましい。元素Mとして、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフ

ニウム、タンタル、タングステン、マグネシウム、コバルト及びアンチモンから選ばれた一以上を用いることができる。特に、元素Mは、アルミニウム、ガリウム、イットリウム又はスズの一以上とすることが好ましい。また、元素Mは、ガリウム及び錫の一方又は双方を有することがさらに好ましい。

[0578]

上述したとおり、金属酸化物531は、金属酸化物531aと、金属酸化物531a上の金属酸化物531bと、を有する。金属酸化物531b下に金属酸化物531aを有することで、金属酸化物531aよりも下方に形成された構造物から、金属酸化物531bへの不純物の拡散を抑制することができる。

[0579]

また、金属酸化物531は、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有することが好ましい。例えば、金属酸化物531が、少なくともインジウム(I_n)と、元素Mと、を含む場合、金属酸化物531aを構成する全元素の原子数に対する、金属酸化物531aに含まれる元素Mの原子数の割合が、金属酸化物531bを構成する全元素の原子数に対する、金属酸化物531bに含まれる元素Mの原子数の割合より高いことが好ましい。また、金属酸化物531aに含まれる元素Mの、I_nに対する原子数比が、金属酸化物531bに含まれる元素Mの、I_nに対する原子数比より大きいことが好ましい。

[0580]

金属酸化物531aの伝導帯下端のエネルギーが、金属酸化物531bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、金属酸化物531aの電子親和力が、金属酸化物531bの電子親和力より小さいことが好ましい。

[0581]

ここで、金属酸化物531aと金属酸化物531bとの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、金属酸化物531aと金属酸化物531bとの接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、金属酸化物531aと金属酸化物531bとの界面において形成される混合層の欠陥準位密度を低くするとよい。

[0582]

具体的には、金属酸化物531aと金属酸化物531bが、酸素以外に共通の元素を有する（主成分とする。）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、金属酸化物531bがI_n-Ga-Zn酸化物（インジウム-ガリウム-亜鉛酸化物）の場合、金属酸化物531aには、I_n-Ga-Zn酸化物、Ga-Zn酸化物又は酸化ガリウムを用いることができる。

[0583]

具体的には、金属酸化物531aとして、I_n:Ga:Zn=1:3:4 [原子数比]、1:3:2 [原子数比]、又は1:1:0.5 [原子数比]の金属酸化物を用いればよい。また、金属酸化物531bとして、I_n:Ga:Zn=1:1:1 [原子数比]、4:2:3 [原子数比]又は3:1:2 [原子数比]の金属酸化物を用いればよい。

[0584]

このとき、キャリアの主たる経路は金属酸化物531bとなる。金属酸化物531aを上述した構成とすることで、金属酸化物531aと金属酸化物531bとの界面における欠陥準位密度を低

くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 500 は高いオン電流及び高い周波数特性を得ることができる。

[0585]

また、金属酸化物 531 と接するように上記導電体 542 を設けることで、金属酸化物 531 の導電体 542 近傍において、酸素濃度が低減する場合がある。また、金属酸化物 531 の導電体 542 近傍において、導電体 542 に含まれる金属と、金属酸化物 531 の成分とを含む金属化合物層が形成される場合がある。このような場合、金属酸化物 531 の導電体 542 近傍の領域において、キャリア濃度が増加し、当該領域は、低抵抗領域となる。

[0586]

ところで、金属酸化物 531 b は、導電体 542 と重ならない領域の膜厚が、導電体 542 と重なる領域の膜厚より薄くなる場合がある。これは、導電体 542 a 及び導電体 542 b を形成する際に、金属酸化物 531 b の上面の一部を除去することにより形成される。金属酸化物 531 b の上面には、導電体 542 となる導電膜を成膜した際に、当該導電膜との界面近傍に抵抗の低い領域が形成される場合がある。このように、金属酸化物 531 b の上面の導電体 542 a と導電体 542 b の間に位置する、抵抗の低い領域を除去することにより、当該領域にチャネルが形成されることを防ぐことができる。

[0587]

[導電体]

導電体には、例えば、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム及びランタンから選ばれた金属元素を用いることが好ましい。また、導電体には、例えば、上述した金属元素から選ばれた二以上を成分とする合金、又は上述した金属元素から選ばれた二以上を組み合わせた合金を用いることが好ましい。また、導電体には、例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、若しくはランタンとニッケルを含む酸化物を用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、若しくはランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、導電体には、例えば、不純物元素（例えば、リン）を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体又はシリサイド（例えば、ニッケルシリサイド）を用いてもよい。

[0588]

上記の材料で形成される導電体を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0589]

第2のゲート電極として機能する、導電体 505 a は、水素原子、水素分子、水分子、窒素原子、

窒素分子、酸化窒素分子（例えば、 N_2O 、 NO 、 NO_2 など）及び銅原子といった不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子及び酸素分子の一方又は双方）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0590]

導電体505aに、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体505bに含まれる水素といった不純物が、絶縁体524を介して、金属酸化物531に拡散することを抑制できる。また、導電体505aに、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体505bが酸化されて導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム及び酸化ルテニウムが挙げられる。したがって、導電体505aには、上記導電性材料を単層または積層とすればよい。例えば、導電体505aには、窒化チタンを用いればよい。

[0591]

また、導電体505bは、タングステン、銅又はアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体505bは、タングステンをを用いればよい。

[0592]

ソース電極又はドレイン電極として機能する導電体542（導電体542a及び導電体542b）には、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素を用いることが好ましい。また、導電体542には、上述した金属元素から選ばれた二以上を成分とする合金、又は上述した金属元素から選ばれた二以上を組み合わせた合金を用いることが好ましい。また、例えば、導電体542には、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、若しくはランタンとニッケルを含む酸化物が用いられることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、若しくはランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0593]

第1のゲート電極として機能する、導電体560aは、上述した水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（例えば、 N_2O 、 NO 、 NO_2 など）及び銅原子といった不純物の拡散を抑制する機能を有する導電体を用いることが好ましい。または、酸素（例えば、酸素原子及び酸素分子の一方又は双方）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0594]

導電体560aが酸素の拡散を抑制する機能を持つことにより、絶縁体550に含まれる酸素により、導電体560bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム又は酸化ルテニウムが挙げられる。また、導電体560aとして、酸素を含む導電性材

料を設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0595]

導電体560bは、タングステン、銅又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅又はアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構造としてもよい。

[0596]

また、導電体560には、例えば、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、若しくはシリコンを添加したインジウム錫酸化物を用いてもよい。また、例えば、当該導電体には、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体等から混入する水素を捕獲することができる場合がある。

[0597]

なお、導電体560は、図30A及び図30Bでは2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

[0598]

プラグとして機能する、導電体540a及び導電体540bには、タングステン、銅又はアルミニウムを主成分とする導電性材料を用いられることが好ましい。また、導電体540a及び導電体540bは積層構造としてもよい。

[0599]

導電体540を積層構造とする場合、導電体542、絶縁体554、絶縁体580、絶縁体574及び絶縁体581と接する導電体には、上述した、水又は水素といった不純物の拡散を抑制する機能を有する導電体を用いることが好ましい。例えば、当該導電体には、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム又は酸化ルテニウムを用いることが好ましい。また、水又は水素といった不純物の拡散を抑制する機能を有する導電性材料は、単層構造又は積層構造として用いてもよい。当該導電性材料を用いることで、絶縁体580に添加された酸素が導電体540a及び導電体540bに吸収されることを抑制できる。また、絶縁体581より上層から水又は水素といった不純物が、導電体540a及び導電体540bを通じて金属酸化物531に混入することを抑制できる。

[0600]

[絶縁体]

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物及び金属窒化酸化物が挙げられる。

[0601]

絶縁体514は、水又は水素といった不純物が、基板側からトランジスタ500に混入することを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体514は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（例えば、 N_2O 、 NO 、 NO_2 など）及び

銅原子といった不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子及び酸素分子の一方又は双方）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

[0602]

水又は水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム及びタンタルから選ばれた一以上を含む絶縁体を、単層で、または積層で用いればよい。具体的には、水又は水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁体としては、例えば、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム及び酸化タンタルといった金属酸化物が挙げられる。また、水又は水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁体としては、例えば、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）が挙げられる。また、水又は水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁体としては、例えば、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化酸化シリコン及び窒化シリコンといった金属窒化物が挙げられる。

[0603]

特に、絶縁体514には、酸化アルミニウム又は窒化シリコンを用いることが好ましい。これにより、水又は水素といった不純物が絶縁体514よりも基板側からトランジスタ500側に拡散することを抑制できる。または、絶縁体524等に含まれる酸素が、絶縁体514よりも基板側に、拡散することを抑制できる。

[0604]

絶縁体520、絶縁体522及び絶縁体524は、第2のゲート絶縁体としての機能を有する。

[0605]

ここで、金属酸化物531と接する第2のゲート絶縁体は、加熱により酸素が脱離されていることが好ましい。本明細書等では、加熱により離脱する酸素を過剰酸素と呼ぶことがある。例えば、第2のゲート絶縁体として機能する絶縁体524には、酸化シリコン又は酸化窒化シリコンを適宜用いればよい。酸素を含む絶縁体を金属酸化物531に接して設けることにより、金属酸化物531中の酸素欠損を低減し、トランジスタ500の信頼性を向上させることができる。

[0606]

絶縁体524として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDSにて酸素原子に換算した酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、更に好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、更に好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDSによる分析時における膜の表面温度は、 100°C 以上 700°C 以下、又は 100°C 以上 400°C 以下の範囲が好ましい。

[0607]

絶縁体522は、絶縁体514と同様に、水又は水素といった不純物が、基板側からトランジスタ500に混入することを抑制するバリア絶縁膜として機能することが好ましい。例えば、絶縁体522は、絶縁体524より水素透過性が低いことが好ましい。

[0608]

さらに、絶縁体522は、酸素（例えば、酸素原子及び酸素分子の一方又は双方）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。例えば、絶縁体522は、絶縁体524より酸素透過性が低いことが好ましい。絶縁体522が、酸素と、水又は水素といった不純物と、の拡散を抑制する機能を有することで、金属酸化物531が有する酸素が、基板側へ拡散することを低減でき、好ましい。また、導電体505が、絶縁体524及び金属酸化物531が有する酸素と反応することを抑制することができる。

[0609]

絶縁体522は、絶縁性材料であるアルミニウム及びハフニウム的一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム及びハフニウム的一方又は双方の酸化物を含む絶縁体としては、例えば、酸化アルミニウム、酸化ハフニウム、並びにアルミニウムとハフニウムとを含む酸化物（ハフニウムアルミネート）が挙げられる。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、金属酸化物531からの酸素の放出、並びにトランジスタ500の周辺部から金属酸化物531への水素といった不純物の混入を抑制する層として機能する。

[0610]

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム又は酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。また、上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

[0611]

絶縁体522には、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ SrTiO_3 ）、又は（Ba, Sr） TiO_3 （BST）といったいわゆるh i g h - k材料を含む絶縁体を単層又は積層で用いてもよい。又は、絶縁体522には、比誘電率の高い絶縁体として、アルミニウムとハフニウムとを有する酸化物、アルミニウムとハフニウムとを有する酸化窒化物、シリコンとハフニウムとを有する酸化物、シリコンとハフニウムとを有する酸化窒化物、又はシリコンとハフニウムとを有する窒化物を用いてもよい。トランジスタの微細化、又は高集積化が進むと、ゲート絶縁体の薄膜化を起因とするリーク電流といった問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にh i g h - k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0612]

絶縁体520は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、好適である。また、h i g h - k材料の絶縁体を酸化シリコン又は酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構成の絶縁体520を得ることができる。また、絶縁体520には、絶縁体524に適用できる材料を用いてもよい。

[0613]

なお、絶縁体520、絶縁体522及び絶縁体524から選ばれた一以上が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0614]

層間膜として機能する絶縁体512、絶縁体516、絶縁体580及び絶縁体581は、絶縁体514よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。また、絶縁体516、絶縁体580及び絶縁体581は、膜中の水又は水素といった不純物の濃度が低減されていることが好ましい。

[0615]

絶縁体512、絶縁体516、絶縁体580及び絶縁体581には、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン又は窒化シリコンを用いることができる。また、絶縁体512、絶縁体516、絶縁体580及び絶縁体581には、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素と窒素を添加した酸化シリコン、若しくは空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、及び空孔を有する酸化シリコンといった材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。また、絶縁体512、絶縁体516、絶縁体580、及び絶縁体581には、樹脂を用いることができる。また、絶縁体512、絶縁体516、絶縁体580及び絶縁体581に適用できる材料は、上述した材料を適宜組み合わせたものとしてもよい。

[0616]

絶縁体554及び絶縁体574は、絶縁体514及び絶縁体522と同様に、水又は水素（例えば、水素原子及び水素分子の一方又は双方）といった不純物の拡散を抑制する機能を有することが好ましい。つまり、絶縁体554及び絶縁体574は、当該不純物がトランジスタ500に混入することを抑制するバリア絶縁膜として機能することが好ましい。また、絶縁体554及び絶縁体574は、酸素（例えば、酸素原子及び酸素分子の一方又は双方）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体554及び絶縁体574は、絶縁体524、絶縁体550及び絶縁体580より酸素透過性が低いことが好ましい。つまり、絶縁体554及び絶縁体574は、酸素が金属酸化物531から脱離して、絶縁体554の外側又は絶縁体580よりも上方に拡散することを抑制する機能を有することが好ましい。そのため、絶縁体554及び絶縁体574は、絶縁体514又は絶縁体524に適用できる材料を用いることができる。

[0617]

このように、絶縁体522、絶縁体554及び絶縁体574によって、絶縁体524、金属酸化物531及び絶縁体550等を囲むことにより、外方から水又は水素といった不純物がトランジスタ500に侵入することを抑制することができる。また、トランジスタ500の内部から外方に酸素が拡散することを抑制することができる。

[0618]

絶縁体550は、第1のゲート絶縁体として機能する。絶縁体550は、金属酸化物531bの上面に接して配置することが好ましい。絶縁体550には、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素と窒素を添加した酸化シリコン、又は空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン又は酸化窒化シリコンは熱に対し安定であるため好ましい。

[0619]

絶縁体550は、絶縁体524と同様に、絶縁体550中の水又は水素といった不純物濃度が低

減されていることが好ましい。絶縁体 550 の膜厚は、1 nm 以上 20 nm 以下とするのが好ましい。

[0620]

なお、絶縁体 580 と絶縁体 550 との間、絶縁体 554 と絶縁体 550 との間、導電体 542 と絶縁体 550 との間、並びに金属酸化物 531b と絶縁体 550 との間に、絶縁体を設けてもよい。当該絶縁体には、例えば、酸化アルミニウム又は酸化ハフニウムを用いることが好ましい。当該絶縁体を設けることで、金属酸化物 531b からの酸素の脱離、金属酸化物 531b への酸素の過剰供給、導電体 542 の酸化を抑制できる。

[0621]

また、絶縁体 550 と導電体 560 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 550 から導電体 560 への酸素拡散を抑制することが好ましい。これにより、絶縁体 550 の酸素による導電体 560 の酸化を抑制することができる。

[0622]

当該金属酸化物は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体 550 に酸化シリコン又は酸化窒化シリコンを用いる場合、当該金属酸化物は、比誘電率が高い high- κ 材料である金属酸化物を用いることが好ましい。ゲート絶縁体を、絶縁体 550 と当該金属酸化物との積層構造とすることで、熱に対して安定、且つ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚 (EOT) の薄膜化が可能となる。

[0623]

具体的には、当該酸化物には、例えば、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム又はマグネシウムから選ばれた一種又は二種以上が含まれた金属酸化物を用いることができる。特に、当該酸化物には、アルミニウム及びハフニウムの一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、若しくはアルミニウムとハフニウムとを含む酸化物 (ハフニウムアルミネート) を用いることが好ましい。

[0624]

なお、導電体 540 と絶縁体 580 との間、導電体 540 と絶縁体 574 との間、並びに導電体 540 と絶縁体 581 との間には、水、水素又は酸素といった不純物に対するバリア絶縁膜を設けてもよい。これにより、絶縁体 580 から、導電体 540a 及び導電体 540b を通じて金属酸化物 531 に、水又は水素といった不純物が混入することを抑制できる。また、絶縁体 580 に含まれる酸素が導電体 540a 及び導電体 540b に吸収されることを抑制できる。

[0625]

図示しないが、導電体 540a の上面、及び導電体 540b の上面に接して配線として機能する導電体を配置してもよい。配線として機能する導電体は、タングステン、銅又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層としてもよい。当該導電体は、絶縁体に設けられた開口に埋め込むように形成されていてもよい。

[0626]

<<トランジスタ500の変更例>>

なお、本発明の一態様の半導体装置に係るトランジスタの構成は、図30A及び図30Bに示したトランジスタ500に限定されない。例えば、本発明の一態様の半導体装置に係るトランジスタには、図31に示すトランジスタ500を用いてもよい。図32に示すトランジスタ500は、図30A及び図30Bに示したトランジスタ500の変更例であって、絶縁体551を有する点、並びに導電体542a（導電体542a1と導電体542a2）及び導電体542b（導電体542b1と導電体542b2）が、積層構造である点で、図30A及び図30Bに示したトランジスタ500と異なっている。

[0627]

導電体542aは、導電体542a1と、導電体542a1上の導電体542a2と、の積層構造であり、導電体542bは、導電体542b1と、導電体542b1上の導電体542b2と、の積層構造である。金属酸化物531bに接する導電体542a1及び導電体542b1は、金属窒化物などの酸化しにくい導電体であることが好ましい。これにより、金属酸化物531bに含まれる酸素によって、導電体542a及び導電体542bが過剰に酸化されるのを防ぐことができる。また、導電体542a2及び導電体542b2は、導電体542a1及び導電体542b1より導電性が高い、金属層などの導電体であることが好ましい。これにより、導電体542a及び導電体542bを、導電性が高い配線または電極として機能させることができる。このようにして、活性層として機能する金属酸化物531の上面に接して、配線または電極として機能する導電体542a及び導電体542bが設けられた、半導体装置を提供することができる。

[0628]

導電体542a1及び導電体542b1には、金属窒化物を用いることが好ましく、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタル及びアルミニウムを含む窒化物、チタン及びアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、ルテニウム、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、又はランタンとニッケルを含む酸化物を用いてもよい。これらの材料は、酸化しにくい導電性材料、又は酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0629]

また、導電体542a2及び導電体542b2は、導電体542a1及び導電体542b1よりも、導電性が高いことが好ましい。例えば、導電体542a2及び導電体542b2の膜厚を、導電体542a1及び導電体542b1の膜厚より大きくすることが好ましい。導電体542a2及び導電体542b2としては、上記導電体560bに用いることが可能な導電体を用いればよい。上記のような構造にすることで、導電体542a2及び導電体542b2の抵抗を低減することができる。

[0630]

上記より、例えば、導電体542a1及び導電体542b1には、窒化タンタル又は窒化チタンを用い、導電体542a2及び導電体542b2には、タングステンをを用いることができる。

[0631]

図31に示すように、トランジスタ500のチャネル長方向の断面視において、導電体542a1と導電体542b1の間の距離は、導電体542a2と導電体542b2の間の距離より小さい。

このような構成にすることで、ソースとドレインの間の距離をより短くし、それに応じてチャネル長を短くすることが可能になる。よって、トランジスタ 500 の周波数特性を向上させることができる。このように、半導体装置の微細化を図ることで、動作速度の向上した半導体装置を提供することができる。

[0632]

絶縁体 551 は、窒化物などの酸化しにくい絶縁体であることが好ましい。絶縁体 551 は、導電体 542a2 の側面と、導電体 542b2 の側面と、に接して形成されており、導電体 542a2 及び導電体 542b2 を保護する機能を有する。絶縁体 551 は、酸化雰囲気曝露されるため、酸化されにくい無機絶縁体为好ましい。また、絶縁体 551 は、導電体 542a2 及び導電体 542b2 に接するため、導電体 542a2 及び導電体 542b2 を酸化させにくい、無機絶縁体であることが好ましい。よって、絶縁体 551 は、酸素に対するバリア性を有する絶縁性材料を用いることが好ましい。例えば、絶縁体 551 として、窒化シリコンを用いることができる。

[0633]

図 31 に示すトランジスタ 500 には、導電体 542a2 と導電体 542b2 を形成するために、第 1 のマスクを用いて、絶縁体 554、絶縁体 580、絶縁体 574 及び絶縁体 581 に開口が形成される。また、当該開口の側壁に接して絶縁体 551 が形成される。その後、さらに第 2 のマスクを用いて、導電体 542a1 と導電体 542b1 を形成することによって、トランジスタ 500 が形成される。ここで、上記開口は、導電体 542a2 と導電体 542b2 の間の領域と重畳する。また、導電体 542a1 及び導電体 542b1 の一部は、上記開口内に突出するように形成されている。よって、絶縁体 551 は、上記開口内で、導電体 542a1 の上面と、導電体 542b1 の上面と、導電体 542a2 の側面と、導電体 542b2 の側面と、に接する。また、絶縁体 550 は、導電体 542a1 と導電体 542b1 との間の領域において、金属酸化物 531 の上面と接する。

[0634]

導電体 542a1 と導電体 542b1 を形成した後で、絶縁体 550 を成膜する前に、酸素を含む雰囲気中で熱処理を行うことが好ましい。これにより、金属酸化物 531a 及び金属酸化物 531b に酸素を供給して、酸素欠損の低減を図ることができる。さらに、絶縁体 551 が、導電体 542a2 の側面と、導電体 542b2 の側面と、に接して形成されていることで、導電体 542a2 及び導電体 542b2 が過剰に酸化されるのを防ぐことができる。以上により、トランジスタの電気特性及び信頼性を向上させることができる。また、同一基板上に複数形成されるトランジスタの電気特性のばらつきを抑制することができる。

[0635]

また、トランジスタ 500 において、図 31 に示すように、絶縁体 524 を島状に形成してもよい。ここで、絶縁体 524 は、金属酸化物 531 と側端部が概略一致するように形成してもよい。

[0636]

また、トランジスタ 500 において、図 31 に示すように、絶縁体 522 が絶縁体 516 及び導電体 505 と接する構成にしてもよい。言い換えると、図 30A 及び図 30B に示す絶縁体 520 を設けない構成にしてもよい。

[0637]

<表示装置の断面構成例 3>

次に、図 27 の表示装置 DSP1A と、図 29 の表示装置 DSP1B と、とは異なる、図 25A に示す表示装置 DSP1 の断面視における構成例について説明する。図 32 に示す表示装置 DSP1C は、表示装置 DSP1A の変更例であって、基板 310 上に設けられているトランジスタの構成が表示装置 DSP1A 及び表示装置 DSP1B と異なっている。

[0638]

また、図 32 の表示装置 DSP1C において、基板 310 には、基板 BS に適用できる基板を用いることが好ましい。なお、表示装置 DSP1C の説明では基板 310 はガラス基板とする。

[0639]

図 32 の表示装置 DSP1C において、基板 310 上には、トランジスタ 500Ap 及びトランジスタ 500Ad が形成されている。なお、本明細書等では、トランジスタ 500Ap 又はトランジスタ 500Ad をまとめて、トランジスタ 500A と記載する。つまり、表示装置 DSP1C におけるトランジスタ 500Ap は、表示装置 DSP1B のトランジスタ 500p に相当し、表示装置 DSP1C におけるトランジスタ 500Ad は、表示装置 DSP1B のトランジスタ 500d に相当する。

[0640]

また、トランジスタ 500Ap 及びトランジスタ 500Ad の上方に位置する、発光デバイス 130（図 32 では、発光デバイス 130R、発光デバイス 130G 及び発光デバイス 130B）については、図 27 の発光デバイス 130 の説明を参照することができる。

[0641]

トランジスタ 500A 上には、絶縁体 584 と、絶縁体 592 と、絶縁体 594 と、導電体 596 と、が形成されている。なお、図 32 の絶縁体 584 については、図 27 の絶縁体 594 の説明を参照することができ、また、図 32 の絶縁体 592、絶縁体 594 及び導電体 596 については、図 27 の絶縁体 592 及び絶縁体 594 の説明を参照することができる。

[0642]

また、導電体 545 の一部に重なる、絶縁体 584 には開口が設けられており、当該開口には、導電体 590 が埋め込まれている。導電体 590 は、配線又はプラグとして機能し、導電体 590 には、例えば、導電体 596 に適用できる材料を用いることができる。

[0643]

<<トランジスタ 500A の構成例>>

トランジスタ 500A は、チャンネル長の方向が、基板 310 に対して略平行でなく、絶縁体に設けられている開口の側面に沿っている構成となっている。

[0644]

図 33A は、上記で説明した表示装置 DSP1C に備えることができるトランジスタ 500A とその周辺の構成例を示す平面模式図である。図 33D は、図 33A に示す一点鎖線 A1-A2 の断面模式図である。なお、図 33A において、例えば絶縁体等の、トランジスタ 500A の構成要素の一部を省略する。また、以降のトランジスタの平面模式図においても、絶縁体等の構成要素の一部を省略する。

[0645]

トランジスタ 500A は、一例として、絶縁体 501 上に設けられる。トランジスタ 500A は、導電体 544 と、導電体 545 と、金属酸化物 533 と、絶縁体 555 と、導電体 565 と、を有

する。図33Aでは、導電体545が導電体544と平行な方向に延伸し、導電体565と垂直な方向に延伸する例を示している。

[0646]

絶縁体501には、例えば、トランジスタ500に含まれる絶縁体514、絶縁体516、絶縁体522、絶縁体524、絶縁体550、絶縁体554、絶縁体574、絶縁体580及び絶縁体581に適用できる材料を用いることができる。また、絶縁体555には、例えば、トランジスタ500に含まれる絶縁体550に適用できる材料を用いることができる。

[0647]

導電体544及び導電体545には、例えば、トランジスタ500に含まれる導電体542に適用できる材料を用いることができる。また、導電体565には、例えば、トランジスタ500に含まれる導電体560に適用できる材料を用いることができる。

[0648]

金属酸化物533には、例えば、トランジスタ500に含まれる金属酸化物531に適用できる材料を用いることができる。

[0649]

図33A及び図33Dにおいて、導電体545が延伸する方向をX方向とする。また、X方向と垂直、且つ例えば絶縁体501の上面に対して平行な方向をY方向とし、絶縁体501の上面に対して垂直な方向をZ方向とする。X方向、Y方向及びZ方向の定義は、以降の図面においても同様の場合があり、また異なる場合がある。X方向、Y方向及びZ方向は、互いに垂直な方向とすることができる。また、本明細書等における平面模式図の説明において、X方向を右側、又は左側といい、Y方向を上側又は下側という場合がある。また、右側をX方向、左側を-X方向、上側をY方向、下側を-Y方向と言い換えることができる場合がある。

[0650]

導電体544は、トランジスタ500Aのソース電極又はドレイン電極の一方として機能する。導電体545は、トランジスタ500Aのソース電極又はドレイン電極の他方として機能する。絶縁体555は、トランジスタ500Aのゲート絶縁層として機能する。導電体565は、トランジスタ500Aのゲート電極として機能する。

[0651]

金属酸化物533のうち、ソース電極とドレイン電極との間において、ゲート絶縁層を介してゲート電極と重なる領域の全体がチャネル形成領域として機能する。また、金属酸化物533のうち、ソース電極と接する領域はソース領域として機能し、ドレイン電極と接する領域はドレイン領域として機能する。

[0652]

絶縁体501上に導電体544が設けられ、絶縁体501上と、導電体544上と、に絶縁体583が設けられ、絶縁体583上に導電体545が設けられる。絶縁体583は、層間絶縁層としての機能を有することができる。ここでの層間絶縁層とは、トランジスタ500Aにおけるソース電極とドレイン電極を隔離するための層間膜とすることができる。また、絶縁体584は、トランジスタ500Aの上方に回路素子又は配線を設けるための層間膜として機能する。

[0653]

絶縁体583には、例えば、トランジスタ500に含まれる絶縁体514、絶縁体516、絶縁

体 5 2 2、絶縁体 5 2 4、絶縁体 5 5 0、絶縁体 5 5 4、絶縁体 5 7 4、絶縁体 5 8 0 又は絶縁体 5 8 1 に適用できる材料を用いることができる。

[0654]

具体的には、絶縁体 5 8 3 a には、例えば、酸化物又は酸化窒化物を用いることが好ましい。また、絶縁体 5 8 3 a には、加熱により酸素を放出する膜を用いることが好ましい。また、絶縁体 5 8 3 a は、例えば、酸化シリコン又は酸化窒化シリコンを好適に用いることができる。絶縁体 5 8 3 a が酸素を放出することで、絶縁体 5 8 3 a から金属酸化物 5 3 3 に酸素を供給できる。絶縁体 5 8 3 a から金属酸化物 5 3 3、特に金属酸化物 5 3 3 のチャネル形成領域に酸素を供給することで、金属酸化物 5 3 3 中の酸素欠損と、酸素欠損内に入り込んだ水素と、を低減できる。よって、トランジスタ 5 0 0 A を、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる。

[0655]

また、具体的には、絶縁体 5 8 3 b には、例えば、窒化シリコン、窒化酸化シリコン又は酸化アルミニウムを用いることが好適である。絶縁体 5 8 3 b は、例えば、絶縁体 5 8 3 a より窒素の含有量が多い領域を有することが好ましい。絶縁体 5 8 3 b は、例えば、絶縁体 5 8 3 a より窒素の含有量が多い材料を用いることができる。絶縁体 5 8 3 b は、窒化物又は窒化酸化物を用いることが好ましい。絶縁体 5 8 3 b は、例えば、窒化シリコン又は窒化酸化シリコンを好適に用いることができる。絶縁体 5 8 3 b に窒化シリコン又は窒化酸化シリコンを用いることによって、絶縁体 5 8 3 b は、絶縁体 5 8 3 a から酸素が脱離することを抑制するブロッキング層とすることができる。また、絶縁体 5 8 3 b に窒化シリコン又は窒化酸化シリコンを用いることによって、絶縁体 5 8 3 b は、絶縁体 5 8 3 を介して金属酸化物 5 3 3 へ水素が拡散することを抑制するブロッキング層とすることができる。

[0656]

絶縁体 5 8 3 は、導電体 5 4 4 に達する開口 6 0 1 を有する。導電体 5 4 5 は、開口 6 0 1 に達する開口 6 0 3 を有する。つまり、開口 6 0 3 は、開口 6 0 1 と重なる領域を有する。

[0657]

図 3 3 A では、トランジスタ 5 0 0 A の構成要素として、導電体 5 4 4、導電体 5 4 5、金属酸化物 5 3 3、導電体 5 6 5、開口 6 0 1 及び開口 6 0 3 を示している。ここで、図 3 3 A に示す要素から導電体 5 6 5 を省略した構成例を図 3 3 B に示す。つまり、図 3 3 B では、導電体 5 4 4、導電体 5 4 5、金属酸化物 5 3 3、開口 6 0 1 及び開口 6 0 3 を示している。また、図 3 3 B に示す要素からさらに金属酸化物 5 3 3 を省略した構成例を図 3 3 C に示す。つまり、図 3 3 C では、導電体 5 4 4、導電体 5 4 5、開口 6 0 1 及び開口 6 0 3 を示している。

[0658]

図 3 3 C 及び図 3 3 D に示すように、導電体 5 4 5 は、導電体 5 4 4 と重なる領域に開口 6 0 3 を有する。図 3 3 C に示すように、導電体 5 4 5 は、平面視において開口 6 0 1 の外周全体を覆う構成とすることができる。ここで、導電体 5 4 5 は、開口 6 0 1 の内部に設けないことが好ましい。つまり、導電体 5 4 5 は、絶縁体 5 8 3 の開口 6 0 1 側の側面と接しないことが好ましい。

[0659]

図 3 3 A 乃至図 3 3 C では、開口 6 0 1 及び開口 6 0 3 の形状がそれぞれ、平面視において円形である例を示している。開口 6 0 1 及び開口 6 0 3 の平面形状を円形とすることにより、開口 6 0

1 及び開口 6 0 3 を形成する際の加工精度を高めることができ、微細なサイズの開口 6 0 1 及び開口 6 0 3 を形成できる。なお、本明細書等において、円形とは真円に限定されない。例えば、開口 6 0 1 及び開口 6 0 3 の平面形状は、楕円形としてもよく、又は、曲線を含む形状としてもよい。又は、多角形の形状としてもよい。

[0 6 6 0]

図 3 3 D では、導電体 5 4 5 の開口 6 0 3 側の端部が、絶縁体 5 8 3 の開口 6 0 1 側の端部と一致又は概略一致する例を示している。開口 6 0 3 の平面形状は、開口 6 0 1 の平面形状と一致又は概略一致するともいえる。なお、本明細書等において、導電体 5 4 5 の開口 6 0 3 側の端部とは、導電体 5 4 5 の開口 6 0 3 側の下面端部を示す。導電体 5 4 5 の下面とは、絶縁体 5 8 3 側の面を示す。絶縁体 5 8 3 の開口 6 0 1 側の端部とは、絶縁体 5 8 3 の開口 6 0 1 側の上面端部を示す。絶縁体 5 8 3 の上面とは、導電体 5 4 5 側の面を示す。また、開口 6 0 3 の平面形状とは、導電体 5 4 5 の開口 6 0 3 側の下面端部の平面形状を示す。開口 6 0 1 の平面形状とは、絶縁体 5 8 3 の開口 6 0 1 側の上面端部の平面形状を示す。

[0 6 6 1]

なお、端部が一致又は概略一致するとは、端部が揃っている、又は概略揃っているともいえる。端部が揃っている、又は概略揃っている場合、及び、平面形状が一致又は概略一致している場合、平面視において、積層した層と層との間で少なくとも輪郭の一部が重なっているといえる。例えば、上層と下層が、同一のマスクパターン、又は一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層が下層の内側に位置すること、又は、上層が下層の外側に位置することもあり、この場合も端部が概略揃っている、又は、平面形状が概略一致している、という。

[0 6 6 2]

開口 6 0 1 は、例えば、開口 6 0 3 の形成に用いたレジストマスクを用いて形成できる。具体的には、まず、絶縁体 5 0 1 上に導電体 5 4 4 を形成した後、絶縁体 5 0 1 上及び導電体 5 4 4 上に絶縁体 5 8 3 と、絶縁体 5 8 3 上の導電体 5 4 5 となる導電膜と、当該導電膜上のレジストマスクと、を形成する。そして、当該レジストマスクを用いて当該導電膜に開口 6 0 3 を形成した後に、当該レジストマスクを用いて絶縁体 5 8 3 に開口 6 0 1 を形成することにより、開口 6 0 1 の端部と開口 6 0 3 の端部を一致、又は概略一致させることができる。このような構成とすることにより、工程を簡略にできる。

[0 6 6 3]

金属酸化物 5 3 3 は、開口 6 0 1 及び開口 6 0 3 を覆うように、開口 6 0 1 及び開口 6 0 3 の内部に位置する領域を有するように設けられる。金属酸化物 5 3 3 は、導電体 5 4 5 の上面及び側面、絶縁体 5 8 3 の側面、並びに導電体 5 4 4 の上面の形状に沿った形状を有する。金属酸化物 5 3 3 は、例えば導電体 5 4 5 の上面及び側面、絶縁体 5 8 3 の側面、並びに導電体 5 4 4 の上面と接する領域を有する。

[0 6 6 4]

金属酸化物 5 3 3 は、導電体 5 4 5 の開口 6 0 3 側の端部を覆っていることが好ましい。例えば図 3 3 D では、金属酸化物 5 3 3 の端部が導電体 5 4 5 上に位置する構成を示している。金属酸化物 5 3 3 の端部は、導電体 5 4 5 の上面に接するともいえる。

[0 6 6 5]

例えば図 3 3 Dでは金属酸化物 5 3 3を単層構造で示しているが、本発明の一態様はこれに限られない。金属酸化物 5 3 3を2層以上の積層構造としてもよい。

[0 6 6 6]

トランジスタ 5 0 0 Aのゲート絶縁層として機能する絶縁体 5 5 5は、開口 6 0 1及び開口 6 0 3を覆うように、開口 6 0 1及び開口 6 0 3の内部に位置する領域を有するように設けられる。絶縁体 5 5 5は、金属酸化物 5 3 3上と、導電体 5 4 5上と、絶縁体 5 8 3上と、に設けられる。絶縁体 5 5 5は、金属酸化物 5 3 3の上面及び側面と、導電体 5 4 5の上面及び側面と、絶縁体 5 8 3の上面と、に接する領域を有することができる。絶縁体 5 5 5は、絶縁体 5 8 3の上面と、導電体 5 4 5の上面及び側面と、金属酸化物 5 3 3の上面及び側面と、のそれぞれの形状に沿った形状を有する。

[0 6 6 7]

トランジスタ 5 0 0 Aのゲート電極として機能する導電体 5 6 5は、絶縁体 5 5 5上に設けられ、絶縁体 5 5 5の上面と接する領域を有することができる。導電体 5 6 5は、絶縁体 5 5 5を介して、金属酸化物 5 3 3と重なる領域を有する。導電体 5 6 5は、絶縁体 5 5 5の上面の形状に沿った形状を有する。

[0 6 6 8]

例えば、図 3 3 Dに示すように、開口 6 0 1及び開口 6 0 3において、導電体 5 6 5は、絶縁体 5 5 5を介して金属酸化物 5 3 3と重なる領域を有する。また、図 3 3 Dに示す例において、導電体 5 6 5は、絶縁体 5 5 5及び金属酸化物 5 3 3を介して、導電体 5 4 4及び導電体 5 4 5と重なる領域を有する。また、図 3 3 Dに示す例において、導電体 5 6 5は、金属酸化物 5 3 3を介さず、絶縁体 5 5 5を介して、導電体 5 4 4及び導電体 5 4 5と重なる領域を有する。また、導電体 5 6 5は、金属酸化物 5 3 3の全体を覆っている。このような構成とすることで、金属酸化物 5 3 3全体にゲート電界をかけることができるため、トランジスタ 5 0 0 Aの電気特性を高めることができ、例えばトランジスタのオン電流を高めることができる。

[0 6 6 9]

トランジスタ 5 0 0 Aは、金属酸化物 5 3 3よりも上方にゲート電極を有する、いわゆるトップゲート型のトランジスタである。さらに、金属酸化物 5 3 3の下面がソース電極及びドレイン電極と接する領域を有することから、TGBC (Top Gate Bottom Contact) 型のトランジスタということができる。

[0 6 7 0]

トランジスタ 5 0 0 Aは、例えば、画素回路 P Xが有するトランジスタと、駆動回路領域 D R Vが有するトランジスタと、の一方又は双方に適用できる。例えば、駆動回路 S D Rが有するトランジスタ、駆動回路 G D Rが有するトランジスタ、電源回路 E P Sが有するトランジスタなど、駆動回路領域 D R V又は機能回路領域 M F N Cに含まれるトランジスタに、トランジスタ 5 0 0 Aを適用してもよい。

[0 6 7 1]

ここで、トランジスタ 5 0 0 Aのチャンネル長及びチャンネル幅について、図 3 4 A及び図 3 4 Bを用いて説明する。図 3 4 Aは、図 3 3 Aに示すトランジスタ 5 0 0 A、及びその周辺の構成例を示す平面模式図の拡大図である。図 3 4 Bは、図 3 3 Dに示すトランジスタ 5 0 0 A、及びその周辺の構成例を示す断面模式図の拡大図である。

[0672]

金属酸化物533において、導電体544と接する領域はソース領域又はドレイン領域の一方として機能し、導電体545と接する領域はソース領域又はドレイン領域の他方として機能し、ソース領域とドレイン領域の間の領域はチャンネル形成領域として機能する。

[0673]

トランジスタ500Aのチャンネル長は、ソース領域とドレイン領域の間の距離となる。図34Bでは、トランジスタ500Aのチャンネル長L500を破線の両矢印で示している。チャンネル長L500は、断面視において、金属酸化物533と導電体544が接する領域の端部と、金属酸化物533と導電体545が接する領域の端部との距離となる。

[0674]

ここで、トランジスタ500Aのチャンネル長L500は、XZ面から見た場合における絶縁体583の開口601側の側面の長さに相当する。つまり、チャンネル長L500は、絶縁体583の膜厚T583、及び絶縁体583の開口601側の側面と絶縁体583の被形成面（ここでは、導電体544の上面）とのなす角 θ 583で決まり、トランジスタの作製に用いる露光装置の性能に影響されない。したがって、チャンネル長L500を露光装置の限界解像度よりも小さくでき、微細なサイズのトランジスタを実現できる。例えば、チャンネル長L500は、0.010 μ m以上3.0 μ m未満が好ましく、さらには0.050 μ m以上3.0 μ m未満が好ましく、さらには0.10 μ m以上3.0 μ m未満が好ましく、さらには0.15 μ m以上3.0 μ m未満が好ましく、さらには0.20 μ m以上3.0 μ m未満が好ましく、さらには0.20 μ m以上2.5 μ m未満が好ましく、さらには0.20 μ m以上2.0 μ m未満が好ましく、さらには0.20 μ m以上1.5 μ m未満が好ましく、さらには0.30 μ m以上1.5 μ m未満が好ましく、さらには0.30 μ m以上1.2 μ m以下が好ましく、さらには0.40 μ m以上1.2 μ m以下が好ましく、さらには0.40 μ m以上1.0 μ m以下が好ましく、さらには0.50 μ m以上1.0 μ m以下が好ましい。図34Bでは、絶縁体583の膜厚T583を一点鎖線の両矢印で示している。

[0675]

トランジスタ500Aを、表示領域DISの画素回路PXが有するトランジスタに適用することにより、画素回路PXが有するトランジスタを微細化できるため、画素回路PXを微細化できる。これにより、表示装置DSP1Cを、高精細な表示装置とすることができる。また、チャンネル長L500を小さくすることにより、トランジスタ500Aのオン電流を高くできる。よって、表示装置DSP1Cが有するトランジスタ、例えば画素回路PXが有するトランジスタにトランジスタ500Aを適用することにより、表示装置DSP1Cを高速に駆動させることができる。

[0676]

絶縁体583の膜厚T583及び角 θ 583を調整することにより、チャンネル長L500を制御できる。

[0677]

絶縁体583の膜厚T583は、0.010 μ m以上3.0 μ m未満が好ましく、更には0.050 μ m以上3.0 μ m未満が好ましく、更には0.10 μ m以上3.0 μ m未満が好ましく、更には0.15 μ m以上3.0 μ m未満が好ましく、更には0.20 μ m以上3.0 μ m未満が好ましく、更には0.20 μ m以上2.5 μ m未満が好ましく、更には0.20 μ m以上2.0 μ m未満が好ましく、更には0.20 μ m以上1.5 μ m未満が好ましく、更には0.30 μ m以上1.

5 μm 未満が好ましく、更には0.30 μm 以上1.2 μm 以下が好ましく、更には0.40 μm 以上1.2 μm 以下が好ましく、更には0.40 μm 以上1.0 μm 以下が好ましく、更には0.50 μm 以上1.0 μm 以下が好ましい。

[0678]

絶縁体583の開口601側の側面は、テーパ形状であることが好ましい。絶縁体583の開口601側の側面と絶縁体583の被形成面（ここでは、導電体544の上面）とのなす角 θ_{583} は、90度未満であることが好ましい。角 θ_{583} を小さくすることにより、絶縁体583上に設けられる層（例えば、金属酸化物533）の被覆性を高めることができる。しかしながら、角 θ_{583} を小さくすると、金属酸化物533と導電体544との接触面積が小さくなり、金属酸化物533と導電体544の接触抵抗が高くなってしまう場合がある。角 θ_{583} は45度以上90度未満が好ましく、更には50度以上90度未満が好ましく、更には55度以上90度未満が好ましく、更には60度以上90度未満が好ましく、更には60度以上85度以下が好ましく、更には65度以上85度以下が好ましく、更には65度以上80度以下が好ましく、更には70度以上80度以下が好ましい。角 θ_{583} を前述した範囲とすることで、導電体544及び絶縁体583上に形成される層（例えば、金属酸化物533）の被覆性を高めることができ、当該層に段切れ又は鬆等の不具合が発生することを抑制できる。また、金属酸化物533と導電体544の接触抵抗を低くできる。

[0679]

本明細書等において、段切れとは、層、膜、又は電極が、被形成面の形状（例えば段差等）に起因して分断されてしまう現象を示す。

[0680]

なお、例えば図34Bでは、断面視において、絶縁体583の開口601側の側面の形状が直線である構成を示しているが、本発明の一態様はこれに限られない。断面視において、絶縁体583の開口601側の側面の形状は曲線であってもよく、また側面の形状が直線である領域と曲線である領域の双方を有してもよい。

[0681]

トランジスタ500Aのチャネル幅は、チャネル長方向と直交する方向における、ソース領域の幅、又はドレイン領域の幅となる。つまり、チャネル幅は、チャネル長方向と直交する方向における、金属酸化物533と導電体544が接する領域の幅、又は金属酸化物533と導電体545が接する領域の幅となる。ここでは、トランジスタ500Aのチャネル幅は、チャネル長方向と直交する方向における、金属酸化物533と導電体545が接する領域の幅として説明する。図34A及び図34Bでは、トランジスタ500Aのチャネル幅W500を実線の両矢印で示している。チャネル幅W500は、平面視において、開口603側の導電体545の下面端部の長さとなる。

[0682]

チャネル幅W500は、開口603の平面形状で決まる。図34A及び図34Bでは、開口603の幅D500を二点鎖線の両矢印で示している。幅D500は、平面視において、開口603に外接する最小の矩形の短辺を示す。フォトリソグラフィ法を用いて開口603を形成する場合、開口603の幅D500は露光装置の限界解像度以上となる。幅D500は、例えば、0.20 μm 以上5.0 μm 未満が好ましく、更には0.20 μm 以上4.5 μm 未満が好ましく、更には0.20 μm 以上4.0 μm 未満が好ましく、更には0.20 μm 以上3.5 μm 未満が好ましく、更

には $0.20\mu\text{m}$ 以上 $3.0\mu\text{m}$ 未満が好ましく、更には $0.20\mu\text{m}$ 以上 $2.5\mu\text{m}$ 未満が好ましく、更には $0.20\mu\text{m}$ 以上 $2.0\mu\text{m}$ 未満が好ましく、更には $0.20\mu\text{m}$ 以上 $1.5\mu\text{m}$ 未満が好ましく、更には $0.30\mu\text{m}$ 以上 $1.5\mu\text{m}$ 未満が好ましく、更には $0.30\mu\text{m}$ 以上 $1.2\mu\text{m}$ 以下が好ましく、更には $0.40\mu\text{m}$ 以上 $1.2\mu\text{m}$ 以下が好ましく、更には $0.40\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下が好ましく、更には $0.50\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下が好ましい。なお、開口603の平面形状が円形の場合、幅D500は開口603の直径に相当し、チャンネル幅W500は平面視における開口603の外周の長さと等しくでき、“ $D500 \times \pi$ ”と算出できる。

[0683]

トランジスタ500Aのサイズは小さいため、トランジスタ500Aを表示装置に適用することによって、精細度が高い表示装置を提供することができる。また、トランジスタ500Aのオン電流は大きいため、トランジスタ500Aを表示装置に適用することによって、輝度が高い表示装置を提供することができる。また、トランジスタ500Aの動作が速いため、トランジスタ500Aを表示装置に適用することによって、駆動速度が速い表示装置を提供することができる。また、トランジスタ500Aの電気特性が安定しているため、トランジスタ500Aを表示装置に適用することによって、信頼性が高い表示装置を提供することができる。また、トランジスタ500Aのオフ電流の量が小さいため、トランジスタ500Aを表示装置に適用することによって、消費電力が低い表示装置を提供することができる。

[0684]

<表示装置の断面構成例4>

図35に示す表示装置DSP2Aは、図25Bに示す表示装置DSP2の断面視における構成例である。表示装置DSP2Aは、基板310上に画素回路、駆動回路などが設けられた構成となっている。なお、図35の表示装置DSP2Aでは、図25Bに示している回路領域SICと表示領域DISに加えて、配線領域LINについても図示している。

[0685]

回路領域SICは、一例として、基板310を有し、基板310上には、トランジスタ300dが形成されている。また、トランジスタ300dの上方には、配線領域LINが設けられており、配線領域LINには、トランジスタ300d、トランジスタ500p、発光デバイス130R、発光デバイス130G及び発光デバイス130Bを電氣的に接続する配線が設けられている。また、配線領域LINの上方には、表示領域DISが設けられており、表示領域DISは、一例として、トランジスタ500pと、発光デバイス130（図35では、発光デバイス130R、発光デバイス130G及び発光デバイス130B）などを有する。

[0686]

つまり、トランジスタ300dは、回路領域SICに含まれているトランジスタとすることができる。また、トランジスタ500pは、画素回路PXに含まれるトランジスタとすることができる。また、発光デバイス130は、画素回路PXに含まれる発光デバイスとすることができる。

[0687]

また、トランジスタ500pの上方に位置する、発光デバイス130（図35では、発光デバイス130R、発光デバイス130G及び発光デバイス130B）については、図27の発光デバイス130の説明を参照することができる。

[0688]

基板 310 には、例えば、基板 BS に適用できる基板を用いることができる。なお、本実施の形態では、基板 310 は、シリコンを材料として有する半導体基板として説明する。そのため、回路領域 SIC に含まれるトランジスタは、Si トランジスタとすることができる。

[0689]

表示装置 DSP2A の画面比率（アスペクト比）については、表示装置 DSP1 の画面比率の説明を参照することができる。また、表示装置 DSP2A の対角サイズについても、表示装置 DSP1 の対角サイズの説明を参照することができる。

[0690]

トランジスタ 300d については、図 27 の表示装置 DSP1A のトランジスタ 300 の説明を参照することができる。

[0691]

表示装置 DSP2A では、トランジスタ 300d 上に配線領域 LIN が設けられている。配線領域 LIN は、例えば、絶縁体 324 と、絶縁体 326 と、導電体 330 と、絶縁体 350 と、絶縁体 352 と、絶縁体 354 と、導電体 356 と、を有する。

[0692]

絶縁体 322 上及び導電体 328 上には、絶縁体 324 と絶縁体 326 とが順に積層して設けられている。また、導電体 328 に重なる領域において、絶縁体 324 と絶縁体 326 とには、開口が形成されている。また、当該開口には導電体 330 が埋め込まれている。

[0693]

また、絶縁体 326 上及び導電体 330 上には、絶縁体 350 と絶縁体 352 と絶縁体 354 とが順に積層して設けられている。また、導電体 330 に重なる領域において、絶縁体 350 と絶縁体 352 と絶縁体 354 とには、開口が形成されている。また、当該開口には導電体 356 が埋め込まれている。

[0694]

導電体 330 及び導電体 356 は、トランジスタ 300d と接続するプラグ又は配線としての機能を有する。なお、導電体 330 及び導電体 356 は、前述した導電体 328 又は導電体 596 と同様の材料を用いて設けることができる。

[0695]

なお、例えば、絶縁体 324 及び絶縁体 350 は、絶縁体 592 と同様に、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する絶縁体を用いることが好ましい。また、絶縁体 326、絶縁体 352 及び絶縁体 354 のそれぞれとしては、絶縁体 594 と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。また、絶縁体 326、絶縁体 352 及び絶縁体 354 のそれぞれは、層間絶縁膜及び平坦化膜としての機能を有する。また、絶縁体 326、絶縁体 352 及び絶縁体 354 のそれぞれは、水素、酸素及び水から選ばれた一以上に対するバリア性を有する導電体を含むことが好ましい。

[0696]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタルを用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 300 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 350 と接する構造で

あることが好ましい。

[0697]

また、絶縁体354及び導電体356の上方には、絶縁体512が設けられている。また、絶縁体512上には、絶縁体514が設けられ、絶縁体514上には、トランジスタ500pが設けられている。また、トランジスタ500p上には、絶縁体574が形成されており、また、絶縁体574上には、絶縁体581が形成されている。

[0698]

トランジスタ500p及びトランジスタ500pの周辺の絶縁体などについては、図29の表示装置DSP1Bのトランジスタ500の説明を参照することができる。

[0699]

また、図35の表示装置DSP2Aの表示領域DISは、トランジスタ500pが1つの層に含まれている構成となっているが、本発明の一態様の表示装置は、図36に示す表示装置DSP2Aのとおり、表示領域DISには複数の層が設けられ、当該複数の層のそれぞれにトランジスタ500pが含まれている構成としてもよい。

[0700]

なお、図36の表示装置DSP2AAは、表示領域DISを抜粋して示しているが、表示領域DISの下方には配線領域LIN及び回路領域SICが設けられているものとする。

[0701]

また、図35の表示装置DSP2Aの表示領域DISは、回路領域SICにおいてトランジスタ300dが1つの層に含まれている構成となっているが、本発明の一態様の表示装置は、図37に示す表示装置DSP2ABのとおり、回路領域SICにはトランジスタ300dの上方にトランジスタ500pと同様の構成のトランジスタとして、トランジスタ300OSが含まれている層が1つ又は複数設けられていてもよい。

[0702]

特に、トランジスタ300OSをnチャネル型トランジスタとし、トランジスタ300dをpチャネル型トランジスタとすることで、回路領域SICに含まれている回路をCMOS回路とすることができる。また、トランジスタ300OSをOSトランジスタとし、トランジスタ300dをSiトランジスタとしたとき、回路領域SICに含まれている回路をLTPOと呼ばれる場合がある。

[0703]

なお、図37の表示装置DSP2ABは、表示領域DISの一部と、配線領域LINと、回路領域SICと、を抜粋して示しているが、表示領域DISのトランジスタ500pの上方には、発光デバイス130が設けられているものとする。

[0704]

また、図35の表示装置DSP2Aのトランジスタ300dの構成は、表示領域DISに含まれているトランジスタ500pと同様の構成としてもよい。図38に示す表示装置DSP2ACは、図35の表示装置DSP2Aの変更例であって、トランジスタ300dの構成が、表示領域DISに含まれているトランジスタ500pと同様の構成になっている。

[0705]

また、図35の表示装置DSP2Aのトランジスタ500pの構成は、図32の表示装置DSP1Cに示したトランジスタ500Aの構成としてもよい。図39に示す表示装置DSP2Bは、図

35の表示装置DSP2Aの変更例であって、トランジスタ500pの構成が、図32の表示装置DSP1Cのトランジスタ500Aの構成になっている。

[0706]

また、図35の表示装置DSP2Aのトランジスタ300dは、例えば、低温ポリシリコンをチャネル形成領域に含むトランジスタ（以後、LTPSトランジスタと呼称する）としてもよい。図40に示す表示装置DSP2Cは、図35の表示装置DSP2Aの変更例であって、トランジスタ300dの構成が、LTPSトランジスタであるトランジスタ300LTの構成になっている。

[0707]

トランジスタ300LTは、基板310上に設けられている。トランジスタ300LTは、絶縁体361と、絶縁体362と、絶縁体363と、絶縁体364と、導電体366と、導電体367と、低抵抗領域368pと、半導体領域368iと、導電体369と、を有する。ここでは、同一の導電膜を加工して得られる複数の層に、同じハッチングパターンを付している。また、本明細書等において、低抵抗領域368pと、半導体領域368iと、をまとめて、半導体層368と呼称する。特に、半導体層368に含まれる半導体材料に、例えば、低温ポリシリコンを適用することで、トランジスタ300LTをLTPSトランジスタとすることができる。LTPSトランジスタは、電界効果移動度が高く、周波数特性が良好である。

[0708]

また、図40において、導電体367は、トランジスタ300LTにおける第1のゲート（ゲート又はバックゲートの一方と呼称する場合がある）として機能する。また、導電体366は、トランジスタ300LTにおける第2のゲート（ゲート又はバックゲートの他方と呼称する場合がある）として機能する。また、半導体層368の一对の低抵抗領域368pの一方は、トランジスタ300LTにおけるソース及びドレインの一方として機能し、半導体層368の一对の低抵抗領域368pの他方は、トランジスタ300LTにおけるソース及びドレインの他方として機能する。また、絶縁体363は、トランジスタ300LTにおける第1のゲート絶縁膜として機能し、絶縁体362は、トランジスタ300LTにおける第2のゲート絶縁膜として機能する。

[0709]

図40において、基板310上には絶縁体361が形成されている。また、絶縁体361上の一部の領域には導電体366が形成されている。また、絶縁体361と導電体366と、を覆うように絶縁体362が形成されている。また、導電体366及び絶縁体362に重畳し、かつ絶縁体362上の一部の領域に半導体層368が形成されている。また、絶縁体362と半導体層368と、を覆うように絶縁体363が形成されている。また、導電体366、絶縁体362、半導体層368及び絶縁体363に重畳し、かつ絶縁体363上の一部の領域に導電体367が形成されている。また、絶縁体363と導電体367と、を覆うように、絶縁体364が順に形成されている。また、低抵抗領域368pに重畳している絶縁体363及び絶縁体364の領域に開口部が設けられ、当該開口部を埋めるように、絶縁体364上に導電体369が形成されている。

[0710]

絶縁体361、絶縁体362、絶縁体363及び絶縁体364のそれぞれには、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム及び窒化アルミニウムから選ばれた一以上を用いればよい。

[0711]

特に、絶縁体 361 には、絶縁体 361 の下方の領域（例えば、基板 310）からの不純物（例えば、金属イオン、金属原子、酸素原子、酸素分子、水素原子、水素分子及び水分子）の拡散しないようなバリア絶縁膜を用いることが好ましい。

[0712]

低抵抗領域 368p は、不純物元素を含む領域である。例えば、トランジスタ 300LT を n チャンネル型とする場合には、低抵抗領域 368p にはリン又はヒ素を添加すればよい。一方、トランジスタ 300LT を p チャンネル型とする場合には、低抵抗領域 368p にはホウ素又はアルミニウムを添加すればよい。また、トランジスタ 300 のしきい値電圧を制御するために、半導体領域 368i に、上述した不純物が添加されていてもよい。

[0713]

なお、トランジスタ 300LT は、p チャンネル型、あるいは n チャンネル型のいずれでもよい。または、回路領域 SIC にトランジスタ 300LT を複数設けて、p チャンネル型、及び n チャンネル型の双方を用いてもよい。

[0714]

導電体 366 及び導電体 367 には、例えば、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル又はタングステンといった金属を用いることができる。又は、導電体 366 及び導電体 367 のそれぞれには、上述した金属から選ばれた二以上を主成分とする合金を用いることができる。又は、導電体 366 及び導電体 367 には、酸化インジウム、インジウム錫酸化物（ITO）、タングステンを含むインジウム酸化物、タングステンを含むインジウム亜鉛酸化物、チタンを含むインジウム酸化物、チタンを含む ITO、インジウム亜鉛酸化物、酸化亜鉛（ZnO）、ガリウムを含む ZnO、又はシリコンを含むインジウム錫酸化物の透光性を有する導電性材料を用いることができる。また、導電体 366 及び導電体 367 には、不純物元素を含有させる等して低抵抗化させた半導体（例えば、多結晶シリコン又は酸化物半導体）又はシリサイド（例えば、ニッケルシリサイド）を用いてもよい。又は、導電体 366 及び導電体 367 には、グラフェンを含む膜を用いることもできる。グラフェンを含む膜は、例えば酸化グラフェンを含む膜を還元して形成することができる。または、導電性ペースト（例えば、銀、カーボン又は銅を含む導電性ペースト）又は導電性ポリマー（例えば、ポリチオフェン）を用いて形成してもよい。導電性ペーストは、安価であり、好ましい。導電性ポリマーは、塗布しやすく、好ましい。また、導電体 366 及び導電体 367 の一方又は双方は、上記の材料を含む単層構造、又は上記の材料から選ばれた二以上が重なった構造（積層構造）として用いることができる。

[0715]

導電体 369 は、トランジスタ 300LT の低抵抗領域 368p に電氣的に接続される配線として機能する。つまり、導電体 369 は、トランジスタ 300LT におけるソース又はドレインとして機能する。なお、導電体 369 には、導電体 366 及び導電体 367 に適用できる材料を用いることができる。

[0716]

なお、本発明の一態様の表示装置は、図 35 の表示装置 DSP2A、図 36 の表示装置 DSP2AA、図 37 の表示装置 DSP2AB、図 38 の表示装置 DSP2AC、図 39 の表示装置 DSP2B、若しくは図 40 の表示装置 DSP2C の構成に限定されない。本発明の一態様の表示装置は、適宜変更がなされた上述した表示装置の構成としてもよい。

[0717]

例えば、本発明の一態様の表示装置は、基板が複数枚貼り合わされた構成としてもよい。具体的には、例えば、表示領域DISが設けられた第1の基板と、回路領域SICが設けられた第2の基板と、をCu-Cu（カッパ-カッパ-）直接接合技術などを用いて、第2の基板上に第1の基板を貼り合わせた構成としてもよい（図示しない）。

[0718]

＜表示装置の断面構成例5＞

例えば、図35に示す表示装置DSP2Aには、タッチセンサ機能を有するパネル（タッチパネルと呼ばれる場合がある）を設けてもよい。図41に示す表示装置DSP2Dは、一例として、保護層131上に、樹脂層147、絶縁体103、導電体104、絶縁体105及び導電体106がこの順に形成されている。

[0719]

樹脂層147は、有機絶縁材料を含むことが好ましい。有機絶縁材料としては、例えば、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂及びこれら樹脂の前駆体が挙げられる。

[0720]

絶縁体103は、無機絶縁材料を含むことが好ましい。無機絶縁材料としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、若しくは酸化ハフニウムといった酸化物又は窒化物が挙げられる。

[0721]

導電体104と導電体106は、タッチセンサの電極として機能する。タッチセンサの方式として、相互容量方式を用いる場合では、例えば、導電体104及び導電体106の一方に、パルス電位が与えられ、他方にアナログ-デジタル（A-D）変換回路、またはセンスアンプといった検知回路が電氣的に接続される構成にしてもよい。この場合、導電体104と導電体106の間に静電容量が形成される。指などが近づくと、静電容量の大きさが変化する（具体的には、静電容量が小さくなる）。この静電容量の変化は、導電体104及び導電体106の一方にパルス電位を与えたときに、他方に生じる信号の振幅の大きさの変化として表れる。これにより、指などの接触及び近接を検知することができる。

[0722]

絶縁体105には、例えば、無機絶縁膜又は有機絶縁膜を用いることができる。具体的には、絶縁体105には、例えば、アクリル樹脂又はエポキシ樹脂といった樹脂を用いることができる。又は、絶縁体105には、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン又は酸化アルミニウムといった無機絶縁材料を用いることができる。なお、絶縁体105は、単層構造としてもよいし、積層構造としてもよい。

[0723]

なお、図41では、発光デバイス130の上方にタッチセンサの電極を設けた構成を示したが、タッチセンサは、発光デバイス130と同じ層内に設けてもよい（図示しない）。例えば、タッチセンサは、発光デバイス130と同時に形成することによって、発光デバイス130と同じ層内に設けることができる。

[0724]

<表示装置の断面構成例6>

また、例えば、図35に示す表示装置DSP2Aには、色層（カラーフィルタ）が含まれていてもよい。図42に示す表示装置DSP2Eは、一例として、接着層107と基板110との間に着色層166R、着色層166G及び着色層166Bが含まれている構成となっている。なお、着色層166R、着色層166G及び着色層166Bは、例えば、基板110に形成することができる。また、発光デバイス130Rが赤色（R）の発光を呈する発光層を有し、発光デバイス130Gが緑色（G）の発光を呈する発光層を有し、発光デバイス130Bが青色（B）の発光を呈する発光層を有する場合、着色層166Rを赤色とし、着色層166Gを緑色とし、着色層166Bを青色としている。

[0725]

なお、着色層166Rと着色層166Gとの間、着色層166Gと着色層166Bとの間、並びに着色層166Gと着色層166Bとの間には、ブラックマトリクスを設けてもよい（図示しない）。表示装置DSP2Eにブラックマトリクスを設けることによって、発光デバイスで発せられた光が隣の画素が有する色層に入射することを防ぐことができる。これにより、表示のコントラストを高めることができるため、表示装置DSP2Eの表示品位を高めることができる。

[0726]

<表示装置の断面構成例7>

また、例えば、図35の表示装置DSP2Aは、有機EL素子を含む発光デバイスではなく、LED（マイクロLEDを含む）が含まれている発光デバイスの構成としてもよい。図43に示す表示装置DSP2Fは、パッケージされているLEDチップが表示装置に実装されている。具体的には、図43に示す表示装置DSP2Fは、表示領域DISに、発光デバイスとしてLEDパッケージ170R、LEDパッケージ170G及びLEDパッケージ170Bが設けられている構成となっている。

[0727]

図43の表示装置DSP2Fにおいて、一例として、絶縁体599上に、導電体111a乃至導電体111cと導電体112a乃至導電体112cが設けられている。また、導電体111a上乃至導電体111c上と、導電体112a上乃至導電体112c上と、絶縁体599上と、に保護層116が設けられている。また、保護層116は、絶縁体599の、導電体596を底部とする開口部を埋めるように形成されている。特に、保護層116は、導電体111a乃至導電体111cと、導電体112a乃至導電体112cと、のそれぞれの端部を覆うように設けられていることが好ましい。

[0728]

保護層116は、例えば、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、又はシリコーン樹脂といった樹脂が好適である。保護層116を設けることで、後述する導電体117a、及び導電体117bが互いに接して短絡することを抑制することができる。なお、保護層116は、状況によっては、絶縁体599上と、導電体111a上乃至導電体111c上と、導電体112a上乃至導電体112c上と、に設けなくてもよい。

[0729]

保護層116の、導電体111a乃至導電体111cのそれぞれの一部と重なる領域と、導電体112a乃至導電体112cのそれぞれの一部と重なる領域と、には、開口部が設けられている。

また、保護層 116 上には、導電体 117 a 及び導電体 117 b が設けられている。特に、導電体 117 a は、保護層 116 の、導電体 112 a 乃至導電体 112 c のそれぞれの一部と重なる領域に設けられる開口部を埋めるように設けられ、導電体 117 b は、保護層 116 の、導電体 111 a 乃至導電体 111 c のそれぞれの一部と重なる領域に設けられる開口部を埋めるように設けられる。

[0730]

導電体 117 a 及び導電体 117 b には、例えば、銀、カーボン又は銅といった材料を有する導電性ペースト、金又ははんだといった材料を有するバンプを好適に用いることができる。また、導電体 117 a（導電体 117 b）に電氣的に接続される導電体 112 a 乃至導電体 112 c（導電体 111 a 乃至導電体 111 c）、及び後述する電極 172（電極 173）のそれぞれは、導電体 117 a（導電体 117 b）とのコンタクト抵抗の低い導電材料を用いることが好ましい。例えば、導電体 117 a（導電体 117 b）に銀ペーストを用いる場合、導電体 112 a 乃至導電体 112 c（導電体 111 a 乃至導電体 111 c）、及び後述する電極 172（電極 173）のそれぞれに適用できる導電材料をアルミニウム、チタン又は銅とすることによって、導電体 117 a（導電体 117 b）とのコンタクト抵抗を低くすることができる。また、別の導電材料としては、例えば、銀とパラジウムと銅の合金（Ag-Pd-Cu（APC））とすることによっても、導電体 117 a（導電体 117 b）とのコンタクト抵抗を低くすることができる。

[0731]

導電体 117 a 及び導電体 117 b 上には、LED パッケージ 170 R、LED パッケージ 170 G 及び LED パッケージ 170 B が実装されている。なお、図 43 の表示装置 DSP 2 F に含まれる LED パッケージ 170 R、LED パッケージ 170 G 及び LED パッケージ 170 B の具体的な構成例を、図 44 A に示す。

[0732]

図 44 A の LED パッケージ 170 は、基板 171、電極 172、電極 173、ヒートシンク 174、接着層 175、ケース 176、ワイヤ 177、ワイヤ 179、封止層 178、ボール 189 及び LED チップ 180 を有する。

[0733]

本明細書等において、LED チップとは、基板上に、カソードとして機能する電極と、アノードとして機能する電極と、p 型の半導体と、n 型の半導体と、発光層と、が設けられた発光ダイオードである。なお、本明細書等において、LED チップという用語は、発光ダイオードという用語に置き換えて説明することができる場合がある。

[0734]

特に、本明細書等において、LED チップの面積が $10000\ \mu\text{m}^2$ 以下の発光ダイオードをマイクロ発光ダイオード、LED チップの面積が $10000\ \mu\text{m}^2$ より大きく 1mm^2 以下の発光ダイオードをミニ発光ダイオード、LED チップの面積が 1mm^2 より大きい発光ダイオードをマクロ発光ダイオードと記す場合がある。なお、ここでの LED チップの面積とは、例えば、図 44 A、後述する図 44 C 及び図 44 D における、基板 181 の上面又は下面の面積とすることができる。又は、LED チップの面積とは、例えば、後述する図 44 B における電極 183 A の上面又は下面の面積とすることができる。

[0735]

例えば、LEDチップの面積が $100\mu\text{m}^2$ 以下の発光ダイオードは、マイクロ発光ダイオード（マイクロLEDチップ）といえる。また、例えば、面積が 1mm^2 のLEDパッケージに適用可能な発光ダイオードとして、マイクロLEDチップ又はミニLEDチップを用いることができる場合がある。

[0736]

本発明の一態様の表示装置において、LEDパッケージには、マイクロ発光ダイオード、ミニ発光ダイオード及びマクロ発光ダイオードのいずれかを用いてもよい。特に、本発明の一態様の表示装置は、マイクロ発光ダイオード又はミニ発光ダイオードを有することが好ましく、マイクロ発光ダイオードを有することがより好ましい。

[0737]

特に、発光ダイオードのLEDチップの面積は、 1mm^2 以下が好ましく、 $10000\mu\text{m}^2$ 以下がより好ましく、 $3000\mu\text{m}^2$ 以下がより好ましく、 $700\mu\text{m}^2$ 以下がさらに好ましい。

[0738]

また、発光ダイオードの光を射出する領域の面積は、 1mm^2 以下が好ましく、 $10000\mu\text{m}^2$ 以下がより好ましく、 $3000\mu\text{m}^2$ 以下がより好ましく、 $700\mu\text{m}^2$ 以下がさらに好ましい。なお、ここでの発光ダイオードの光を射出する領域の面積とは、例えば、図44A、後述する図44B乃至図44Dにおける、発光層184の上面又は下面の面積とすることができる。

[0739]

本実施の形態では、特に、発光ダイオードとして、マイクロ発光ダイオードを用いる場合の例について説明する。なお、本実施の形態では、ダブルヘテロ接合を有するマイクロ発光ダイオードについて説明する。ただし、発光ダイオードに特に限定はなく、例えば、量子井戸接合を有するマイクロ発光ダイオード、ナノコラムを用いた発光ダイオードなどを用いてもよい。

[0740]

LEDチップ180は、基板181と、半導体層182と、電極183と、発光層184と、半導体層185と、電極186と、電極187と、を有する。

[0741]

基板171は、例えば、ガラスエポキシ樹脂基板、ポリイミド基板、セラミック基板、アルミナ基板又は窒化アルミニウム基板を用いることができる。

[0742]

電極172及び電極173は、基板171の上面、側面及び下面に形成されている。特に、基板171の上面、側面及び下面のそれぞれで形成された電極172は、1本の配線として機能し、同様に、基板171の上面、側面及び下面のそれぞれで形成された電極173は、別の1本の配線として機能する。なお、電極172と電極173との間は、非導通状態となっている。

[0743]

また、基板171には、ヒートシンク174が設けられている。ヒートシンク174は、一例として、LEDチップ180で発生した熱を放熱する機能を有する。

[0744]

なお、電極172、電極173及びヒートシンク174は、互いに同一の材料とすることができる。例えば、電極172、電極173及びヒートシンク174には、例えば、ニッケル、銅、銀、白金又は金から選ばれた一元素、又は当該元素を50%以上含む合金材料を用いることができる。

[0745]

また、及び電極172、電極173及びヒートシンク174は、互いに同一の工程で形成することができる。

[0746]

LEDチップ180は、接着層175によって、基板171上に貼り合わされている。具体的には、LEDチップ180の基板181は、接着層175を介して、基板171に設けられているヒートシンク174と重なるように設けられている。接着層175の材料は特に限定されない。例えば、接着層175の材料として、導電性を有する接着剤を用いることで、LEDチップ180の放熱性を高めることができる。

[0747]

基板181には、例えば、サファイア基板、炭化シリコン基板、シリコン基板又は窒化ガリウム基板といった単結晶基板を用いることができる。

[0748]

LEDチップ180において、基板181上には、半導体層182が形成されている。また、半導体層182上の一部には、電極183が形成され、また、半導体層182上の別の一部には、発光層184が形成されている。また、発光層184上には、半導体層185が形成され、半導体層185上には、電極186が形成され、電極186上の一部には、電極187が形成されている。

[0749]

LEDチップ180において、発光層184は、半導体層182と半導体層185とによって挟持されている。発光層184では、電子と正孔が結合して光を発する。また、半導体層182と半導体層185の一方はn型の半導体層であり、半導体層182と半導体層185の他方はp型の半導体層である。また、発光層184は、n型、i型又はp型の半導体層を用いることができる。つまり、半導体層182、発光層184及び半導体層185はいずれも半導体層を用いることができる。なお、半導体層182、発光層184及び半導体層185をまとめて、LED層又は発光ダイオードと呼ばれる場合がある。

[0750]

LED層は、赤色光、黄色光、緑色光、青色光又は紫外光といった光を呈するように形成される。LED層の構成は特に限定されず、pn接合又はpin接合を有するホモ構造、ヘテロ構造又はダブルヘテロ構造であってもよく、MIS (Metal Insulator Semiconductor) 接合であってもよい。LED層は、超格子構造、単一量子井戸構造、又は多重量子井戸 (MQW: Multi Quantum Well) 構造であってもよい。また、LED層は、ナノコラムを用いてもよい。

[0751]

LED層は、例えば、第13族元素及び第15族元素を含む化合物を用いることができる。第13族元素として、アルミニウム、ガリウム、及びインジウムが挙げられる。第15族元素として、窒素、リン、ヒ素、及びアンチモンが挙げられる。LED層は、例えば、ガリウム・リン化合物、ガリウム・ヒ素化合物、ガリウム・アルミニウム・ヒ素化合物、アルミニウム・ガリウム・インジウム・リン化合物、窒化ガリウム (GaN)、インジウム・窒化ガリウム化合物、又はセレン・亜鉛化合物を用いることができる。

[0752]

例えば、紫外から青の波長帯の光を発するLED層には、窒化ガリウムを用いることができる。紫外から緑の波長帯の光を発するLED層には、インジウム・窒化ガリウム化合物を用いることができる。緑から赤の波長帯の光を発するLED層には、アルミニウム・ガリウム・インジウム・リン化合物、又はガリウム・ヒ素化合物を用いることができる。赤外の波長帯の光を発するLED層には、ガリウム・ヒ素化合物を用いることができる。

[0753]

図43の表示装置DSP2Fに実装されている、LEDパッケージ170R、LEDパッケージ170G、及びLEDパッケージ170BのそれぞれのLEDチップに含まれている発光ダイオードにおいて、一对の半導体層と、当該一对の半導体層の間の発光層と、を有する積層構造は、赤色、緑色又は青色といった光を呈するように形成されている。このため、LEDパッケージ170R、LEDパッケージ170G及びLEDパッケージ170BのそれぞれのLEDチップ毎に、発光ダイオードが発する光の色を自由に決めることができる。

[0754]

また、LEDパッケージ170のLEDチップ180に含まれている発光ダイオードが発する色は、赤色、緑色及び青色以外では、シアン、マゼンタ、黄色又は白色とすることができる。

[0755]

電極183は、ワイヤ177を介して、電極172に電氣的に接続されている。つまり、電極183は、発光ダイオードの画素電極として機能する。また、電極187は、ワイヤ179を介して、電極173に電氣的に接続されている。つまり、電極187は、発光ダイオードの共通電極として機能する。

[0756]

電極183とワイヤ177との接合方法、電極172とワイヤ177との接合方法、電極187とワイヤ179との接合方法、及び電極173とワイヤ179との接合方法としては、例えば、ワイヤーボンディング法が挙げられる。また、ワイヤーボンディング法の種類として、熱圧着法及び超音波ボンディング法が挙げられる。また、ワイヤーボンディング法によるワイヤ177及びワイヤ179の接合工程によって、電極172上と、電極173上と、電極183上と、電極187上と、には、ワイヤ179と同じ材料のボール189が形成される。

[0757]

電極183、電極186、電極187には、例えば、導電体111a乃至導電体111c及び導電体112a乃至導電体112cに適用できる材料を用いることが好ましい。特に、LEDチップ180の発光層184は、LEDパッケージ170の上方に光を射出するため、電極186は、導電体111a乃至導電体111c及び導電体112a乃至導電体112cのそれぞれに適用できる材料のうち、透光性を有する導電体であることが好ましい。同様の理由により、電極187も、導電体111a乃至導電体111c及び導電体112a乃至導電体112cのそれぞれに適用できる材料のうち、透光性を有する導電体であることが好ましい。

[0758]

ワイヤ177及びワイヤ179には、例えば、金、金を含む合金、銅、若しくは銅を含む合金といった金属の細線を用いることができる。

[0759]

ケース176の材料には、樹脂を用いることができる。また、ケース176は、封止層178の

側面を覆っていればよく、LEDチップ180の上面を覆っていなくてもよい。つまり、例えば、LEDチップ180の上面側では、封止層178が露出してもよい。また、ケース176の内側の側面、具体的には、LEDチップ180の周囲（基板181、半導体層182、電極183、発光層184、半導体層185、電極186及び電極187のそれぞれの周囲）に、セラミックス等からなるリフレクタを設けることが好ましい。LEDチップ180の発光層184から発した光の一部がリフレクタによって反射することで、より多くの光をLEDパッケージ170から取り出すことができる。

[0760]

ケース176の内部は、封止層178で充填されている。封止層178には、例えば、可視光に対する透過性を有する樹脂を適用することが好ましい。具体的には、封止層178には、例えば、エポキシ樹脂、シリコン樹脂といった紫外線硬化性樹脂、又は可視光硬化性樹脂を用いることができる。

[0761]

また、例えば、表示装置DSP2Fの樹脂層148上と、LEDパッケージ170R上と、LEDパッケージ170G上と、LEDパッケージ170B上と、のそれぞれの面には各種光学部材を配置することができる。光学部材としては、偏光板、位相差板、光拡散層（拡散フィルムなど）、反射防止層、集光フィルム等が挙げられる。また、表示装置DSP2Fの樹脂層148上と、LEDパッケージ170R上と、LEDパッケージ170G上と、LEDパッケージ170B上と、のそれぞれの面には、ゴミの付着を抑制する帯電防止膜、汚れを付着しにくくする撥水性の膜、使用に伴う傷の発生を抑制するハードコート膜、衝撃吸収層等の表面保護層を配置してもよい。例えば、表面保護層として、ガラス層またはシリカ層（SiO_x層）を設けることで、表面汚染及び傷の発生を抑制することができ、好ましい。また、表面保護層としては、DLC（ダイヤモンドライクカーボン）、酸化アルミニウム（AlO_x）、ポリエステル系材料、又はポリカーボネート系材料などを用いてもよい。なお、表面保護層には、可視光に対する透過率が高い材料を用いることが好ましい。また、表面保護層には、硬度が高い材料を用いることが好ましい。

[0762]

次に、表示装置DSP2FのLEDパッケージ170R、LEDパッケージ170G、及びLEDパッケージ170Bに適用できる、図44AのLEDパッケージ170とは異なるLEDパッケージの構成例を説明する。

[0763]

図44Bに示すLEDパッケージ170A1は、基板171上にはLEDチップ180Aが設けられている点で、図44AのLEDパッケージ170と異なっている。なお、LEDチップ180Aの画素電極は、ワイヤ177でなく接着層175によって接着されている。

[0764]

図44BのLEDパッケージ170A1は、基板171、電極172、電極173、接着層175、ケース176、ワイヤ177、ワイヤ179、封止層178、ボール189及びLEDチップ180Aを有する。

[0765]

また、図44BのLEDパッケージ170A1において、LEDチップ180Aは、電極183Aと、電極183A上に設けられた発光ダイオードを有する構成となっている。当該発光ダイオード

ドは、半導体層 182 と、発光層 184 と、半導体層 185 と、電極 186 と、電極 187 と、を有する。

[0766]

電極 183A には、例えば、導電性基板を用いることができる。導電性基板の種類としては、例えば、金属基板が挙げられる。

[0767]

また、電極 183A 上には、半導体層 182、発光層 184、半導体層 185、電極 186 及び電極 187 が順に形成されている。

[0768]

なお、半導体層 182、発光層 184、半導体層 185、電極 186 及び電極 187 のそれぞれについては、図 44A の LED パッケージ 170 の説明を参照することができる。

[0769]

図 44B の LED パッケージ 170A1 において、電極 172 及び電極 173 は、基板 171 の上面、側面及び下面に形成されている。特に、電極 172 は、基板 171 の、LED チップ 180A が設けられる領域にも形成されている。また、基板 171 の上面、側面及び下面のそれぞれで形成された電極 172 は、1 本の配線として機能し、同様に、基板 171 の上面、側面及び下面のそれぞれで形成された電極 173 は、別の 1 本の配線として機能する。なお、電極 172 と電極 173 との間は、非導通状態となっている。

[0770]

また、LED チップ 180A は、接着層 175 によって、基板 171 上に貼り合わされている。具体的には、LED チップ 180A の電極 183A は、接着層 175 を介して、基板 171 に設けられている電極 172 の一部の領域と重なるように設けられている。なお、接着層 175 は、導電性を有する接着剤とする。

[0771]

上記のとおり、発光ダイオードを導電性基板上に形成した LED チップ 180A を用いる場合、LED チップ 180A の画素電極と、基板 171 の電極 172 と、を、ワイヤ 177 でなく、接着層 175 を用いて接合することによって、LED パッケージ 170A2 を構成することができる。

[0772]

次に、表示装置 DSP2F の LED パッケージ 170R、LED パッケージ 170G 及び LED パッケージ 170B に適用できる、図 44A の LED パッケージ 170 及び図 44B の LED パッケージ 170A1 とは異なる LED パッケージの構成例を説明する。

[0773]

図 44C に示す LED パッケージ 170A2 は、ケース 176 の内側に色変換層 190 が設けられている点で、図 44A の LED パッケージと異なっている。

[0774]

なお、図 44C では、色変換層 190 が封止層 178 の上方に設けられている構成を示すが、色変換層 190 の配置はこれに限定されない。例えば、色変換層 190 は、封止層 178 の内部に分散されていてもよい。

[0775]

色変換層 190 としては、蛍光体又は量子ドット (QD: Quantum dot) を用いるこ

とが好ましい。特に量子ドットは、発光スペクトルのピーク幅が狭く、色純度のよい発光を得ることができる。色変換層 190 に量子ドットを用いることで、表示装置 D S P 2 F の表示品位を高めることができる。

[0776]

色変換層 190 は、LED パッケージ 170 A 2 の LED チップ 180 に含まれている発光層 184 から発した光は、別の色の光に変換する機能を有する。

[0777]

色変換層 190 には、例えば、青色の光を緑色の光に変換する色変換層、又は青色の光を赤色の光に変換する変換層を用いることができる。例えば、赤色の副画素において、青色の発光ダイオードが設けられているとき、青色の発光ダイオードから発せられた青色の光は、色変換層 190 を介することによって、赤色の光に変換されて、ケース 176 の上方、すなわち表示装置 D S P 2 F の外部に射出される。また、例えば、緑色の副画素において、青色の発光ダイオードが設けられているとき、青色の発光ダイオードから発せられた青色の光は、色変換層 190 を介することによって、緑色の光に変換されて、ケース 176 の上方、すなわち表示装置 D S P 2 F の外部に射出される。

[0778]

色変換層 190 は、液滴吐出法（例えば、インクジェット法）、塗布法、インプリント法、各種印刷法（スクリーン印刷、オフセット印刷）などを用いて形成することができる。また、色変換層 190 には、量子ドットフィルムなどの色変換フィルムを用いることができる。

[0779]

蛍光体としては、蛍光体が表面に印刷又は塗装された有機樹脂層、又は蛍光体が混合された有機樹脂層を用いることができる。

[0780]

量子ドットを構成する材料としては、特に限定は無く、例えば、第 14 族元素、第 15 族元素、第 16 族元素、複数の第 14 族元素からなる化合物、第 4 族から第 14 族に属する元素と第 16 族元素との化合物、第 2 族元素と第 16 族元素との化合物、第 13 族元素と第 15 族元素との化合物、第 13 族元素と第 17 族元素との化合物、第 14 族元素と第 15 族元素との化合物、第 11 族元素と第 17 族元素との化合物、酸化鉄類、酸化チタン類、カルコゲナイドスピネル類、半導体クラスターなどが挙げられる。

[0781]

具体的には、セレン化カドミウム、硫化カドミウム、テルル化カドミウム、セレン化亜鉛、酸化亜鉛、硫化亜鉛、テルル化亜鉛、硫化水銀、セレン化水銀、テルル化水銀、砒化インジウム、リン化インジウム、砒化ガリウム、リン化ガリウム、窒化インジウム、窒化ガリウム、アンチモン化インジウム、アンチモン化ガリウム、リン化アルミニウム、砒化アルミニウム、アンチモン化アルミニウム、セレン化鉛、テルル化鉛、硫化鉛、セレン化インジウム、テルル化インジウム、硫化インジウム、セレン化ガリウム、硫化砒素、セレン化砒素、テルル化砒素、硫化アンチモン、セレン化アンチモン、テルル化アンチモン、硫化ビスマス、セレン化ビスマス、テルル化ビスマス、ケイ素、炭化ケイ素、ゲルマニウム、錫、セレン、テルル、ホウ素、炭素、リン、窒化ホウ素、リン化ホウ素、砒化ホウ素、窒化アルミニウム、硫化アルミニウム、硫化バリウム、セレン化バリウム、テルル化バリウム、硫化カルシウム、セレン化カルシウム、テルル化カルシウム、硫化ベリリウム、セレン化ベリリウム、テルル化ベリリウム、硫化マグネシウム、セレン化マグネシウム、硫化ゲルマ

ニウム、セレン化ゲルマニウム、テルル化ゲルマニウム、硫化錫、セレン化錫、テルル化錫、酸化鉛、フッ化銅、塩化銅、臭化銅、ヨウ化銅、酸化銅、セレン化銅、酸化ニッケル、酸化コバルト、硫化コバルト、酸化鉄、硫化鉄、酸化マンガン、硫化モリブデン、酸化バナジウム、酸化タングステン、酸化タンタル、酸化チタン、酸化ジルコニウム、窒化ケイ素、窒化ゲルマニウム、酸化アルミニウム、チタン酸バリウム、セレンと亜鉛とカドミウムの化合物、インジウムと砒素とリンの化合物、カドミウムとセレンと硫黄の化合物、カドミウムとセレンとテルルの化合物、インジウムとガリウムと砒素の化合物、インジウムとガリウムとセレンの化合物、インジウムとセレンと硫黄の化合物、銅とインジウムと硫黄の化合物、及びこれらの組み合わせなどが挙げられる。また、組成が任意の比率で表される、いわゆる合金型量子ドットを用いてもよい。

[0782]

量子ドットの構造としては、コア型、コアシェル型、コアマルチシェル型などが挙げられる。また、量子ドットは、表面原子の割合が高いことから、反応性が高く、凝集が起こりやすい。そのため、量子ドットの表面には保護剤が付着している又は保護基が設けられていることが好ましい。当該保護剤が付着している又は保護基が設けられていることによって、凝集を防ぎ、溶媒への溶解性を高めることができる。また、反応性を低減させ、電気的安定性を向上させることも可能である。

[0783]

量子ドットは、サイズ（直径）が小さくなるに従いバンドギャップが大きくなるため、所望の波長の光が得られるように、そのサイズを適宜調整する。結晶のサイズが小さくなるにつれて、量子ドットの発光は青色側へ、つまり、高エネルギー側へシフトするため、量子ドットのサイズを変更させることにより、紫外領域、可視領域、赤外領域のスペクトルの波長領域にわたって、その発光波長を調整することができる。量子ドットのサイズ（直径）は、例えば、0.5 nm以上20 nm以下、好ましくは1 nm以上10 nm以下である。量子ドットはそのサイズ分布が狭いほど、発光スペクトルがより狭線化し、色純度の良好な発光を得ることができる。また、量子ドットの形状は特に限定されず、球状、棒状、円盤状、その他の形状であってもよい。棒状の量子ドットである量子ロッドは、指向性を有する光を呈する機能を有する。

[0784]

または、LEDパッケージ170A2は、その内部または上方に、色変換層190と着色層の積層構造を有していてもよい。これにより、色変換層190によって変換された光が、着色層を通過することで、光の純度を高められる。また、LEDチップ180（基板181、半導体層182、電極183、発光層184、半導体層185、電極186及び電極187）と重なる位置に、発光層184が発する光の色と同色の着色層を設けてもよい。同色の着色層を設けると、発光層184が発する光の純度を高めることができる。また、LEDパッケージ170A2に着色層を設けない場合は、作製工程を簡略化できる。

[0785]

なお、着色層は、特定の波長域の光を透過する有色層である。例えば、赤色、緑色、青色又は黄色の波長域の光を透過するカラーフィルタなどを用いることができる。着色層に用いることのできる材料としては、金属材料、樹脂材料、顔料又は染料が含まれた樹脂材料などが挙げられる。

[0786]

上記のとおり、LEDチップ180の上方に、色変換層を設けることによって、色純度の良い光をLEDパッケージ170A2から射出することができる。

[0787]

次に、表示装置DSP2FのLEDパッケージ170R、LEDパッケージ170G、及びLEDパッケージ170Bに適用できる、図44AのLEDパッケージ170、図44BのLEDパッケージ170A1、図44CのLEDパッケージ170A2とは異なるLEDパッケージの構成例を説明する。

[0788]

図44Dに示すLEDパッケージ170A3は、基板171上に設けられているLEDチップ180の基板181が上方に位置し、電極183及び電極187が下方に位置している点で、図44AのLEDパッケージ170と異なっている。

[0789]

この構成の場合、発光層184からの光をLEDパッケージ170A3の上方に射出するため、基板181は透光性を有することが好ましい。

[0790]

また、図44DのLEDパッケージ170A3において、LEDチップ180の電極183及び電極187は、基板171側に向いているため、電極183と電極172との接合、及び電極187と電極173との接合は、ワイヤではなく、バンプとして機能する導電体によって行われる。具体的には、電極183と電極172とは、導電体191によって接合され、また、電極187と電極173とは、導電体192によって接合されている。

[0791]

なお、導電体191、及び導電体192には、導電体117a、又は導電体117bに適用できる材料を用いることができる。

[0792]

次に、LEDパッケージ170に設けることができるLEDチップ180の個数について説明する。図45Aは、図44AのLEDパッケージ170の平面模式図の一例である。なお、図45Aでは、LEDチップ180の構成要素である基板181を示している。上記では、図45Aに示すとおり、LEDパッケージ170が基板171上に1個のLEDチップ180を有する構成を例として説明したが、本発明の一態様はこれに限定されない。例えば、LEDパッケージ170は、基板171上に、1個ではなく複数のLEDチップが設けられた構成としてもよい。

[0793]

図45Bには、一例として、基板171上に、LEDチップ180R、LEDチップ180G及びLEDチップ180Bの3個を設けたLEDパッケージ170Sの構成を示している。なお、図45Bでは、LEDチップ180Rの構成要素である基板181R、LEDチップ180Gの構成要素である基板181G及びLEDチップ180Bの構成要素である基板181Bを示している。LEDパッケージ170Sに設けられるLEDチップ180R、LEDチップ180G及びLEDチップ180Bに含まれるそれぞれの発光ダイオードは、互いに異なる色を発光する発光層を有してもよい。例えば、基板181Rに赤色の光を発する発光ダイオードを設け、基板181Gに緑色の光を発する発光ダイオードを設け、基板181Bに青色の光を発する発光ダイオードを設けることによって、LEDパッケージ170Sは、赤色、緑色及び青色の三色の光を射出することができる。

[0794]

上記で説明した、LEDパッケージ170、LEDパッケージ170A1、LEDパッケージ170A2及びLEDパッケージ170Sのそれぞれにおいて、発光ダイオード（LEDチップ180R、LEDチップ180G及びLEDチップ180B）は、同じ構成のトランジスタによって駆動されてもよく、それぞれ異なる構成のトランジスタによって駆動されてもよい。例えば、図43の表示装置DSP2Fにおいて、LEDパッケージ170Rに含まれているLEDチップ180Rを駆動するトランジスタと、LEDパッケージ170Gに含まれているLEDチップ180Gを駆動するトランジスタと、LEDパッケージ170Bに含まれているLEDチップ180Bを駆動するトランジスタと、は、トランジスタのサイズ、チャネル長、チャネル幅及び構造などから選ばれた一つ以上が互いに異なってもよい。具体的には、所望の輝度で発光させるために必要な電流量に応じて、色ごとにトランジスタのチャネル長及びチャネル幅の一方又は双方を変えてもよい。

[0795]

図43の表示装置DSP2Fにおいて、保護層116の上面、導電体117aの上面と側面、導電体117bの上面と側面、及びLEDパッケージ170R、LEDパッケージ170G及びLEDパッケージ170Bのそれぞれの側面には、樹脂層148が覆われていてもよい。樹脂層148に、黒色の樹脂を用いると、表示装置DSP2Fの表示のコントラストを高めることができる。また、樹脂層148の上面、LEDパッケージ170R、LEDパッケージ170G及びLEDパッケージ170Bのそれぞれの上面から選ばれた一以上には、表面保護層、及び衝撃吸収層の一方、又は他方を設けてもよい。また、LEDパッケージ170R、LEDパッケージ170G及びLEDパッケージ170Bのそれぞれは上方に光を射出する構成であるため、LEDパッケージ170R、LEDパッケージ170G及びLEDパッケージ170Bの上面に設けられる層は、可視光に対する透過性を有することが好ましい。

[0796]

LEDパッケージ170R、LEDパッケージ170G及びLEDパッケージ170Bにおいて、導電体112a乃至導電体112c、導電体117a、電極172の全ては、画素電極と呼ばれる場合がある。また、導電体112a乃至導電体112c、導電体117a、電極172の一部が画素電極と呼ばれる場合がある。

[0797]

なお、本発明の一態様の表示装置は、図43に示す表示装置DSP2Fの構成に限定されない。本発明の一態様の表示装置は、適宜変更がなされた図43に示す表示装置DSP2Fの構成としてもよい。

[0798]

例えば、本発明の一態様の表示装置は、基板310の上方に複数のLEDパッケージ170が実装された構成ではなく、基板310の上方に、複数の発光ダイオードが形成された基板が貼り合わされた構成としてもよい（図示しない）。

[0799]

また、例えば、図43に示す表示装置DSP2Fは、複数の色を呈するLEDパッケージが設けられた構成となっているが、単一の色のLEDパッケージによって表示部全体を構成してもよい。

[0800]

上記で説明した各々の構成例の一を表示装置に適用することによって、高い画面解像度、かつ高い精細度を有する表示装置を実現することができる場合がある。具体的には、例えば、HD（画素

数1280×720)、FHD(画素数1920×1080)、WQHD(画素数2560×1440)、WQXGA(画素数2560×1600)、4K(画素数3840×2160)、8K(画素数7680×4320)の画面解像度の表示装置を実現できる場合がある。また、具体的には、例えば、100ppi以上、300ppi以上、500ppi以上、1000ppi以上、2000ppi以上、3000ppi以上、5000ppi以上、又は6000ppi以上の精細度の表示装置を実現することができる場合がある。

[0801]

<発光デバイスの構成例>

次に、上述した表示装置の発光デバイス130に適用できる、発光デバイスの構成例について説明する。

[0802]

図46Aに示すように、発光デバイスは、一对の電極(下部電極761及び上部電極762)の間に、EL層763を有する。EL層763は、層780、発光層771及び層790を含む層とすることができる。

[0803]

発光層771は、少なくとも発光物質(発光材料ともいう)を有する。

[0804]

下部電極761が陽極であり、上部電極762が陰極である場合、層780は、正孔注入性の高い物質を含む層(正孔注入層)、正孔輸送性の高い物質を含む層(正孔輸送層)及び電子ブロック性の高い物質を含む層(電子ブロック層)のうち一つまたは複数を有する。また、層790は、電子注入性の高い物質を含む層(電子注入層)、電子輸送性の高い物質を含む層(電子輸送層)及び正孔ブロック性の高い物質を含む層(正孔ブロック層)のうち一つまたは複数を有する。下部電極761が陰極であり、上部電極762が陽極である場合、層780と層790は互いに上記と逆の構成になる。

[0805]

一对の電極間に設けられた層780、発光層771及び層790を有する構成は単一の発光ユニットとして機能することができ、本明細書では図46Aの構成をシングル構造と呼ぶ。

[0806]

また、図46Bは、図46Aに示す発光デバイスが有するEL層763の変更例である。具体的には、図46Bに示す発光デバイスは、下部電極761上の層781と、層781上の層782と、層782上の発光層771と、発光層771上の層791と、層791上の層792と、層792上の上部電極762と、を有する。

[0807]

下部電極761が陽極であり、上部電極762が陰極である場合、例えば、層781を正孔注入層、層782を正孔輸送層、層791を電子輸送層、層792を電子注入層とすることができる。また、下部電極761が陰極であり、上部電極762が陽極である場合、層781を電子注入層、層782を電子輸送層、層791を正孔輸送層、層792を正孔注入層とすることができる。このような層構造とすることで、発光層771に効率よくキャリアを注入し、発光層771内におけるキャリアの再結合の効率を高めることができる。

[0808]

なお、図46C及び図46Dに示すように、層780と層790との間に複数の発光層（発光層771、発光層772及び発光層773）が設けられる構成もシングル構造のバリエーションである。なお、図46C及び図46Dでは、発光層を3層有する例を示すが、シングル構造の発光デバイスにおける発光層は、2層であつてもよく、4層以上であつてもよい。また、シングル構造の発光デバイスは、2つの発光層の間に、バッファ層を有していてもよい。

[0809]

また、図46E及び図46Fに示すように、複数の発光ユニット（発光ユニット763a及び発光ユニット763b）が電荷発生層785（中間層ともいう）を介して直列に接続された構成を本明細書ではタンデム構造と呼ぶ。なお、タンデム構造をスタック構造と呼んでもよい。タンデム構造とすることで、高輝度発光が可能な発光デバイスとすることができる。また、タンデム構造は、シングル構造と比べて、同じ輝度を得るために必要な電流を低減できるため、信頼性を高めることができる。

[0810]

なお、図46D及び図46Fは、表示装置が、発光デバイスと重なる層764を有する例である。図46Dは、層764が、図46Cに示す発光デバイスと重なる例であり、図46Fは、層764が、図46Eに示す発光デバイスと重なる例である。

[0811]

層764としては、色変換層及びカラーフィルタ（着色層）の一方又は双方を用いることができる。

[0812]

図46C及び図46Dにおいて、発光層771、発光層772及び発光層773に、同じ色の光を発する発光物質、さらには、同じ発光物質を用いてもよい。例えば、発光層771、発光層772及び発光層773に、青色の光を発する発光物質を用いてもよい。青色の光を呈する副画素においては、発光デバイスが発する青色の光を取り出すことができる。また、赤色の光を呈する副画素及び緑色の光を呈する副画素においては、図46Dに示す層764として色変換層を設けることで、発光デバイスが発する青色の光をより長波長の光に変換し、赤色または緑色の光を取り出すことができる。

[0813]

また、発光層771、発光層772及び発光層773に、それぞれ異なる色の光を発する発光物質を用いてもよい。特に、発光デバイスは、発光層771、発光層772及び発光層773がそれぞれ発する光が合わさることによって、白色発光が得られる構成とすることが好ましい。例えば、シングル構造の発光デバイスは、青色の光を発する発光物質を有する発光層、及び、青色よりも長波長の可視光を発する発光物質を有する発光層を有することが好ましい。

[0814]

例えば、シングル構造の発光デバイスが3層の発光層を有する場合、赤色（R）の光を発する発光物質を有する発光層、緑色（G）の光を発する発光物質を有する発光層、及び、青色（B）の光を発する発光物質を有する発光層を有することが好ましい。発光層の積層順としては、例えば、陽極側から、赤色（R）、緑色（G）、青色（B）、若しくは陽極側から、赤色（R）、青色（B）、緑色（G）とすることができる。このとき、赤色（R）と緑色（G）又は青色（B）との間にバッファ層が設けられていてもよい。

[0815]

また、例えば、シングル構造の発光デバイスが2層の発光層を有する場合、青色（B）の光を発する発光物質を有する発光層、及び、黄色（Y）の光を発する発光物質を有する発光層を有する構成が好ましい。当該構成をBYシングル構造と呼称する場合がある。

[0816]

図46Dに示す層764として、カラーフィルタを設けてもよい。白色光がカラーフィルタを透過することで、所望の色の光を得ることができる。

[0817]

白色の光を発する発光デバイスは、2種類以上の発光物質を含むことが好ましい。白色発光を得るには、2つの発光物質の各々の発光が補色の関係となるような発光物質を選択すればよい。例えば、第1の発光層の発光色と第2の発光層の発光色を補色の関係になるようにすることで、発光デバイス全体として白色発光する発光デバイスを得ることができる。また、3つ以上の発光層を用いて白色発光を得る場合、3つ以上の発光層のそれぞれの発光色があわさることで発光デバイス全体として白色発光することができる構成とすればよい。

[0818]

また、図46E及び図46Fにおいて、発光層771と、発光層772とに、同じ色の光を発する発光物質、さらには、同じ発光物質を用いてもよい。

[0819]

例えば、各色の光を呈する副画素が有する発光デバイスにおいて、発光層771と、発光層772に、それぞれ青色の光を発する発光物質を用いてもよい。青色の光を呈する副画素においては、発光デバイスが発する青色の光を取り出すことができる。また、赤色の光を呈する副画素及び緑色の光を呈する副画素においては、図46Fに示す層764として色変換層を設けることで、発光デバイスが発する青色の光をより長波長の光に変換し、赤色または緑色の光を取り出すことができる。

[0820]

また、各色の光を呈する副画素に、図46E又は図46Fに示す構成の発光デバイスを用いる場合、副画素によって、異なる発光物質を用いてもよい。具体的には、赤色の光を呈する副画素が有する発光デバイスにおいて、発光層771と、発光層772に、それぞれ赤色の光を発する発光物質を用いてもよい。同様に、緑色の光を呈する副画素が有する発光デバイスにおいて、発光層771と、発光層772に、それぞれ緑色の光を発する発光物質を用いてもよい。青色の光を呈する副画素が有する発光デバイスにおいて、発光層771と、発光層772に、それぞれ青色の光を発する発光物質を用いてもよい。このような構成の表示装置は、タンデム構造の発光デバイスが適用されており、かつ、SBS構造であるといえる。そのため、タンデム構造のメリットと、SBS構造のメリットの両方を併せ持つことができる。これにより、高輝度発光が可能であり、信頼性の高い発光デバイスを実現することができる。

[0821]

また、図46E及び図46Fにおいて、発光層771と、発光層772とに、異なる色の光を発する発光物質を用いてもよい。発光層771が発する光と、発光層772が発する光が補色の関係である場合、白色発光が得られる。図46Fに示す層764として、カラーフィルタを設けてもよい。白色光がカラーフィルタを透過することで、所望の色の光を得ることができる。

[0822]

なお、図 4 6 E 及び図 4 6 F において、発光ユニット 7 6 3 a が 1 層の発光層 7 7 1 を有し、発光ユニット 7 6 3 b が 1 層の発光層 7 7 2 を有する例を示すが、これに限られない。発光ユニット 7 6 3 a 及び発光ユニット 7 6 3 b は、それぞれ、2 層以上の発光層を有していてもよい。

[0 8 2 3]

また、図 4 6 E 及び図 4 6 F では、発光ユニットを 2 つ有する発光デバイスを例示したが、これに限られない。発光デバイスは、発光ユニットを 3 つ以上有していてもよい。

[0 8 2 4]

具体的には、図 4 7 A 乃至図 4 7 C に示す発光デバイスの構成が挙げられる。

[0 8 2 5]

図 4 7 A は、発光ユニットを 3 つ有する構成である。なお、発光ユニットを 2 つ有する構成を 2 段タンデム構造と、発光ユニットを 3 つ有する構成を 3 段タンデム構造と、それぞれ呼称してもよい。

[0 8 2 6]

また、図 4 7 A に示すように、複数の発光ユニット（発光ユニット 7 6 3 a、発光ユニット 7 6 3 b 及び発光ユニット 7 6 3 c）が電荷発生層（電荷発生層 7 8 5 a－b 及び電荷発生層 7 8 5 b－c）を介して、それぞれ直列に接続された構成である。具体的には、図 4 6 A に示す発光デバイスは、発光ユニット 7 6 3 a、電荷発生層 7 8 5 a－b、発光ユニット 7 6 3 b、電荷発生層 7 8 5 b－c 及び発光ユニット 7 6 3 c がこの順に積層されている構成となっている。また、発光ユニット 7 6 3 a は、層 7 8 0 a と、発光層 7 7 1 と、層 7 9 0 a と、を有し、発光ユニット 7 6 3 b は、層 7 8 0 b と、発光層 7 7 2 と、層 7 9 0 b と、を有し、発光ユニット 7 6 3 c は、層 7 8 0 c と、発光層 7 7 3 と、層 7 9 0 c と、を有する。

[0 8 2 7]

なお、電荷発生層 7 8 5 a－b 及び電荷発生層 7 8 5 b－c については、上述した電荷発生層 7 8 5 の説明を参照することができる。

[0 8 2 8]

なお、図 4 7 A に示す構成においては、発光層 7 7 1、発光層 7 7 2 及び発光層 7 7 3 は、それぞれ同じ色の光を発する発光物質を有すると好ましい。具体的には、発光層 7 7 1、発光層 7 7 2 及び発光層 7 7 3 が、それぞれ赤色（R）の発光物質を有する構成（いわゆる R\R\R の 3 段タンデム構造）、発光層 7 7 1、発光層 7 7 2 及び発光層 7 7 3 が、それぞれ緑色（G）の発光物質を有する構成（いわゆる G\G\G の 3 段タンデム構造）、または発光層 7 7 1、発光層 7 7 2 及び発光層 7 7 3 が、それぞれ青色（B）の発光物質を有する構成（いわゆる B\B\B の 3 段タンデム構造）とすることができる。

[0 8 2 9]

なお、それぞれ同じ色の光を発する発光物質としては、上記の構成に限定されない。例えば、図 4 7 B に示すように、複数の発光物質を有する発光ユニットを積層したタンデム型の発光デバイスとしてもよい。図 4 7 B は、複数の発光ユニット（発光ユニット 7 6 3 a 及び発光ユニット 7 6 3 b）が電荷発生層 7 8 5 を介して、それぞれ直列に接続された構成である。また、発光ユニット 7 6 3 a は、層 7 8 0 a と、発光層 7 7 1 a と、発光層 7 7 1 b と、発光層 7 7 1 c と、層 7 9 0 a と、を有し、発光ユニット 7 6 3 b は、層 7 8 0 b と、発光層 7 7 2 a と、発光層 7 7 2 b と、発光層 7 7 2 c と、層 7 9 0 b と、を有する。

[0830]

図47Bに示す構成においては、発光層771aと、発光層771bと、発光層771cと、のそれぞれは、それぞれの発光が合わさることで白色発光(W)が可能な構成とする。また、発光層772aと、発光層772bと、発光層772cは、それぞれの発光が合わさることで白色発光(W)が可能な構成とする。すなわち、図47Cに示す構成においては、W\Wの2段タンデム構造である。なお、発光層771a、発光層771b及び発光層771cの発光物質の積層順については、特に限定はない。実施者が適宜最適な積層順を選択することができる。また、図示しないが、W\W\Wの3段タンデム構造、または4段以上のタンデム構造としてもよい。

[0831]

また、タンデム構造の発光デバイスを用いる場合、黄色(Y)の光を発する発光ユニットと、青色(B)の光を発する発光ユニットとを有するB\Yの2段タンデム構造、赤色(R)と緑色(G)の光を発する発光ユニットと、青色(B)の光を発する発光ユニットとを有するRG\Bの2段タンデム構造、青色(B)の光を発する発光ユニットと、黄色(Y)の光を発する発光ユニットと、青色(B)の光を発する発光ユニットとをこの順で有するB\Y\Bの3段タンデム構造、青色(B)の光を発する発光ユニットと、黄緑色(YG)の光を発する発光ユニットと、青色(B)の光を発する発光ユニットとをこの順で有するB\YG\Bの3段タンデム構造、青色(B)の光を発する発光ユニットと、緑色(G)の光を発する発光ユニットと、青色(B)の光を発する発光ユニットとをこの順で有するB\G\Bの3段タンデム構造などが挙げられる。

[0832]

また、図47Cに示すように、1つの発光物質を有する発光ユニットと、複数の発光物質を有する発光ユニットと、を組み合わせてもよい。

[0833]

具体的には、図47Cに示す構成においては、複数の発光ユニット(発光ユニット763a、発光ユニット763b及び発光ユニット763c)が電荷発生層(電荷発生層785a-b及び電荷発生層785b-c)を介して、それぞれ直列に接続された構成である。また、発光ユニット763aは、層780aと、発光層771と、層790aと、を有し、発光ユニット763bは、層780bと、発光層772aと、発光層772bと、発光層772cと、層790bと、を有し、発光ユニット763cは、層780cと、発光層773と、層790cと、を有する。

[0834]

例えば、図47Cに示す構成において、発光ユニット763aが青色(B)の光を発する発光ユニットであり、発光ユニット763bが赤色(R)、緑色(G)及び黄緑色(YG)の光を発する発光ユニットであり、発光ユニット763cが青色(B)の光を発する発光ユニットである、B\R・G・YG\Bの3段タンデム構造などを適用することができる。

[0835]

例えば、発光ユニットの積層数と色の順番としては、陽極側から、BとYとの2段構造、Bと発光ユニットXとの2段構造、BとYとBとの3段構造、BとXとBとの3段構造が挙げられ、発光ユニットXにおける発光層の積層数と色の順番としては、陽極側から、RとYとの2層構造、RとGとの2層構造、GとRとの2層構造、GとRとGとの3層構造、または、RとGとRとの3層構造などとしてすることができる。また、2つの発光層の間に他の層が設けられていてもよい。

[0836]

なお、図46C及び図46Dにおいても、図46Bに示すように、層780と、層790と、をそれぞれ独立に、2層以上の層からなる積層構造としてもよい。

[0837]

また、図46E及び図46Fにおいて、発光ユニット763aは、層780a、発光層771及び層790aを有し、発光ユニット763bは、層780b、発光層772及び層790bを有する。

[0838]

下部電極761が陽極であり、上部電極762が陰極である場合、層780a及び層780bは、それぞれ、正孔注入層、正孔輸送層及び電子ブロック層のうち一つまたは複数を有する。また、層790a及び層790bは、それぞれ、電子注入層、電子輸送層及び正孔ブロック層のうち一つまたは複数を有する。下部電極761が陰極であり、上部電極762が陽極である場合、層780aと層790aは互いに上記と逆の構成になり、層780bと層790bも互いに上記と逆の構成になる。

[0839]

下部電極761が陽極であり、上部電極762が陰極である場合、例えば、層780aは、正孔注入層と、正孔注入層上の正孔輸送層と、を有し、さらに、正孔輸送層上の電子ブロック層を有していてもよい。また、層790aは、電子輸送層を有し、さらに、発光層771と電子輸送層との間の正孔ブロック層を有していてもよい。また、層780bは、正孔輸送層を有し、さらに、正孔輸送層上の電子ブロック層を有していてもよい。また、層790bは、電子輸送層と、電子輸送層上の電子注入層と、を有し、さらに、発光層772と電子輸送層との間の正孔ブロック層を有していてもよい。下部電極761が陰極であり、上部電極762が陽極である場合、例えば、層780aは、電子注入層と、電子注入層上の電子輸送層と、を有し、さらに、電子輸送層上の正孔ブロック層を有していてもよい。また、層790aは、正孔輸送層を有し、さらに、発光層771と正孔輸送層との間の電子ブロック層を有していてもよい。また、層780bは、電子輸送層を有し、さらに、電子輸送層上の正孔ブロック層を有していてもよい。また、層790bは、正孔輸送層と、正孔輸送層上の正孔注入層と、を有し、さらに、発光層772と正孔輸送層との間の電子ブロック層を有していてもよい。

[0840]

また、タンデム構造の発光デバイスを作製する場合、2つの発光ユニットは、電荷発生層785を介して積層される。電荷発生層785は、少なくとも電荷発生領域を有する。電荷発生層785は、一対の電極間に電圧を印加したときに、2つの発光ユニットの一方に電子を注入し、他方に正孔を注入する機能を有する。

[0841]

次に、発光デバイスに用いることができる材料について説明する。

[0842]

下部電極761と上部電極762のうち、光を取り出す側の電極には、可視光を透過する導電膜を用いる。また、光を取り出さない側の電極には、可視光を反射する導電膜を用いることが好ましい。また、表示装置が赤外光を発する発光デバイスを有する場合には、光を取り出す側の電極には、可視光及び赤外光を透過する導電膜を用い、光を取り出さない側の電極には、可視光及び赤外光を反射する導電膜を用いることが好ましい。

[0843]

また、光を取り出さない側の電極にも可視光を透過する導電膜を用いてもよい。この場合、反射層と、EL層763との間に当該電極を配置することが好ましい。つまり、EL層763の発光は、当該反射層によって反射されて、表示装置から取り出されてもよい。

[0844]

発光デバイスの一対の電極を形成する材料としては、金属、合金、電気伝導性化合物、及びこれらの混合物などを適宜用いることができる。当該材料としては、具体的には、アルミニウム、チタン、クロム、マンガン、鉄、コバルト、ニッケル、銅、ガリウム、亜鉛、インジウム、スズ、モリブデン、タンタル、タングステン、パラジウム、金、白金、銀、イットリウム又はネオジムといった金属、及びこれらを適宜組み合わせて含む合金が挙げられる。また、当該材料としては、例えば、インジウムスズ酸化物（In-Sn酸化物、ITOともいう）、In-Si-Sn酸化物（ITSOともいう）、インジウム亜鉛酸化物（In-Zn酸化物）、及びIn-W-Zn酸化物が挙げられる。また、当該材料としては、アルミニウムを含む合金（アルミニウム合金）が挙げられる。アルミニウムを含む合金としては、例えば、アルミニウム（Al）とニッケル（Ni）とランタン（La）との合金（Al-Ni-La）が挙げられる。また、当該材料としては、銀とパラジウムと銅の合金（Ag-Pd-Cu、APCとも記す）が挙げられる。その他、当該材料としては、上記例示のない元素周期表の第1族または第2族に属する元素（例えば、リチウム、セシウム、カルシウム、ストロンチウム）、ユウロビウム、イッテルビウムなどの希土類金属及びこれらを適宜組み合わせて含む合金、グラフェンが挙げられる。

[0845]

発光デバイスには、微小光共振器（マイクロキャビティ）構造が適用されていることが好ましい。したがって、発光デバイスが有する一対の電極の一方は、可視光に対する透過性及び反射性を有する電極（半透過・半反射電極）を有することが好ましく、他方は、可視光に対する反射性を有する電極（反射電極）を有することが好ましい。発光デバイスがマイクロキャビティ構造を有することで、発光層から得られる発光を両電極間で共振させ、発光デバイスから射出される光を強めることができる。

[0846]

なお、半透過・半反射電極は、例えば、可視光に対する透過性及び反射性を有する導電体を用いることが好ましい。また、例えば、半透過・半反射電極は、反射電極として用いることができる導電層と、可視光に対する透過性を有する電極（透明電極ともいう）として用いることができる導電層と、の積層構造としてもよい。

[0847]

透明電極の光の透過率は、40%以上とする。例えば、発光デバイスの透明電極には、可視光（波長400nm以上750nm未満の光）の透過率が40%以上である電極を用いることが好ましい。半透過・半反射電極の可視光の反射率は、10%以上95%以下、好ましくは30%以上80%以下とする。反射電極の可視光の反射率は、40%以上100%以下、好ましくは70%以上100%以下とする。また、これらの電極の抵抗率は、 $1 \times 10^{-2} \Omega \text{ cm}$ 以下が好ましい。

[0848]

発光デバイスは少なくとも発光層を有する。また、発光デバイスは、発光層以外の層として、正孔注入性の高い物質、正孔輸送性の高い物質、正孔ブロック材料、電子輸送性の高い物質、電子ブ

ロック材料、電子注入性の高い物質、又はバイポーラ性の物質（電子輸送性及び正孔輸送性が高い物質）を含む層をさらに有していてもよい。例えば、発光デバイスは、発光層の他に、正孔注入層、正孔輸送層、正孔ブロック層、電荷発生層、電子ブロック層、電子輸送層及び電子注入層のうち1層以上を有する構成とすることができる。

[0849]

発光デバイスには低分子化合物及び高分子化合物のいずれを用いることもでき、無機化合物を含んでいてもよい。発光デバイスを構成する層は、それぞれ、蒸着法（真空蒸着法を含む）、転写法、印刷法、インクジェット法又は塗布法といった方法で形成することができる。

[0850]

発光層は、1種または複数種の発光物質を有する。発光物質としては、例えば、青色、紫色、青紫色、緑色、黄緑色、黄色、橙色又は赤色といった発光色を呈する物質を適宜用いる。また、発光物質として、近赤外光を発する物質を用いることもできる。

[0851]

発光物質としては、蛍光材料、燐光材料、TADF材料及び量子ドット材料が挙げられる。

[0852]

蛍光材料としては、例えば、ピレン誘導体、アントラセン誘導体、トリフェニレン誘導体、フルオレン誘導体、カルバゾール誘導体、ジベンゾチオフェン誘導体、ジベンゾフラン誘導体、ジベンゾキノキサリン誘導体、キノキサリン誘導体、ピリジン誘導体、ピリミジン誘導体、フェナントレン誘導体及びナフタレン誘導体が挙げられる。

[0853]

燐光材料としては、例えば、4H-トリアゾール骨格、1H-トリアゾール骨格、イミダゾール骨格、ピリミジン骨格、ピラジン骨格又はピリジン骨格を有する有機金属錯体（特にイリジウム錯体）、電子吸引基を有するフェニルピリジン誘導体を配位子とする有機金属錯体（特にイリジウム錯体）、白金錯体及び希土類金属錯体が挙げられる。

[0854]

発光層は、発光物質（ゲスト材料）に加えて、1種または複数種の有機化合物（例えば、ホスト材料及びアシスト材料）を有していてもよい。1種または複数種の有機化合物としては、正孔輸送性の高い物質（正孔輸送性材料）及び電子輸送性の高い物質（電子輸送性材料）の一方又は双方を用いることができる。正孔輸送性材料としては、後述の、正孔輸送層に用いることができる正孔輸送性の高い材料を用いることができる。電子輸送性材料としては、後述の、電子輸送層に用いることができる電子輸送性の高い材料を用いることができる。また、1種または複数種の有機化合物として、バイポーラ性材料又はTADF材料を用いてもよい。

[0855]

発光層は、例えば、燐光材料と、励起錯体を形成しやすい組み合わせである正孔輸送性材料及び電子輸送性材料と、を有することが好ましい。このような構成とすることにより、励起錯体から発光物質（燐光材料）へのエネルギー移動であるE x T E T（E x c i p l e x - T r i p l e t E n e r g y T r a n s f e r）を用いた発光を効率よく得ることができる。発光物質の最も低エネルギー側の吸収帯の波長と重なるような発光を呈する励起錯体を形成するような組み合わせを選択することで、エネルギー移動がスムーズとなり、効率よく発光を得ることができる。この構成により、発光デバイスの高効率、低電圧駆動及び長寿命を同時に実現できる。

[0856]

正孔注入層は、陽極から正孔輸送層に正孔を注入する層であり、正孔注入性の高い材料を含む層である。正孔注入性の高い材料としては、芳香族アミン化合物及び正孔輸送性材料とアクセプター性材料（電子受容性材料）とを含む複合材料などが挙げられる。

[0857]

正孔輸送性材料としては、後述の、正孔輸送層に用いることができる正孔輸送性の高い材料を用いることができる。

[0858]

アクセプター性材料としては、例えば、元素周期表における第4族乃至第8族に属する金属の酸化物を用いることができる。具体的には、当該金属の酸化物としては、酸化モリブデン、酸化バナジウム、酸化ニオブ、酸化タンタル、酸化クロム、酸化タングステン、酸化マンガン及び酸化レニウムが挙げられる。中でも特に、酸化モリブデンは大気中でも安定であり、吸湿性が低く、扱いやすいため好ましい。また、フッ素を含む有機アクセプター性材料を用いることもできる。また、キノジメタン誘導体、クロラニル誘導体及びヘキサアザトリフェニレン誘導体といった有機アクセプター性材料を用いることもできる。

[0859]

例えば、正孔注入性の高い材料として、正孔輸送性材料と、上述の元素周期表における第4族乃至第8族に属する金属の酸化物（代表的には酸化モリブデン）とを含む材料を用いてもよい。

[0860]

正孔輸送層は、正孔注入層によって、陽極から注入された正孔を発光層に輸送する層である。正孔輸送層は、正孔輸送性材料を含む層である。正孔輸送性材料としては、 $1 \times 10^{-6} \text{ cm}^2/\text{Vs}$ 以上の正孔移動度を有する物質が好ましい。なお、電子よりも正孔の輸送性の高い物質であれば、これら以外のものも用いることができる。正孔輸送性材料としては、 π 電子過剰型複素芳香族化合物（例えばカルバゾール誘導体、チオフェン誘導体及びフラン誘導体）、芳香族アミン（芳香族アミン骨格を有する化合物）といった正孔輸送性の高い材料が好ましい。

[0861]

電子ブロック層は、発光層に接して設けられる。電子ブロック層は、正孔輸送性を有し、かつ、電子をブロックすることが可能な材料を含む層である。電子ブロック層には、上記正孔輸送性材料のうち、電子ブロック性を有する材料を用いることができる。

[0862]

電子ブロック層は、正孔輸送性を有するため、正孔輸送層と呼ぶこともできる。また、正孔輸送層のうち、電子ブロック性を有する層を、電子ブロック層と呼ぶこともできる。

[0863]

電子輸送層は、電子注入層によって、陰極から注入された電子を発光層に輸送する層である。電子輸送層は、電子輸送性材料を含む層である。電子輸送性材料としては、 $1 \times 10^{-6} \text{ cm}^2/\text{Vs}$ 以上の電子移動度を有する物質が好ましい。なお、正孔よりも電子の輸送性の高い物質であれば、これら以外のものも用いることができる。電子輸送性材料には、キノリン骨格を有する金属錯体、ベンゾキノリン骨格を有する金属錯体、オキサゾール骨格を有する金属錯体、チアゾール骨格を有する金属錯体等の他、オキサジアゾール誘導体、トリアゾール誘導体、イミダゾール誘導体、オキサゾール誘導体、チアゾール誘導体、フェナントロリン誘導体、キノリン配位子を有するキノリン

誘導体、ベンゾキノリン誘導体、キノキサリン誘導体、ジベンゾキノキサリン誘導体、ピリジン誘導体、ビピリジン誘導体、ピリミジン誘導体及び含窒素複素芳香族化合物を含む π 電子不足型複素芳香族化合物といった電子輸送性の高い材料を用いることができる。

[0864]

正孔ブロック層は、発光層に接して設けられる。正孔ブロック層は、電子輸送性を有し、かつ、正孔をブロックすることが可能な材料を含む層である。正孔ブロック層には、上記電子輸送性材料のうち、正孔ブロック性を有する材料を用いることができる。

[0865]

正孔ブロック層は、電子輸送性を有するため、電子輸送層と呼ぶこともできる。また、電子輸送層のうち、正孔ブロック性を有する層を、正孔ブロック層と呼ぶこともできる。

[0866]

電子注入層は、陰極から電子輸送層に電子を注入する層であり、電子注入性の高い材料を含む層である。電子注入性の高い材料としては、アルカリ金属、アルカリ土類金属又はそれらの化合物を用いることができる。電子注入性の高い材料としては、電子輸送性材料とドナー性材料（電子供与性材料）とを含む複合材料を用いることもできる。

[0867]

また、電子注入性の高い材料の最低空軌道（LUMO: Lowest Unoccupied Molecular Orbital）準位は、陰極に用いる材料の仕事関数の値との差が小さい（具体的には0.5 eV以下）であることが好ましい。

[0868]

電子注入層には、例えば、リチウム、セシウム、イッテルビウム、フッ化リチウム（LiF）、フッ化セシウム（CsF）、フッ化カルシウム（CaF_x、Xは任意数）、8-（キノリノラト）リチウム（略称：Li_q）、2-（2-ピリジル）フェノラトリチウム（略称：LiPP）、2-（2-ピリジル）-3-ピリジノラトリチウム（略称：LiPPy）、4-フェニル-2-（2-ピリジル）フェノラトリチウム（略称：LiPPP）、リチウム酸化物（LiO_x）、炭酸セシウムといったアルカリ金属、アルカリ土類金属又はこれらの化合物を用いることができる。また、電子注入層は、2以上の積層構造としてもよい。当該積層構造としては、例えば、1層目にフッ化リチウムを用い、2層目にイッテルビウムを設ける構成が挙げられる。

[0869]

電子注入層は、電子輸送性材料を有していてもよい。例えば、非共有電子対を備え、電子不足型複素芳香環を有する化合物を、電子輸送性材料に用いることができる。具体的には、ピリジン環、ジアジン環（ピリミジン環、ピラジン環、ピリダジン環）及びトリアジン環から選ばれた1つ以上を有する化合物を用いることができる。

[0870]

なお、非共有電子対を備える有機化合物のLUMO準位は、-3.6 eV以上-2.3 eV以下であると好ましい。また、一般にCV（サイクリックボルタンメトリ）、光電子分光法、光吸収分光法、逆光電子分光法等により、有機化合物の最高被占有軌道（HOMO: Highest Occupied Molecular Orbital）準位及びLUMO準位を見積もることができる。

[0871]

例えば、4, 7-ジフェニル-1, 10-フェナントロリン（略称：B P h e n）、2, 9-ジ（ナフタレン-2-イル）-4, 7-ジフェニル-1, 10-フェナントロリン（略称：N B P h e n）、ジキノキサリノ〔2, 3-a : 2', 3'-c〕フェナジン（略称：H A T N A）、又は2, 4, 6-トリス〔3'-（ピリジン-3-イル）ビフェニル-3-イル〕-1, 3, 5-トリアジン（略称：T m P P P y T z）を、非共有電子対を備える有機化合物に用いることができる。なお、N B P h e nはB P h e nと比較して、高いガラス転移温度（T_g）を備え、耐熱性に優れる。

[0872]

電荷発生層は、上述の通り、少なくとも電荷発生領域を有する。電荷発生領域は、アクセプター性材料を含むことが好ましく、例えば、上述の正孔注入層に適用可能な、正孔輸送性材料とアクセプター性材料とを含むことが好ましい。

[0873]

また、電荷発生層は、電子注入性の高い材料を含む層を有することが好ましい。当該層は、電子注入バッファ層と呼ぶこともできる。電子注入バッファ層は、電荷発生領域と電子輸送層との間に設けられることが好ましい。電子注入バッファ層を設けることで、電荷発生領域と電子輸送層との間の注入障壁を緩和することができるため、電荷発生領域で生じた電子を電子輸送層に容易に注入することができる。

[0874]

電子注入バッファ層は、アルカリ金属またはアルカリ土類金属を含むことが好ましく、例えば、アルカリ金属の化合物またはアルカリ土類金属の化合物を含む構成とすることができる。具体的には、電子注入バッファ層は、アルカリ金属と酸素とを含む無機化合物、若しくは、アルカリ土類金属と酸素とを含む無機化合物を有することが好ましく、リチウムと酸素とを含む無機化合物（例えば、酸化リチウム（L i₂O））を有することがより好ましい。その他、電子注入バッファ層には、上述の電子注入層に適用可能な材料を好適に用いることができる。

[0875]

電荷発生層は、電子輸送性の高い材料を含む層を有することが好ましい。当該層は、電子リレー層と呼ぶこともできる。電子リレー層は、電荷発生領域と電子注入バッファ層との間に設けられることが好ましい。電荷発生層が電子注入バッファ層を有さない場合、電子リレー層は、電荷発生領域と電子輸送層との間に設けられることが好ましい。電子リレー層は、電荷発生領域と電子注入バッファ層（または電子輸送層）との相互作用を防いで、電子をスムーズに受け渡す機能を有する。

[0876]

電子リレー層としては、銅（I I）フタロシアニン（略称：C u P c）といったフタロシアニン系の材料、または、金属-酸素結合と芳香族配位子を有する金属錯体を用いることが好ましい。

[0877]

なお、上述の電荷発生領域、電子注入バッファ層及び電子リレー層は、断面形状、または特性などによって明確に区別できない場合がある。

[0878]

なお、電荷発生層は、アクセプター性材料の代わりに、ドナー性材料を有していてもよい。例えば、電荷発生層としては、上述の電子注入層に適用可能な、電子輸送性材料とドナー性材料とを含む層を有していてもよい。

[0879]

発光ユニットを積層する際、2つの発光ユニットの間に電荷発生層を設けることで、駆動電圧の上昇を抑制することができる。

[0880]

<画素回路の構成例>

ここで、表示領域DISに備えることができる画素回路の構成例について、説明する。

[0881]

図48A及び図48Bでは、表示領域DISに備えることができる画素回路の構成例、及び画素回路に接続される発光デバイス130について示している。また、図48Aは、表示領域DISに備えられる画素回路400に含まれる各回路素子の接続を示す図であり、図48Bは、駆動回路30を備える回路領域SIC、画素回路が有する複数のトランジスタを備える層OSL、発光デバイス130を備える層EMLの上下関係を模式的に示す図である。なお、図48Bに示す表示装置DSP2の表示領域DISは、一例として、層OSL及び層EMLを有している。また、図48Bに示す層OSLに含まれているトランジスタ500p1、トランジスタ500p2、及びトランジスタ500p3は、例えば、図35乃至図37及び図40におけるトランジスタ500p、並びに図39におけるトランジスタ500Apに相当する。また、図48Bに示す層EMLに含まれている発光デバイス130は、例えば、図35、図36、図39及び図40における発光デバイス130R、発光デバイス130G又は発光デバイス130Bに相当する。

[0882]

図48A及び図48Bに一例として示す画素回路400は、トランジスタ500p1、トランジスタ500p2、トランジスタ500p3及び容量素子600を備える。トランジスタ500p1、トランジスタ500p2及びトランジスタ500p3は、一例として上述したトランジスタ500又はトランジスタ500Aに適用できるトランジスタとすることができる。つまり、トランジスタ500p1、トランジスタ500p2及びトランジスタ500p3は、OSトランジスタとすることができる。又は、トランジスタ500p1、トランジスタ500p2及びトランジスタ500p3は、一例として、Siトランジスタとすることができる。特に、トランジスタ500p1、トランジスタ500p2及びトランジスタ500p3をOSトランジスタとした場合、トランジスタ500p1、トランジスタ500p2及びトランジスタ500p3のそれぞれは、バックゲート電極を備えていることが好ましく、この場合、バックゲート電極にゲート電極と同じ信号を与える構成、バックゲート電極にゲート電極と異なる信号を与える構成とすることができる。なお、図48A及び図48Bでは、トランジスタ500p1、トランジスタ500p2及びトランジスタ500p3にバックゲート電極を図示しているが、トランジスタ500p1、トランジスタ500p2及びトランジスタ500p3は、バックゲート電極を有さない構成としてもよい。

[0883]

また、トランジスタ500p1乃至トランジスタ500p3から選ばれた一以上をOSトランジスタとし、残りをSiトランジスタとしてもよい。特に、本明細書等では、OSトランジスタとSiトランジスタとを有する回路を、LTPOと呼称する場合がある。

[0884]

トランジスタ500p2は、トランジスタ500p1と電氣的に接続されるゲート電極と、発光デバイス130と電氣的に接続される第1の電極と、配線ANOと電氣的に接続される第2の電極

と、を備える。配線ANOは、発光デバイス130に電流を供給するための電位を与えるための配線である。

[0885]

トランジスタ500p1は、トランジスタ500p2のゲート電極と電氣的に接続される第1の端子と、ソース線として機能する配線SLと電氣的に接続される第2の端子と、ゲート線として機能する配線G1の電位に基づいて、オン状態又はオフ状態との切り替えを制御する機能を有するゲート電極と、を備える。

[0886]

トランジスタ500p3は、配線V0と電氣的に接続される第1の端子と、発光デバイス130と電氣的に接続される第2の端子と、ゲート線として機能する配線G2の電位に基づいて、オン状態又はオフ状態との切り替えを制御する機能を有するゲート電極と、を備える。配線V0は、基準電位を与えるための配線及び画素回路400を流れる電流を駆動回路30に出力するための配線である。

[0887]

容量素子600は、トランジスタ500p2のゲート電極と電氣的に接続される導電膜と、トランジスタ500p3の第2の電極と電氣的に接続される導電膜を備える。

[0888]

発光デバイス130は、トランジスタ500p2の第1の電極に電氣的に接続される第1の電極と、配線VCOMに電氣的に接続される第2の電極と、を備える。配線VCOMは、発光デバイス130に電流を供給するための電位を与えるための配線である。

[0889]

これにより、トランジスタ500p2のゲート電極に与えられる画像信号に応じて発光デバイス130が射出する光の強度を制御することができる。またトランジスタ500p3を介して与えられる配線V0の基準電位によって、トランジスタ500p2のゲートーソース間電圧のばらつきを抑制することができる。

[0890]

また配線V0から、画素パラメータの設定に用いることのできる電流値を出力することができる。より具体的には、配線V0は、トランジスタ500p2に流れる電流、又は発光デバイス130に流れる電流を、外部に出力するためのモニタ線として機能させることができる。配線V0に出力された電流は、例えば、ソースフォロア回路により電圧に変換され、外部に出力される。または、例えばA-Dコンバータなどによりデジタル信号に変換され、上記の実施の形態で説明した、機能回路領域MFNCに含まれるAIアクセラレータに出力することができる。

[0891]

なお、図48Bに一例として示す構成では、画素回路400と、駆動回路30と、を電氣的に接続する配線を短くすることができるため、当該配線の配線抵抗を小さくすることができる。よって、データの書き込みを高速に行うことができるため、表示装置DSP2を高速に駆動させることができる。これにより、表示装置DSP2が有する画素回路400を多くしても十分なフレーム期間を確保することができるため、表示装置DSP2の画素密度を高めることができる。また、表示装置DSP2の画素密度を高めることにより、表示装置DSP2により表示される画像の精細度を高めることができる。例えば、表示装置DSP2の画素密度を、500ppi以上、好ましくは100

0 p p i 以上、より好ましくは3 0 0 0 p p i 以上、更に好ましくは5 0 0 0 p p i 以上、更に好ましくは6 0 0 0 p p i 以上とすることができる。よって、表示装置D S P 2は、例えば、AR用の表示装置又はVR用の表示装置とすることができ、ヘッドマウントディスプレイといった、表示部とユーザの距離が近い電子機器に好適に適用することができる。

[0 8 9 2]

<画素のレイアウト>

ここでは、画素レイアウトについて説明する。副画素の配列に特に限定はなく、様々な方法を用いることができる。副画素の配列としては、例えば、ストライプ配列、Sストライプ配列、マトリクス配列、デルタ配列、ベイヤー配列、及びペンタイル配列が挙げられる。

[0 8 9 3]

また、副画素の上面形状としては、例えば、三角形、四角形（長方形、正方形を含む）、五角形などの多角形、これら多角形の角が丸い形状、楕円形又は円形が挙げられる。ここで、副画素の上面形状は、発光デバイスの発光領域の上面形状に相当する。

[0 8 9 4]

図4 9 Aに示す画素8 0には、ストライプ配列が適用されている。図4 9 Aに示す画素8 0は、副画素8 0 a、副画素8 0 b、及び副画素8 0 cの3つの副画素から構成される。例えば、図5 0 Aに示すように、副画素8 0 aを赤色の副画素Rとし、副画素8 0 bを緑色の副画素Gとし、副画素8 0 cを青色の副画素Bとしてもよい。

[0 8 9 5]

図4 9 Bに示す画素8 0には、Sストライプ配列が適用されている。図4 9 Bに示す画素8 0は、副画素8 0 a、副画素8 0 b及び副画素8 0 cの3つの副画素から構成される。例えば、図5 0 Bに示すように、副画素8 0 aを青色の副画素Bとし、副画素8 0 bを赤色の副画素Rとし、副画素8 0 cを緑色の副画素Gとしてもよい。

[0 8 9 6]

図4 9 Cは、各色の副画素がジグザグに配置されている例である。具体的には、平面視において、列方向に並ぶ2つの副画素（例えば、副画素8 0 aと副画素8 0 b、若しくは副画素8 0 bと副画素8 0 c）の上辺の位置がずれている。例えば、図5 0 Cに示すように、副画素8 0 aを赤色の副画素Rとし、副画素8 0 bを緑色の副画素Gとし、副画素8 0 cを青色の副画素Bとしてもよい。

[0 8 9 7]

図4 9 Dに示す画素8 0は、角が丸い略台形の上面形状を有する副画素8 0 aと、角が丸い略三角形の上面形状を有する副画素8 0 bと、角が丸い略四角形または略六角形の上面形状を有する副画素8 0 cと、を有する。また、副画素8 0 aは、副画素8 0 bよりも発光面積が広い。このように、各副画素の形状及びサイズはそれぞれ独立に決定することができる。例えば、信頼性の高い発光デバイスを有する副画素ほど、サイズを小さくすることができる。例えば、図5 0 Dに示すように、副画素8 0 aを緑色の副画素Gとし、副画素8 0 bを赤色の副画素Rとし、副画素8 0 cを青色の副画素Bとしてもよい。

[0 8 9 8]

図4 9 Eに示す画素7 0 A及び画素7 0 Bには、ペンタイル配列が適用されている。図4 9 Eでは、副画素8 0 a及び副画素8 0 bを有する画素7 0 Aと、副画素8 0 b及び副画素8 0 cを有する画素7 0 Bと、が交互に配置されている例を示す。例えば、図5 0 Eに示すように、副画素8 0

aを赤色の副画素Rとし、副画素80bを緑色の副画素Gとし、副画素80cを青色の副画素Bとしてもよい。

[0899]

図49F及び図49Gに示す画素70A及び画素70Bは、デルタ配列が適用されている。画素70Aは上の行（1行目）に、2つの副画素（副画素80a及び副画素80b）を有し、下の行（2行目）に、1つの副画素（副画素80c）を有する。画素70Bは上の行（1行目）に、1つの副画素（副画素80c）を有し、下の行（2行目）に、2つの副画素（副画素80a及び副画素80b）を有する。例えば、図50Fに示すように、副画素80aを赤色の副画素Rとし、副画素80bを緑色の副画素Gとし、副画素80cを青色の副画素Bとしてもよい。

[0900]

図49Fは、各副画素が、角が丸い略四角形の上面形状を有する例であり、図49Gは、各副画素が、円形の上面形状を有する例である。

[0901]

フォトリソグラフィ法では、加工するパターンが微細になるほど、光の回折の影響を無視できなくなるため、露光によりフォトマスクのパターンを転写する際に忠実性が損なわれ、レジストマスクを所望の形状に加工することが困難になる。そのため、フォトマスクのパターンが矩形であっても、角が丸まったパターンが形成されやすい。したがって、副画素の上面形状が、多角形の角が丸い形状、楕円形、又は円形になることがある。

[0902]

さらに、本発明の一態様の表示装置の作製方法では、レジストマスクを用いてEL層を島状に加工する。EL層上に形成したレジスト膜は、EL層の耐熱温度よりも低い温度で硬化する必要がある。そのため、EL層の材料の耐熱温度及びレジスト材料の硬化温度によっては、レジスト膜の硬化が不十分になる場合がある。硬化が不十分なレジスト膜は、加工時に所望の形状から離れた形状をとることがある。その結果、EL層の上面形状が、多角形の角が丸い形状、楕円形又は円形などになることがある。例えば、上面形状が正方形のレジストマスクを形成しようとした場合に、円形の上面形状のレジストマスクが形成され、EL層の上面形状が円形になることがある。

[0903]

なお、EL層の上面形状を所望の形状とするために、設計パターンと、転写パターンとが、一致するように、あらかじめマスクパターンを補正する技術（OPC（Optical Proximity Correction：光近接効果補正）技術）を用いてもよい。具体的には、OPC技術では、マスクパターン上の図形コーナー部などに補正用のパターンを追加する。

[0904]

図51A乃至図51Cに示す画素80は、ストライプ配列が適用されている。

[0905]

図51Aは、各副画素が、長方形の上面形状を有する例であり、図51Bは、各副画素が、2つの半円と長方形をつなげた上面形状を有する例であり、図51Cは、各副画素が、楕円形の上面形状を有する例である。

[0906]

図51D乃至図51Fに示す画素80は、マトリクス配列が適用されている。

[0907]

図51Dは、各副画素が、正方形の上面形状を有する例であり、図51Eは、各副画素が、角が丸い略正方形の上面形状を有する例であり、図51Fは、各副画素が、円形の上面形状を有する例である。

[0908]

図51A乃至図51Fに示す画素80は、副画素80a、副画素80b、副画素80c及び副画素80dの、4つの副画素から構成される。副画素80a、副画素80b、副画素80c及び副画素80dは、それぞれ異なる色の光を発する。例えば、副画素80a、副画素80b、副画素80c及び副画素80dは、それぞれ、赤色、緑色、青色及び白色の副画素とすることができる。例えば、図52A及び図52Bに示すように、副画素80a、副画素80b、副画素80c及び副画素80dは、それぞれ、赤色、緑色、青色及び白色の副画素とすることができる。または、副画素80a、副画素80b、副画素80c及び副画素80dは、それぞれ、赤色、緑色、青色及び赤外発光の副画素とすることができる。

[0909]

副画素80dは、発光デバイスを有する。当該発光デバイスは、一例として、画素電極と、EL層と、共通電極と、を有する。なお、上記画素電極は、導電体112a乃至導電体112c、又は導電体126a乃至導電体126cと同様の材料を用いればよい。また、上記EL層は、例えば、第1の層113a、第2の層113b又は第3の層113cと同様の材料を用いればよい。

[0910]

図51Gでは、1つの画素80が2行3列で構成されている例を示す。画素80は、上の行（1行目）に、3つの副画素（副画素80a、副画素80b及び副画素80c）を有し、下の行（2行目）に、3つの副画素80dを有する。言い換えると、画素80は、左の列（1列目）に、副画素80a及び副画素80dを有し、中央の列（2列目）に副画素80b及び副画素80dを有し、右の列（3列目）に副画素80c及び副画素80dを有する。図51Gに示すように、上の行と下の行との副画素の配置を揃える構成とすることで、製造プロセスで生じうるゴミなどを効率よく除去することが可能となる。したがって、表示品位の高い表示装置を提供することができる。

[0911]

図51Hでは、1つの画素80が、2行3列で構成されている例を示す。画素80は、上の行（1行目）に、3つの副画素（副画素80a、副画素80b及び副画素80c）を有し、下の行（2行目）に、1つの副画素（副画素80d）を有する。言い換えると、画素80は、左の列（1列目）に、副画素80aを有し、中央の列（2列目）に副画素80bを有し、右の列（3列目）に副画素80cを有し、さらに、この3列にわたって、副画素80dを有する。

[0912]

なお、図51G及び図51Hに示す画素80において、例えば、図52C及び図52Dに示すように、副画素80aを赤色の副画素Rとし、副画素80bを緑色の副画素Gとし、副画素80cを青色の副画素Bとし、副画素80dを白色の副画素Wとすることができる。

[0913]

次に、図43の表示装置DSP2Fに適用できる画素レイアウトの一例について説明する。つまり、表示装置DSP2Fの画素レイアウトは、図43に示す表示装置DSP2FのLEDチップ180の平面視とみなすことができる。

[0914]

図53Aに示す画素80は、各副画素が長方形の上面形状を有し、かつ各副画素の長辺が隣り合うように配置されている例を示している。なお、各副画素は、互いに接するように配置されていてもよいし、互いに接しないように配置されていてもよい。

[0915]

図53Aに示す画素80は、副画素80a、副画素80b及び副画素80cの3つの副画素から構成される。一例として、副画素80a、副画素80b及び副画素80cのそれぞれは、異なる色を発する。例えば、ここでの異なる色としては、赤色(R)、緑色(G)及び青色(B)とすることができる。このため、図53Bに示すように、副画素80a、副画素80b、及び副画素80cは、それぞれ赤色(R)、緑色(G)及び青色(B)の副画素とすることができる。

[0916]

なお、図53Bにおいて、副画素80a、副画素80b及び副画素80cのそれぞれが発する光の色は、赤色(R)、緑色(G)、及び青色(B)以外では、シアン(C)、マゼンタ(M)、黄色(Y)及び白色(W)とすることができる。

[0917]

また、図53Aに示す画素80の副画素の数は3つとしているが、図53Aに示す画素80の副画素の数は、1つとしてもよいし、2つとしてもよいし、4つ以上としてもよい。例えば、図53Cに示すように、画素80は、副画素80a、副画素80b、副画素80c及び副画素80dの4つの副画素から構成される。図53Cの画素80は、図53Aの画素80と同様に、副画素80a、副画素80b及び副画素80cのそれぞれが、異なる色を発する構成とすることができる。例えば、ここでの異なる色としては、赤色(R)、緑色(G)、青色(B)及び白色(W)とすることができる。このため、図53Dに示すように、副画素80a、副画素80b、副画素80c及び副画素80dは、それぞれ赤色(R)、緑色(G)、青色(B)及び白色(W)の副画素とすることができる。

[0918]

なお、図53Dにおいて、副画素80a、副画素80b、副画素80c及び副画素80dのそれぞれが発する光の色は、赤色(R)、緑色(G)、青色(B)及び白色(W)以外では、シアン(C)、マゼンタ(M)及び黄色(Y)とすることができる。

[0919]

なお、図53A及び図53Cの画素80では、各副画素の長辺が隣り合うように配置されている例を示しているが、画素80は、各副画素の短辺が隣り合うように配置されていてもよい。

[0920]

図53Eは、各画素が正方形の上面形状を有し、かつ電極が形成されている例を示している。

[0921]

図53Eに示す画素80は、副画素80a、副画素80b及び副画素80cの3つの副画素と、電極として機能する導電体81と、から構成される。

[0922]

一例として、副画素80a、副画素80b及び副画素80cのそれぞれは、異なる色を発する。例えば、ここでの異なる色としては、赤色(R)、緑色(G)及び青色(B)とすることができる。このため、図53Fに示すように、副画素80a、副画素80b及び副画素80cは、それぞれ赤色(R)、緑色(G)及び青色(B)の副画素とすることができる。

[0923]

なお、図53Fにおいて、副画素80a、副画素80b及び副画素80cのそれぞれが発する光の色は、赤色(R)、緑色(G)及び青色(B)以外では、シアン(C)、マゼンタ(M)、黄色(Y)及び白色(W)とすることができる。

[0924]

また、導電体81は、例えば、副画素80a、副画素80b及び副画素80cに備わる発光ダイオードの共通電極としての機能を有する。特に、当該共通電極としては、副画素80a、副画素80b及び副画素80cのそれぞれに含まれている発光ダイオードのカソード電極として機能することが好ましい。

[0925]

導電体81は、例えば、図44AのLEDパッケージ170における、電極172又は電極173に相当する。そのため、導電体81に適用できる材料は、例えば、電極172又は電極173に適用できる材料を用いることができる。

[0926]

なお、導電体81は、図53Gに示すとおり、副画素80a、副画素80b及び副画素80cのそれぞれが、導電体81の上方に位置するように設けられていてもよい。つまり、導電体81上に、副画素80a、副画素80b及び副画素80cが設けられている。図53Gの画素80の導電体81は、図44BのLEDパッケージ170A1における、電極172に相当する。

[0927]

また、図53Gの画素80には、図44BのLEDパッケージ170A1における電極173に相当する導電体を図示していないが、図53Gの画素80には、電極173に相当する導電体を有していてもよい。

[0928]

また、図53Eに示す画素80の電極は1つとしているが、図53Eに示す画素80の電極の数は、2つ以上としてもよい。例えば、画素80には、副画素の数に応じて、電極の数を決めてもよい。一例として、図53Eの画素80において、3つの副画素のそれぞれに、アノード電極及びカソード電極を設ける場合、画素80に設けられる電極の数は6つとすることができる。また、一例として、図53Eの画素80において、3つの副画素のそれぞれに、アノード電極と、カソード電極となる共通電極と、を設ける場合、画素80に設けられる電極の数は4つとすることができる。

[0929]

また、図53Eの画素80は、導電体81が正方形の上面形状となっているが、導電体81の上面形状は、角が丸い略台形、角が丸い略正方形、角が丸い略六角形、半円と長方形を繋げた形状、円形又は楕円形といった様々な形状としてもよい。

[0930]

また、図49A乃至図49G、図51A乃至図51H、図53A及び図53Cのそれぞれに示している画素80に含まれている複数の副画素の一は、導電体81に置き換えた構成としてもよい。

[0931]

なお、本明細書等で開示された、絶縁体、導電体及び半導体は、PVD(Physical Vapor Deposition)法、又はCVD法により形成することができる。PVD法としては、例えば、スパッタリング法、抵抗加熱蒸着法、電子ビーム蒸着法、MBE(Molecular

ar Beam Epitaxy) 法又はPLD法が挙げられる。また、CVD法としては、プラズマCVD法及び熱CVD法が挙げられる。特に、熱CVD法としては、例えば、MOCVD (Metal Organic Chemical Vapor Deposition) 法及びALD法が挙げられる。

[0932]

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

[0933]

熱CVD法は、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

[0934]

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後に不活性ガス（例えば、アルゴン、或いは窒素）などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の薄い層を成膜し、後から導入される第2の原料ガスと反応して、第2の薄い層が第1の薄い層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

[0935]

MOCVD法及びALD法といった熱CVD法は、これまでに記載した実施形態に開示された金属膜、半導体膜、及び無機絶縁膜といった様々な膜を形成することができ、例えば、In-Ga-Zn-O膜を成膜する場合には、トリメチルインジウム ($\text{In}(\text{CH}_3)_3$)、トリメチルガリウム ($\text{Ga}(\text{CH}_3)_3$)、及びジメチル亜鉛 ($\text{Zn}(\text{CH}_3)_2$) を用いる。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム ($\text{Ga}(\text{C}_2\text{H}_5)_3$) を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛 ($\text{Zn}(\text{C}_2\text{H}_5)_2$) を用いることもできる。

[0936]

例えば、ALD法を利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体（例えば、ハフニウムアルコキシド、テトラキスジメチルアミドハフニウム (TDMAH, $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$) といったハフニウムアミド) を気化させた原料ガスと、酸化剤としてオゾン (O_3) の2種類のガスを用いる。また、他の材料としては、テトラキス (エチルメチルアミド) ハフニウムが挙げられる。

[0937]

例えば、ALD法を利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体（例えば、トリメチルアルミニウム (TMA, $\text{Al}(\text{CH}_3)_3$)

3)) を気化させた原料ガスと、酸化剤として H_2O の2種類のガスを用いる。また、他の材料としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（2，2，6，6-テトラメチルー3，5-ヘプタンジオナート）が挙げられる。

[0938]

例えば、ALD法を利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、酸化性ガス（例えば、 O_2 、一酸化二窒素など）のラジカルを供給して吸着物と反応させる。

[0939]

例えば、ALD法を利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを順次繰り返し導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

[0940]

例えば、ALD法を利用する成膜装置により酸化物半導体膜として In-Ga-Zn-O 膜を成膜する場合には、プリカーサ（一般的には、例えば、前駆体又は金属プリカーサと呼ばれる場合がある）と酸化剤（一般的には、例えば、反応剤、リアクタント又は非金属プリカーサと呼ばれる場合がある）を順次繰り返し導入して形成する。具体的には、例えば、プリカーサである $\text{In}(\text{CH}_3)_3$ ガスと酸化剤である O_3 ガスを導入して In-O 層を形成し、その後、プリカーサである $\text{Ga}(\text{CH}_3)_3$ ガスと酸化剤である O_3 ガスを導入して Ga-O 層を形成し、更にその後プリカーサである $\text{Zn}(\text{CH}_3)_2$ ガスと酸化剤である O_3 ガスを導入して Zn-O 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを用いて In-Ga-O 層、 In-Zn-O 層又は Ga-Zn-O 層といった混合酸化物層を形成しても良い。なお、 O_3 ガスに替えて不活性ガス（例えば、アルゴン）で水をバブリングして得られた H_2O ガスを用いても良いが、 H を含まない O_3 ガスを用いる方が好ましい。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Ga}(\text{CH}_3)_3$ ガスにかえて、 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Zn}(\text{CH}_3)_2$ ガスにかえて、 $\text{Zn}(\text{C}_2\text{H}_5)_2$ ガスを用いても良い。

[0941]

また、本発明の一態様の電子機器に備わる表示部の画面率（アスペクト比）については、特に限定はない。例えば、表示部としては、1：1（正方形）、4：3、16：9、16：10、21：9又は32：9といった様々な画面比率に対応することができる。

[0942]

また、本発明の一態様の電子機器に備わる表示部の形状は、特に限定はない。例えば、表示部としては、矩形型、多角形（例えば、八角形など）、円型又は楕円型といった様々な形状に対応することができる。

[0943]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせることもできる。

[0944]

(実施の形態3)

本実施の形態では、本発明の一態様を用いて作製された表示装置を備える電子機器について説明する。なお、本実施の形態で例示する電子機器は、表示部に本発明の一態様の表示装置を備えるものである。したがって、高い精細度が実現された電子機器である。

[0945]

本発明の一態様は、表示装置と、アンテナ、バッテリー、筐体、カメラ、スピーカ、マイク、タッチセンサ及び操作ボタンから選ばれた一以上と、を有する。

[0946]

また、本発明の一態様の電子機器は、二次電池を有していてもよく、非接触電力伝送を用いて、二次電池を充電することができると好ましい。

[0947]

二次電池としては、例えば、リチウムイオン二次電池（例えば、ゲル状電解質を用いるリチウムポリマー電池（リチウムイオンポリマー電池））、ニッケル水素電池、ニカド電池、有機ラジカル電池、鉛蓄電池、空気二次電池、ニッケル亜鉛電池又は銀亜鉛電池が挙げられる。

[0948]

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像、情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

[0949]

本発明の一態様の電子機器の表示部には、例えばフルハイビジョン、4K2K、8K4K、16K8K又はそれ以上の画面解像度を有する映像を表示させることができる。

[0950]

電子機器としては、例えば、テレビジョン装置、ノート型のパーソナルコンピュータ、モニタ装置、デジタルサイネージ、パチンコ機及びゲーム機といった比較的大きな画面を備える電子機器が挙げられる。また、電子機器としては、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末又は音響再生装置が挙げられる。

[0951]

本発明の一態様が適用された電子機器は、家屋又はビルといった建物の内壁又は外壁が有する平面又は曲面に沿って組み込むことができる。また当該電子機器は、自動車等の内装または外装等が有する平面又は曲面に沿って組み込むことができる。

[0952]

[携帯電話]

図54Aに示す情報端末5500は、情報端末の一種である携帯電話（スマートフォン）である。情報端末5500は、筐体5510と、表示部5511と、を有しており、入力用インターフェースとして、タッチパネルが表示部5511に備えられ、ボタンが筐体5510に備えられている。

[0953]

[ウェアラブル端末]

図54Bは、ウェアラブル端末の一例である情報端末5900の外観を示す図である。情報端末5900は、筐体5901、表示部5902、操作ボタン5903、竜頭5904及びバンド5905を有する。

[0954]

[情報端末]

また、図 5 4 C には、ノート型情報端末 5 3 0 0 が図示されている。図 5 4 C に示すノート型情報端末 5 3 0 0 には、一例として、筐体 5 3 3 0 a に表示部 5 3 3 1 が備えられ、筐体 5 3 3 0 b にキーボード部 5 3 5 0 が備えられている。

[0 9 5 5]

なお、上記では、電子機器としてスマートフォン、ウェアラブル端末、及びノート型情報端末を例として、それぞれ図 5 4 A 乃至図 5 4 C に図示したが、スマートフォン、ウェアラブル端末、ノート型情報端末以外の情報端末を適用することができる。スマートフォン、ウェアラブル端末、ノート型情報端末以外の情報端末としては、例えば、PDA (Personal Digital Assistant)、デスクトップ用情報端末及びワークステーションが挙げられる。

[0 9 5 6]

[カメラ]

図 5 4 D は、ファインダー 8 1 0 0 を取り付けた状態のカメラ 8 0 0 0 の外観を示す図である。カメラ 8 0 0 0 は、筐体 8 0 0 1、表示部 8 0 0 2、操作ボタン 8 0 0 3 及びシャッターボタン 8 0 0 4 を有する。またカメラ 8 0 0 0 には、着脱可能なレンズ 8 0 0 6 が取り付けられている。ファインダー 8 1 0 0 は、筐体 8 1 0 1、表示部 8 1 0 2 及びボタン 8 1 0 3 を有する。

[0 9 5 7]

なお、カメラ 8 0 0 0 は、レンズ 8 0 0 6 と筐体とが一体となってもよい。

[0 9 5 8]

カメラ 8 0 0 0 は、シャッターボタン 8 0 0 4 を押すことにより、又はタッチパネルとして機能する表示部 8 0 0 2 をタッチすることにより、撮像することができる。

[0 9 5 9]

筐体 8 0 0 1 は、電極を有するマウントを有し、ファインダー 8 1 0 0 の他、例えば、ストロボ装置を接続することができる。

[0 9 6 0]

筐体 8 1 0 1 は、カメラ 8 0 0 0 のマウントと係合するマウントにより、カメラ 8 0 0 0 に取り付けられている。ファインダー 8 1 0 0 はカメラ 8 0 0 0 から受信した映像を表示部 8 1 0 2 に表示させることができる。

[0 9 6 1]

ボタン 8 1 0 3 は、電源ボタンとしての機能を有する。

[0 9 6 2]

カメラ 8 0 0 0 の表示部 8 0 0 2 及びファインダー 8 1 0 0 の表示部 8 1 0 2 に、本発明の一態様の表示装置を適用することができる。なお、ファインダーが内蔵されたカメラ 8 0 0 0 であってもよい。

[0 9 6 3]

[ゲーム機]

図 5 4 E は、ゲーム機の一例である携帯ゲーム機 5 2 0 0 の外観を示す図である。携帯ゲーム機 5 2 0 0 は、筐体 5 2 0 1、表示部 5 2 0 2 及びボタン 5 2 0 3 を有する。

[0 9 6 4]

また、携帯ゲーム機 5 2 0 0 の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ

レイ、ゲーム用ディスプレイ及びヘッドマウントディスプレイに備えられる表示装置によって、出力することができる。

[0965]

携帯ゲーム機5200に上記実施の形態で説明した表示装置を適用することによって、低消費電力の携帯ゲーム機5200を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路及びモジュールへの影響を少なくすることができる。

[0966]

図54Eでは、ゲーム機の一例として携帯ゲーム機を図示しているが、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、据え置き型ゲーム機、娯楽施設（例えば、ゲームセンター及び遊園地）などに設置されるアーケードゲーム機及びスポーツ施設に設置されるバッティング練習用の投球マシンが挙げられる。

[0967]

[テレビジョン装置]

図54Fは、テレビジョン装置を示す斜視図である。テレビジョン装置9000は、筐体9002、表示部9001、スピーカ9003、操作キー9005（例えば、電源スイッチ又は操作スイッチを含む）、接続端子9006及びセンサ9007（例えば、力、変位、位置、速度、加速度、角速度、回転数、距離、光（赤外線を含む）、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動又はにおいを測定する機能を含むもの。又は、例えば、におい又は光（赤外線を含む）を検知又は検出する機能を含むもの。）を有する。本発明の一態様の記憶装置は、テレビジョン装置に備えることができる。テレビジョン装置は、例えば、50インチ以上、又は100インチ以上の表示部9001を組み込むことが可能である。

[0968]

テレビジョン装置9000に上記実施の形態で説明した表示装置を適用することによって、低消費電力のテレビジョン装置9000を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路及びモジュールへの影響を少なくすることができる。

[0969]

[移動体]

本発明の一態様の表示装置は、移動体である自動車の運転席周辺に適用することもできる。

[0970]

図54Gは、自動車の室内におけるフロントガラス周辺を表す図である。図54Gでは、ダッシュボードに取り付けられた表示パネル5701、表示パネル5702、表示パネル5703の他、ピラーに取り付けられた表示パネル5704を図示している。

[0971]

表示パネル5701乃至表示パネル5703は、ナビゲーション情報、スピードメーター、タコメーター、走行距離、燃料計、ギア状態、空調の設定を表示することで、様々な情報を提供することができる。また、表示パネルに表示される表示項目及びレイアウトは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル5701乃至表示パネル5703は、照明装置として用いることも可能である。

[0972]

表示パネル5704には、車体に設けられた撮像手段からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像手段からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル5704は、照明装置として用いることもできる。

[0973]

本発明の一態様の表示装置は、例えば、表示パネル5701乃至表示パネル5704に適用できる。

[0974]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船又は飛行体（例えば、ヘリコプター、無人航空機（ドローン）、飛行機若しくはロケット）も挙げることができ、これらの移動体に本発明の一態様の表示装置を適用することができる。

[0975]

[電子看板]

図54Hは、壁に取り付けが可能な電子看板（デジタルサイネージ）の例を示している。図54Hは、電子看板6200が壁6201に取り付けられている様子を示している。本発明の一態様の表示装置は、例えば、電子看板6200の表示部に適用することができる。また、電子看板6200には、タッチパネルなどのインターフェースなどが設けられていてもよい。

[0976]

なお、上述では、電子看板の一例として、壁に取り付けが可能な電子機器の例を示しているが、電子看板の種類はこれに限定されない。例えば、電子看板としては、柱に取り付けるタイプ、地面に置くスタンドタイプ又は建築物の屋上若しくは側壁に設置するタイプが挙げられる。

[0977]

[ヘッドマウントディスプレイ]

図54Iは、例えばVR向けのヘッドマウントディスプレイである電子機器8300の外観を示す図である。電子機器8300は、筐体8301と、表示部8302と、バンド状の固定具8304と、頭部に装着する固定具8304aと、一対のレンズ8305と、を有する。

[0978]

また、図54Iには図示していないが、電子機器8300は、操作ボタン又は電源ボタンといったインターフェースが備えられていてもよい。

[0979]

使用者は、レンズ8305を通して、表示部8302の表示を視認することができる。なお、表示部8302を湾曲して配置させると、使用者が高い臨場感を感じることができると好ましい。また、表示部8302の異なる領域に表示された別の画像を、レンズ8305を通して視認することで、視差を用いた3次元表示を行うこともできる。なお、表示部8302を1つ設ける構成に限らず、表示部8302を2つ設け、使用者の片方の目につき1つの表示部を配置してもよい。

[0980]

なお、表示部8302には、例えば、極めて精細度が高い表示装置を用いることが好ましい。表

示部 8302 に精細度が高い表示装置を用いることによって、レンズ 8305 を用いて拡大したとしても、使用者に画素が視認されることなく、より現実感の高い映像を表示することができる。

[0981]

また、本発明の一態様の電子機器である、ヘッドマウントディスプレイは、図 54I のようなゴーグル型のヘッドマウントディスプレイである電子機器 8300 ではなく、ガラス型のヘッドマウントディスプレイである電子機器の構成であつてもよい。特に、ガラス型のヘッドマウントディスプレイは、AR 向けの電子機器として好適である。

[0982]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

[符号の説明]

[0983]

BSFB : 回路、BSFBA : 回路、BSFBB : 回路、BSFB1 : 回路、BSFB1A : 回路、BSFB1B : 回路、BSFB2 : 回路、BSFB3 : 回路、BSFB4 : 回路、BSFB5 : 回路、BSFB6 : 回路、BSFB6A : 回路、BSFB6B : 回路、BSFB6C : 回路、BSFB6D : 回路、BSFB7 : 回路、BSFB7A : 回路、BSFC : 回路、BSFC1 : 回路、BSFC2 : 回路、BSPR : 回路、BSPRc : 回路、BSPRd : 回路、BSPRi : 回路、BB : 回路、BBd : 回路、BBc : 回路、BBi : 回路、BBF : 回路、FB : 回路、FBc : 回路、FBd : 回路、FBi1 : 回路、FBi2 : 回路、BUF : 回路、BF[1] : 回路、BF[m] : 回路、GD : 駆動回路、SD : 駆動回路、SR : 回路、LAT : 回路、DAC : 回路、MNa : トランジスタ、MNb : トランジスタ、MNd : トランジスタ、MNe : トランジスタ、MNf : トランジスタ、MNg : トランジスタ、MNFa : トランジスタ、MNFb : トランジスタ、M1 : トランジスタ、M2 : トランジスタ、M3 : トランジスタ、M4 : トランジスタ、M5 : トランジスタ、M6 : トランジスタ、M7 : トランジスタ、MN1 : トランジスタ、MN4 : トランジスタ、MN5 : トランジスタ、MN8 : トランジスタ、MN9 : トランジスタ、MN10 : トランジスタ、MN11 : トランジスタ、MN12 : トランジスタ、MN14 : トランジスタ、MN15 : トランジスタ、MN16 : トランジスタ、MN21 : トランジスタ、MN24 : トランジスタ、MN25 : トランジスタ、MN28 : トランジスタ、MN31 : トランジスタ、MN34 : トランジスタ、MN35 : トランジスタ、MN36 : トランジスタ、MN37 : トランジスタ、MN40 : トランジスタ、MN41 : トランジスタ、Ca : 容量素子、Caf : 容量素子、C3 : 容量素子、C4 : 容量素子、C5 : 容量素子、C25 : 容量素子、C26 : 容量素子、INV1 : 論理回路、INV2 : 論理回路、Tmi : 端子、Tmi1 : 端子、Tmi2 : 端子、Tmo : 端子、Tii : 端子、To : 端子、Bi : 端子、Bo : 端子、Fi : 端子、Fi1 : 端子、Fi2 : 端子、Fo : 端子、BFi : 端子、BFo : 端子、IT : 端子、CLK1 : 端子、CLK2 : 端子、CLK3 : 端子、PWC : 端子、RT : 端子、GT : 端子、OT : 端子、SRT : 端子、N : ノード、Nf : ノード、N1 : ノード、N2 : ノード、VAL1 : 配線、VAL2 : 配線、VAL3 : 配線、VAL4 : 配線、VAL41 : 配線、VAL42 : 配線、VAL51 : 配線、VAL52 : 配線、VDE1 : 配線、VDE2 : 配線、VDE11 : 配線、VDE21 : 配線、VDE22 : 配線、VDE23 : 配線、VDE35 : 配線、VDE36 : 配線、VSE1 : 配線、VSE2 : 配線、VS

E 3 : 配線、VSE 4 : 配線、VSE 5 : 配線、VSE 11 : 配線、VSE 12 : 配線、VSE 13 : 配線、VSE 14 : 配線、VSE 15 : 配線、BG 1 : 配線、BG 2 : 配線、BG 3 : 配線、RST : 配線、CL 1 : 配線、CL 2 : 配線、PL : 配線、CLKLA : 配線、CLKLB : 配線、CLKLC : 配線、CLKLD : 配線、PWCLA : 配線、PWCLB : 配線、PWCLC : 配線、PWCLD : 配線、VDL : 配線、SPR : 配線、GL : 配線、GL [1] : 配線、GL [2] : 配線、GL [m] : 配線、SL : 配線、SL [1] : 配線、SL [2] : 配線、SL [3] : 配線、SL [4] : 配線、SL [5] : 配線、SL [6] : 配線、G 1 : 配線、G 2 : 配線、ANO : 配線、V 0 : 配線、VCOM : 配線、SS : 信号、SMC : 半導体、SDM : 導電体、GEM : 導電体、PLG : 導電体、DSP : 表示装置、DSP 1 : 表示装置、DSP 1A : 表示装置、DSP 1B : 表示装置、DSP 1C : 表示装置、DSP 2 : 表示装置、DSP 2A : 表示装置、DSP 2A A : 表示装置、DSP 2AB : 表示装置、DSP 2AC : 表示装置、DSP 2B : 表示装置、DSP 2C : 表示装置、DSP 2D : 表示装置、DSP 2E : 表示装置、DSP 2F : 表示装置、DIS : 表示領域、EML : 層、OSL : 層、SIC : 回路領域、DRV : 駆動回路領域、MFNC : 機能回路領域、GDR : 駆動回路、GDR 1 : 駆動回路、GDR 2 : 駆動回路、SDR : 駆動回路、PDA : センサ、DAD : デジタルアナログ変換回路、LVS : レベルシフタ、TMR : 端子領域、BS : 基板、SCC : センサコントローラ、EPS : 電源回路、MEM : 記憶装置、TMC : タイミングコントローラ、ECR : 補正回路、SNCL : 配線、BSL : バス配線、21 : CPU、22 : GPU、22a : 回路、22b : 回路、30 : 駆動回路、70A : 画素、70B : 画素、80 : 画素、80a : 副画素、80b : 副画素、80c : 副画素、80d : 副画素、81 : 導電体、100 : 回路、100 [1] : 回路、100 [2] : 回路、100 [m] : 回路、100A1 : 回路、100A2 : 回路、100A3 : 回路、100A4 : 回路、103 : 絶縁体、104 : 導電体、105 : 絶縁体、106 : 導電体、107 : 接着層、110 : 基板、111a : 導電体、111b : 導電体、111c : 導電体、112a : 導電体、112b : 導電体、112c : 導電体、113a : 第1の層、113b : 第2の層、113c : 第3の層、114 : 共通層、115 : 共通電極、116 : 保護層、117a : 導電体、117b : 導電体、118a : マスク層、125 : 絶縁体、126a : 導電体、126b : 導電体、126c : 導電体、127 : 絶縁体、128 : 層、129a : 導電体、129b : 導電体、129c : 導電体、130R : 発光デバイス、130G : 発光デバイス、130B : 発光デバイス、131 : 保護層、140 : 接続部、147 : 樹脂層、148 : 樹脂層、166R : 着色層、166G : 着色層、166B : 着色層、170 : LEDパッケージ、170R : LEDパッケージ、170G : LEDパッケージ、170B : LEDパッケージ、170A1 : LEDパッケージ、170A2 : LEDパッケージ、170A3 : LEDパッケージ、170S : LEDパッケージ、171 : 基板、172 : 電極、173 : 電極、174 : ヒートシンク、175 : 接着層、176 : ケース、177 : ワイヤ、178 : 封止層、179 : ワイヤ、180 : LEDチップ、180R : LEDチップ、180G : LEDチップ、180B : LEDチップ、180A : LEDチップ、181 : 基板、181R : 基板、181G : 基板、181B : 基板、182 : 半導体層、183 : 電極、183A : 電極、184 : 発光層、185 : 半導体層、186 : 電極、187 : 電極、189 : ボール、191 : 導電体、192 : 導電体、200 : 回路、200 [1] : 回路、200 [2] : 回路、200 [3] : 回路、200 [4] : 回路、200 [5] : 回路、200 [6] : 回路、200A : 回路、200A1 : 回路、200A2 : 回路、300 : トランジスタ、300p : トランジスタ、300d : トランジスタ、300OS : トランジスタ、3

00LT: トランジスタ、310: 基板、312: 素子分離層、313: 半導体領域、314a: 低抵抗領域、314b: 低抵抗領域、315: 絶縁体、316: 導電体、317: 絶縁体、320: 絶縁体、322: 絶縁体、324: 絶縁体、326: 絶縁体、328: 導電体、330: 導電体、350: 絶縁体、352: 絶縁体、354: 絶縁体、356: 導電体、361: 絶縁体、362: 絶縁体、363: 絶縁体、364: 絶縁体、366: 導電体、367: 導電体、368: 半導体層、368p: 低抵抗領域、368i: 半導体領域、369: 導電体、400: 画素回路、500: トランジスタ、500d: トランジスタ、500p: トランジスタ、500p1: トランジスタ、500p2: トランジスタ、500p3: トランジスタ、500A: トランジスタ、500Ap: トランジスタ、500Ad: トランジスタ、501: 絶縁体、505: 導電体、505a: 導電体、505b: 導電体、512: 絶縁体、514: 絶縁体、516: 絶縁体、520: 絶縁体、522: 絶縁体、524: 絶縁体、531: 金属酸化物、531a: 金属酸化物、531b: 金属酸化物、533: 金属酸化物、540: 導電体、540a: 導電体、540b: 導電体、542a: 導電体、542a1: 導電体、542a2: 導電体、542b: 導電体、542b1: 導電体、542b2: 導電体、543a: 領域、543b: 領域、544: 導電体、545: 導電体、550: 絶縁体、551: 絶縁体、554: 絶縁体、555: 絶縁体、560: 導電体、560a: 導電体、560b: 導電体、565: 導電体、574: 絶縁体、580: 絶縁体、581: 絶縁体、583: 絶縁体、583a: 絶縁体、583b: 絶縁体、584: 絶縁体、590: 導電体、592: 絶縁体、594: 絶縁体、596: 導電体、598: 絶縁体、599: 絶縁体、600: 容量素子、601: 開口、603: 開口、761: 下部電極、762: 上部電極、763: EL層、764: 層、771: 発光層、771a: 発光層、771b: 発光層、771c: 発光層、772: 発光層、772a: 発光層、772b: 発光層、772c: 発光層、773: 発光層、780: 層、780a: 層、780b: 層、780c: 層、781: 層、782: 層、785: 電荷発生層、785a-b: 電荷発生層、785b-c: 電荷発生層、790: 層、790a: 層、790b: 層、790c: 層、791: 層、792: 層、5200: 携帯ゲーム機、5201: 筐体、5202: 表示部、5203: ボタン、5300: ノート型情報端末、5330a: 筐体、5330b: 筐体、5331: 表示部、5350: キーボード部、5500: 情報端末、5510: 筐体、5511: 表示部、5701: 表示パネル、5702: 表示パネル、5703: 表示パネル、5704: 表示パネル、5900: 情報端末、5901: 筐体、5902: 表示部、5903: 操作ボタン、5904: 竜頭、5905: バンド、6200: 電子看板、6201: 壁、8000: カメラ、8001: 筐体、8002: 表示部、8003: 操作ボタン、8004: シャッターボタン、8006: レンズ、8100: ファインダー、8101: 筐体、8102: 表示部、8103: ボタン、8300: 電子機器、8301: 筐体、8302: 表示部、8304: 固定具、8304a: 固定具、8305: レンズ、9000: テレビジョン装置、9001: 表示部、9002: 筐体、9003: スピーカ、9005: 操作キー、9006: 接続端子、9007: センサ

請求の範囲

[請求項 1]

第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第5トランジスタと、第6トランジスタと、第7トランジスタと、第8トランジスタと、第1容量素子と、第2容量素子と、を有し、

前記第3トランジスタのソース及びドレインの一方は、前記第2トランジスタのソース及びドレインの一方と、前記第7トランジスタのソース及びドレインの一方と、前記第8トランジスタのソース及びドレインの一方と、に電氣的に接続され、

前記第3トランジスタのソース及びドレインの他方は、前記第1トランジスタのゲートと、前記第1容量素子の第1端子と、に電氣的に接続され、

前記第1トランジスタのソース及びドレインの一方は、前記第2トランジスタのゲートと、前記第4トランジスタのソース及びドレインの一方と、前記第1容量素子の第2端子と、に電氣的に接続され、

前記第4トランジスタのゲートは、前記第5トランジスタのソース及びドレインの一方と、前記第6トランジスタのソース及びドレインの一方と、前記第8トランジスタのゲートと、前記第2容量素子の第1端子と、に電氣的に接続され、

前記第7トランジスタのゲートは、前記第6トランジスタのゲートに電氣的に接続されている、
半導体装置。

[請求項 2]

第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第5トランジスタと、第6トランジスタと、第7トランジスタと、第8トランジスタと、第1容量素子と、第2容量素子と、を有し、

前記第3トランジスタのソース及びドレインの一方は、前記第2トランジスタのソース及びドレインの一方と、前記第7トランジスタのソース及びドレインの一方と、前記第8トランジスタのソース及びドレインの一方と、に電氣的に接続され、

前記第3トランジスタのソース及びドレインの他方は、前記第1トランジスタのゲートと、前記第1容量素子の第1端子と、に電氣的に接続され、

前記第1トランジスタのソース及びドレインの一方は、前記第2トランジスタのゲートと、前記第2トランジスタのゲートと、前記第4トランジスタのソース及びドレインの一方と、前記第1容量素子の第2端子と、に電氣的に接続され、

前記第4トランジスタのゲートは、前記第5トランジスタのソース及びドレインの一方と、前記第6トランジスタのソース及びドレインの一方と、前記第8トランジスタのゲートと、前記第2容量素子の第1端子と、に電氣的に接続され、

前記第7トランジスタのゲートは、前記第6トランジスタのゲートに電氣的に接続されている、
半導体装置。

[請求項 3]

第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第5トランジスタと、第6トランジスタと、第7トランジスタと、第8トランジスタと、第9トランジスタと、第1容量素子と、第2容量素子と、第3容量素子と、を有し、

前記第3トランジスタのソース及びドレインの一方は、前記第2トランジスタのソース及びドレ

インの一方と、前記第4トランジスタのソース及びドレインの一方と、前記第8トランジスタのソース及びドレインの一方と、前記第9トランジスタのソース及びドレインの一方と、に電氣的に接続され、

前記第3トランジスタのソース及びドレインの他方は、前記第1トランジスタのゲートと、前記第1容量素子の第1端子と、に電氣的に接続され、

前記第1トランジスタのソース及びドレインの一方は、前記第5トランジスタのソース及びドレインの一方と、前記第1容量素子の第2端子と、前記第2容量素子の第1端子と、に電氣的に接続され、

前記第2トランジスタのゲートは、前記第4トランジスタのソース及びドレインの他方と、前記第2容量素子の第2端子と、に電氣的に接続され、

前記第5トランジスタのゲートは、前記第6トランジスタのソース及びドレインの一方と、前記第7トランジスタのソース及びドレインの一方と、前記第9トランジスタのゲートと、前記第3容量素子の第1端子と、に電氣的に接続され、

前記第9トランジスタのゲートは、前記第7トランジスタのゲートに電氣的に接続されている、半導体装置。

[請求項4]

第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第5トランジスタと、第6トランジスタと、第7トランジスタと、第8トランジスタと、第1容量素子と、第2容量素子と、を有し、

前記第3トランジスタのソース及びドレインの一方は、前記第7トランジスタのソース及びドレインの一方と、前記第8トランジスタのソース及びドレインの一方と、に電氣的に接続され、

前記第3トランジスタのソース及びドレインの他方は、前記第1トランジスタのゲートと、前記第2トランジスタのソース及びドレインの一方と、前記第1容量素子の第1端子と、に電氣的に接続され、

前記第1トランジスタのソース及びドレインの一方は、前記第2トランジスタのゲートと、前記第4トランジスタのソース及びドレインの一方と、前記第1容量素子の第2端子と、に電氣的に接続され、

前記第4トランジスタのゲートは、前記第5トランジスタのソース及びドレインの一方と、前記第6トランジスタのソース及びドレインの一方と、前記第8トランジスタのゲートと、前記第2容量素子の第1端子と、に電氣的に接続され、

前記第7トランジスタのゲートは、前記第6トランジスタのゲートに電氣的に接続されている、半導体装置。

[請求項5]

第1トランジスタと、第2トランジスタと、第3トランジスタと、第1容量素子と、を有し、

前記第3トランジスタのソース及びドレインの一方は、前記第2トランジスタのソース及びドレインの一方に電氣的に接続され、

前記第3トランジスタのソース及びドレインの他方は、前記第1トランジスタのゲートと、前記第1容量素子の第1端子と、に電氣的に接続され、

前記第1トランジスタのソース及びドレインの一方は、前記第2トランジスタのゲートと、前記第1容量素子の第2端子と、に電氣的に接続されている、

半導体装置。

[請求項 6]

第 1 トランジスタと、第 2 トランジスタと、第 3 トランジスタと、第 1 容量素子と、を有し、
前記第 3 トランジスタのソース及びドレインの一方は、前記第 2 トランジスタのソース及びドレインの一方に電氣的に接続され、

前記第 3 トランジスタのソース及びドレインの他方は、前記第 1 トランジスタのゲートと、前記第 1 容量素子の第 1 端子と、に電氣的に接続され、

前記第 1 トランジスタのソース及びドレインの一方は、前記第 2 トランジスタのゲートと、前記第 2 トランジスタのソース及びドレインの他方と、前記第 1 容量素子の第 2 端子と、に電氣的に接続されている、

半導体装置。

[請求項 7]

第 1 トランジスタと、第 2 トランジスタと、第 3 トランジスタと、バッファ回路と、第 1 容量素子と、を有し、

前記バッファ回路は、入力端子と、出力端子と、を有し、

前記第 3 トランジスタのソース及びドレインの一方は、前記第 2 トランジスタのソース及びドレインの一方に電氣的に接続され、

前記第 3 トランジスタのソース及びドレインの他方は、前記第 1 トランジスタのゲートと、前記第 1 容量素子の第 1 端子と、に電氣的に接続され、

前記バッファ回路の前記入力端子は、前記第 1 トランジスタのソース及びドレインの一方と、前記第 1 容量素子の第 2 端子と、に電氣的に接続され、

前記バッファ回路の前記出力端子は、前記第 2 トランジスタのゲートに電氣的に接続されている、
半導体装置。

[請求項 8]

第 1 トランジスタと、第 2 トランジスタと、第 3 トランジスタと、第 4 トランジスタと、第 1 容量素子と、第 2 容量素子と、を有し、

前記第 3 トランジスタのソース及びドレインの一方は、前記第 2 トランジスタのソース及びドレインの一方と、前記第 4 トランジスタのソース及びドレインの一方と、に電氣的に接続され、

前記第 3 トランジスタのソース及びドレインの他方は、前記第 1 トランジスタのゲートと、前記第 1 容量素子の第 1 端子と、に電氣的に接続され、

前記第 1 トランジスタのソース及びドレインの一方は、前記第 4 トランジスタのゲートと、前記第 1 容量素子の第 2 端子と、前記第 2 容量素子の第 1 端子と、に電氣的に接続され、

前記第 2 トランジスタのゲートは、前記第 4 トランジスタのソース及びドレインの他方と、前記第 2 容量素子の第 2 端子と、に電氣的に接続されている、

半導体装置。

[請求項 9]

第 1 トランジスタと、第 2 トランジスタと、第 3 トランジスタと、第 1 容量素子と、を有し、

前記第 3 トランジスタのソース及びドレインの一方は、前記第 2 トランジスタのソース及びドレインの一方に電氣的に接続され、

前記第 3 トランジスタのソース及びドレインの他方は、前記第 1 トランジスタのゲートと、前記

第2トランジスタのゲートと、前記第1容量素子の第1端子と、に電氣的に接続され、

前記第1トランジスタのソース及びドレインの一方は、前記第1容量素子の第2端子に電氣的に接続されている、

半導体装置。

[請求項10]

駆動回路と、表示デバイスと、を有し、

前記駆動回路は、請求項1乃至請求項9のいずれか一の半導体装置を有し、

前記駆動回路は、前記表示デバイスに対して、画像を表示させるための信号を送信する機能を有する、

表示装置。

[請求項11]

請求項10において、

前記表示デバイスは、発光デバイス又は液晶表示デバイスを有する、

表示装置。

[請求項12]

請求項11に記載の表示装置と、筐体と、を有する、

電子機器。

図 1A

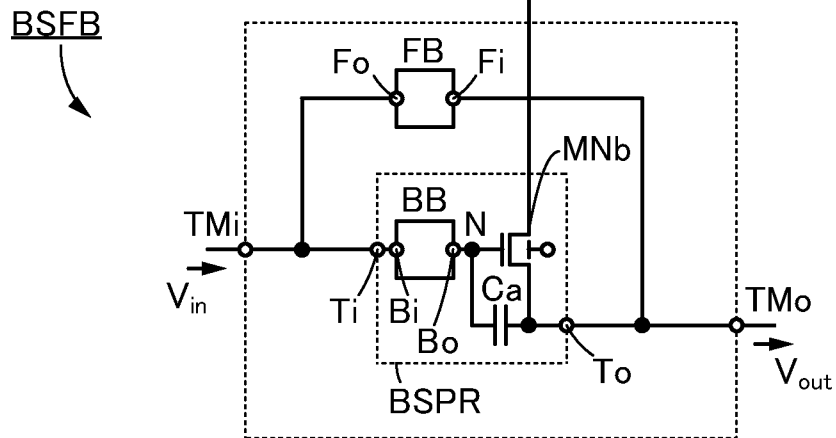


図 1B

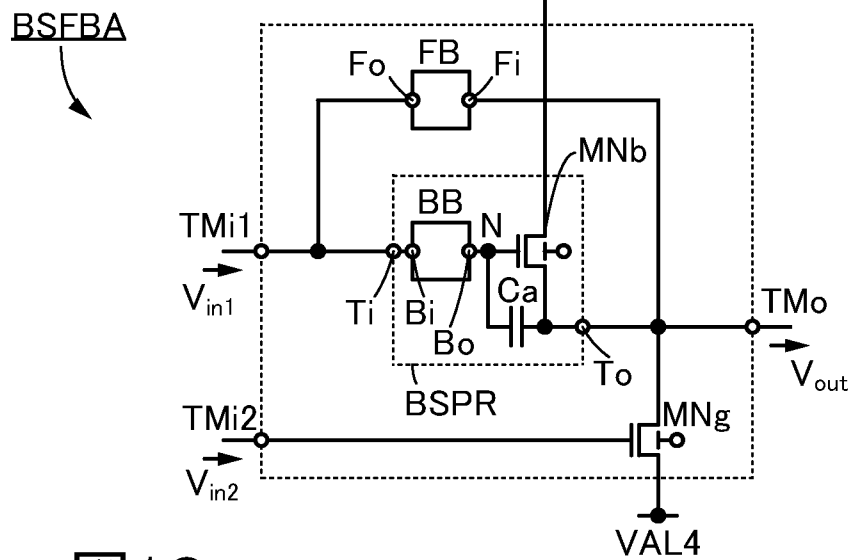


図 1C

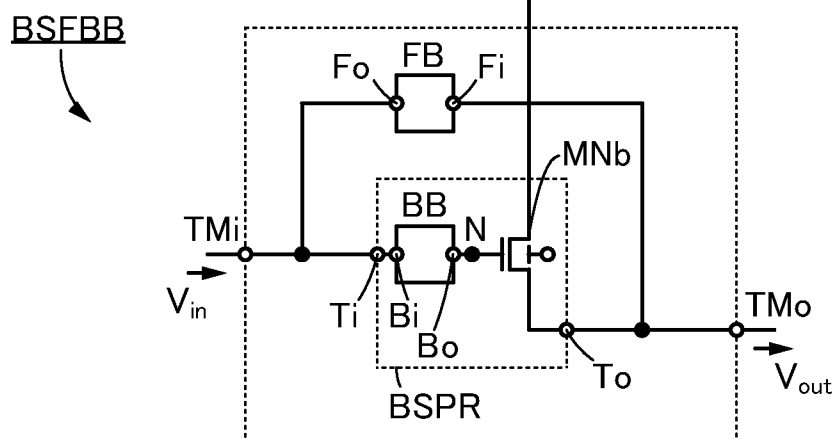


図2A

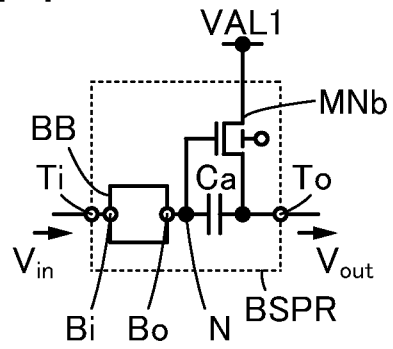


図2B

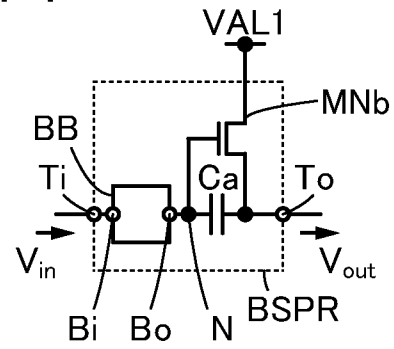


図2C

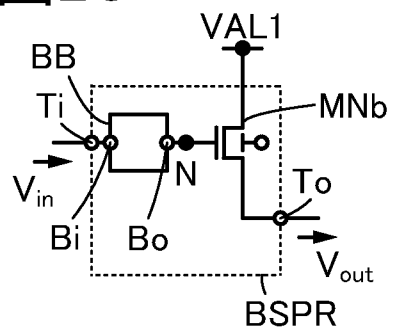


図3A

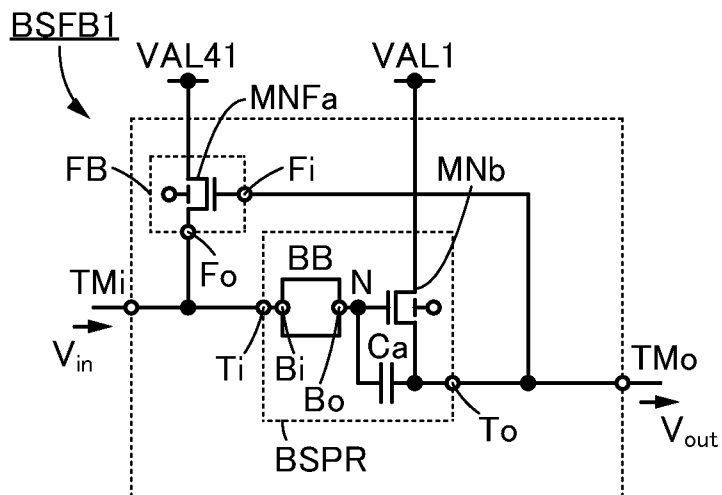


図3B

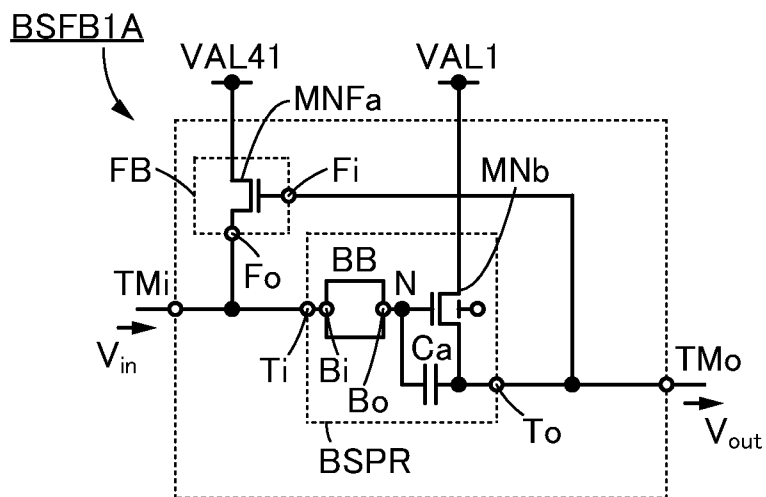
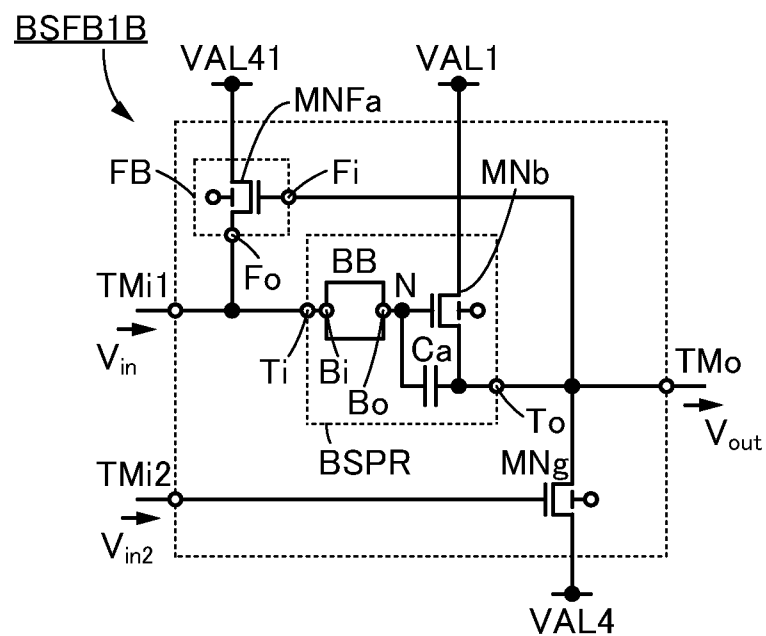
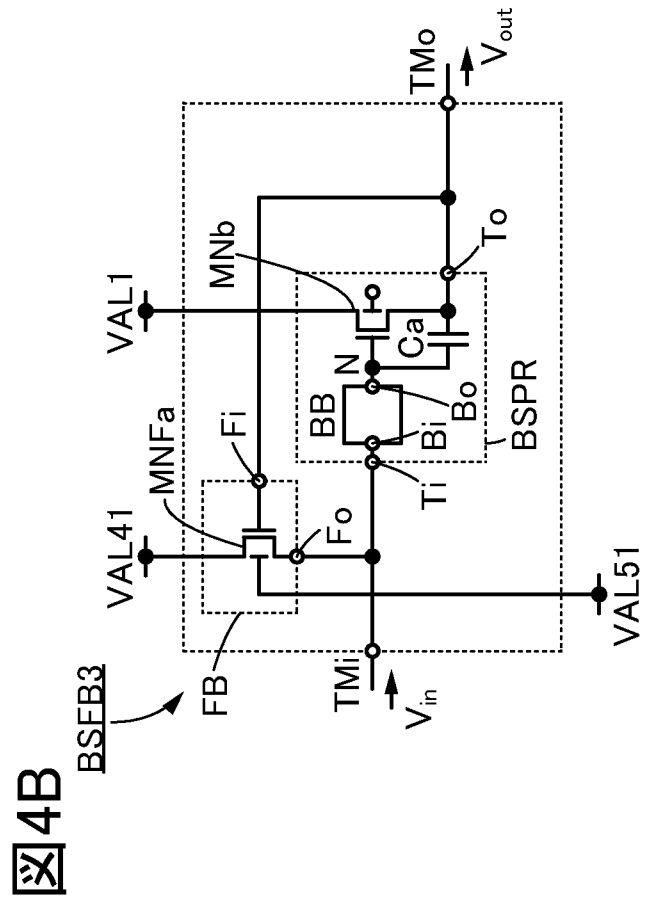
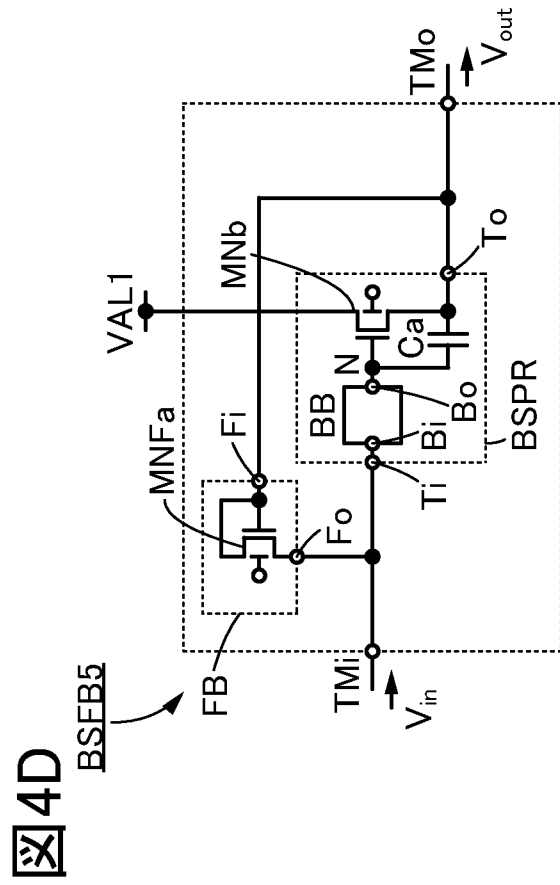


図3C





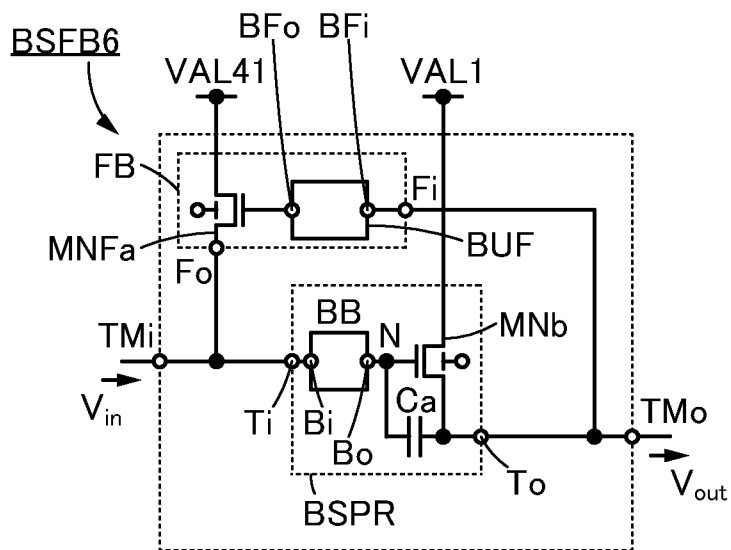


図 6A

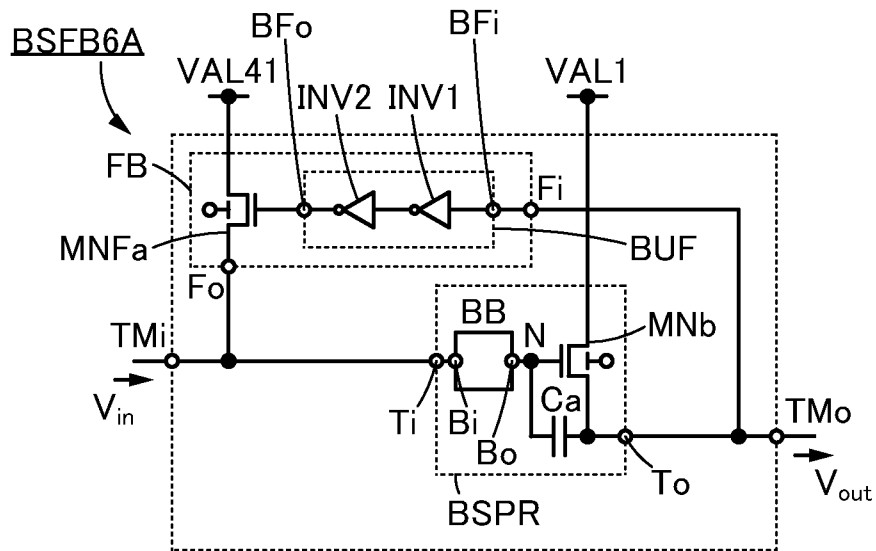
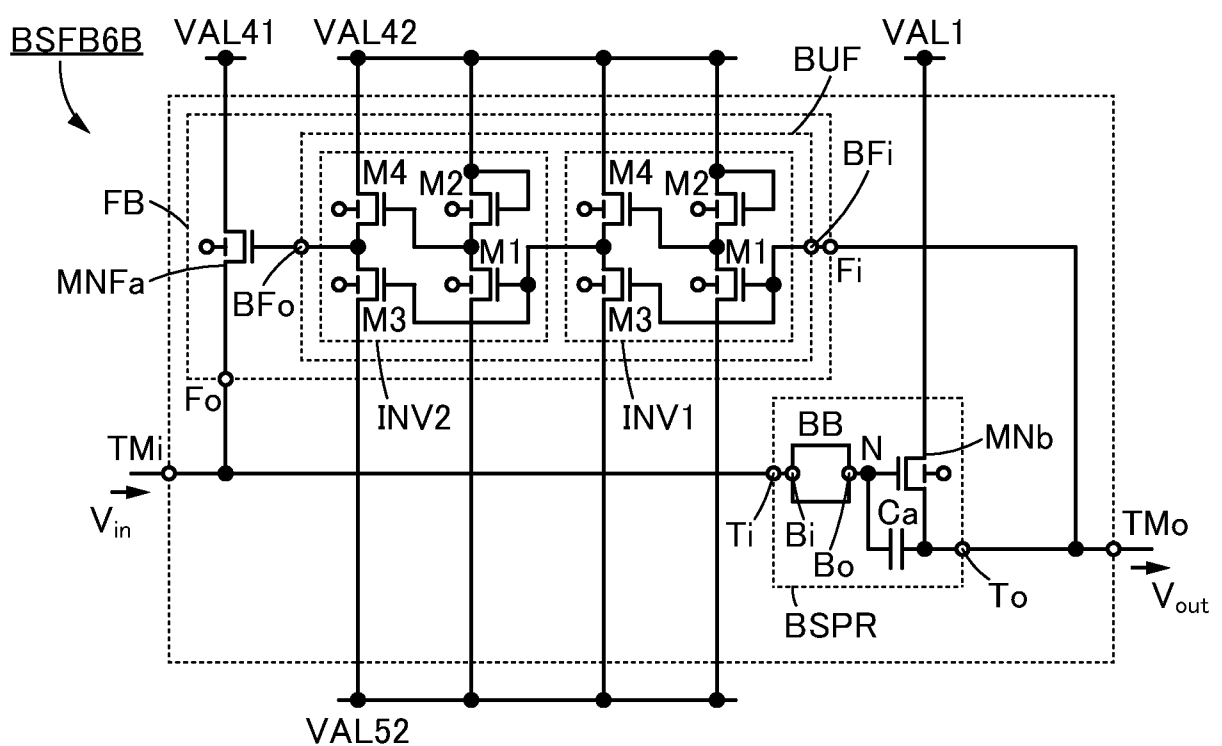


図 6B



BSFB6C

図8A

BSFB7

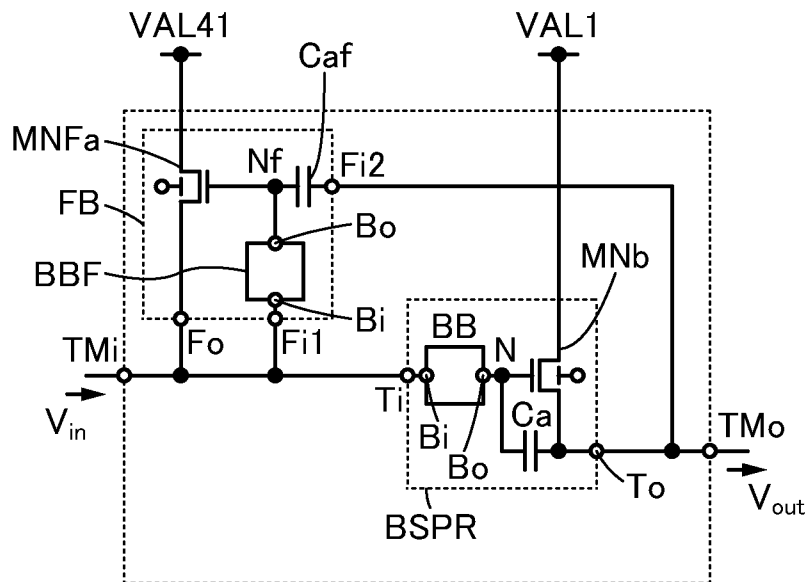


図8B

BSFB7A

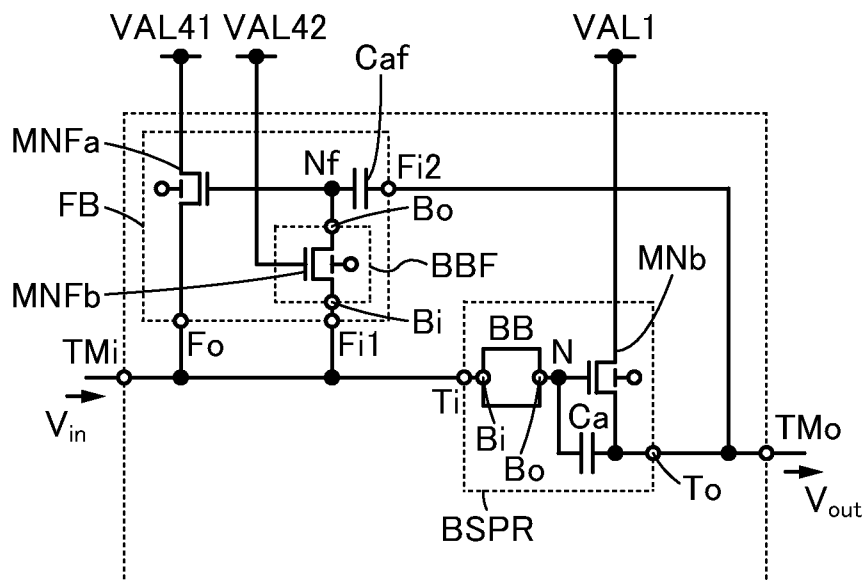


図8C

BSFB7B

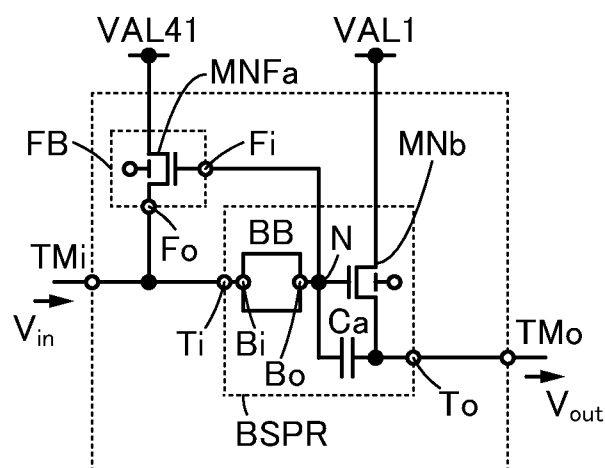


図9A

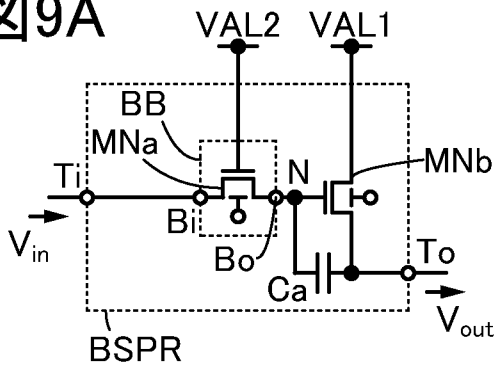


図 9B

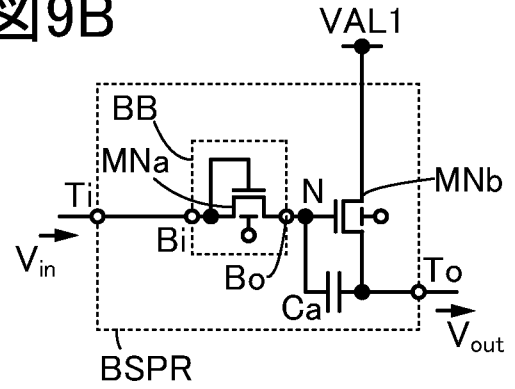


图 9C

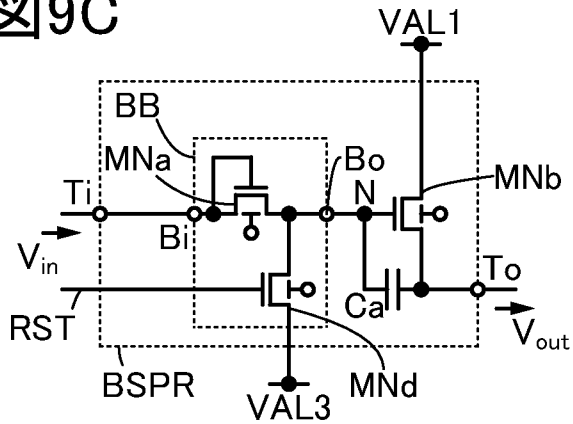


図 9D

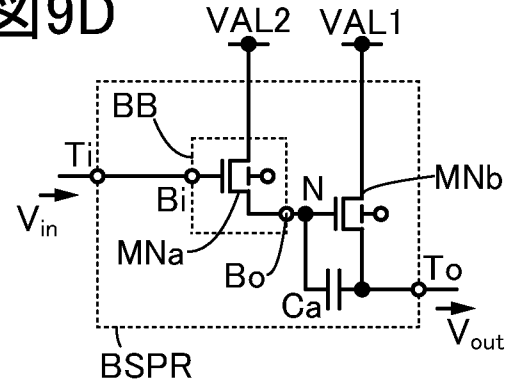


図 9E

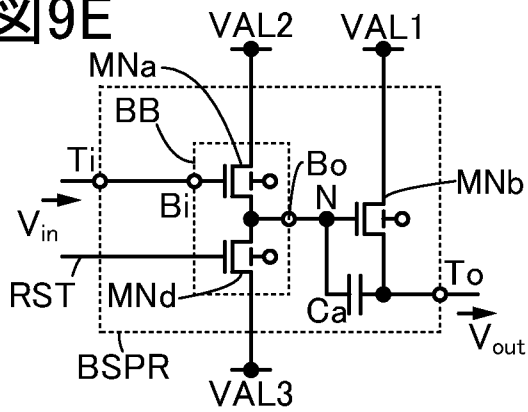
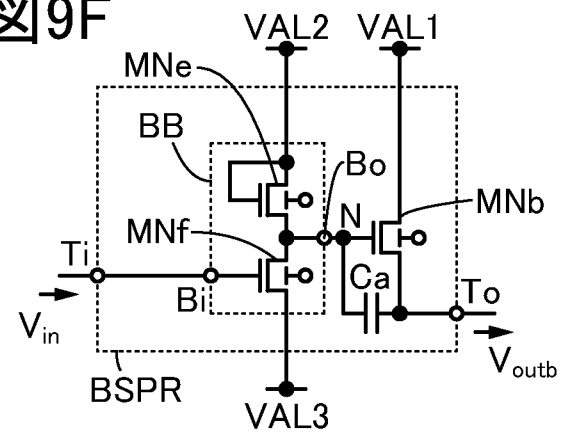
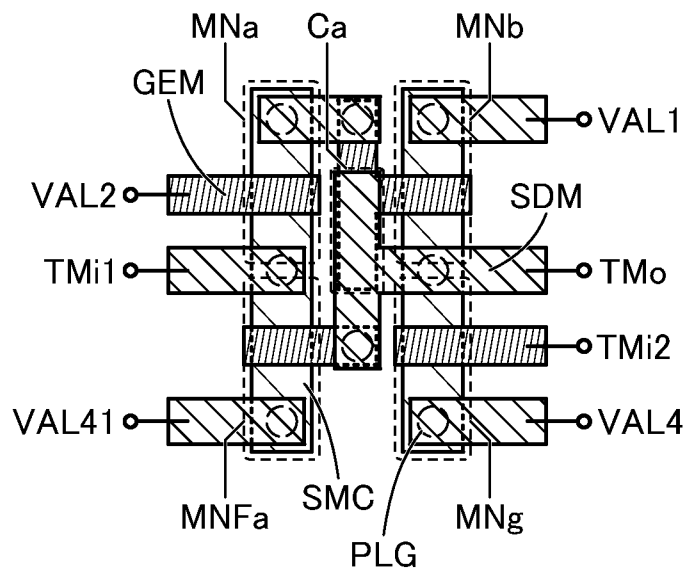


図9F



BSFB1B



DSP

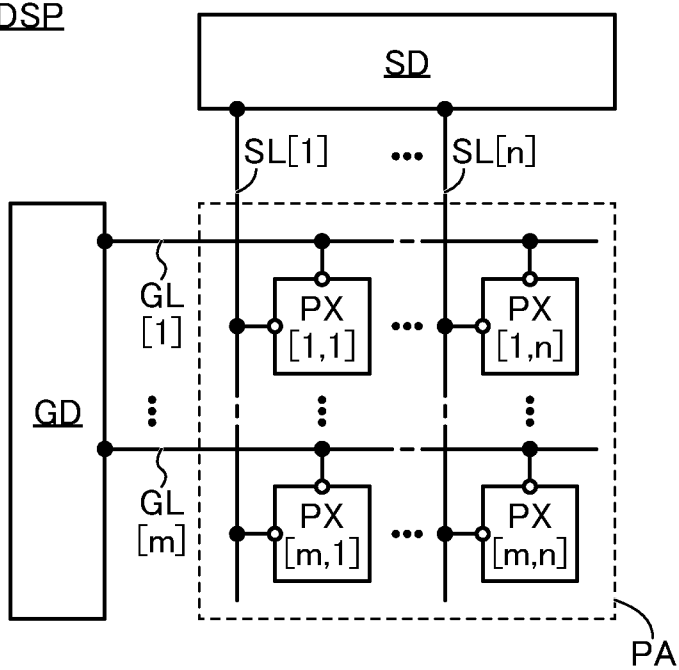


図13A

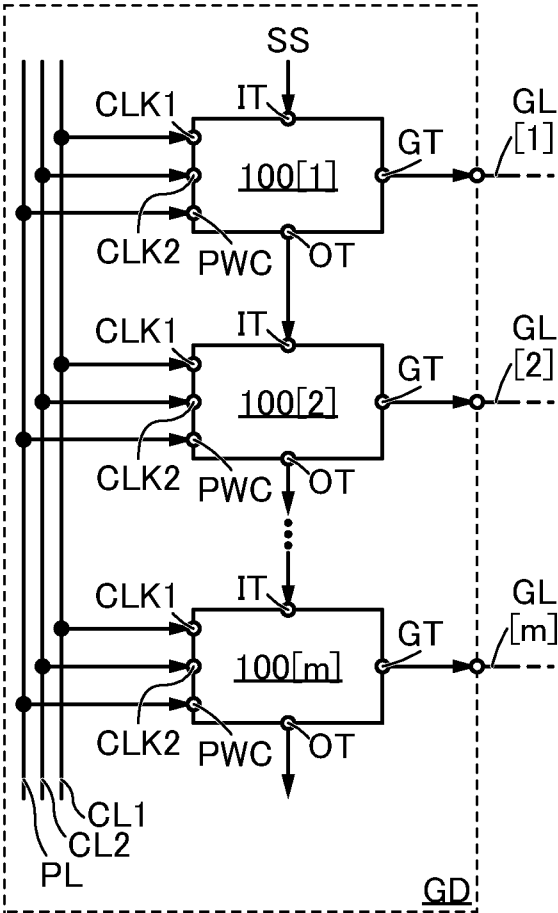


図13B

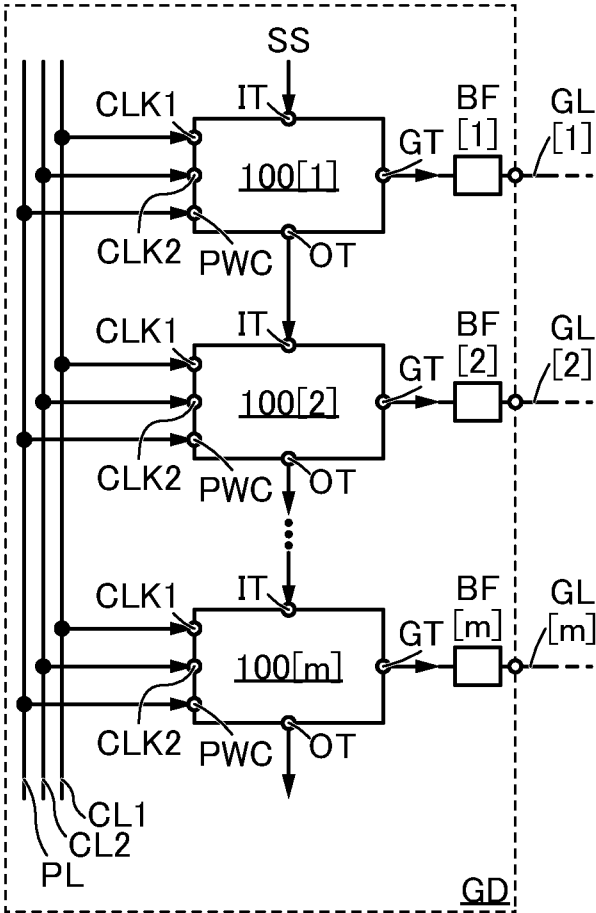
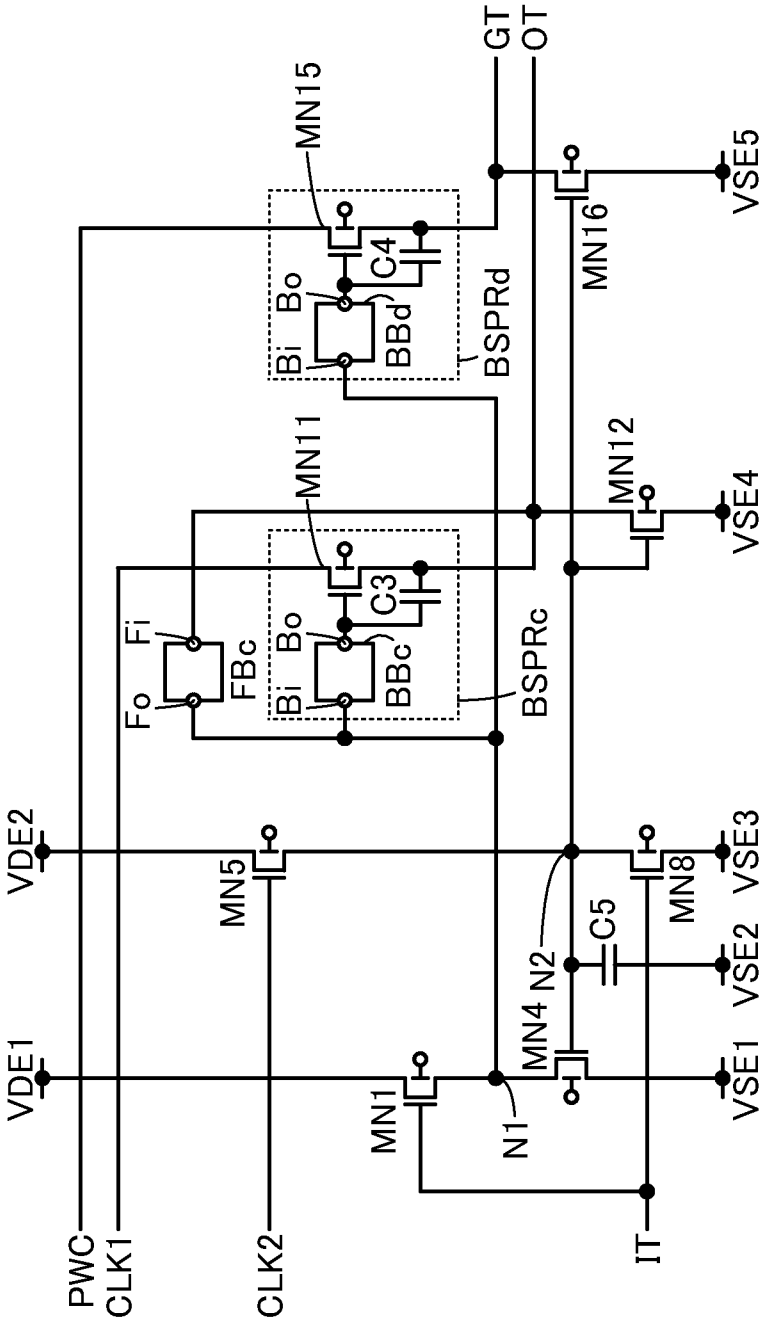


図 14

100A



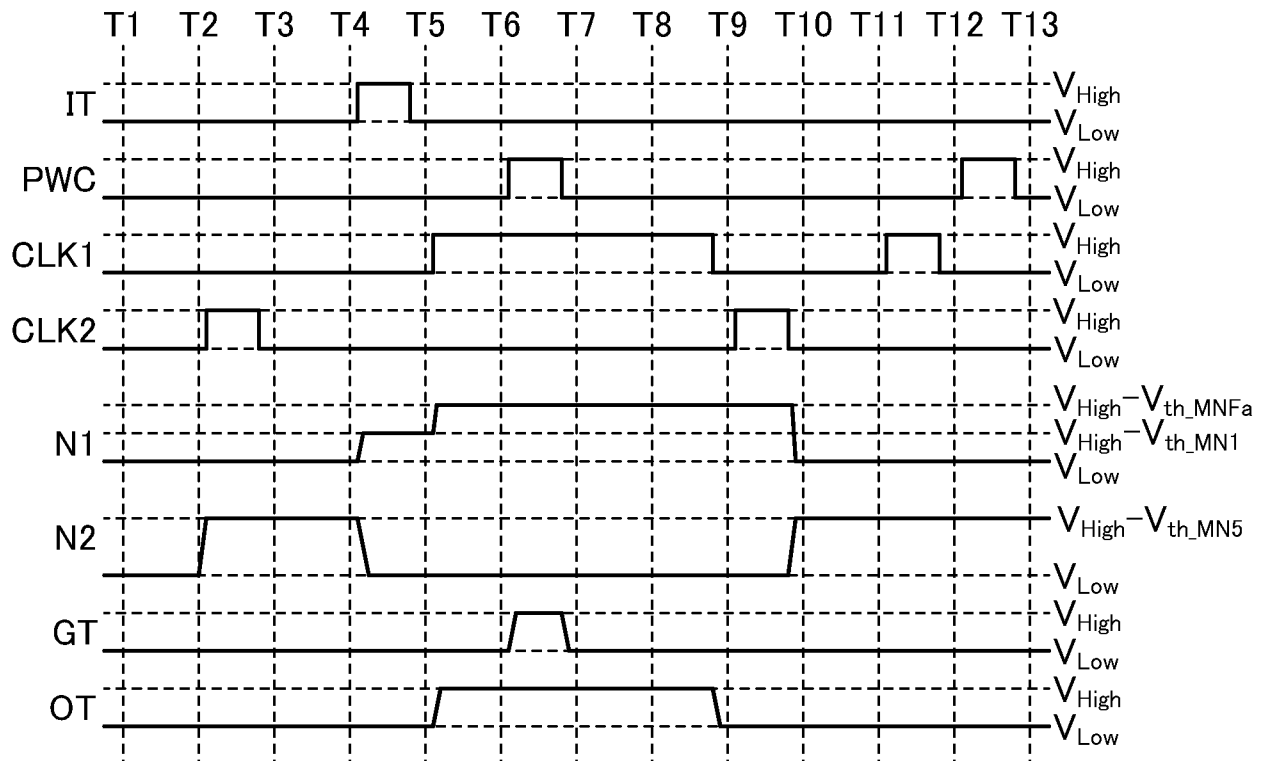


图16

100A1

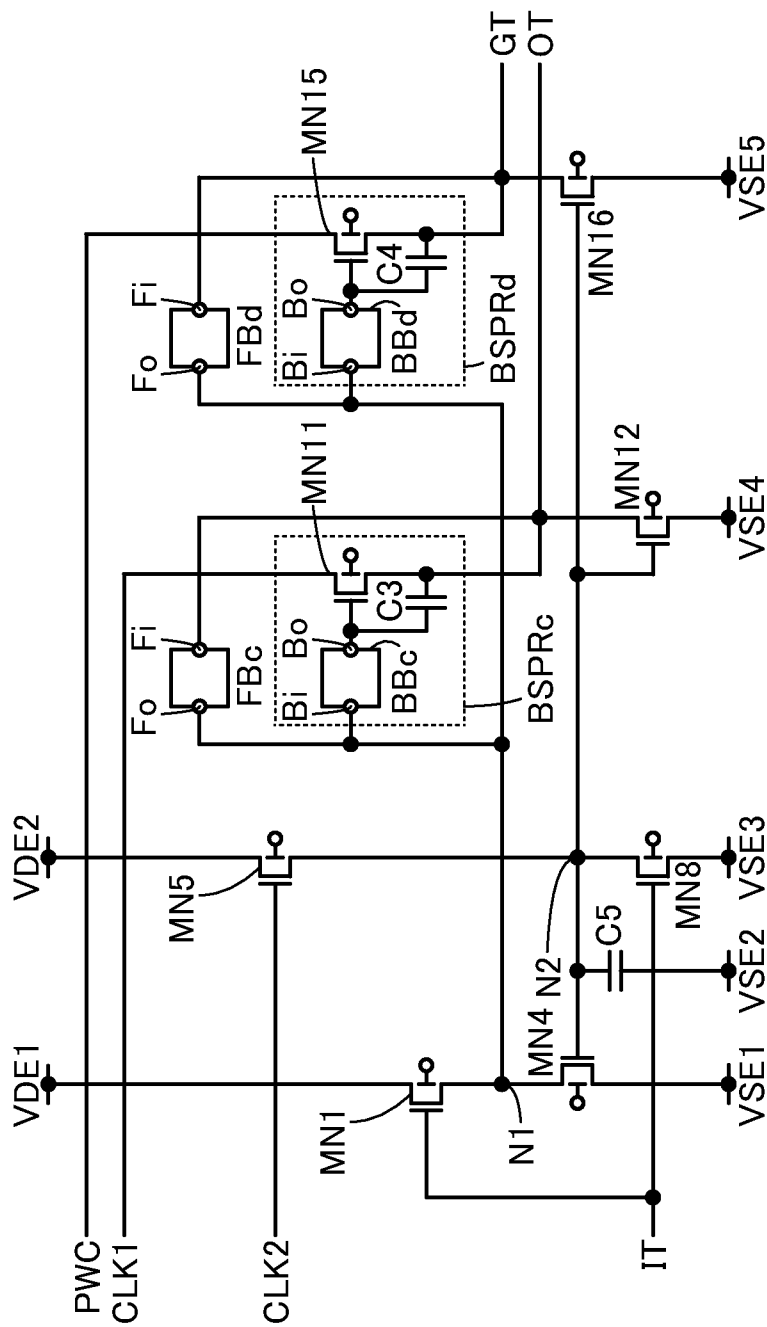


图17

100A2

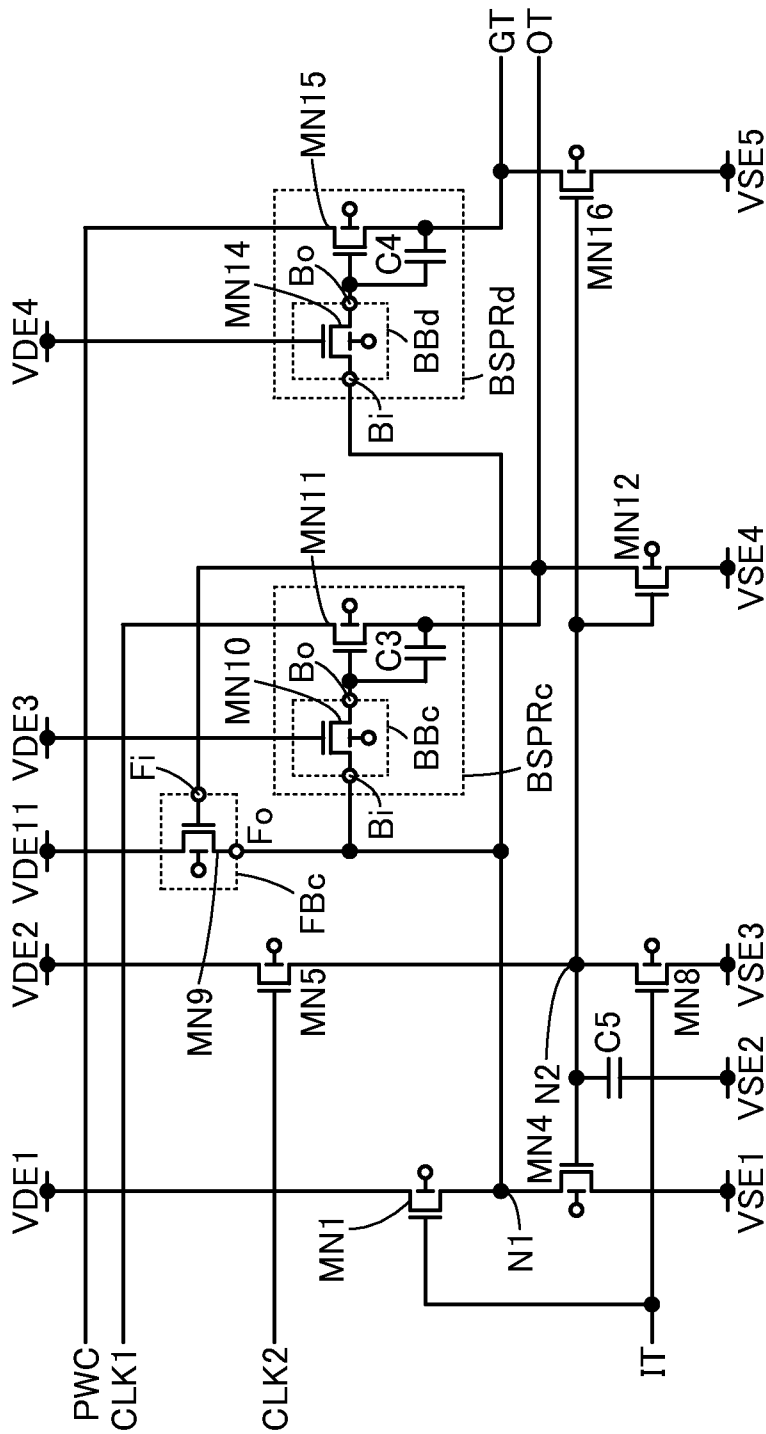


図18

100A3

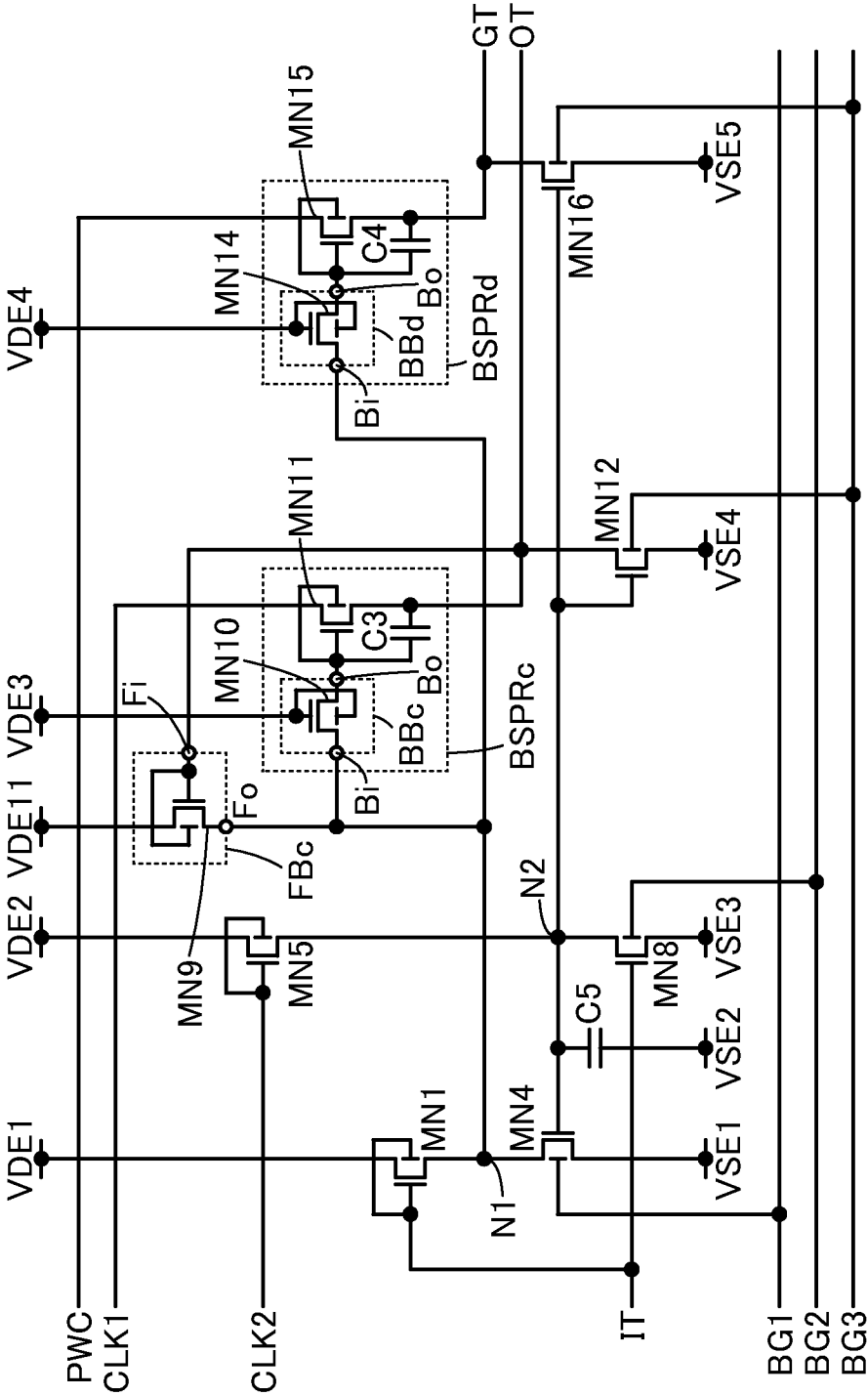


图19

100A4

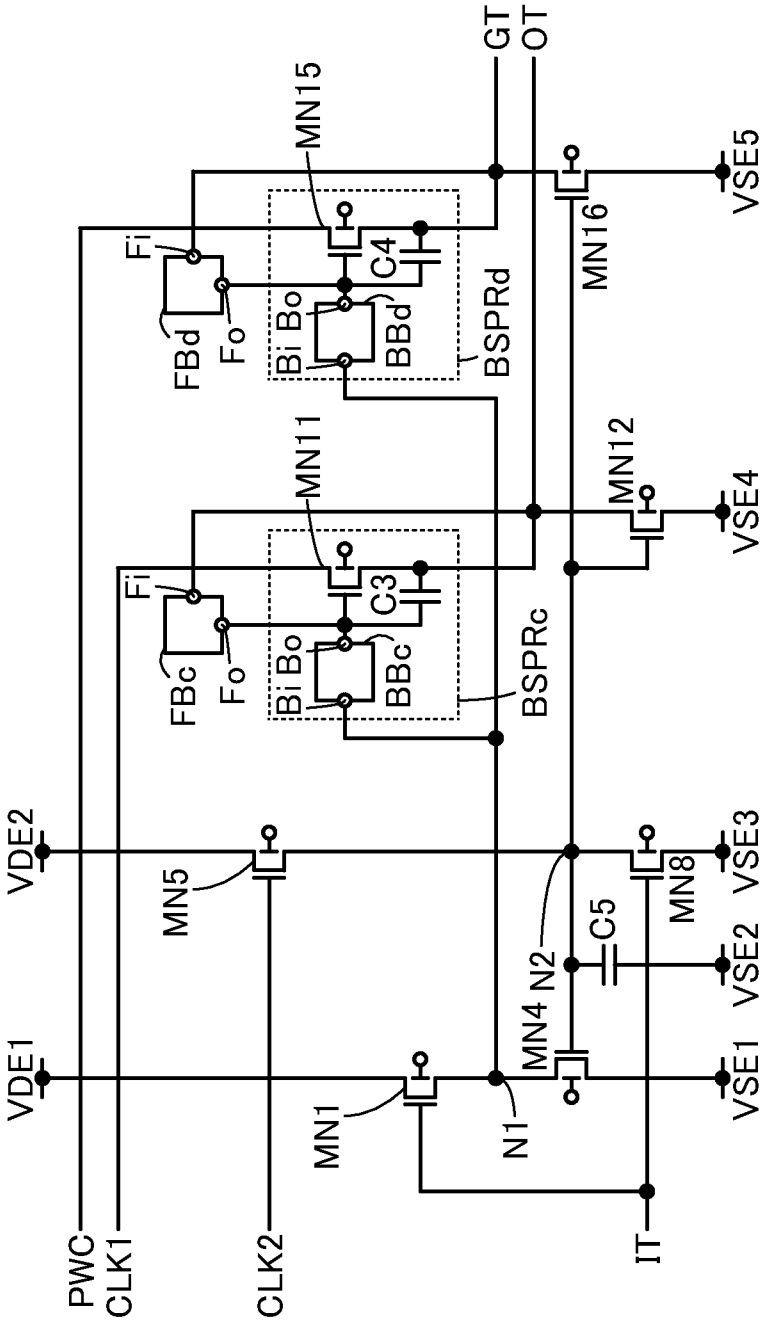
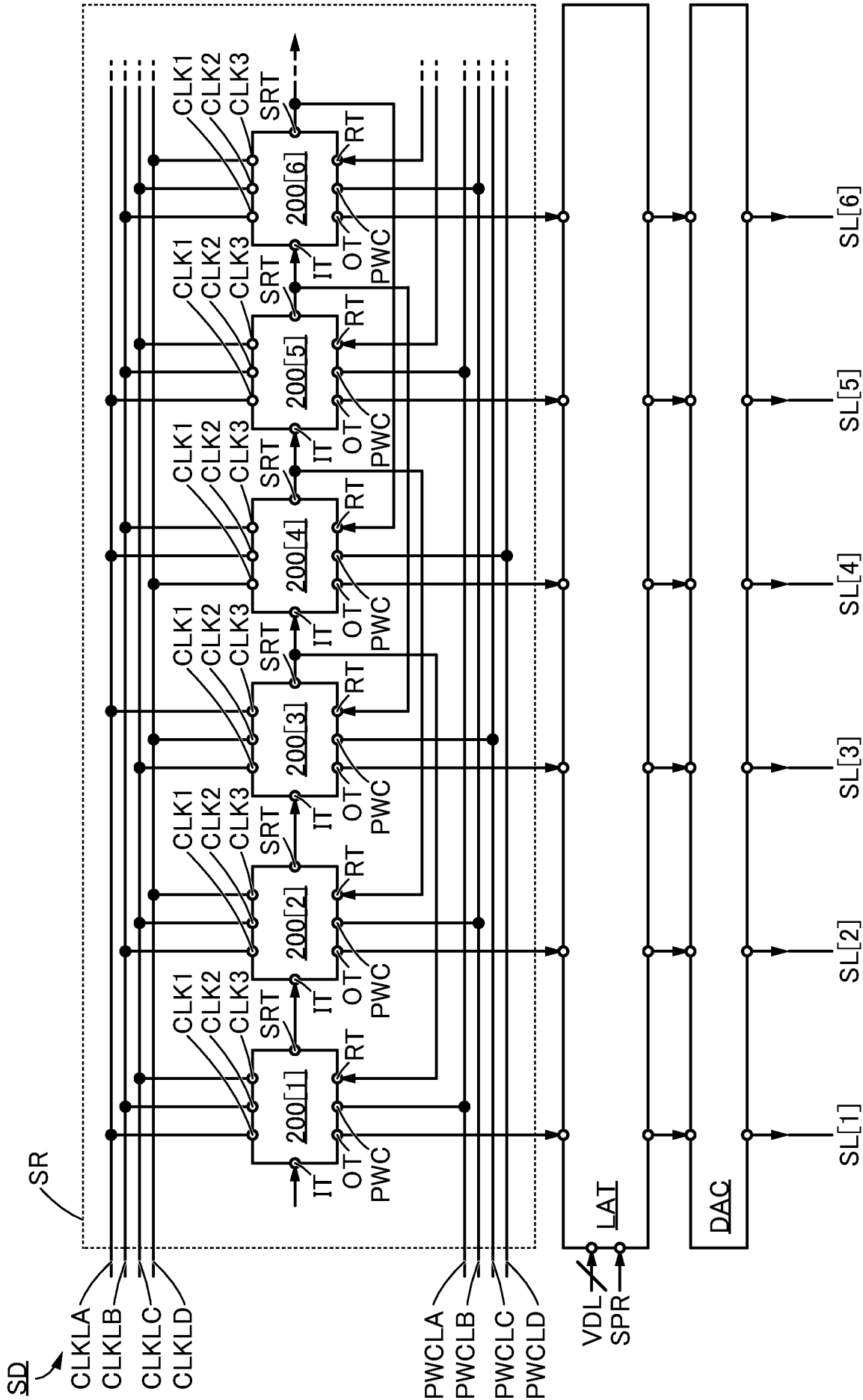
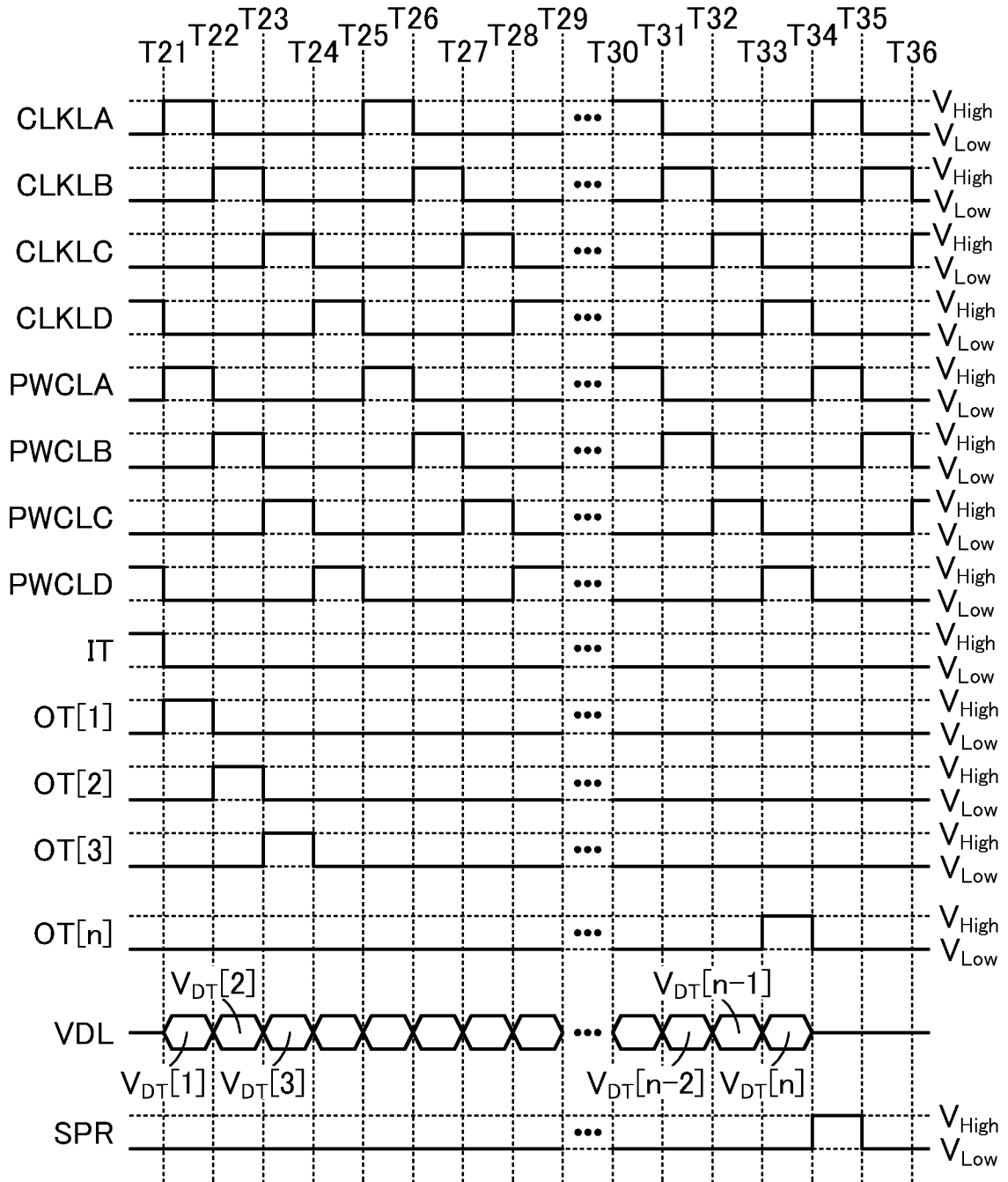
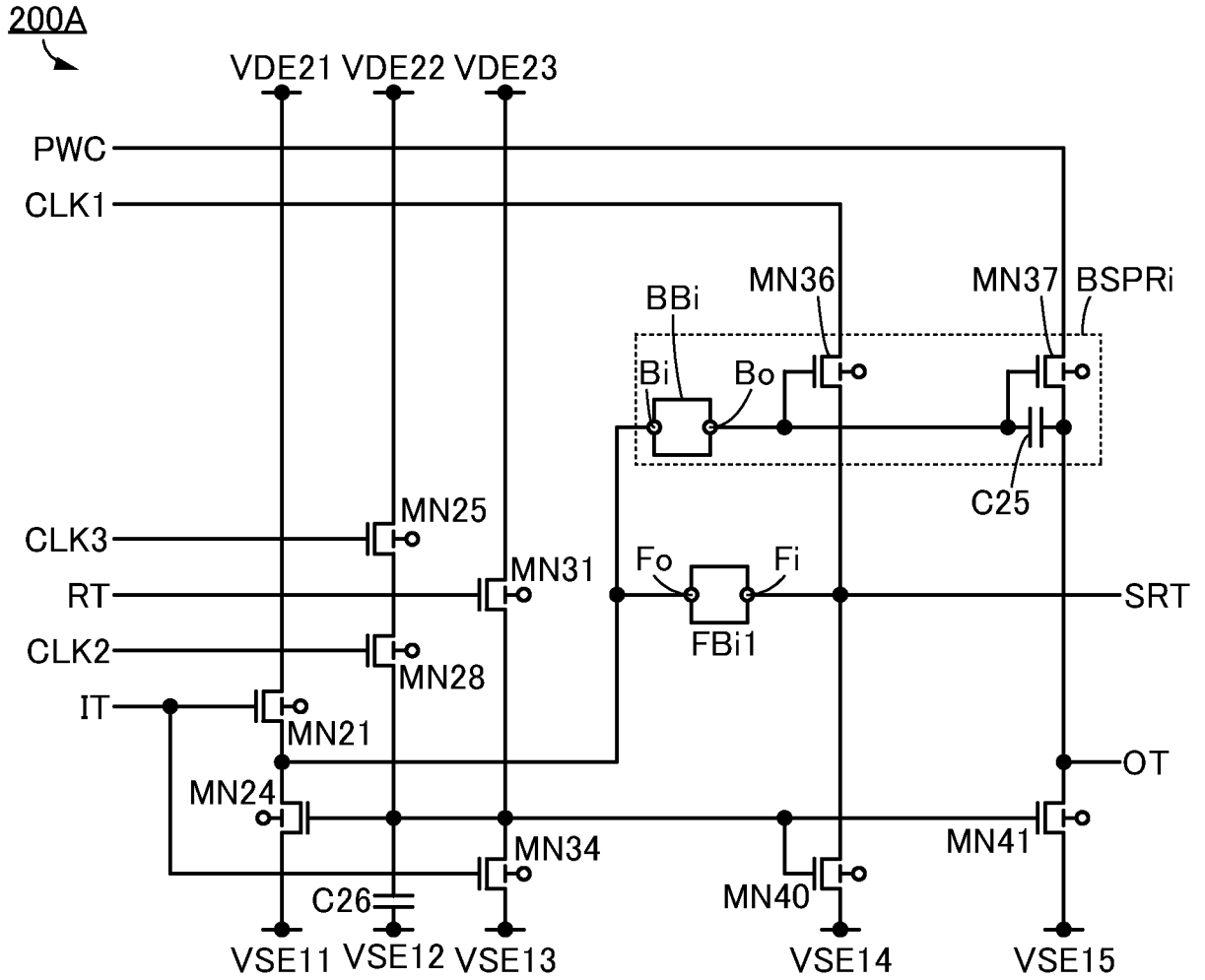
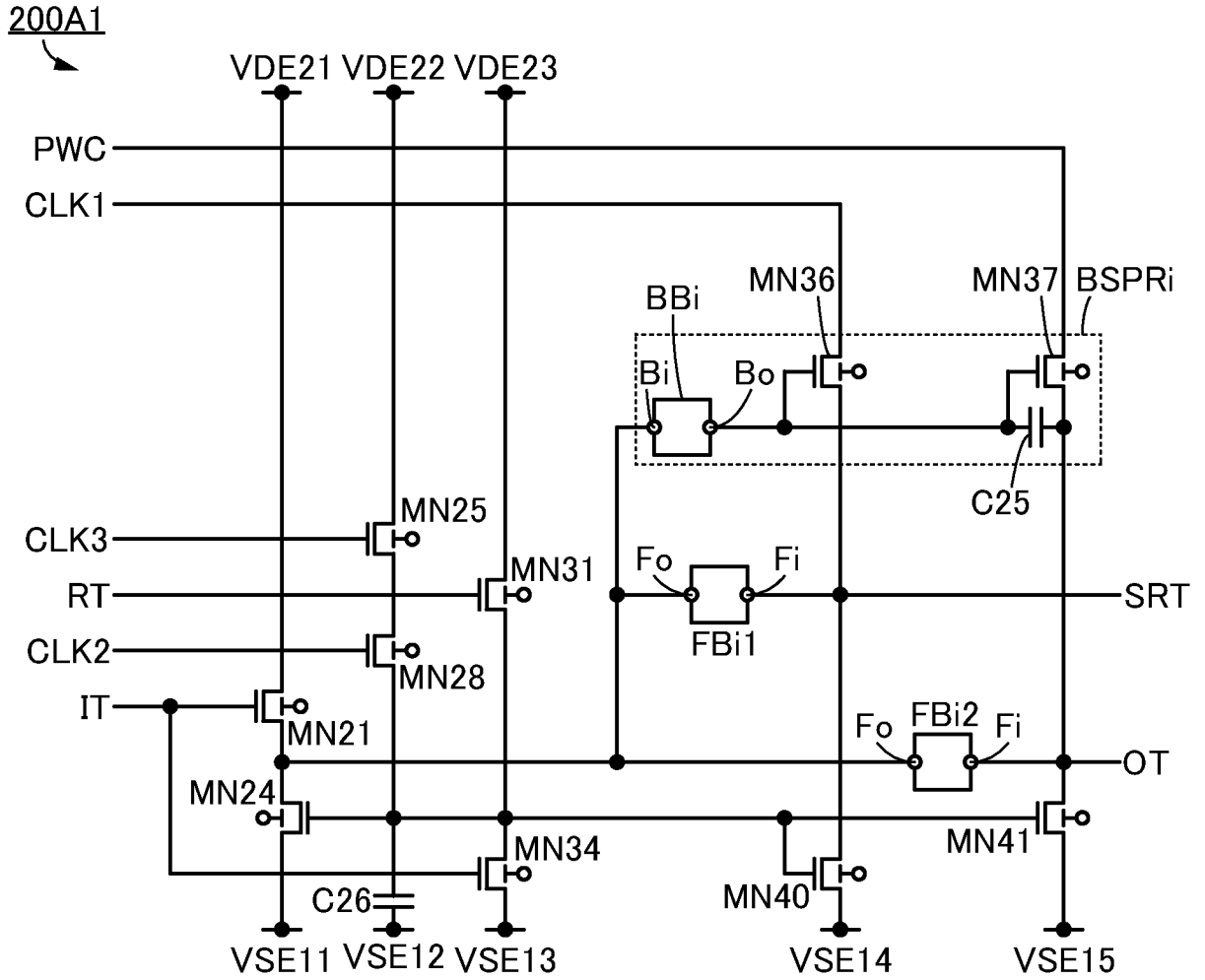


図20









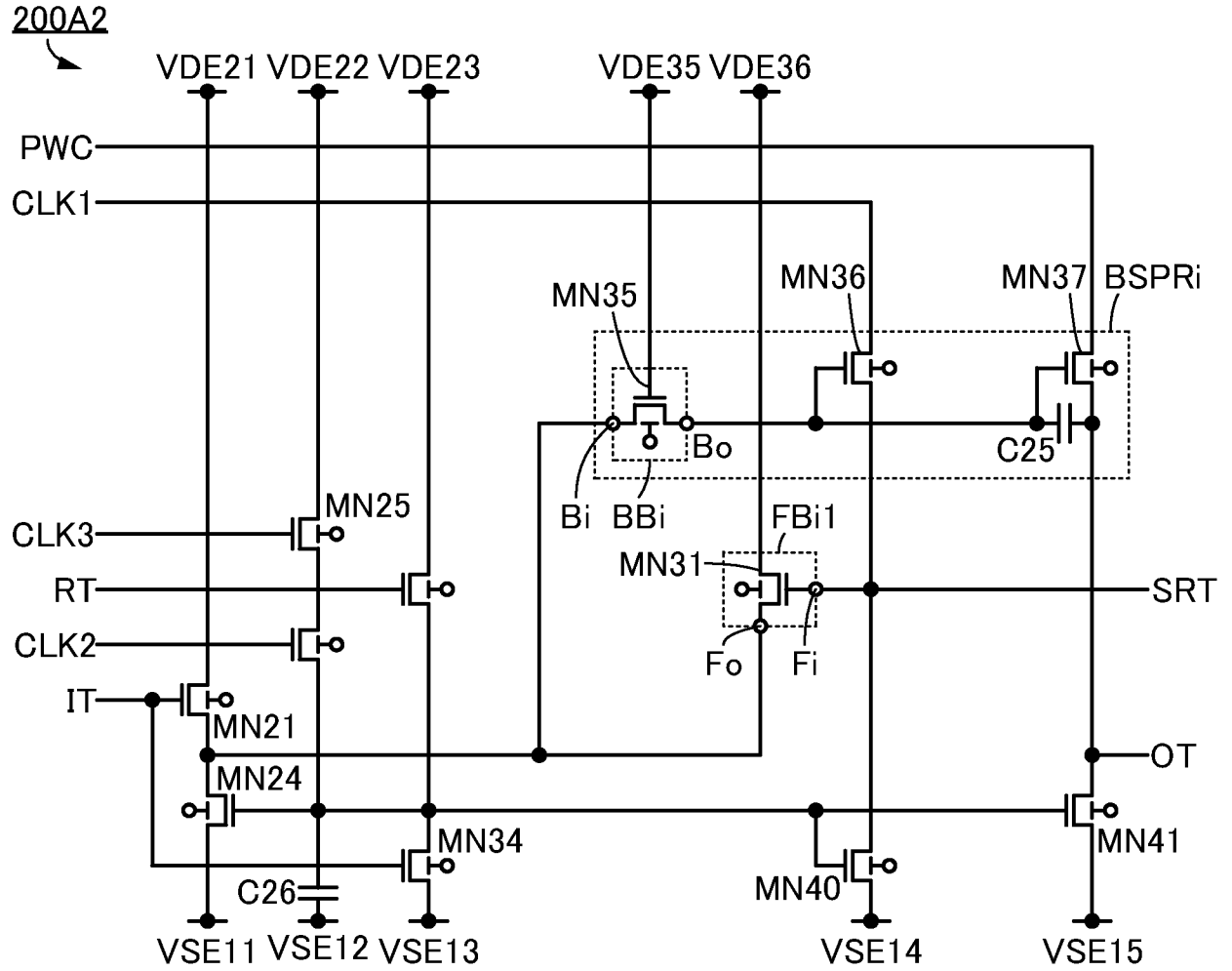


図25A

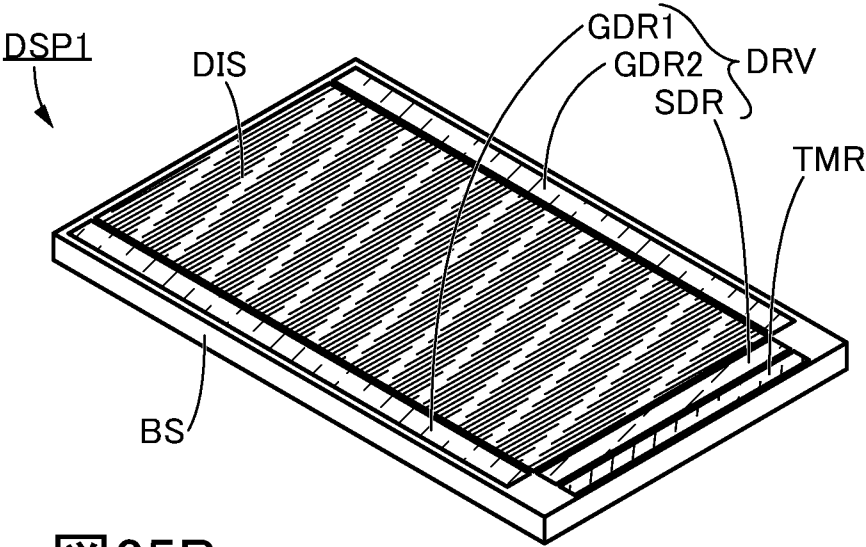
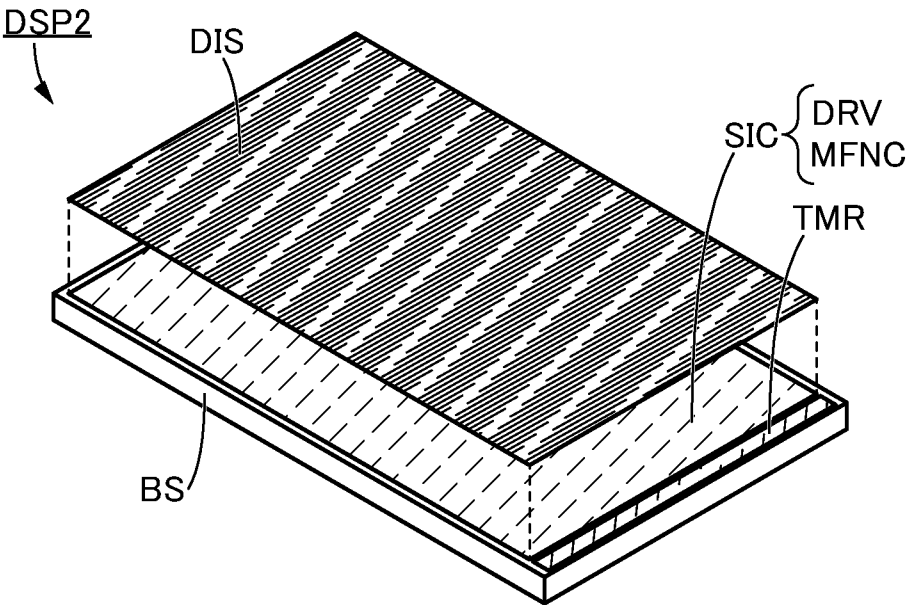


図25B



26

DSP2

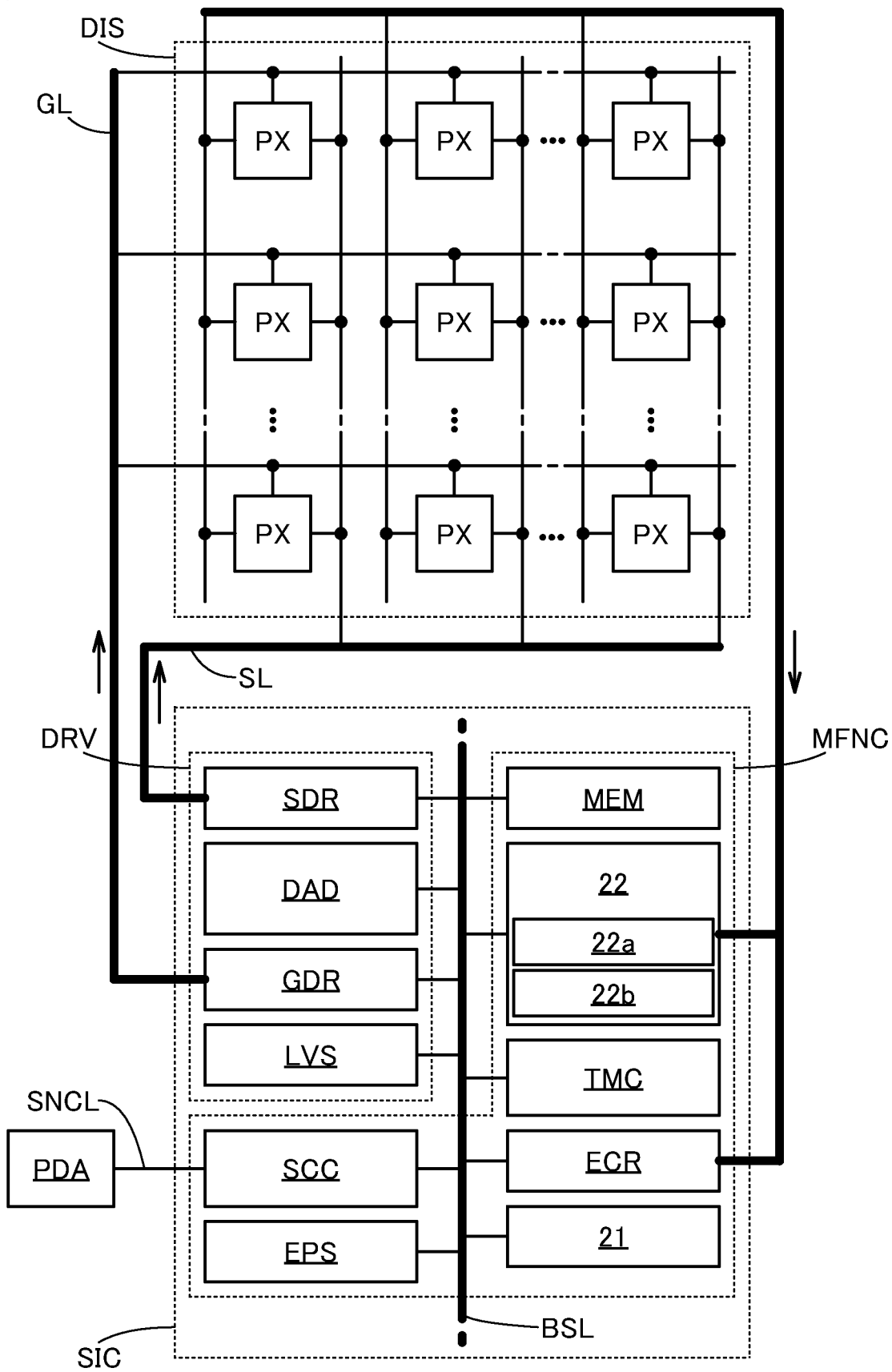


図 27

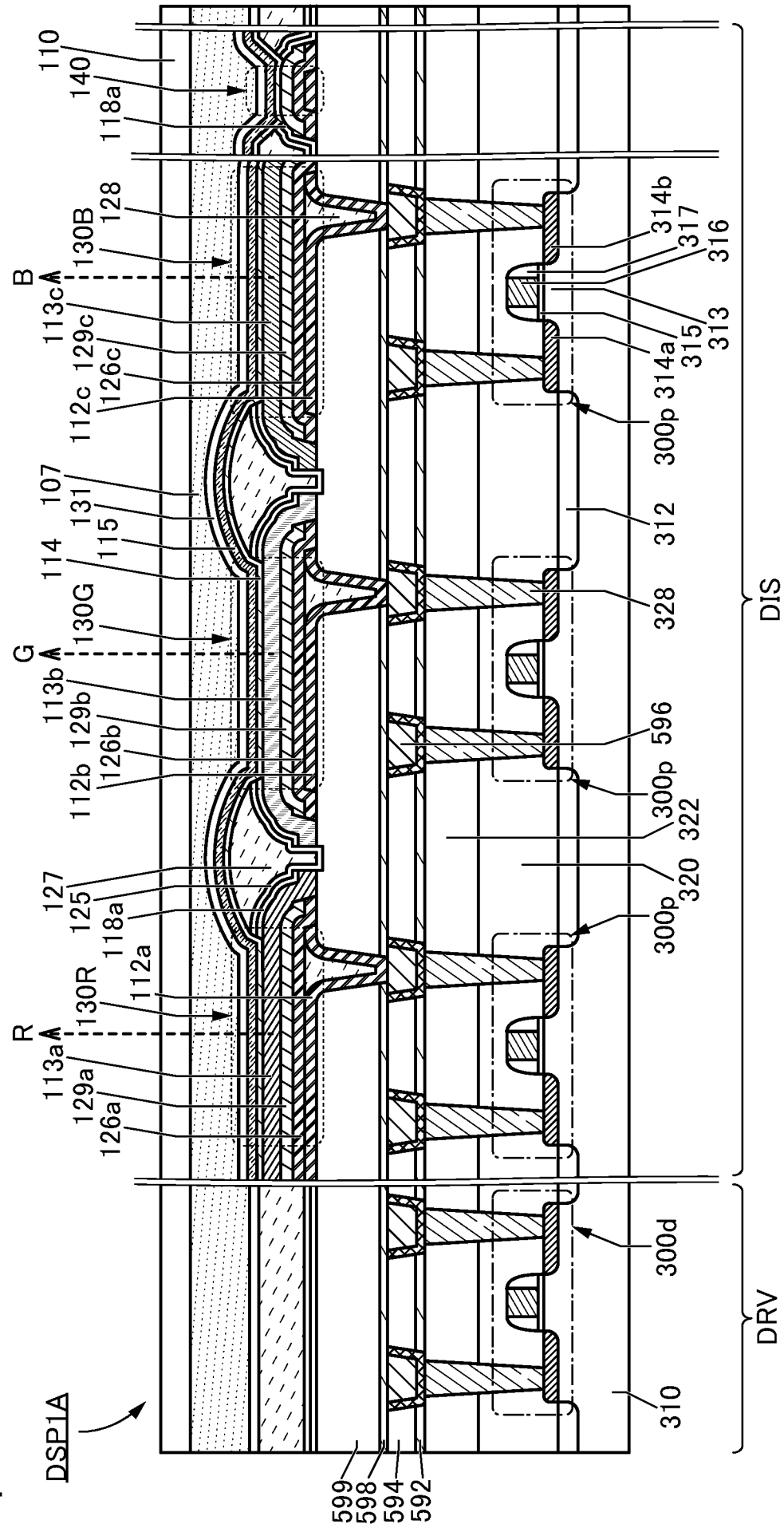


図28A

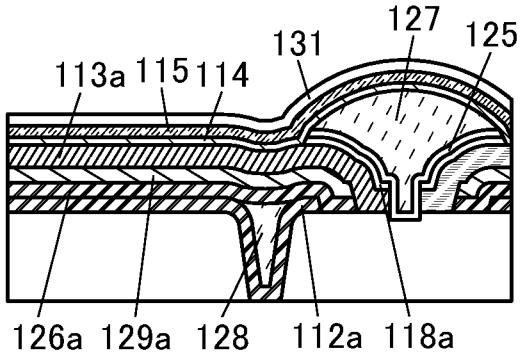


図28B

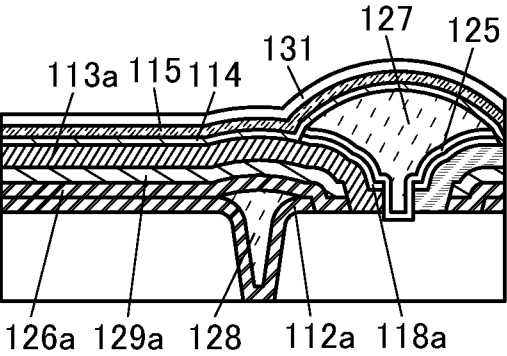
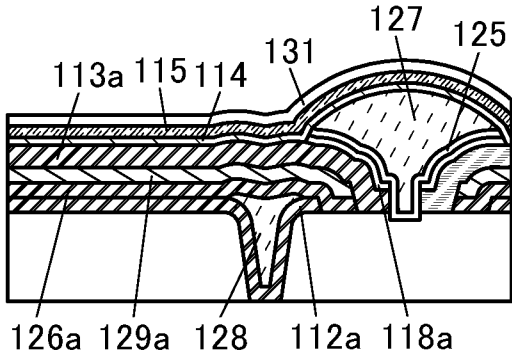


図28C



29

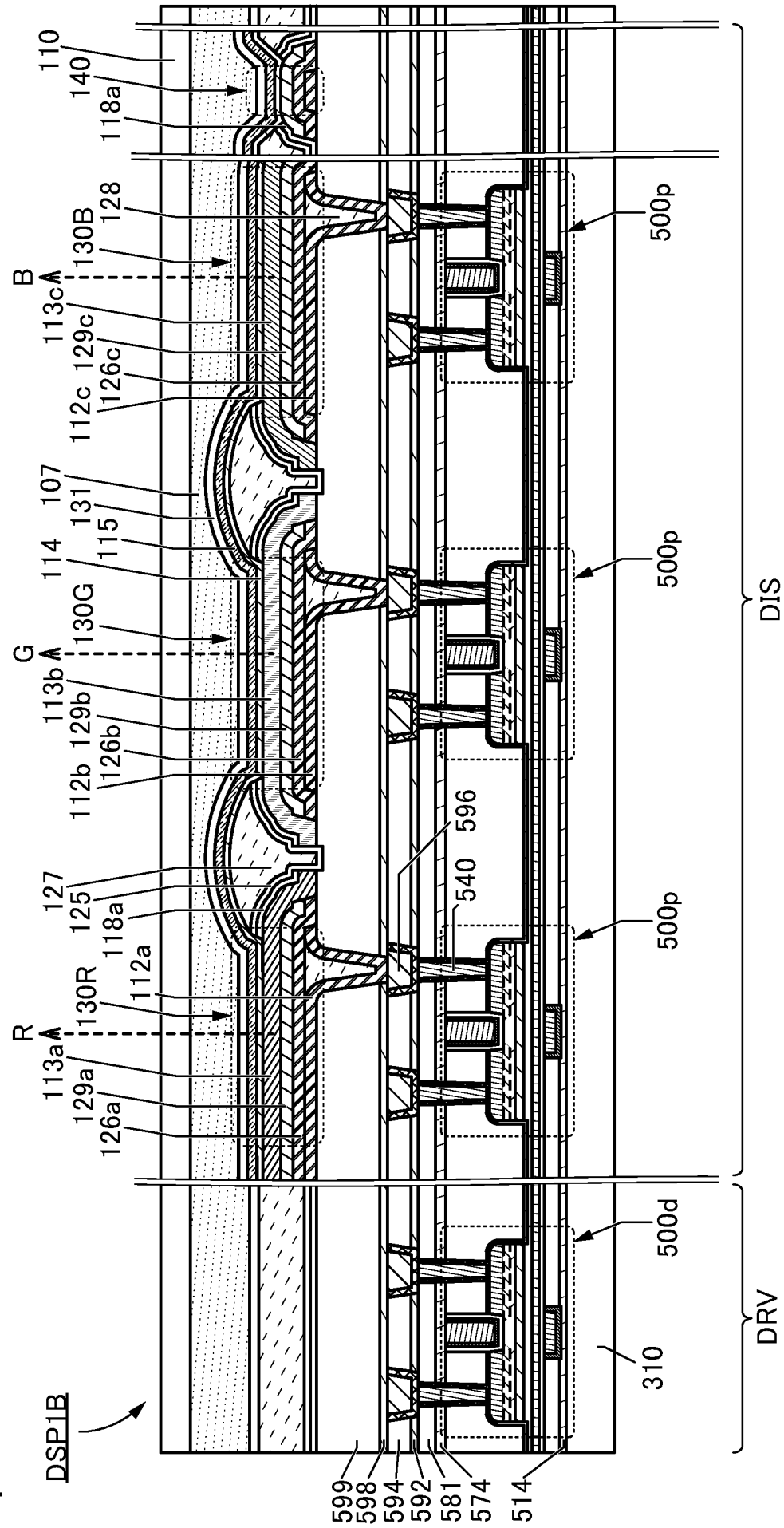


図30A

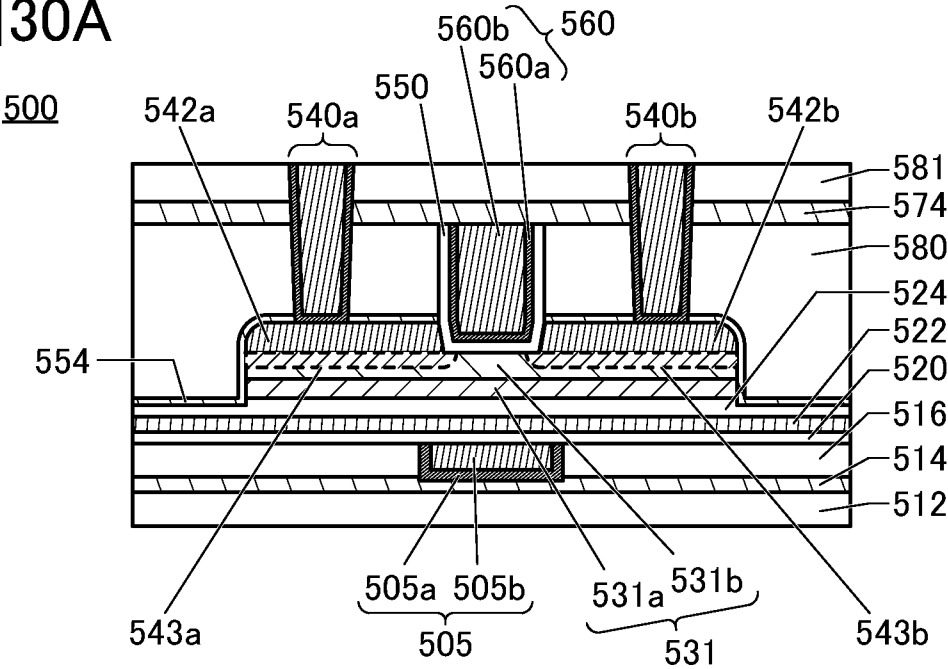
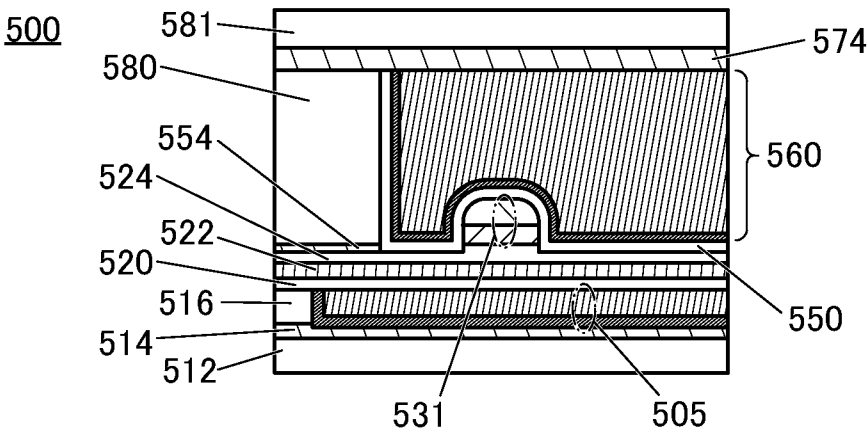
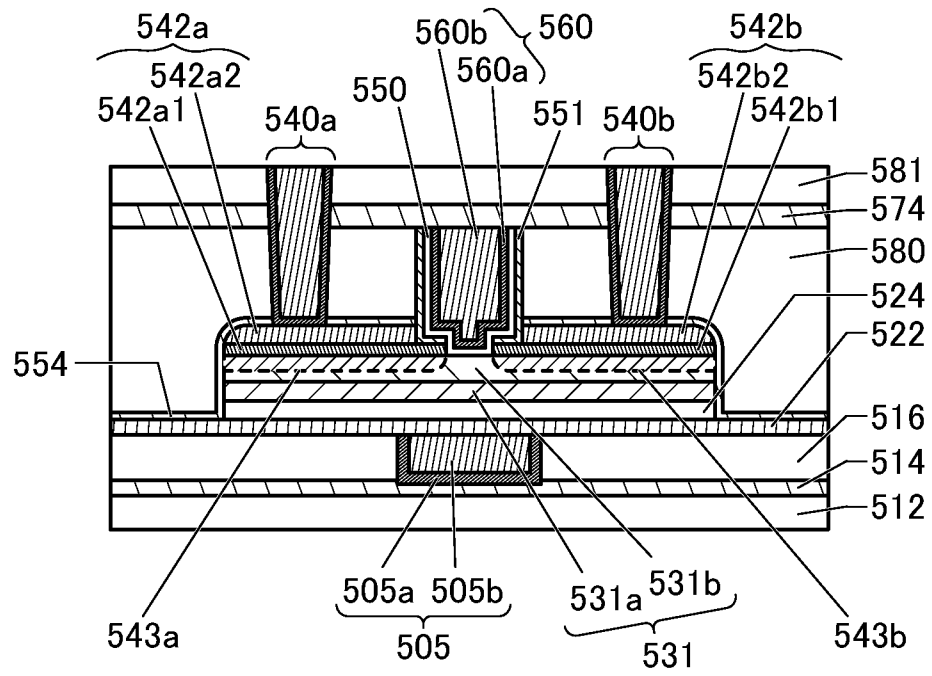


図30B



500



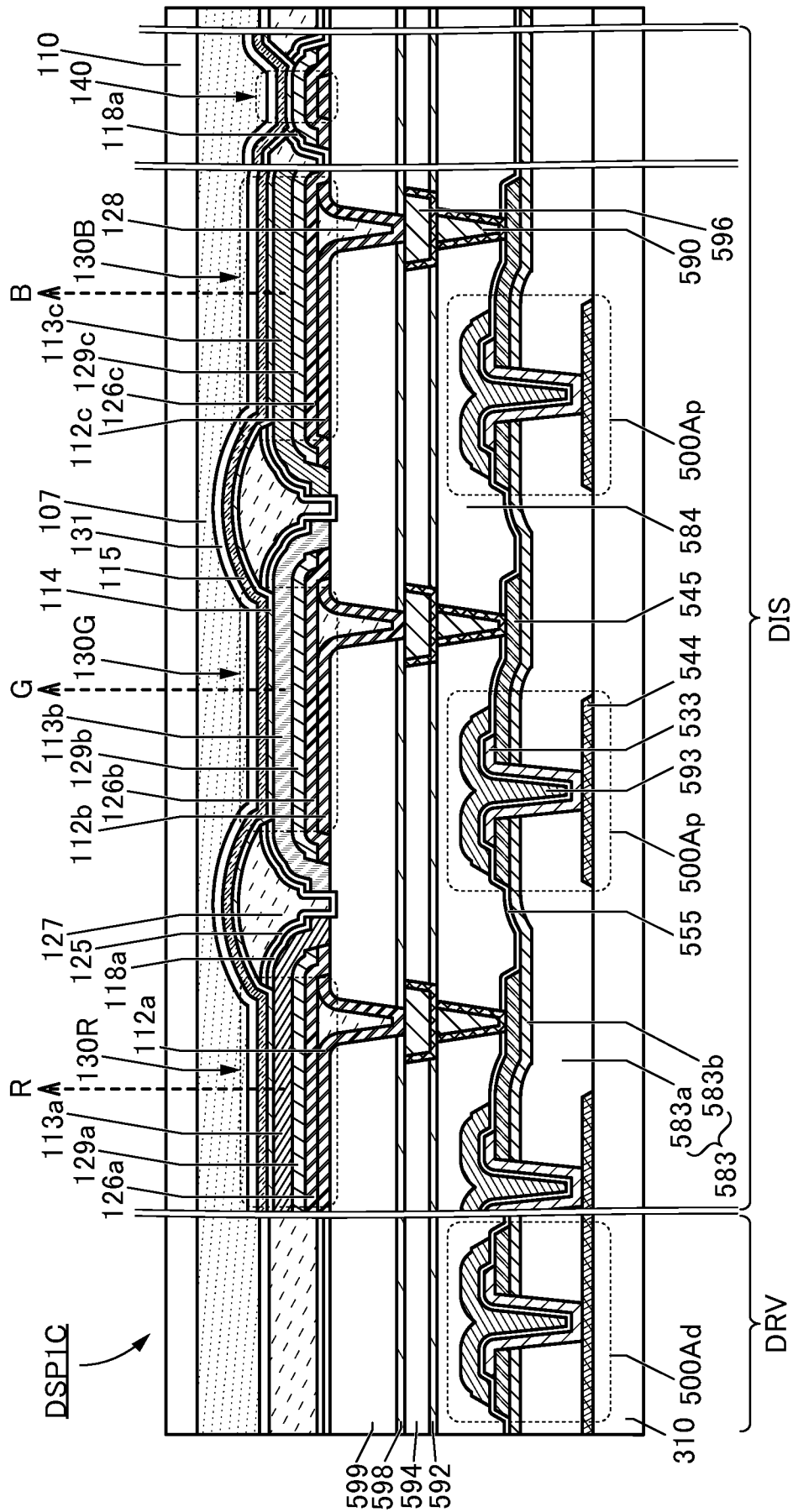


図33A

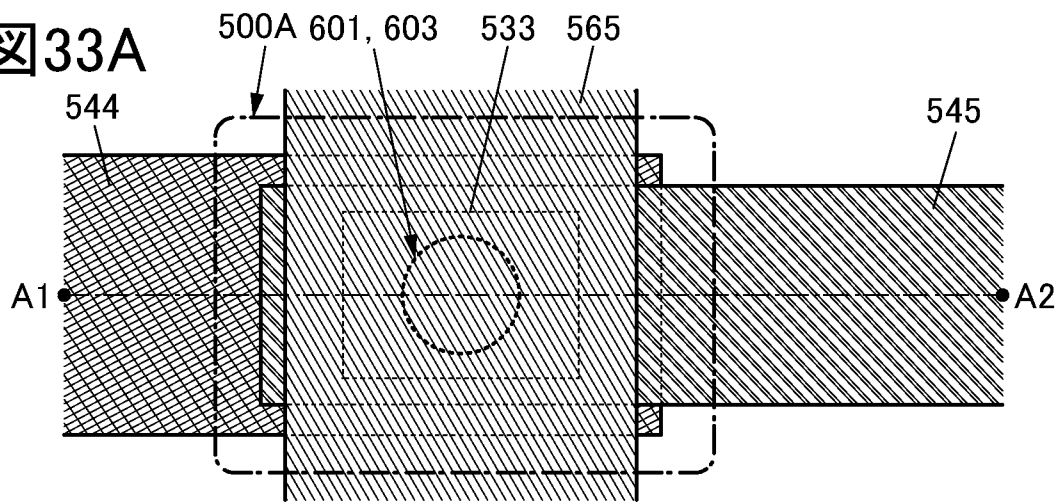


図33B

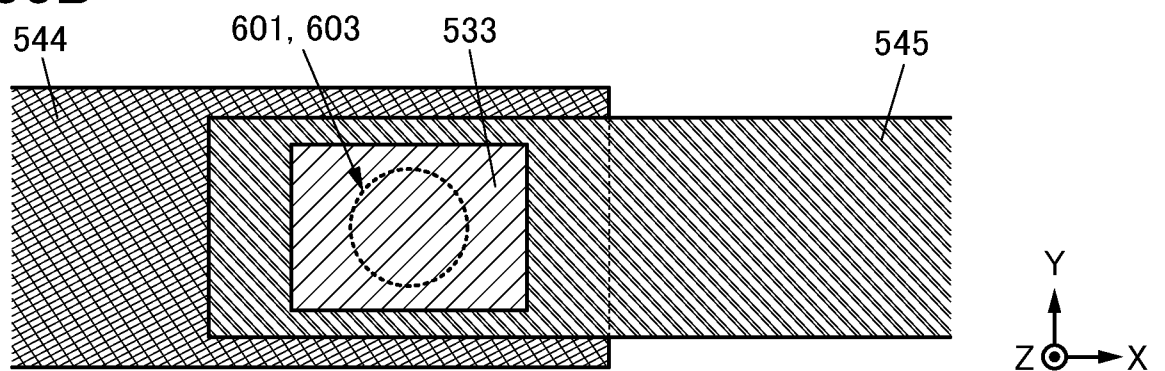


図33C

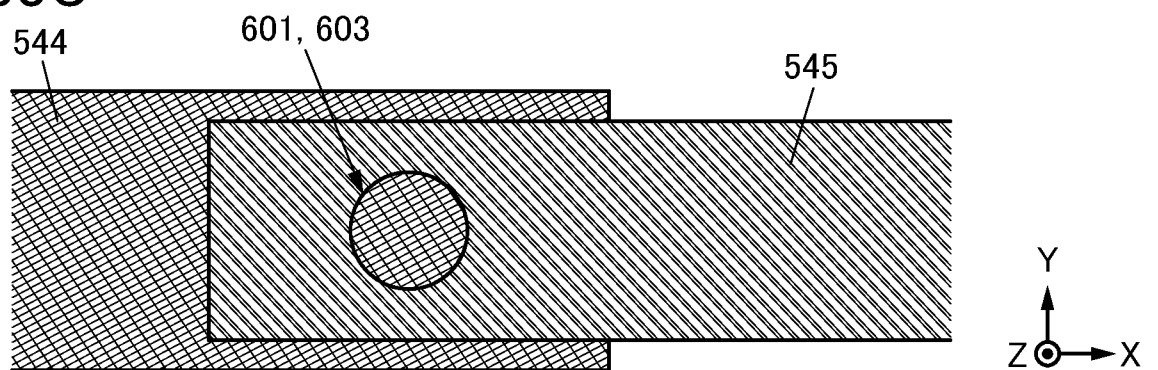


図33D

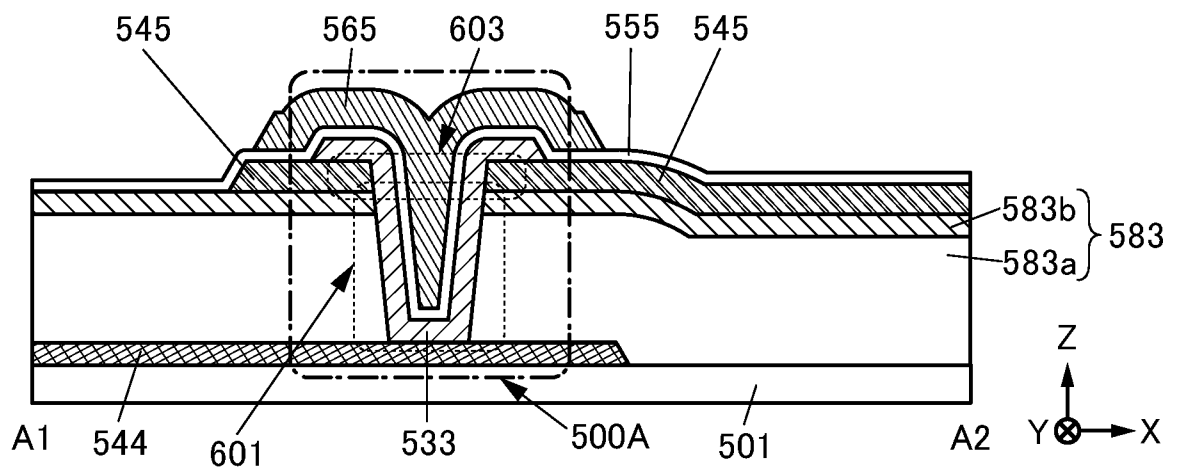


図 34A

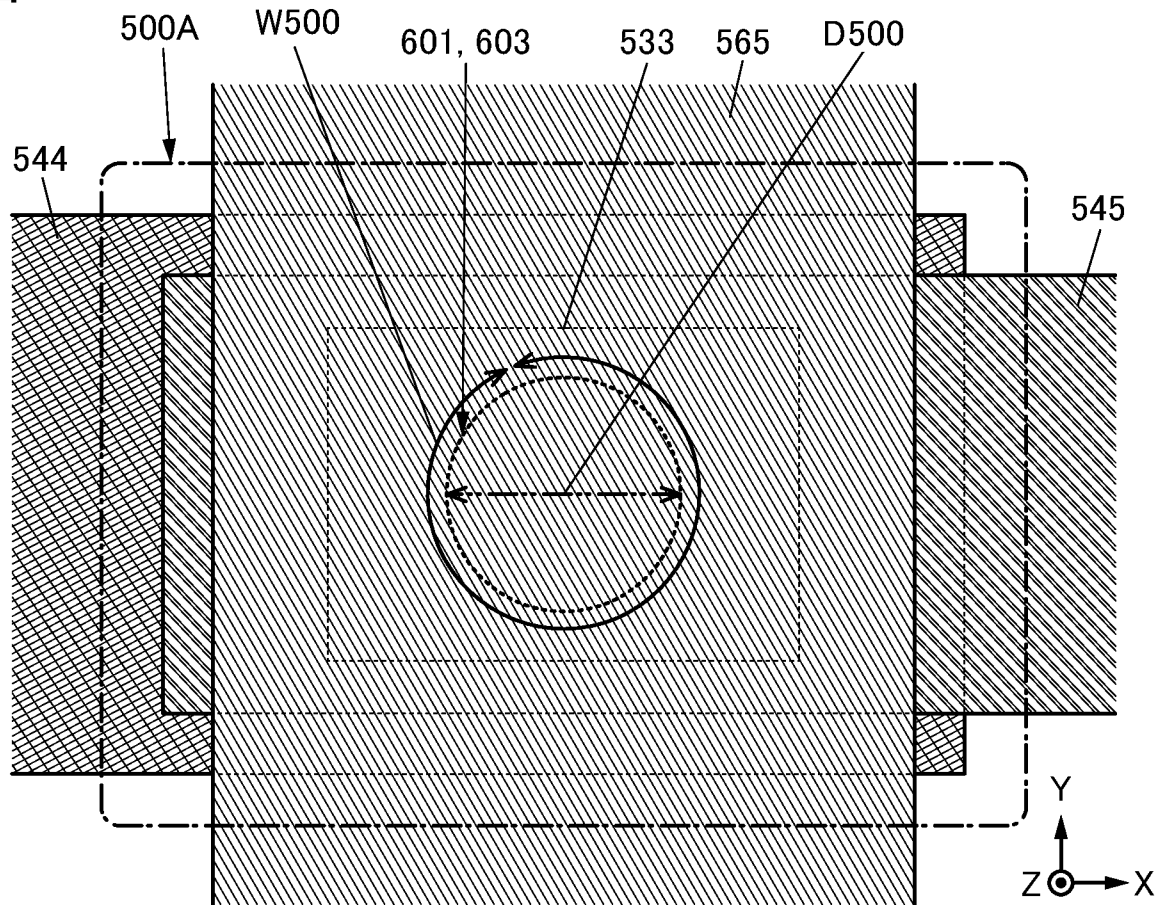
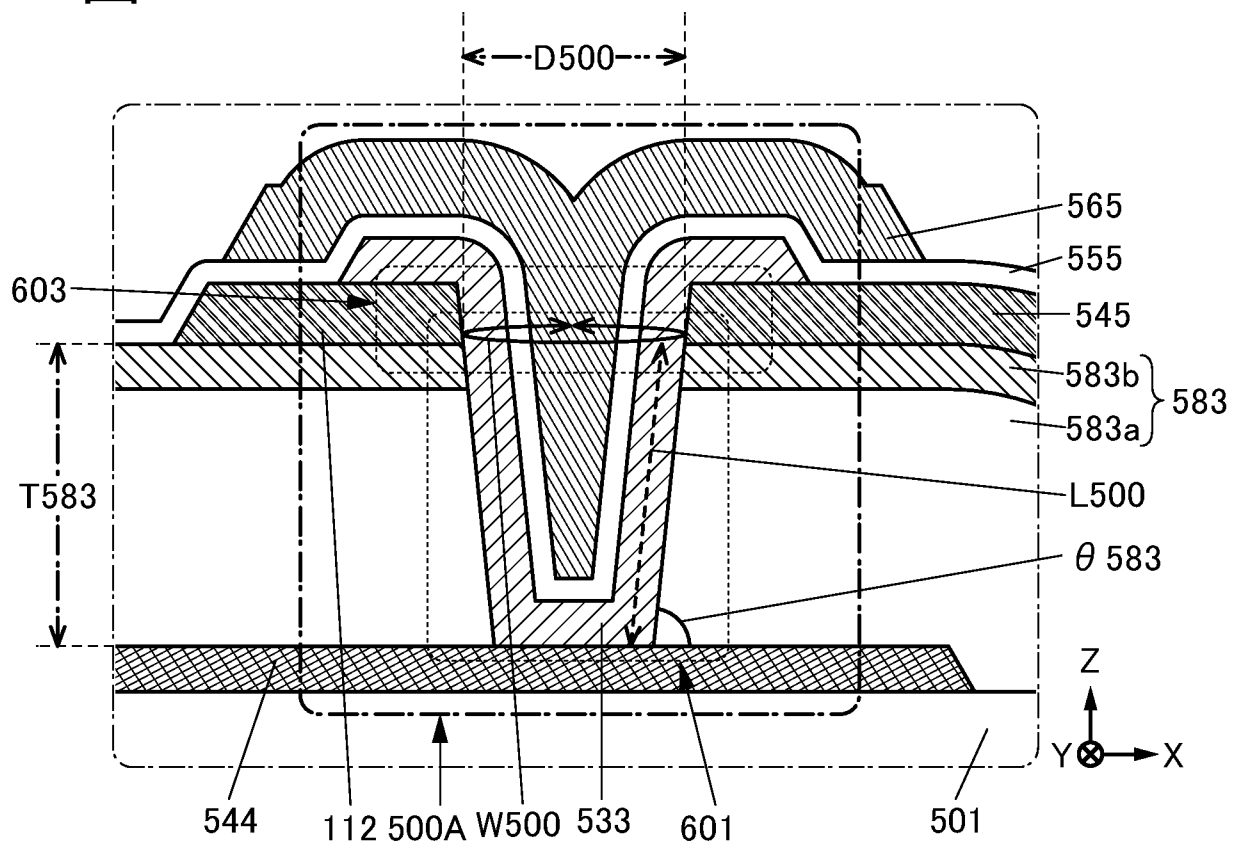
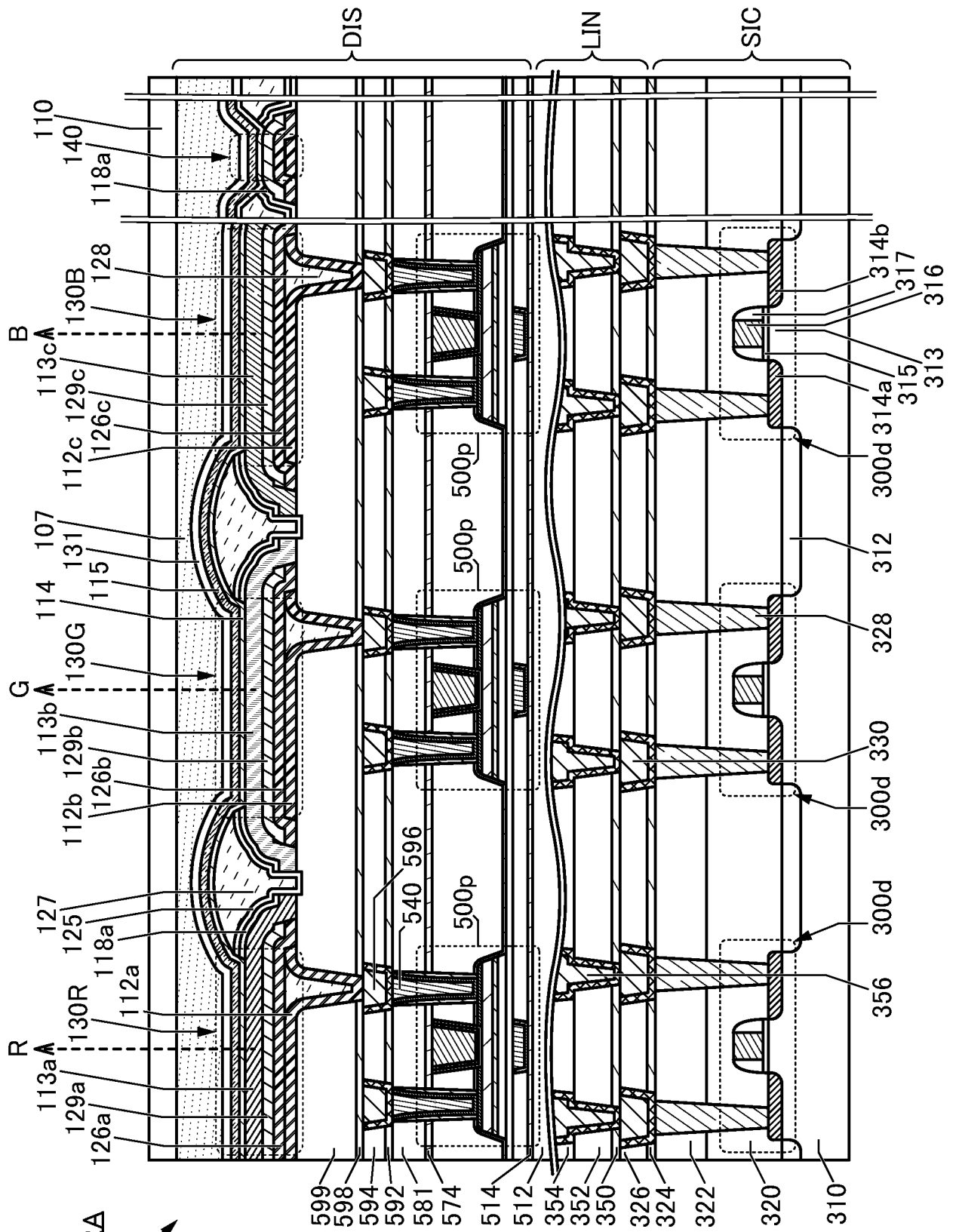
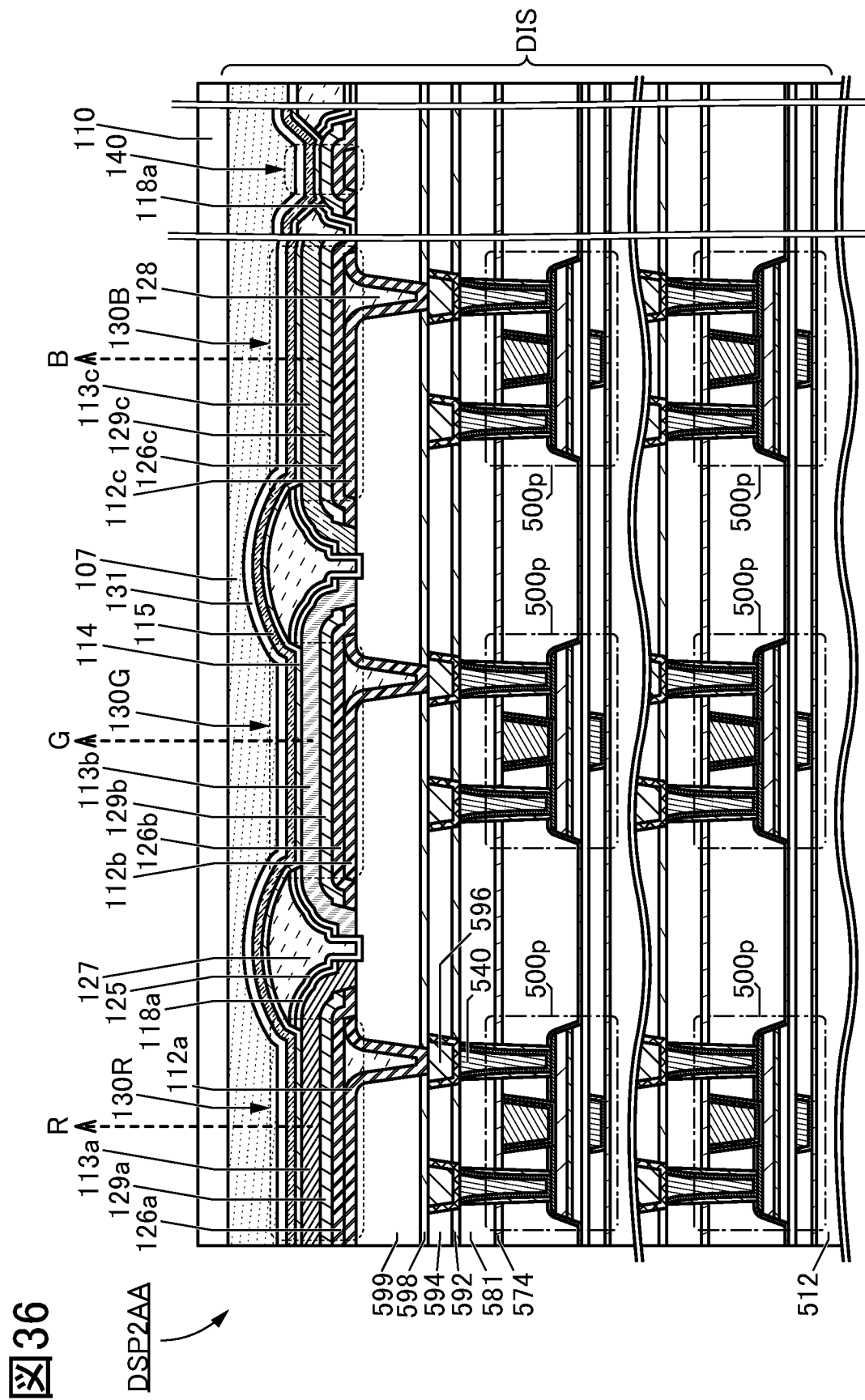
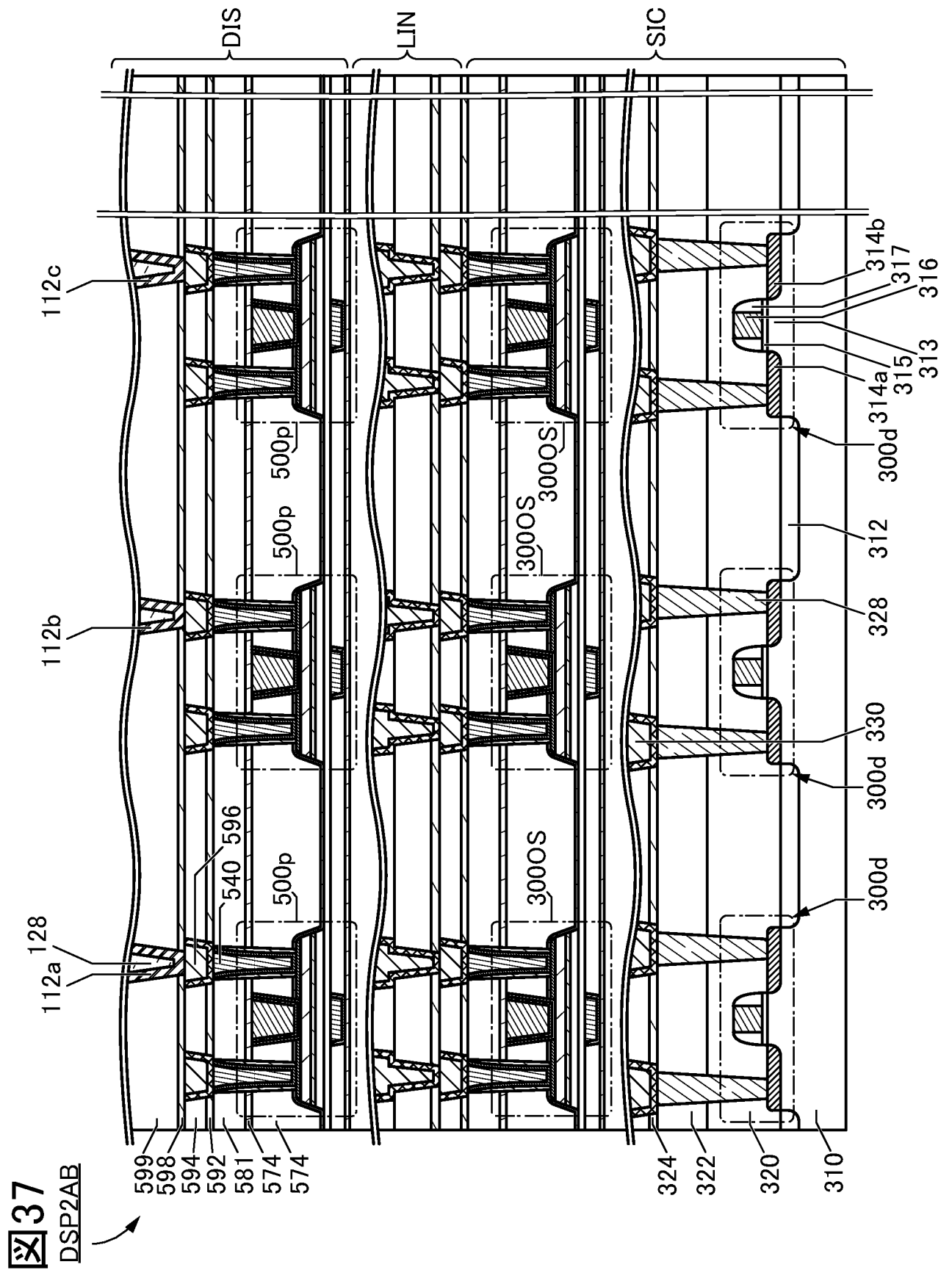


図34B



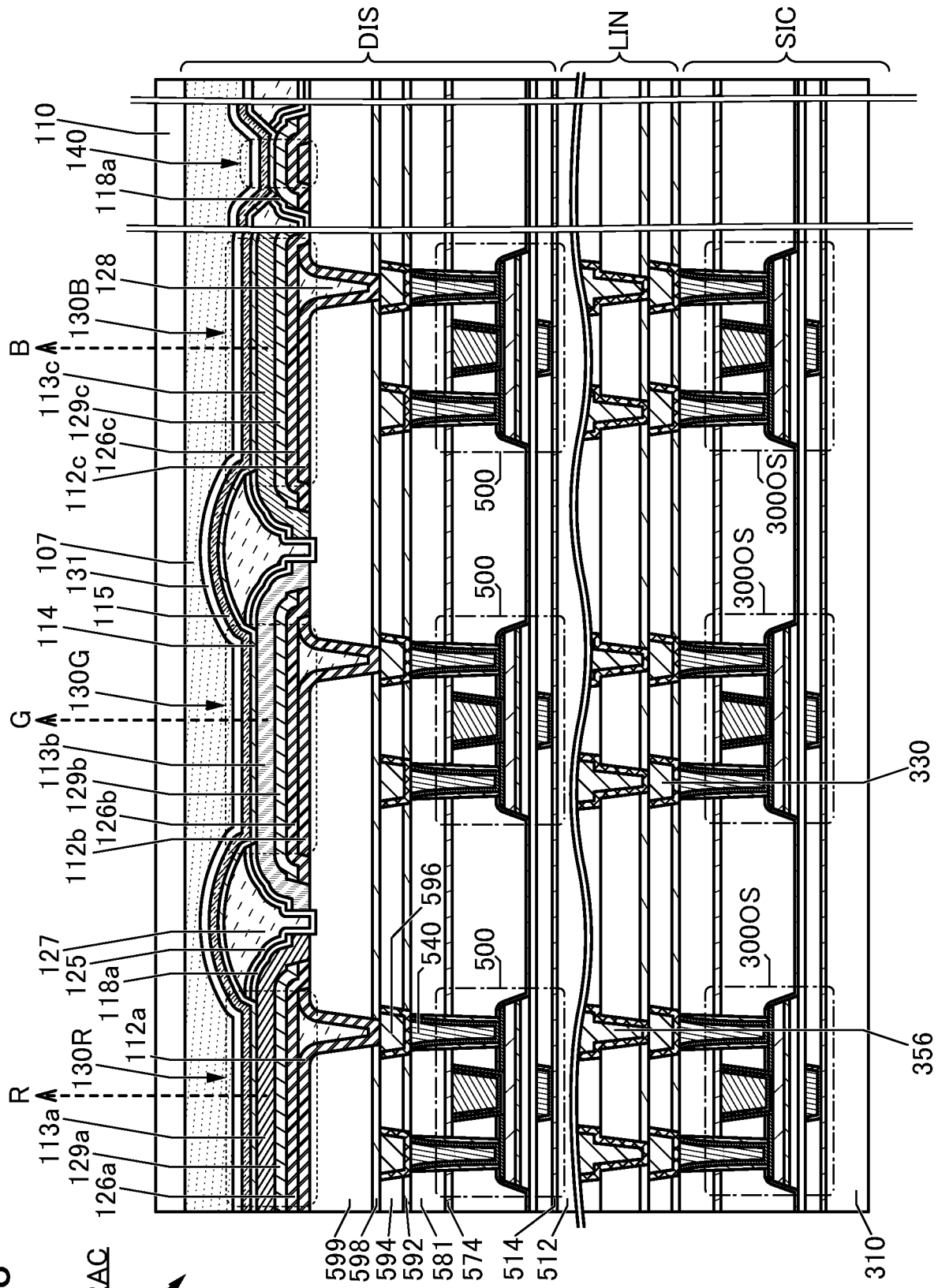
DSP2A



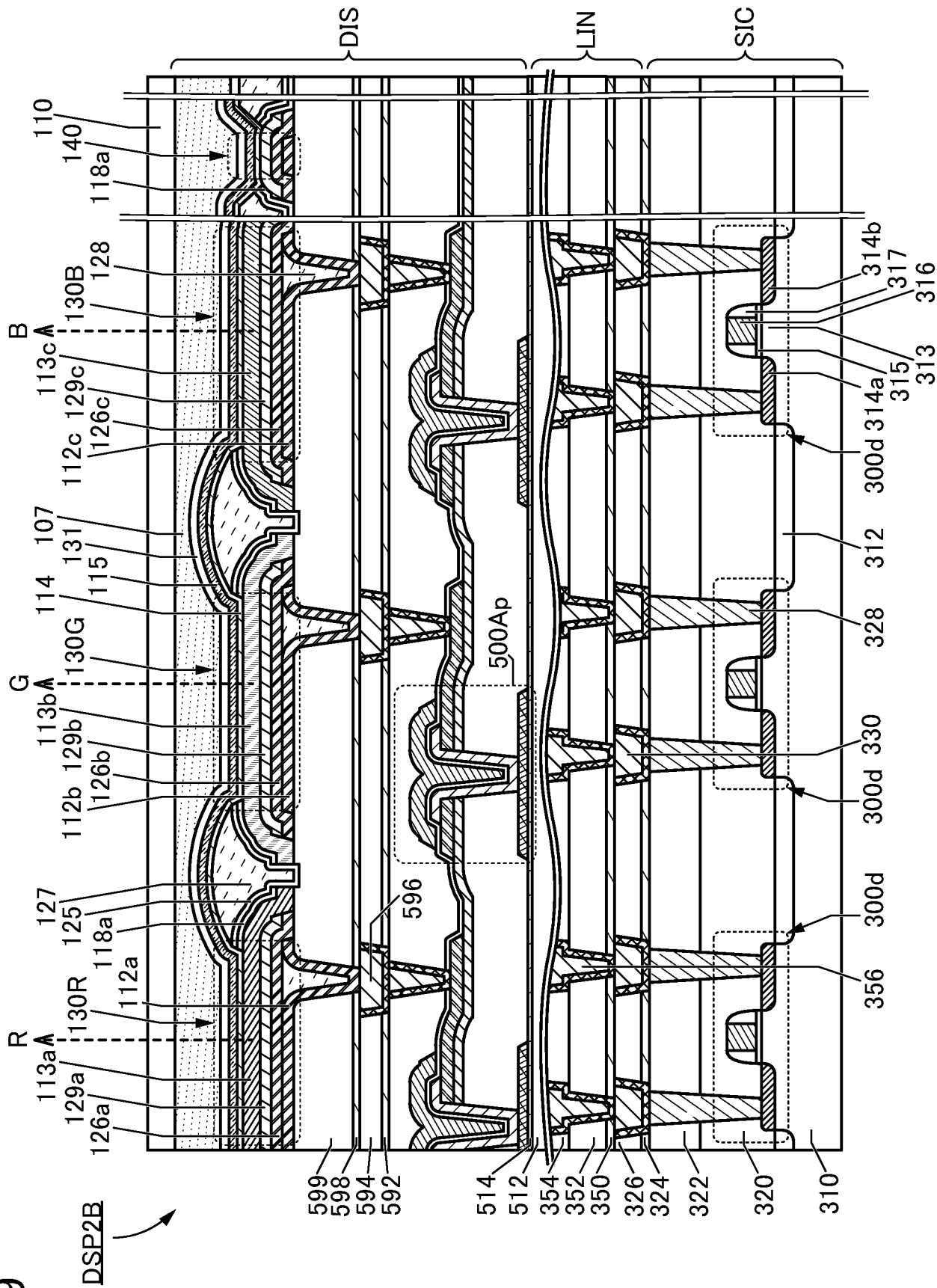


38

DSP2AC



39



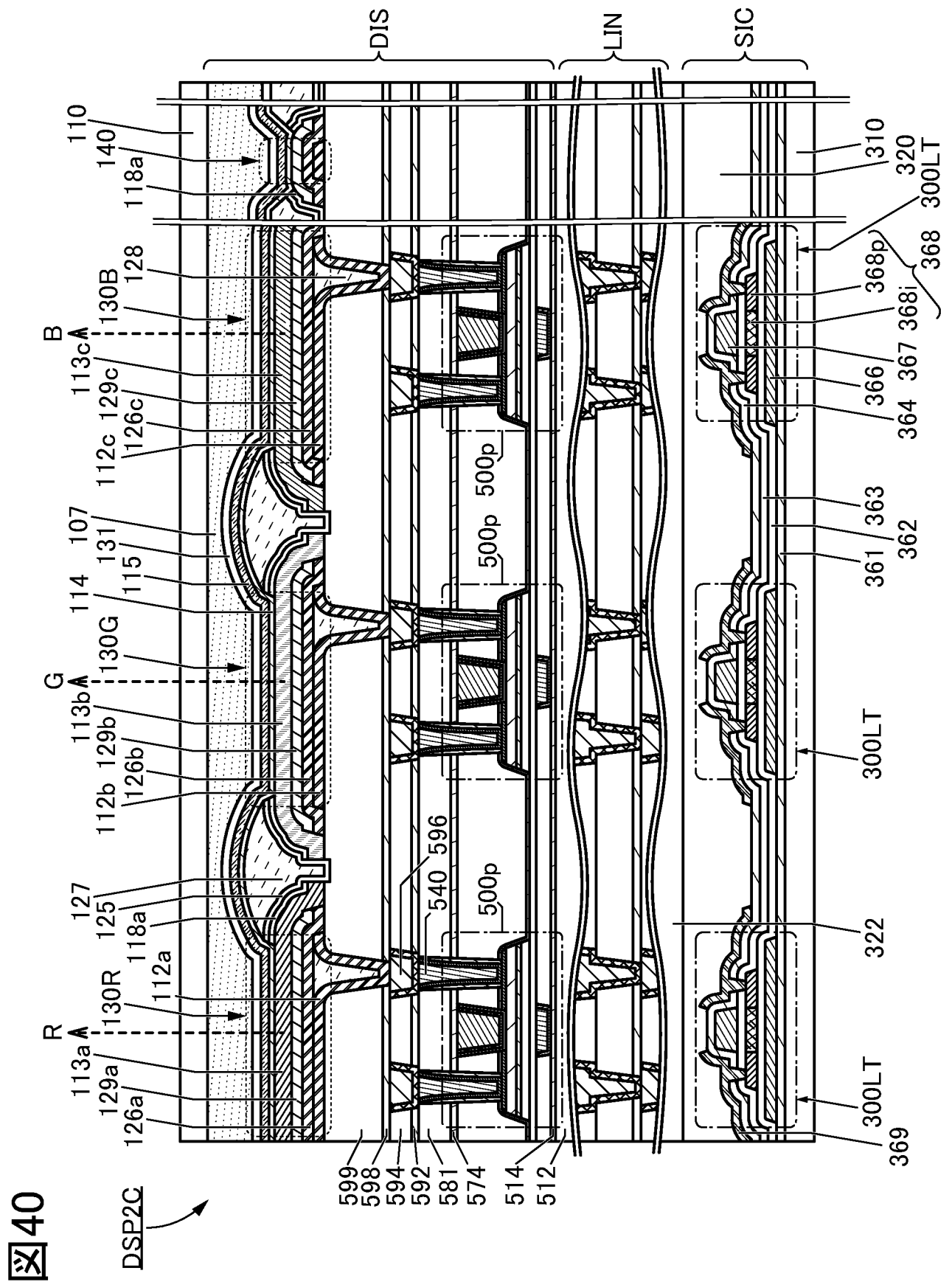
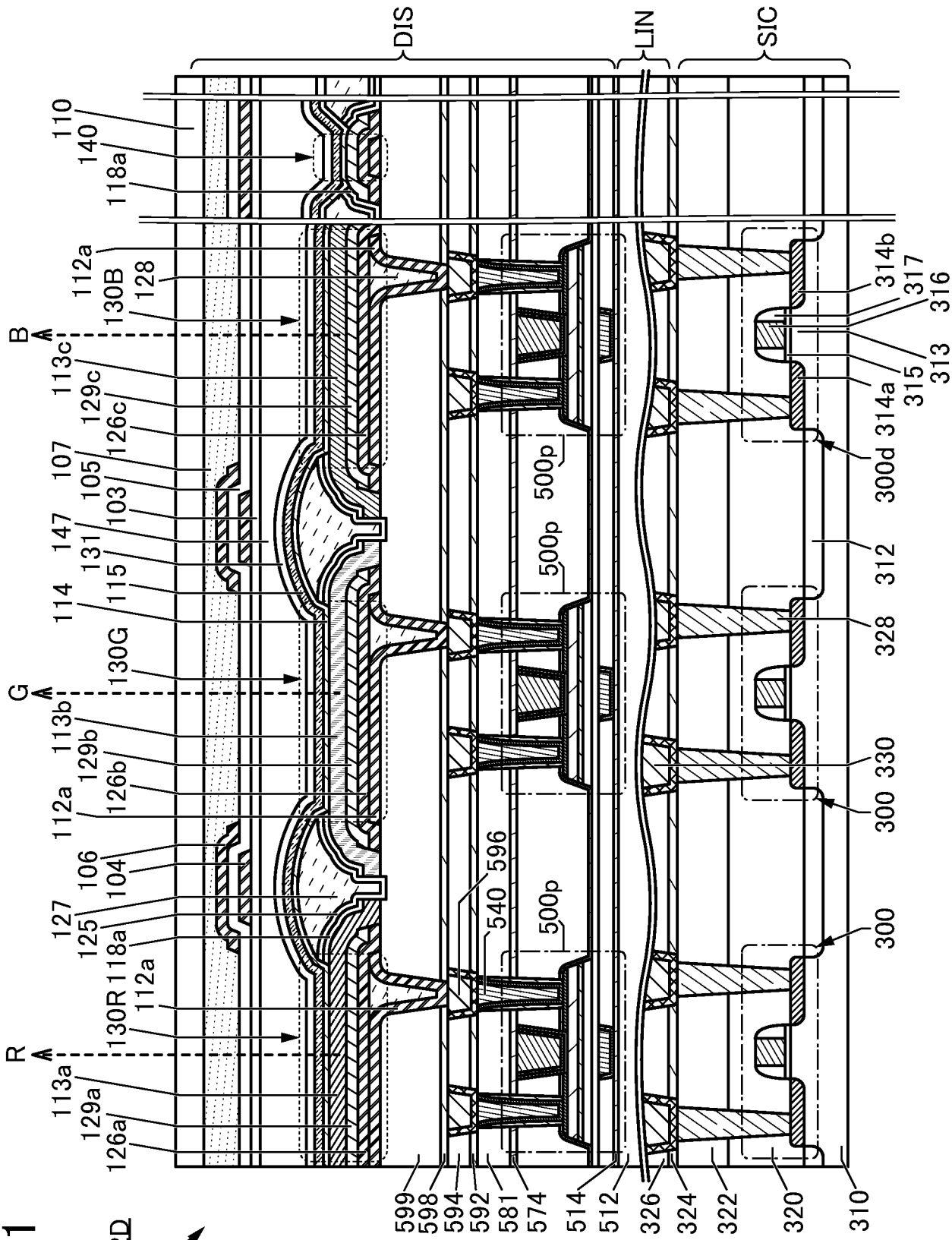
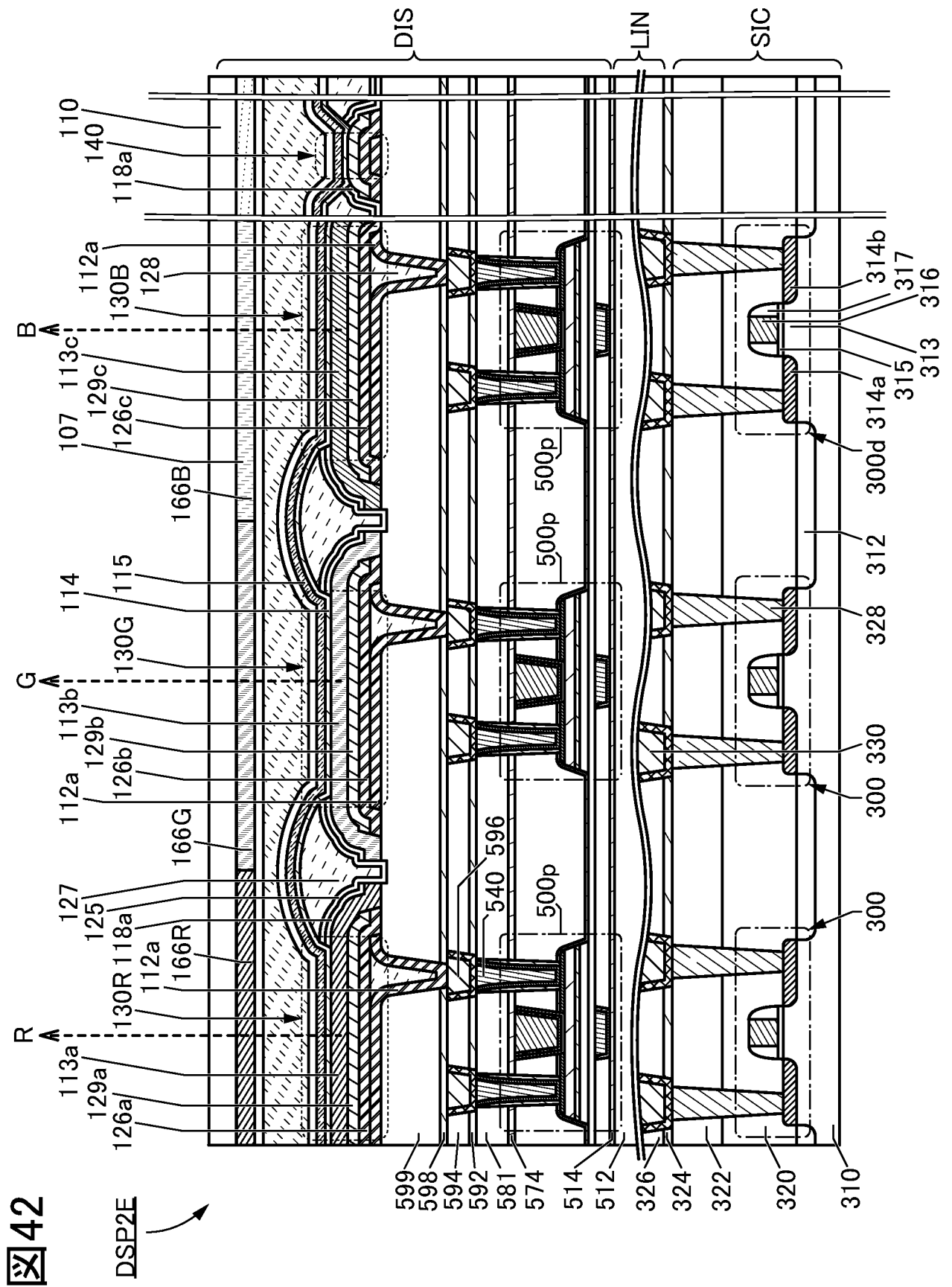


図41

DSP2D





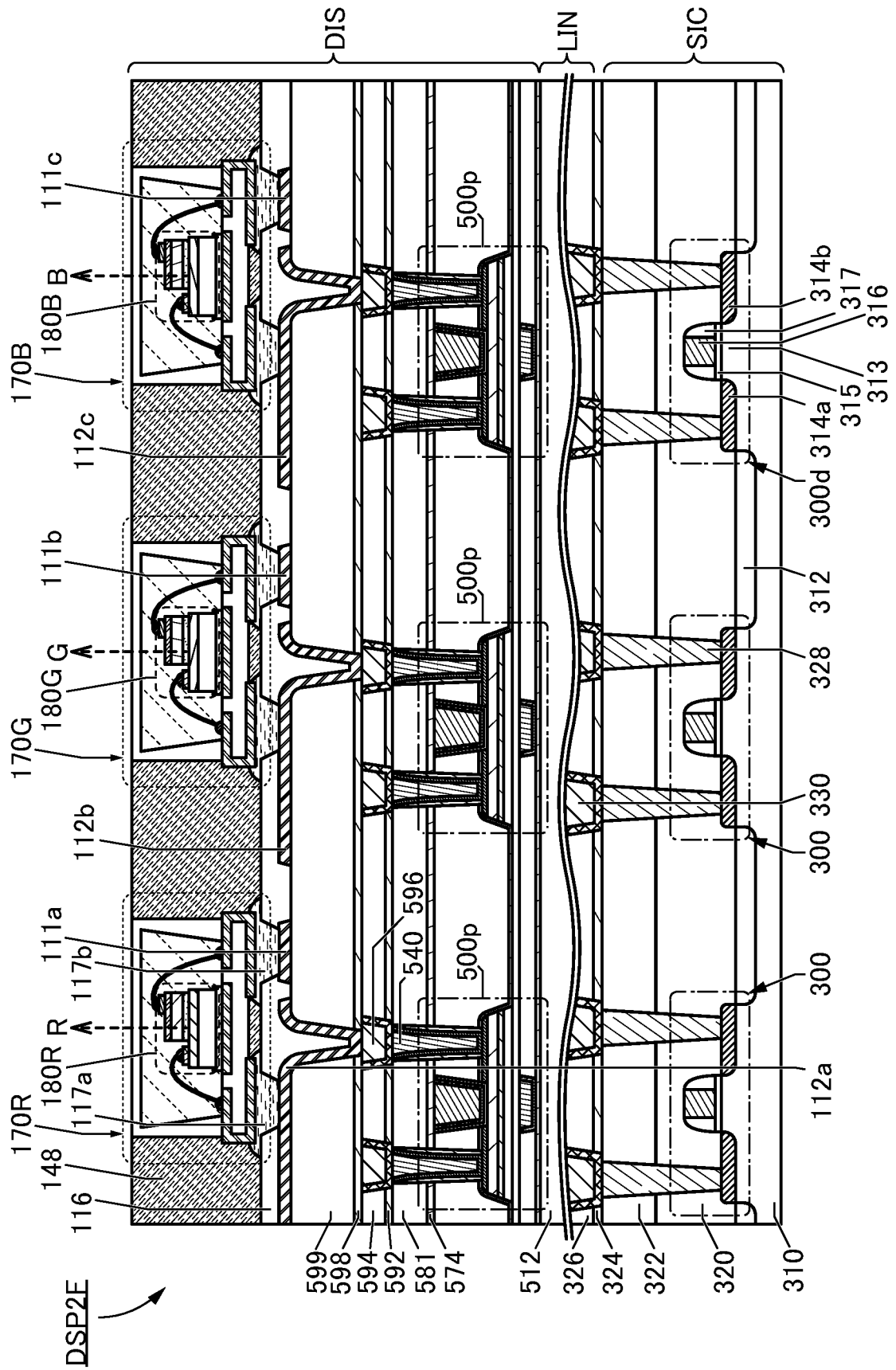


図44A

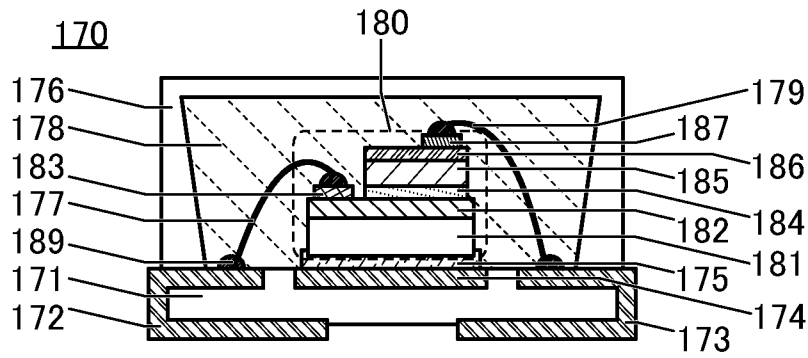


図44B

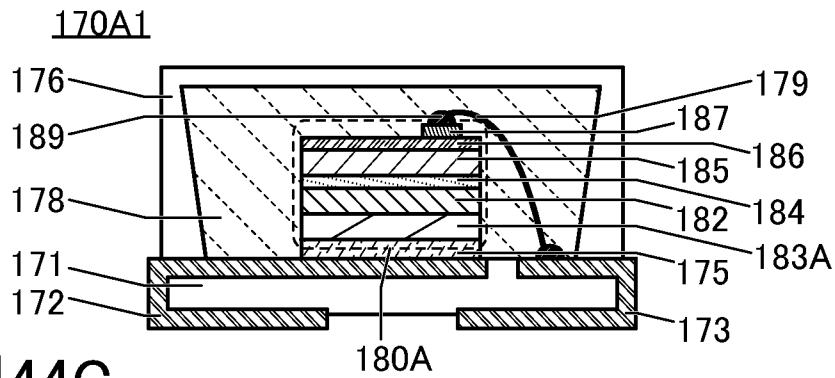


図44C

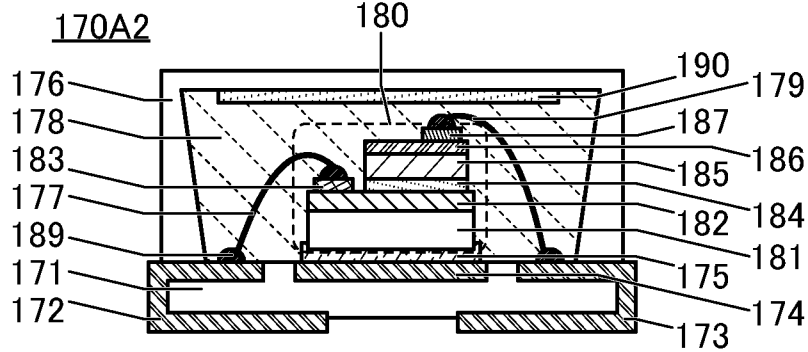


図44D

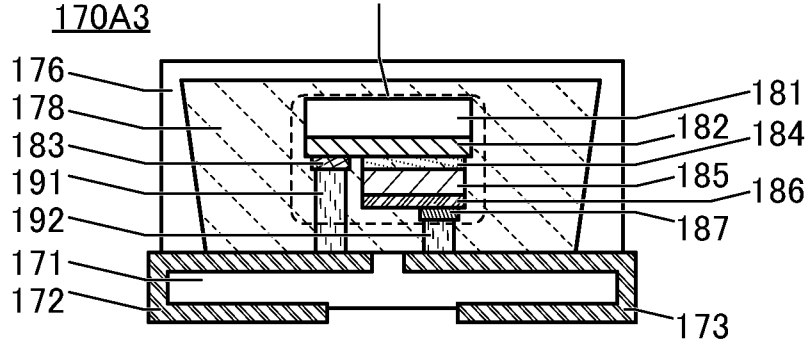


図45A

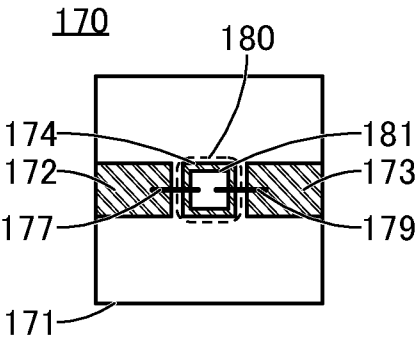


図45B

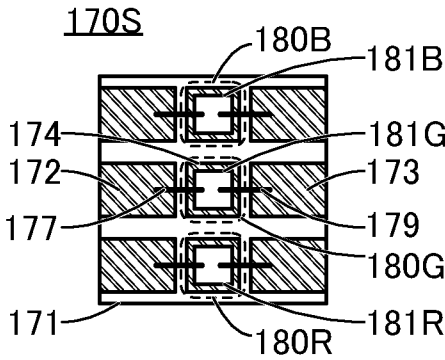


図46A

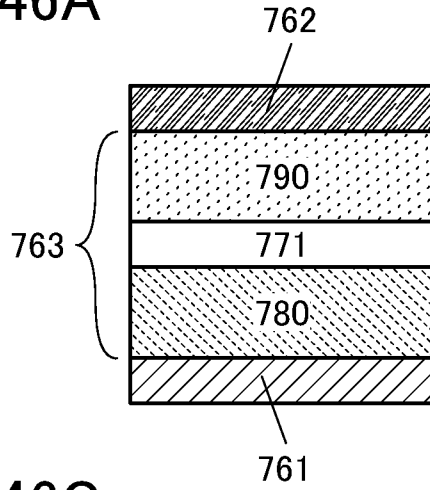


図46B

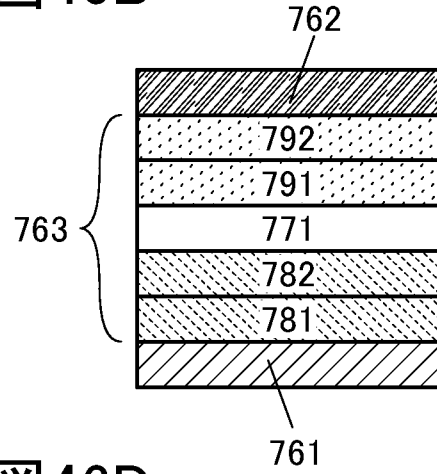


図46C

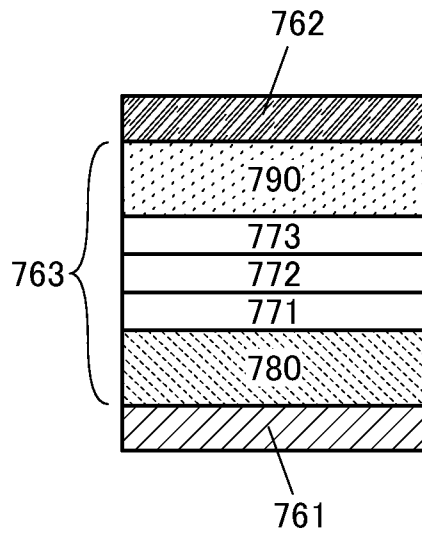


図46D

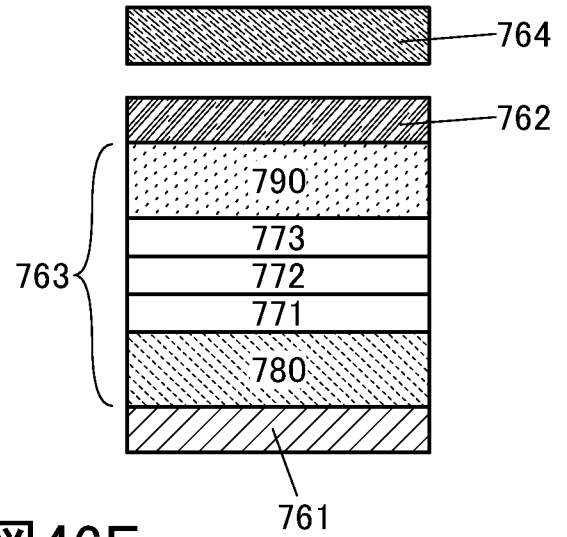


図46E

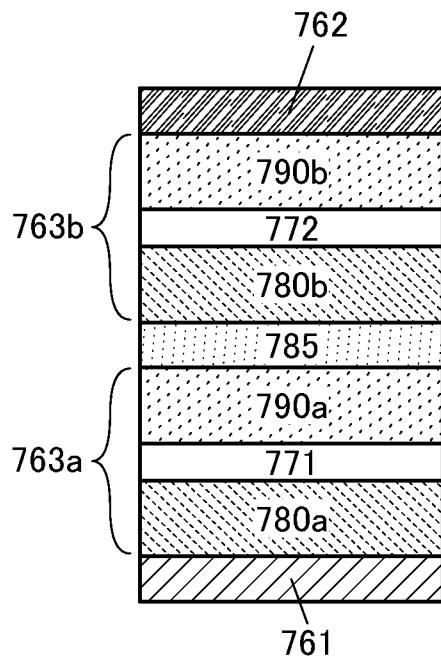


図46F

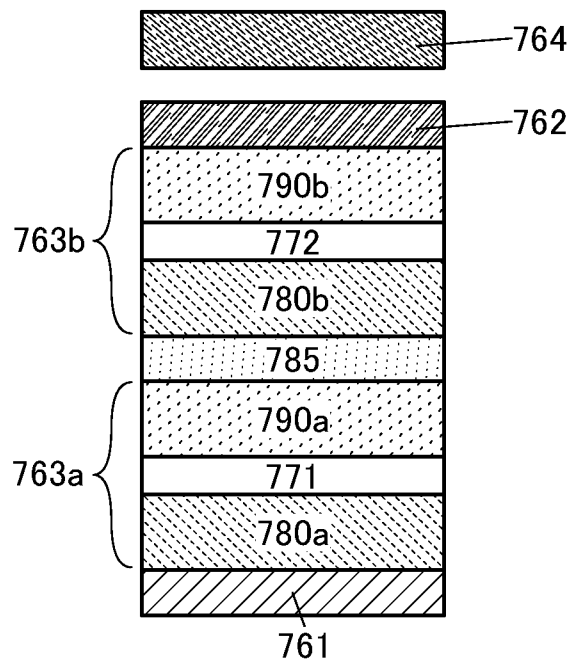


図47A

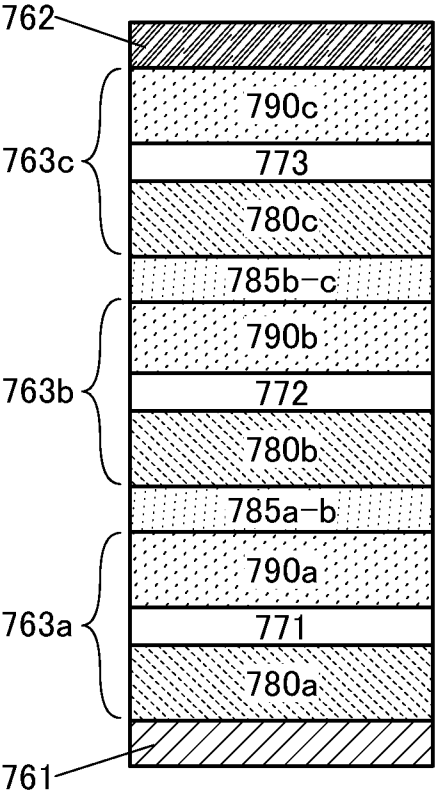


図47B

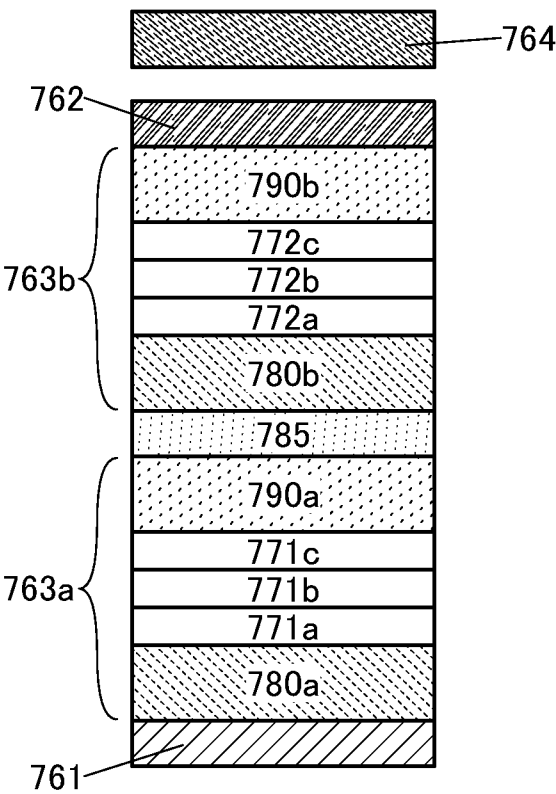


図47C

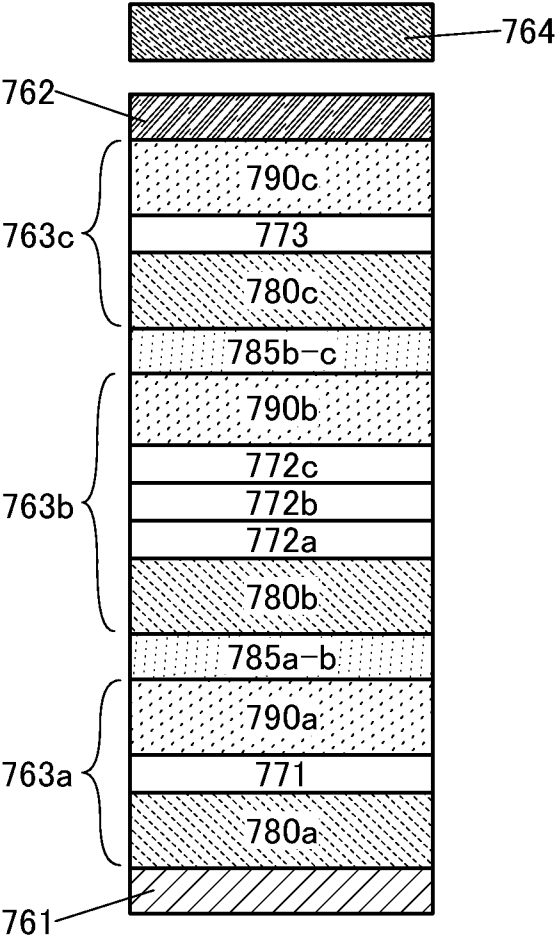


図48A

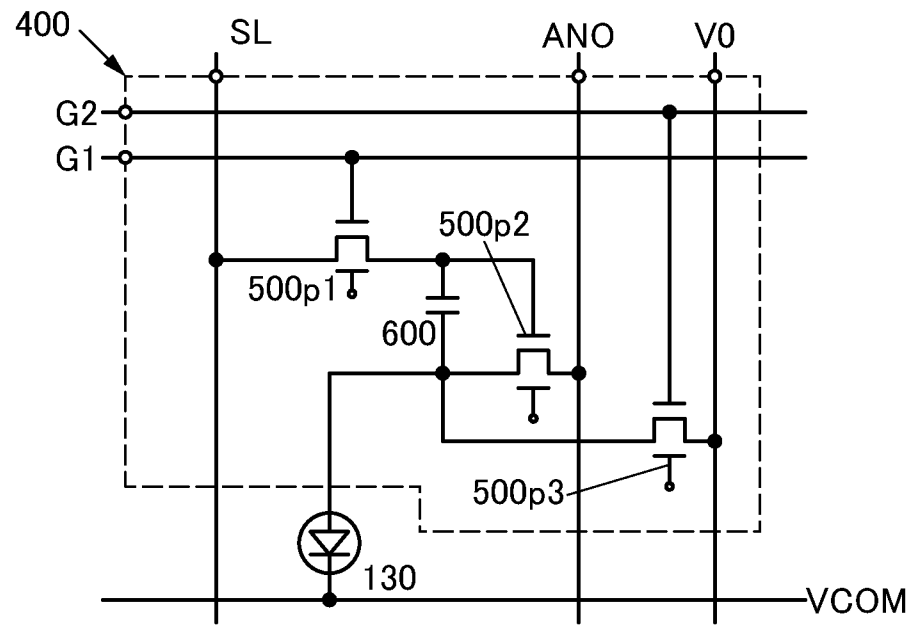


図48B

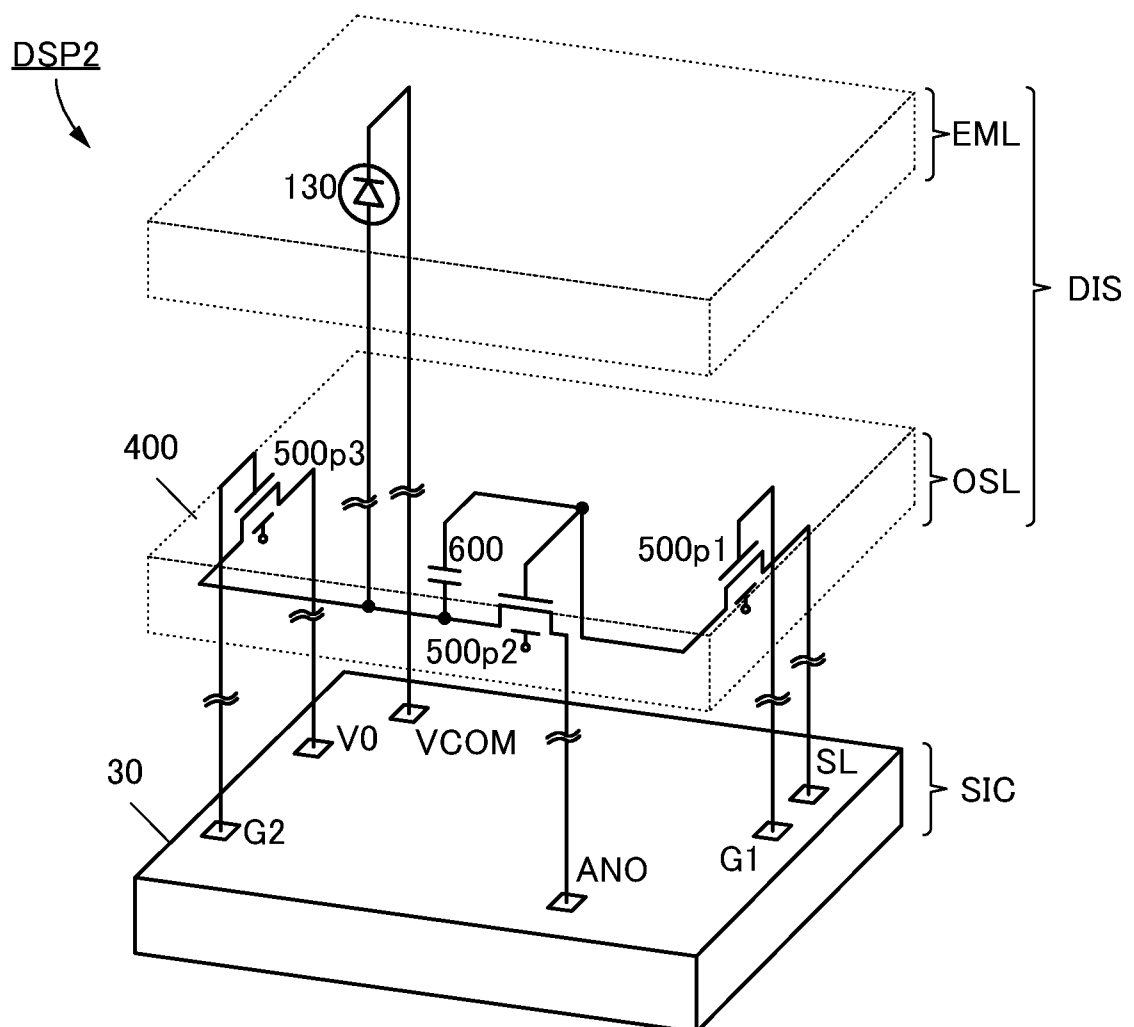


図49A

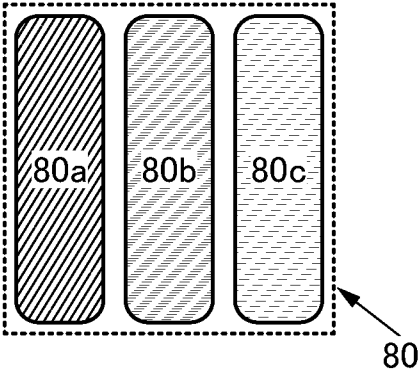


図49B

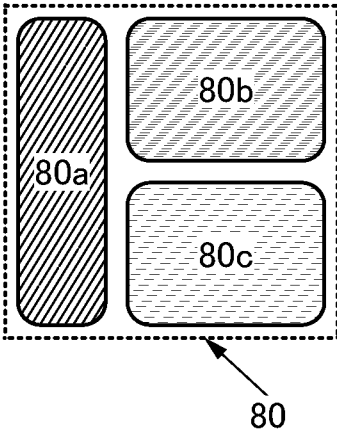


図49C

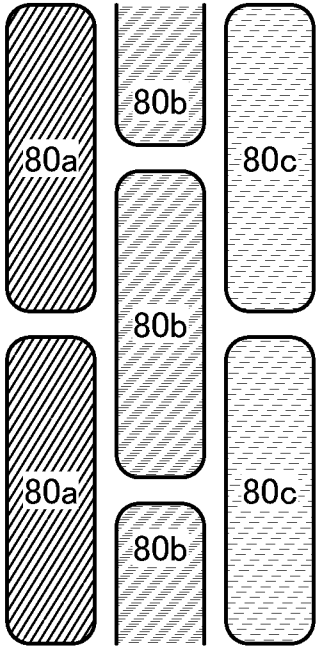


図49D

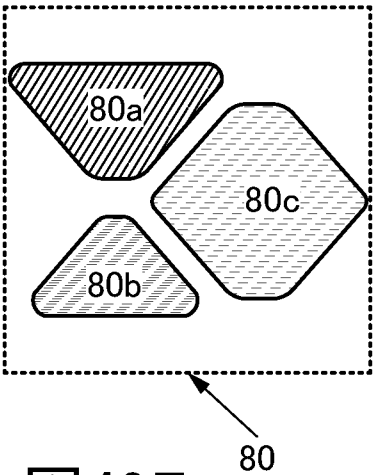


図49E

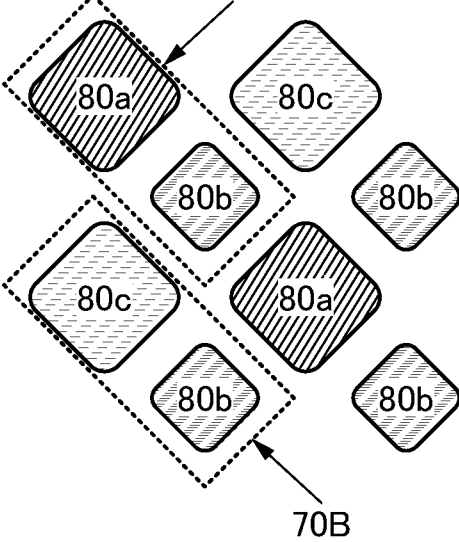


図49F

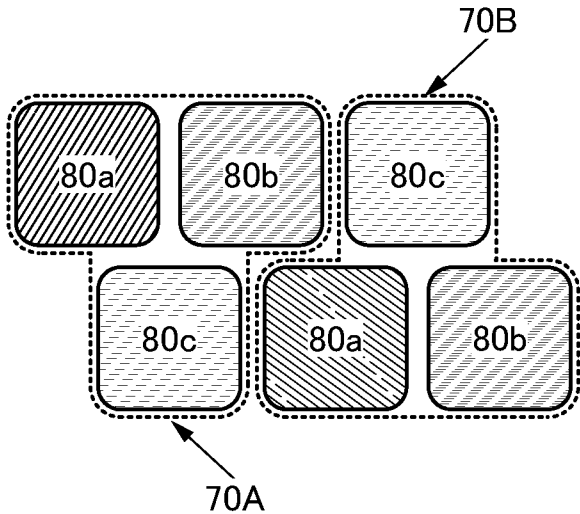


図49G

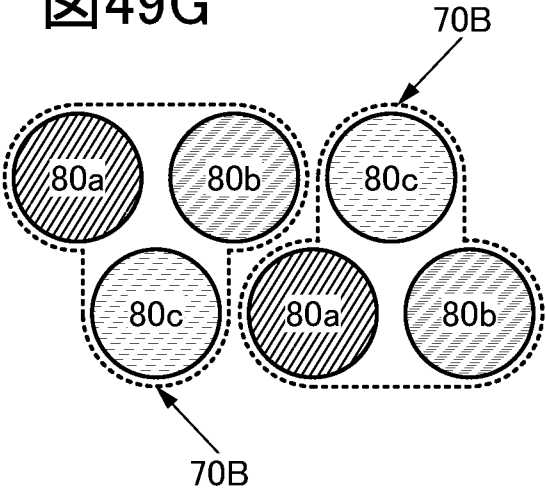


図50A

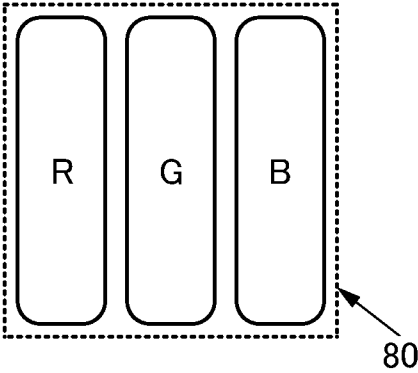


図50B

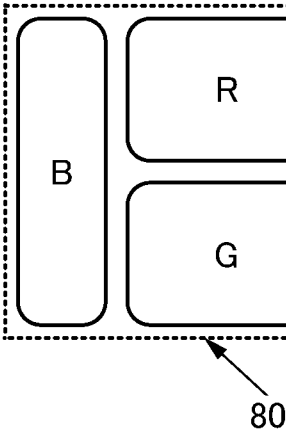


図50C

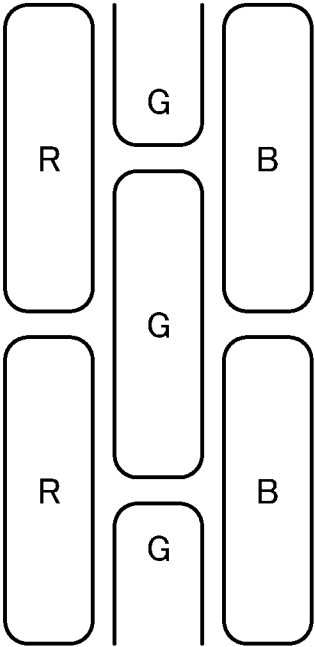


図50D

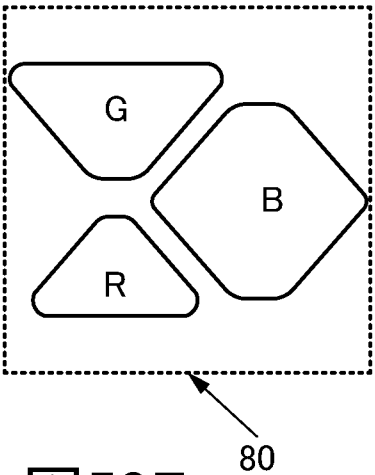


図50E

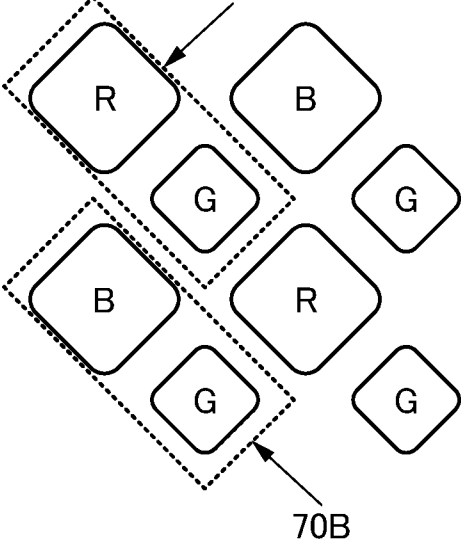


図50F

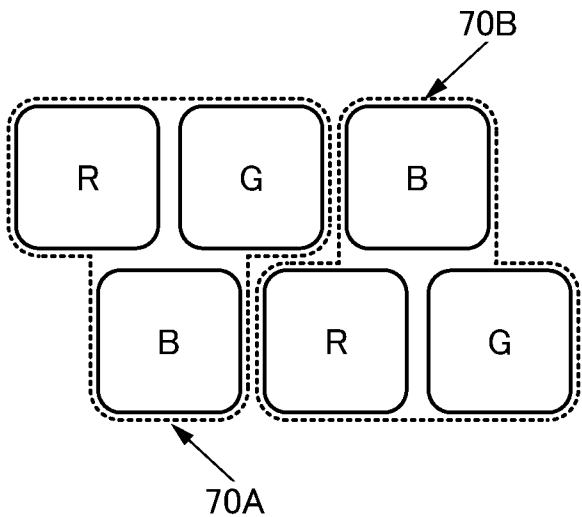


図51A

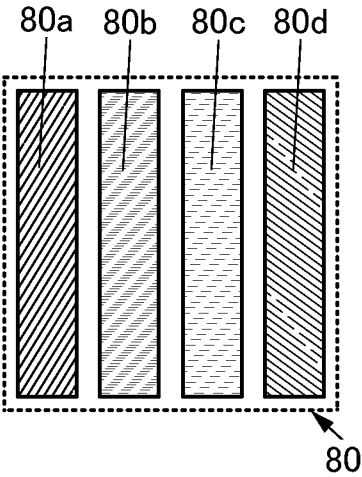


図51B

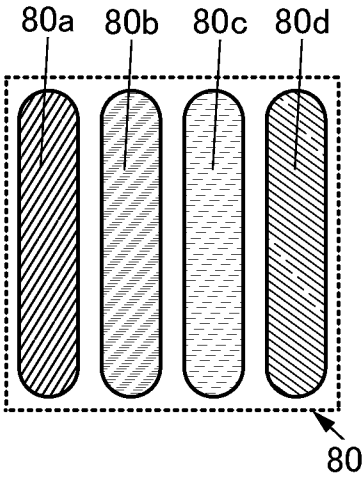


図51C

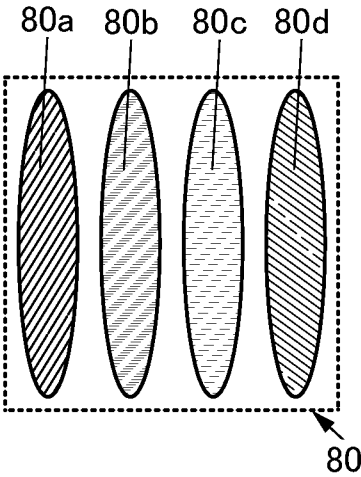


図51D

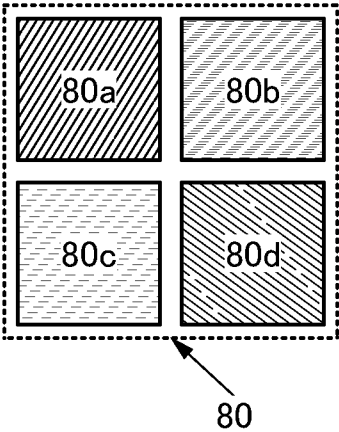


図51E

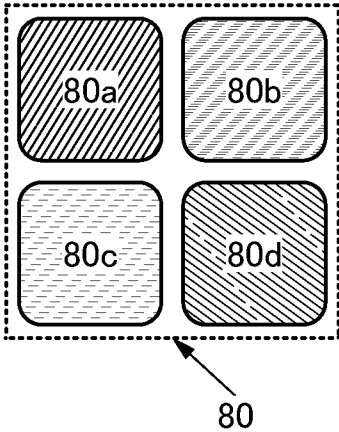


図51F

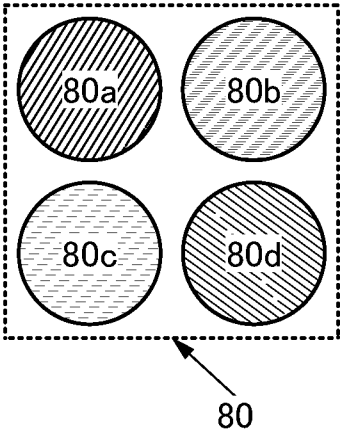


図51G

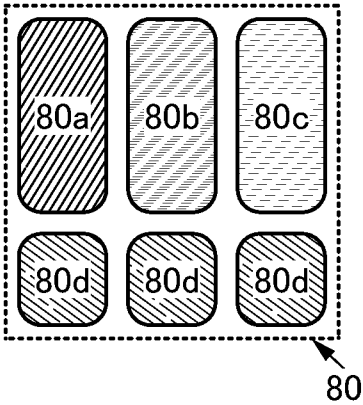


図51H

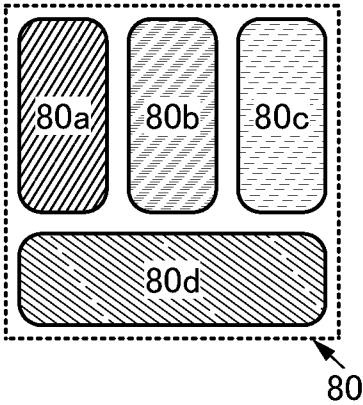


图52A

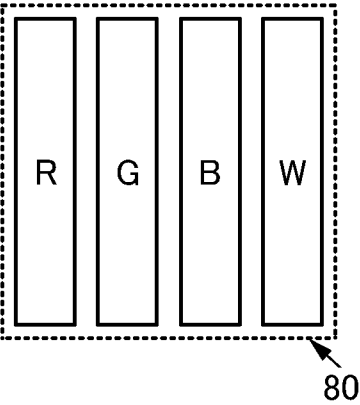


图52B

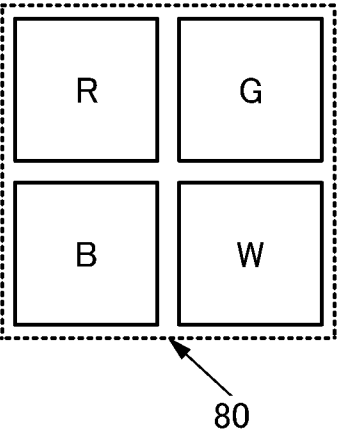


图52C

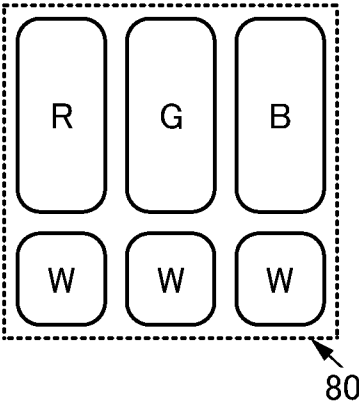


图52D

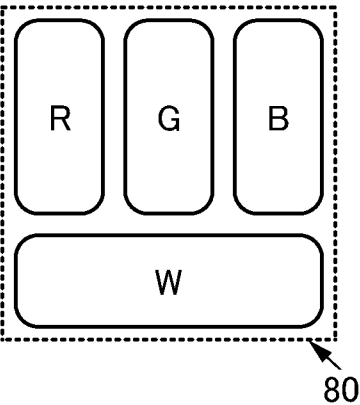


図53A

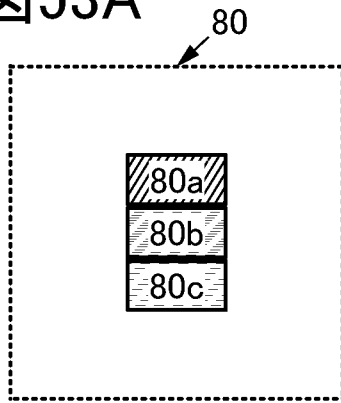


図53B

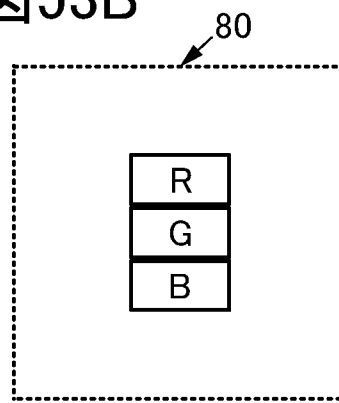


図53C

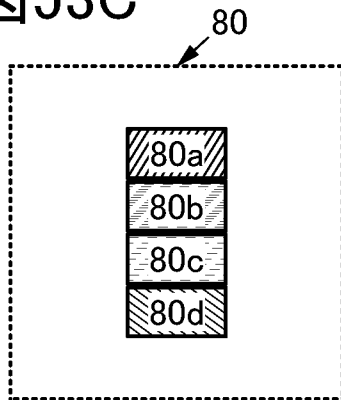


図53D

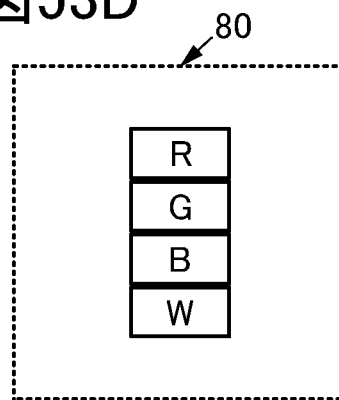


図53E

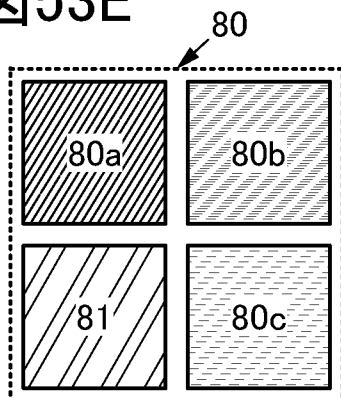


図53F

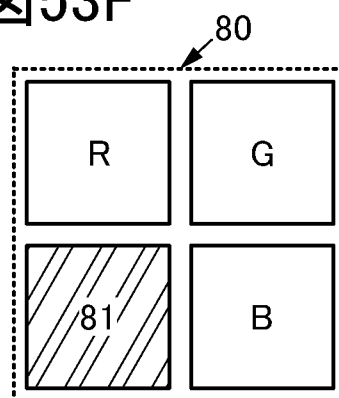


図53G

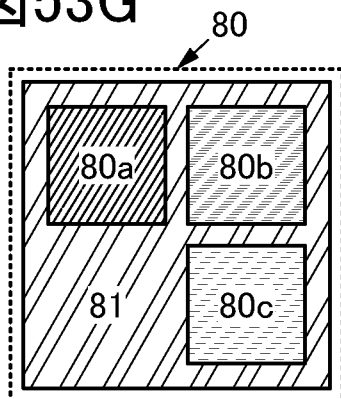


図54A

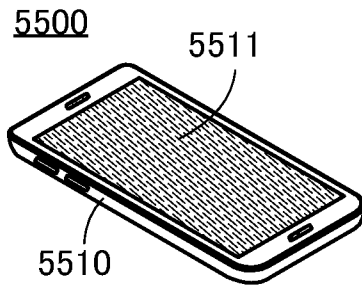


図54B

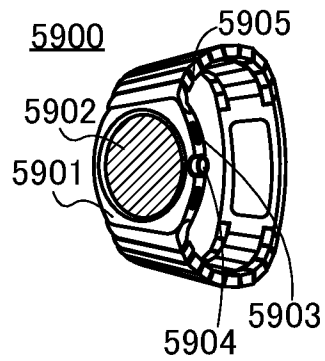


図54C

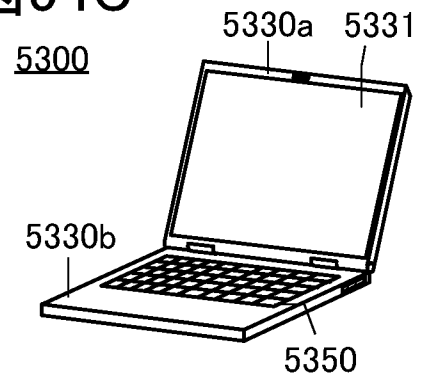


図54D

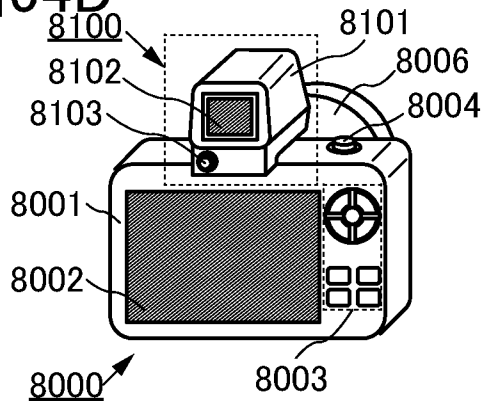


図54E

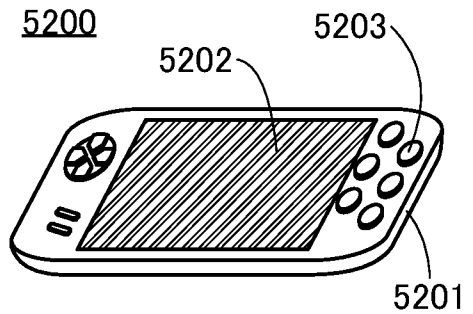


図54F

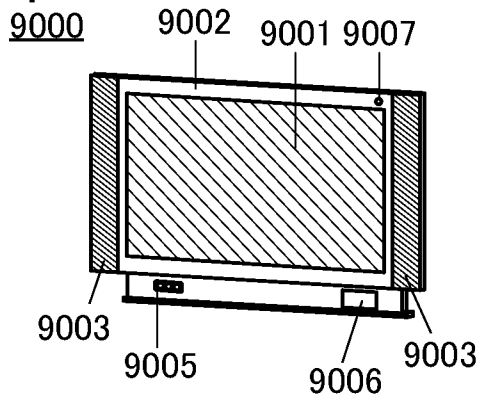


図54G

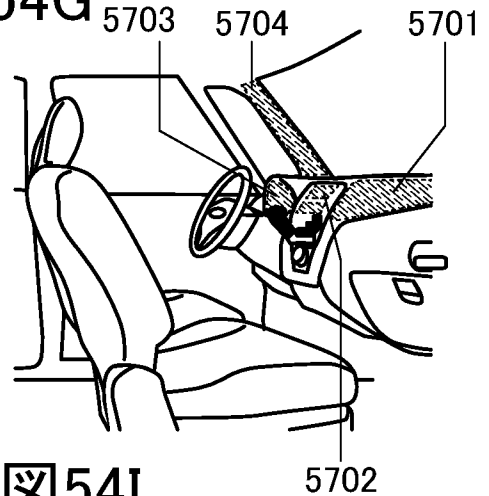


図54H

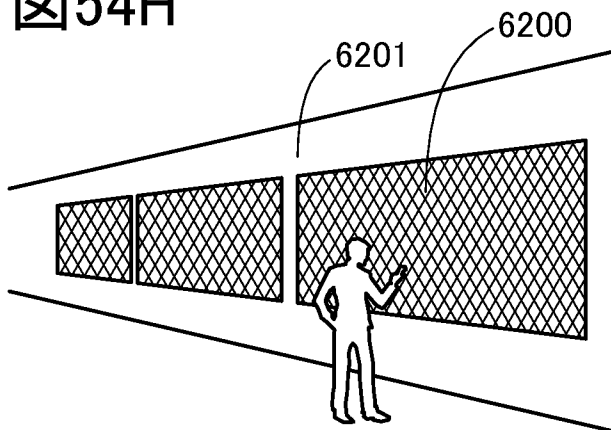
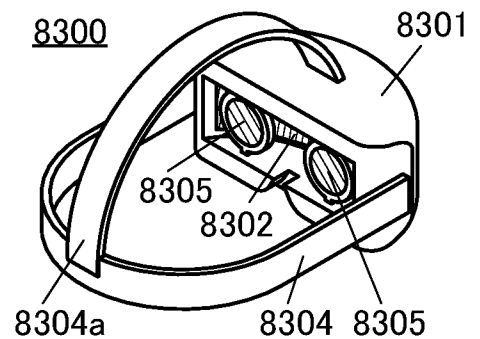


図54I



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2023/058642

A. CLASSIFICATION OF SUBJECT MATTER

H03K 17/06(2006.01)i; **G02F 1/1368**(2006.01)i; **G09F 9/30**(2006.01)i; **G09G 3/20**(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 27/06**(2006.01)i; **H01L 27/088**(2006.01)i; **H01L 29/786**(2006.01)i; **H03K 17/687**(2006.01)i; **H05B 33/02**(2006.01)i; **H05B 33/14**(2006.01)i; **H10K 59/129**(2023.01)i; **H10K 59/131**(2023.01)i

FI: H03K17/06 063; G02F1/1368; G09F9/30 338; G09G3/20 622B; G09G3/20 623B; H01L27/06 102A; H01L27/088 J; H01L29/78 614; H03K17/687 A; H05B33/02; H05B33/14 Z; H10K59/129; H10K59/131

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/06; G02F1/1368; G09F9/30; G09G3/20; H01L21/8234; H01L27/06; H01L27/088; H01L29/786; H03K17/687; H05B33/02; H05B33/14; H10K59/129; H10K59/131

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-66172 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 11 April 2013 (2013-04-11) entire text, all drawings	1-12
A	JP 2021-99488 A (SHENZHEN ROYOLE TECHNOLOGIES CO., LTD.) 01 July 2021 (2021-07-01) entire text, all drawings	1-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

29 November 2023

Date of mailing of the international search report

12 December 2023

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2023/058642

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2013-66172	A	11 April 2013	US 2013/0049133	A1
				entire text, all drawings	
				WO 2013/031793	A1
				DE 112012003576	B4
				TW 201316165	A1
				CN 103765776	A
JP	2021-99488	A	01 July 2021	KR 10-2014-0066695	A
				US 2021/0193050	A1
				entire text, all drawings	
				EP 3843076	A1
				CN 113096607	A
				KR 10-2021-0081302	A

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 17/06(2006.01)i; G02F 1/1368(2006.01)i; G09F 9/30(2006.01)i; G09G 3/20(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/786(2006.01)i; H03K 17/687(2006.01)i; H05B 33/02(2006.01)i; H05B 33/14(2006.01)i; H10K 59/129(2023.01)i; H10K 59/131(2023.01)i FI: H03K17/06 063; G02F1/1368; G09F9/30 338; G09G3/20 622B; G09G3/20 623B; H01L27/06 102A; H01L27/088 J; H01L29/78 614; H03K17/687 A; H05B33/02; H05B33/14 Z; H10K59/129; H10K59/131											
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03K17/06; G02F1/1368; G09F9/30; G09G3/20; H01L21/8234; H01L27/06; H01L27/088; H01L29/786; H03K17/687; H05B33/02; H05B33/14; H10K59/129; H10K59/131 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年	
日本国実用新案公報	1922 - 1996年										
日本国公開実用新案公報	1971 - 2023年										
日本国実用新案登録公報	1996 - 2023年										
日本国登録実用新案公報	1994 - 2023年										
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2013-66172 A（株式会社半導体エネルギー研究所）11.04.2013（2013 - 04 - 11） 全文全図</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>JP 2021-99488 A（シエンジェン ロイオル テクノロジーズ カンパニー リミテッド） 01.07.2021（2021 - 07 - 01） 全文全図</td> <td>1-12</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2013-66172 A（株式会社半導体エネルギー研究所）11.04.2013（2013 - 04 - 11） 全文全図	1-12	A	JP 2021-99488 A（シエンジェン ロイオル テクノロジーズ カンパニー リミテッド） 01.07.2021（2021 - 07 - 01） 全文全図	1-12
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	JP 2013-66172 A（株式会社半導体エネルギー研究所）11.04.2013（2013 - 04 - 11） 全文全図	1-12									
A	JP 2021-99488 A（シエンジェン ロイオル テクノロジーズ カンパニー リミテッド） 01.07.2021（2021 - 07 - 01） 全文全図	1-12									
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献											
国際調査を完了した日 29. 11. 2023		国際調査報告の発送日 12. 12. 2023									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 工藤 一光 5W 9274 電話番号 03-3581-1101 内線 3576									

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/IB2023/058642

引用文献			公表日	パテントファミリー文献			公表日
JP	2013-66172	A	11.04.2013	US	2013/0049133	A1	
				全文全図			
				WO	2013/031793	A1	
				DE	112012003576	B4	
				TW	201316165	A1	
				CN	103765776	A	
				KR	10-2014-0066695	A	

JP	2021-99488	A	01.07.2021	US	2021/0193050	A1	
				全文全図			
				EP	3843076	A1	
				CN	113096607	A	
				KR	10-2021-0081302	A	
