



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0077466
(43) 공개일자 2025년05월30일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 25/065 (2025.01) H01L 23/00 (2006.01)
H01L 23/48 (2006.01) H01L 25/00 (2025.01)
H01L 25/18 (2025.01)</p> <p>(52) CPC특허분류
H01L 25/0657 (2023.08)
H01L 23/481 (2013.01)</p> <p>(21) 출원번호 10-2025-7007052(분할)</p> <p>(22) 출원일자(국제) 2020년03월31일
심사청구일자 없음</p> <p>(62) 원출원 특허 10-2021-7037840
원출원일자(국제) 2020년03월31일
심사청구일자 2023년03월30일</p> <p>(85) 번역문제출일자 2025년03월04일</p> <p>(86) 국제출원번호 PCT/US2020/026032</p> <p>(87) 국제공개번호 WO 2020/219242
국제공개일자 2020년10월29일</p> <p>(30) 우선권주장
16/392,170 2019년04월23일 미국(US)</p> | <p>(71) 출원인
자일링크스 인코포레이티드
미합중국 95124 캘리포니아 산 호세 로직 드라이브 2100</p> <p>(72) 발명자
클라인, 매튜 에이치.
미국 95124 캘리포니아 산 호세 로직 드라이브 2100 에이티티엔: 리갈 디파트먼트</p> <p>(74) 대리인
특허법인(유)남아이피그룹</p> |
|---|--|

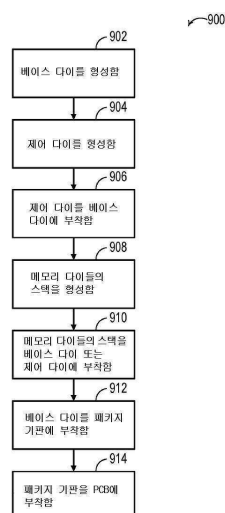
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **프로그래밍 가능 집적 회로를 갖는 다이 상에 스택된 메모리 다이를 포함하는 다중-칩 구조**

(57) 요약

본원에서 설명된 일부 예들은 프로그래밍 가능 IC(integrated circuit)를 갖는 다이 상에 스택된 하나 이상의 메모리 다이를 포함하는 다중-칩 구조를 제공한다. 일 예에서, 다중-칩 구조는 패키지 기판, 제1 다이, 및 제2 다이를 포함한다. 제1 다이는 프로그래밍 가능 IC를 포함하고, 프로그래밍 가능 IC는 메모리 제어기를 포함한다. 제1 다이는 패키지 기판 상에 있고 그에 부착된다. 제2 다이는 메모리를 포함한다. 제2 다이는 제1 다이 상에 스택된다. 메모리는 메모리 제어기에 통신 가능하게 커플링된다.

대표도 - 도9



(52) CPC특허분류

H01L 24/17 (2013.01)

H01L 25/18 (2025.01)

H01L 25/50 (2025.01)

H01L 2225/06513 (2013.01)

H01L 2225/06517 (2013.01)

H01L 2225/06541 (2024.08)

명세서

청구범위

청구항 1

다중-칩 구조로서,

패키지 기판;

프로그래밍 가능 집적 회로를 포함하는 제1 다이 — 상기 프로그래밍 가능 집적 회로는 메모리 제어기를 포함하고, 상기 제1 다이는 상기 패키지 기판 상에 있고, 상기 패키지 기판에 부착됨 — ; 및

메모리를 포함하는 제2 다이를 포함하고,

상기 제2 다이는 상기 제1 다이 상에 스택되고, 상기 메모리는 상기 메모리 제어기에 통신 가능하게 커플링되는,

다중-칩 구조.

청구항 2

제1 항에 있어서,

상기 제1 다이는 반도체 기판을 포함하고, TSV(through substrate via)들이 상기 반도체 기판을 관통하고, 상기 메모리 제어기는 상기 TSV들을 통해 상기 메모리에 통신 가능하게 커플링되는,

다중-칩 구조.

청구항 3

제1 항에 있어서,

상기 제2 다이는 외부 전기 커넥터들에 의해 상기 패키지 기판으로부터 맞은편의 상기 제1 다이의 측에 부착되는,

다중-칩 구조.

청구항 4

제1 항에 있어서,

어떠한 물리 층 인터페이스도 상기 메모리 제어기와 상기 메모리 사이에 통신 가능하게 그리고 전기적으로 배치되지 않는,

다중-칩 구조.

청구항 5

제1 항에 있어서,

상기 제1 다이는 제어 로직 회로를 포함하고, 상기 제어 로직 회로는 상기 메모리 제어기와 상기 메모리 사이에 통신 가능하게 배치되는,

다중-칩 구조.

청구항 6

제1 항에 있어서,

제어 로직 회로를 포함하는 제3 다이를 더 포함하고,

상기 제3 다이는 상기 패키지 기판으로부터 맞은편의 상기 제1 다이의 측 상에 스택되고 상기 제1 다이의 측에

부착되고, 상기 제2 다이는 상기 제1 다이로부터 맞은편의 상기 제3 다이의 측 상에 스택되고 상기 제3 다이의 측에 부착되고, 상기 제어 로직 회로는 상기 메모리 제어기와 상기 메모리 사이에 통신 가능하게 배치되는, 다중-칩 구조.

청구항 7

제6 항에 있어서,
상기 제3 다이는 상기 제1 다이에 본딩되는,
다중-칩 구조.

청구항 8

제6 항에 있어서,
상기 제3 다이는 외부 전기 커넥터들에 의해 상기 패키지 기판으로부터 맞은편의 상기 제1 다이의 측에 부착되는,
다중-칩 구조.

청구항 9

제6 항에 있어서,
상기 제2 다이는 외부 전기 커넥터들에 의해 상기 제1 다이로부터 맞은편의 상기 제3 다이의 측에 부착되는,
다중-칩 구조.

청구항 10

제6 항에 있어서,
어떠한 물리 층 인터페이스도 상기 메모리 제어기와 상기 메모리 사이에 통신 가능하게 그리고 전기적으로 배치되지 않는,
다중-칩 구조.

청구항 11

제6 항에 있어서,
상기 제1 다이는 상기 메모리 제어기에 통신 가능하게 커플링된 제1 물리 층 인터페이스를 포함하고; 그리고
상기 제3 다이는 상기 제1 물리 층 인터페이스와 상기 제어 로직 회로 사이 그리고 상기 제1 물리 층 인터페이스와 상기 제어 로직 회로에 통신 가능하게 커플링된 제2 물리 층 인터페이스를 포함하는,
다중-칩 구조.

청구항 12

제1 항에 있어서,
상기 프로그래밍 가능 집적 회로는 FPGA(field programmable gate array)를 포함하는,
다중-칩 구조.

청구항 13

다중-칩 구조를 형성하는 방법으로서,
제2 다이 상에 제1 다이를 스택하는 단계 - 상기 제1 다이는 메모리를 포함하고, 상기 제2 다이는 프로그래밍 가능 집적 회로를 포함하고, 상기 프로그래밍 가능 집적 회로는 메모리 제어기를 포함하고, 상기 메모리 제어기는 상기 제1 다이가 상기 제2 다이 상에 스택됨으로써 상기 메모리에 통신 가능하게 커플링됨 - ; 및

패키지 기판에 상기 제1 다이를 부착하는 단계를 포함하는,
다중-칩 구조를 형성하는 방법.

청구항 14

제13 항에 있어서,

상기 제2 다이 상에 상기 제1 다이를 스택하는 단계는 외부 전기 커넥터들에 의해 상기 제2 다이에 상기 제1 다이를 부착하는 단계를 포함하고;

상기 제2 다이는 제어 로직 회로를 포함하고, 상기 제어 로직 회로는 상기 메모리 제어기와 상기 메모리 사이에 통신 가능하게 배치되고; 그리고

어떠한 물리 층 인터페이스도 상기 메모리 제어기와 상기 메모리 사이에 통신 가능하게 그리고 전기적으로 배치되지 않는,

다중-칩 구조를 형성하는 방법.

청구항 15

제13 항에 있어서,

상기 제2 다이에 제3 다이를 부착하는 단계를 더 포함하고,

상기 제1 다이는 상기 제3 다이에 부착되고, 상기 제3 다이는 제어 로직 회로를 포함하고, 상기 제어 로직 회로는 상기 메모리 제어기와 상기 메모리 사이에 통신 가능하게 배치되는,

다중-칩 구조를 형성하는 방법.

발명의 설명

기술 분야

[0001] 본 개시내용은 다중-칩 구조 및 이러한 구조를 형성하는 방법들, 및 특히 프로그래밍 가능 집적 회로를 갖는 다이 상에 스택된 하나 이상의 메모리 다이들을 포함하는 다중-칩 구조 및 이러한 구조를 형성하는 방법들에 관한 것이다.

배경 기술

[0002] 프로그래밍 가능 집적 회로(integrated circuit; IC)는 프로그래밍 가능 회로를 포함하는 IC의 유형을 지칭한다. 프로그래밍 가능 IC의 일 예는 FPGA(field programmable gate array)이다. FPGA는 프로그래밍 가능 회로 블록들의 포함을 특징으로 한다. 회로 설계들은 구성 비트스트림으로 종종 지칭되는 구성 데이터를 디바이스에 로딩함으로써 프로그래밍 가능 IC의 프로그래밍 가능 회로 내에서 물리적으로 구현될 수 있다. 구성 데이터는 디바이스의 내부 구성 메모리 셀들에 로딩될 수 있다. 개별 구성 메모리 셀들의 집합적 상태들은 프로그래밍 가능 IC의 기능을 결정한다. 예컨대, 다양한 프로그래밍 가능 회로 블록들에 의해 수행되는 특정한 동작들 및 프로그래밍 가능 IC의 프로그래밍 가능 회로 블록들 사이의 연결은, 일단 구성 데이터로 로딩되면, 구성 메모리 셀들의 집합적 상태들에 의해 정의된다.

발명의 내용

[0003] 본원에서 설명된 일부 예들은 프로그래밍 가능 IC(integrated circuit)를 갖는 다이 상에 스택된 하나 이상의 메모리 다이들을 포함하는 다중-칩 구조를 제공한다. 본원에서 설명된 일부 예들은 프로세싱 비용들, 전력 소비 및/또는 다이 영역 사용을 감소시킬 수 있는 인터포저 및/또는 물리 층(PHY) 인터페이스들을 사용하는 것을 배제할 수 있다.

[0004] 일 예는 다중-칩 구조이다. 다중-칩 구조는 패키지 기판, 제1 다이, 및 제2 다이를 포함한다. 제1 다이는 프로그래밍 가능 집적 회로를 포함하고, 프로그래밍 가능 집적 회로는 메모리 제어기를 포함한다. 제1 다이는 패키지 기판 상에 있고 그에 부착된다. 제2 다이는 메모리를 포함한다. 제2 다이는 제1 다이 상에 스택된다. 메모리는 메모리 제어기에 통신 가능하게 커플링된다.

[0005] 다른 예는 다중-칩 구조를 형성하는 방법이다. 제1 다이는 제2 다이 상에 스택된다. 제1 다이는 메모리를 포함한다. 제2 다이는 프로그래밍 가능 집적 회로를 포함하고, 프로그래밍 가능 집적 회로는 메모리 제어기를 포함한다. 메모리 제어기는 제1 다이가 제2 다이 상에 스택됨으로써 메모리에 통신 가능하게 커플링된다. 제1 다이는 패키지 기판에 부착된다.

[0006] 추가 예는 다중-칩 구조이다. 다중-칩 구조는 패키지 기판, 제1 다이, 및 제2 다이를 포함한다. 제1 다이는 FPGA(field programmable gate array) 및 메모리 제어기를 포함한다. 제1 다이는 패키지 기판 상에 있고 그에 부착된다. 제2 다이는 메모리를 포함한다. 제2 다이는 패키지 기판으로부터 맞은편의 제1 다이의 측 상에 스택된다. 메모리는 메모리 제어기에 통신 가능하게 커플링된다.

[0007] 이들 및 다른 양상들은 다음의 상세한 설명을 참조하여 이해될 수 있다.

도면의 간단한 설명

[0008] 위에서 인용된 특징들이 상세하게 이해될 수 있는 방식으로, 위에서 간략하게 요약되는 더 구체적인 설명은 예시적인 구현들을 참조하여 행해질 수 있는데, 이들 중 일부는 첨부된 도면들에서 예시된다. 그러나, 첨부된 도면들은 단지 통상적인 예시적인 구현들을 예시하며, 이에 따라 본 발명의 범위를 제한하는 것으로 간주되지 않아야 하다는 것에 주의한다.

도 1은 일부 예들에 따라 외부 메모리에 연결된 프로그래밍 가능 IC(integrated circuit)를 도시하는 블록도이다.

도 2는 일부 예들에 따라 프로그래밍 가능 IC의 FPGA(field programmable gate array)를 도시한다.

도 3, 도 4 및 도 5는 일부 예들에 따른 개개의 다중-칩 구조의 개략적인 회로도이다.

도 6, 도 7 및 도 8은 일부 예들에 따른 PCB(printed circuit board) 상의 다중-칩 구조의 구성들이다.

도 9는 일부 예들에 따라 다중-칩 구조를 형성하기 위한 방법의 흐름도이다.

이해를 용이하게 하기 위하여, 동일한 참조 번호들은 가능한 경우, 도면들에 공통적인 동일한 엘리먼트들을 지정하기 위해 사용되었다. 일 예의 엘리먼트들은 다른 예들에서 유리하게 통합될 수 있는 것으로 고려된다.

발명을 실시하기 위한 구체적인 내용

[0009] 본원에서 설명된 일부 예들은 프로그래밍 가능 IC(integrated circuit)를 갖는 다이 상에 스택된 하나 이상의 메모리 다이들을 포함하는 다중-칩 구조를 제공한다. 일부 예들에서, 메모리 다이들은 HBM(high bandwidth memory)을 위한 메모리를 구현할 수 있다. 일부 예들에서, 프로그래밍 가능 IC는 FPGA(field programmable gate array)의 패브릭과 같은 프로그래밍 가능 로직 구역들을 포함한다. 프로그래밍 가능 IC는 메모리 다이들 중 임의의 것의 메모리로부터 관독되거나 그에 기록되는 데이터의 사용자-구성 가능한 프론트-엔드 프로세싱을 허용한다.

[0010] 본원에서 설명된 일부 예들은 인터포저를 사용하는 것이 배제된다. 메모리 다이가 프로그래밍 가능 IC를 포함하는 베이스 다이 상에 스택되게 함으로써, 인터포저가 구현되지 않을 것이다(그렇지 않으면, 베이스 다이 및 메모리 다이들의 스택이 인터포저에 개별적으로 부착되었을 것임). 인터포저를 배제함으로써, 다중-칩 스택에 인터포저를 포함하고 프로세싱하는 것과 연관된 경비가 또한 회피될 수 있다. 또한, 인터포저가 없이, 다중-칩 스택을 형성하는데 더 적은 프로세싱이 구현될 수 있으며, 이는 감소된 비용 외에도, 프로세싱 사이클 시간을 감소시킬 수 있다. 인터포저를 배제하고 베이스 다이 상에 메모리 다이들을 스택하는 것은 또한 더 작은 풋프린트 및 더 작은 수직 프로파일을 갖는 패키지를 초래할 수 있다.

[0011] 본원에서 설명된 일부 예들은 다중-칩 구조에서 HBM 인터페이스들과 같은 물리 층(PHY) 인터페이스들을 사용하는 것을 배제할 수 있다. 물리 층 인터페이스들은 전력 및 다이의 영역을 소비할 수 있다. HBM 인터페이스와 같은 물리 층 인터페이스의 사용을 회피함으로써, 2개의 다이들(예컨대, HBM 물리 층 연결들의 양 측 상에 하나씩) 상의 물리 층 인터페이스들이 회피될 수 있으며, 이는 전력을 감소시키고 2개의 다이들의 영역 사용을 감소시킬 수 있다. 또한, 다이들의 영역 사용을 감소시키는 것은 다이들을 형성하기 위한 프로세싱과 연관된 비용들을 감소시킬 수 있다.

[0012] 일부 예들은 부가적인 이점들을 달성할 수 있다. 예컨대, 다중-칩 구조에 의해 형성된 복합 디바이스는 보다 쉽게 테스트되고 예컨대, 다른 패키지들 및/또는 다이들과 함께 다중-칩 모듈에 보다 쉽게 배치될 수 있다. 또

한, 본원에서 설명된 바와 같은 프로그래밍 가능 IC를 갖는 다중-칩 구조는 하나 이상의 메모리 다이들에 인접한(예컨대, 하나 이상의 HBM 다이들에 인접한) 로직 및 기능들의 맞춤화를 허용할 수 있다. 이러한 다중-칩 구조는 사용자가 단일 패키지에서 예컨대, 높은 메모리 대역폭 및 더 낮은 전력 소비를 갖는 전개 가능한 맞춤식 디바이스를 생성하도록 허용할 수 있다. 또한, 이러한 다중-칩 구조는 프로그래밍 가능 로직 구역들 및 경계 회로들 이를테면, 입력/출력 회로들, 트랜시버 회로들 및/또는 다른 회로들의 프로그래밍 가능성 및 프로그래밍 가능성의 유연성을 보존할 수 있다.

[0013] 다양한 특징들이 도면들을 참조하여 아래에서 설명된다. 도면들은 실척대로 그려지거나 실척대로 그려진 것은 아닐 수 있고 유사한 구조들 또는 기능들의 엘리먼트들은 도면들 전체에 걸쳐 유사한 참조 번호들로 표현된다는 것이 주의되어야 한다. 도면들은 단지 특징들의 설명을 용이하게 하기 위한 것으로 의도된다는 것이 주의되어야 한다. 이들은 청구된 발명의 철저한 설명으로서 또는 청구된 발명의 범위에 대한 제한으로서 의도되지 않는다. 또한, 예시된 예는 도시된 모든 양상들 또는 이점들을 가질 필요는 없다. 특정 예와 관련하여 설명된 양상 또는 이점은 반드시 그 예로 제한되는 것은 아니며, 만약 그렇게 예시되지는 않거나 만약 명시적으로 설명되지 않더라도 임의의 다른 예들에서 실시될 수 있다. 또한, 본원에서 설명된 방법들은 특정 동작 순서로 설명될 수 있지만, 다른 예들에 따른 다른 방법들은 더 많거나 더 적은 동작들로 다양한 다른 순서들(예컨대, 다양한 동작들의 상이한 직렬 또는 병렬 수행을 포함함)로 구현될 수 있다.

[0014] 도 1은 일부 예들에 따라 외부 메모리에 연결된 프로그래밍 가능 IC(integrated circuit)(102)를 도시하는 블록도이다. 프로그래밍 가능 IC(102)는 SoC(System-on-Chip)일 수 있고, FPGA(field programmable gate array)와 같은 프로그래밍 가능 로직 디바이스인 IC를 포함하거나 IC일 수 있다. 프로그래밍 가능 IC(102)는 프로세싱 시스템(104), NoC(network-on-chip)(106), 구성 인터커넥트(108), 하나 이상의 프로그래밍 가능 로직 구역들(110a 내지 110n)(일반적으로, 개별적으로 또는 집합적으로 "프로그래밍 가능 로직 구역(들)(110)"), 메모리 제어기(112), MGT(multi-gigabit transceiver)들(114), 입력/출력 블록(IO)들(116) 및 다른 IP 회로들(118)을 포함한다. NoC(106)는 라우팅 네트워크(120) 및 NPI(NoC peripheral interconnect)(122)를 포함한다.

[0015] 일반적으로, 프로세싱 시스템(104)은 구성 인터커넥트(108)를 통해 프로그래밍 가능 로직 구역(들)(110)에 연결된다. 프로세싱 시스템(104), 프로그래밍 가능 로직 구역(들)(110), 메모리 제어기(112), MGT들(114), IO들(116), 및 다른 IP 회로들(118)은 또한 NoC(106)(예컨대, 라우팅 네트워크(120))에 연결되고, 따라서 NoC(106)(예컨대, 라우팅 네트워크(120))를 통해 서로 통신 가능하게 커플링될 수 있다. 프로세싱 시스템(104), 메모리 제어기(112), MGT들(114), IO들(116), 및 다른 IP 회로들(118)은 또한 프로그래밍 가능 로직 구역(들)(110)의 개개의 서브세트들에 연결된다. 예컨대, 프로세싱 시스템(104), IO들(116), 및 다른 IP 회로들(118) 각각은 프로그래밍 가능 로직 구역(110a)에 연결되고, 메모리 제어기(112) 및 MGT들(114) 각각은 프로그래밍 가능 로직 구역(110n)에 연결된다. 다양한 회로들은 프로그래밍 가능 로직 구역(들)(110)의 임의의 서브세트에 연결될 수 있고, 회로들은 임의의 다른 회로들과의 임의의 조합으로 프로그래밍 가능 로직 구역(들)(110)의 주어진 서브세트에 연결될 수 있다. 부가적으로, 일부 예들에서, 메모리 제어기(112)는 IO들(116) 중 적어도 하나에 연결될 수 있다.

[0016] 프로세싱 시스템(104)은 하나 이상의 프로세서 코어들을 포함할 수 있다. 예컨대, 프로세싱 시스템(104)은 다수의 ARM-기반 임베디드 프로세서 코어들을 포함할 수 있다.

[0017] 프로그래밍 가능 로직 구역(들)(110)은 임의의 수의 구성 가능한 로직 블록들, LUT(look-up table)들, 디지털 신호 프로세싱 블록들, 랜덤 액세스 메모리 블록들 등, 및 이를테면 아래에서 설명되는 프로그래밍 가능 인터커넥트 엘리먼트들을 포함할 수 있다. 프로그래밍 가능 로직 구역(들)(110)은 구성 인터커넥트(108)를 통해 프로세싱 시스템(104)을 사용하여 프로그래밍되거나 구성될 수 있다. 예컨대, 구성 인터커넥트(108)는, 예컨대, (PMC(platform management controller)와 같은) 프로세싱 시스템(104)의 프로세서 코어에 의해 프로그래밍 가능 로직 구역(들)(110)의 패브릭의 프레임 기반 프로그래밍을 가능하게 할 수 있다.

[0018] NoC(106)의 라우팅 네트워크(120)는 상이한 시스템들 또는 회로들 사이에서 NoC 패킷들의 라우팅을 제공한다. 라우팅 네트워크(120)는 NMU(NoC master unit)들과 NSU(NoC slave unit)들 사이에 있는 라인 세그먼트들에 의해 상호연결된 NoC 패킷 스위치들을 포함한다. 각각의 NMU는 마스터 회로를 NoC(106)에 연결하는 진입(ingress) 회로이다. 각각의 NSU는 NoC(106)를 슬레이브 엔드포인트 회로에 연결하는 출구 회로이다. 각각의 NoC 패킷 스위치는 NoC 패킷들의 스위칭을 수행한다. 따라서 NMU들, NoC 패킷 스위치들 및 NSU들은 NMU, 라인 세그먼트들에 의해 상호연결된 NoC 패킷 스위치들 및 NSU를 통해 마스터 엔드포인트 회로와 슬레이브 엔드포인트 회로 간의 통신들을 위한 채널을 제공하도록 구성될 수 있다. NMU들, NoC 패킷 스위치들 및 NSU들은 또한

개개의 NMU, NoC 패킷 스위치 및 NSU를 구성하기 위해 기록된 레지스터 블록들을 포함한다. 레지스터 블록들은 NPI(122)를 통해 기록될 수 있다. 예컨대, 프로세싱 시스템(104)의 PMC는 NMU들, NoC 패킷 스위치들 및 NSU들을 구성하기 위해 레지스터 블록들에 기록하도록 NPI(122)를 통해 NMU들, NoC 패킷 스위치들 및 NSU들에 메모리 매핑 기록 요청들을 송신할 수 있다. NPI(122)는 메모리 매핑 기록 요청들을 적절한 레지스터 블록으로 라우팅할 수 있는 상호연결된 NPI 스위치들을 포함할 수 있다.

[0019] IO들(116)은 프로그래밍 가능 IC(102)를 다른 회로들 및/또는 시스템들과 통신 가능하게 커플링하기 위한 임의의 입력/출력 회로일 수 있다. 일부 예들에서, IO들(116)은 HBM(high bandwidth memory) 인터페이스 회로들, HDIO(high density input/output) 회로들, PCIe(peripheral component interconnect express) 회로들, XPiO(eXtreme Performance Input/Output) 회로들 등을 포함할 수 있다. 다른 IP 회로들(118)은 예컨대, 디지털 클록 관리자들, 아날로그-디지털 변환기들, 시스템 모니터링 로직, 및/또는 주어진 구현을 위한 임의의 회로일 수 있다. 일부 예들에서, 메모리 제어기(112), MGT들(114), IO들(116), 및/또는 다른 IP 회로들(118) 중 적어도 일부는 구성 가능하다. 예컨대, 메모리 제어기(112), MGT들(114), IO들(116), 및/또는 다른 IP 회로들(118)은 NoC(106)의 NPI(122)를 통해 구성 가능할 수 있다.

[0020] 일부 예들에서, 프로그래밍 가능 IC(102)는 인터페이스 및 제어 로직 회로(124)를 포함한다. 다른 예들에서, 인터페이스 및 제어 로직 회로(124)는 (예컨대, 점선에 의해 표시된 바와 같이) 프로그래밍 가능 IC(102)로부터 별개의 IC 상에 있다. 인터페이스 및 제어 로직 회로(124)는 외부 메모리(126)에 연결된다. 외부 메모리(126)은 예컨대, 단일 또는 다수의 다이들의 메모리일 수 있다. 일부 예들에서, 외부 메모리(126)은 HBM(high bandwidth memory)으로서 구현될 수 있는 동적 RAM(DRAM)과 같은 RAM(random access memory)이다.

[0021] 일부 예들에서, 인터페이스 및 제어 로직 회로(124)는 메모리 제어기(112)에 직접 연결되는 반면, 다른 예들에서, 인터페이스 및 제어 로직 회로(124)는 (예컨대, 도 1에서 점선 화살표들에 의해 도시된 바와 같이) 프로그래밍 가능 IC(102)의 IO(116) 및 다른 IC의 IO(128)를 통해 메모리 제어기(112)에 통신 가능하게 커플링된다. 프로그래밍 가능 IC(102)가 인터페이스 및 제어 로직 회로(124)를 포함하는 일부 예들에서, 메모리 제어기(112)는 (예컨대, 개재 물리 층(PHY) 인터페이스들 없이) 인터페이스 및 제어 로직 회로(124)에 직접 연결되며, 이 인터페이스 및 제어 로직 회로는 차례로 외부 메모리(126)에 연결된다. 인터페이스 및 제어 로직 회로(124)가 프로그래밍 가능 IC(102)와 별개의 IC에 있는 일부 예들에서, 메모리 제어기(112)는 (예컨대, 개재 물리 층(PHY) 인터페이스들 없이) 인터페이스 및 제어 로직 회로(124)에 직접 연결되며, 이 인터페이스 및 제어 로직 회로는 차례로 외부 메모리(126)에 연결된다. 인터페이스 및 제어 로직 회로(124)가 프로그래밍 가능 IC(102)와 별개의 IC에 있는 일부 예들에서, 메모리 제어기(112)는 IO(116)(예컨대, HBM 인터페이스)에 직접 연결되고, IO(116)은 별개의 IC의 IO(128)(예컨대, HBM 인터페이스)에 연결되며, 이 별개의 IC의 IO는 인터페이스 및 제어 로직 회로(124)에 연결된다. 인터페이스 및 제어 로직 회로(124)는 차례로 외부 메모리(126)에 연결된다. 따라서, 이러한 예들에서, 메모리 제어기(112)는 외부 메모리(126)에 통신 가능하게 커플링된다.

[0022] 일부 예들에서, 그리고 아래에 상세히 설명되는 바와 같이, 프로그래밍 가능 IC(102), 인터페이스 및 제어 로직 회로(124)(별개의 IC 상에 있는 경우), 및 외부 메모리(126)는 선택되어 다중-칩 구조를 형성하는 다이들에 포함될 수 있다. 이러한 다중-칩 구조는 더 작은 패키지 크기를 가질 수 있고 감소된 프로세싱을 사용하여 제조될 수 있으며, 이는 수율을 증가시키고 다중-칩 구조를 제조하기 위한 시간을 감소시킬 수 있다.

[0023] 도 2는 일부 예들에 따라 도 1의 프로그래밍 가능 IC(102)로서 구현될 수 있는 프로그래밍 가능 IC(200)의 FPGA(field programmable gate array)를 예시한다. 프로그래밍 가능 IC(200)는 구성 가능 로직 블록(CLB)들(202), 랜덤 액세스 메모리 블록(BRAM)들(204), 신호 프로세싱 블록(DSP)들(206), 입력/출력 블록(IOB)들(208), 구성 및 클로킹 로직(CONFIG/CLOCK)들(210), 특수 입력/출력 블록(I/O)들(212)(예컨대, 구성 포트들 및 클록 포트들), 및 다른 프로그래밍 가능 로직(214) 이를테면, 디지털 클록 관리자들, 시스템 모니터링 로직 등을 포함하는 매우 다수의 상이한 프로그래밍 가능 타일들을 포함한다. 프로그래밍 가능 IC(200)는 또한 경계 회로들 이를테면, MGT들(216), 메모리 제어기(MC)들(218), 인터페이스 및 제어 로직 회로(INT/CNTL)(220) 및 다른 IP 회로들(222) 이를테면, PCIe 인터페이스들, ADC(analog-to-digital converter)들 등을 포함할 수 있다. 경계 회로들은 또한 프로그래밍 가능할 수 있다.

[0024] 일부 FPGA들에서, 각각의 프로그래밍 가능 타일은 도 5에 포함된 예들에 의해 도시된 바와 같이, 동일한 타일 내의 프로그래밍 가능 로직 엘리먼트의 입력 및 출력 단자들(232)에 대한 연결들을 갖는 적어도 하나의 프로그래밍 가능 인터커넥트 엘리먼트(INT)(230)를 포함할 수 있다. 각각의 프로그래밍 가능 인터커넥트 엘리먼트(230)는 또한 동일한 타일 또는 다른 타일(들)의 인접한 프로그래밍 가능 인터커넥트 엘리먼트(들)의 인터커넥

트 세그먼트들(234)에 대한 연결들을 포함할 수 있다. 각각의 프로그래밍 가능 인터커넥트 엘리먼트(230)는 또한 로직 블록들(도시되지 않음) 사이의 일반적인 라우팅 자원들의 인터커넥트 세그먼트들(236)에 대한 연결들을 포함할 수 있다. 일반적인 라우팅 자원들은 인터커넥트 세그먼트들(예컨대, 인터커넥트 세그먼트들(236))의 트랙들을 포함하는 로직 블록들(도시되지 않음)과 인터커넥트 세그먼트들을 연결하기 위한 스위치 블록들(도시되지 않음) 사이의 라우팅 채널들을 포함할 수 있다. 일반적인 라우팅 자원들의 인터커넥트 세그먼트들(예컨대, 인터커넥트 세그먼트들(236))은 하나 이상의 로직 블록들에 걸쳐 있을 수 있다. 일반적인 라우팅 자원들과 함께 취해지는 프로그래밍 가능 인터커넥트 엘리먼트들(230)은 예시된 FPGA를 위한 프로그래밍 가능 인터커넥트 구조를 구현한다.

[0025] 예시적인 구현에서, CLB(202)는 단일 프로그래밍 가능 인터커넥트 엘리먼트(230)에 더하여, 사용자 로직을 구현하도록 프로그래밍될 수 있는 구성 가능한 로직 엘리먼트(CLE)(240)를 포함할 수 있다. BRAM(204)은 하나 이상의 프로그래밍 가능 인터커넥트 엘리먼트들(230) 외에도, BRAM 로직 엘리먼트(BRL)(242)를 포함할 수 있다. 통상적으로, 타일에 포함된 프로그래밍 가능 인터커넥트 엘리먼트들(230)의 수는 타일의 높이에 의존한다. 도시된 예에서, BRAM(204)은 5개의 CLB들(202)과 동일한 높이를 갖지만, 다른 수들(예컨대, 4개)이 또한 사용될 수 있다. 신호 프로세싱 블록(206)은 적절한 수의 프로그래밍 가능 인터커넥트 엘리먼트들(230) 외에도, DSP 로직 엘리먼트(DSPL)(244)를 포함할 수 있다. IOB(208)는 예컨대, 프로그래밍 가능 인터커넥트 엘리먼트(230)의 하나의 인스턴스 외에도, 입력/출력 로직 엘리먼트(IOL)(246)의 2개의 인스턴스들을 포함할 수 있다. 당업자들에게 명백할 바와 같이, 예컨대, 입력/출력 로직 엘리먼트(246)에 연결된 실제 I/O 패드들은 통상적으로 입력/출력 로직 엘리먼트(246)의 영역으로 한정되지 않는다.

[0026] 도시된 예에서, 다이 중앙 근처의 수평 영역은 구성 및 클로킹 로직(CONFIG/CLOCKS)(210), 및 가능하면 다른 제어 로직을 위해 사용된다. 이 수평 영역 또는 열로부터 연장하는 수직 열들(248)은 FPGA의 폭에 걸쳐 클록들 및 구성 신호들을 분배하는 데 사용된다.

[0027] 도 2에 예시된 아키텍처를 활용하는 일부 FPGA들은, FPGA의 큰 부분을 구성하는 정규 컬럼식 구조(columnar structure)를 방해하는 부가적인 로직 블록들을 포함할 수 있다. 부가적인 로직 블록들은 프로그래밍 가능 블록들 및/또는 전용 로직일 수 있다.

[0028] 도 2는 단지 예시적인 FPGA 아키텍처를 예시하도록 의도된다는 것에 주의한다. 예컨대, 행에서 로직 블록들의 수, 행들의 상대적인 폭, 행들의 수 및 순서, 행들에 포함된 로직 블록들의 유형들, 로직 블록들의 상대적 크기들 및 도 2의 상부에 포함된 인터커넥트/로직 구현들은 순전히 예이다. 예컨대, 실제 FPGA에서, CLB들의 2개 이상의 인접한 행은 통상적으로 CLB들이 나타나는 곳마다 포함되어 사용자 로직의 효율적인 구현을 용이하게 하지만, 인접한 CLB 행들의 수는 FPGA의 전체 크기에 따라 변동된다.

[0029] 도 3은 일부 예들에 따른 다중-칩 구조의 개략적인 회로도이다. 도 3의 다중-칩 구조는 프로그래밍 가능 IC(102) 및 메모리(302)를 포함하며, 여기서 메모리(302)는 프로그래밍 가능 IC(102)를 포함하는 다이 상에 선택된 다수의 다이들에 있을 수 있다. 도 3에서 단순화된 바와 같이, 프로그래밍 가능 IC(102)는 프로그래밍 가능 로직 구역(110), 버스(304), 메모리 제어기들(112), 및 인터페이스 및 제어 로직 회로(124)를 포함한다. 프로그래밍 가능 로직 구역(110)(또는 다른 서브시스템들 이를테면, 프로세싱 시스템(104) 및/또는 NoC(106))은 예컨대, AXI(Advanced eXtensible Interface) 버스들일 수 있는 버스들(304)을 통해 메모리 제어기들(112)에 연결된다. 메모리 제어기들(112)은 인터페이스 및 제어 로직 회로(124)에 연결된다.

[0030] 메모리(302) 각각은 다수의 메모리 슬라이스들(306)을 포함한다. 일부 예들에서, 각각의 메모리 슬라이스(306)는 2 Gb(Gigabytes)의 메모리 또는 다른 크기일 수 있다. 메모리(302) 각각은 DRAM을 구현할 수 있고, HBM을 추가로 구현할 수 있다. 일부 예들에서, 메모리(302) 각각은 32Gb의 HBM DRAM을 구현할 수 있다. 인터페이스 및 제어 로직 회로(124)는 메모리(302)의 메모리 슬라이스들(306)에 연결된다. 인터페이스 및 제어 로직 회로(124)는 메모리 제어기들(112)로부터의 판독 및 기록 요청들을 디코딩하고 이에 응답하여, 메모리(302)로부터 판독하거나 그에 기록하도록 네이티브 신호(native signal)들을 메모리(302)에 송신할 수 있다. 메모리 제어기들(112)과 메모리(302)의 메모리 슬라이스들(306) 사이에는 판독 및 기록 요청들을 표준화된 형태로 패키징하고 표준화된 형태로부터 판독 및 기록 요청들을 언패키징하기 위한 표준화된 물리 층 인터페이스 회로가 존재하지 않는다. 예컨대, 메모리(302)가 HBM을 구현하는 경우, 메모리 제어기들(112)과 메모리 슬라이스들(306) 사이에는 HBM 인터페이스가 존재하지 않는다.

[0031] 도 4는 일부 예들에 따른 다른 다중-칩 구조의 개략적인 회로도이다. 도 4의 다중-칩 구조는 메모리(302)를 포함하는 다이들의 2개의 스택들이 프로그래밍 가능 IC(102)를 포함하는 다이 상에 스택된다는 점을 제외하고는

도 3의 다중-칩 구조와 유사하다. 프로그래밍 가능 IC(102)는 메모리(302)를 포함하는 다이들의 추가 스택을 수용하기 위해 추가적인 버스들(304), 메모리 제어기들(112), 인터페이스 및 제어 로직 회로(124)를 더 포함한다.

[0032] 도 3 및 도 4의 예들에서, 인터페이스 및 제어 로직 회로들(124)은 프로그래밍 가능 IC(102)를 포함하는 개개의 다이들에 포함된다. 다른 예들에서, 다른 제어 다이(프로그래밍 가능 IC(102)를 포함하는 다이와 별개임)는 인터페이스 및 제어 로직 회로(들)(124)를 포함할 수 있고 프로그래밍 가능 IC(102)를 포함하는 다이와 메모리(302)를 포함하는 다이들의 스택(들) 사이에 개재될 수 있다. 그러한 예들의 개략적인 회로도도 별개의 제어 다이를 표시하는 것을 제외하고는 도 3 및 도 4와 동일할 것이다.

[0033] 도 5는 일부 예들에 따른 추가 다중-칩 구조의 개략적인 회로도이다. 도 5의 다중-칩 구조는 메모리 제어기들(112)과 메모리 슬라이스들(306) 사이의 HBM 인터페이스들을 (예컨대, PHY 인터페이스들로서) 구현한다. 도 5의 다중-칩 구조는 프로그래밍 가능 IC(102), 제어 IC(502), 및 메모리(302)를 포함하고, 여기서 제어 IC(502)는 프로그래밍 가능 IC(102)를 포함하는 다이 상에 스택되고 그로부터 분리된 다이에 있고, 메모리(302)는 제어 IC(502)를 포함하는 다이 상에 스택된 다수의 다이들에 있을 수 있다. 도 5에서 단순화된 바와 같이, 프로그래밍 가능 IC(102)는 프로그래밍 가능 로직 구역(110), 버스(304), 메모리 제어기들(112), 및 HBM 인터페이스들(HBM PHY)(504)을 포함한다. 프로그래밍 가능 로직 구역(110)(또는 다른 서브시스템들 이라면, 프로세싱 시스템(104) 및/또는 NoC(106))은 버스들(304)을 통해 메모리 제어기들(112)에 연결되고, 메모리 제어기들(112)은 HBM 인터페이스들(504)에 연결된다. HBM 인터페이스들(504)은 메모리 제어기들(112)로부터의 판독 및 기록 요청들을 예컨대, 표준화된 HBM 포맷으로 패키징하고, 표준화된 HBM 포맷으로부터 메모리 제어기들(112)에 의해 사용 가능한 포맷으로 메모리(302)로부터의 응답들을 언팩(unpack)하도록 구성된다.

[0034] 제어 IC(502)는 HBM 인터페이스들(HBM PHY)(506) 및 인터페이스 및 제어 로직 회로들(124)을 포함한다. 제어 IC(502)의 HBM 인터페이스들(506)은 프로그래밍 가능 IC(102)의 HBM 인터페이스들(504)에 연결된다. HBM 인터페이스들(506)은 HBM 인터페이스들(504)로부터의 판독 및 기록 요청을, 예컨대, 표준화된 HBM 포맷으로부터 인터페이스 및 제어 로직 회로(124)에 의해 사용 가능한 네이티브 포맷으로 언팩하고 프로그래밍 가능 IC(102)의 HBM 인터페이스들(504)로 송신하기 위해 메모리(302)로부터 표준화된 HBM 포맷으로 응답들을 패키징하도록 구성된다. 인터페이스 및 제어 로직 회로(124)는 HBM 인터페이스(506)로부터의 판독 및 기록 요청들을 디코딩하고 이에 응답하여, 다양한 메모리 다이들 상의 메모리(302)로부터 판독하거나 그에 기록하도록 네이티브 신호들을 메모리(302)에 송신할 수 있다. 도 5의 개략적인 회로도도 도 3과 도 4 간의 차이들과 유사한 메모리 다이들의 단일 스택을 구현하도록 수정될 수 있다.

[0035] 도 6은 일부 예들에 따른 PCB(printed circuit board)(602) 상의 다중-칩 구조의 구성이다. 다중-칩 구조는 패키지 기판(604), 패키지 기판(604) 상의 베이스 다이(606), 및 베이스 다이(606) 상에 스택된 메모리 다이들(608)을 포함한다. 베이스 다이(606)는 도 3 및/또는 도 4에서와 같이 프로그래밍 가능 IC(102)를 포함하고, 메모리 다이(608)는 도 3 및/또는 도 4에서와 같이 메모리(302)를 각각 포함한다.

[0036] 다중-칩 구조는 4개의 스택된 메모리 다이들(608)의 스택을 포함하지만, 다른 예들은 임의의 수의 스택들에서 임의의 수의 메모리 다이들(608)을 구현할 수 있다. 각각의 메모리 다이(608)는 메모리 다이(608)의 활성 측에 부착되고 하부 다이의 후방 측에 부착된 외부 커넥터들(610) 이라면, 마이크로볼프를 갖는다. 각각의 메모리 다이(608)는 개개의 메모리 다이(608)의 메모리(302)가 형성되는 반도체 기판을 통하는 TSV(through substrate via)들을 포함할 수 있다. TSV들은 상부 메모리 다이(608)의 메모리(302)를 개개의 메모리 다이(608) 및/또는 하부 다이에 전기적으로 연결하도록 구현될 수 있다.

[0037] 베이스 다이(606)의 프로그래밍 가능 IC(102)는 도 3 및/또는 도 4에 도시된 바와 같이 인터페이스 및 제어 로직 회로(124)를 포함한다. 메모리 다이들(608)의 스택의 최하부 메모리 다이(608)는 최하부 메모리 다이(608)의 활성 측 및 베이스 다이(606)의 후방 측에 부착된 외부 커넥터들(610)을 갖는다. 베이스 다이(606)는 예컨대, 프로그래밍 가능 IC(102)가 형성되는 반도체 기판을 통하는 TSV들을 포함할 수 있다. TSV들은 상부 메모리 다이들(608)의 메모리(302)를 프로그래밍 가능 IC(102)에 전기적으로 연결하도록 구현될 수 있다. 베이스 다이(606)는 추가로, 베이스 다이(606)의 활성 측에 부착되고 패키지 기판(604)의 제1 측에 부착된 외부 커넥터들(612) 이라면, 제어된 붐피 칩 연결들(C4) 범프들을 갖는다. 패키지 기판(604)의 제1 측 맞은편의 제2 측에는 BGA(ball grid array) 볼들과 같은 외부 커넥터들(614)이 부착되며, 이는 추가로 PCB(602)에 부착된다.

[0038] 도 7은 일부 예들에 따른 PCB(602) 상의 다중-칩 구조의 다른 구성이다. 다중-칩 구조는 패키지 기판(604), 패키지 기판(604) 상의 베이스 다이(606), 베이스 다이(606) 상의 제어 다이(702), 및 제어 다이(702) 상에 스택

된 메모리 다이들(608)을 포함한다. 베이스 다이(606)는 인터페이스 및 제어 로직 회로(124) 없이 도 3 및/또는 도 4에서와 같이 프로그래밍 가능 IC(102)를 포함한다. 제어 다이(702)는 도 3 및/또는 도 4에서와 같이 인터페이스 및 제어 로직 회로(124)를 포함하는 제어 IC를 포함한다. 메모리 다이들(608) 각각은 도 3 및/또는 도 4에서와 같이 메모리(302)를 포함한다.

[0039] 도 6에서와 같이, 도 7의 다중-칩 구조는 4개의 스택된 메모리 다이들(608)의 스택을 포함하지만, 다른 예들은 임의의 수의 스택들에서 임의의 수의 메모리 다이들(608)을 구현할 수 있다. 메모리 다이들(608)의 스택의 최하부 메모리 다이(608)는 최하부 메모리 다이(608)의 활성 측 및 제어 다이(702)의 후방 측에 부착된 외부 커넥터들(610)을 갖는다. 제어 다이(702)는 예컨대, 제어 다이(702)의 로직 구조들(예컨대, 트랜지스터들)이 형성되는 반도체 기판을 통하는 TSV들을 포함할 수 있다. TSV들은 상부 메모리 다이들(608)의 메모리(302)를 제어 다이(702) 및/또는 프로그래밍 가능 IC(102)의 제어 IC(예컨대, 인터페이스 및 제어 로직 회로(124))에 전기적으로 연결하도록 구현될 수 있다. 제어 다이(702)의 활성 측은 베이스 다이(606)의 후방 측에 부착된다. 예컨대, 제어 다이(702)의 활성 측은 웨이퍼 본딩 또는 다른 본딩 기술들에 의한 산화물-산화물 및/또는 금속-금속 본딩을 통해 베이스 다이(606)의 후방 측에 본딩될 수 있다. 베이스 다이(606)는 베이스 다이(606)의 활성 측에 부착되고 패키지 기관(604)의 제1 측에 부착된 외부 커넥터들(612)을 갖는다. 패키지 기관(604)의 제1 측 맞은편의 제2 측에는 외부 커넥터들(614)이 부착되며, 이는 추가로 PCB(602)에 부착된다.

[0040] 도 8은 일부 예들에 따른 PCB(602) 상의 다중-칩 구조의 다른 구성이다. 다중-칩 구조는 패키지 기관(604), 패키지 기관(604) 상의 베이스 다이(606), 베이스 다이(606) 상의 제어 다이(802), 및 제어 다이(802) 상에 스택된 메모리 다이들(608)을 포함한다. 베이스 다이(606)는 도 5에서와 같이 프로그래밍 가능 IC(102)를 포함한다. 보다 구체적으로, 프로그래밍 가능 IC(102)는 또한 도 5에 도시된 바와 같이 HBM 인터페이스들(504)을 포함한다. 제어 다이(802)는 도 5에서와 같이 제어 IC(502)를 포함한다. 보다 구체적으로, 제어 다이(802)의 제어 IC(502)는 도 5에 도시된 바와 같이 인터페이스 및 제어 로직 회로(124) 및 HBM 인터페이스들(506)을 포함한다. 메모리 다이들(608) 각각은 도 5에서와 같이 메모리(302)를 포함한다.

[0041] 도 6에서와 같이, 도 8의 다중-칩 구조는 4개의 스택된 메모리 다이들(608)의 스택을 포함하지만, 다른 예들은 임의의 수의 스택들에서 임의의 수의 메모리 다이들(608)을 구현할 수 있다. 메모리 다이들(608)의 스택의 최하부 메모리 다이(608)는 최하부 메모리 다이(608)의 활성 측 및 제어 다이(802)의 후방 측에 부착된 외부 커넥터들(610)을 갖는다. 제어 다이(802)는 예컨대, 제어 IC(502)의 로직 구조들(예컨대, 트랜지스터들)이 형성되는 반도체 기판을 통하는 TSV들을 포함할 수 있다. TSV들은 상부 메모리 다이들(608)의 메모리(302)를 제어 다이(802) 및/또는 프로그래밍 가능 IC(102)의 제어 IC(502)에 전기적으로 연결하도록 구현될 수 있다. 제어 다이(802)는 제어 다이(802)의 활성 측에 부착되고 베이스 다이(606)의 후방 측에 부착된 외부 커넥터들(804)을 갖는다. 마이크로볼프들을 갖는다. 베이스 다이(606)는 베이스 다이(606)의 활성 측에 부착되고 패키지 기관(604)의 제1 측에 부착된 외부 커넥터들(612)을 갖는다. 패키지 기관(604)의 제1 측 맞은편의 제2 측에는 외부 커넥터들(614)이 부착되며, 이는 추가로 PCB(602)에 부착된다.

[0042] 도 6 내지 도 8과 관련하여 설명된 다양한 다중-칩 구조들이 특정 배향(예컨대, 다이들의 특정 활성 측들이 다른 다이들의 후방 측들에 부착됨)을 갖는 다양한 다이들로 설명되었지만, 그러한 배향들은 예들로서 제공된다. 임의의 다이(예컨대, 임의의 베이스 다이(606), 메모리 다이(608), 제어 다이(702), 및/또는 제어 다이(802))는 예컨대, 위에 제공된 설명에 대해 뒤집힐 수 있거나 임의의 다른 배향을 가질 수 있다.

[0043] 위에서 설명된 다중-칩 구조들은 프로그래밍 방식으로 액세스 가능한 고밀도 메모리 디바이스들일 수 있다. HBM 로직 및 스택킹 기술을 활용하는 고밀도 메모리를 가진 프로그래밍 가능 디바이스는 위에서 설명된 구조들에 의해 구현될 수 있다. 프로그래밍 가능 IC들(예컨대, FPGA들)과 연관된 성능 이점들은 더 빠르고 단순한 제조, 더 낮은 비용 제조 및 더 낮은 전력 소비를 발생시키면서 유지될 수 있다.

[0044] 일부 예들은 임의의 다양한 프로그래밍 가능 IC로 구현될 수 있다. 예컨대, 프로그래밍 가능 IC는 예컨대, 구성 가능한 입력/출력 회로들 및 인터페이스들을 갖는 ASSP(application specific standard parts) IC일 수 있다. 일부 예들은 n x PCIe Genx, n x 100GE, n x 40G, n x 10GE, 112G PAM4 등과 같은 호스트 인터페이스들을 갖는 다중 포트 메모리로 구현될 수 있다.

[0045] 도 9는 일부 예들에 따라 다중-칩 구조를 형성하기 위한 방법(900)의 흐름도이다. 블록(902)에서, 베이스 다이(606)가 형성된다. 베이스 다이(606)는 예컨대, 도 6 내지 도 8의 베이스 다이(606)일 수 있고, 베이스 다이(606)에서 프로그래밍 가능 IC 및 TSV들을 구현하기 위해 전방 측 및 후방 측 반도체 프로세싱에 의해 형성될 수 있다.

- [0046] 선택적으로, 블록(904)에서, 제어 다이가 형성된다. 제어 다이는 예컨대, 도 7 및/또는 도 8의 제어 다이들(702 및/또는 802)일 수 있고, 마찬가지로 제어 다이에서 제어 IC 및 TSV들을 구현하기 위해 전방 측 및 후방 측 반도체 프로세싱에 의해 형성될 수 있다. 선택적으로, 블록(906)에서, 제어 다이가 베이스 다이에 부착된다. 예컨대, 제어 다이는 제어 다이 및 베이스 다이의 프로세싱 동안(예컨대, 다이들을 싱글레이팅하기 전에) 웨이퍼-웨이퍼 본딩에 의해 베이스 다이에 본딩될 수 있다. 다른 예로서, 제어 다이는 외부 커넥터들 이룰테면, 마이크로범프들 — 이는 베이스 다이에 제어 다이를 부착하기 위해 외부 커넥터들을 리플로우하는 것을 포함할 수 있음 — 을 사용하여 베이스 다이에 부착될 수 있다. 일부 예들에서, 제어 다이는 이룰테면, 도 6의 다중-칩 구조를 형성하기 위해 구현되지 않고, 따라서 블록(904)에서 제어 다이를 형성하는 것 그리고 블록(906)에서 베이스 다이에 제어 다이를 부착하는 것은 생략될 수 있다.
- [0047] 블록(908)에서, 메모리 다이들의 스택이 형성된다. 메모리 다이들의 스택은 예컨대, 도 6 내지 도 8의 메모리 다이들(608)일 수 있고, 각각의 메모리 다이는 최상부 메모리 다이가 후방 측 반도체 프로세싱들 및 TSV들을 생략할 수 있는 것을 제외하면, 메모리 다이에 TSV들 및 메모리를 구현하기 위해 전방 측 및 후방 측 반도체 프로세싱에 의해 형성될 수 있다. 메모리 다이들은 이룰테면, 외부 커넥터들 이룰테면, 마이크로범프들 — 이는 메모리 다이들을 함께 부착하기 위해 외부 커넥터들을 리플로우하는 것을 포함할 수 있음 — 을 사용함으로써 스택에서 서로 부착될 수 있다.
- [0048] 블록(910)에서, 메모리 다이들의 스택은 베이스 다이 또는 만약 구현된다면, 제어 다이에 부착된다. 메모리 다이들의 스택은 외부 커넥터들 이룰테면, 마이크로범프들 — 이는 베이스 다이 또는 제어 다이에 메모리 다이들의 스택을 부착하기 위해 외부 커넥터들을 리플로우하는 것을 포함할 수 있음 — 을 사용하여 (예컨대, 도 6에서와 같이) 베이스 다이에 또는 (예컨대, 도 7 및 도 8에서와 같이) 제어 다이에 부착될 수 있다. 위에서 표시된 바와 같이, 동작들의 순서는 변동될 수 있다. 예컨대, 도 8에서와 같이 제어 다이가 구현될 때, 메모리 다이들의 스택은 제어 다이가 베이스 다이에 부착되기 전에 제어 다이에 부착될 수 있다.
- [0049] 블록(912)에서, 베이스 다이는 패키지 기판에 부착된다. 패키지 기판은 예컨대, 도 6 내지 도 8의 패키지 기판(604)일 수 있고, 외부 커넥터들 이룰테면, C4 범프들 — 이는 패키지 기판에 베이스 다이를 부착하기 위해 외부 커넥터들을 리플로우하는 것을 포함할 수 있음 — 을 사용하여 베이스 다이에 부착될 수 있다.
- [0050] 블록(914)에서, 패키지 기판은 PCB에 부착된다. PCB 기판은 예컨대, 도 6 내지 도 8의 PCB(602)일 수 있고, 외부 커넥터들 이룰테면, BGA 볼들 — 이는 PCB에 패키지 기판을 부착하기 위해 외부 커넥터들을 리플로우하는 것을 포함할 수 있음 — 을 사용하여 패키지 기판에 부착될 수 있다.
- [0051] 일부 예들에 따르면, 다중-칩 구조는 패키지 기판, 제1 다이, 및 제2 다이를 포함한다. 제1 다이는 프로그래밍 가능 집적 회로를 포함한다. 프로그래밍 가능 집적 회로는 메모리 제어기를 포함한다. 제1 다이는 패키지 기판 상에 있고 그에 부착된다. 제2 다이는 메모리를 포함한다. 제2 다이는 제1 다이 상에 스택된다. 메모리는 메모리 제어기에 통신 가능하게 커플링된다.
- [0052] 위의 다중-칩 구조의 일부 예들에서, 제1 다이는 반도체 기판을 포함할 수 있다. TSV(through substrate via)들은 반도체 기판을 관통할 수 있다. 메모리 제어기는 TSV들을 통해 메모리에 통신 가능하게 커플링될 수 있다.
- [0053] 위의 다중-칩 구조의 일부 예들에서, 제2 다이는 외부 전기 커넥터들에 의해 패키지 기판으로부터 맞은편의 제1 다이의 측에 부착될 수 있다.
- [0054] 위의 다중-칩 구조의 일부 예들에서, 어떠한 물리 층 인터페이스도 메모리 제어기와 메모리 사이에 통신 가능하게 그리고 전기적으로 배치되지 않을 수 있다.
- [0055] 위의 다중-칩 구조의 일부 예들에서, 제1 다이는 제어 로직 회로를 포함할 수 있고, 제어 로직 회로는 메모리 제어기와 메모리 사이에 통신 가능하게 배치될 수 있다.
- [0056] 일부 예들에서, 위의 다중-칩 구조는 제어 로직 회로를 포함하는 제3 다이를 더 포함할 수 있다. 제3 다이는 패키지 기판으로부터 맞은편의 제1 다이의 측 상에 스택되고 그에 부착될 수 있다. 제2 다이는 제1 다이로부터 맞은편의 제3 다이의 측 상에 스택되고 그에 부착될 수 있다. 제어 로직 회로는 메모리 제어기와 메모리 사이에 통신 가능하게 배치될 수 있다. 제3 다이는 제1 다이에 본딩될 수 있다. 제3 다이는 외부 전기 커넥터들에 의해 패키지 기판으로부터 맞은편의 제1 다이의 측에 부착될 수 있다. 제2 다이는 외부 전기 커넥터들에 의해 제1 다이로부터 맞은편의 제3 다이의 측에 부착될 수 있다. 어떠한 물리 층 인터페이스도 메모리 제어기와 메

모리 사이에 통신 가능하게 그리고 전기적으로 배치되지 않을 수 있다. 제1 다이는 메모리 제어기에 통신 가능하게 커플링된 제1 물리 층 인터페이스를 포함할 수 있다. 제3 다이는 제1 물리 층 인터페이스와 제어 로직 회로 사이 그리고 제1 물리 층 인터페이스와 제어 로직 회로에 통신 가능하게 커플링된 제2 물리 층 인터페이스를 포함할 수 있다.

[0057] 위의 다중-칩 구조의 일부 예들에서, 프로그래밍 가능 집적 회로는 FPGA(field programmable gate array)를 포함한다.

[0058] 일부 예들에 따르면, 다중-칩 구조를 형성하는 방법은 제2 다이 상에 제1 다이를 스택하는 단계, 및 패키지 기판에 제1 다이를 부착하는 단계를 포함한다. 제1 다이는 메모리를 포함한다. 제2 다이는 프로그래밍 가능 집적 회로를 포함한다. 프로그래밍 가능 집적 회로는 메모리 제어기를 포함한다. 메모리 제어기는 제1 다이가 제2 다이 상에 스택됨으로써 메모리에 통신 가능하게 커플링된다.

[0059] 위의 방법의 일부 예들에서, 제2 다이 상에 제1 다이를 스택하는 단계는 외부 전기 커넥터들에 의해 제2 다이에 제1 다이를 부착하는 단계를 포함할 수 있고; 제2 다이는 제어 로직 회로를 포함하고, 제어 로직 회로는 메모리 제어기와 메모리 사이에 통신 가능하게 배치될 수 있고; 그리고 어떠한 물리 층 인터페이스도 메모리 제어기와 메모리 사이에 통신 가능하게 그리고 전기적으로 배치되지 않을 수 있다.

[0060] 일부 예들에서, 위의 방법은 제2 다이에 제3 다이를 부착하는 단계를 더 포함할 수 있다. 제1 다이는 제3 다이에 부착될 수 있다. 제3 다이는 제어 로직 회로를 포함할 수 있다. 제어 로직 회로는 메모리 제어기와 메모리 사이에 통신 가능하게 배치될 수 있다.

[0061] 일부 예들에 따르면, 다중-칩 구조는 패키지 기판, 제1 다이, 및 제2 다이를 포함한다. 제1 다이는 FPGA(field programmable gate array) 및 메모리 제어기를 포함한다. 제1 다이는 패키지 기판 상에 있고 그에 부착된다. 제2 다이는 메모리를 포함한다. 제2 다이는 패키지 기판으로부터 맞은편의 제1 다이의 측 상에 스택된다. 메모리는 메모리 제어기에 통신 가능하게 커플링된다.

[0062] 위의 다중-칩 구조의 일부 예들에서, 어떠한 물리 층 인터페이스도 메모리 제어기와 메모리 사이에 통신 가능하게 그리고 전기적으로 배치되지 않을 수 있다.

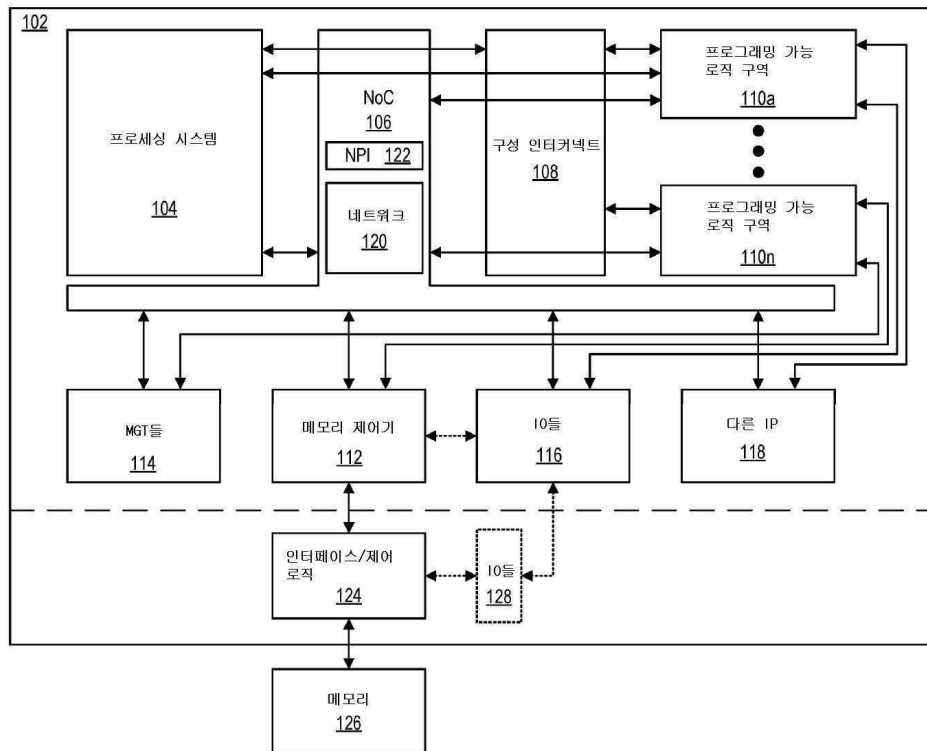
[0063] 위의 다중-칩 구조의 일부 예들에서, 제1 다이는 제어 로직 회로를 포함할 수 있다. 제어 로직 회로는 메모리 제어기와 메모리 사이에 통신 가능하게 배치될 수 있다.

[0064] 일부 예들에서, 위의 다중-칩 구조는 제어 로직 회로를 포함하는 제3 다이를 더 포함할 수 있다. 제3 다이는 패키지 기판으로부터 맞은편의 제1 다이의 측 상에 스택되고 그에 부착될 수 있다. 제2 다이는 제1 다이로부터 맞은편의 제3 다이의 측 상에 스택되고 그에 부착될 수 있다. 제어 로직 회로는 메모리 제어기와 메모리 사이에 통신 가능하게 배치될 수 있다. 제1 다이는 메모리 제어기에 통신 가능하게 커플링된 제1 물리 층 인터페이스를 포함할 수 있다. 제3 다이는 제1 물리 층 인터페이스와 제어 로직 회로 사이 그리고 제1 물리 층 인터페이스와 제어 로직 회로에 통신 가능하게 커플링된 제2 물리 층 인터페이스를 포함할 수 있다.

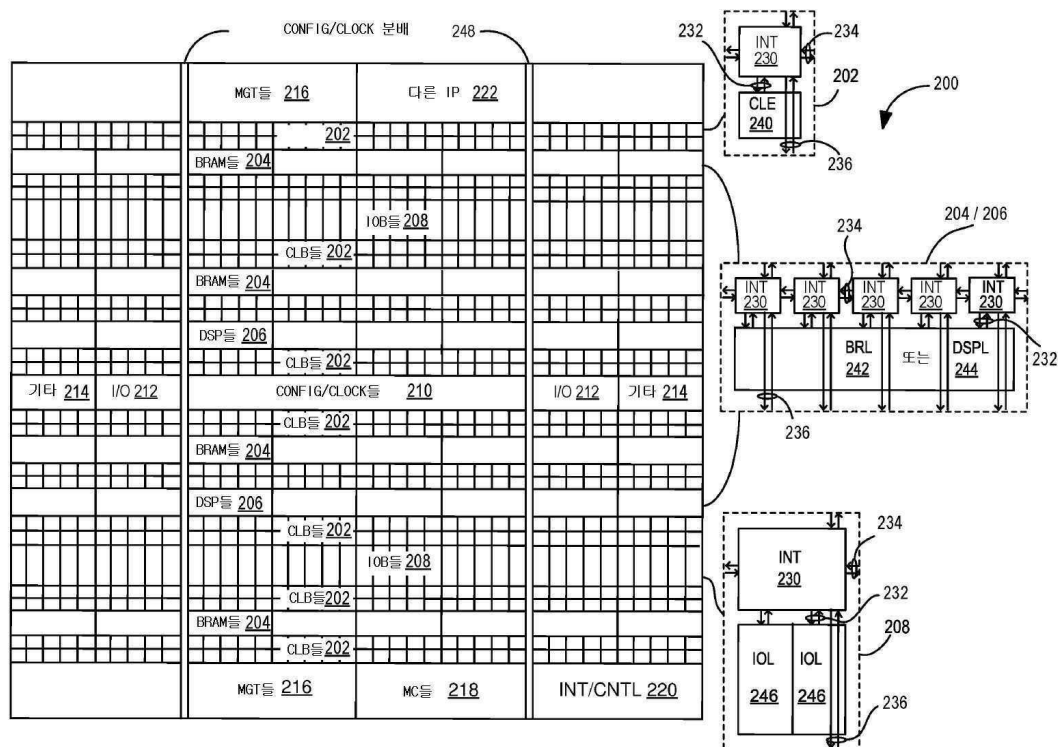
[0065] 위의 내용은 특정 예들에 관한 것이지만, 본 발명의 기본 범위를 벗어남이 없이 다른 및 추가의 예들이 안출될 수 있고, 본 발명의 범위는 아래의 청구항들에 의해 결정된다.

도면

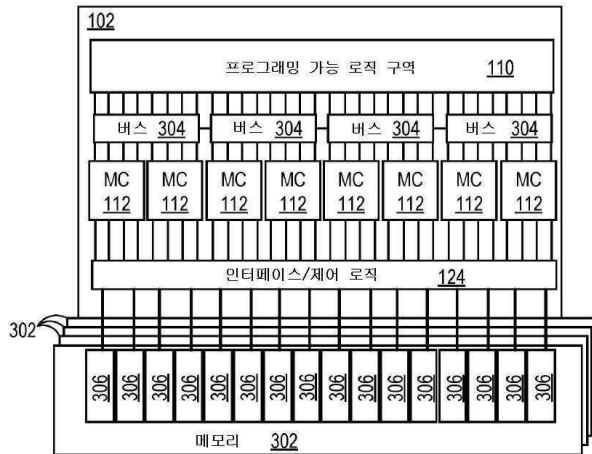
도면1



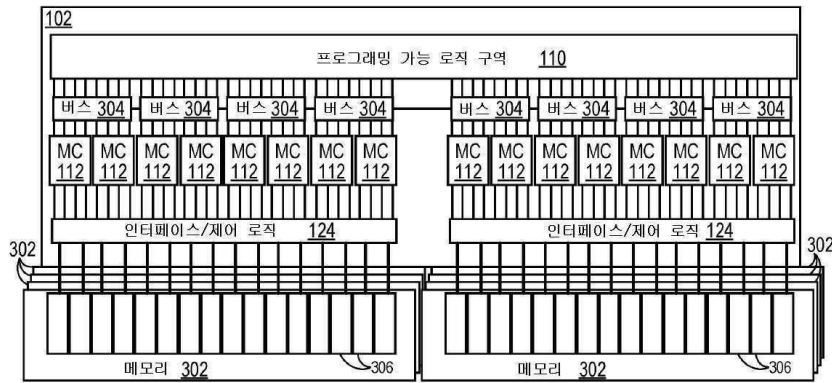
도면2



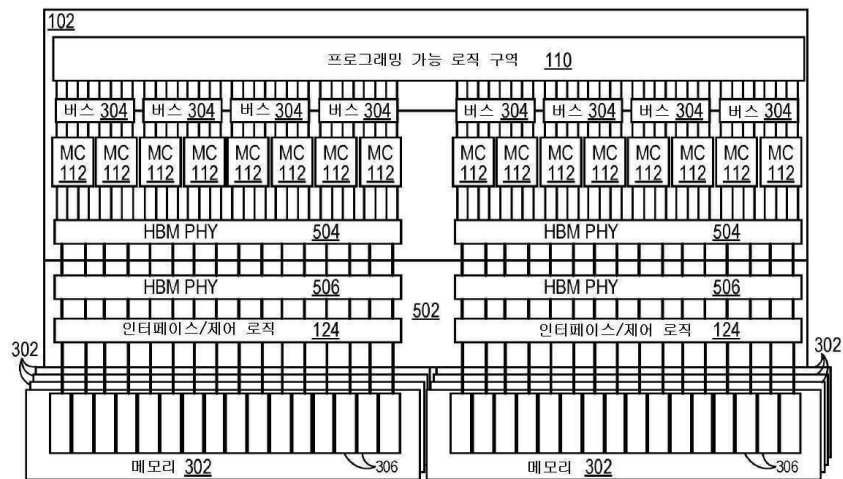
도면3



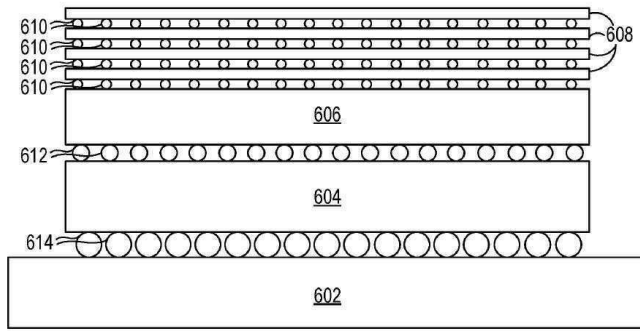
도면4



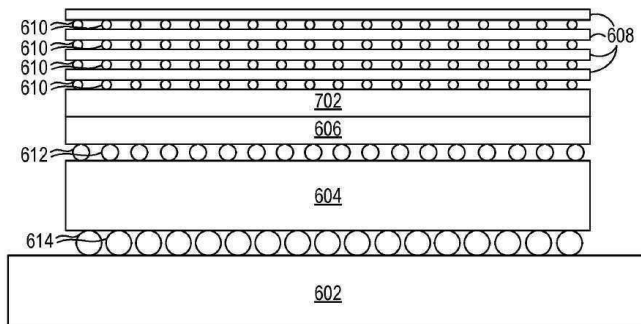
도면5



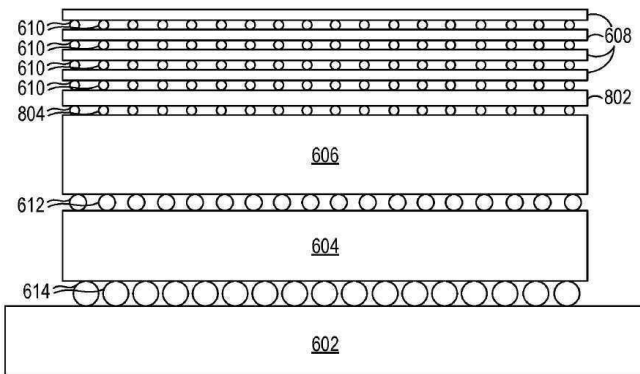
도면6



도면7



도면8



도면9

