



(12) 发明专利

(10) 授权公告号 CN 101496166 B

(45) 授权公告日 2010. 11. 03

(21) 申请号 200680051815. 6

(22) 申请日 2006. 12. 07

(30) 优先权数据

11/339, 132 2006. 01. 25 US

(85) PCT申请进入国家阶段日

2008. 07. 25

(86) PCT申请的申请数据

PCT/US2006/061737 2006. 12. 07

(87) PCT申请的公布数据

W02007/100404 EN 2007. 09. 07

(73) 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72) 发明人 R·查特杰

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 秦晨

(51) Int. Cl.

H01L 23/48 (2006. 01)

(56) 对比文件

US 6232219 B1, 2001. 05. 15, 全文.

US 6887769 B2, 2005. 05. 03, 说明书第 3 栏
第 15 行至第 6 栏第 30 行、附图 1-6.

US 2002/0160596 A1, 2002. 10. 31, 全文.

US 5817572 A, 1998. 10. 06, 全文.

审查员 潘军

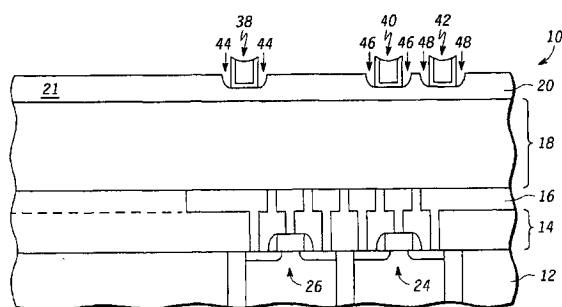
权利要求书 1 页 说明书 6 页 附图 8 页

(54) 发明名称

具有用于键合的相邻寄存器的半导体互连及
形成方法

(57) 摘要

半导体器件 (10) 和方法, 具有带邻接寄存器
开口 (44、46、48) 的互连 (38、40、42)。电介质层
(20) 作为一个或多个互连层 (18) 的最顶部的一
部分形成。在电介质层中形成的开口 (30) 导致沿
开口侧壁部分形成电介质层的修改部分 (32)。开
口填充有导电材料, 例如金属。电介质层 (20) 的
暴露部分 (22) 被除去以便形成在电介质层上延
伸的导电材料的凸出焊盘 (38、40、42)。寄存器开
口是通过除去电介质层的修改部分而靠近凸出焊
盘形成的。当半导体器件与另一个器件 (100), 晶
片或芯片, 键合在一起时, 横向流动的金属集中在
寄存器开口中并保证半导体器件与另一器件之间
实现可靠的电气连接。



1. 一种用于形成半导体器件的方法,包括:
提供具有覆盖器件层的衬底;
在衬底内和覆盖器件层内形成多个器件;
形成一个或多个覆盖着器件层的互连层;
形成包围一个或多个互连层的最顶部的电介质层;
在电介质层中形成开口,其中电介质层中开口的形成还形成了沿开口侧壁部分的电介质层的修改部分;
用导电材料填充开口;
除去暴露的电介质层部分以便形成在电介质层上延伸的导电材料的凸出焊盘;以及
形成在电介质内并与凸出焊盘相邻的贮存器开口。
2. 权利要求 1 的方法,进一步包括:
形成在材料上与电介质层不同的覆盖电介质层的绝缘覆盖层,该绝缘覆盖层保护下面的电介质层部分。
3. 权利要求 1 的方法,其中形成贮存器开口进一步包括:
除去电介质层的修改部分以便形成贮存器开口。
4. 权利要求 1 的方法,其中形成开口进一步包括:
在覆盖电介质层的绝缘覆盖层之上形成图形化掩膜层;
刻蚀电介质层和绝缘覆盖层;
在等离子体环境中在氧化化学品中除去图形化掩膜层;以及
控制图形化掩膜层的去除以便确定电介质层的修改部分的尺寸,从而控制贮存器开口的尺寸。
5. 权利要求 4 的方法,其中控制图形化掩膜层的去除进一步包括控制如下中的至少一个:控制除去图形化掩膜层所需的时间、用于除去图形化掩膜层的功率、用于除去图形化掩膜层的压力、用于除去图形化掩膜层的温度和控制用于除去图形化掩膜层的化学品。

具有用于键合的相邻贮存器的半导体互连及形成方法

技术领域

[0001] 本发明总体上涉及半导体加工,更具体地,涉及键合结构之间的半导体互连。

背景技术

[0002] 随着技术的进步,集成电路(IC)的复杂性也有所增加,要求越来越多数目的连接晶体管和其它电路元件。现在许多电子系统用多重集成电路执行需要的功能。例如,现在可用的一项技术是三维(3-D)垂直堆叠技术,在这种技术中,多个晶片或芯片被垂直堆叠在共用的衬底上以便实现多层有源电路。例如,晶片或芯片可以以面对背取向堆叠,其中一个晶片或芯片的正面被附着于另一个晶片或芯片的背面。或者,晶片或芯片可以以面对面取向堆叠,其中一个晶片或芯片的正面被附着于另一个晶片或芯片的正面。为了实现堆叠的晶片或芯片之间的电气连接,堆栈中每个晶片或芯片的金属键合焊盘被键合到堆栈中另一个晶片或芯片的金属键合焊盘。但是由于横穿晶片或芯片的表面变化,金属键合焊盘的金属对金属键合可能不可靠,导致不可靠的互连。

附图说明

[0003] 本发明以示例的方式图解而且不受限于附图,在附图中相同的标号表示相似的元件。

[0004] 图1-7图解依照本发明的一个实施方案形成半导体结构的不同阶段的横断面图。

[0005] 图8和9图解依照本发明一个实施方案附着两个半导体结构的横断面图。

[0006] 图10-15图解依照本发明的替代实施方案形成半导体结构的不同阶段的横断面图。

[0007] 本领域的技术人员了解图中的元件是为简单和清晰起见而图解的,不一定按比例绘制。例如,图中一些元件的尺寸可以相对其它元件被放大以帮助提高对本发明的实施方案的理解。

具体实施方式

[0008] 用3-D垂直堆叠技术,可以形成晶片或芯片的堆栈,该堆栈导致多层垂直堆叠的有源电路。在一个实施方案中,芯片可以垂直堆叠到另一个芯片上(芯片到芯片集成)或另一个晶片上(芯片到晶片集成)。在另一实施方案中,晶片可以垂直堆叠到另一个晶片上(晶片到晶片集成)。如上所述,电气连接是通过将一个芯片或晶片的金属键合焊盘键合到另一个芯片或晶片的金属键合焊盘实现的。但是,表面变化可以导致不可靠互连。因此,在本发明的一个实施方案中,形成凸出金属键合焊盘,使得它们在最终电介质层上延伸,并且靠近凸出金属键合焊盘形成贮存器(reservoir)以便允许改善半导体互连。

[0009] 图1-7图解用于依照本发明的一个实施方案形成半导体结构10的方法。图1图解半导体10,其具有衬底12、覆盖衬底12的器件和接触层14、覆盖器件和接触层14的第一互连层16、覆盖第一互连层16的一个或多个互连层18、覆盖该一个或多个互连层18的最终

互连层 20、和覆盖最终互连层 20 的覆盖层 22。衬底 12 可以是任何类型的半导体衬底,例如体衬底或绝缘体上半导体衬底 (SOI),并且可以包括任何类型的半导体材料或材料组合,例如砷化镓、锗硅、硅、单晶硅、等等,以及它们的组合。有源电路在衬底 12 上和内部形成,其中,有源电路可以执行任何功能或多重功能。有源电路包括任何数目和类型的晶体管,例如晶体管 26 和 24。请注意晶体管 26 和 24 是在衬底 12 和器件和接触层 14 中形成,并且可以是任何类型的晶体管,例如,其具有各种不同类型的源区和漏区、栅极电介质、栅极堆栈、隔离层,等等,如本领域中所已知的那样。如图 1 中所示,晶体管可以被衬底 12 中的隔离区隔开。虽然只图解了两个晶体管,但半导体结构 10 可以包括任何数目的晶体管以便形成任何类型的电路。

[0010] 器件和接触层 14 还包括接触,该接触实现与诸如晶体管 26 和 24 的晶体管的电气接触,并延伸至第一互连层 16。覆盖第一互连层 16 的一个或多个互连层 18 可以根据需要包括任何数目的通孔和沟槽层以便将信号从第一互连层 16 路由到衬底 12 上的其它器件和最终互连层 20。在一个实施方案中,一个或多个互连层 18 中的每一个包括具有多个导电部分(例如金属通孔或金属沟槽)的电介质材料以便路由信号,并且能够用传统工艺形成。导电部分可以包括例如金属,诸如铝或铜。最终互连层 20 包括电介质 21,其中将形成金属通孔和沟槽以便形成金属键合焊盘。在一个实施方案中,电介质 21 是具有低介电常数(K),例如低于约 4.0 的 K,的电介质。在一个实施方案中,电介质 21 包括 SiCOH 或其它含碳电介质。请注意最终互连层 20 可以包括任何数目的电介质层。

[0011] 在一个实施方案中,覆盖层 22 是绝缘覆盖层,诸如,例如四正硅酸盐 (TEOS) 淀积的电介质层。或者,覆盖层 22 的淀积可以用硅烷、甲基硅烷、二甲基硅烷、三甲基硅烷、氧、或它们的组合来实现。在一个实施方案中,覆盖层 22 保护下面的电介质 21 部分。而且,在一个实施方案,覆盖层 22 在材料方面与电介质 21 不同。例如,在一个实施方案中,电介质 21 包括碳,而覆盖层 22 不包括。

[0012] 请注意,在一个实施方案中,覆盖层 22 可以指的是最终互连层 20 的一部分。而且,在一个实施方案中,最终互连层 20 可以指的是一个或多个互连层 18 的最上层。

[0013] 图 2 图解在覆盖层 22 上形成图形化的掩膜层 28 之后的半导体结构 10,其中图形化掩膜层 28 限定多个开口。在一个实施方案中,图形化掩膜层 28 是可以用传统加工技术形成的图形化光刻胶层。

[0014] 图 3 图解用图形化掩膜层 28 形成开口 30 之后的半导体结构 10。在一个实施方案中,使用诸如 CF_4 、 C_2F_6 、 C_3F_8 等碳氟化学品的干法反应离子刻蚀 (RIE) 被用来形成开口 30,其中该开口 30 延伸到最终互连层 20 的电介质 21 中。在一个实施方案中,可以用多个刻蚀步骤来形成开口 30。例如,第一刻蚀化学品可以用来蚀穿覆盖层 22,第二刻蚀化学品可以用来刻蚀到电介质 21 中。

[0015] 图 4 图解除去图形化掩膜层 28 之后的半导体结构 10。在一个实施方案中,在使用例如等离子体环境中的含氧化学品或一氧化碳化学品的氧化刻蚀环境中除去图形化掩膜层 28。用氧化刻蚀环境除去图形化掩膜层 28(也就是灰化)引起对开口 30 内电介质 21 的暴露部分的损坏或修改,导致受损电介质区 32(也称为修改的电介质区 32)。例如,在上面提供的电介质 21 包括碳而覆盖层 22 不包括的示例中,形成受损或修改的电介质区 32 的对电介质 21 的损坏指的是从这些区域除去碳。

[0016] 因此,可以用图形化掩膜层 28 的厚度和氧化刻蚀环境中氧的量来控制受损电介质区 32 的形成。例如,通过控制除去图形化掩膜层 28 时使用的刻蚀参数(诸如,例如时间、功率、压力、温度、化学品、和气流),可以控制受损电介质区 32 的尺寸和形状。还要注意电介质 21 的暴露部分也可以被形成开口 30 时使用的刻蚀损坏或修改;但是,在此实施方案中,大部分受损电介质区 32 是在除去图形化掩膜层 28 期间形成的。

[0017] 图 5 图解形成覆盖层 22 上和开口 30 内的阻挡层 34 和阻挡层 34 上的金属层 36 之后的半导体结构 10。阻挡层 34 可以用来防止金属扩散到下面的层中。在一个实施方案中,阻挡层 34 可以包括诸如,例如钽、氮化钽、氮化钛或它们的组合的材料或层的组合。在一个实施方案中,金属层 36 用电镀形成,其中种晶层首先在阻挡层 34 上形成(用例如物理汽相淀积)并且这个种晶层被用于电镀金属层 36。在一个实施方案中,金属层 36 是铜层。

[0018] 图 6 图解在金属层 36 和阻挡层 34 上执行化学机械抛光(CMP)以便暴露下面的覆盖层 22 之后的半导体结构 10。请注意现在开口 30 被填充以便形成金属键合焊盘 38、40 和 42(在一个实施方案中,为铜键合焊盘 38、40 和 42)。但是,由于 CMP 的原因,金属键合焊盘 38、40 和 42 的顶部可能不是直的。也就是说,CMP 可以导致金属键合焊盘的碟形凹陷,如图 6 所示。

[0019] 图 7 图解除去覆盖层 22 之后的半导体结构 10。在一个实施方案中,用 HF 湿法刻蚀除去覆盖层 22,其中该刻蚀还从最终互连层 20 中除去受损电介质部分 32。例如,在一个实施方案中,受损电介质部分 32 具有比最终互连层 22 的电介质 21 低的含碳量。因此,HF 刻蚀可以用来在基本不影响电介质 21 的情况下除去受损电介质部分 32。或者,可以使用相对于未受损或未使用的低 K 材料选择性地除去受损的低 K 材料的其它化学品。因此,用于除去覆盖层 22 的刻蚀化学品也导致分别与金属键合焊盘 38、40 和 42 中的每一个相邻的存储器 44、46 和 48 的形成。(请注意存储器 44、46、和 48 也可以称为存储器开口。)而且,请注意先前除去图形化掩膜层 28 时用于控制受损电介质部分 32 的形成的刻蚀参数因此可以用于控制存储器 44、46 和 48 的尺寸和形状。在一个实施方案中,存储器 44、46 和 48 的形成分别导致包围每个金属键合焊盘 38、40 和 42 的电介质 21 内的开口,其中这些开口在电介质 21 的表面处的宽度比电介质 21 的表面大。而且,除去覆盖层 22 导致在最终互连层的电介质上延伸的凸出金属键合焊盘。也就是说,如图 7 所示,金属键合焊盘 38、40 和 42 在最终互连层 20 的电介质 21 上延伸。

[0020] 请注意最终互连层 20 还包括将诸如金属键合焊盘 38、40 和 42 的金属键合焊盘连接到一个或多个互连层 18 的通孔部分;但是,这些通孔部分没有在图 3-7 的横断面中图解。通孔开口可以根据使用先通孔后沟槽还是先沟槽后通孔集成,在用于金属键合焊盘 38、40 和 42 的沟槽开口之前或之后形成。传统工艺过程可用来形成这些通孔并因此未在此处作更详细讨论。

[0021] 而且,在一个实施方案中,防腐蚀金属涂层可以在金属焊盘 38、40 和 42 的暴露部分上形成。在上述实施方案中,这可以在除去覆盖层 22 之前或之后形成。在一个实施方案中,此防腐蚀金属涂层包括金。

[0022] 图 8 图解被附着于另一个半导体结构 100 以便形成面对面 3D 垂直堆叠集成的半导体结构 10。请注意半导体结构 10 和半导体结构 100 中的每一个都可以是芯片或晶片的一部分。(半导体结构 10 和半导体结构 100 还可以分别称为半导体器件 10 和 100。)半导

体结构 100 包括衬底 64、衬底 64 上的器件和接触层 62、器件和接触层 62 上的第一互连层 60、第一互连层 60 上的一个或多个互连层 58、一个或多个互连层 58 上的最终互连层 56 和在最终互连层 56 内形成并在最终互连层 56 上延伸的凸出金属键合焊盘 54、52 和 50。有源电路在衬底 64 上和衬底 64 内部形成,其中有源电路可以执行任何功能或多种功能。有源电路包括任何数目和类型的晶体管,例如晶体管 126 和 124。请注意晶体管 126 和 124 在衬底 64 及器件和接触层 62 中形成,并且可以是任何类型的晶体管,例如其具有各种不同类型的源极和漏极区、栅极电介质、栅极堆栈、隔离层,等等,如本领域中已知的那样。晶体管可以被衬底 64 中的隔离区隔开。虽然只图解了两个晶体管,但半导体结构 100 可以包括任何数目的晶体管以便形成任何类型的电路。请注意上面提供的关于衬底 12、器件和接触层 14、晶体管 24 和 26、第一互连层 16、一个或多个互连层 18、最终互连层 20 和凸出金属键合焊盘 54、52 和 50 的说明也分别适用于衬底 64、器件和接触层 62、晶体管 124 和 126、第一互连层 60、一个或多个互连层 58、最终互连层 56 和凸出金属键合焊盘 38、40 和 42。半导体衬底 100 还包括与金属键合焊盘 54、52 和 50 中的每一个相邻的最终互连层 56 中的存储器。但是,请注意在替代实施方案中,这些存储器可以不存在。而且,在替代实施方案中,半导体结构 100 可以具有不同的层、不同类型的晶体管和电路、及不同类型的金属键合焊盘。也就是说,半导体结构 100 在形式上可以不与半导体结构 10 类似。

[0023] 如图 8 所示,半导体结构 100 放置在半导体结构 10 上,与半导体结构 10 相对,使得它的金属键合焊盘与半导体结构 10 的金属键合焊盘对齐。随后施加力,如箭头 61 所指,以便使半导体结构 10 和 100 接触,如图 9 所示。参照图 9,凸出金属键合焊盘 38、40 和 42 分别键合到凸出金属键合焊盘 54、52 和 50。在一个实施方案中,在提高的温度(例如高于室温的温度)下键合凸出金属键合焊盘。而且,在一个实施方案中,在键合期间通过温度和压力使凸出金属键合焊盘变形。任何因键合导致的横向流动的过量金属都被俘获到半导体结构 10 和半导体结构 100 的相邻存储器中(如果半导体结构 100 中存在)。以这种方式,过量的金属不会在键合期间溢出到最终互连层 20 或 56 上,从而防止相邻互连之间的短路。请注意存储器可以在键合期间完全充满来自金属键合焊盘的金属材料,或者可以只是被局部填充。而且,存储器可以设计得足够大使得可以使最终互连层 56 的电介质与最终互连层 20 的电介质接触。在此实施方案中,两个半导体结构之间的空间 59 可能不存在。

[0024] 图 10-15 图解依照本发明的替代实施方案的半导体结构 200 的形成。请注意图 10-15 中的相同参考标号用于表示与图 1-9 中的那些相同的元件。在图 10 的实施方案中,图形化掩膜层 66 在最终互连层 20 上形成。也就是说,在本实施方案中没有诸如覆盖层 22 的覆盖层在最终互连层 20 上形成。图形化掩膜层 66 与图形化掩膜层 28 类似并且上面提供的对图形化掩膜层 28 的说明也适用于图形化掩膜层 66。

[0025] 图 11 图解形成延伸到最终互连层 20 的电介质 21 中的开口 68 之后的半导体结构 200。上述用于形成开口 30 的相同化学品在这里也适用于开口 68 的形成。但是,在图 11 的本实施方案中,不需要蚀穿覆盖层,因为覆盖层不存在。

[0026] 图 12 图解除去图形化掩膜层 66 之后的半导体结构 200。如上关于图形化掩膜层 28 的去除所述的,使用例如等离子体环境中的含氧化品或一氧化碳化学品的氧化刻蚀环境可以用来除去图形化掩膜层 66。用氧化刻蚀环境除去图形化掩膜层 66 导致对开口 30 内和沿电介质 21 表面的暴露的电介质 21 部分的损坏或修改,导致受损的电介质区 70(也称

为修改的电介质区 70)。在一个实施方案中,形成受损或修改的电介质区 70 的损坏或修改指的是除去这些区域中的碳。因此,图形化掩膜层 66 的厚度和氧化刻蚀环境中氧的量可以用于控制受损电介质区 70 的形成。例如,通过控制除去图形化掩膜层 66 时使用的刻蚀参数(诸如,例如时间、功率、压力、温度、化学品、和气流),可以控制受损电介质区 70 的尺寸和形状。还请注意电介质 21 的暴露部分还可以被形成开口 68 时使用的刻蚀损坏;但是,在此实施方案中,大部分受损的电介质区 70 是在除去图形化掩膜层 66 期间形成的。

[0027] 图 13 图解形成最终互连层 20 上和开口 68 内部的阻挡层 72 和阻挡层 72 上的金属层 74 之后的半导体结构 200。上面提供的关于阻挡层 34 和金属层 36 的说明(包括材料和形成方法)在这里也分别适用于阻挡层 72 和金属层 74。

[0028] 图 14 图解执行金属层 74 和阻挡层 72 的 CMP 以便使下面的最终互连层 20 暴露之后的半导体 200。请注意现在开口 66 被填充以便形成金属键合焊盘 76、78 和 80。但是,由于 CMP 的原因,金属键合焊盘 76、78 和 80 的顶部可能不是直的。也就是说, CMP 可以导致金属键合焊盘的碟形凹陷,如图 14 所示。

[0029] 图 15 图解除去损坏部分 70 以便形成分别与金属键合焊盘 76、78 和 80 相邻的存储器 82、84 和 86 之后的半导体结构 200。在一个实施方案中,用 HF 刻蚀从最终互连层 20 上除去受损的电介质部分 70。例如,在一个实施方案中,受损的电介质部分 70 具有比最终互连层 22 的电介质 21 低的含碳量。因此,可以用 HF 刻蚀在基本不影响电介质 21 的情况下除去受损的电介质部分 70。或者,可以使用相对于未受损或未使用低 K 材料选择性地除去受损的低 K 材料的其它化学品。在一个实施方案中,存储器 82、84 和 86 的形成分别导致包围金属键合焊盘 76、78 和 80 中的每一个的电介质 21 内开口的形成,其中这些开口在电介质 21 表面处的宽度比在电介质 21 表面之下的大。请注意从电介质 21 的上表面除去受损的电介质部分 70 还导致在最终互连层的电介质上延伸的凸出金属键合焊盘的形成。也就是说,如图 15 所示,金属键合焊盘 76、78 和 80 在最终互连层 20 的电介质 21 上延伸。因此,请注意先前除去图形化掩膜层 66 时用于控制受损的电介质部分 70 的形成的刻蚀参数因此可以用于控制存储器 44、46 和 48 的尺寸和形状,以便控制金属键合焊盘 76、78 和 80 在电介质 21 上延伸的程度。

[0030] 到目前为止应意识到已经提供了一种半导体结构,其具有金属键合焊盘和与金属键合焊盘相邻的存储器或开口以便允许改善例如在 3D 垂直堆叠集成中用于键合的半导体互连。此外,半导体结构的金属键合焊盘可以在最终电介质上凸出以便同样地允许改善互连。存储器可以用于在将芯片或晶片的金属键合焊盘键合到另一个芯片或晶片的键合过程期间容纳过量的金属,从而防止可能在键合期间由从互连溢出的横向流动金属导致的短路。而且,请注意,可以根据需要使用任何形状或尺寸的与金属键合焊盘相邻的开口。这些存储器或开口的尺寸和形状可以通过控制刻蚀的参数控制,所述刻蚀最初造成对最终互连层的电介质的损坏或修改,键合焊盘在所述最终互连层中形成。此外,存储器的尺寸和形状可以设计成允许两个半导体结构的电介质被堆叠以便同样地相互接触。

[0031] 本说明书和权利要求中的术语“正面”、“背面”、“顶部”、“底部”、“之上”、“之下”等等,如果有的话,是出于描述性的目的使用的并且不一定用于描述永久性相对位置。应该理解,这样使用的术语在适当的情况下可以互换,使得这里描述的本发明的实施方案例如能够在除这里所图解或描述之外的其它方向中运行。

[0032] 在前述说明书中,已经参照具体实施方案描述了本发明。但是,本领域的一个技术人员了解可以在不脱离下文权利要求中阐述的本发明的范围的情况下作出各种修改和变更。因此,应将说明书和附图看作是说明性的而非限制性的,并且所有此类修改均意图包括在本发明的范围内。

[0033] 上文中已经就具体实施方案描述了益处、其它优点和问题的解决方案。但是,益处、优点、问题的解决方案、和可能导致任何益处、优点或解决方案出现或变得更明显的任何要素不应解释为任何或全部权利要求的必不可少的、要求的、或本质的特征或要素。如此处所使用的,术语“包括”、“包含”或其任何其它变体意图包括非排他性内含物,例如包括要素列表的工艺、方法、物件、或设备不仅包括那些要素,而且可以包括未明确列出或为此类工艺、方法、物件、或设备所固有的其它要素。

[0034] 如此处所使用的,术语“多个”定义为两个或多于两个。如此处所使用的,术语另一个定义为至少有第二个或更多个。

[0035] 如此处所使用的,术语“耦合的”定义为连接的,但不一定是直接连接,也不一定是机械连接。

[0036] 因为上文的详细说明是示范性的,所以描述“一个实施方案”时,它是示范性实施方案。因此,在这个背景下词语“一个”的使用不意图表示一个且唯一一个实施方案可以具有描述的特征。而且许多其它实施方案可以并且经常确实具有示范性的“一个实施方案”的所述特征。这样,如上所述,在一个实施方案的背景下描述本发明时,该一个实施方案是本发明的许多可能的实施方案之一。

[0037] 虽然有上文中关于详细说明中词语“一个实施方案”的使用的警告,本领域的技术人员将了解如果下文权利要求中意图有具体数目的提出的权利要求要素,这样的意图将在权利要求中明确叙述,而且在此类叙述不存在的情况下不存在或意图有此类限制。例如,在下文权利要求中,当权利要求要素被描述为具有“一个”特征时,其意图是该要素仅限于描述的一个且仅有唯一一个特征。

[0038] 此外,如此处所使用的,术语“一”定义为一个或多于一个。而且,权利要求中例如“至少一个”和“一个或多个”的开头短语的使用不应理解为意味着带有不定冠词“一”的另一个权利要求要素的提出将包含此类提出的权利要求要素的任何特殊权利要求限制为包含唯一一个此类要素的发明,即使相同的权利要求包括开头短语“一个或多个”或“至少一个”及诸如“一”的不定冠词。这同样适用于定冠词的使用。

图 1

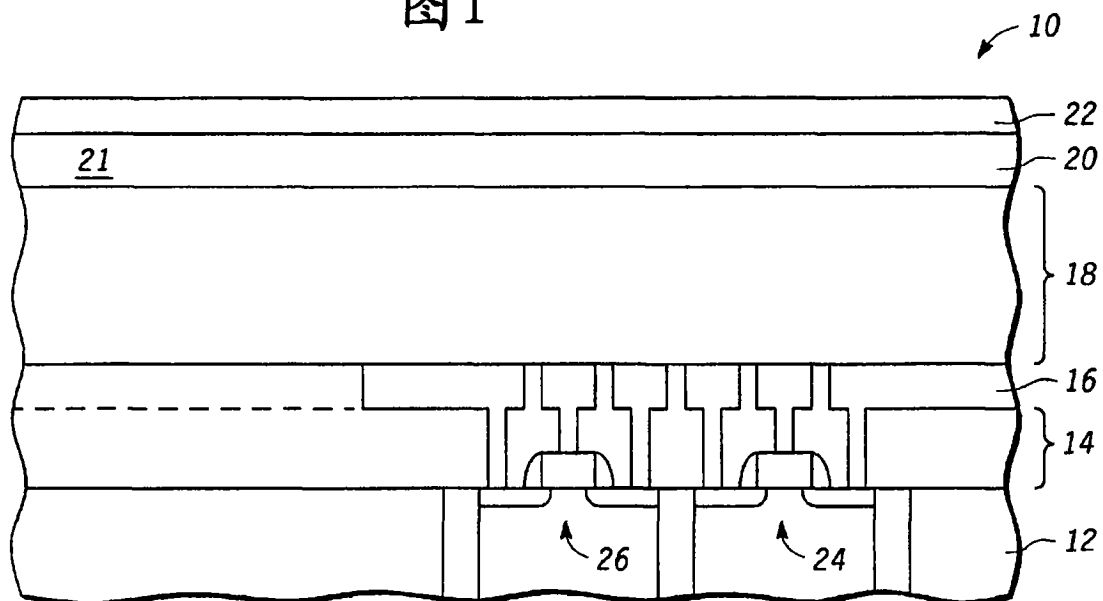
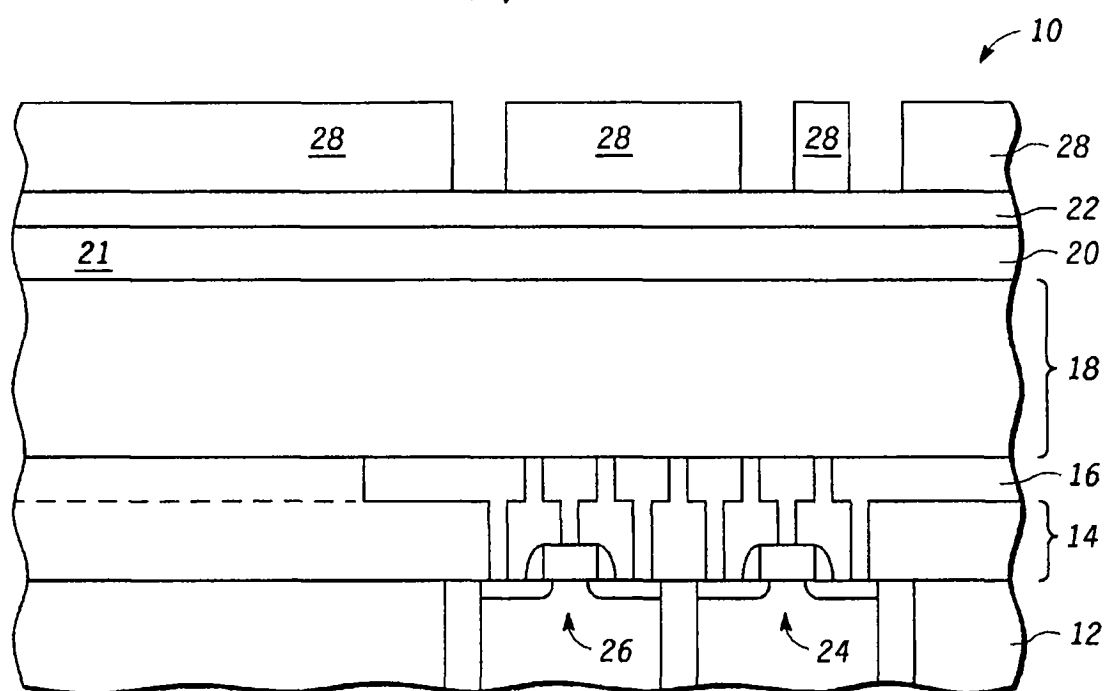


图 2



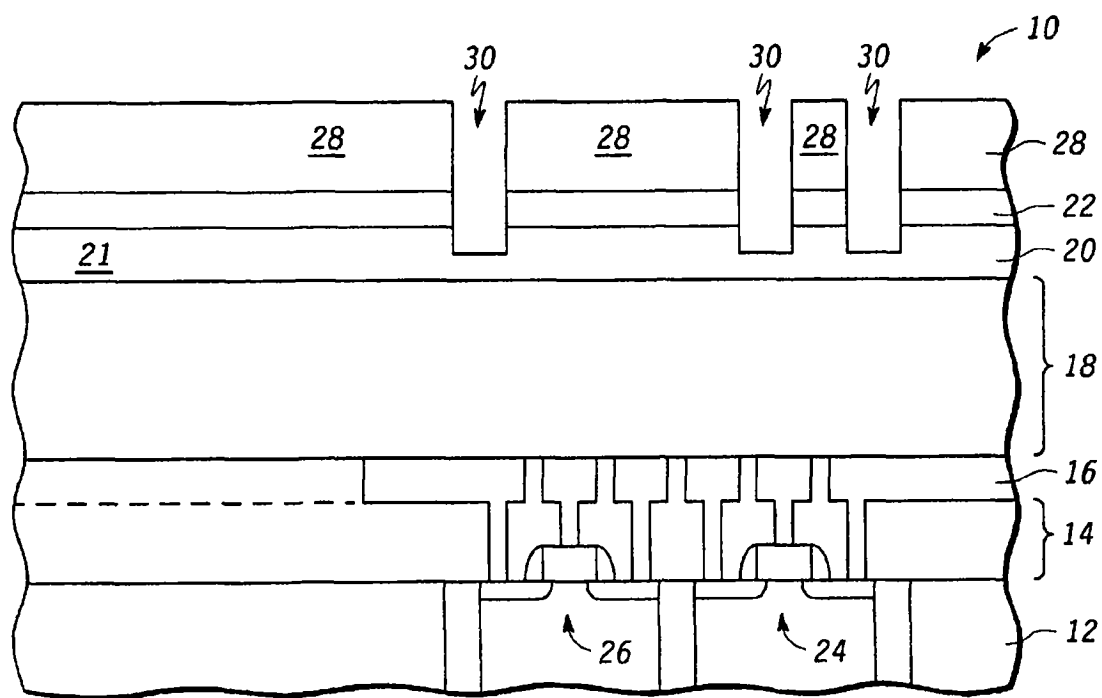


图 3

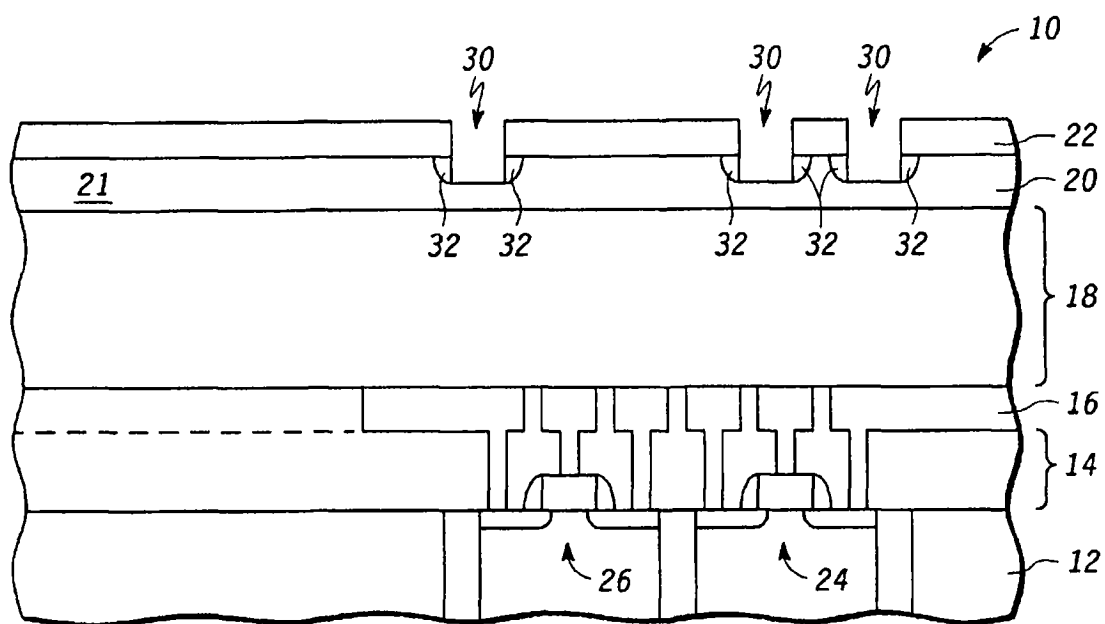


图 4

图 7

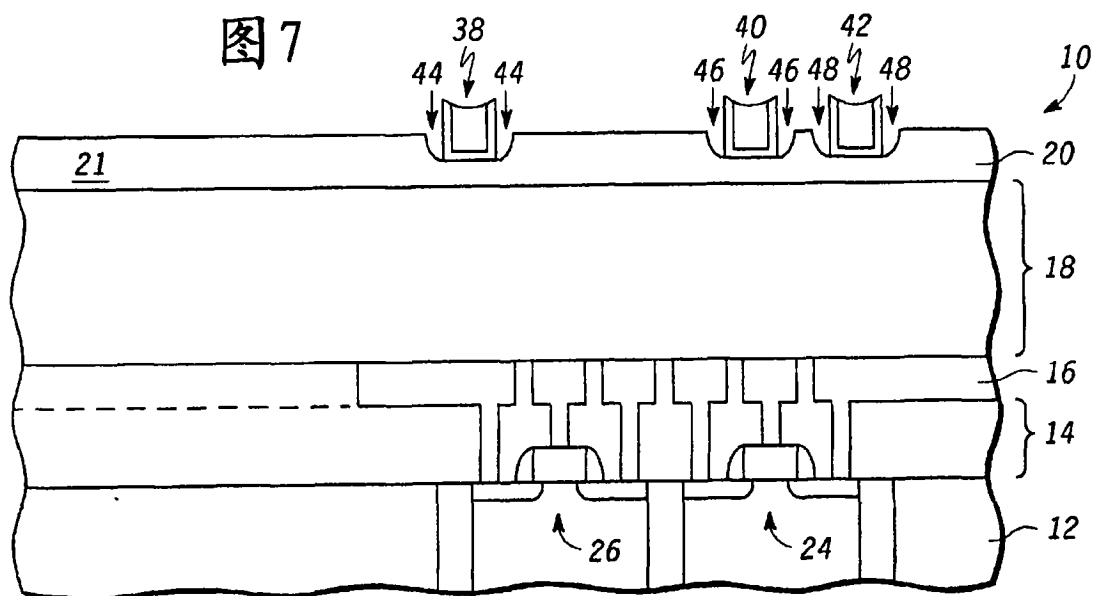


图 8

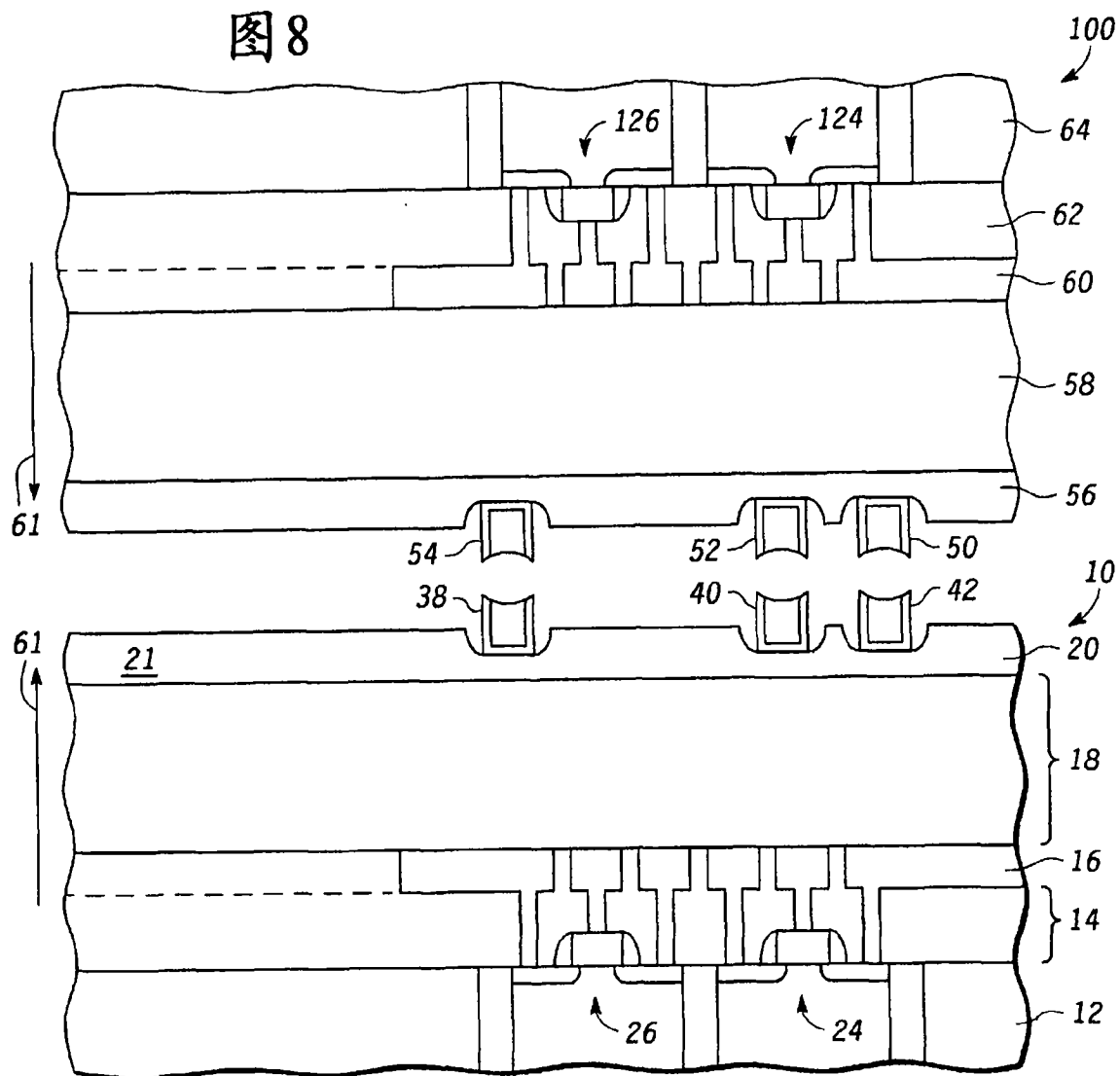


图9

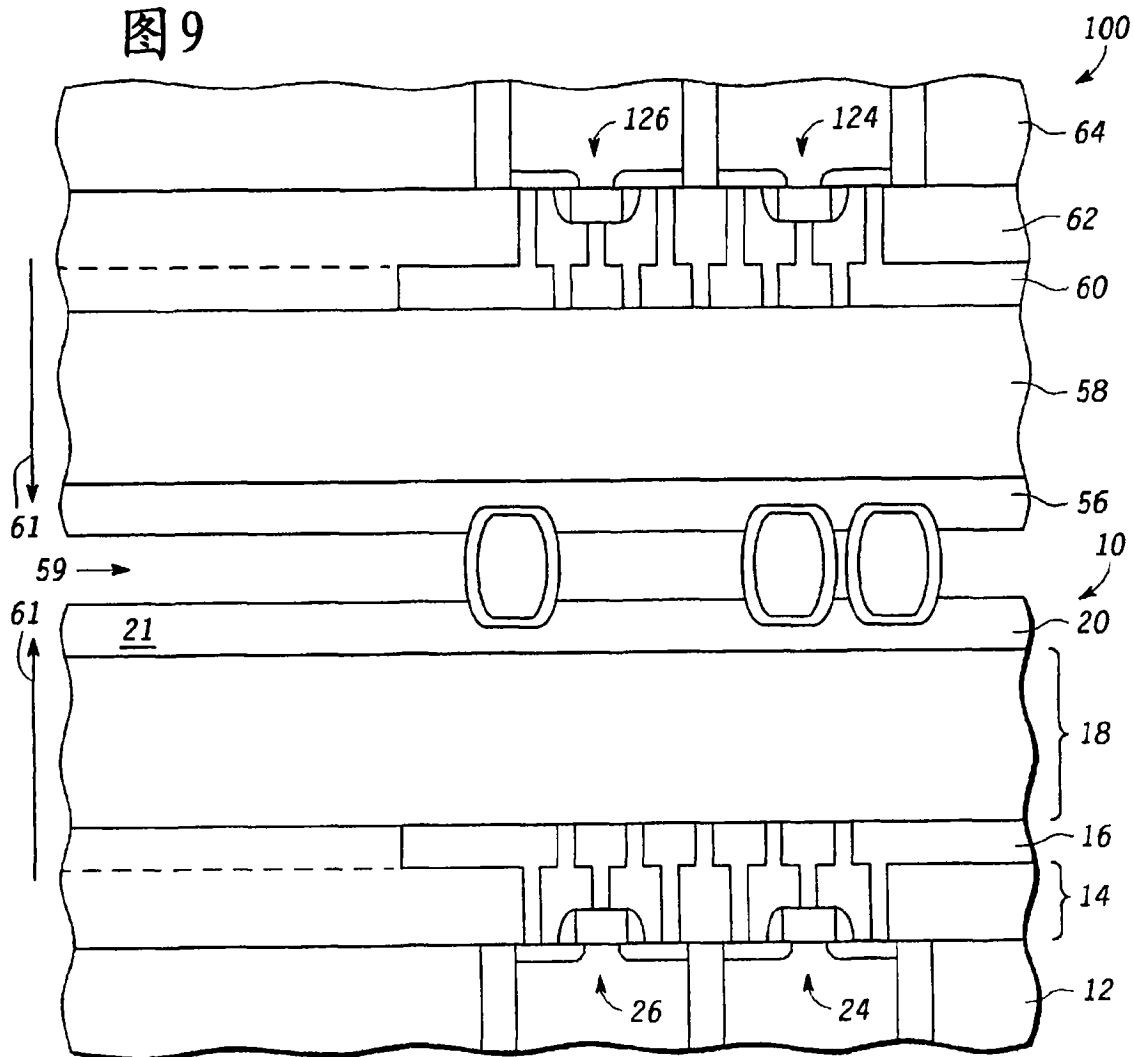
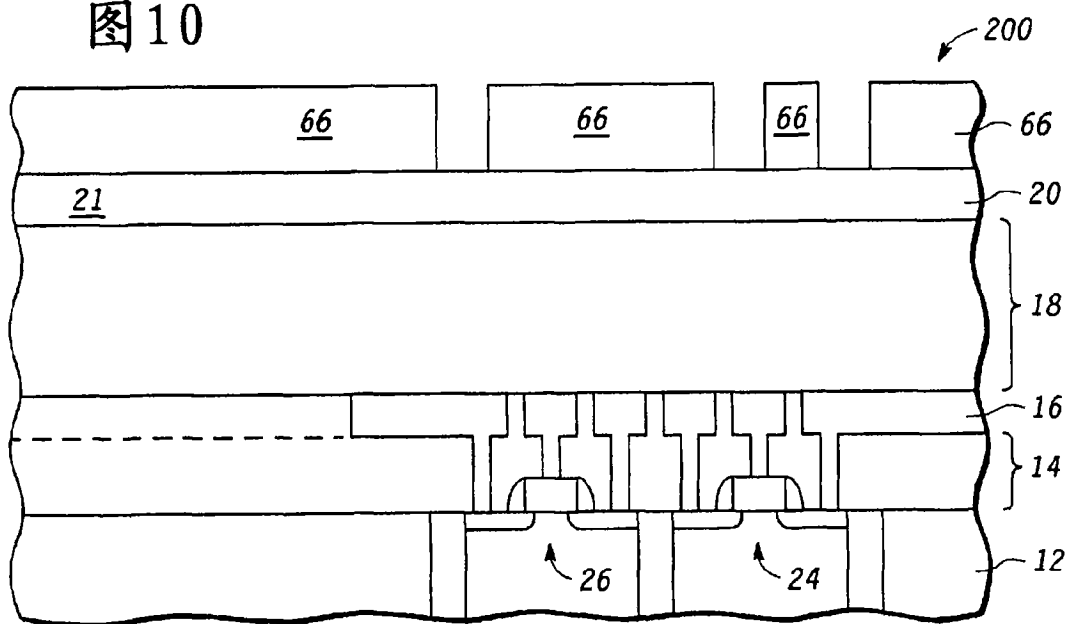


图10



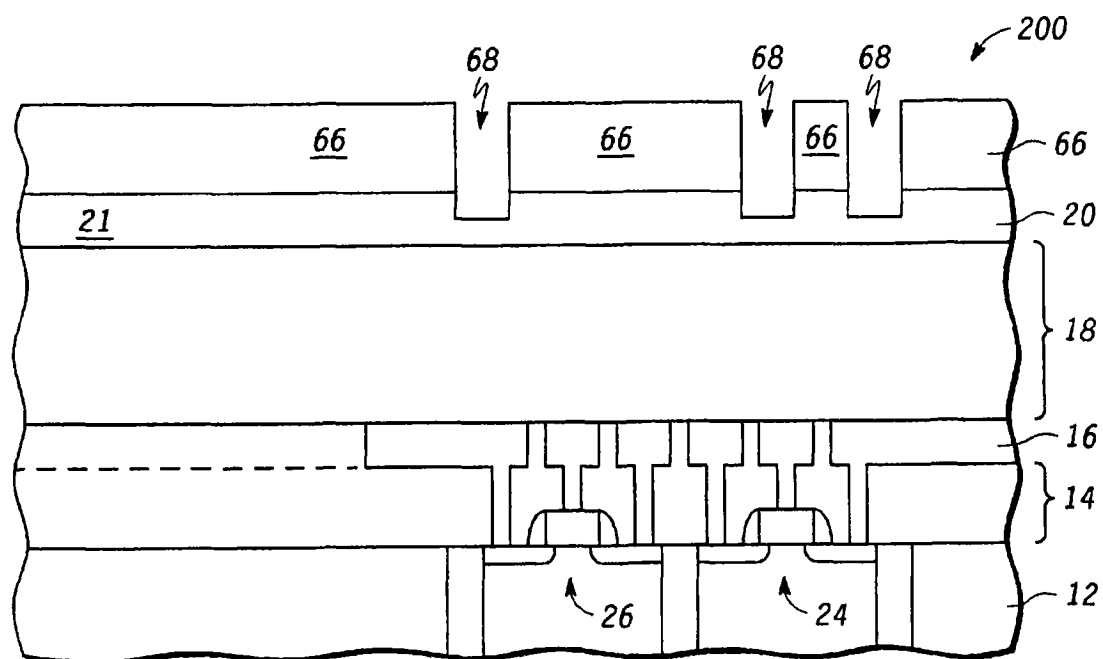


图 11

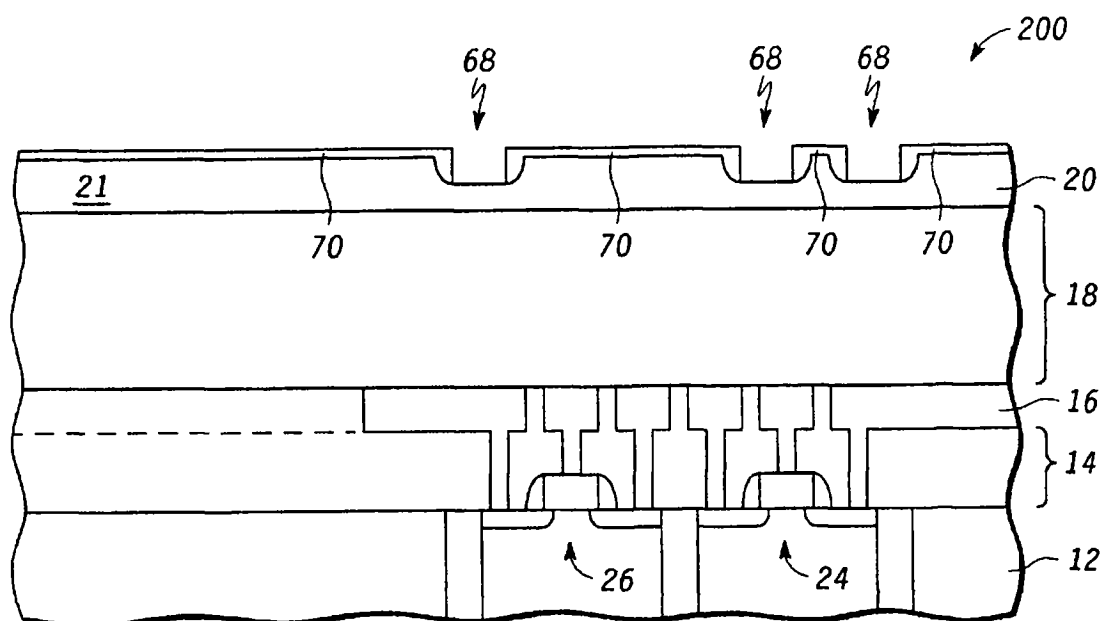


图 12

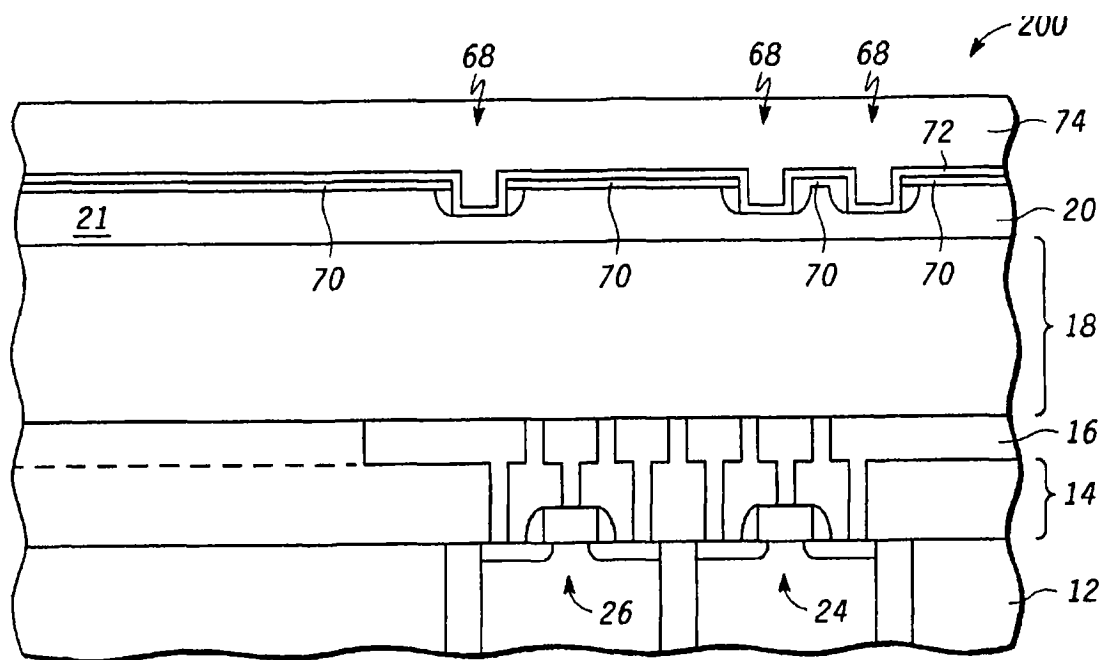


图 13

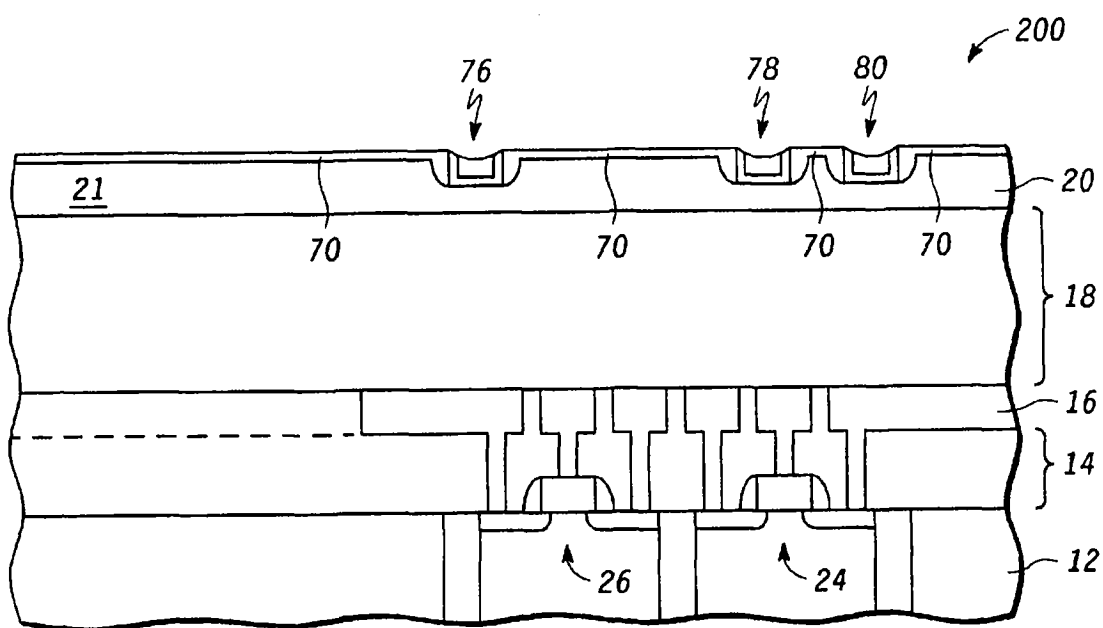


图 14

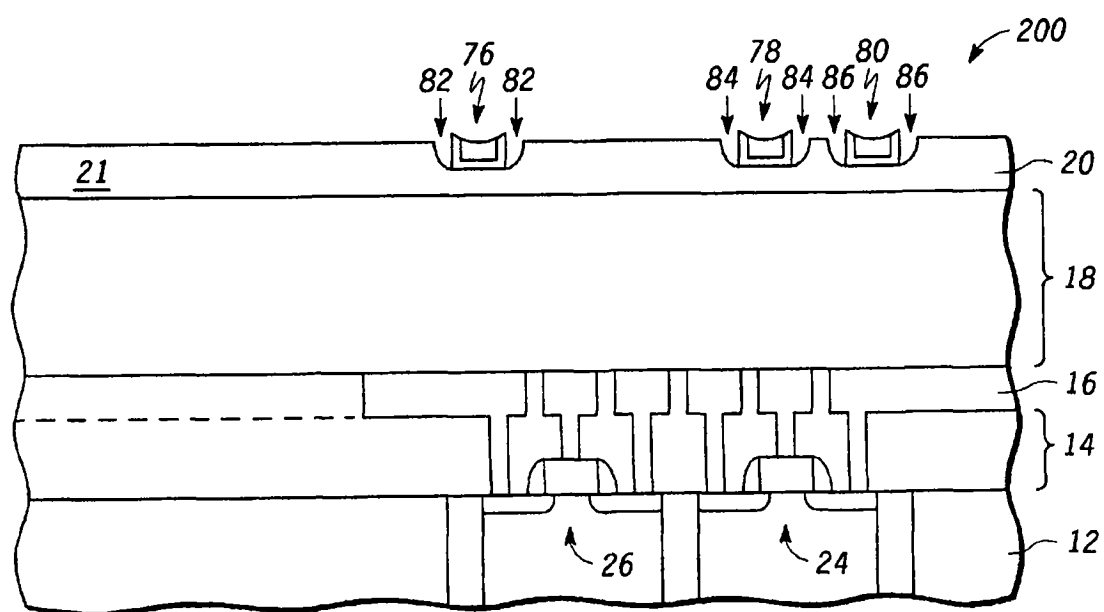


图 15