

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-112166

(P2014-112166A)

(43) 公開日 平成26年6月19日(2014.6.19)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	5C006
G11C 19/00 (2006.01)	G11C 19/00 C	5C080
G09G 3/20 (2006.01)	G11C 19/00 J	
	G09G 3/20 622B	
	G09G 3/20 622R	

審査請求 未請求 請求項の数 5 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2012-266668 (P2012-266668)
 (22) 出願日 平成24年12月5日 (2012.12.5)

(71) 出願人 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (72) 発明者 阿部 裕行
 千葉県茂原市早野3300番地 株式会社
 ジャパンディスプレイイースト内
 (72) 発明者 鈴木 喬之
 千葉県茂原市早野3300番地 株式会社
 ジャパンディスプレイイースト内
 Fターム(参考) 5C006 AA22 AC22 AF59 BB16 BC03
 BC06 BC20 BF03 BF31 BF46
 EB01 FA01 FA33 FA41

最終頁に続く

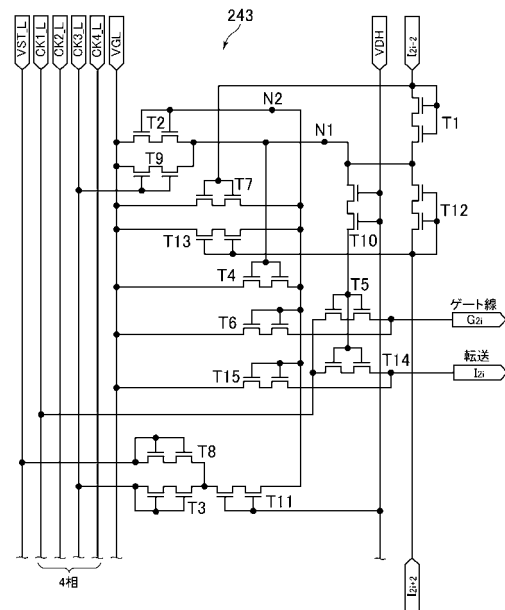
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 双方向走査を行いつつ、回路規模を抑えると共に、かつ走査信号線に異常があった場合においても、表示への影響を抑える表示装置を提供する。

【解決手段】 表示装置において駆動回路は複数段の回路ブロック(243)を有し、複数段の回路ブロックの一部は、矩形の表示領域の一辺の側に配置され、残りは一辺に対向する他辺の側に配置され、複数段の回路ブロックは、順方向及び逆方向にあるそれぞれ1つの段から出力された信号のうち、少なくともいずれか1つの信号がアクティブ電位となることによりアクティブ電位となる第1ノード(N1)がゲートに接続され、第1クロック信号が印加される第1クロック信号線と走査信号線との導通を制御する第1トランジスタ(T5)と、第1ノードがゲートに接続され、第1クロック信号線と他の段の回路ブロックの入力信号線との導通を制御する第2トランジスタ(T14)と、を有する。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

矩形の表示領域内で前記矩形の一辺に平行に並置され、トランジスタを導通させる電位であるアクティブ電位が印加される複数の走査信号線と、

前記並置された前記複数の走査信号線の一方の端からの順方向、又は他方の端からの逆方向のうち選択された一方向で順次前記アクティブ電位を印加する駆動回路と、を備え、

前記駆動回路は、前記複数の走査信号線に対し、それぞれアクティブ電位を印加する回路である複数段の回路ブロックを有し、

前記複数段の回路ブロックの一部は、前記矩形の表示領域の一辺の側に配置され、残りは前記一辺に対向する他辺の側に配置され、

前記複数段の回路ブロックのうち少なくとも1つの段の回路ブロックは、

前記順方向及び前記逆方向にあるそれぞれ1つの段から出力された信号のうち、少なくともいずれか1つの信号がアクティブ電位となることによりアクティブ電位となる第1ノードがゲートに接続され、第1クロック信号が印加される第1クロック信号線と前記走査信号線との導通を制御する第1トランジスタと、

前記第1ノードがゲートに接続され、前記第1クロック信号線と他の段の回路ブロックの入力信号線との導通を制御する第2トランジスタと、を有する、ことを特徴とする表示装置。

【請求項 2】

請求項 1 に記載の表示装置であって、

前記少なくとも1つの段の回路ブロックは、

前記第1クロック信号とはアクティブ電位が時間的に重ならない第2クロック信号がアクティブ電位となることによりアクティブ電位となる第2ノードがゲートに接続され、トランジスタを非導通とする電位である非アクティブ電位が印加されている信号線と、前記走査信号線との導通を制御する第3トランジスタと、

前記第2ノードがゲートに接続され、前記非アクティブ電位が印加されている信号線と前記他の段の回路ブロックの入力信号線との導通を制御する第4トランジスタと、を有する、ことを特徴とする表示装置。

【請求項 3】

請求項 1 又は 2 に記載の表示装置であって、

前記他の段の回路ブロックは、前記順方向及び前記逆方向に2つ先の走査信号線に出力する段の回路ブロックである、ことを特徴とする表示装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項に記載の表示装置であって、

前記複数段の回路ブロックのうち少なくとも1つの段の回路ブロックは、前記第1ノードがゲートに接続され、前記第1クロック信号線と前記他の段の入力信号線との導通を制御する検査端子用トランジスタを更に有する、ことを特徴とする表示装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項に記載の表示装置であって、

前記第1クロック信号は、多層クロック信号のうちの1つのクロック信号であり、

少なくとも1つの段の回路ブロックは、

前記第1クロック信号が前記アクティブ電位となる直前に前記アクティブ電位となる前記多層クロック信号うちの1つのクロック信号であるスタートクロック信号と前記第1ノードとの導通を制御するスタート信号トランジスタを有し、

前記スタート信号トランジスタのゲートには、前記スタートクロック信号が非アクティブ電位のときにアクティブ電位となり、次に前記スタートクロック信号がアクティブ電位であるとき非アクティブ電位となるスタート信号が入力される、ことを特徴とする表示装置。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、表示装置に関する。

【背景技術】

【0002】

情報通信端末やテレビ受像機に利用される薄型の表示装置として、液晶表示装置が広く用いられている。液晶表示装置は、2つの基板の間に封じ込められた液晶組成物の配向を、電界を変化させることにより変え、2つの基板と液晶組成物を通過する光の透過度合いを制御することにより画像を表示させる装置である。また、有機EL表示装置(OLED)、電界放出ディスプレイ装置(FED)なども、薄型の表示装置として知られている。

10

【0003】

このような液晶表示装置を含め、所定の階調値に対応する電圧を画面の各画素に印加する表示装置では、各画素に電圧を印加するための画素トランジスタが配置されている。一般に、画面の1ライン分の画素トランジスタのゲートは一つの信号線(以下「走査信号線」という。)に接続され、この走査信号線は、駆動回路により、各ライン毎に順にこの画素トランジスタを導通させるアクティブ電圧を出力するように制御されている。また、画面の上下を反転させても表示できるように、アクティブ電圧を出力する順を順方向と逆方向との両方で行うことができる双方向走査機能を有するものもある。特許文献1には、双方向走査を実現するための回路が開示されている。

【先行技術文献】

20

【特許文献】

【0004】

【特許文献1】特開2010-073301号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

近年、表示領域の周囲の領域である額縁領域の縮小化が求められている。しかしながら、回路規模の拡大は額縁領域の縮小化を妨げる要因となっている。従来技術の双方向走査の回路では、回路は表示領域の一方の側に配置され、また、前段で走査信号線に出力された信号をそのまま入力して、信号を出力するためのトリガー信号としている。このような双方向走査の回路では額縁領域が大きくなる傾向にある。また、走査信号線に電流リーク等の異常がある場合には、次段へのトリガー信号が伝わらずに、以降の画面表示が正常に行われない恐れがある。

30

【0006】

本発明は、上述の事情に鑑みてされたものであり、双方向走査を行いつつ、回路規模を抑えると共に、かつ走査信号線に異常があった場合においても、他の領域の表示を行うことができる表示装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の表示装置は、矩形の表示領域内で前記矩形の一辺に平行に並置され、トランジスタを導通させる電位であるアクティブ電位が印加される複数の走査信号線と、前記並置された前記複数の走査信号線の一方の端からの順方向、又は他方の端からの逆方向のうち選択された一方向で順次前記アクティブ電位を印加する駆動回路と、を備え、前記駆動回路は、前記複数の走査信号線に対し、それぞれアクティブ電位を印加する回路である複数段の回路ブロックを有し、前記複数段の回路ブロックの一部は、前記矩形の表示領域の一辺の側に配置され、残りは前記一辺に対向する他辺の側に配置され、前記複数段の回路ブロックのうち少なくとも一つの段の回路ブロックは、前記順方向及び前記逆方向にあるそれぞれ一つの段から出力された信号のうち、少なくともいずれか一つの信号がアクティブ電位となることによりアクティブ電位となる第1ノードがゲートに接続され、第1クロック信号が印加される第1クロック信号線と前記走査信号線との導通を制御する第1トラ

40

50

ンジスタと、前記第 1 ノードがゲートに接続され、前記第 1 クロック信号線と他の段の回路ブロックの入力信号線との導通を制御する第 2 トランジスタと、を有する、ことを特徴とする表示装置である。

【0008】

また、本発明の表示装置において、前記少なくとも 1 つの段の回路ブロックは、前記第 1 クロック信号とはアクティブ電位が時間的に重ならない第 2 クロック信号がアクティブ電位となることによりアクティブ電位となる第 2 ノードがゲートに接続され、トランジスタを非導通とする電位である非アクティブ電位が印加されている信号線と、前記走査信号線との導通を制御する第 3 トランジスタと、前記第 2 ノードがゲートに接続され、前記非アクティブ電位が印加されている信号線と前記他の段の回路ブロックの入力信号線との導通を制御する第 4 トランジスタと、を有していてもよい。

10

【0009】

また、本発明の表示装置において、前記他の段の回路ブロックは、前記順方向及び前記逆方向に 2 つ先の走査信号線に出力する段の回路ブロックである、こととしてもよい。

【0010】

また、本発明の表示装置において、前記複数段の回路ブロックのうち少なくとも 1 つの段の回路ブロックは、前記第 1 ノードがゲートに接続され、前記第 1 クロック信号線と前記他の段の入力信号線との導通を制御する検査端子用トランジスタを更に有する、こととしてもよい。

【0011】

また、本発明の表示装置において、前記第 1 クロック信号は、多層クロック信号のうちの 1 つのクロック信号であり、少なくとも 1 つの段の回路ブロックは、前記第 1 クロック信号が前記アクティブ電位となる直前に前記アクティブ電位となる前記多層クロック信号うちの 1 つのクロック信号であるスタートクロック信号と前記第 1 ノードとの導通を制御するスタート信号トランジスタを有し、前記スタート信号トランジスタのゲートには、前記スタートクロック信号が非アクティブ電位のときにアクティブ電位となり、次に前記スタートクロック信号がアクティブ電位であるとき非アクティブ電位となるスタート信号が入力される、こととしてもよい。

20

【図面の簡単な説明】

【0012】

【図 1】本発明の一実施形態に係る表示装置である液晶表示装置を概略的に示す図である。

30

【図 2】図 1 の液晶パネルの構成が示されている。

【図 3】図 2 の右側駆動回路及び左側駆動回路の回路ブロックについて説明するための図である。

【図 4】図 3 の左側駆動回路の回路ブロックの回路構成を具体的に示す図である。

【図 5】順走査時に右側駆動回路及び左側駆動回路のそれぞれに入力されるクロック信号について示すタイミングチャートである。

【図 6】順走査におけるクロック信号と、そのクロック信号が直接出力されるゲート信号線について示すタイミングチャートである。

40

【図 7】逆走査におけるクロック信号と、そのクロック信号が直接出力されるゲート信号線について示すタイミングチャートである。

【図 8】左側駆動回路の初段となる初段回路ブロックの回路図である。

【図 9】初段回路ブロックを使用せず出力を開始させるための入力回路を示す図である。

【図 10】初段回路ブロックを使用せず出力を開始させるための入力回路を示す図である。

【図 11】図 9 の入力回路への入力信号を示すタイミングチャートである。

【図 12】図 10 の入力回路への入力信号を示すタイミングチャートである。

【発明を実施するための形態】

【0013】

50

以下、本発明の実施形態について、図面を参照しつつ説明する。なお、図面において、同一又は同等の要素には同一の符号を付し、重複する説明を省略する。

【0014】

図1には、本発明の一実施形態に係る表示装置である液晶表示装置100が概略的に示されている。この図に示されるように、液晶表示装置100は、上フレーム110及び下フレーム120に挟まれるように固定された液晶パネル200及び不図示のバックライト装置等から構成されている。

【0015】

図2には、図1の液晶パネル200の構成が示されている。液晶パネル200は、TFT (Thin Film Transistor: 薄膜トランジスタ) 基板220とカラーフィルタ基板230の2枚の基板を有し、これらの基板の間には液晶組成物が封止されている。TFT基板220は、走査信号線G1~Gnに対して、順方向及び逆方向のうち選択された一方向で順にTFTのソース・ドレイン間を導通させるためのHigh電位(アクティブ電位)を印加する駆動回路210と、画素領域202において走査信号線G1~Gnに垂直に交差するように延びる不図示の複数のデータ信号線に対して画素の階調値に対応する電圧を印加すると共に、駆動回路210を制御する駆動IC(Integrated Circuit)260とを有している。なお、駆動回路210は、図面に向かって画素領域202の右側にある右側駆動回路240と、画素領域の左側にある左側駆動回路250とを有している。

10

【0016】

図3は、右側駆動回路240及び左側駆動回路250の回路ブロックについて説明するための図である。この図に示されるように、右側駆動回路240は、走査の開始及び終了の回路ブロックとなる両端の信号線にHigh電位を印加する2つの初段回路ブロック245と、その間の奇数の走査信号線G1、G3...Gn-1に対して順に、TFTのソース・ドレイン間を導通させるためのHigh電位を印加する繰返段回路ブロック243とから構成される。また、左側駆動回路250においても同様に、2つの初段回路ブロック245と、その間の偶数の走査信号線G2、G4...Gnに対して順にTFTのソース・ドレイン間を導通させるためのHigh電位を印加する繰返段回路ブロック243とから構成される。

20

【0017】

これらの各段が右側駆動回路240及び左側駆動回路250で交互に動作することにより、走査信号線G1、G2...Gnに順に所定の電圧が印加されることとなる。ここで、順走査の場合には、図3で右上の初段回路ブロック245及び左上の初段回路ブロック245が順にスタートすることにより、走査信号線G1、G2...Gnに所定の電圧が順に印加される。また、逆走査の場合には、図3で左下の初段回路ブロック245及び右下の初段回路ブロック245が順にスタートすることにより、走査信号線Gn、Gn-1...G1に所定の電圧が順に印加される。

30

【0018】

右側駆動回路240及び左側駆動回路250の各繰返段回路ブロック243はそれぞれ隣の繰返段回路ブロック243からの出力、つまり2つ隣の走査信号線へ出力する繰返段回路ブロック243の出力をトリガーとして動作する。

40

【0019】

図4には、左側駆動回路250の繰返段回路ブロック243の回路構成が具体的に示されている。図4に示されるように、繰返段回路ブロック243は、2つのクロック信号CK1_L及びCK3_Lにより動作する回路であり、走査信号線Giへ出力する回路である。なお、符号Tはトランジスタを示し、符号Nはノードを示す。なお、各トランジスタはLTPS(Low Temperature Poly Silicon)により形成されている。

【0020】

この図に示されるように、走査信号線Giへ出力するための回路は、順スキャン時に回路入力となるダイオードトランジスタT1と、後述するトランジスタT5のゲート電極を電圧VGLに固定するトランジスタT2と、保持ノードN2を充電するトランジスタT

50

3と、保持ノードリセット用トランジスタT4と、ゲート線へHigh電位を出力するためのトランジスタT5と、保持ノードN2によりゲート線をVGLに固定するトランジスタT6と、順スキャン時に入力信号により保持ノードN2をリセットするトランジスタT7と、初期リセット用トランジスタT8と、トランジスタT5のゲート電極リセット用トランジスタT9と、トランジスタT5による昇圧を中間電圧(VDH)で制限する電圧緩和用トランジスタT10と、トランジスタT3で充電した電圧を中間電位VDHで降圧するトランジスタT11と、逆スキャン時に回路入力となるダイオードトランジスタT12と、逆スキャン時に入力信号により保持ノードN2をリセットするトランジスタT13と、ゲート線への出力と同時に次段入力信号I2iへ出力するためのトランジスタT14と、保持ノードN2によりゲート線をVGLに固定するトランジスタT15と、から構成されている。ここで、各トランジスタは、クロック信号がHigh電位になることによる昇圧された電圧に耐えられるようにトランジスタを2つ重ねて配置するダブルゲート構成として高耐圧化している。なお、中間電位VDHは、トランジスタを導通させるが、ゲート線High電位VGHより低い電圧である。

10

20

30

40

50

【0021】

図5は、順走査時に右側駆動回路240及び左側駆動回路250のそれぞれに入力されるクロック信号等について示すタイミングチャートである。右側駆動回路240には、4相クロック信号CK1_R、CK2_R、CK3_R及びCK4_Rが入力され、左側駆動回路250には、右側とは異なる位相の4相クロック信号CK1_L、CK2_L、CK3_L及びCK4_Lが入力される。また、スタート信号VST_R及びVST_Lもそれぞれ異なるタイミングで入力される。図5には順走査時の信号が示されているが、逆走査時には、図5に示された順番とは逆に、CK4_R及びCK4_Lから順に立ち上がる信号となる。

【0022】

次に、図4に戻り、繰返段回路ブロック243の走査信号線G2iへ出力する動作について説明する。繰返段回路ブロック243は、まず、リセット動作として、左側駆動回路250のスタート信号VST_Lの信号のHigh電位を入力して、保持ノードN2の電位をHighに設定する。次に次段入力信号I2i-2のHigh電位が入力されることにより、まずトランジスタT7が導通し、ノードN2がLow電位(VGL)と接続され、Low電位となると共に、トランジスタT1が導通し、ノードN1がHigh電位となり維持されるため、中間電位VDHがゲートに印加されているトランジスタT10を介して、ノードN2がHigh電位となり、トランジスタT5が導通する。

【0023】

引き続き、クロック信号CK1_LがHigh電位になると、走査信号線G2iには、High信号が出力された後、クロック信号CK1_Lの動作に追従して、Low信号が出力される。次に、CK3_LがHighになることにより、T3が導通し、ノードN2をHighに上げると共に、トランジスタT9が導通するため、ノードN1はLowに下げられる。N2のHigh電位によりトランジスタT6が導通することにより、走査信号線G2iは、Low電位(VGL)と接続され、Low電位に固定される。ここで、左側駆動回路250の繰返段回路ブロック243の動作を例に説明したが、右側駆動回路240の繰返段回路ブロック243の動作であっても同様である。

【0024】

図6は、順走査におけるクロック信号と、そのクロック信号のHigh電位のタイミングでHigh電位が出力されるゲート信号線について示すタイミングチャートである。この図に示されるように、右側駆動回路240からは、奇数の走査信号線G1、G3・・・Gn-1に対して順にHigh電位が出力される。そして、これらのHigh電位の出力の間のタイミングで左側駆動回路250から偶数の走査信号線G2、G4・・・Gnに対して順にHigh電位が出力される。データ信号は、これらのHigh電位の出力に合わせてデータ信号線に出力される。

【0025】

図7は、逆走査におけるクロック信号と、そのクロック信号が直接出力されるゲート信号線について示すタイミングチャートである。この図に示されるように、図6とは逆に、左側駆動回路250からは、偶数の走査信号線 G_n 、 G_{n-2} ・・・ G_2 に対して順にHigh電位が出力される。そして、これらのHigh電位の出力の間のタイミングで右側駆動回路240から奇数の走査信号線 G_{n-1} 、 G_{n-3} ・・・ G_1 に対して順にHigh電位が出力される。

【0026】

図8には、左側駆動回路250の初段となる初段回路ブロック245の回路が示されている。初段回路ブロック245では、繰返段回路ブロック243と比較して、ゲート線への出力と同時に検査端子に出力を行うためのトランジスタT16と、保持ノードN2により検査端子をVGLに固定するトランジスタT17とが配置され、初期リセット用トランジスタT8が配置されない構成である点で異なっている。初段回路ブロック245の動作は、回路の動作開始のトリガーが、2つ前の走査信号線に入力される回路ブロックの次段入力信号でなく、スタート信号VSTであることを除き、繰返段回路ブロック243とほぼ同様であるため説明を省略する。

10

【0027】

なお、図8では、左側駆動回路250の初段となる初段回路ブロック245として示したが、回路構成は、左側駆動回路250の最終段、並びに右側駆動回路240の初段及び最終段のいずれも同じ初段回路ブロック245で構成されている。本実施形態では、右側駆動回路240及び左側駆動回路250の互いの出力を入力せずに、右側駆動回路240及び左側駆動回路250で、位相の異なる同一周期のクロックを入力させることにより、互いに独立して動作している。

20

【0028】

これにより、双方向走査を行いつつ、回路を表示領域の両側に分散させることができるため、表示領域に周囲に形成される額縁領域をより小さくすることができる。また、右側駆動回路240及び左側駆動回路250が独立に動作しているため、一方に不具合が生じたとしても、互いの駆動に影響を与えないで駆動することができる。更に、右側駆動回路240及び左側駆動回路250のそれぞれは、走査信号線にHigh信号を出力するのに用いるトランジスタと、次の段に入力させるための信号出力に用いるトランジスタを異ならせているため、走査信号線にリークがある等により電位の低下が生じていたとしても、次段以降の画像出力に影響を与えることがないため、表示不具合を最小限に抑えることができる。

30

【0029】

次に、図9～12を参照して、上述の実施形態の変形例について説明する。上述の実施形態では、両端の走査信号線に初段回路ブロック245が設けられ、同じスタート信号VSTが入力されることとしたが、この場合には、最初の段から順次走査信号線にHigh電位が出力される以外に、最終段の初段回路ブロック245において走査信号線にHigh電位が出力されてしまうこととなる。

【0030】

図9及び図10には、初段回路ブロック245の入力回路が示されている。図9には、クロック信号CK1を最初又は最後の走査信号線の出力に使用する繰返段回路ブロック243への入力回路を示されており、図10には、クロック信号CK4を最後又は最初の走査信号線の出力に使用する繰返段回路ブロック243への入力回路が示されている。

40

【0031】

図11は、図9の回路への入力信号を示すタイミングチャートである。この図に示されるように、クロック信号CK4が非アクティブ電位であるLow電位であるときに、スタート信号VSTを立ち上げ、次にクロック信号CK4のHigh電位のときにスタート信号VSTを立ち下げように信号を入力する。これにより、スタート信号VSTが入力される最終段の回路において、回路が動作して走査信号線にHigh電位が出力されてしまうことはない。また、初段回路ブロック245を使用せず、図9の回路のみで繰返段回路

50

ブロック 2 4 3 へ出力することも可能であり、全体としてダミーの走査信号出力を行う回路を削減することができるため、回路規模を抑え、額縁領域を小さくすることができる。

【 0 0 3 2 】

図 1 2 は、図 1 0 の回路への入力信号を示すタイミングチャートである。この場合においても図 1 1 と同様に、クロック信号 C K 1 が L o w 電位であるときに、スタート信号 V S T を立ち上げ、次にクロック信号 C K 4 の H i g h 電位の際にスタート信号 V S T を立ち下げのように信号を入力する。これにより、スタート信号 V S T が入力される最終段の回路において、回路が動作して走査信号線に H i g h 電位が出力されてしまうことはない。また、初段回路ブロック 2 4 5 を使用せず、図 9 の回路のみで繰返段回路ブロック 2 4 3 へ出力することも可能であり、全体としてダミーの走査信号出力を行う回路を削減することができるため、回路規模を抑え、額縁領域を小さくすることができる。

10

【 0 0 3 3 】

以上説明したように、本発明の実施形態においては、奇数番目の走査信号線に印加する駆動回路と、偶数番目の走査信号線に印加する駆動回路とを画素領域を介して挟むように配置しているため、画素領域の一方の側に配置される場合の半分の規模とすることができ、表示装置の額縁領域を小さくすることができる。

【 0 0 3 4 】

また、順方向に走査する回路と逆方向に走査する回路は、同じ回路を利用するため、逆方向の走査のための回路を配置する必要がなく、回路規模を縮小でき、表示装置の額縁領域を小さくすることができる。

20

【 0 0 3 5 】

また、トランジスタを重ねて配置するダブルゲート構成としているため、L T P S トランジスタであっても高耐圧の回路とすることができる。

【 0 0 3 6 】

また、右側駆動回路及び左側駆動回路が独立に動作しているため、一方に不具合が生じたとしても、互いの駆動に影響を与えないで駆動することができる。更に、右側駆動回路及び左側駆動回路のそれぞれは、走査信号線に H i g h 信号を出力するのに用いるトランジスタと、次の段に入力させるための信号出力に用いるトランジスタを異ならせているため、走査信号線にリークがある等により電位の低下が生じていたとしても、次段以降の画像出力に影響を与えることがないため、表示不具合を最小限に抑えることができる。

30

【 0 0 3 7 】

なお、上述の実施形態においては、クロック信号を 4 種類の 4 相クロックを用いることとしたが、これ以外の 2 種類以上の多層クロック信号を用いて実現してもよい。

【 0 0 3 8 】

また、上述の各実施形態の液晶表示装置は、I P S (In-Plane Switching) 方式、V A (Vertically Aligned) 方式及び T N (Twisted Nematic) 方式のいずれの方式の液晶表示装置であっても適用することができる。また、液晶表示装置に限らず、有機 E L 表示装置等の表示装置であっても駆動回路を用いるその他の表示装置に用いることができる。

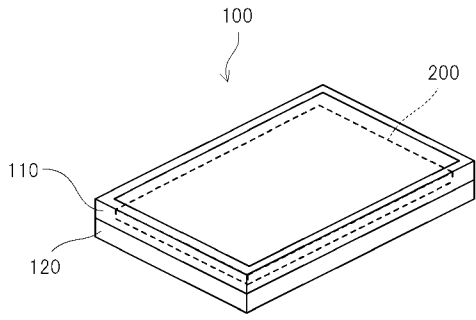
【 符号の説明 】

【 0 0 3 9 】

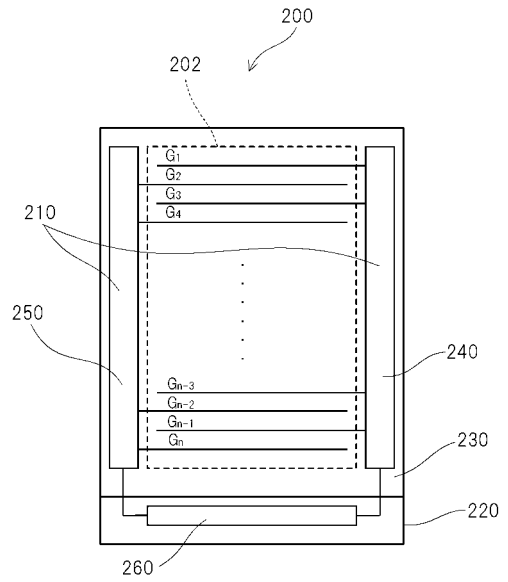
1 0 0 液晶表示装置、1 1 0 上フレーム、1 2 0 下フレーム、2 0 0 液晶パネル、2 0 2 画素領域、2 1 0 駆動回路、2 2 0 T F T 基板、2 3 0 カラーフィルタ基板、2 4 0 右側駆動回路、2 4 3 繰返段回路ブロック、2 4 5 初段回路ブロック、2 5 0 左側駆動回路。

40

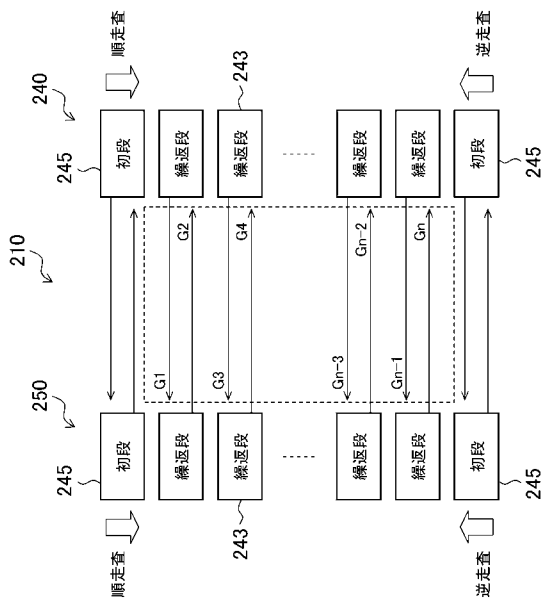
【 図 1 】



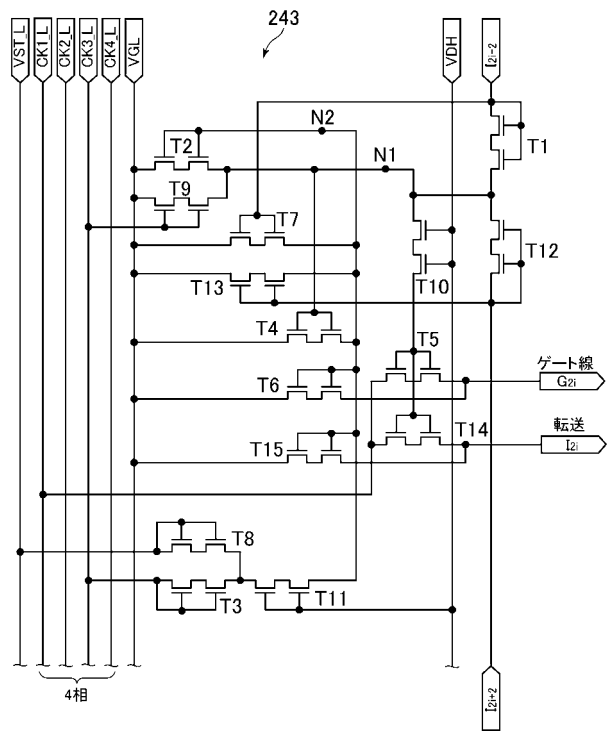
【 図 2 】



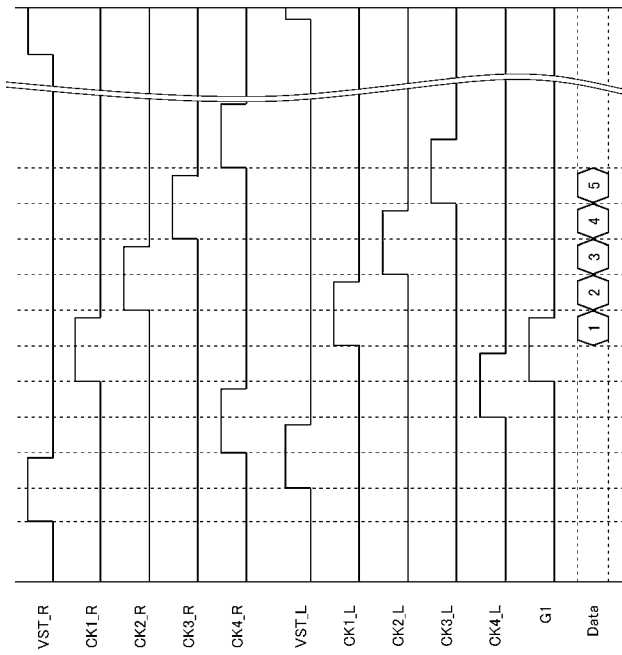
【 図 3 】



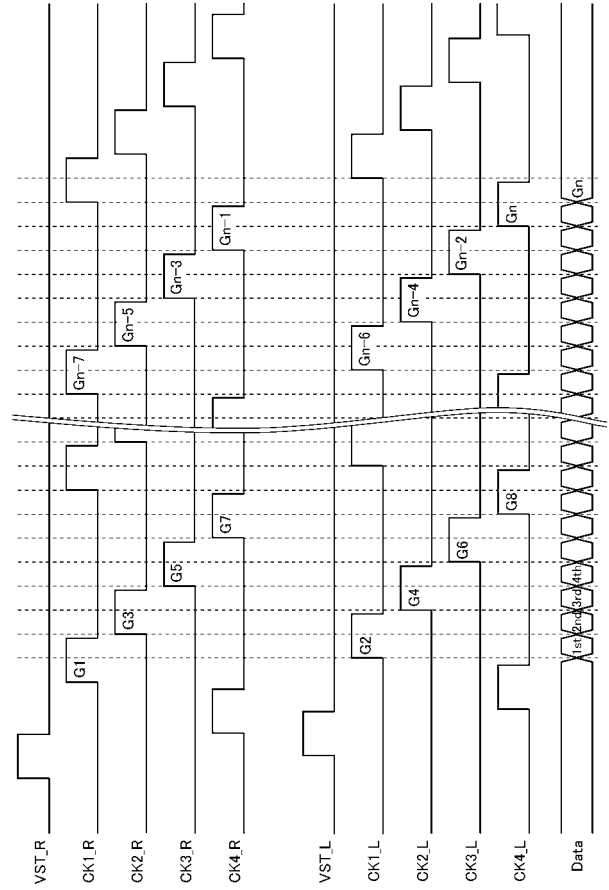
【 図 4 】



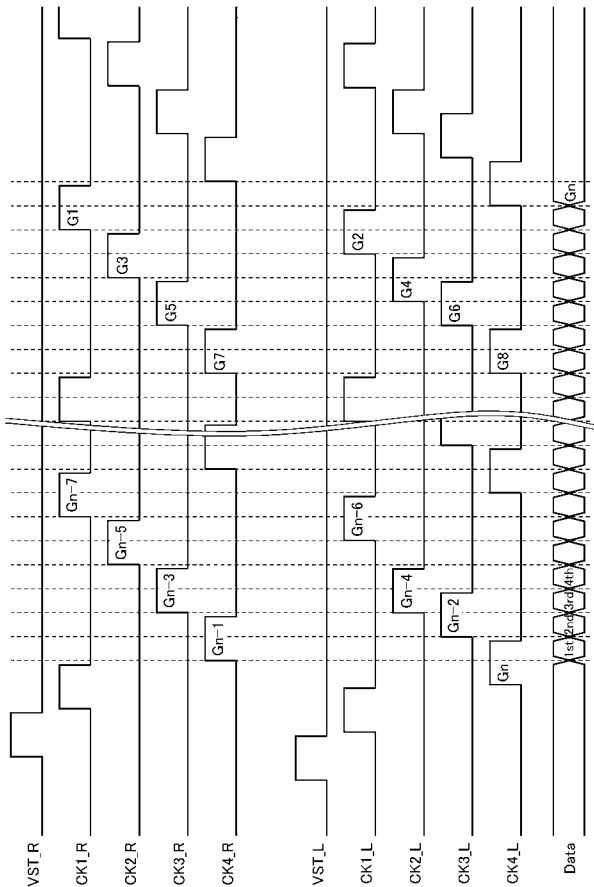
【図5】



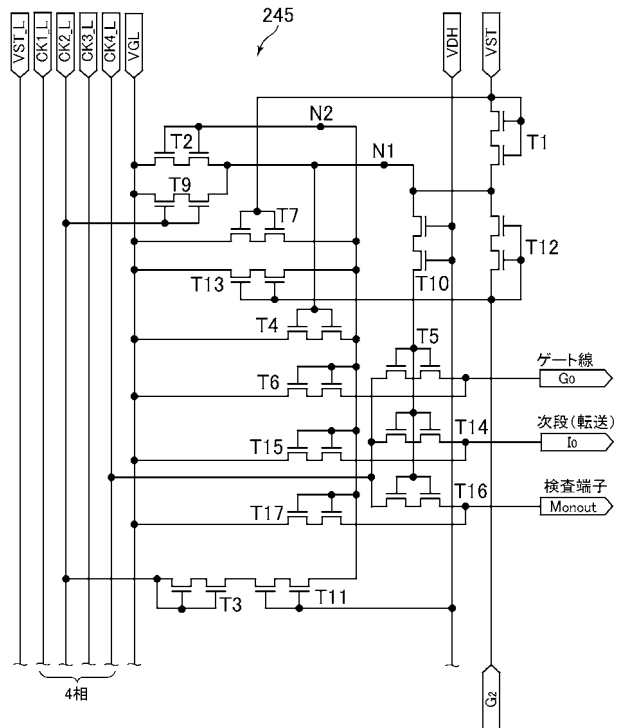
【図6】



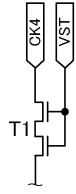
【図7】



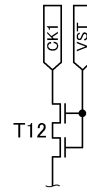
【図8】



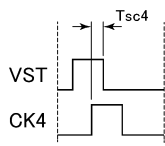
【 図 9 】



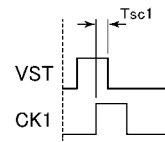
【 図 10 】



【 図 11 】



【 図 12 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 1 M

G 0 9 G 3/20 6 7 0 E

Fターム(参考) 5C080 AA06 AA08 AA10 BB05 CC03 DD09 DD15 DD22 EE29 EE30
FF11 JJ02 JJ03 JJ04 JJ06