

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2016-201563
(P2016-201563A)

(43) 公開日 平成28年12月1日(2016.12.1)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 5 A	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 J	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 P	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 Q	
	HO 1 L 29/78 6 5 3 C	
審査請求 有 請求項の数 10 O L (全 42 頁) 最終頁に続く		

(21) 出願番号	特願2016-145987 (P2016-145987)	(71) 出願人	302062931
(22) 出願日	平成28年7月26日 (2016.7.26)		ルネサスエレクトロニクス株式会社
(62) 分割の表示	特願2012-131915 (P2012-131915) の分割	(74) 代理人	100089071
原出願日	平成24年6月11日 (2012.6.11)		弁理士 玉村 静世
		(72) 発明者	松浦 仁
			東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内

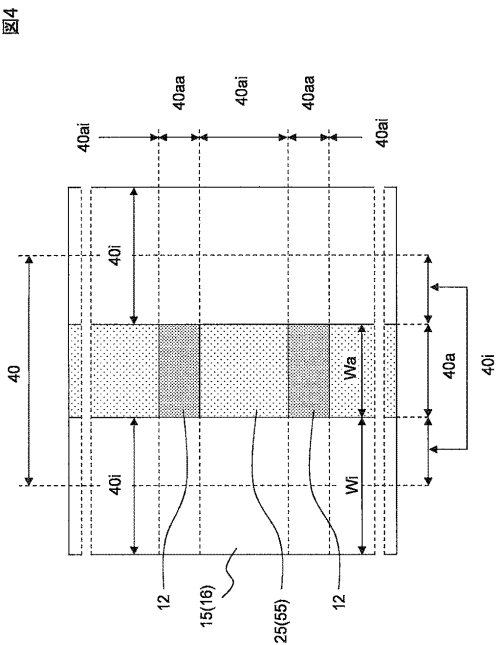
(54) 【発明の名称】 狭アクティブセル I E 型トレンチゲート I G B T

(57) 【要約】

【課題】 等幅アクティブセル I E 型 I G B T、広幅アクティブセル I E 型 I G B T 等に於いては、アクティブセル領域とインアクティブセル領域におけるトレンチ幅が、等しいか、インアクティブセル領域のトレンチ幅が狭いので、耐圧を確保することが比較的容易にできる。しかし、このような構造では、I E 効果を強めようとする、更に構造が複雑になる等の問題がある。

【解決手段】 本願発明は、アクティブセル 2 次元間引き構造を有し、コンタクト用基板溝のない狭アクティブセル I E 型 I G B T である。

【選択図】 図 4



【特許請求の範囲】

【請求項 1】

以下を含む狭アクティブセル I E 型トレンチゲート I G B T :

- (a) 第 1 の主面および第 2 の主面を有するシリコン系半導体基板;
- (b) 前記シリコン系半導体基板の前記第 1 の主面側に設けられた I G B T セル領域;
- (c) 前記 I G B T セル領域に設けられた複数の線状アクティブセル領域および複数の線状インアクティブセル領域;
- (d) 各線状アクティブセル領域の長手方向に沿って、交互に配列された複数のアクティブセクションおよび複数のインアクティブセクション;
- (e) 前記シリコン系半導体基板の前記第 1 の主面であって、各線状アクティブセル領域と各線状インアクティブセル領域の境界部に設けられたトレンチ;
- (f) 前記トレンチ内に絶縁膜を介して設けられたゲート電極;
- (g) 前記シリコン系半導体基板の前記第 1 の主面側の表面領域であって、各アクティブセクションのほぼ全域に亘って設けられた第 1 導電型を有するエミッタ領域;
- (h) 前記シリコン系半導体基板の前記第 1 の主面側の前記表面領域であって、各インアクティブセクションに設けられた第 2 導電型を有するボディコンタクト領域;
- (i) 前記シリコン系半導体基板の前記第 1 の主面上に設けられ、前記エミッタ領域および前記ボディコンタクト領域と電氣的に接続されたメタルエミッタ電極;
- (x) 前記エミッタ領域上であって、前記シリコン系半導体基板の前記第 1 の主面上の層間絶縁膜に設けられ、前記長手方向と垂直な短手方向に沿う幅が、前記エミッタ領域に隣接するトレンチ間距離より大きいコンタクト溝;
- (q) 前記複数の線状アクティブセル領域を一つ置きに置換するように設けられたホールコレクタセル領域。

【請求項 2】

請求項 1 の狭アクティブセル I E 型トレンチゲート I G B T において、前記ボディコンタクト領域は、各インアクティブセクションのほぼ全域に亘って設けられている。

【請求項 3】

請求項 2 の狭アクティブセル I E 型トレンチゲート I G B T において、更に以下を含む:

- (j) 前記シリコン系半導体基板の前記第 1 の主面側の前記表面領域であって、各線状インアクティブセル領域のほぼ全域に、その両端の前記トレンチの下端に至るように設けられた第 2 導電型フローティング領域。

【請求項 4】

請求項 3 の狭アクティブセル I E 型トレンチゲート I G B T において、更に以下を含む:

- (k) 前記シリコン系半導体基板の前記第 1 の主面側の前記表面領域であって、各線状アクティブセル領域のほぼ全域に、その両端の前記トレンチの下端と同程度の深さまで設けられた前記第 1 導電型を有するホールバリア領域。

【請求項 5】

請求項 4 の狭アクティブセル I E 型トレンチゲート I G B T において、更に以下を含む:

- (m) 前記ボディコンタクト領域の下層のほぼ全面に、これと接するように設けられた前記第 2 導電型を有する埋め込みボディコンタクト領域。

【請求項 6】

請求項 5 の狭アクティブセル I E 型トレンチゲート I G B T において、各線状アクティブセル領域の両端の前記トレンチ間隔は、0.35 マイクロメートル以下である。

【請求項 7】

請求項 6 の狭アクティブセル I E 型トレンチゲート I G B T において、各アクティブセクションの前記長手方向における幅は、0.5 マイクロメートル以下である。

【請求項 8】

請求項 7 の狭アクティブセル I E 型トレンチゲート I G B T において、更に以下を含む：

(n) 前記シリコン系半導体基板の前記第 1 の主面側の前記表面領域であって、隣接する線状アクティブ領域の前記エミッタ領域を延長する位置の各線状インアクティブ領域に設けられた第 1 導電型表面フローティング領域。

【請求項 9】

請求項 8 の狭アクティブセル I E 型トレンチゲート I G B T において、更に以下を含む：

(p) 前記シリコン系半導体基板の前記第 1 の主面側の前記表面領域であって、隣接する線状アクティブ領域の前記ボディコンタクト領域を延長する位置の各線状インアクティブ領域に設けられた第 2 導電型表面フローティング領域。

【請求項 10】

請求項 7 の狭アクティブセル I E 型トレンチゲート I G B T において、更に以下を含む：

(r) 前記シリコン系半導体基板のほぼ全域に於いて、内部から前記第 1 の主面に亘り設けられた前記第 1 導電型を有するドリフト領域；

(s) 前記シリコン系半導体基板のほぼ全域に於いて、前記ドリフト領域の前記第 2 の主面側に設けられ、前記第 1 導電型を有し、その濃度が前記ドリフト領域よりも高いフィールドストップ領域；

(t) 前記シリコン系半導体基板のほぼ全域に於いて、前記フィールドストップ領域の前記第 2 の主面側に設けられ、前記第 2 導電型を有するコレクタ領域；

(v) 前記シリコン系半導体基板のほぼ全域に於いて、前記コレクタ領域の前記第 2 の主面側に設けられ、その濃度が前記コレクタ領域よりも高いアルミニウムドーブ領域；

(w) 前記シリコン系半導体基板の前記第 2 の主面のほぼ全域に設けられたメタルコレクタ電極、

ここで、前記メタルコレクタ電極の内、前記アルミニウムドーブ領域に接する部分は、アルミニウムを主要な成分とする裏面メタル膜である。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、半導体装置（または半導体集積回路装置）および半導体装置（または半導体集積回路装置）の製造方法に関し、特に I G B T のデバイス技術および I G B T の製造方法に適用して有効な技術に関する。

【背景技術】

【0002】

日本特開平 11-345969 号公報（特許文献 1）は、等間隔トレンチを有する等幅アクティブセル（Active Cell）I E（Injection Enhance）型 I G B T（Integrated Gate Bipolar Transistor）に関するものである。そこには、N+型エミッタ領域をその長手方向に関して、P+ボディコンタクト領域によって細かく分割したデバイス構造（いわゆる「アクティブセル 2 次元間引き構造」）が開示されている。

【0003】

日本特開 2005-294649 号公報（特許文献 2）は、インアクティブセル（Inactive Cell）領域のトレンチ間隔よりもアクティブセル領域のトレンチ間隔が広い広幅アクティブセル I E 型 I G B T に関するものである。そこには、インアクティブセル領域下に両側のトレンチ下端部に至るフローティング（Floating）P 型領域を設ける技術が開示されている。なお、この文献に於いては、トレンチ形成後に、P 型ボディ領域と同時に、フローティング P 型領域を導入している。

【先行技術文献】

【特許文献】

10

20

30

40

50

【0004】

【特許文献1】特開平11-345969号公報

【特許文献2】特開2005-294649号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

等幅アクティブセルIE型IGBT、広幅アクティブセルIE型IGBT等に於いては、アクティブセル領域とインアクティブセル領域におけるトレンチ幅が、等しいか、インアクティブセル領域のトレンチ幅が狭いので、耐圧を確保することが比較的容易にできる。しかし、このような構造では、IE効果を強めようとすると、更に構造が複雑になる等の問題がある。

10

【0006】

このような課題を解決するための手段等を以下に説明するが、その他の課題と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0007】

本願において開示される実施の形態のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0008】

すなわち、本願の一実施の形態の概要は、アクティブセル2次元間引き構造を有し、基板表面と直交し、エミッタ領域を通り、その両側のトレンチと直行する断面においては、ボディコンタクト領域は設けられていない狭アクティブセルIE型IGBTである。

20

【発明の効果】

【0009】

本願において開示される実施の形態のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0010】

すなわち、前記本願の一実施の形態によれば、デバイス構造の過度の複雑化を回避しつつ、IE効果を増強することができる。

【図面の簡単な説明】

30

【0011】

【図1】本願の主要な実施の形態（変形例を含む）の狭アクティブセルIE型トレンチゲートIGBTにおけるデバイス構造のアウトラインを説明するための狭アクティブセルIE型トレンチゲートIGBTデバイスチップのセル領域およびその周辺の上面模式レイアウト図である。

【図2】図1のセル領域端部切り出し領域R1のA-A'断面に対応するデバイス模式断面図である。

【図3】図1のセル領域内部切り出し領域R2のB-B'断面に対応するデバイス模式断面図である。

【図4】本願の一実施の形態に関する図1の線状単位セル領域およびその周辺R5の拡大上面図である。

40

【図5】本願の前記一実施の形態（他の実施形態および各変形例にも共通する）の狭アクティブセルIE型トレンチゲートIGBTデバイスチップの全体上面図（図1にほぼ対応するが、より具体的な形状に近い）である。

【図6】本願の前記一実施の形態（アクティブセル2次元間引き構造におけるアクティブセクション分散構造）のデバイス構造を説明するための図5のセル領域内部切り出し領域R3に対応する部分の拡大上面図である。

【図7】図6のC-C'断面に対応するデバイス断面図である。

【図8】図6のD-D'断面に対応するデバイス断面図である。

【図9】図6のE-E'断面に対応するデバイス断面図である。

50

【図 1 0】本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図 7 に対応する製造工程中（ホールバリア領域導入工程）におけるデバイス断面図である。

【図 1 1】本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図 7 に対応する製造工程中（P 型フローティング領域導入工程）におけるデバイス断面図である。

【図 1 2】本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図 7 に対応する製造工程中（トレンチ加工用ハードマスク成膜工程）におけるデバイス断面図である。

【図 1 3】本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図 7 に対応する製造工程中（トレンチハードマスク加工工程）におけるデバイス断面図である。

【図 1 4】本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図 7 に対応する製造工程中（トレンチ加工工程）におけるデバイス断面図である。

【図 1 5】本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図 7 に対応する製造工程中（トレンチ加工用ハードマスク除去工程）におけるデバイス断面図である。

【図 1 6】本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図 7 に対応する製造工程中（引き伸ばし拡散およびゲート酸化工程）におけるデバイス断面図である。

【図 1 7】本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図 7 に対応する製造工程中（ゲートポリシリコンエッチバック工程）におけるデバイス断面図である。

【図 1 8】本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図 7 に対応する製造工程中（P 型ボディ領域および N + 型エミッタ領域導入工程）におけるデバイス断面図である。

【図 1 9】本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図 8 に対応する製造工程中（P + 型ボディコンタクト領域および P + 型埋め込みボディコンタクト領域導入工程）におけるデバイス断面図である。

【図 2 0】本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図 7 に対応する製造工程中（層間絶縁膜成膜工程）におけるデバイス断面図である。

【図 2 1】本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図 7 に対応する製造工程中（コンタクトホール形成工程）におけるデバイス断面図である。

【図 2 2】本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図 7 に対応する製造工程中（表面メタル成膜工程）におけるデバイス断面図である。

【図 2 3】本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図 7 に対応する製造工程中（裏面研削および裏面不純物導入工程）におけるデバイス断面図である。

【図 2 4】本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図 7 に対応する製造工程中（裏面メタル電極形成工程）におけるデバイス断面図である。

【図 2 5】本願の前記一実施の形態の狭アクティブセル I E 型トレンチゲート I G B T の裏面側デバイス構造に関する詳細説明、または変形例（アルミニウムドープ構造）のデバイス構造およびその製法を説明するためのデバイス裏面の局所詳細断面図である。

【図 2 6】本願の前記一実施の形態の狭アクティブセル I E 型トレンチゲート I G B T の表面側デバイス構造に関する変形例 1（N + 型表面フローティング領域 & P + 型表面フローティング領域付加構造を説明するための図 6 に対応する拡大上面図である。

【図 2 7】図 2 6 の F - F ' 断面に対応するデバイス断面図である。

【図 2 8】図 2 6 の G - G ' 断面に対応するデバイス断面図である。

【図 2 9】本願の前記一実施の形態の狭アクティブセル I E 型トレンチゲート I G B T の

10

20

30

40

50

表面側デバイス構造に関する変形例 2（単純化アクティブセル構造）を説明するための図 7 に対応する図 6 の C-C' 断面に対応するデバイス断面図である。

【図 30】本願の前記一実施の形態の狭アクティブセル I E 型トレンチゲート I G B T の表面側デバイス構造に関する変形例 3（ホールコレクタセル付加構造）を説明するための図 2 に対応する図 1 のセル領域端部切り出し領域 R 1 の A-A' 断面のデバイス模式断面図である。

【図 31】本願の前記一実施の形態の狭アクティブセル I E 型トレンチゲート I G B T の表面側デバイス構造に関する変形例 3（ホールコレクタセル付加構造）を説明するための図 1 の線状単位セル領域およびその周辺 R 5 の拡大上面図である。

【図 32】本願の前記一実施の形態の狭アクティブセル I E 型トレンチゲート I G B T の表面側デバイス構造に関する変形例 3（ホールコレクタセル付加構造）を説明するための図 6 に対応する拡大上面図である。

【図 33】図 32 の H-H' 断面に対応するデバイス断面図である。

【図 34】図 32 の J-J' 断面に対応するデバイス断面図である。

【図 35】図 32 の K-K' 断面に対応するデバイス断面図である。

【図 36】本願の前記一実施の形態のデバイス構造のアウトラインを説明するための図 1 の線状単位セル領域およびその周辺 R 5 の拡大上面図である。

【発明を実施するための形態】

【0012】

〔実施の形態の概要〕

先ず、本願において開示される代表的な実施の形態について概要を説明する。

【0013】

1. 以下を含む狭アクティブセル I E 型トレンチゲート I G B T :

(a) 第 1 の主面および第 2 の主面を有するシリコン系半導体基板;

(b) 前記シリコン系半導体基板の前記第 1 の主面側に設けられた I G B T セル領域;

(c) 前記 I G B T セル領域に設けられた複数の線状アクティブセル領域および複数の線状インアクティブセル領域;

(d) 各線状アクティブセル領域の長手方向に沿って、交互に配列された複数のアクティブセクションおよび複数のインアクティブセクション;

(e) 前記シリコン系半導体基板の前記第 1 の主面であって、各線状アクティブセル領域と各線状インアクティブセル領域の境界部に設けられたトレンチ;

(f) 前記トレンチ内に絶縁膜を介して設けられたゲート電極;

(g) 前記シリコン系半導体基板の前記第 1 の主面側の表面領域であって、各アクティブセクションのほぼ全域に亘って設けられた第 1 導電型を有するエミッタ領域;

(h) 前記シリコン系半導体基板の前記第 1 の主面側の前記表面領域であって、各インアクティブセクションに設けられた第 2 導電型を有するボディコンタクト領域;

(i) 前記シリコン系半導体基板の前記第 1 の主面上に設けられ、前記エミッタ領域および前記ボディコンタクト領域と電氣的に接続されたメタルエミッタ電極。

【0014】

2. 前記項 1 の狭アクティブセル I E 型トレンチゲート I G B T において、前記ボディコンタクト領域は、各インアクティブセクションのほぼ全域に亘って設けられている。

【0015】

3. 前記項 1 または 2 の狭アクティブセル I E 型トレンチゲート I G B T において、更に以下を含む:

(j) 前記シリコン系半導体基板の前記第 1 の主面側の前記表面領域であって、各線状インアクティブセル領域のほぼ全域に、その両端の前記トレンチの下端に至るように設けられた第 2 導電型フローティング領域。

【0016】

4. 前記項 1 から 3 のいずれか一つの狭アクティブセル I E 型トレンチゲート I G B T において、更に以下を含む:

(k) 前記シリコン系半導体基板の前記第1の主面側の前記表面領域であって、各線状アクティブセル領域のほぼ全域に、その両端の前記トレンチの下端と同程度の深さまで設けられた前記第1導電型を有するホールバリア領域。

【0017】

5. 前記項1から4のいずれか一つの狭アクティブセルIE型トレンチゲートIGBTにおいて、更に以下を含む：

(m) 前記ボディコンタクト領域の下層のほぼ全面に、これと接するように設けられた前記第2導電型を有する埋め込みボディコンタクト領域。

【0018】

6. 前記項1から5のいずれか一つの狭アクティブセルIE型トレンチゲートIGBTにおいて、各線状アクティブセル領域の両端の前記トレンチ間隔は、0.35マイクロメートル以下である。

【0019】

7. 前記項1から6のいずれか一つの狭アクティブセルIE型トレンチゲートIGBTにおいて、各アクティブセクションの前記長手方向における幅は、0.5マイクロメートル以下である。

【0020】

8. 前記項1から7のいずれか一つの狭アクティブセルIE型トレンチゲートIGBTにおいて、更に以下を含む：

(n) 前記シリコン系半導体基板の前記第1の主面側の前記表面領域であって、隣接する線状アクティブ領域の前記エミッタ領域を延長する位置の各線状インアクティブ領域に設けられた第1導電型表面フローティング領域。

【0021】

9. 前記項1から8のいずれか一つの狭アクティブセルIE型トレンチゲートIGBTにおいて、更に以下を含む：

(p) 前記シリコン系半導体基板の前記第1の主面側の前記表面領域であって、隣接する線状アクティブ領域の前記ボディコンタクト領域を延長する位置の各線状インアクティブ領域に設けられた第2導電型表面フローティング領域。

【0022】

10. 前記項1から9のいずれか一つの狭アクティブセルIE型トレンチゲートIGBTにおいて、更に以下を含む：

(q) 前記複数の線状アクティブセル領域を一つ置きに置換するように設けられたホールコレクタセル領域。

【0023】

11. 前記項1から10のいずれか一つの狭アクティブセルIE型トレンチゲートIGBTにおいて、更に以下を含む：

(r) 前記シリコン系半導体基板のほぼ全域に於いて、内部から前記第1の主面に亘り設けられた前記第1導電型を有するドリフト領域；

(s) 前記シリコン系半導体基板のほぼ全域に於いて、前記ドリフト領域の前記第2の主面側に設けられ、前記第1導電型を有し、その濃度が前記ドリフト領域よりも高いフィールドストップ領域；

(t) 前記シリコン系半導体基板のほぼ全域に於いて、前記フィールドストップ領域の前記第2の主面側に設けられ、前記第2導電型を有するコレクタ領域；

(v) 前記シリコン系半導体基板のほぼ全域に於いて、前記コレクタ領域の前記第2の主面側に設けられ、その濃度が前記コレクタ領域よりも高いアルミニウムドープ領域；

(w) 前記シリコン系半導体基板の前記第2の主面のほぼ全域に設けられたメタルコレクタ電極、

ここで、前記メタルコレクタ電極の内、前記アルミニウムドープ領域に接する部分は、アルミニウムを主要な成分とする裏面メタル膜である。

【0024】

10

20

30

40

50

12. (a) 第1の主面および第2の主面を有するシリコン系半導体ウェハ；
(b) 前記シリコン系半導体ウェハの前記第1の主面側に設けられたIGBTセル領域；
(c) 前記シリコン系半導体ウェハのほぼ全域に於いて、内部から前記第1の主面に亘り設けられ、第1導電型を有するドリフト領域；
(d) 前記シリコン系半導体ウェハの前記第1の主面側の表面領域であって、前記IGBTセル領域のほぼ全面に設けられ、第2導電型を有するボディ領域；
(e) 前記IGBTセル領域に設けられた複数の線状アクティブセル領域および複数の線状インアクティブセル領域；
(f) 各線状アクティブセル領域の長手方向に沿って、交互に配列された複数のアクティブセクションおよび複数のインアクティブセクション；
(g) 前記シリコン系半導体ウェハの前記第1の主面であって、各線状アクティブセル領域と各線状インアクティブセル領域の境界部に設けられたトレンチ；
(h) 前記トレンチ内に絶縁膜を介して設けられたゲート電極；
(i) 前記ボディ領域の前記表面領域であって、各アクティブセクションのほぼ全域に亘って設けられた前記第1導電型を有するエミッタ領域；
(j) 前記ボディ領域の前記表面領域であって、各インアクティブセクションに設けられた前記第2導電型を有するボディコンタクト領域；
(k) 前記シリコン系半導体ウェハの前記第1の主面側の前記表面領域であって、各線状インアクティブセル領域のほぼ全域に、その両端の前記トレンチの下端に至るように設けられ、前記ボディ領域よりも深さが深い第2導電型フローティング領域；
(m) 前記シリコン系半導体ウェハの前記第1の主面上に設けられ、前記エミッタ領域および前記ボディコンタクト領域と電氣的に接続されたメタルエミッタ電極、
を有する狭アクティブセルIE型トレンチゲートIGBTの製造方法であって、以下の工程を含む；
(x1) 前記シリコン系半導体ウェハの前記第1の主面に、前記第2導電型フローティング領域を形成するための第2導電型不純物を導入する工程；
(x2) 前記工程(x1)の後、前記トレンチを形成する工程；
(x3) 前記工程(x2)の後、前記工程(x1)で導入した不純物に対するドライブイン拡散を実行する工程；
(x4) 前記工程(x3)の後、前記ゲート電極を形成する工程；
(x5) 前記工程(x4)の後、前記ボディ領域を形成するための第2導電型不純物を導入する工程。

【0025】

13. 前記項12の狭アクティブセルIE型トレンチゲートIGBTの製造方法において、更に以下を含む；

- (x6) 前記工程(x1)の前に、前記シリコン系半導体ウェハの前記第1の主面に、ホールバリア領域を形成するための第1導電型不純物を導入する工程。

【0026】

14. 前記項12または13の狭アクティブセルIE型トレンチゲートIGBTの製造方法において、前記工程(x1)は、前記IGBTセル領域の周辺外部に設けられたフローティングフィールドリングを形成するための第2導電型不純物の導入にも兼用している。

【0027】

15. 前記項12から14のいずれか一つの狭アクティブセルIE型トレンチゲートIGBTの製造方法において、更に以下を含む；

- (x7) 前記工程(x5)の後、前記エミッタ領域を形成するための第1導電型不純物の導入する工程。

【0028】

16. 前記項15の狭アクティブセルIE型トレンチゲートIGBTの製造方法において、更に以下を含む；

(x 8) 前記工程 (x 7) の後、前記ボディコンタクト領域を形成するための第 2 導電型不純物の導入する工程。

【0029】

〔本願における記載形式、基本的用語、用法の説明〕

1. 本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクションに分けて記載する場合もあるが、特にそうでない旨明示した場合を除き、これらは相互に独立個のものではなく、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しを省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、必須のものではない。

10

【0030】

更に、本願において、「半導体装置」というときは、主に、各種トランジスタ（能動素子）単体、またはそれらを中心に、抵抗、コンデンサ等を半導体チップ等（たとえば単結晶シリコン基板）上に集積したもの、および、半導体チップ等をパッケージングしたものをいう。ここで、各種トランジスタの代表的なものとしては、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) に代表される MISFET (Metal Insulator Semiconductor Field Effect Transistor) を例示することができる。このとき、各種単体トランジスタの代表的なものとしては、パワー MOSFET や IGBT (Insulated Gate Bipolar Transistor) を例示することができる。これらは、一本にパワー系半導体デバイスに分類され、その中には、パワー MOSFET、IGBT の外、バイポーラパワートランジスタ、サイリスタ (Thyristor)、パワーダイオード等を含む。

20

【0031】

パワー MOSFET の代表的な形態は、表面にソース電極があり、裏面にドレイン電極がある 2 重拡散型縦型パワー MOSFET (Double Duffused Vertical Power MOSFET) である。この 2 重拡散型縦型パワー MOSFET には、主に 2 種類に分類でき、第 1 は実施形態において主に説明するプレーナゲート (Planar Gate) 型であり、第 2 は U-MOSFET 等のトレンチゲート (Trench Gate) 型である。

30

【0032】

パワー MOSFET には、その他に、LD-MOSFET (Lateral-Diffused MOSFET) がある。

【0033】

2. 同様に実施の態様等の記載において、材料、組成等について、「A からなる X」等といっても、特にそうでない旨明示した場合および文脈から明らかに、そうでない場合を除き、A 以外の要素を主要な構成要素のひとつとするものを排除するものではない。たとえば、成分についていえば、「A を主要な成分として含む X」等の意味である。たとえば、「シリコン部材」等といっても、純粋なシリコンに限定されるものではなく、SiGe 合金やその他シリコンを主要な成分とする多元合金、その他の添加物等を含む部材も含むものであることはいうまでもない。

40

【0034】

同様に、「酸化シリコン膜」、「酸化シリコン系絶縁膜」等と言っても、比較的純粋な非ドープ酸化シリコン (Undoped Silicon Dioxide) だけでなく、その他の酸化シリコンを主要な成分とする絶縁膜を含む。たとえば、TEOS ベース酸化シリコン (TEOS-based silicon oxide)、PSG (Phosphorus Silicate Glass)、BPSG (Borophosphosilicate Glass) 等の不純物をドープした酸化シリコン系絶縁膜も酸化シリコン膜である。また、熱酸化膜、CVD 酸化膜のほか、SOG (Spin On Glass)、ナノクラスタリングシリカ (NSC: Nano-Clustering Sil

50

ica)等の塗布系膜も酸化シリコン膜または酸化シリコン系絶縁膜である。そのほか、FSG(Fluorosilicate Glass)、SiOC(Silicon Oxycarbide)またはカーボンドープ酸化シリコン(Carbon-doped Silicon oxide)またはOSG(Organosilicate Glass)等のLow-k絶縁膜も同様に、酸化シリコン膜または酸化シリコン系絶縁膜である。更に、これらと同様な部材に空孔を導入したシリカ系Low-k絶縁膜(ポーラス系絶縁膜、「ポーラスまたは多孔質」というときは、分子性多孔質を含む)も酸化シリコン膜または酸化シリコン系絶縁膜である。

【0035】

また、酸化シリコン系絶縁膜と並んで、半導体分野で常用されているシリコン系絶縁膜としては、窒化シリコン系絶縁膜がある。この系統の属する材料としては、SiN, SiCN, SiNH, SiCNH等がある。ここで、「窒化シリコン」というときは、特にそうでない旨明示したときを除き、SiNおよびSiNHの両方を含む。同様に、「SiCN」というときは、特にそうでない旨明示したときを除き、SiCNおよびSiCNHの両方を含む。

【0036】

3. 同様に、図形、位置、属性等に関して、好適な例示をするが、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、厳密にそれに限定されるものではないことは言うまでもない。

【0037】

4. さらに、特定の数値、数量に言及したときも、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値でもよい。

【0038】

5. 「ウエハ」というときは、通常は半導体装置(半導体集積回路装置、電子装置も同じ)をその上に形成する単結晶シリコンウエハを指すが、エピタキシャルウエハ、SOI基板、LCDガラス基板等の絶縁基板と半導体層等の複合ウエハ等も含むことは言うまでもない。

【0039】

6. 先に、パワーMOSFETについて説明したのと同様に、IGBTは、一般にプレーナゲート(Planar Gate)型とトレンチゲート(Trench Gate)型に大別される。このトレンチゲート型IGBTは、比較的オン抵抗が低い、伝導度変調を更に促進してオン抵抗を更に低くするために、IE(Injection Enhancement)効果を利用した「IE型トレンチゲートIGBT」(または、「アクティブセル間引き型トレンチゲートIGBT」)が開発されている。IE型トレンチゲートIGBTは、セル領域に於いて、実際にエミッタ電極に接続されたアクティブセル(Active Cell)と、P型フローティング領域を有するインアクティブセル(Inactive Cell)を交互に、または、櫛の歯状に配置することにより、半導体基板のデバイス主面側(エミッタ側)にホール(正孔)が蓄積しやすい構造としたものである。なお、P型フローティング領域は必須ではないが、両側のトレンチの下端を覆う程度の深さのP型フローティング領域(すなわち、P型ディープフローティング領域)があると、耐圧設計が容易になるメリットがある。

【0040】

なお、本願に於いては、アクティブセルが複数種類存在する。第1は、実際にN+エミッタ領域を有しトレンチゲート電極がメタルゲート電極に電氣的に接続された真性アクティブセル(具体的には、線状アクティブセル領域)である。第2は、N+エミッタ領域を有せずトレンチゲート電極がメタルエミッタ電極に電氣的に接続された擬似的アクティブセル(具体的には、線状ホールコレクタセル領域)である。

【0041】

7. 本願においては、IE型トレンチゲートIGBTの内、主要なアクティブセルの幅

が、主要なインアクティブセルの幅よりも狭いものを「狭アクティブセル I E 型トレンチゲート I G B T」と呼ぶ。より一般的には、アクティブセルのトレンチ間ピッチ（トレンチの中心間の距離）が、インアクティブセルのトレンチ間ピッチよりも狭いものを言う。

【0042】

また、トレンチゲートを横切る方向を「セルの幅方向」とし、これと直交するトレンチゲート（リニアゲート部分）の延在方向（長手方向）を「セルの長さ方向」とする。

【0043】

本願に於いては、主に「線状単位セル領域」（たとえば線状アクティブセル領域と線状インアクティブセル領域から構成される）を主に扱うが、この線状単位セル領域が周期的に繰り返して、半導体チップの内部領域に配列されて、「セル形成領域」すなわち「I G B Tセル領域」を構成している。

10

【0044】

このセル領域の周りには、通常、セル周辺接合領域が設けられており、更にその周りには、フローティングフィールドリング（Floating Field Ring）またはフィールドリミッティングリング（Field Limiting Ring）等が設けられ、終端構造を構成している。ここで、フローティングフィールドリングまたはフィールドリミッティングリングとは、以下のものを言う。すなわち、ドリフト領域の表面（デバイス面）に P 型ボディ領域（P 型ウエル領域）とは分離して設けられ、それと同一導電性を有するとともに類似した濃度（主接合に逆方向電圧が印加されたときに完全空乏化しない程度の濃度である）を有し、リング状にセル領域を 1 重又は多重に（たとえば 10 重程度）取り巻く不純物領域または不純物領域群を言う。

20

【0045】

また、これらのフローティングフィールドリングには、フィールドプレート（Field Plate）が設けられることがある。このフィールドプレートとは、フローティングフィールドリングに接続された導電体膜パターンであって、絶縁膜を介してドリフト領域の表面（デバイス面）の上方に延在し、リング状にセル領域を取り巻く部分を言う。

【0046】

セル領域を構成する周期要素としての線状単位セル領域は、例えば図 5 の例等では、以下のものを言う。すなわち、線状アクティブセル領域を中心に両側に半幅の線状インアクティブセル領域を配置したものをセットとして扱うのが合理的であるが、具体的に個別に線状インアクティブセル領域を説明する場合には、両側に分離しているため不便であるので、その場合には、具体的な一体の部分を線状インアクティブセル領域という。

30

【0047】

なお、以下の例では、「超狭アクティブ領域」を実現するために、通常、使用されるエミッタ領域よりも深い「コンタクト用基板溝」を形成せず、平坦な基板面上の層間絶縁膜にコンタクト溝を形成している。ここで、本願に於いて、「超狭アクティブ領域」とは、アクティブセル領域の両側のトレンチの内側間の距離、すなわち、トレンチ間のアクティブ領域の幅が、0.35 マイクロメートル以下のものを言う。また、アクティブセクションの長手方向の幅（「アクティブセクション幅」という）が、0.5 マイクロメートル以下のものを「超狭アクティブセクション」という。

40

【0048】

〔実施の形態の詳細〕

実施の形態について更に詳述する。各図中において、同一または同様の部分は同一または類似の記号または参照番号で示し、説明は原則として繰り返さない。

【0049】

また、添付図面においては、却って、煩雑になる場合または空隙との区別が明確である場合には、断面であってもハッチング等を省略する場合がある。これに関連して、説明等から明らかである場合等には、平面的に閉じた孔であっても、背景の輪郭線を省略する場合がある。更に、断面でなくとも、空隙でないことを明示するために、ハッチングを付すことがある。

50

【0050】

なお、二者択一の場合の呼称に関して、一方を「第1」等として、他方を「第2」等と呼ぶ場合に於いて、代表的な実施の形態に沿って、対応付けして例示する場合があるが、たとえば「第1」といっても、例示した当該選択肢に限定されるものではないことは言うまでもない。

【0051】

なお、異間隔トレンチを有するIE型IGBTについて開示した先行特許出願としては、たとえば日本特願第2012-19942号（日本出願日2012年2月1日）、日本特願第2012-577号（日本出願日2012年1月5日）、日本特願第2011-127305号（日本出願日2011年6月7日）等がある。

10

【0052】

1. 本願の主要な実施の形態（変形例を含む）の狭アクティブセルIE型トレンチゲートIGBTにおけるデバイス構造のアウトラインの説明（主に図1から図4）

このセクションでは、具体的な例を示して、先の定義等を補足するとともに、本願の代表的具体例を抜き出して、その概要を説明するとともに、全体の予備的な説明を行う。なお、図2および3に於いては、広域図の簡潔性を確保するため、一部の不純物領域の構造を大幅に簡素化して図示している（詳細構造は、例えば、図4等参照）。

【0053】

図1は本願の主要な実施の形態（変形例を含む）の狭アクティブセルIE型トレンチゲートIGBTにおけるデバイス構造のアウトラインを説明するための狭アクティブセルIE型トレンチゲートIGBTデバイスチップのセル領域およびその周辺の上面模式レイアウト図である。図2は図1のセル領域端部切り出し領域R1のA-A'断面に対応するデバイス模式断面図である。図3は図1のセル領域内部切り出し領域R2のB-B'断面に対応するデバイス模式断面図である。図4は本願の一実施の形態に関する図1の線状単位セル領域およびその周辺R5の拡大上面図である。これらに基づいて、本願の主要な実施の形態（変形例を含む）の狭アクティブセルIE型トレンチゲートIGBTにおけるデバイス構造のアウトラインを説明する。

20

【0054】

（1）セル領域およびその周辺の平面構造の説明（主に図1）：

まず、本願の主な対象であるIE型トレンチゲートIGBTのデバイスチップ2の内部領域（終端構造の最外部であるガードリング等の内側の部分、すなわち、チップ2の主要部）の上面図を図1に示す。図1に示すように、チップ2（半導体基板）の内部領域の主要部は、IGBTセル領域10によって占有されている。セル領域10の外周部には、これを取り巻くように、環状を呈し、P型のセル周辺接合領域35が設けられている。このセル周辺接合領域35の外側には、間隔を置いて、単数又は複数の環状を呈し、P型のフローティングフィールドリング36（すなわちフィールドリミットングリング）が設けられており、セル周辺接合領域35、ガードリング4（図5参照）等とともに、セル領域10に対する終端構造を構成している。

30

【0055】

セル領域10には、この例では、多数の線状単位セル領域40が敷き詰められており、これらの端部領域には、一対又はそれ以上（片方についていえば、1列又は数列程度）のダミーセル領域34（線状ダミーセル領域）が配置されている。

40

【0056】

（2）狭アクティブセル型単位セルおよび交互配列方式の説明（主に図2）：

次に、図1のセル領域端部切り出し領域R1のA-A'断面を図2に示す。図2に示すように、チップ2の裏面1b（半導体基板の裏側主面または第2の主面）の半導体領域（この例では、シリコン単結晶領域）には、P+型コレクタ領域18が設けられており、その表面にはメタルコレクタ電極17が設けられている。半導体基板2の主要部を構成するN-型ドリフト領域20（第1導電型のドリフト領域）とP+型コレクタ領域18（第2導電型コレクタ領域）との間には、N型フィールドストップ領域19（第1導電型フィー

50

ルドストップ領域）が設けられている。

【0057】

一方、N型ドリフト領域20の表面側1a（半導体基板の表側主面または第1の主面）の半導体領域には、多数のトレンチ21が設けられており、その中には、ゲート絶縁膜22を介して、トレンチゲート電極14が埋め込まれている。これらのトレンチゲート電極14は、メタルゲート配線7を介してメタルゲート電極5（図5参照）に接続されている。

【0058】

また、これらのトレンチ21は、各領域を区画する働きをしており、たとえば、ダミーセル領域34は、一对のトレンチ21によって両側から区画されており、その内の一つのトレンチ21によって、セル領域10とセル周辺接合領域35が区画されている。このセル周辺接合領域35は、P+型ボディコンタクト領域25pを介して、メタルエミッタ電極8と接続されている。なお、本願に於いては、特に断らない限り、トレンチのどの部分のゲート絶縁膜22の厚さもほぼ同じとしている（しかし、必要により、ある部分の厚さを他の部分と比較して、異ならせることを排除するものではない）。このように、セル周辺接合領域35およびダミーセル領域34に於いて、エミッタコンタクトを取ることで、耐圧の低下を防止することができる。すなわち、設計自由度が向上する。

【0059】

セル周辺接合領域35の外側のN型ドリフト領域20の表面側1aの半導体領域には、P型のフローティングフィールドリング36が設けられており、この表面1a上には、フィールドプレート4が設けられ、P+型ボディコンタクト領域25rを介して、フローティングフィールドリング36に接続されている。

【0060】

次に、セル領域10を更に説明する。ダミーセル領域34は、N+型エミッタ領域12を有さない以外は、構造およびサイズとも、基本的に線状アクティブセル領域40aと同じであり、P型ボディ領域15の表面に設けられたP+型ボディコンタクト領域25dは、メタルエミッタ電極8と接続されている。

【0061】

セル領域10の内部領域の大部分は、基本的に、線状単位セル領域40を単位格子とする並進対象の繰り返し構造（なお、厳密な意味での対象性を要求するものではない。以下同じ）をしている。単位格子としての線状単位セル領域40は、線状アクティブセル領域40aとその両側の半幅の線状インアクティブセル領域40iから構成されているが、具体的には、隣接する線状アクティブセル領域40aの間に全幅の線状インアクティブセル領域40iが配置されていると見ることができる（図4参照）。

【0062】

線状アクティブセル領域40aの半導体基板の表側主面1a（第1の主面）側半導体表面領域には、P型ボディ領域15が設けられており、その表面には、N+型エミッタ領域12（第1導電型のエミッタ領域）およびP+型ボディコンタクト領域25が設けられている。このN+型エミッタ領域12およびP+型ボディコンタクト領域25は、メタルエミッタ電極8と接続されている。線状アクティブセル領域40aにおいては、このP型ボディ領域15の下部のN型ドリフト領域20に、N型ホールバリア領域24が設けられている。本願の各例に於いて、N型ホールバリア領域24が設けられているときは、原則として、平面的に言って、線状アクティブセル領域40aのほぼ全域に設けられている。なお、言うまでもないことであるが、このことは必須ではなく、必要に応じて、部分的に設けることもできる。

【0063】

一方、線状インアクティブセル領域40iの半導体基板の表側主面1a（第1の主面）側半導体表面領域には、同様に、P型ボディ領域15が設けられており、その下部のN型ドリフト領域20には、両側のトレンチ21の下端部をカバーし、それよりも深いP型

10

20

30

40

50

フローティング領域 16（第 2 導電型フローティング領域）が設けられている。このような P 型フローティング領域 16 を設けることによって、耐圧の急激な低下を招くことなく、線状インアクティブセル領域の幅 W_i を広くすることができる。例えば、ゲート容量やオン電圧、スイッチング特性などの特性最適化のために、レイアウトを調整したとしても耐圧低下の懸念がなく、設計自由度を確保できる。また、たとえば最適化のため、N 型ホールバリア領域 24 の濃度を高めても、同様に耐圧への影響はほとんどない。これによって、ホール蓄積効果を有効に増強や制御をすることが可能となる。なお、I E 型トレンチゲート I G B T においては、エミッタ電極 8 から P 型フローティング領域 16 へのコンタクトは形成されていない。これは、P 型フローティング領域 16 からエミッタ電極 8 への直接的なホール排出経路を遮断することによって、線状アクティブセル領域 40 a の下部の N 型ドリフト領域 20（N ベース領域）のホール濃度を増加させているのである。その結果、I G B T 内の M O S F E T から N ベース領域へ注入される電子濃度を向上させることによって、オン抵抗を下げようとするものである。

10

【0064】

この例では、線状アクティブセル領域 40 a の幅 W_a は、線状インアクティブセル領域 40 i の幅 W_i よりも狭くされており、本願では、これを「狭アクティブセル型単位セル」と呼ぶ。以下では、主に、この狭アクティブセル型単位セルを有するデバイスについて、具体的に説明するが、本願は、それに限定されるものではなく、「非狭アクティブセル型単位セル」を有するデバイスにも適用できることは言うまでもない。

【0065】

20

図 2 の例では、線状アクティブセル領域 40 a と線状インアクティブセル領域 40 i を交互に配列して、線状単位セル領域 40 を構成しているが、この構成を、本願においては、「交互配列方式」と呼ぶ。以下では、特に断らない限り（具体的には、基本的に図 3 以外）、交互配列方式を前提に説明するが、「非交互配列方式」でもよいことは言うまでもない。

【0066】

図 2 では、本願の各種の実施の形態の各部分を例示的に包含する主要部を説明したが、以下の説明では、これらをセル部（断面、平面構造）、セル周辺部等の構成要素に分けて説明するが、これらは、個々ばらばらのものではなく、図 2 に示したように、各種の変形例が各構成要素と置換して、主要部を構成するものである。このことは、図 2 に限らず、

30

【0067】

図 2（交互配列方式）に於いて、アクティブセルを一つ置きにホールコレクタセルに置換したものが、図 30 等 に示す構造であるが、図 3 のような非交互配列方式において、同様の置換を実行することも可能であることは言うまでもない。

【0068】

（3）非交互配列方式の説明（主に図 3）：

次に、非交互配列方式の線状単位セル領域 40 の具体例を図 3 に示す。図 3 に示すように、図 2 の例では、隣接する線状アクティブセル領域 40 a 間に挿入される線状インアクティブセル領域 40 i は一つであるが、図 3 の例では、隣接する線状アクティブセル領域 40 a 間に挿入される線状インアクティブサブセル領域 40 i s（図 2 の線状インアクティブセル領域 40 i に対応するデバイス要素）が複数となっている。非交互配列方式の例においても、主に、線状アクティブセル領域 40 a の幅 W_a は、線状インアクティブサブセル領域 40 i s の幅 W_{is} よりも狭くされており、上と同様に、本願では、これを「狭アクティブセル型単位セル」と呼ぶ。すなわち、狭アクティブセル型単位セルの定義は、線状インアクティブセル領域 40 i の幅 W_i ではなく、線状インアクティブサブセル領域 40 i s の幅 W_{is} によって行われる。なお、隣接する線状アクティブセル領域 40 a 間に挿入される線状インアクティブサブセル領域 40 i s の数（以下「挿入数」という）は、一定である必要はなく、場所によって、1 個から数個の間で変化させても良い。

40

【0069】

50

これと同様に、交互配列方式においても、一部に於いて、挿入数を複数としてもよい。なお、交互配列方式のメリットは、トレンチの数が少ないので、平面構造を比較的単純にすることが可能である。また、ゲート容量を不用意に増加させないメリットもある。一方、非交互配列方式のメリットは、ゲート容量を小さくさせすぎずに、耐圧を下げることなく、比較的広い線状インアクティブセル領域の幅 W_i を設定できるところに有る。アプリケーションやゲートドライブ条件によっては、小さすぎるゲート容量では全体設計最適化が困難となる場合もありえるため、必要に応じてデバイス設計として調整できる手段を確保する事は、有効である。

【0070】

(4) アクティブセル2次元間引き構造の説明(主に図4)

図1の線状単位セル領域主要部およびその周辺切り出し領域R5の詳細平面構造の一例を図4に示す。図4に示すように、線状アクティブセル領域40aの長さ方向に、たとえば、一定間隔で一定の長さのアクティブセクション40aaが設けられており、その間が、N+型エミッタ領域12が設けられていないインアクティブセクション40aiとなっている。すなわち、線状アクティブセル領域40aの長さ方向の一部分が局所分散的にアクティブセクション40aaとなっている。更に説明すると、アクティブセクション40aaには、ほぼ全面に、N+型エミッタ領域12が設けられており、インアクティブセクション40aiには、ほぼ全面に、P+型ボディコンタクト領域25およびP+型埋め込みボディコンタクト領域55が設けられている。一方、線状インアクティブセル領域40iには、ほぼ全面に、P型ボディ領域15およびP型フローティング領域16(第2導電型フローティング領域)が設けられている。

【0071】

なお、ここで、一定間隔で一定の長さで分布していることは、周期的であることを意味するが、実質的に周期的であることは、局所分散的分布に対応するが、局所分散的であることは、それよりも広く、必ずしも周期的又は準周期的であることを意味しない。

【0072】

2. 本願の一実施の形態(P型ディープフローティング&ホールバリア組み合わせ構造)における狭アクティブセルIE型トレンチゲートIGBTのデバイス構造の説明(主に図5から図9)

このセクションでは、セクション1の説明を踏まえて、各実施の形態に共通な具体的チップ上面レイアウトおよび単位セル構造(アクティブセル1次元間引き構造)の一例(セクション1の図1、図2および図4に対応)を説明する。このセクションで説明するセル構造は、交互配列方式の狭アクティブセル型単位セルである。

【0073】

なお、通常、耐圧1200ボルトのIGBT素子2を例にとると、チップサイズは、3から15ミリメートル角というように、想定している電流値によって大きく変わる。ここでは、説明の都合上、縦4ミリメートル、横5.2ミリメートルのチップを例にとり説明する。ここでは、デバイスの耐圧をたとえば、1200ボルト程度として説明する。

【0074】

図5は本願の前記一実施の形態(他の実施形態および各変形例にも共通する)の狭アクティブセルIE型トレンチゲートIGBTデバイスチップの全体上面図(図1にはほぼ対応するが、より具体的な形状に近い)である。図6は本願の前記一実施の形態(アクティブセル2次元間引き構造におけるアクティブセクション分散構造)のデバイス構造を説明するための図5のセル領域内部切り出し領域R3に対応する部分の拡大上面図である。図7は図6のC-C'断面に対応するデバイス断面図である。図8は図6のD-D'断面に対応するデバイス断面図である。図9は図6のE-E'断面に対応するデバイス断面図である。これらに基づいて、本願の一実施の形態(P型ディープフローティング&ホールバリア組み合わせ構造)における狭アクティブセルIE型トレンチゲートIGBTのデバイス構造を説明する。

【0075】

図5に示すように、IGBTデバイスチップ2の上面1aの外周部には、たとえば、アルミニウム系配線層等から構成された環状のガードリング3が設けられており、その内側には、環状のフローティングフィールドリング等と接続された数本（単数又は複数）の環状のフィールドプレート4（たとえば、先と同じアルミニウム系配線層等から構成されている）が設けられている。フィールドプレート4（フローティングフィールドリング36）の内側であって、チップ2の上面1aの内部領域の主要部には、セル領域10が設けられており、セル領域10上は、その外部近傍まで、たとえば、先と同じアルミニウム系配線層等から構成されたメタルエミッタ電極8に覆われている。メタルエミッタ電極8の中央部は、ボンディングワイヤ等を接続するためのメタルエミッタパッド9となっており、メタルエミッタ電極8とフィールドプレート4の間には、たとえば、先と同じアルミニウム系配線層等から構成されたメタルゲート配線7が配置されている。このメタルゲート配線7は、たとえば、先と同じアルミニウム系配線層等から構成されたメタルゲート電極5に接続されており、メタルゲート電極5の中心部は、ボンディングワイヤ等を接続するためのゲートパッド6となっている。

【0076】

次に、図5のセル領域内部切り出し領域R3の拡大平面レイアウト（主に半導体基板の表面領域のレイアウトを示す）を図6に示す。図6に示すように、線状アクティブセル領域40aのほぼ全長に亘りN+型エミッタ領域12が形成されているわけではなく、その長さ方向に於いて、N+型エミッタ領域12が形成されているアクティブセクション40aaと、N+型エミッタ領域12が形成されていないインアクティブセクション40aiにほぼ周期的に区分されている。すなわち、線状アクティブセル領域40aのアクティブセクション40aaにおいては、ほぼ全面に、N+型エミッタ領域12が設けられており、線状アクティブセル領域40aのインアクティブセクション40aiにおいては、ほぼ全面に、P+型ボディコンタクト領域25が設けられている。一方、線状アクティブセル領域40aとトレンチゲート電極14で隔てられている線状インアクティブセル領域40iにおいては、そのほぼ全面に、P型ボディ領域15およびP型フローティング領域16が設けられている。

【0077】

次に、図6のC-C'断面を図7に示す。図7に示すように、半導体チップ2の裏面1bの半導体領域には、上下に接するようにP+型コレクタ領域18およびN型フィールドストップ領域19が形成されており、半導体チップ2の裏面1b上には、メタルコレクタ電極17が形成されている。

【0078】

線状アクティブセル領域40aにおける半導体チップ2の表面1a（第1の主面）側のN-型ドリフト領域20（半導体基板の表面側半導体領域）には、下から順に、N型ホールバリア領域24、P型ボディ領域15およびN+型エミッタ領域12が設けられている。また、半導体チップ2の表面1a上には、層間絶縁膜26が形成されており、線状アクティブセル領域40aにおける層間絶縁膜26部分には、コンタクト溝11（またはコンタクトホール）が形成されている。このコンタクト溝11等を介して、N+型エミッタ領域12は、層間絶縁膜26上に設けられたメタルエミッタ電極8に接続されている。このN型ホールバリア領域24の存在は、任意であるが、存在することにより、ホールバリアとして作用するほかに、線状アクティブセル領域40aの幅が非常に狭くなった場合にも、P型フローティング領域16が、不所望に線状アクティブセル領域40a側に広がることを防止する効果がある。また、N型ホールバリア領域24を設けることは、トレンチの深さが、あまり、深くない場合（例えば、3マイクロメートル程度）においても、十分なIE効果を実現できるメリットがある。また、トレンチの深さのばらつきに対する特性変動幅も大幅に低減できる効果もある。

【0079】

ここで、N型ホールバリア領域24は、N-型ドリフト領域20からN+型エミッタ領域12への通路にホールが流れ込むのを阻止するためのバリア領域であり、その不純物濃

度は、たとえば、N+型エミッタ領域12よりも低く、N-型ドリフト領域20よりも高い。このN型ホールバリア領域24の存在により、線状インアクティブセル領域40iに蓄積されたホールが、線状アクティブセル領域40aのエミッタ通路（N-型ドリフト領域20からP+型ボディコンタクト領域25へ向かう通路）へ入り込むのを有効に阻止することができる。また、N型ホールバリア領域24をアクティブセル領域40aのみに局所配置させる事で、スイッチングオフ時に不要にホールに対する排出抵抗を増加させてしまう事を防ぎ、スイッチング特性が悪化する事を防いでいる。

【0080】

これに対して、線状インアクティブセル領域40iにおける半導体チップ2の表面1a（第1の主面）側のN-型ドリフト領域20（半導体基板の表面側半導体領域）には、下から順に、P型フローティング領域16およびP型ボディ領域15が設けられている。P型フローティング領域16の深さは、トレンチ21の深さよりも深くされており、トレンチ21の下端部をカバーするように分布している。このようにして、有効に、オフ状態でトレンチ21の下端部に電界強度が集中する事を防ぐことができる。

【0081】

次に、図6のD-D'断面を図8に示す。図8に示すように、この断面の図7との相違点は、線状アクティブセル領域40aにおけるP型ボディ領域15の表面にP+型ボディコンタクト領域25が設けられており、その下に接して、重畳するように、P+型埋め込みボディコンタクト領域55が設けられている。なお、その他の部分は、図7と全く同じである。

【0082】

次に、図6のE-E'断面を図9に示す。図9に示すように、半導体チップ2の裏面1bの半導体領域には、上下に接するようにP+型コレクタ領域18およびN型フィールドストップ領域19が形成されており、半導体チップ2の裏面1b上には、メタルコレクタ電極17が形成されている。

【0083】

線状アクティブセル領域40aのアクティブセクション40aaにおける半導体チップ2の表面1a（第1の主面）側のN-型ドリフト領域20（半導体基板の表面側半導体領域）には、下から順に、N型ホールバリア領域24、P型ボディ領域15およびN+型エミッタ領域12が設けられている。一方、線状アクティブセル領域40aのインアクティブセクション40aiにおける半導体チップ2の表面1a（第1の主面）側のN-型ドリフト領域20（半導体基板の表面側半導体領域）には、下から順に、N型ホールバリア領域24、P型ボディ領域15、P+型埋め込みボディコンタクト領域55およびP+型ボディコンタクト領域25が設けられている。上と同様に、半導体チップ2の表面1a上には、コンタクト溝11（またはコンタクトホール）が形成されている。このコンタクト溝11等を介して、N+型エミッタ領域12およびP+型ボディコンタクト領域25は、メタルエミッタ電極8に接続されている。

【0084】

ここで、デバイス構造をより具体的に例示するために、デバイス各部（図2および図4参照）の主要寸法および主要パラメータの一例を示す。すなわち、線状アクティブセル領域の幅Waは、1.0マイクロメートル程度、線状インアクティブセル領域の幅Wiは、2.5マイクロメートル程度（線状アクティブセル領域の幅Waは、線状インアクティブセル領域の幅Wiよりも狭いことが望ましく、「Wi/Wa」の値は、たとえば2から3の範囲が特に好適である）である。コンタクト幅は、1.0マイクロメートル程度、トレンチ幅は、0.7マイクロメートル程度（0.8マイクロメートル以下が特に好適である）、トレンチ深さは、3マイクロメートル程度、N+型エミッタ領域12の深さは、0.6マイクロメートル程度、P型ボディ領域15（チャンネル領域）の深さは、1.2マイクロメートル程度である。P型フローティング領域16の深さは、4.5マイクロメートル程度、N型フィールドストップ領域19の厚さは、1.5マイクロメートル程度、P+型コレクタ領域の厚さは、0.5マイクロメートル程度、半導体基板2の厚さは、120マ

10

20

30

40

50

マイクロメートル程度（ここでは、耐圧1200ボルト程度の例を示す）である。なお、半導体基板2の厚さは求められる耐圧に強く依存する。従って、耐圧600ボルトでは、たとえば70マイクロメートル程度であり、耐圧400ボルトでは、たとえば40マイクロメートル程度である。更に、トレンチゲート電極14の上面のリセス深さは、たとえば0.4マイクロメートル程度、線状アクティブセル領域40aにおける両側のトレンチ間距離（トレンチの内側間の距離）は、たとえば0.3マイクロメートル程度である。P+型ボディコンタクト領域25の厚さは、たとえば0.4マイクロメートル程度、P+型埋め込みボディコンタクト領域の厚さは、たとえば0.5マイクロメートル程度である。線状アクティブセル領域40aにおけるアクティブセクション40aaの幅は、たとえば0.4マイクロメートル程度、インアクティブセクション40aiは、要求される飽和電流の値に強く依存するが、たとえば、10マイクロメートル程度である。また、N-型ドリフト領域20の抵抗率は、たとえば、70Ωcm程度である。

【0085】

アクティブセクション40aaの幅に関しては、0.5マイクロメートル以下が好適である。この場合、N+型エミッタ領域12下のP型ボディ領域15を通過するホールの走行距離は0.25マイクロメートル以下と見積もれ、ラッチアップ耐性を考慮して問題ないレベルである。

【0086】

なお、以下の例、および、セクション1の例に於いても、対応する部分の寸法は、ここに示したものとほぼ同じであるので、説明は繰り返さない。

【0087】

3. 本願の前記一実施の形態の狭アクティブセルIE型トレンチゲートIGBTの製造方法に対応する主要製造プロセスの説明（主に図10から図24）

このセクションでは、セクション2で説明したデバイス構造に対する製造方法の一例を示す。以下では、セル領域10を中心に説明するが、周辺部等については、必要に応じて図1、図2、図4等を参照する。

【0088】

図10は本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図7に対応する製造工程中（ホールバリア領域導入工程）におけるデバイス断面図である。図11は本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図7に対応する製造工程中（P型フローティング領域導入工程）におけるデバイス断面図である。図12は本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図7に対応する製造工程中（トレンチ加工用ハードマスク成膜工程）におけるデバイス断面図である。図13は本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図7に対応する製造工程中（トレンチハードマスク加工工程）におけるデバイス断面図である。図14は本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図7に対応する製造工程中（トレンチ加工工程）におけるデバイス断面図である。図15は本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図7に対応する製造工程中（トレンチ加工用ハードマスク除去工程）におけるデバイス断面図である。図16は本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図7に対応する製造工程中（引き伸ばし拡散およびゲート酸化工程）におけるデバイス断面図である。図17は本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図7に対応する製造工程中（ゲートポリシリコンエッチバック工程）におけるデバイス断面図である。図18は本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図7に対応する製造工程中（P型ボディ領域およびN+型エミッタ領域導入工程）におけるデバイス断面図である。図19は本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図8に対応する製造工程中（P+型ボディコンタクト領域およびP+型埋め込みボディコンタクト領域導入工程）におけるデバイス断面図である。図20は本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図7に対応する製造工程中（層間絶縁膜成膜工程）

におけるデバイス断面図である。図 2 1 は本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図 7 に対応する製造工程中（コンタクトホール形成工程）におけるデバイス断面図である。図 2 2 は本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図 7 に対応する製造工程中（表面メタル成膜工程）におけるデバイス断面図である。図 2 3 は本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図 7 に対応する製造工程中（裏面研削および裏面不純物導入工程）におけるデバイス断面図である。図 2 4 は本願の前記一実施の形態のデバイス構造に対応する製造方法を説明するための図 7 に対応する製造工程中（裏面メタル電極形成工程）におけるデバイス断面図である。これらに基づいて、本願の前記一実施の形態の狭アクティブセル I E 型トレンチゲート I G B T の製造方法に対応する主要製造プロセスを説明する。

10

【0089】

まず、N 型シリコン単結晶（たとえばリン濃度 $2 \times 10^{14} / \text{cm}^3$ 程度）の 200 ϕ ウエハ（150 ϕ 、100 ϕ 、300 ϕ 、450 ϕ 等の各種径のウエハでもよい）を準備する。ここでは、たとえば、FZ（Floating Zone）法によるウエハが最も好適であるが、CZ（Czochralski）法によるウエハでもよい。これは、FZ 法によるウエハの方が、比較的高品質で安定した濃度の高抵抗のウエハを入手しやすいからである。

一方、CZ 結晶を摂氏 450 度前後でアニールすると、サーマルドナー（Thermal Donor）が発生して、実質的な N 型不純物能が上昇するという問題がある。従って、この場合、CZ 結晶の中でも酸素濃度の比較的低い MCZ（Magnetic Field Applied CZ）法によるものを使用するのが好適である。MCZ 結晶の中でも、特に、HMCZ（Horizontal MCZ）法、CMCZ（Cusp MCZ）法等による結晶が特に好適である。これらの低酸素 MCZ 結晶の酸素濃度は、通常、 $3 \times 10^{17} / \text{cm}^3$ から $7 \times 10^{17} / \text{cm}^3$ 程度である。これに対して、FZ（Floating Zone）結晶の酸素濃度は、通常、 $1 \times 10^{16} / \text{cm}^3$ 程度であり、磁場を使用しない通常の CZ 結晶の酸素濃度は、通常、 $1 \times 10^{18} / \text{cm}^3$ 程度である。

20

【0090】

本願の各実施の形態の I E 型トレンチゲート I G B T においては、CZ 法による結晶によっても、一般に製品として許容されデバイス設計が可能となる。I E 効果を強められた I G B T は、表側のホール蓄積効果のために、オン状態において、全体のホール分布が比較的平坦になっているため、結晶抵抗率のばらつきがあってもスイッチング損失に与える影響が小さいためである。なお、I G B T に特に適合した高抵抗 CZ 結晶の抵抗率の範囲としては、たとえば、耐圧が 600 ボルトから 1200 ボルト程度の範囲を想定すると、 $20 \Omega \text{cm}$ 程度から $85 \Omega \text{cm}$ 程度の範囲である。

30

【0091】

ここで、I G B T において、CZ 結晶を使用すると、酸素濃度の低い FZ 結晶と相違して、機械的強度が強く、熱歪に強いというメリットがある。また、FZ 結晶と比較して、CZ 結晶は、ウエハの大口径化が比較的容易というメリットもある。また、大口径化するほど、熱応力の問題は重要になるので、熱応力対策という点では、CZ 結晶を使用するほうが有利となる。本願の構造の適用により、状況に応じて、FZ 結晶と CZ 結晶を使い分ける事ができる。

40

【0092】

次に、図 10 に示すように、半導体ウエハ 1 の表面 1 a（第 1 の主面）上のほぼ全面に、N 型ホールバリア領域導入用レジスト膜 3 1 を塗布等により形成し、通常のリソグラフィにより、パターニングする。パターニングされた N 型ホールバリア領域導入用レジスト膜 3 1 をマスクとして、たとえば、イオン注入により、半導体ウエハ 1 の表面 1 a（第 1 の主面）側の半導体基板 1 s（N 型単結晶シリコン基板）内に、N 型不純物を導入することにより、N 型ホールバリア領域 2 4 を形成する。このときのイオン注入条件としては

50

、たとえば、イオン種：リン、ドーズ量： $6 \times 10^{12} / \text{cm}^2$ 程度、注入エネルギー：80 KeV 程度を好適なものとして例示することができる。その後、アッシング等により、不要になったレジスト膜 31 を除去する。このように、トレンチ形成前に、N 型ホールバリア領域 24 を導入することは、その深さおよび、その横方向の広がり制御の上で有利である。

【0093】

次に、図 11 に示すように、半導体ウエハ 1 の表面 1a 上のほぼ全面に、P 型フローティング領域導入用レジスト膜 37 を塗布等により形成し、通常のリソグラフィにより、パターンニングする。パターンニングされた P 型フローティング領域導入用レジスト膜 37 をマスクとして、たとえば、イオン注入により、半導体ウエハ 1 の表面 1a（第 1 の主面）側の半導体基板 1s 内に、P 型不純物を導入することにより、P 型フローティング領域 16 を形成する。このときのイオン注入条件としては、たとえば、イオン種：ボロン、ドーズ量： $3.5 \times 10^{13} / \text{cm}^2$ 程度、注入エネルギー：75 KeV 程度を好適なものとして例示することができる。その後、アッシング等により、不要になったレジスト膜 37 を除去する。その後、必要に応じて、活性化アニール等を実施する（たとえば、摂氏 900 度、30 分程度）。なお、P 型フローティング領域 16 の導入の際に、図 2 のセル周辺接合領域 35、フローティングフィールドリング 36 も同時に導入する。このように、トレンチ形成前に、P 型フローティング領域 16 を導入することは、その深さおよび、その横方向の広がり制御の上で有利である。なお、N 型ホールバリア領域 24 および P 型フローティング領域 16 の導入のタイミングは、逆転可能であることはいうまでもない。

【0094】

次に、図 12 に示すように、半導体ウエハ 1 の表面 1a 上のほぼ全面に、たとえば、CVD (Chemical Vapor Deposition) 等により、酸化シリコン系絶縁膜等のトレンチ形成用ハードマスク膜 32（例えば、厚さ 450 nm 程度）を成膜する。

【0095】

次に、図 13 に示すように、半導体ウエハ 1 の表面 1a 上のほぼ全面に、トレンチハードマスク膜加工用レジスト膜 33 を塗布等により形成し、通常のリソグラフィにより、パターンニングする。パターンニングされたトレンチハードマスク膜加工用レジスト膜 33 をマスクとして、たとえば、ドライエッチングにより、トレンチ形成用ハードマスク膜 32 をパターンニングする。その後、アッシング等により、不要になったレジスト膜 33 を除去する。

【0096】

次に、図 14 に示すように、パターンニングされたトレンチ形成用ハードマスク膜 32 を用いて、たとえば、異方性ドライエッチングにより、トレンチ 21 を形成する。この異方性ドライエッチングのガス系としては、たとえば、 Cl_2 / O_2 系ガスを好適なものとして例示することができる。

【0097】

その後、図 15 に示すように、たとえば、弗酸系酸化シリコン膜エッチング液等を用いたウェットエッチングにより、不要になったトレンチ形成用ハードマスク膜 32 を除去する。

【0098】

次に、図 16 に示すように、P 型フローティング領域 16 および N 型ホールバリア領域 24 に対する引き延ばし拡散（たとえば、摂氏 1200 度、30 分程度）を実行する。このように、トレンチ形成後に、P 型フローティング領域 16 および N 型ホールバリア領域 24 に対する引き延ばし拡散を実施することは、その深さおよび、その横方向の広がり制御の上で有利である。

【0099】

続いて、たとえば、熱酸化もしくは CVD、もしくはその両方等により、半導体ウエハ 1 の表面 1a 上およびトレンチ 21 の内面のほぼ全面に、ゲート絶縁膜 22（例えば、厚

さ120nm程度)を形成する。

【0100】

次に、図17に示すように、トレンチ21を埋め込むように、ゲート絶縁膜22上の半導体ウエハ1の表面1a上およびトレンチ21の内面のほぼ全面に、たとえばCVD等により、燐がドーパされたドーフトポリシリコン(Doped Poly-Silicon)膜27を成膜する(例えば、厚さ600nm程度)。次に、たとえば、ドライエッチング等(たとえば、ガス系はSF₆等)により、ポリシリコン膜27をエッチバックすることにより、トレンチ21内にトレンチゲート電極14を形成する。

【0101】

次に、図18に示すように、半導体ウエハ1の表面1a上に通常のリソグラフィにより、P型ボディ領域導入用レジスト膜38を形成する。このP型ボディ領域導入用レジスト膜38をマスクとして、例えば、イオン注入により、セル領域10のほぼ全面およびその他必要な部分に、P型不純物を導入することにより、P型ボディ領域15を形成する。このときのイオン注入条件としては、たとえば、イオン種：ボロン、ドーズ量： $2 \times 10^{13} / \text{cm}^2$ 程度、注入エネルギー：250KeV程度を好適なものとして例示することができる。その後、アッシング等により、不要になったP型ボディ領域導入用レジスト膜38を除去する。その後、P型ボディ領域15に対する引き伸ばし拡散(たとえば、摂氏1000度、100分程度)を実施する。なお、P型フローティング領域16およびN型ホールバリア領域24の引き伸ばし拡散の後に、P型ボディ領域15を導入することは、そのプロファイルの制御等に関して有効である。

【0102】

次に、半導体ウエハ1の表面1a上に通常のリソグラフィにより、N+型エミッタ領域導入用レジスト膜39を形成する。このN+型エミッタ領域導入用レジスト膜39をマスクとして、例えば、イオン注入により、線状アクティブセル領域40aのアクティブセクション40aaにおけるP型ボディ領域15の上部表面のほぼ全面に、N型不純物を導入することにより、N+型エミッタ領域12を形成する。本願の構造の特徴上、トレンチゲート電極14表面はやや深い位置(例えば0.40マイクロメートル程度)まで表面からリセスしているため、対応してN+型エミッタ領域12も比較的深い位置にまで形成する必要がある。このときのイオン注入条件としては、たとえば、イオン種：リン、ドーズ量： $1 \times 10^{14} / \text{cm}^2$ 程度、注入エネルギー：175KeV程度に加えて、イオン種：砒素、ドーズ量： $5 \times 10^{15} / \text{cm}^2$ 程度、注入エネルギー：80KeV程度となる、2段階のイオン注入を好適なものとして例示することができる。その後、アッシング等により、不要になったN+型エミッタ領域導入用レジスト膜39を除去する。

【0103】

次に、図19に示すように、半導体ウエハ1の表面1a上に通常のリソグラフィにより、P+型ボディコンタクト領域等導入用レジスト膜56を形成する。このP+型ボディコンタクト領域等導入用レジスト膜56をマスクとして、例えば、イオン注入により、線状アクティブセル領域40aのインアクティブセクション40aiにおけるP型ボディ領域15の上部表面のほぼ全面に、P型不純物を導入することにより、P+型ボディコンタクト領域25を形成する。このときのイオン注入条件としては、たとえば、イオン種：BF₂、ドーズ量： $5 \times 10^{15} / \text{cm}^2$ 程度、注入エネルギー：80KeV程度を好適なものとして例示することができる。

【0104】

次に、このP+型ボディコンタクト領域等導入用レジスト膜56をマスクとして、例えば、イオン注入により、線状アクティブセル領域40aのインアクティブセクション40aiにおけるP型ボディ領域15の上部表面のほぼ全面に、P型不純物を導入することにより、P+型埋め込みボディコンタクト領域55を形成する。このときのイオン注入条件としては、たとえば、イオン種：ボロン、ドーズ量： $3 \times 10^{15} / \text{cm}^2$ 程度、注入エネルギー：80KeV程度を好適なものとして例示することができる。その後、アッシング等により、不要になったP+型ボディコンタクト領域等導入用レジスト膜56を除去する。

更にその後、N+型エミッタ領域12、P+型ボディコンタクト領域25およびP+型埋め込みボディコンタクト領域55の活性化アニールを実施する（たとえば、摂氏950度、60分程度）。なお、N+型エミッタ領域12、P+型ボディコンタクト領域25およびP+型埋め込みボディコンタクト領域55の導入の順序は、置換可能であることはいうまでもない。N+型エミッタ領域12、P+型ボディコンタクト領域25およびP+型埋め込みボディコンタクト領域55の導入をP型ボディ領域15に対する引き伸ばし拡散の後に実行することは、これらのプロファイルを制御する上で有効である。また、P+型埋め込みボディコンタクト領域55は、必須ではないが、P+型埋め込みボディコンタクト領域55があると、ラッチアップ耐性の向上に有効である。更に、P+型ボディコンタクト領域25およびP+型埋め込みボディコンタクト領域55は、一回のイオン注入で形成することも可能である。しかし、2段階とした方が、濃度分布の制御が簡単であり、ラッチアップ耐性の向上に特に適合している。

10

【0105】

次に、図20に示すように、半導体ウエハ1の表面1a上のほぼ全面に、たとえば、CVD等により、層間絶縁膜26として、たとえば、PSG（Phosphosilicate Glass）膜を成膜する（厚さは、たとえば、600nm程度）。この層間絶縁膜26の材料としては、PSG膜のほか、BPSG（Borophosphosilicate Glass）膜、NSG（Non-doped Silicate Glass）膜、SOG（Spin-On-Glass）膜または、これらの複合膜等を好適なものとして例示することができる。

20

【0106】

次に、図21に示すように、層間絶縁膜26上の半導体ウエハ1の表面1a上に、通常のリソグラフィにより、コンタクト溝形成用レジスト膜を形成する。続いて、たとえば、異方性ドライエッチング等（ガス系は、たとえば、Ar/CHF₃/CF₄等）により、コンタクト溝11（またはコンタクトホール）を形成する。その後、アッシング等により、不要になったレジスト膜を除去する。

【0107】

次に、図22に示すように、スパッタリング等により、たとえば、アルミニウム系電極膜8（メタルエミッタ電極8となる）を形成する。具体的には、たとえば、以下のような手順で実行する。まず、たとえばスパッタリング成膜より、半導体ウエハ1の表面1a上のほぼ全面にバリアメタル膜として、TiW膜を（たとえば、厚さ200nm程度）を形成する（TiW膜中のチタンの多くの部分は、後の熱処理によって、シリコン界面に移動してシリサイドを形成して、コンタクト特性の改善に寄与するが、これらの過程は煩雑であるので図面には表示しない）。

30

【0108】

続いて、たとえば、窒素雰囲気、摂氏650度程度で、30分程度のシリサイドアニールを実行する。続いて、バリアメタル膜上のほぼ全面に、コンタクト溝11を埋め込むように、たとえばスパッタリング成膜より、アルミニウムを主要な成分とする（たとえば、数%シリコン添加、残りはアルミニウム）アルミニウム系メタル膜（たとえば、厚さ5マイクロメートル程度）を形成する。続いて、通常のリソグラフィによって、アルミニウム系メタル膜およびバリアメタル膜からなるメタルエミッタ電極8をパターニングする（ドライエッチングのガス系としては、たとえば、Cl₂/BCl₃等）。更に、ファイナルパッシベーション膜として、たとえば、ポリイミドを主要な成分とする有機膜（たとえば、厚さ2.5マイクロメートル程度）等をウエハ1のデバイス面1aのほぼ全面に塗布し、通常のリソグラフィによって、図5のエミッタパッド9、ゲートパッド6等を開口する。

40

【0109】

次に、ウエハ1の裏面1bに対して、バックグラインディング処理（必要に応じて、裏面のダメージ除去のためのケミカルエッチング等も実施）を施すことによって、たとえば、もともとの800マイクロメートル程度（好適な範囲としては、1000から450マイ

50

クロメータ程度)のウエハ厚を必要に応じて、たとえば200から30マイクロメータ程度に薄膜化する。たとえば、耐圧が1200ボルト程度とすると、最終厚さは、120マイクロメートル程度である。

【0110】

次に、図23に示すように、半導体ウエハ1の裏面1bのほぼ全面に、たとえば、イオン注入により、N型不純物を導入することによって、N型フィールドストップ領域19を形成する。ここで、イオン注入条件としては、たとえば、イオン種：磷、ドーズ量： $7 \times 10^{12} / \text{cm}^2$ 程度、打ち込みエネルギー：350 KeV程度を好適なものとして例示することができる。その後、必要に応じて、不純物活性化のために、ウエハ1の裏面1bに対して、レーザアニール等を実施する。次に、半導体ウエハ1の裏面1bのほぼ全面に、たとえば、イオン注入により、N型不純物を導入することによって、P+型コレクタ領域18を形成する。ここで、イオン注入条件としては、たとえば、イオン種：ボロン、ドーズ量： $1 \times 10^{13} / \text{cm}^2$ 程度、打ち込みエネルギー：40 KeV程度を好適なものとして例示することができる。その後、必要に応じて、不純物活性化のために、ウエハ1の裏面1bに対して、レーザアニール等を実施する。ここで、裏面イオン注入の活性化アニールについては、レーザアニール条件を最適化することで、N型フィールドストップ領域19とN型ドリフト領域20の境界に近接する部分に裏面イオン注入によって発生する結晶欠陥を、意図的に残留させる事が可能である。この残留した結晶欠陥は局所的なライフタイム制御層として機能し、スイッチング性能—オン電圧のトレードオフ特性の改善に寄与する。ここで、アニール条件(レーザ照射条件)としては、たとえば、アニール方法：ウエハ1の裏面1b側からレーザを照射、波長：527 nm、パルス幅：100 ns程度、エネルギー密度： $1.8 \text{ J} / \text{cm}^2$ 程度、照射方式：2パルス方式、両パルスの遅延時間：500 ns程度、パルスの重ね率：66%程度を好適なものとして例示することができる。

【0111】

次に、図24に示すように、たとえば、スパッタリング成膜により、半導体ウエハ1の裏面1bのほぼ全面に、メタルコレクタ電極17を形成する(具体的な詳細については、図25およびその説明を参照)。その後、ダイシング等により、半導体ウエハ1のチップ領域に分割し、必要に応じて、パッケージに封止すると、デバイスが完成する。

【0112】

4. 本願の前記一実施の形態の狭アクティブセルIE型トレンチゲートIGBTの裏面側デバイス構造に関する詳細説明または変形例(アルミニウムドープ構造)の説明(主に図25)

このセクションで説明する例は半導体基板の裏面側構造に関するものであるが、このセクション以外の例は、全て、半導体基板の表面側構造に関するものである。従って、このセクションの例は、このセクション以外の他の全ての例に適用できる。また、そのほかの一般的な表面側構造を有するIGBT等にも適用できることは言うまでもない。

【0113】

このセクションでは、説明の便宜上、セクション2の例に従って、デバイス構造を説明し、プロセスについては、セクション3を参照して、簡単に説明する。

【0114】

なお、以下では、IE型トレンチゲートIGBTについて、具体的に説明するが、この裏面構造は、IE型IGBTやトレンチゲートIGBTに限定されるものではなく、その他の形態のIGBT等にも適用できることは言うまでもない。

【0115】

図25は本願の前記一実施の形態の狭アクティブセルIE型トレンチゲートIGBTの裏面側デバイス構造に関する詳細説明、または変形例(アルミニウムドープ構造)のデバイス構造およびその製法を説明するためのデバイス裏面の局所詳細断面図である。これに基づいて、本願の前記一実施の形態の狭アクティブセルIE型トレンチゲートIGBTの裏面側デバイス構造に関する詳細説明または変形例(アルミニウムドープ構造)を説明す

る。

【0116】

図7の半導体チップ2の裏側およびその近傍の断面拡大図（チップの厚さ方向に裏面近傍の構造を拡大して模式的に示したもの）を図25に示す。図25に示すように、半導体基板2の裏面側のP+型コレクタ領域18の下端部の半導体領域には、比較的薄いP型半導体領域（たとえば厚さ0.04から0.1マイクロメートル程度）、すなわちアルミニウムドープ領域30が設けられており、この不純物濃度（たとえば、 $1 \times 10^{19} / \text{cm}^3$ 程度）は、P+型コレクタ領域18の不純物濃度よりも高い。アルミニウムドープ領域30に接して、半導体基板2の裏面1b上に、メタルコレクタ電極17が形成されており、その一例を示せば、半導体基板2に近い方から以下のような構成となっている。すなわち、アルミニウムドープ領域30の不純物ソースであるアルミニウム裏面メタル膜17a（たとえば、厚さ600nm程度）、チタン裏面メタル膜17b（たとえば、厚さ100nm程度）、ニッケル裏面メタル膜17c（たとえば、厚さ600nm程度）および金裏面メタル膜17d（たとえば、厚さ100nm程度）である。

【0117】

次に、製法を簡単に説明する。セクション3における図24のプロセス、すなわち、スパッタリング成膜の際に、前記のアルミニウム裏面メタル膜17a、チタン裏面メタル膜17b、ニッケル裏面メタル膜17c、および金裏面メタル膜17dを順次、スパッタリング成膜し、この際に発生する熱により、アルミニウムがシリコン基板中に導入され、アルミニウムドープ領域30が形成される。その後、ダイシング等により、半導体ウエハ1のチップ領域に分割すると、図7のようになる（図7には詳細構造は明示していない）。

【0118】

本願の各実施の形態では、オン状態でエミッタ側にホールを蓄積して、電子の注入を促進する構造としている。一方で、裏面コレクタ側のPNダイオードは、逆に低注入効率となるダイオードにして、低スイッチング損失化を図っている。すなわち、トランスペアレントエミッタ（Transparent Emitter）である。ここで、低注入効率の裏面ダイオードを形成するためには、P+型コレクタ領域18のキャリア濃度「 Q_p 」とN型フィールドストップ領域19のキャリア濃度「 Q_n 」の比（以下「キャリア濃度比」という）、すなわち「 (Q_p/Q_n) 」を小さくすることが有効である。しかし、そのために、P+型コレクタ領域18のキャリア濃度「 Q_p 」を下げ過ぎると、裏面メタルコンタクトの特性が劣化する。そこで、この例では、裏面のアルミニウム膜から導入されるP+型コレクタ領域18の不純物濃度よりも高いアルミニウムドープ領域30を設けている。キャリア濃度比としては、たとえば、1.5程度（範囲としては、たとえば、1.1から4程度）をスイッチング性能—オン電圧性能のトレードオフ性能が最適となる得る好適なものとして例示することができる。本願の各実施の形態では、オン状態でエミッタ側にホールを蓄積して電子の注入を促進するための構造としている。このとき、表面側から注入された電子は裏面コレクタ側に到達し、裏面PNダイオードからのホールの注入を促進する。さらに、この注入されたホールは表面に到達して表面側からの電子の注入を促進する。本願の各実施の形態を用いると、このような正帰還現象によって、Nードリフト領域20の伝導度変調が起こりやすくなるため、裏面コレクタ側のPNダイオードをより低注入効率となる仕様にしても、オン電圧の増大が起こりにくいデバイスを実現することが可能となる。スイッチング性能を重視する場合は、「 (Q_p/Q_n) 」を1以下にする場合も想定されるが、その場合においても、本願の表面構造の効果により、オン電圧の急激な増大を抑制できる。

【0119】

5. 本願の前記一実施の形態の狭アクティブセルIE型トレンチゲートIGBTの表面側デバイス構造に関する変形例1（N+型表面フローティング領域&P+型表面フローティング領域付加構造）の説明（主に図26から図28）

このセクションで説明する例は、たとえば図6の平面レイアウトの変形例である。

【0120】

図 26 は本願の前記一実施の形態の狭アクティブセル I E 型トレンチゲート I G B T の表面側デバイス構造に関する変形例 1 (N + 型表面フローティング領域 & P + 型表面フローティング領域付加構造を説明するための図 6 に対応する拡大上面図である。図 27 は図 26 の F - F ' 断面に対応するデバイス断面図である。図 28 は図 26 の G - G ' 断面に対応するデバイス断面図である。これらに基づいて、本願の前記一実施の形態の狭アクティブセル I E 型トレンチゲート I G B T の表面側デバイス構造に関する変形例 1 (N + 型表面フローティング領域 & P + 型表面フローティング領域付加構造) を説明する。

【 0 1 2 1 】

図 26 に示すように、図 6 と異なり、線状アクティブセル領域 40 a のみではなく、アクティブセクション 40 a a に対応する線状インアクティブセル領域 40 i の部分にも N + 型エミッタ領域 12 に対応する N + 型表面フローティング領域 12 i (第 1 導電型表面フローティング領域) が設けられている。すなわち、この N + 型表面フローティング領域 12 i は、たとえば N + 型エミッタ領域 12 と同一のプロセスで同時に作られる。これにより、線状インアクティブセル領域 40 i は、その長さ方向に、N + 型表面フローティング領域 12 i が作られた第 1 導電型フローティング領域形成セクションと N + 型表面フローティング領域 12 i が作られない第 1 導電型フローティング領域非形成セクションに区別されることとなる。

【 0 1 2 2 】

I G B T 内の M O S F E T 部分から注入された電子の一部は、トレンチ側壁の N 型層部分にできる蓄積層および P 型側壁部分にできる反転層を経由して、この N + 型表面フローティング領域 12 i にも到達し、P 型フローティング領域 16 に注入される。この状態で、I G B T がオフすると、この電子は、P 型フローティング領域 16 に残留したホールと再結合して消滅する。これにより、オフ時のスイッチング損失を低減することができる。

【 0 1 2 3 】

また、同様に、図 6 と異なり、線状アクティブセル領域 40 a のみではなく、アクティブセクション 40 a a に対応する線状インアクティブセル領域 40 i の部分にも、P + 型ボディコンタクト領域 12 および P + 型埋め込みボディコンタクト領域 55 に対応する領域が設けられている。すなわち、P + 型表面フローティング領域 25 i (第 2 導電型表面フローティング領域) および P + 型埋め込みフローティング領域 55 i である。

【 0 1 2 4 】

従って、図 26 の F - F ' 断面は、図 27 に示すように、線状インアクティブセル領域 40 i の内、アクティブセクション 40 a a の半導体基板の表面 1 a に、N + 型表面フローティング領域 12 i が設けられている以外、図 7 とほぼ同一である。

【 0 1 2 5 】

一方、図 26 の G - G ' 断面は、図 28 に示すように、線状インアクティブセル領域 40 i の P 型ボディ領域 15 の表面領域にも、P + 型ボディコンタクト領域 12 および P + 型埋め込みボディコンタクト領域 55 に対応する P + 型表面フローティング領域 25 i (第 2 導電型表面フローティング領域) および P + 型埋め込みフローティング領域 55 i が設けられている以外、図 8 と同一である。

【 0 1 2 6 】

このような構造とすることは、N + 型エミッタ領域導入用レジスト膜 39 および P + 型ボディコンタクト領域等導入用レジスト膜 56 を、トレンチ 21 を横断する比較的単純な構造とすることができるメリットがある。すなわち、これらのレジスト膜パターンの端部をトレンチに沿って延在させる必要がなくなる点で、プロセス余裕を増加させるメリットがある。さらに、この場合についても、線状インアクティブセル領域 40 i を完全に横断する事に限定するものではなく、N + 型エミッタ領域導入用レジスト膜 39 および P + 型ボディコンタクト領域等導入用レジストのレジスト膜パターンの端部を、線状インアクティブセル領域 40 i 内部で形成しても良い。

【 0 1 2 7 】

6. 本願の前記一実施の形態の狭アクティブセル I E 型トレンチゲート I G B T の表

10

20

30

40

50

面側デバイス構造に関する変形例 2（単純化アクティブセル構造）の説明（主に図 29）

このセクションで説明する単位セル構造は、図 7 における単位セル構造において、P 型フローティング領域 16 および N 型ホールバリア領域 24 を省略したものである。

【0128】

図 29 は本願の前記一実施の形態の狭アクティブセル I E 型トレンチゲート IGBT の表面側デバイス構造に関する変形例 2（単純化アクティブセル構造）を説明するための図 7 に対応する図 6 の C-C' 断面に対応するデバイス断面図である。これに基づいて、本願の前記一実施の形態の狭アクティブセル I E 型トレンチゲート IGBT の表面側デバイス構造に関する変形例 2（単純化アクティブセル構造）を説明する。

【0129】

図 27 に示すように、この例では、図 7 における単位セル構造において、P 型フローティング領域 16 および N 型ホールバリア領域 24 を省略した構造となっている。従って、線状アクティブセル領域 40a の N-型ドリフト領域 20 部分のホール濃度は、図 7 の構造と比較すると、低下する傾向にある。たとえば、線状アクティブセル領域 40a が十分に狭い場合、トレンチ 21 の深さが十分に深い場合、図 29 の構造を採用する事が有効となる。すなわち、デバイス構造および不純物ドーピング工程の単純化が可能である。また、低オン電圧を重視する用途ではなく、スイッチング性能をより高速化したい用途の場合に有利な構造になる。

【0130】

7. 本願の前記一実施の形態の狭アクティブセル I E 型トレンチゲート IGBT の表面側デバイス構造に関する変形例 3（ホールコレクタセル付加構造）の説明（主に図 30 から図 35）

このセクションで説明する例は、セクション 1 で説明した基本的なデバイス構造（主に図 2）に対する変形例である。従って、その他の図、たとえば、図 1、図 3 から図 29 等は、対応する変更を加えて又は、現在のまま、この例にも当てはまる。

【0131】

図 30 は本願の前記一実施の形態の狭アクティブセル I E 型トレンチゲート IGBT の表面側デバイス構造に関する変形例 3（ホールコレクタセル付加構造）を説明するための図 2 に対応する図 1 のセル領域端部切り出し領域 R1 の A-A' 断面のデバイス模式断面図である。図 31 は本願の前記一実施の形態の狭アクティブセル I E 型トレンチゲート IGBT の表面側デバイス構造に関する変形例 3（ホールコレクタセル付加構造）を説明するための図 1 の線状単位セル領域およびその周辺 R5 の拡大上面図である。図 32 は本願の前記一実施の形態の狭アクティブセル I E 型トレンチゲート IGBT の表面側デバイス構造に関する変形例 3（ホールコレクタセル付加構造）を説明するための図 6 に対応する拡大上面図である。図 33 は図 32 の H-H' 断面に対応するデバイス断面図である。図 34 は図 32 の J-J' 断面に対応するデバイス断面図である。図 35 は図 32 の K-K' 断面に対応するデバイス断面図である。これらに基づいて、本願の前記一実施の形態の狭アクティブセル I E 型トレンチゲート IGBT の表面側デバイス構造に関する変形例 3（ホールコレクタセル付加構造）を説明する。

【0132】

（1）狭アクティブセル型単位セルおよび交互配列方式の説明（主に図 30）：

次に、図 1 のセル領域端部切り出し領域 R1 の X-X' 断面を図 30 に示す。図 30 に示すように、チップ 2 の裏面 1b（半導体基板の裏側主面または第 2 の主面）の半導体領域（この例では、シリコン単結晶領域）には、P+型コレクタ領域 18 が設けられており、その表面にはメタルコレクタ電極 17 が設けられている。半導体基板 2 の主要部を構成する N-型ドリフト領域 20（第 1 導電型のドリフト領域）と P+型コレクタ領域 18 との間には、N 型フィールドストップ領域 19 が設けられている。

【0133】

一方、N-型ドリフト領域 20 の表面側 1a（半導体基板の表側主面または第 1 の主面）の半導体領域には、多数のトレンチ 21 が設けられており、その中には、ゲート絶縁膜

10

20

30

40

50

22を介して、トレンチゲート電極14が埋め込まれている。これらのトレンチゲート電極14は、その機能に従って、メタルゲート電極5（具体的には、メタルゲート配線7）またはエミッタ電極8に接続されている。

【0134】

また、これらのトレンチ21は、各領域を区画する働きをしており、たとえば、ダミーセル領域34は、一対のトレンチ21によって両側から区画されており、その内の一つのトレンチ21によって、セル形成領域10とセル周辺接合領域35が区画されている。このセル周辺接合領域35は、P+型ボディコンタクト領域25pを介して、メタルエミッタ電極8と接続されている。なお、本願に於いては、特に断らない限り、トレンチのどの部分のゲート絶縁膜22の厚さもほぼ同じとしている（しかし、必要により、ある部分の厚さを他の部分と比較して、異ならせることを排除するものではない）。このように、セル周辺接合領域35およびダミーセル領域34に於いて、エミッタコンタクトを取ることで、ダミーセル領域34等の幅がプロセス的に変化した場合に於いても、耐圧の低下を防止することができる。

【0135】

セル周辺接合領域35の外側のN-型ドリフト領域20の表面側1aの半導体領域には、P型のフローティングフィールドリング36が設けられており、この表面1a上には、フィールドプレート4が設けられ、P+型ボディコンタクト領域25rを介して、フローティングフィールドリング36に接続されている。

【0136】

次に、セル形成領域10を更に説明する。ダミーセル領域34は、N+型エミッタ領域12を有さない以外は、構造およびサイズとも、基本的に線状アクティブセル領域40aと同じであり、P型ボディ領域15の表面に設けられたP+型ボディコンタクト領域25dは、メタルエミッタ電極8と接続されている。また、ダミーセル領域34は、基本的に、ホールコレクタセル（図30参照）と同一の構造とすることができる。

【0137】

セル形成領域10の内部領域の大部分は、基本的に、線状単位セル領域40を単位格子とする並進対象の繰り返し構造（なお、厳密な意味での対象性を要求するものではない。以下同じ）をしている。単位格子としての線状単位セル領域40は、線状インアクティブセル領域40i、その一方の側の線状アクティブセル領域40a、その他方の側の線状ホールコレクタセル領域40c、および、これらの両側の半幅の線状インアクティブセル領域40iから構成されている。しかし、具体的には、全幅の線状インアクティブセル領域40iの間に、交互に、線状アクティブセル領域40aおよび線状ホールコレクタセル領域40cが配置されていると見ることができる（図31参照）。また、第1線状単位セル領域40fと第2線状単位セル領域40sが交互に配列されていると見こともできる。

【0138】

線状アクティブセル領域40aの半導体基板の表側主面1a（第1の主面）側半導体表面領域には、P型ボディ領域15（第2導電型のボディ領域）が設けられており、その表面には、N+型エミッタ領域12（第1導電型のエミッタ領域）およびP+型ボディコンタクト領域25が設けられている。このN+型エミッタ領域12およびP+型ボディコンタクト領域25は、メタルエミッタ電極8と接続されている。線状アクティブセル領域40aにおいては、このP型ボディ領域15の下部のN-型ドリフト領域20に、N型ホールバリア領域24が設けられている。なお、線状アクティブセル領域40aの両側のトレンチゲート電極14は、メタルゲート電極5に電氣的に接続されている。

【0139】

これに対して、線状ホールコレクタセル領域40cの構造は、この例では、N+型エミッタ領域12がない点と、両側のトレンチゲート電極14がエミッタ電極8に接続されている点異なるのみで、その他の点は、寸法等を含めて、線状アクティブセル領域40aと同じである。

【0140】

一方、線状インアクティブセル領域 40 i の半導体基板の表側主面 1 a (第 1 の主面) 側半導体表面領域には、同様に、P 型ボディ領域 15 が設けられており、その下部の N 型ドリフト領域 20 には、両側のトレンチ 21 の下端部をカバーし、それよりも深い P 型フローティング領域 16 (第 2 導電型フローティング領域) が設けられている。このような P 型フローティング領域 16 を設けることによって、耐圧の急激な低下を招くことなく、線状インアクティブセル領域の幅 W_i を広くすることができる。例えば、ゲート容量やオン電圧などの特性最適化のために、レイアウトを調整したとしても耐圧低下の懸念がなく、設計自由度を確保できる。また、例えば、最適化等のために N 型ホールバリア領域 24 の濃度を高めても、同様に耐圧への影響はない。これによって、ホール蓄積効果を有効に増強することが可能となる。なお、I E 型トレンチゲート I G B T においては、エミッタ電極 8 から P 型フローティング領域 16 へのコンタクトは形成されていない。これは、P 型フローティング領域 16 からエミッタ電極 8 への直接的なホール排出経路を遮断することによって、線状アクティブセル領域 40 a の下部の N 型ドリフト領域 20 (N ベース領域) のホール濃度を増加させているのである。その結果、I G B T 内の M O S F E T から N ベース領域へ注入される電子濃度を向上させることによって、オン抵抗を下げようとするものである。

【0141】

この例では、線状アクティブセル領域 40 a の幅 W_a および線状ホールコレクタセル領域 40 c の幅 W_c は、線状インアクティブセル領域 40 i の幅 W_i よりも狭くされており、本願では、これを「狭アクティブセル型単位セル」と呼ぶ。以下では、主に、この狭アクティブセル型単位セルを有するデバイスについて、具体的に説明するが、ここで説明する例は、それに限定されるものではなく、「非狭アクティブセル型単位セル」を有するデバイスにも適用できることは言うまでもない。

【0142】

図 30 の例では、線状アクティブセル領域 40 a (または線状ホールコレクタセル領域 40 c) と線状インアクティブセル領域 40 i を交互に配列して、線状単位セル領域 40 を構成しているが、この構成を、本願においては、「交互配列方式」と呼ぶ。以下では、特に断らない限り、交互配列方式を前提に説明するが、「非交互配列方式」でもよいことは言うまでもない。

【0143】

図 30 では、本願の図 31 から図 35 の実施の形態のアウトライン (主要部および周辺部) を説明したが、以下の説明では、これらをセル部 (断面、平面構造)、セル周辺部等の構成要素に分けて説明するが、これらは、各種の変形例に対しても、そのアウトラインを与えることは言うまでもない。

【0144】

(2) アクティブセル 2 次元間引き構造の説明 (主に図 31) :

図 1 の線状単位セル領域主要部およびその周辺切り出し領域 R 5 の詳細平面構造の一例を図 31 に示す。図 31 に示すように、線状アクティブセル領域 40 a の長さ方向に、たとえば、一定間隔で一定の長さのアクティブセクション 40 a a が設けられており、その間が、N+型エミッタ領域 12 が設けられていないインアクティブセクション 40 a i となっている。すなわち、線状アクティブセル領域 40 a の長さ方向の一部分が局所分散的にアクティブセクション 40 a a となっている。更に説明すると、線状アクティブセル領域 40 a のアクティブセクション 40 a a においては、ほぼ全域に、N+型エミッタ領域 12 が設けられており、線状アクティブセル領域 40 a のインアクティブセクション 40 a i においては、ほぼ全域に、P+型ボディコンタクト領域 25 および P+型埋め込みボディコンタクト領域 55 が設けられている。一方、線状ホールコレクタセル領域 40 c においては、ほぼ全域に、P+型ボディコンタクト領域 25 および P+型埋め込みボディコンタクト領域 55 が設けられており、N+型エミッタ領域 12 は設けられていない。線状インアクティブセル領域 40 i に於いては、他と同様に、ほぼ全領域に、P 型ボディ領域 15 および P 型フローティング領域 16 (第 2 導電型フローティング領域) が設けられて

いる。

【0145】

なお、ここで、一定間隔で一定の長さで分布していることは、周期的であることを意味するが、実質的に周期的であることは、局所分散的分布に対応するが、局所分散的であることは、それよりも広く、必ずしも周期的又は準周期的であることを意味しない。

【0146】

(3) アクティブセルを一つ置きにホールコレクタセルに置き換えたレイアウトおよびデバイス構造の詳細説明(主に図32から図35)：

線状アクティブセル領域40aおよび線状インアクティブセル領域40iの構造は、図4および図6から図9に示したものと同一であり、以下では、線状ホールコレクタセル領域40cについてのみ説明する。

【0147】

図32に示すように、線状ホールコレクタセル領域40cの両側のトレンチ埋め込み電極14cは、エミッタ電位に接続される必要がある。この例では、2本(両側のトレンチ埋め込み電極14c)をたとえば、同層のポリシリコン膜による埋め込み電極連結部28(連結部トレンチ21c内のトレンチ内電極14iを含む)で相互に連結し、その埋め込み電極連結部28上にエミッタ電極-埋め込み電極間コンタクト部11c(コンタクトホール)を設けて、これを介して、メタルエミッタ電極8と接続している。そして、線状ホールコレクタセル領域40cの特徴は、線状アクティブセル領域40aと類似しているが、N+型エミッタ領域12が設けられておらず、埋め込み電極連結部28の下部を除き、そのほぼ全域に、P+型ボディコンタクト領域25およびP+型埋め込みボディコンタクト領域55が設けられている点が異なっている。

【0148】

次に、図32のH-H'断面を図33に示す。図33に示すように、図7の断面(線状アクティブセル領域40a)に類似しているが、線状ホールコレクタセル領域40cのこの断面においては、上方に埋め込み電極連結部28(ポリシリコン連結部)がある関係で、N+型エミッタ領域12およびP型ボディ領域15が導入されていない。これは、図17の工程に於いて、線状ホールコレクタセル領域40c上のポリシリコン膜27が残される結果、図18の工程に於いて、埋め込み電極連結部28の下方には、不純物が導入されないからである。このことは、図34についても同じである。ここで、埋め込み電極連結部28の下方は、フローティング状態となっているが、もしP型拡散層が全く存在しない場合には、オフ状態で電界強度がトレンチ下端に集中して耐圧が低下する。そのため、埋め込み電極連結部28の下方には、P型フローティング領域16を導入する事が望ましい。P型フローティング領域16は、埋め込み電極形成するより前の工程でイオン注入しているため、埋め込み電極連結部28の下方に配置する事が可能である。これにより、線状インアクティブセル領域40iをどのような寸法に設定したとしても、耐圧を確保する事ができ、製品要求に応じて自由度のある設計が可能となる。

【0149】

次に、図32のJ-J'断面を図34に示す。図34に示すように、基本的に図9に類似しているが、線状ホールコレクタセル領域40cと線状インアクティブセル領域40iの間に、連結部トレンチ21cおよびトレンチ埋め込み連結部14iがある点で異なっている。また、先と同様の理由により、線状ホールコレクタセル領域40cにN+型エミッタ領域12、P+型ボディコンタクト領域25およびP+型埋め込みボディコンタクト領域55がない点でも異なっている。また、連結部トレンチ21cによって、効率良くP型フローティング領域16と、メタルエミッタ電極8と接続されているP+型ボディコンタクト領域25およびP+型埋め込みボディコンタクト領域55とが分離されている。

【0150】

次に、図32のK-K'断面を図35に示す。図35に示すように、トレンチゲート電極14がエミッタ電位に接続されたトレンチ埋め込み電極14cである点を除いて図8と全く同一である。

【0151】

表面デバイス構造のホール蓄積効果の程度は、幾何学的な形状およびN型ホールバリア領域24に依存する。つまり、線状アクティブセル領域40aと線状ホールコレクタセル領域40cは、ホールにとっては有意差がないといえる。つまりホール蓄積効果は同等であり、対応してIE効果も同等となる。このように、複数の線状アクティブセル領域40aの一部を線状ホールコレクタセル領域40cに置き換えることにより、ホール蓄積効果は同じ状態で、ゲート容量として機能するトレンチを減らす事ができる。つまり、IE効果を高めるために極限までセルシュリンクしても、ゲート容量が増大してしまう事を防ぐ事ができる。

【0152】

また、線状アクティブセル領域40aの一部を線状ホールコレクタセル領域40cに置き換えた場合、そのままの状態では、単位面積当たりのN+型エミッタ領域12の絶対量が低下し飽和電流の値が小さくなる。しかし、線状アクティブセル領域40a内のインアクティブセクション40aiの長さを短くし、アクティブセクション40aaの占める割合を増加させ最適化すれば、インバータ用途のIGBTとして必要な飽和電流の値は維持する事ができる。本願の主要な実施の形態では、基本的に線状レイアウトを採用しており、N+型エミッタ領域12の最適設計が容易である。また、従来技術を用いたIGBTに対して、大幅なセルシュリンクを実現しているために、線状ホールコレクタセル領域40cを配置したとしても、線状アクティブセル領域40a内のレイアウトの最適化によって、チップ全体として必要な飽和電流を確保する事ができる。

【0153】

8. 前記実施の形態（変形例を含む）に関する補足的説明並びに全般についての考察（主に図36）

図36は本願の前記一実施の形態のデバイス構造のアウトラインを説明するための図1の線状単位セル領域およびその周辺R5の拡大上面図である。これに基づいて、前記実施の形態（変形例を含む）に関する補足的説明並びに全般についての考察を行う。

【0154】

IE型IGBTにおいて、IE効果を高めようとする、トレンチ間の間隔をできるだけ短くする必要がある。しかし、ボディコンタクト用基板溝（または、基板コンタクト溝）がある構造では、基板コンタクト溝の幅を確保する必要がある、シュリンクは困難である。一方、トレンチ自体の幅は、小さくしても、IE効果の向上にはつながらない。むしろ、ゲート絶縁膜等の厚さを確保するためには、トレンチ自体の幅は、小さくしない方がよい。

【0155】

そこで、前記各実施の形態（変形例を含む）においては、図36に示すように、2次元間引き構造に於いて、線状アクティブセル領域40aのアクティブセクション40aaのほぼ全面に、N+型エミッタ領域12を敷き詰め、P+型ボディコンタクト領域25のない構造とした。

【0156】

ここで、ラッチアップ耐性を確保する観点から、アクティブセクション40aaの幅は、できるだけ小さい方がよい（たとえば、0.5マイクロメートル以下程度）。なお、アクティブセクション40aaの全体としての面積を増加させたいときは、個々のアクティブセクション40aaの幅は、そのまま、そのピッチを小さくする（数を増加させる）のが好適である。単に、個々のアクティブセクション40aaの幅を増加させすぎると、ラッチアップ耐性が低下するほか、負荷短絡耐量（Short-Circuit Safe Operating Area）も低下する。

【0157】

9. サマリ

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であ

10

20

30

40

50

ることは言うまでもない。

【0158】

例えば、前記各実施の形態では、ゲートポリシリコン部材として、ドーブトポリシリコン (Doped Polysilicon) 等を用いた例を具体的に説明したが、本願発明はそれに限定されるものではなく、ノンドーブポリシリコン (Non-doped Polysilicon) 膜を適用して、成膜後にイオン注入等により、必要な不純物を添加するようにしてもよい。

【0159】

更に、前記実施の形態では、非エピタキシャルウエハを使用して、バックグラインディング後に、裏面から高濃度不純物層を形成する例を説明したが、本願の発明はそれに限定されるものではなく、エピタキシャルウエハを使用して製造するものにも適用できることは言うまでもない。

【符号の説明】

【0160】

- 1 半導体ウエハ
- 1 a ウエハ又はチップの表面 (第1の主面)
- 1 b ウエハ又はチップの裏面 (第2の主面)
- 1 s N-型単結晶シリコン基板
- 2 半導体チップ (半導体基板)
- 3 ガードリング
- 4 フィールドプレート
- 5 メタルゲート電極
- 6 ゲートパッド
- 7 メタルゲート配線
- 8 メタルエミッタ電極
- 9 メタルエミッタパッド
- 10 IGBTセル領域 (または、セル領域)
- 11 コンタクト溝 (またはコンタクトホール)
- 11 c エミッタ電極-埋め込み電極間コンタクト部
- 12 N+型エミッタ領域
- 12 i N+型表面フローティング領域 (第1導電型表面フローティング領域)
- 14 トレンチゲート電極 (主トレンチゲート電極)
- 14 c エミッタ電位に接続されたトレンチ埋め込み電極
- 14 i トレンチ埋め込み連結部
- 15 P型ボディ領域
- 16 P型フローティング領域 (第2導電型フローティング領域)
- 17 メタルコレクタ電極
- 17 a アルミニウム裏面メタル膜
- 17 b チタン裏面メタル膜
- 17 c ニッケル裏面メタル膜
- 17 d 金裏面メタル膜
- 18 P+型コレクタ領域
- 19 N型フィールドストップ領域
- 20 N-型ドリフト領域
- 21 トレンチ
- 21 c 連結部トレンチ
- 22 ゲート絶縁膜
- 24 N型ホールバリア領域
- 25 P+型ボディコンタクト領域
- 25 d ダミーセルのP+型ボディコンタクト領域

10

20

30

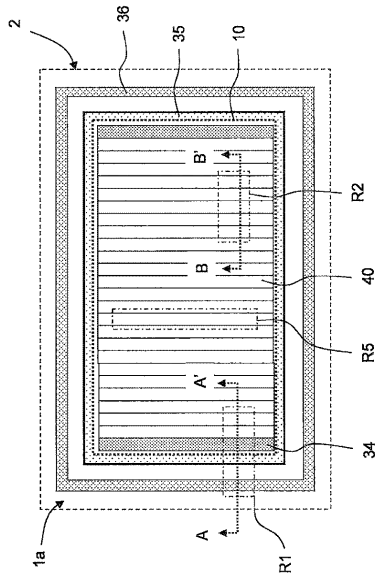
40

50

2 5 i	P + 型表面フローティング領域 (第 2 導電型表面フローティング領域)	
2 5 p	セル周辺接合領域の P + 型ボディコンタクト領域	
2 5 r	フローティングフィールドリングの P + 型ボディコンタクト領域	
2 6	層間絶縁膜	
2 7	ポリシリコン膜	
2 8	埋め込み電極連結部	
3 0	アルミニウムドープ領域	
3 1	N 型ホールバリア領域導入用レジスト膜	
3 2	トレンチハードマスク膜	
3 3	トレンチハードマスク膜加工用レジスト膜	10
3 4	ダミーセル領域 (線状ダミーセル領域)	
3 5	セル周辺接合領域 (第 2 導電型セル周辺接合領域)	
3 6	フローティングフィールドリング (フィールドリミッティングリング)	
3 7	P 型フローティング領域導入用レジスト膜	
3 8	P 型ボディ領域導入用レジスト膜	
3 9	N + 型エミッタ領域導入用レジスト膜	
4 0	線状単位セル領域	
4 0 a	線状アクティブセル領域	
4 0 a a	アクティブセクション	
4 0 a i	インアクティブセクション	20
4 0 c	線状ホールコレクタセル領域	
4 0 f	第 1 線状単位セル領域	
4 0 i	線状インアクティブセル領域	
4 0 i s	線状インアクティブサブセル領域	
4 0 s	第 2 線状単位セル領域	
5 5	P + 型埋め込みボディコンタクト領域	
5 5 i	P + 型埋め込みフローティング領域	
5 6	P + 型ボディコンタクト領域等導入用レジスト膜	
R 1	セル領域端部切り出し領域	
R 2, R 3	セル領域内部切り出し領域	30
R 5	線状単位セル領域主要部およびその周辺切り出し領域	
W a	線状アクティブセル領域の幅	
W c	線状ホールコレクタセル領域の幅	
W f	第 1 線状単位セル領域の幅	
W i	線状インアクティブセル領域の幅	
W i s	線状インアクティブサブセル領域の幅	

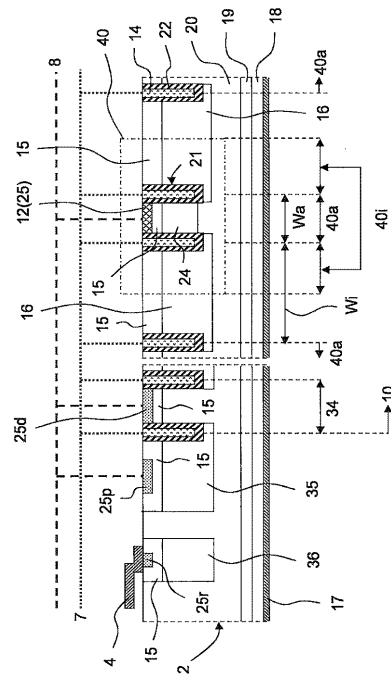
【図 1】

図1



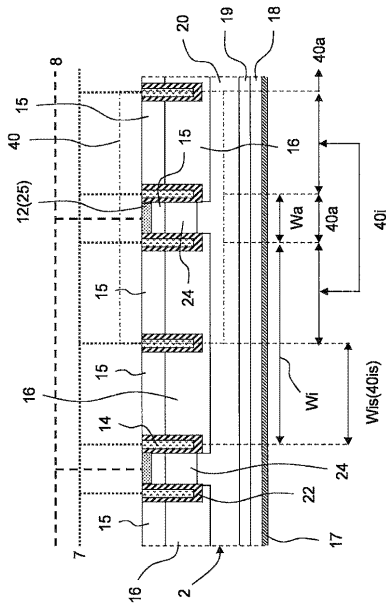
【図 2】

図2



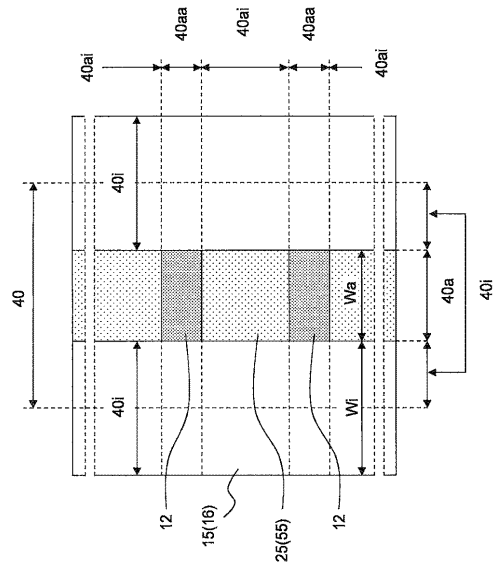
【図 3】

図3



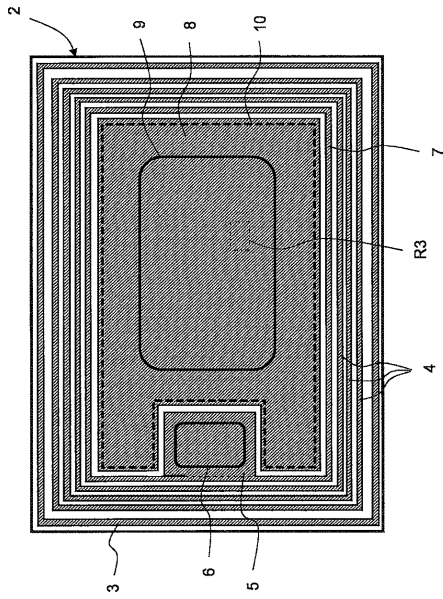
【図 4】

図4



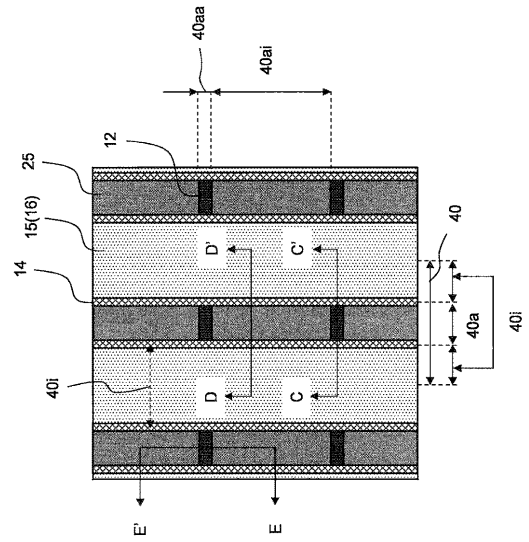
【図 5】

図5



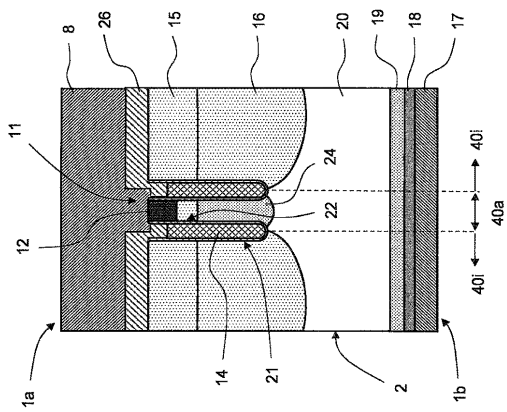
【図 6】

図6



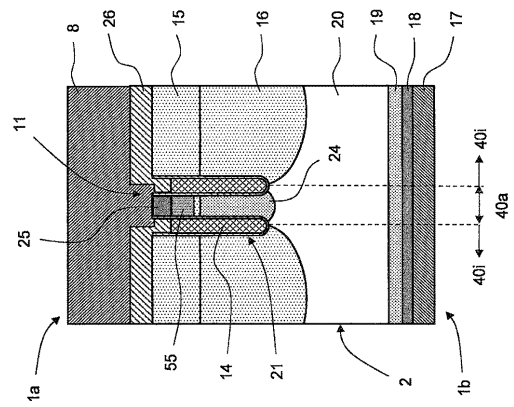
【図 7】

図7



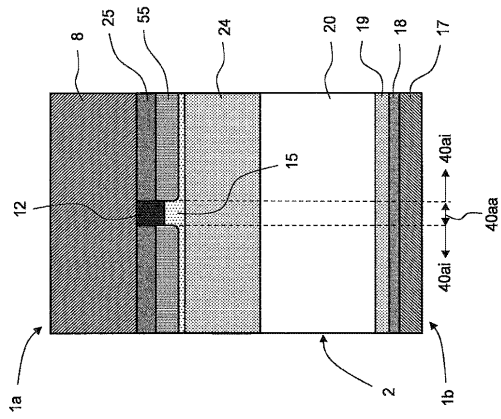
【図 8】

図8



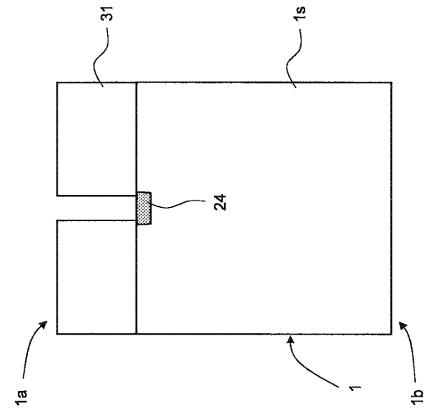
【図 9】

図9



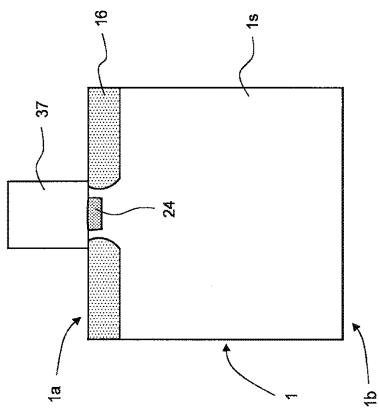
【図 10】

図10



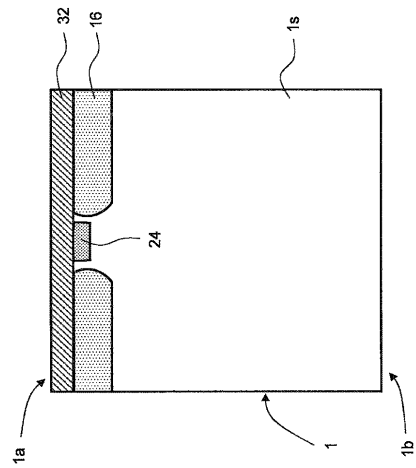
【図 11】

図11



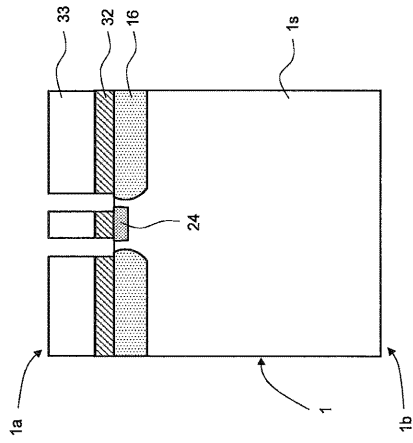
【図 12】

図12



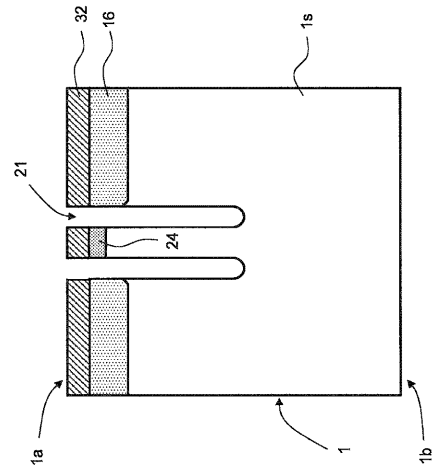
【図 1 3】

図13



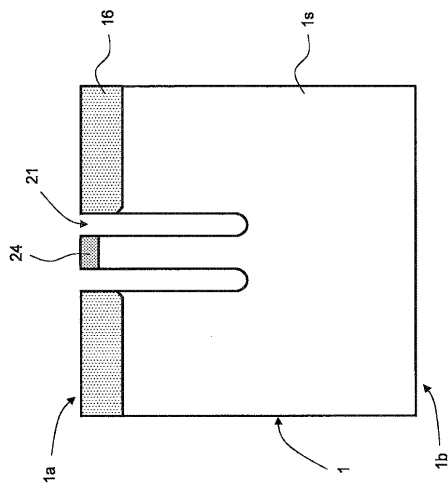
【図 1 4】

図14



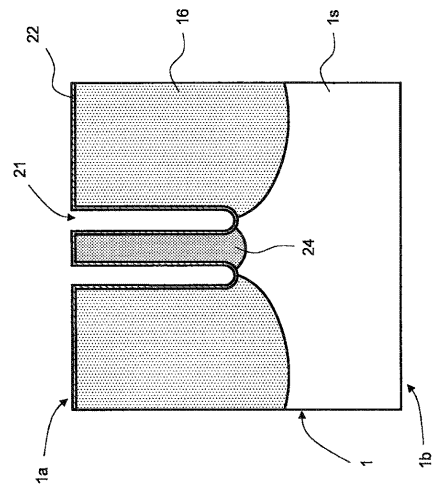
【図 1 5】

図15



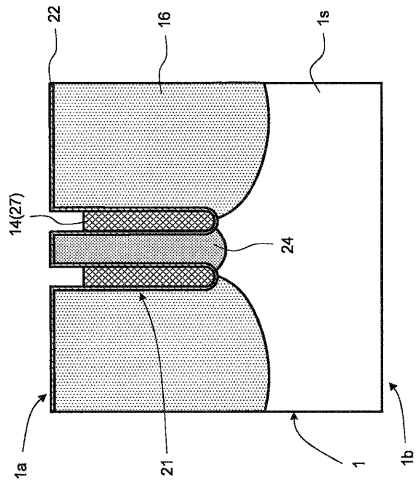
【図 1 6】

図16



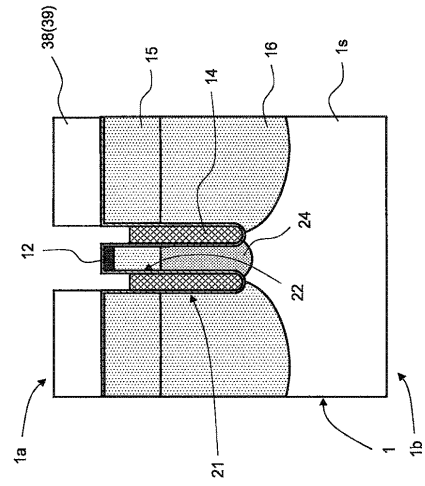
【図 17】

図17



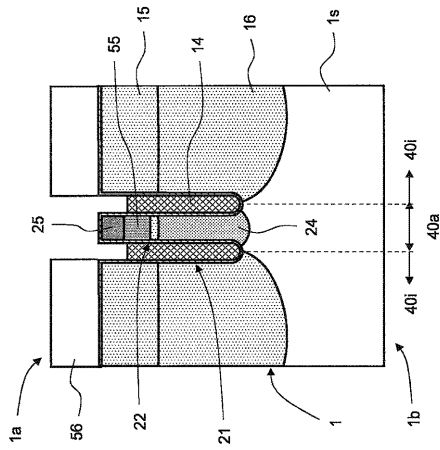
【図 18】

図18



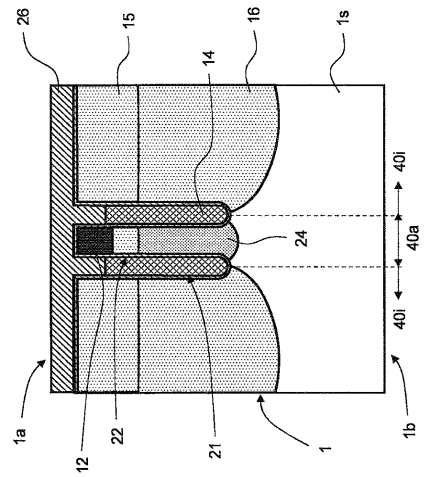
【図 19】

図19



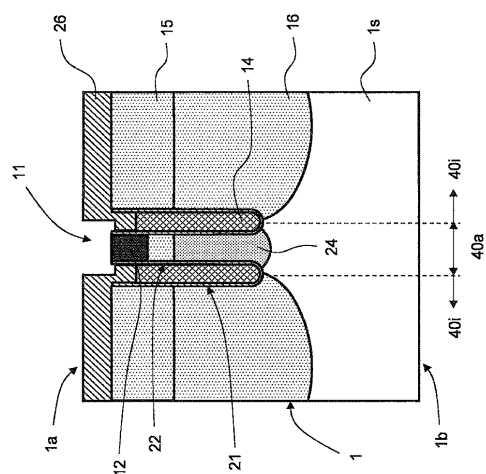
【図 20】

図20



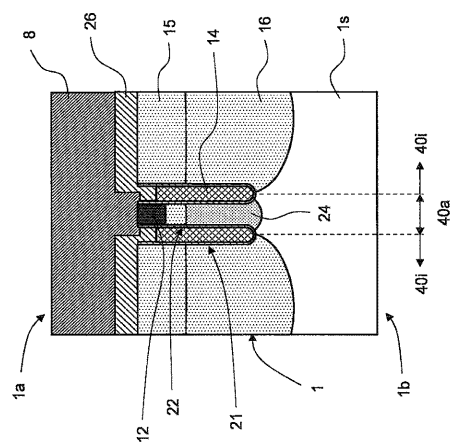
【図 2 1】

图 21



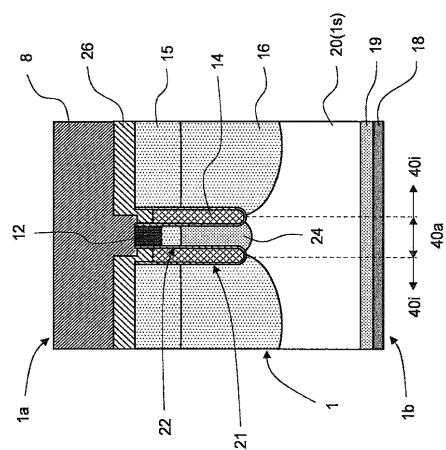
【図 2 2】

22图



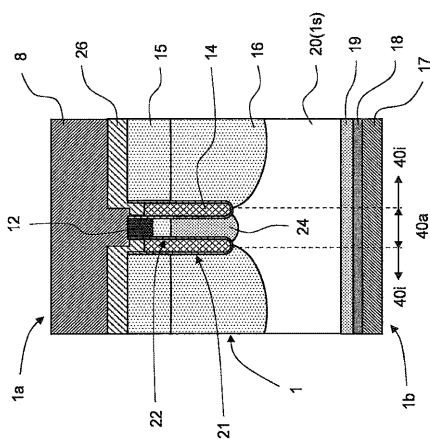
【图 2 3】

图23



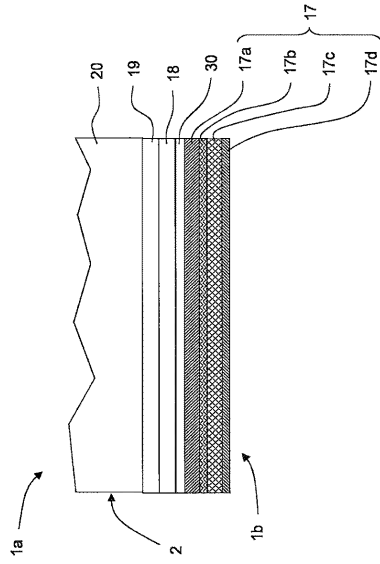
【図 24】

图 24



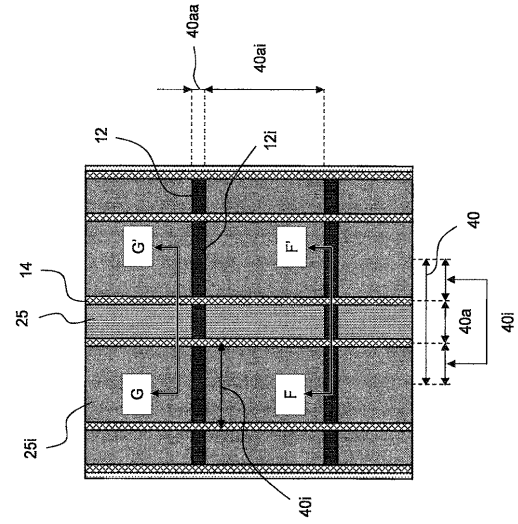
【図 25】

図25



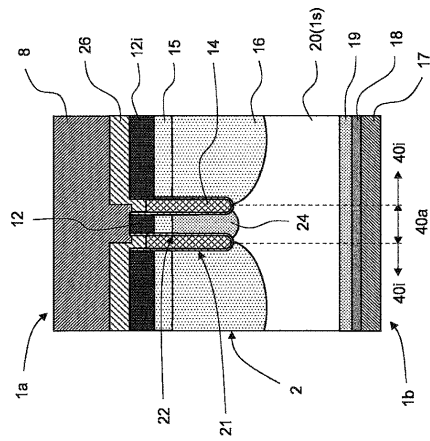
【図 26】

図26



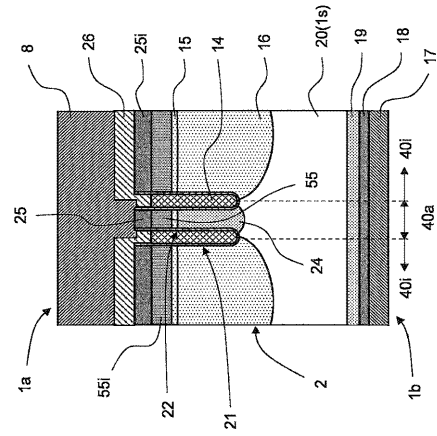
【図 27】

図27

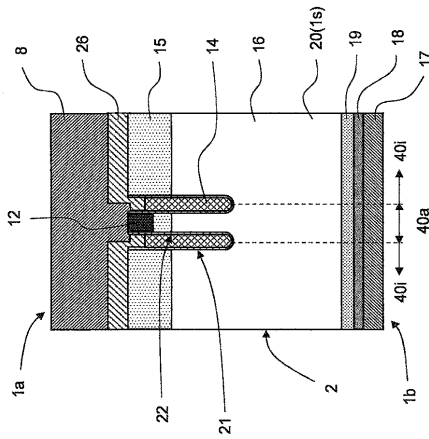


【図 28】

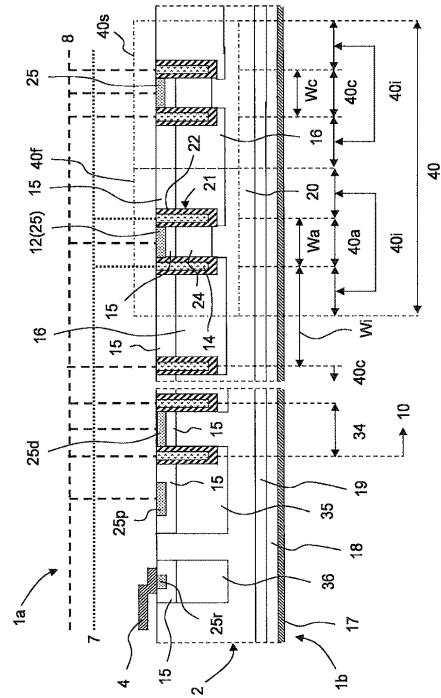
図28



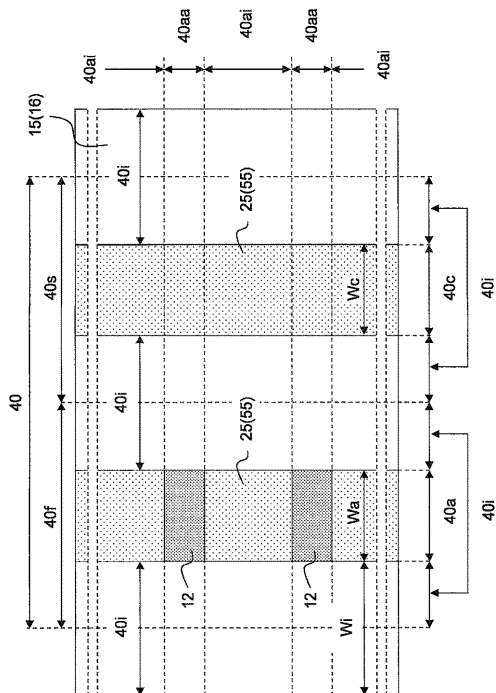
【 図 2 9 】



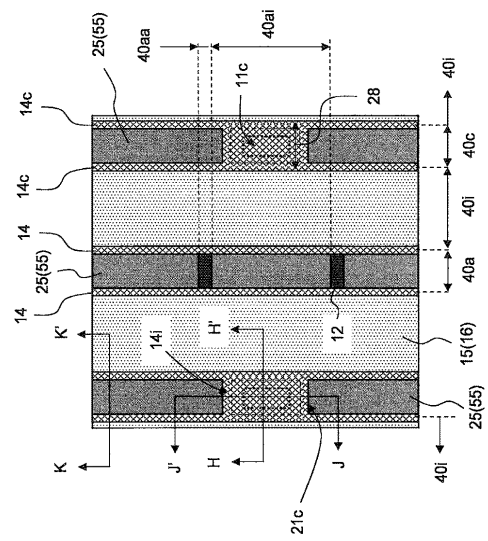
【 図 3 0 】



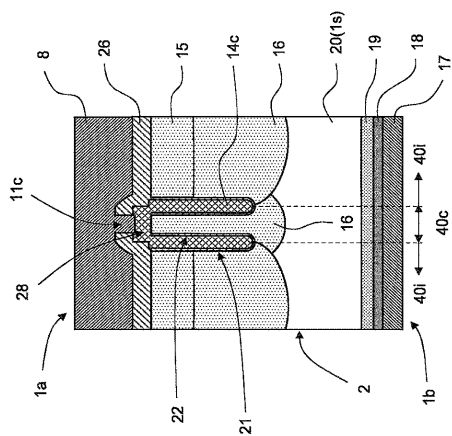
【図 3 1】



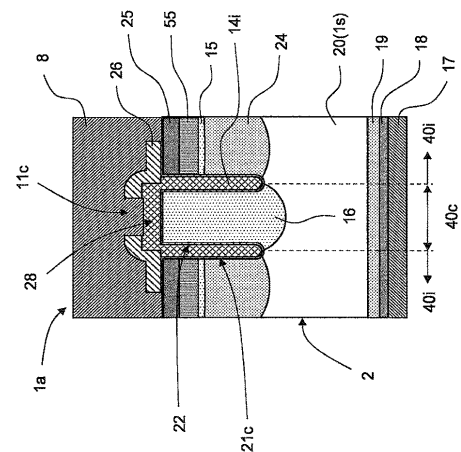
【 図 3 2 】



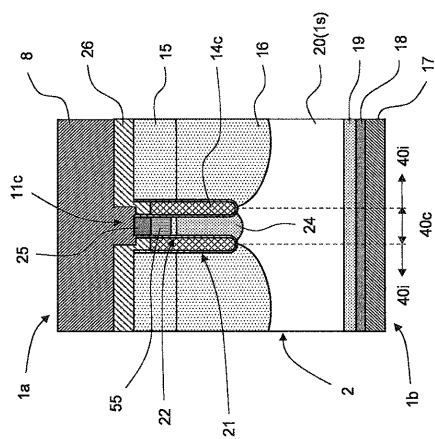
【图 3 3】



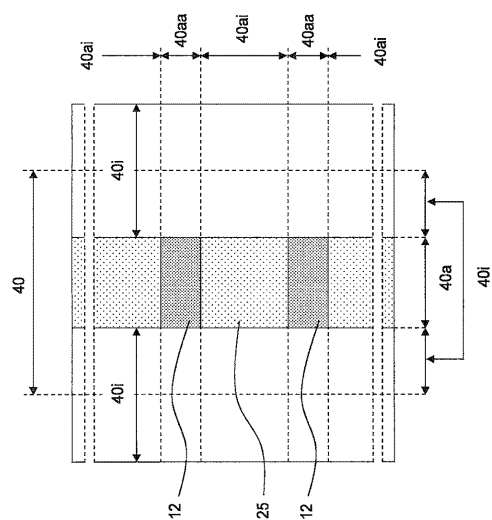
【図 3 4】



【図 3 5】



【図 3 6】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H 0 1 L	29/78	6 5 5 G
H 0 1 L	29/78	6 5 2 F
H 0 1 L	29/78	6 5 8 B
H 0 1 L	29/78	6 5 8 H
H 0 1 L	29/78	6 5 8 A
H 0 1 L	29/78	6 5 2 L
H 0 1 L	29/78	6 5 5 C
H 0 1 L	29/78	6 5 2 D
H 0 1 L	29/78	6 5 5 F
H 0 1 L	29/78	6 5 8 G
H 0 1 L	29/06	3 0 1 F
H 0 1 L	29/06	3 0 1 G
H 0 1 L	29/06	3 0 1 V