

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7102776号

(P7102776)

(45)発行日 令和4年7月20日(2022.7.20)

(24)登録日 令和4年7月11日(2022.7.11)

(51)国際特許分類

F I

H 0 2 J 3/16 (2006.01)

H 0 2 J 3/16

H 0 2 J 3/18 (2006.01)

H 0 2 J 3/18 1 4 2

H 0 2 M 7/48 (2007.01)

H 0 2 M 7/48 E

G 0 5 F 1/70 (2006.01)

G 0 5 F 1/70 N

請求項の数 2 (全8頁)

(21)出願番号 特願2018-31454(P2018-31454)
(22)出願日 平成30年2月26日(2018.2.26)
(65)公開番号 特開2019-149850(P2019-149850
A)
(43)公開日 令和1年9月5日(2019.9.5)
審査請求日 令和3年1月14日(2021.1.14)

(73)特許権者 000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田 1 番 1 号
(74)代理人 100091281
弁理士 森田 雄一
(72)発明者 篠原 博
神奈川県川崎市川崎区田辺新田 1 番 1 号
富士電機株式会社内
審査官 坂東 博司

最終頁に続く

(54)【発明の名称】 無効電力補償装置及びその制御回路

(57)【特許請求の範囲】

【請求項 1】

インバータにより電力系統に無効電力を出力して系統電圧の変動を補償する無効電力補償装置において、

前記系統電圧が閾値以下に低下した時に、前記系統電圧の低下を解消するために前記無効電力補償装置の定格電流値を超える第1の無効電流を第1の時間にわたり前記インバータから出力させ、前記第1の時間の経過後に、この第1の時間に応じて予め設定された時間であって前記インバータを構成する半導体素子を冷却するための第2の時間に従って第2の無効電流を前記インバータから出力させるように無効電流指令を生成することを特徴とする無効電力補償装置。

【請求項 2】

インバータにより電力系統に無効電力を出力して系統電圧の変動を補償する無効電力補償装置の制御回路において、

前記系統電圧が閾値以下に低下したことを判定する判定手段と、

前記無効電力補償装置の定格電流値を超える第1の無効電流指令と前記定格電流値以下の第2の無効電流指令とを切替可能とした切替手段と、

前記判定手段による判定信号に従って前記第1の無効電流指令を第1の時間にわたって選択し、かつ、前記第1の時間の経過後に、前記第1の時間に応じて予め設定された時間であって前記インバータを構成する半導体素子の冷却時間を考慮した第2の時間が経過するまでは前記第2の無効電流指令を選択するように前記切替手段を制御する手段と、

前記第 1 の無効電流指令または前記第 2 の無効電流指令に従って前記インバータを制御する手段と、

を備えたことを特徴とする無効電力補償装置の制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば、電力系統の三相または二相短絡事故によって発生する瞬時電圧低下を補償する無効電力補償装置及びその制御回路に関するものである。

【背景技術】

【0002】

図 2 は、無効電力補償装置の概略的な構成図である。

図 2 において、電力系統 20 に連系される無効電力補償装置 10 は、インバータ 11 と変圧器 12 と遮断器 13 とを備えている。インバータ 11 は、例えば図 3 に示すように、直流中間回路に設けられるコンデンサ 11a と、還流ダイオードが接続された IGBT や GTO サイリスタ等の半導体スイッチング素子 11b ~ 11g により構成されている。

【0003】

上記の無効電力補償装置 10 は、インバータ 11 の出力電圧 V_i 及び出力電流 I_i を制御して電力系統 20 に無効電力を注入し、電力系統 20 のリアクタンス成分及び無効電流によって系統電圧 V_s の変動を補償している。

【0004】

図 4 は、無効電力補償装置 10 の制御回路を示すブロック図である。

図 4 において、正相成分演算器 31 は系統電圧 V_s の正相分（正相電圧）を検出し、電圧指令値と電圧検出値との偏差が減算器 32 により演算される。電圧制御器 33 は、上記偏差を零にするように動作して無効電流指令 I_{pq}^* を演算する。図 2 の無効電力補償装置 10 は、この無効電流指令 I_{pq}^* に従ってインバータ 11 の半導体スイッチング素子 11b ~ 11g を制御し、電力系統 20 に無効電力を注入することにより、系統電圧 V_s の変動を補償している。

この種の制御回路は、例えば特許文献 1 に記載されている。

【0005】

なお、特許文献 1 には明示されていないが、電圧制御器 33 の出力側には、図 4 に示すようにリミッタ 34 が設けられている。すなわち、無効電流指令 I_{pq}^* に従ってインバータ 11 を構成する半導体スイッチング素子 11b ~ 11g や還流ダイオードに定格値以上の電流が流れるとこれらが破損する恐れがあるので、リミッタ 34 によって電流を定格値以下に制限しており、この技術は無効電力補償装置の制御回路として一般的である。

【0006】

さて、近年では、太陽光や風力等の再生可能エネルギーを利用した分散型電源が電力系統に導入されてきている。これらの分散型電源を備えた電力系統において、三相または二相短絡事故等により瞬時電圧低下が発生した時に分散型電源が一斉に解列されてしまうと、系統全体の電圧や周波数の維持に大きな影響を与える。

そこで、非特許文献 1 に記載されているように、低圧または高圧の電力系統に連系される分散型電源には事故時運転継続要件（FRT 要件）を満たすことが求められている。

【0007】

図 5 は、分散型電源と電力系統との間に設けられた連系変圧器の Y 結線側（高圧側）で三相短絡事故（図 5（a））または二相短絡事故（図 5（b））が発生した場合の線間電圧の変化を示しており、非特許文献 1 に記載されているものである。なお、三相各相を A, B, C 相とする。

前述した FRT 要件においては、図 5（a）,（b）に示すごとく、短絡事故によって残電圧が定格値の 20% ~ 30% に低下した場合でも、分散型電源の運転を一定時間、継続することが要求されている。

【先行技術文献】

10

20

30

40

50

【特許文献】

【 0 0 0 8 】

【文献】特開平 9 - 1 5 4 2 8 4 号公報（段落 [0 0 1 3] ~ [0 0 1 9]、図 1）

【非特許文献】

【 0 0 0 9 】

【文献】「系統連系規程（J E A C 9 7 0 1 - 2 0 1 6）」，p. 7 4 - 8 2，p. 1 6 9 - 1 8 0，一般社団法人日本電気協会 系統連系専門部会，2 0 1 6 年

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 0 】

図 4 に示した従来技術によれば、無効電力補償装置 1 0 の動作によって電力系統 2 0 の電圧変動を補償することが可能であり、その電圧補償効果は、無効電力補償装置 1 0 から出力される無効電流と電力系統 2 0 のリアクタンス成分とによって決定される。ここで、電力系統 2 0 のリアクタンス成分を無効電力補償装置 1 0 により制御することは不可能であるため、無効電流の大きさが系統電圧の補償効果を決定することになる。

【 0 0 1 1 】

特に、前述した F R T 要件により規定された三相または二相短絡時の瞬時電圧低下を補償する場合には、瞬間的に大きく低下する系統電圧を補償するための無効電流を出力する必要がある、無効電力補償装置 1 0 から出力される無効電流はできるだけ大きくすることが望まれる。

この無効電流が小さく補償電圧が小さい場合には、系統電圧が低い状態が続いて分散型電源が解列してしまい、系統全体の電圧や周波数の維持に大きな影響を与えてしまう。

電力系統 2 0 に対する電圧補償能力を高めるには無効電力補償装置 1 0 の容量を大きくすれば良いが、装置容量を通常運転時に必要とされる以上の大きさにすることはコストの増加を招くという問題がある。

【 0 0 1 2 】

そこで、本発明の解決課題は、装置容量を増大させることなく、系統電圧の瞬時低下時の電圧補償を確実に行之、分散型電源の解列を防止するようにした無効電力補償装置及びその制御回路を提供することにある。

【課題を解決するための手段】

【 0 0 1 3 】

上記課題を解決するため、請求項 1 に係る無効電力補償装置は、インバータにより電力系統に無効電力を出力して系統電圧の変動を補償する無効電力補償装置において、前記系統電圧が閾値以下に低下した時に、前記系統電圧の低下を解消するために前記無効電力補償装置の定格電流値を超える第 1 の無効電流を第 1 の時間にわたり前記インバータから出力させ、前記第 1 の時間の経過後に、この第 1 の時間に応じて予め設定された時間であって前記インバータを構成する半導体素子を冷却するための第 2 の時間に従って第 2 の無効電流を前記インバータから出力させるように無効電流指令を生成することを特徴とする。

【 0 0 1 4 】

請求項 2 に係る無効電力補償装置の制御回路は、インバータにより電力系統に無効電力を出力して系統電圧の変動を補償する無効電力補償装置の制御回路において、前記系統電圧が閾値以下に低下したことを判定する判定手段と、前記無効電力補償装置の定格電流値を超える第 1 の無効電流指令と前記定格電流値以下の第 2 の無効電流指令とを切替可能とした切替手段と、前記判定手段による判定信号に従って前記第 1 の無効電流指令を第 1 の時間にわたって選択し、かつ、前記第 1 の時間の経過後に、前記第 1 の時間に応じて予め設定された時間であって前記インバータを構成する半導体素子の冷却時間を考慮した第 2 の時間が経過するまでは前記第 2 の無効電流指令を選択するように前記切替手段を制御する手段と、前記第 1 の無効電流指令または前記第 2 の無効電流指令に従って前記インバータを制御す

10

20

30

40

50

る手段と、

を備えたことを特徴とする。

【発明の効果】

【0018】

本発明によれば、三相短絡や二相短絡事故等によって系統電圧が瞬時に低下した場合でも、装置の定格電流値を超える無効電流を短時間出力して系統電圧を増加させ、系統電圧の低下を補償することができる。これにより、分散型電源の解列を未然に防止して系統全体の電圧や周波数に悪影響を及ぼすことがない。

また、無効電力補償装置の容量を必要以上に大きくする必要がないため、コストの低減にも寄与する。

10

【図面の簡単な説明】

【0019】

【図1】本発明の実施形態に係る無効電力補償装置の制御回路のブロック図である。

【図2】無効電力補償装置の概略的な構成図である。

【図3】図2におけるインバータの主回路構成図である。

【図4】無効電力補償装置の従来の制御回路を示すブロック図である。

【図5】非特許文献1に記載された、電力系統の短絡事故による線間電圧の変化を示す図である。

【発明を実施するための形態】

【0020】

20

以下、図に沿って本発明の実施形態を説明する。

図1は、この実施形態に係る無効電力補償装置の制御回路のブロック図である。図1において、図4と同一の部分については同一の符号を付して説明を省略し、以下では図4との相違点を中心に説明する。

【0021】

図1に示す実施形態では、正相電圧演算器31から出力される系統電圧検出値が電圧低下判定器37に入力されている。電圧低下判定器37は、系統電圧検出値が閾値未満になると一定時間(ΔT_1 とする)にわたり、または、この時間内で系統電圧の低下が解消されるまで、「High」レベルの電圧低下判定信号STAを出力する。

電圧低下判定信号STAはタイマ38に入力されており、タイマ38は、電圧低下判定信号STAが「Low」レベルになると、「High」レベルの強制停止信号STPを一定時間(ΔT_2 とする)だけ出力する。

30

【0022】

また、リミッタ34の出力側にはスイッチ(切替手段)35が設けられている。このスイッチ35の一方の入力端子Aにはリミッタ34の出力信号(第2の無効電流指令)が加えられ、他方の入力端子Bには、設定器36により設定された無効電流指令(第1の無効電流指令)が加えられている。設定器36には、リミッタ34による定格値($\pm 100\%$)を超える大きさの第1の無効電流指令が設定されているが、その設定値と、電圧低下判定信号STAが「High」レベルを維持する時間 ΔT_1 とは、インバータ11を構成する半導体スイッチング素子11b~11gや還流ダイオード等の素子が過熱によって破損しない許容範囲内で決定される。

40

【0023】

スイッチ35は、前述した電圧低下判定信号STAが「High」レベルの時に入力端子Bを、判定信号STAが「Low」レベルの時に入力端子Aを選択するように切替可能であり、これらの入力端子A、Bの何れかの入力信号を無効電流指令 I_{pq}^* として出力する。

図2の無効電力補償装置10は、この無効電流指令 I_{pq}^* に従ってインバータ11の半導体スイッチング素子11b~11gを制御して電力系統20に無効電力を注入し、系統電圧 V_s の変動を補償する。

【0024】

50

なお、無効電流指令は無効電力指令と同義であるため、図 1 の実施形態において、無効電流指令の代わりに、無効電力指令を用いても良いことは言うまでもない。

【 0 0 2 5 】

次に、この実施形態の動作を詳述する。

系統電圧検出値が閾値を超えている通常時には、電圧低下判定信号 STA が「Low」レベルであり、スイッチ 35 は入力端子 A 側に接続されている。このため、リミッタ 34 により定格電流値である 100 % 以下に制限された第 2 の無効電流指令 I_{pq}^* が、スイッチ 35 を介して出力され、定格値以下の無効電力が電力系統 20 に注入されて電圧補償が行われる。

【 0 0 2 6 】

また、電力系統 20 に三相または二相短絡事故等が発生して系統電圧 V_s が瞬時に低下し、系統電圧検出値が閾値以下になった状態が所定時間継続すると、電圧低下判定器 37 による電圧低下判定信号 STA が一定時間 ΔT_1 にわたって「High」レベルになる。この電圧低下判定信号 STA によりスイッチ 35 は入力端子 B 側に切り替わり、設定器 36 による予め設定されている設定値、すなわち、装置の定格電流値を超える第 1 の無効電流指令 I_{pq}^* がスイッチ 35 を介して出力される。

このため、上記の一定時間 ΔT_1 では、第 1 の無効電流指令 I_{pq}^* に従ってインバータ 11 の半導体スイッチング素子 11b ~ 11g が動作することにより、定格値を超える無効電力が電力系統 20 に注入されて系統電圧 V_s の低下を補償する。

【 0 0 2 7 】

系統電圧 V_s が上昇して電圧低下判定信号 STA が「Low」レベルになると、スイッチ 35 が入力端子 A 側に切り替わると共に、タイマ 38 は、一定時間 (ΔT_2 とする) にわたって「High」レベルの強制停止信号 STP を電圧低下判定器 37 に出力する。電圧低下判定器 37 では、強制停止信号 STP が「High」レベルである時間 ΔT_2 は電圧低下判定信号 STA を「Low」レベルに保つことにより、リミッタ 34 を介した第 2 の無効電流指令 I_{pq}^* を出力する状態が維持される。強制停止信号 STP が「High」レベルである時間 ΔT_2 中は、インバータを構成する半導体素子を破損させないため、系統電圧 V_s が所定の閾値以下になっても電圧低下判定信号 STA は「Low」レベルを維持し「High」レベルになることはない。系統電圧 V_s の低下が解消されず継続している場合は、 ΔT_2 経過後に電圧低下判定信号 STA は「High」レベルとなり、再度定格値を超える無効電力が電力系統 20 に注入されて系統電圧 V_s の低下を補償する。

【 0 0 2 8 】

なお、無効電力補償装置 10 が定格値以上の無効電力を出力していても、許容時間内に系統電圧 V_s の低下が解消した場合には、系統電圧 V_s が復帰するまでの時間に応じてインバータ 11 の半導体スイッチング素子 11b ~ 11g や還流ダイオード等の半導体素子を冷却すれば良い。

【 0 0 2 9 】

すなわち、電圧低下判定信号 STA が「High」レベルである時間 ΔT_1 (定格電流値を超える無効電流を出力している時間) と、その後に電圧低下判定信号 STA が「Low」レベルに移行してから信号 STP を「High」レベルにして信号 STA を「Low」レベルのまま維持する時間 ΔT_2 (無効電流を定格電流値以下に抑制して半導体素子の冷却を促す時間) との間には一定の関係があることから、信号 STA が「High」レベルである時間 ΔT_1 に応じた信号 STP の「High」レベルの時間 ΔT_2 をテーブルデータとして予め用意しておき、このテーブルデータに基づいて上記の時間 ΔT_2 を決定しても良い。

【 0 0 3 0 】

以上のような動作により、無効電力補償装置 10 から出力される無効電流及び電圧補償量を、許容し得る短時間だけ大きくすることにより、電力系統 20 の短絡事故発生時における分散型電源の解列を抑制して系統全体の電圧や周波数の維持に悪影響が及ぶのを防止することができる。

10

20

30

40

50

【 0 0 3 1 】

なお、本発明の他の形態として信号 S T A が「 H i g h 」レベルである時間 ΔT_1 においてリミッタ 3 4 の制限値を 1 0 0 % 以下から 1 0 0 % 超に切り替えるようにしても良い。

【 符号の説明 】

【 0 0 3 2 】

1 0 : 無効電力補償装置

1 1 : インバータ

1 1 a : コンデンサ。

1 1 b ~ 1 1 g : 半導体スイッチング素子

1 2 : 変圧器

10

1 3 : 遮断器

2 0 : 電力系統

3 1 : 正相電圧演算器

3 2 : 減算器

3 3 : 電圧制御器

3 4 : リミッタ

3 5 : スイッチ

3 6 : 設定器

3 7 : 電圧低下判定器

3 8 : タイマ

20

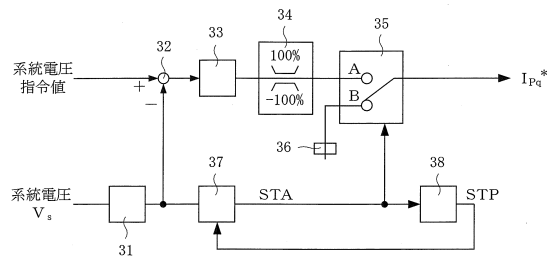
30

40

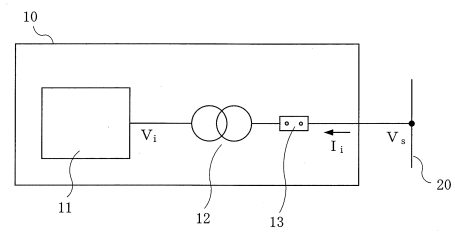
50

【図面】

【図 1】

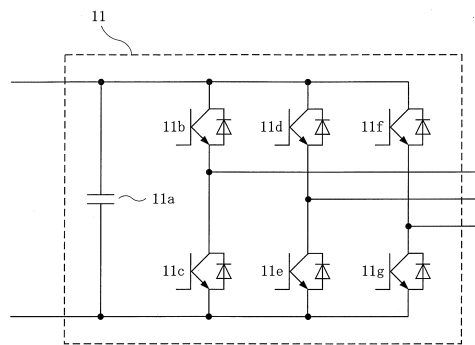


【図 2】

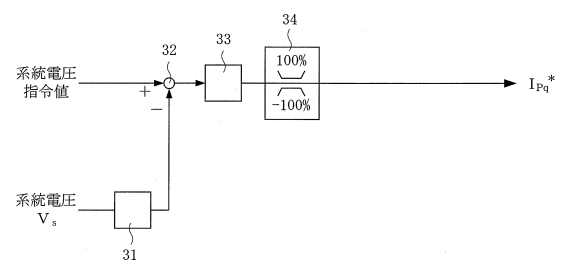


10

【図 3】

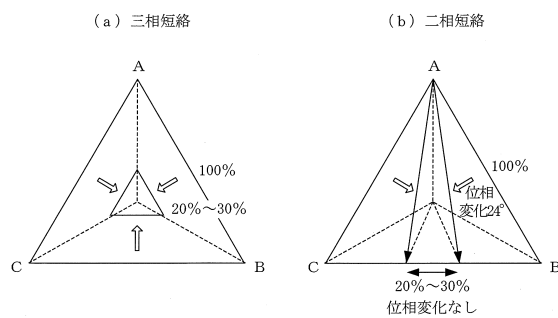


【図 4】



20

【図 5】



30

40

50

フロントページの続き

- (56)参考文献 特開 2 0 0 5 - 3 1 8 7 5 5 (J P , A)
特開 2 0 0 8 - 3 0 5 0 4 1 (J P , A)
特開昭 6 2 - 0 6 6 3 0 8 (J P , A)
特開平 0 9 - 1 5 4 2 8 4 (J P , A)
特開 2 0 1 9 - 1 4 9 8 4 9 (J P , A)
米国特許出願公開第 2 0 1 4 / 0 1 1 2 0 3 8 (U S , A 1)
系統連系規程 (電機技術規程系統連系編) J E A C 9 7 0 1 - 2 0 1 6 , 第 7 版 , 日本
電機協会発行 , 2016年08月09日 , P169-P180
- (58)調査した分野 (Int.Cl. , D B 名)
H 0 2 J 3 / 1 6
H 0 2 J 3 / 1 8
H 0 2 M 7 / 4 8
G 0 5 F 1 / 7 0