

公告本

413991

申請日期	87 年 9 月 14 日
案 號	87115279
類 別	Int. C 16 H04L 7/00

A4
C4

(以上各欄由本局填註)

發明專利說明書

413991

一、發明 名稱	中 文	用於數位傳送信號之接收器之取樣控制迴路
	英 文	Sampling control loop for a receiver for digitally transmitted signals
二、發明 人	姓 名	(1) 莫德雷·譚莫瑞納克 Temerinac, Miodrag
	國 籍	(1) 德國 (1) 德國剛德爾芬根克羅司得路二 a 號 Klosterweg 2a, D-79194 Gundelfingen, Germany
三、申請人	住、居所	
	姓 名 (名稱)	(1) 麥克那英特曼特有限公司 Micronas Intermetall GmbH
	國 籍	(1) 德國 (1) 德國夫萊堡漢斯班特街十九號 Hans-Bunte-Strasse 19, D-79108 Freiburg i. Br., Germany
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 里歐諾爾·侯尼格 Hornig, Leonore

裝

訂

線

413991

(由本局填寫)

承辦人代碼：

A6

大類：

B6

I P C 分類：

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

歐洲

1997 年 9 月 27 日 97 11 6754.9

☒無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本發明係關於用於數位傳送信號之接收器之取樣控制迴路，數位傳送信號係以正交調變之符號傳送的。這些傳送方法係以下述縮寫著稱的：F S K (= 頻移鍵送 (Frequency Shift Keying))、P S K (= 相移鍵送 (Phase Shift Keying))、B P S K (= 二進位相移鍵送 (Binary Phase Shift Keying))、Q P S K (= 四相位移鍵送 (Quaternary Phase Shift Keying))、及 Q A M (= 正交調幅 (Quadrature Amplitude Modulation))。用於這些方法的接收器於此領域中已是習知，結果，它們於結構上是類似的。重要的成件係類比或數位取樣控制迴路，其可確保數位傳送的信號會於正確取樣被瞬間。這些信號的最佳取樣會與傳送資料流的符號暫時地緊密連接且不接收器端的處理為類比或數位。促使處理為數位的，則數位化速率當然必須至少與傳送的符號之資料速率一樣高。結果，隨著數位化速率為自由運轉或鎖住系統速率，則數位化速率良好地在此值之上，舉例而言，高出至少一個數量級。

在 Floyd M. Gardner 發表於 IEEE Transactions on Communication, Vol. COM-34, No.5, May 1986, pages 423 to 429 中的 "A BPSK/QPSK Timing-Error Detector for Sampled Receivers" 一文中，詳細揭示如何從個別符號決定計時誤差。為消除這些計時誤差，會使用未詳細說明之取樣控制迴路。此控制迴路包含計時誤差偵測器及計時誤差修正器，計時誤差修正器的輸出會回饋至取樣階段。

W O 9 6 / 1 1 5 2 6 揭示用於接收數位傳送信號

(請先閱讀背面之注意事項再填寫本頁)

不

訂

不

五、發明說明(2)

的電路之取樣控制迴路，於其中藉由二個類比對數位轉換器，數位化發生於正交解調變器之後。控制迴路會改變數位化時序的頻頻率及相位，因此，用於符號之取樣瞬間會被最佳地調整。

W O 9 6 / 1 7 4 5 9 揭示於接收數位傳送信號的電路之取樣控制迴路，於其中數位化發生於正交解調變器之前。數位化速率與所收到的符號之速率及相位無關。在本實施例中，以數位插入電路（「數位再取樣器」）形成用於個別符號之最佳取樣瞬間。

藉由符號之數位碼化及傳送之習知優點，係只要於接收器端可靠地辨認符號，則傳送通道及接收器不會對信號內容造成額外的干擾或噪音。個別符號的辨識力會受疊加的干擾及噪音信號所損傷，疊加的干擾及噪音信號會使向量圖中原先點狀的符號模糊成面相位及振幅範圍。此外，促使用於個別符號的取樣瞬間與額定值不同時，則在不佳的接收條件下，不再能確保可靠的符號辨識。

上述數位傳送信號的接收或評估中的缺點係關於對傳統接收器電路而言不再值得接收的操作條件。從此習知技藝開始，發明的目的係使接收電路對干擾更不敏感。

藉由接收電路的取樣控制迴路耦合評估裝置，可取得此目的，評估裝置會從可取得的信號決定用於計時誤差偵測器中測得的個別計時誤差值之可靠度值，及根據決定的可靠度值影響取樣控制迴路。

發明係根據下述瞭解，在被嚴重干擾的信號存在下，

五、發明說明(3)

取樣控制迴路的追蹤已被偶然不正確地決定的計時誤差值所干擾，此不正確決定的計時誤差值最後增加不正確辨認之符號數目。在被嚴重干擾的信號存在下，取樣控制迴路會過度敏感地回應或甚至於錯誤方向上回應。可靠度值的導入允許依據個別的信號狀態適當地控制取樣控制迴路。為完成此點，以小的可靠度值，使取樣控制迴路整體地對給定的頻定成份更加不敏感，或者以適當方式使其控制時間常數適應。以此方式，不正確決定的計時誤差值不會被抑制，但是，以時間平均而言，它們的影響會減少。

特別有效的是非線性處理，舉例而言，藉由衰減或模糊化，於其中可能的不正確決定之計時誤差值對取樣控制迴路的影響非常輕微或完全沒有。此牽涉到以個別基礎處理計時誤差值，處理係視個別可靠度值而定。此個別衰減、加權、或模糊化具有單獨發生或猝發的干擾不會干擾控制下的條件。在一般的接收條件下，既非取樣控制迴路之控制斜率亦非控制速率會被這些方法所改變。

為決定可靠度值，導因於干擾之特徵信號改變會被評估。如上所述，在用於符號之向量圖中的區域於相位方向及振幅方向上展開。測得的相位及振幅誤差值代表個別可靠度之量測。誤差值愈小，則可靠度愈大且計時誤差值被錯誤地決定之機率愈小。類似地，可從正交信號成份及其與額定值的偏差中決定可靠度。為改進品質不良的信號存在下之接收條件，相當粗略地決定可靠度值已足夠，舉例而言，藉由設定用於量測誤差值之臨界值。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

當然，也能夠以更加複雜的電路形成可靠度值，或是以另一方式，舉例而言，藉由評估解調變或仍然是未解調變信號中的視干擾而定之變化，形成可靠度值。藉由濾波器電路，可將決定限於與調變相當無關的頻率範圍。也可從以某些形式或其它形式轉換而來的信號中決定此可靠度值。舉例而言，藉由轉換接收電路的正交調變信號成為具有極座標之信號之分解器，可達成此點，該具有極座標之信號接著會依據振幅及相位而被分別地計評估。經由個別的誤差值，也可將可靠度值定為權重因數。權重化可化分成具有相關臨界值之個別步驟。在限制的情形下，可靠範圍會被決定為具有單一臨界值或具有臨界值窗。此相當於數位的是／否可靠度值。

假使個別符號或它們相關的同相部份或正交部份（此後也稱為“I”部份及“Q”部份）之傳送係如同一般的情形依據通倪奎斯特準則（Nyquist Criterion）以達成時，則可靠度值的決定變得特別簡單。要被傳送的每一符號或位元會被指定一轉換函數，此轉換函數於個別的符號取樣瞬間具有正或負信號值，且在符號週期的所有其它的整數倍處為信號值“零”。在介於中間的時間範圍中的信號狀態不同於零，但包絡係以數個符號週期儘快地趨向零。藉由此條件，假使取樣準確地發生於所要的符號取樣瞬間時，可防止符際干擾。以計時誤差偵測器，可決定目前的符號取樣瞬間與最佳符號取樣瞬間之間的時間差。

使用倪奎斯特準則決定可靠度值係根據轉換函數的時

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(5)

間行為。僅有那些與個別的 I 或 Q 部份的正負號改變有關之計時誤差值會被允許用於取樣控制迴路。僅從正負號改變時取樣值的因時而定之符號改變，可有意義地決定計時誤差值。因此可以抑制視在計時誤差，視在計時誤差係根據信號差，而這些信號差係僅由干擾信號所造成而不會由正負號的真實改變所造成的。用以決定取樣的 I 或 Q 部份的正負號改變之簡單電路係由互斥或閘所構成，互斥或閘的第一及第二輸入係由正負號位元直接饋入且分別具一符號週期的延遲。

將信號序列儲存於儲存裝置中，可取得可靠度值的形成之進一步改良，信號序列含有接收電路的正交信號部份或辨認的符號部份或其它信號。由於範圍由追蹤窗間隔所界定之儲存的類比或數位信號序列涵蓋主要的信號範圍，所以，可以執行更精細的分析以決定可靠度值。

促使追蹤窗間隔延伸於至少四個連續的符號或相關的實數取樣值的時間範圍之上時，藉由簡單的邏輯操作，可決定非常有效的可靠度值。邏輯操作意指僅在計時誤差值暫時地與儲存的信號序列之正符號改變有關的情形下，可靠度值係被充分地考慮。在數位化取樣的情形下，僅有正負號位元需要被檢查以偵測正負號改變。單獨以正負號改變的評估，已在取樣控制迴路的作動中觀察到一定的改進。

有其它可靠度值的準則與參考信號振幅的決定有關。後者作為用於正負號改變範圍中的信號值之參考量。在使

(請先閱讀背面之注意事項再填寫本頁)

不

訂

冰

五、發明說明(6)

用簡單的線性關係近似之最簡單情形下，可從信號值的因時而定的改變與參考信號的振幅之比較，決定個別的計時誤差值。但是，如此決定的計時誤差值，假使在儲存的信號序列邏輯地於至少二取樣瞬間穩定，則可視為可靠的，該二取樣瞬間係用以決定參考信號振幅。無論用於參考信號振幅的取樣值在正負號改變之前或之後，假設的線性近似均不受影響。此僅對個別的取樣值之選取及數學組合有影響。

假使可靠度值相對於具有一位元之數位信號，則藉由受可靠度但控制的邏輯阻隔裝置，舉例而言，藉由閘電路，可禁止計時誤差值傳送至取樣控制迴路中。由儲存的信號序列而達成的可靠度值形成可輕易地與類比取樣控制迴路結合。

藉由採取適當的方法，用於取樣插入器的計時誤差修正值於正的及負的方向上被限於取樣週期的一半。假使計時誤差修正值超過此限制，則隨著計時誤差修正值的正負號改變，計時誤差修正將與鄰近的較接近之取樣值有關。在全數位實施中，取樣週期與數位化所決定的真實取樣值有關。為了使二個插入的取樣值絕不發生於真實取樣時距中，將數位化所決定的真實取樣值有利地選成大於插入的取樣值數目，若二個插入的取樣值發生於真實取樣時距中，會於計算的計時誤差修正值與真實取樣值之間的獨特關連中造成衝突。在該情形下，無論計時誤差修正值何時變成大於半取樣週期，會跳過真實取樣值。如同在模函數中

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

冰

五、發明說明(7)

一般。計時誤差修正值會變成負值，接著再度連續地驅近正極限值。這會於計算的計時誤差修正值與真實的取樣值之間建立獨特的關連。在數位化速率與插入速率之間的差異必須大於傳送器與接收器端處的符號與頻率的所有最差情形之容忍度。

圖式簡述

將參考附圖，進一步詳述發明之有利觀點，其中：

圖 1 係根據發明之取樣控制迴路的方塊圖；

圖 2 係顯示正交信號成份的波形；

圖 3 係振幅—相位圖；

圖 4 係顯示轉換函數；

圖 5 係顯示正交信號的波形圖；

圖 6 係顯示計時誤差值的線性計算；

圖 7 係顯示用於可靠度值的四個有效狀態；

圖 8 係顯示用於可靠度值的四個其它有效狀態；

圖 9 係用於形成計時誤差修正信號之電路的方塊圖；

及

圖 10 係顯示自由運轉數位化時計頻率下之計時誤差修正信號。

主要元件對照表

1 取樣控制迴路， 2 接收電路， 3 計時誤差，
4 取樣插入器， 5 正交解調變器， 6 信號源，

五、發明說明(8)

- 7 外部系統產生器，8 本地振盪器，
 9 倪奎斯特接收器濾波器，9.1 十分化級，
 10 符號決定級，11 評估裝置，12 分解器，
 13 輸出級，14 載波控制級，20 計算電路，
 21 符號延遲級，22 符號延遲裝置，
 23 加法器，24 乘法器，30 儲存裝置，
 31，32，33 符號延遲裝置，34 邏輯級，
 35 阻隔裝置，36 乘法器，37 累積器

較佳實施例詳述

圖1係顯示發明之一實施例，於其中顯示併入於電路2中的取樣控制迴路1，電路2係用以接收數位方式傳送之信號s。計時誤差偵測器3從接收電路的信號中，特別是從正交信號部份I、Q中，形成計時誤差值t_d，藉由濾波器，其可從計時誤差值t_d中推導出計時誤差修正值t_k，計時誤差修正值t_k會控制插入於接收電路2的信號通道中的取樣插入器4。來自正交解調變器5的一對正交信號部份s_{i1}、s_{q1}會饋入取樣插入器，正交解調變器5會將正交調變輸入信號s_r轉換成基頻或低頻。在圖1之接收電路2的實施例中，施加至正交解調變器5之信號s_r係數位化的信號，其係在前方的信號源6中依據內部或外部系統時計產生器7所提供的系統時計c₁而數位化的。信號源6可為經由天線接數位調變信號s之調諧器，但其也可為記憶體裝置或有線電台或任何其它裝置，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

視其適用於何種情形而定。在圖 1 的接收電路 2 的數位實施中，取樣插入器 4 中的正交混合與插入也會由系統時計 c 1 所控制。對數位正交混合而言，本地振盪器 8 會供應正交解調變器 5 數位信號，這些數位信號的數位值對應於餘弦信號 c o s 及正弦信號 s i n。

取樣插入器 4 提供一對插入的正交信號部份 s i 2、s q 2，其會被饋入倪奎斯特接收器濾波器 9。亦如圖 4 所示，此濾波器 9 會與傳送器端的倪奎斯特濾波器（未顯示）協力合作並決定上述轉換函數。倪奎斯特接收器濾波器 9 照例會有十分化級 9 . 1 跟隨於後，於該十分化級中，處理速率會儘可能地降低，理想上降低至符號速率。倪奎斯特接收器濾波器 9 或後續的十分定級 9 . 1 的輸出也因而成為一對正交信號部份 I、Q，其會被饋送至符號決定級 10、計時誤差偵測器 3、及評估裝置 11，評估裝置 11 會從這些正交信號部份及／或其它信號決定可靠度值 v。

在圖 1 的實施例中，正交信號部份 I、Q 也會施加至分解器 12，分解器 12 會將它們轉換成具有極座 b 之信號部份對 s b、s p，並將這些信號 s b、s p 中的至少一者饋送至評估裝置 11。在評估這些信號 I、Q、s b、s p 以形成可靠度值 v 的期間，由於會接著藉由預定地切換臨界值 k 1 至 k 7 而簡單地決定相對於個別額定值的可容許偏差，所以，正負符號及數量是重要的。

假使符號部份，亦即來自符號決定級 10 之輸出信號

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(10)

Q_s、I_s於評估裝置11中被使用時，則可靠度值v的決定是更加簡單的。這些信號僅含有個別正交信號部份I、Q的正負信號。在QPSK調變的情形下，每一對符號部份I_s、Q_s會界定四個不同的符號中的一個。個別符號分離成輸出資料串data係發生於輸出級13中，藉由輸出資料串可重建原始的數位信號s。信號部份I_s、Q_s會真正地指定給最佳符號取樣瞬間t_{s0}等。

單獨經由儲存的正負號序列，可於評估裝置11中評估符號部份I_s、Q_s。如同其它信號的情形下，經由量的評估是不需要的。當然，也可藉由所有這些方法的組合以形成可靠度值，在所有這些方法中，每一評估方法決定至少一充份的可靠度值v。假使可靠度值之一不夠充份，則量得的計時誤差值t_d是有問題的且不應被饋入取樣控制迴路1中。

爲了完整性之故，正交解調變器5中的修正載波頻率的回饋通道也會標示於接收電路2中。其含有載波控制級14，載波控制級14會被饋送正交信號部份I、Q或是來自分解器12之輸出信號s_b、s_p。來自載波控制級14之振盪器控制信號o_k會控制本地振盪器8的頻，在本實施例中本地振盪器8爲數位振盪器，其輸出信號c_{os}、s_{in}可經由儲存表而形成。

圖2係以舉例方式說明正負號改變範圍中的同相部份1或正交部份Q的波形。相關的數位取樣值係以虛線及小圓圈標示，但此也可爲接收電路2的其它取樣值s_r。由

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(11)

於噪音及干擾效應，正交信號部份 I、Q 會與正或負額定值有偏差。界定可靠度值之可靠的信號範圍係分別由臨界值 k_1 、 k_2 及 k_3 、 k_4 所限制。小的正交信號部份 I、Q 是特別重要的，以致於內臨界值 k_2 、 k_3 具有較大的重要性，而外臨界值 k_1 、 k_4 甚至可省略。當正交信號部份 I、Q 由分解器 12 轉換成極座標 b 時，個別的信號值會以絕對值 s_b 及相位值 s_p 呈現。噪音或干擾部份愈大，則偏離所需的絕對值 $b_{s.o.i.}$ 及所需的相位值 $\phi_{s.o.i.}$ 愈多。藉由預設臨界值 k_6 、 k_7 及 k_5 ，則可靠的範圍會以簡單方式與不可靠的範圍分離以決定可靠度值 v 。

圖 2 及 3 中控制是／否判定之臨界值當然可增補另外的臨界值，以致於可取得不同的可靠度等級且個別的可靠度值 v 會允許權重化。

圖 4 係顯示理論轉換函數 $h(t)$ ，用於三個連續符號 S_2 、 S_3 、 S_4 的正交信號部份 I、Q 之一。第一轉換函數 h_2 屬於符號 S_2 ，其在符號取樣瞬間 t_{s2} 時代表邏輯 0 狀態。符號 S_3 的轉換函數 h_3 顯示符號取樣瞬間 t_{s3} 時的邏輯 1 狀態。在符號取樣瞬間 t_{s4} 時，第四符號 S_4 的轉換函數 h_4 也顯示邏輯 1 狀態。個別轉換函數 h_2 至 h_4 滿足倪奎斯特原則，此原則在個別符號取樣瞬間 t_{s1} 至 t_{s6} 允許歸一化信號值 $+1$ 及 -1 ，歸一化信號值 $+1$ 及 -1 分別指出給邏輯 1 狀態及 0 狀態，僅用於單一轉換函數 $h(t)$ 。所有其它轉換函數 h

(請先閱讀背面之注意事項再填寫本頁)

訂

水

五、發明說明(12)

(t) 會於符號取樣瞬間通過信號值 0。在符號取樣瞬間 t_{s1} 至 t_{s6} 之間，所有轉換函數 $h(t)$ 均對信號有貢獻，但是，此貢獻的值會隨著與相關的符號取樣瞬間之距離增加而減少。

從圖 4 明顯可知，僅於符號取樣瞬間，可以評估個別符號上的資訊而不會與鄰近符號干擾。目前的符號取樣瞬間離鄰近的最佳取樣空間愈遠，則實際干擾愈大。應注意，藉由“目前的符號取樣瞬間”，可得知真正的取樣及插入取樣。在插入取樣的情形下，取樣值僅以數量呈現，數量係從相鄰的真正取樣值 s_{i1} 、 s_{q1} 中計算而得的。

為從 I 部份及 / 或 Q 部份中決定計時誤差值 t_d ，圖 4 中所示的轉換函數 $h(t)$ 會由容易計算的近似函數所取代。舉例而言，相對於轉換函數 h_3 之近似函數係 h_3' ，其會於符號取樣瞬間 t_{s2} 與 t_{s4} 之間線性地上升至值 +1，然後線性地下降。在此時間範圍之外，轉換函數 h_3' 在取樣瞬間之間的任何一處均具有值 0。對於要被傳送的邏輯 0 狀態而言，使用負向進行的近似函數，參見轉換函數 h_2' 的行進過程與轉換函數 h_2 的比較。在符號取樣值 t_{s1} 至 t_{s3} 之外，近似函數 h_2' 也具有值 0。在符號取樣點 t_{s2} 時，會達到歸一化的信號位準 -1。

假使個別正交部份 I、Q 係由這些近似函數所構成時，則計時誤差值 t_d 的計算會變得較簡單。此點以舉例方式說明於圖 5 及 6 中。這些圖式顯示正交信號部份 I、Q

(請先閱讀背面之注意事項再填寫本頁)

訂

水

五、發明說明(13)

之一部分別對應於邏輯 0 狀態與 1 狀態之負信號位準

- a_m 轉變至正信號位準 $+a_m$ 時的近似變化。符號 S_0 至 S_3 的最佳信號狀態應於取樣瞬間 t_{s0} 至 t_{s3} 時被取樣。假使目前的取樣並未與最佳符號取樣瞬間一致，則目前的符號取樣瞬間如果落在狀態改變的範圍內，時量得的信號振幅 a_0 至 a_3 會不同於最大值 a_m 。目前的符號取樣瞬間於圖 5 中以 t_{r0} 、 t_{r1} 及 t_{r2} 表示。在類似於圖 5 之圖 6 中，爲了簡明起見，省略取樣瞬間的標示。

在圖 5 中，時間軸指向右方。目前的或真實的取樣瞬間 t_{r0} 至 t_{r2} 會相對於最佳符號取樣瞬間 t_{s0} 至 t_{s3} 偏移至右方，偏向較大的時間值。因此，計時誤差值 t_d 爲正。假使信號狀態未於二符號取樣瞬間 t_{s2} 、 t_{s3} 之間改變，則於瞬間之間取樣的信號振幅 a_2 也不會改變。此信號振幅 a_2 因而能作爲用於額定振幅 $+a_m$ 或 $-a_m$ 之參考。經由轉換函數 $h(t)$ 的區分線性，可從量測的信號振幅 a_1 與參考信號振幅 a_2 的比較以及已知的符號週期 T_s ，決定計時誤差值 t_d 。得到下述線性關係：

$$a_1 = a_2 - 2 \times a_2 \times t_d / T_s = a_m \times (-1 + 2 \times t_d / T_s) \quad (1)$$

由於信號振幅 a_0 、 a_1 均指定給正負號的一改變，所以，二相等的信號振幅 a_0 、 a_1 的比較未提供關於計時誤差值 t_d 之資訊。因此，僅有得自信號振幅 a_2 及

(請先閱讀背面之注意事項再填寫本頁)

訂

本

五、發明說明 (14)

a₁ 的比較之計時誤差值 t_d 的決定是可靠的。但是，這些均與符號 S₁、S₂、S₃ 的狀態相關連，而符號 S₀ 的狀態不具顯著意義。

圖 6 係顯示根據目前為負的相關計時誤差值 t_d 之可比較的信號改變。由於目前取樣瞬間 t_{r0} 至 t_{r3} 於負方向上的偏移，所以，僅在信號振幅 a₁ 於最佳符號取樣瞬間 t_{s0} 與 t_{s1} 之間為邏輯地穩定，因而在真實取樣瞬間 t_{r0} 與 t_{r1} 之間為邏輯地穩定之情形下，關於最大信號振幅 +a_m 之敘述方為可能。結果，當檢查信號振幅是否適於作為參考時，正負號改變必須不可發生於信號振幅 a₀ 與 a₁ 之間，而數量差是可以忽略的。然後，以下述方程式從量測的信號振幅 a₁、a₂ 與符號取樣週期 T_s 計算出計時誤差值 t_d：

$$a_2 = a_1 + 2 \times a_1 \times t_d / T_s = a_m \times (-1 + 2 \times t_d / T_s) \quad (2)$$

從圖 6 可知，對於負的計時誤差值 t_d 而言，在符號取樣瞬間 t_{s0}、t_{s1} 及 t_{s2} 的信號波形必須被儲存及被評估，而在符號取樣瞬間 t_{s3} 的狀態可為任意的。因此，將四個相鄰的符號部份 I_s 及 / 或 Q_s 儲存於記憶電路中，以及視計時誤差值的正負號而決定將前三個或後三個儲存的狀態用於評估，是適當的。假使儲存的信號序列符合所決定的計時誤差值時，則量測是可靠的；在所有其它情形下，是不可靠的。在此情形中的可靠度值是簡單的是 / 否信號。

(請先閱讀背面之注意事項再填寫本頁)

長

訂

冰

五、發明說明 (15)

可以容易地解出二方程式 (1) 及 (2) 以求得 t_d 之解。能以晶片上計算電路或藉由副程式，輕易地實施對應的計算。二個計算與對四個儲存狀態之邏輯檢查必須平行執行，是有點紊亂的。但是，使用量測的信號振幅 a_2 之正負號函數 $\text{sign}(s_2)$ ，可將二個不同的方程式轉換成單一方程式 (3)：

$$f(t_d) = \text{sign}(s_2) \times (a_1 + a_2) \quad (3)$$

$$= +1 \times (-a_m + a_m \times (-1 + 2 \times t_d/T_s)) \quad (4)$$

$$= 2 \times a_m \times t_d/T_s \quad (5)$$

求解方程式 (5) 以求得 t_d ，將可得到用於計時誤差值 t_d 之正確結果。

應注意，方程式 (1) 及 (2) 的右側均包含因數 “ a_m ”，且若因數 “ a_m ” 對應於參考信號振幅之未標正負號的值則兩者是完全相同的。不論是在正負號改變之前或之後取樣此未標正負號的值 “ a_m ”，對於所告成的計時誤差值 t_d 的計算均不重要。假使需要時，從量測的信號振幅 a_1 、 a_2 中的二個以決定計時誤差 t_d 之方程式必須是適合的。如圖 7 及 8 所示，在任何情形下，其必須確保相關的符號部份 I_s 、 Q_s 在個別的參考信號振幅 a_0 、 a_1 、 a_2 、或 a_3 的決定範圍中是邏輯地穩定的。

圖 7 係顯示用於有效可靠度值 v 之四個狀態，它們可以以簡單方式於方程式 (3) 中結合。在符號取樣瞬間 t_{s0} 至 t_{s3} 或相關的取樣瞬間 t_{r0} 至 t_{r3} ，顯示

(請先閱讀背面之注意事項再填寫本頁)

表

訂

錄

五、發明說明 (16)

個別的符號部份 I s 或 Q s 的邏輯 0 及 1 狀態。符號 “ X ” 意指相關的邏輯狀態不具顯著意義；其並未參與邏輯評估。

評估電路首先建立相鄰的信號振幅 a₁ 及 a₂ 具有不同的正負號，並從符號差決定初步的計時誤差值。此值是否可靠係取決於假設的參考信號振幅（其係二個值中的較大者）是否真正的為此振幅。可藉由比較正負號與相鄰的目前取樣值 a₀ 或 a₃，而僅決定此點。由於符號部份 I s、Q s 的邏輯狀態接著會於此範圍中確定不穩定，所以在此決定期間，必須未發生正負號的改變。

在圖 7 及 8 的圖示中，係以彎曲的箭頭標示二個取樣值 a₁、a₂ 中那一者是因時而變的且何者是參考信號振幅。箭頭指向參考信號振幅，亦即指向較大的值，箭頭尾部指向視計時誤差值 t_d 而定之信號振幅。

在圖 8 的實施例中，在任何情形下，正負號的改變會發生於取樣值 a₁ 與 a₂ 之間。但是，由於二取樣值 a₁ 及 a₂ 中的每一者會指定給符號部份 I s、Q s 的狀態改變，所以，也可能這二個取樣值中無一適用於作為參考符號。此點於圖 8 的實施例中以信號波形（參見虛線）及具有括弧之符號部份（0）或（1）標示。然而，假使鄰近區中的邏輯穩定取樣值可作為參考信號振幅時，則可決定有效計時誤差值 t_d。此為圖 8 中所不的四個不同符號序列中的情形。關於參考信號振幅，會選取位於邏輯地穩定狀態之間的取樣值 a₀ 或 a₃，以致於其不會視計時誤差

（請先閱讀背面之注意事項再填寫本頁）

表

訂

本

五、發明說明(17)

值 t_d 而定。在圖 8 中所示的四個實施例中，彎曲箭頭的頭部標示個別的參考信號振幅 a_0 或 a_3 。

有 16 個可能的組合應於四個可儲存的符號狀態 I_s 、 Q_s 。如圖 7 所示，它們之中的四個視為可靠的。即使與圖 7 中所示的組合可能有重疊，但添加包含圖 8 的組合會增加可能組合的數目。

圖 9 係顯示根據方程式 (3) 之計算電路 20 的實施例之方塊圖，作為與評估裝置 11 連接的計時誤差偵測器 3 的一部份。評估裝置 11 接收測得的符號部份 I_s 、 Q_s 。計算電路 20 接收對應的正交信號部份 I 、 Q 作為信號振幅 a_0 至 a_3 。計算電路 20 的輸入級係符號延遲級 21，其會接收最年輕的信號振幅 a_3 。其輸出會派送信號振幅 a_2 ，信號振幅 a_2 會提供給第二符號延遲裝置 22 及加法器 23 的第一輸入。延遲裝置 22 的輸出會提供信號振幅 a_1 ，信號振幅 a_1 會送至加法器 23 的第二輸入。正負號信號 $\text{sign}(a_2)$ 會從符號延遲級 21 的輸出端耦合及饋送至乘法器 24 的第一輸入端。第二輸入會由加法器 23 的輸出饋入。乘法器 24 的輸出端遞送具有 $T_s / (2 \times a_m)$ 標度因數之根據方程式 (5) 的計時誤差值 t_d 。假使計算電路 20 重覆時，可從正交信號部份 I 、 Q 等二者中計算計時誤差值。因此，可靠度值 v 接著也必須從二符號部份 I_s 、 Q_s 中形成。藉由此方法，有效計時誤差值 t_d 的數目接近二倍，因此，取樣控制迴路 1 的控制變得更加平滑。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (18)

在最簡單的情形下，評估裝置 11 包括儲存裝置 30，其同時使對應於符號 S_0 至 S_3 之四個連續的符號部份 I_s 或 Q_s 為可利用的。此儲存可藉由三個串連的符號延遲裝置 31、32、33 而達成。儲存裝置 30 的四個分接會連接至邏輯級 34，邏輯級 34 使用計時誤差值 t_d 的正負號執行根據圖 7 之邏輯檢查。邏輯級 34 的輸出係可靠度值 v ，其會控制阻隔裝置 35，在實施例中，所顯示的阻隔裝置 35 係用於計時誤差值 t_d 及可靠度值 v 之及 (AND) 閘。乘法器 36 會將阻隔裝置 35 的輸出乘以數值 p ，數值 p 係為預設的迴路增益係數或是可經由控制裝置 (未顯示) 調整。此乘法器 36 的輸出會饋送給累積器 37，累積器 37 在控制迴路中係作為用於計時誤差值 t_d 之積分器。累積器的輸出會提供計時誤差修正值 t_k ，計時誤差修正值 t_k 會作為控制值饋送至取樣插入器 4。當累積器 37 中發生滿溢時，累積器 37 的滿溢信號 ov 用以使取樣插入器 4 跳過真實取樣值 s_{i1} 、 s_{q1} 之一。藉由圖 10 說明此跳越。

圖 10 係以時間圖顯示正交解調變器 5 之後的真實取樣值 s_{i1} 、 s_{q1} 。在取插入器 4 的輸出處之對應的取樣插入器 s_{i2} 、 s_{q2} 係顯示於真實取樣值之下。真實取樣瞬間與插入瞬間側彼此互相越過。個別的計時誤差修正值 t_k 係以箭頭顯示，箭頭係標示真正的取樣值至插入取樣值之間的時間差。當於真實取樣週期 t_r 中取得二個計時誤差修正值 t_k 時，可能發生插入的第一衝突。可藉

(請先閱讀背面之注意事項再填寫本頁)

訂

表

五、發明說明 (19)

由確保施加至取樣插入器 4 之資料速率大於插入速率，而防止此點發生，資料速率通常是依循數位化速率。假使插入的取樣值 s_{i2} 、 s_{q2} 指定給二個不同的計時誤差修正值 t_k 及 $t_{k'}$ 時，會發生第二衝突。在所示的實施例中，此點可能發生於瞬間 t_a ，在此瞬間，計時誤差修正值 t_k 幾乎等於取樣週期 T_r 的值的一半。最遲從此取樣瞬間開始，不應允許計時誤差修正值 t_k 再有任何增加而是應使其與相鄰的真實取樣值相關連。

藉由比較二計時誤差修正值 t_k 、 $t_{k'}$ 與最小的決定相比較，可防止第二衝突。但是，由於可由來自計時誤差偵測器 3 中的累積器 37 之滿溢信號 ov 針對真實取樣值 s_{i1} 、 s_{q1} 接著觸發跳過或忽視指令，所以，假使插入取樣值 s_{i2} 、 s_{q2} 的數目大於真實取樣值 s_{i1} 、 s_{q1} 時，這二個衝突將可自行解決。累積器 37 的滿溢信號 ov 顯示於圖 10 的最後一線中。在每一累積器週期 T_{akk_u} 之後，會跳過下一真實的取樣值 s_c 。以此方式，可取得計算的計時誤差修正值 t_k 與真實的取樣值 s_{i1} 、 s_{q1} 之間獨特的關連。

應注意，可以以積體電路實施上述發明的功能及其進一步發展。無論是以電路或藉由晶片上處理器中的程式實施個別功能單元，都沒有關係。上述發明所需的計算是非常少的，以致於可輕易地使用現存的處理器。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要（發明之名稱：

用於數位傳送信號之接收器之取樣
控制迴路

爲使個別符號（ s_0 至 s_3 ）的取樣最佳化，用於接收數位傳送信號的接收電路（2）之取樣控制迴路（1）會連接至計時誤差偵測器（3），計時誤差偵測器（3）係決定個別計時誤差值（ t_d ）。爲了改進取樣控制迴路（1）之控制動作，評估裝置（11）會從接收電路（2）之信號序列（ $I, Q; I_s, Q_s; s_r, s_p; s_r$ ）中決定可靠度值（ v ）並根據可靠度值（ v ）控制取樣控制迴路（1）。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

英文發明摘要（發明之名稱： Sampling control loop for a receiver for
digitally transmitted signals

To optimize the sampling of individual symbols (s_0 to s_3), a sampling control loop (1) for a circuit (2) for receiving digitally transmitted signals (s) is connected to a timing error detector (3) which determines the respective timing error values (t_d). To improve the control action of the sampling control loop (1), an evaluating device (11) determines a reliability value (v) from signals ($I, Q; I_s, Q_s; s_b, s_p; s_r$) of the receiving circuit (2) and controls the sampling control loop (1) in accordance with the reliability value (v).
(See Fig. 1).

訂

線

六、申請專利範圍

1. 一種取樣控制迴路 (1)，用於接收數位傳送信號 (s) 之接收電路 (2)，包括計時誤差偵測器 (3)，用以決定目前的符號取樣瞬間 (t_{r0} 至 t_{r3}) 與倪奎斯特準則所給定的最佳符號取樣瞬間相差的個別計時誤差值 (t_d)，其特徵為該計時誤差偵測器 (3) 具有與其耦合之評估裝置 (11)，該評估裝置 (11) 從接收電路 (2) 的信號 ($I, Q; I_s, Q_s; s_b, s_p; s_r$) 中決定可靠度值 (v) 並根據可靠度值 (v) 控制取樣控制迴路 (1)。

2. 如申請專利範圍第1項之取樣控制迴路 (1)，其特徵為該接收電路 (2) 包括分解器 (12)，該分解器 (12) 會將接收電路 (2) 的正交調變信號 (I, Q) 轉換成具極座標 (b, θ) 之信號 (s_b, s_p) 並將這些信號 (s_b, s_p) 中的至少一者饋送至評估裝置 (11)。

3. 如申請專利範圍第1項之取樣控制迴路 (1)，其特徵為，在該評估裝置 (11) 中，藉由至少一臨界值 (k_1 至 k_7) 以決定可靠度值 (v)，及基本上使用圍繞個別額定值 ($I_{s011}, Q_{s011}; b_{s011}, \theta_{s011}$) 之信號範圍以決定可靠度值 (v)。

4. 如申請專利範圍第3項之取樣控制迴路 (1)，其特徵為該評估裝置 (11) 會從儲存於儲存裝置 (30) 中的接收電路 (2) 之信號序列 ($I, Q; I_s, Q_s; s_r$) 中決定可靠度值 (v)。

六、申請專利範圍

5. 如申請專利範圍第4項之取樣控制迴路(1)，其特徵為儲存的信號序列($I, Q; I_s, Q_s; s_r$)係由追蹤窗間隔(T_i)所界定。

6. 如申請專利範圍第5項之取樣控制迴路(1)，其特徵為該追蹤窗間隔(T_i)會延伸至少四符號(S_0 至 S_3)的時間範圍。

7. 如申請專利範圍第6項之取樣控制迴路，特徵為該取樣可靠度值(v)僅在計時誤差值(t_d)暫時地指定給儲存的信號序列($I, Q; I_s, Q_s$)之正負號改變的情形下才會與用於該取樣控制迴路(1)之計時誤差值(t_d)有關連。

8. 如申請專利範圍第7項之取樣控制迴路(1)，其特徵為僅在儲存的信號序列($I, Q; I_s, Q_s$)之狀態於至少二符號取樣瞬間(t_{s0} 至 t_{s3})之間或以選擇參考信號振幅(a_0 至 a_3)之相關的目前取樣瞬間(t_{r0} 至 t_{r3})之間未顯示正負號改變的情形下，該可靠度值(v)才會與用於取樣控制迴路(1)之計時誤差值(t_d)有關連。

9. 如申請專利範圍第1項之取樣控制迴路(1)，其特徵為該計時誤差值(t_d)傳送至取樣控制迴路(1)係由阻隔裝置(35)視可靠度值(v)而控制。

10. 如申請專利範圍第1至9項中的任一項之取樣控制迴路(1)，其特徵為視計時誤差值(t_d)而定之計時誤差修正值(t_k)會依據插入的取樣值(s_{i2} ，

(請先閱讀背面之注意事項再填寫本頁)

表

訂

錄

六、申請專利範圍

s_{q2}) 之數目而對應於模函數，因而在預定時間間隔 ($T_{akk u}$) 中計算的計時誤差修正值 (t_k) 小於真實取樣值 (s_{i1}, s_{q1})，且於計時誤差修正期間於每一時間間隔 ($T_{akk u}$) 中跳過至少一真實的取樣值 (s_{i1}, s_{q1})，該模函數的範圍於正及負方向上是受限於真實取樣週期 (t_r) 的一半。

(請先閱讀背面之注意事項再填寫本頁)

※

訂

※

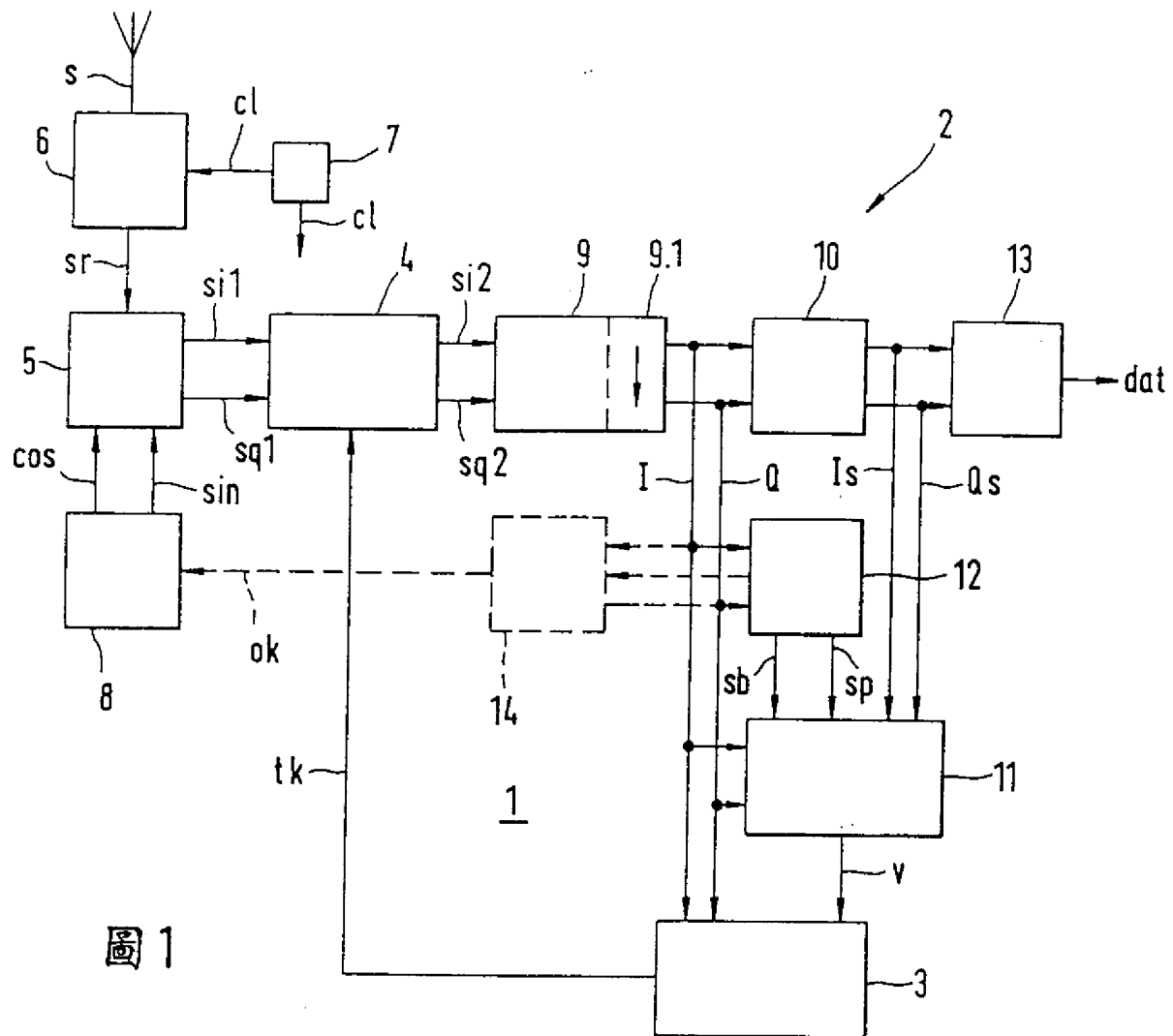


圖 1

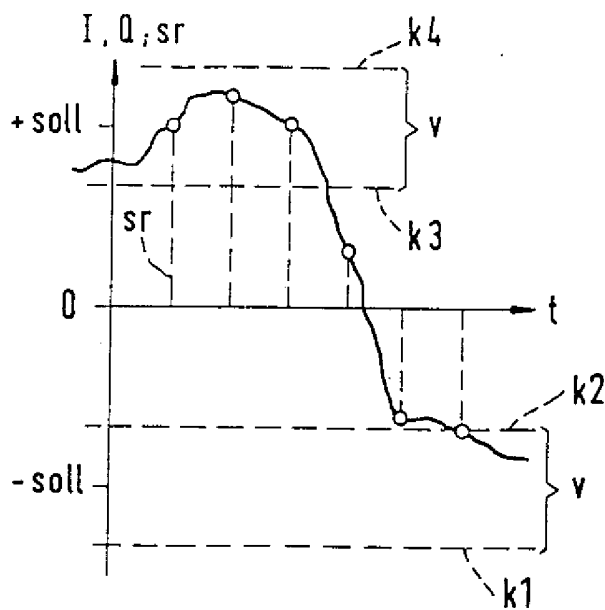


圖 2

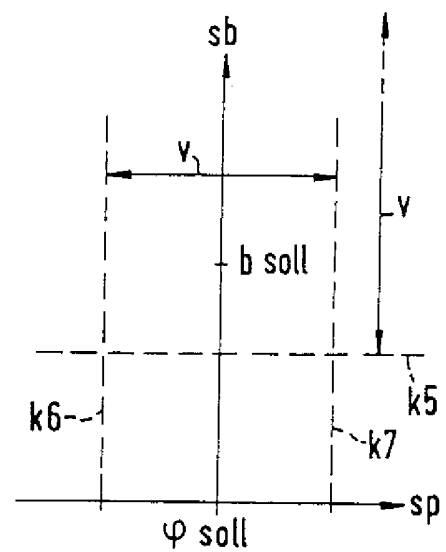


圖 3

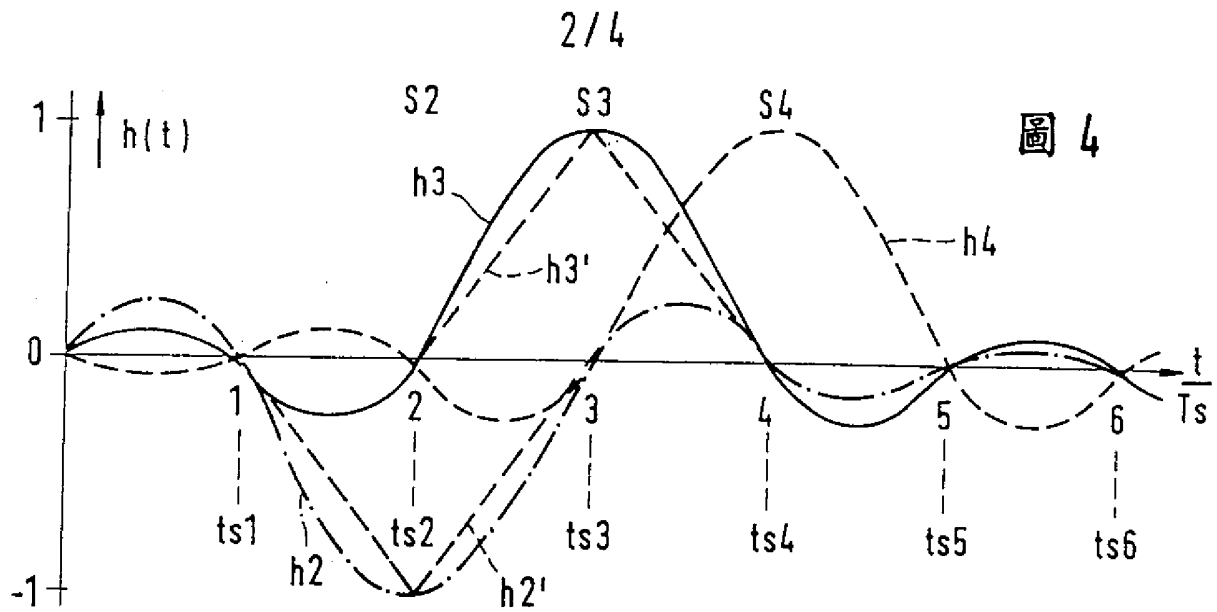


圖 5

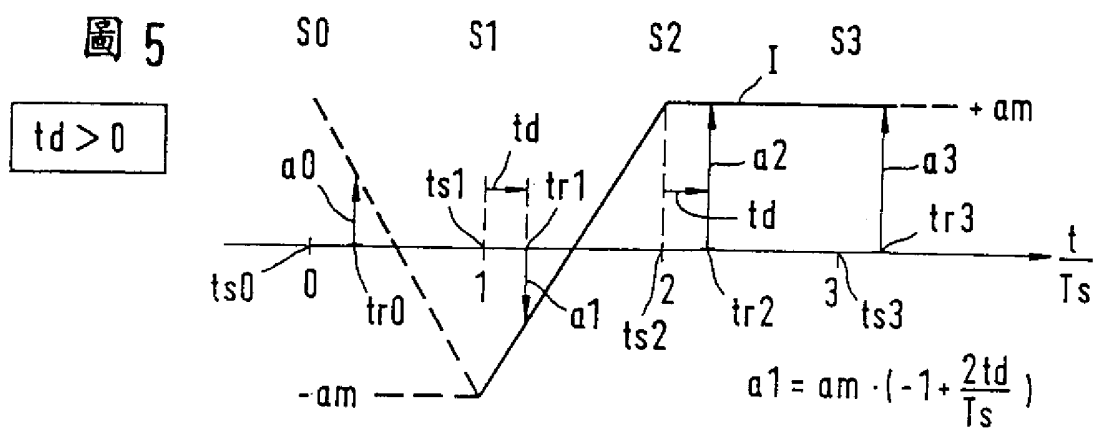
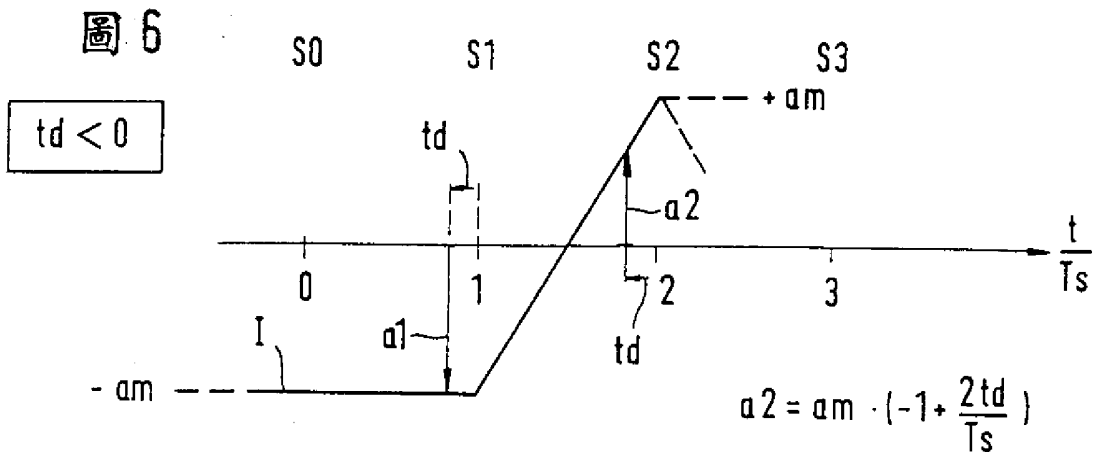


圖 6



$$\begin{aligned}
 f(td) &= \text{sign}(a2) \cdot (a1 + a2) \\
 &= +1 \cdot \left\{ -am + am \left(-1 + \frac{2td}{Ts} \right) \right\} \\
 &= 2 \cdot am \cdot \frac{td}{Ts}
 \end{aligned}$$

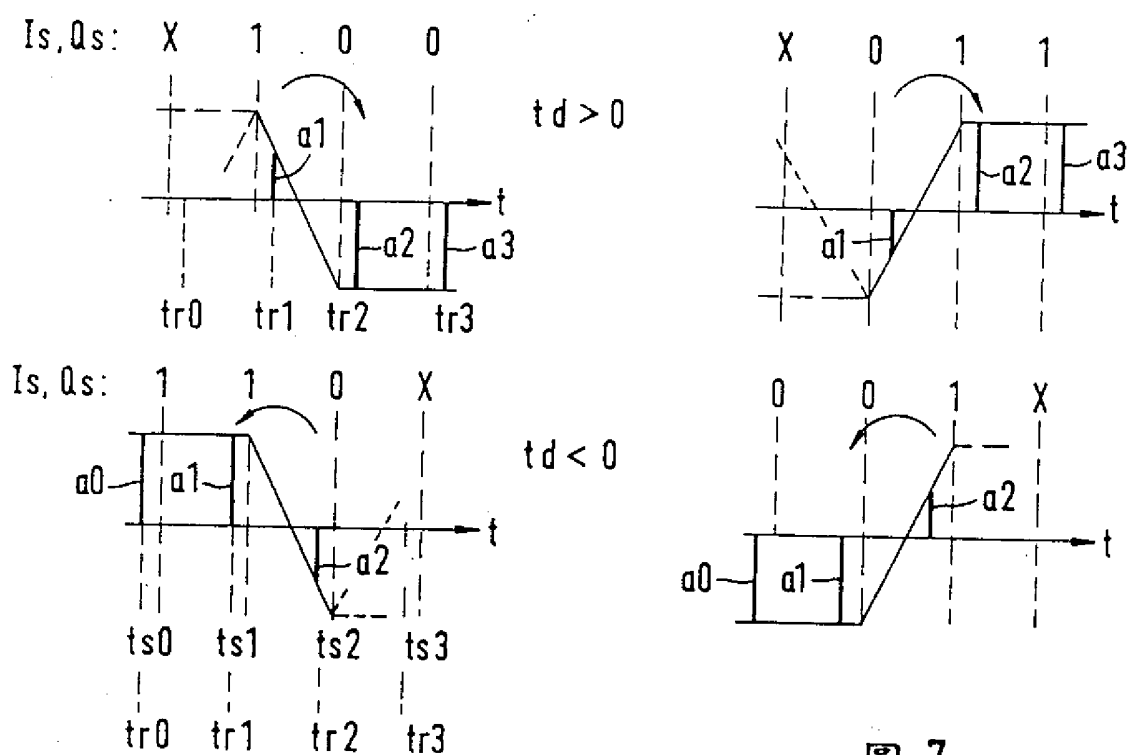


圖 7

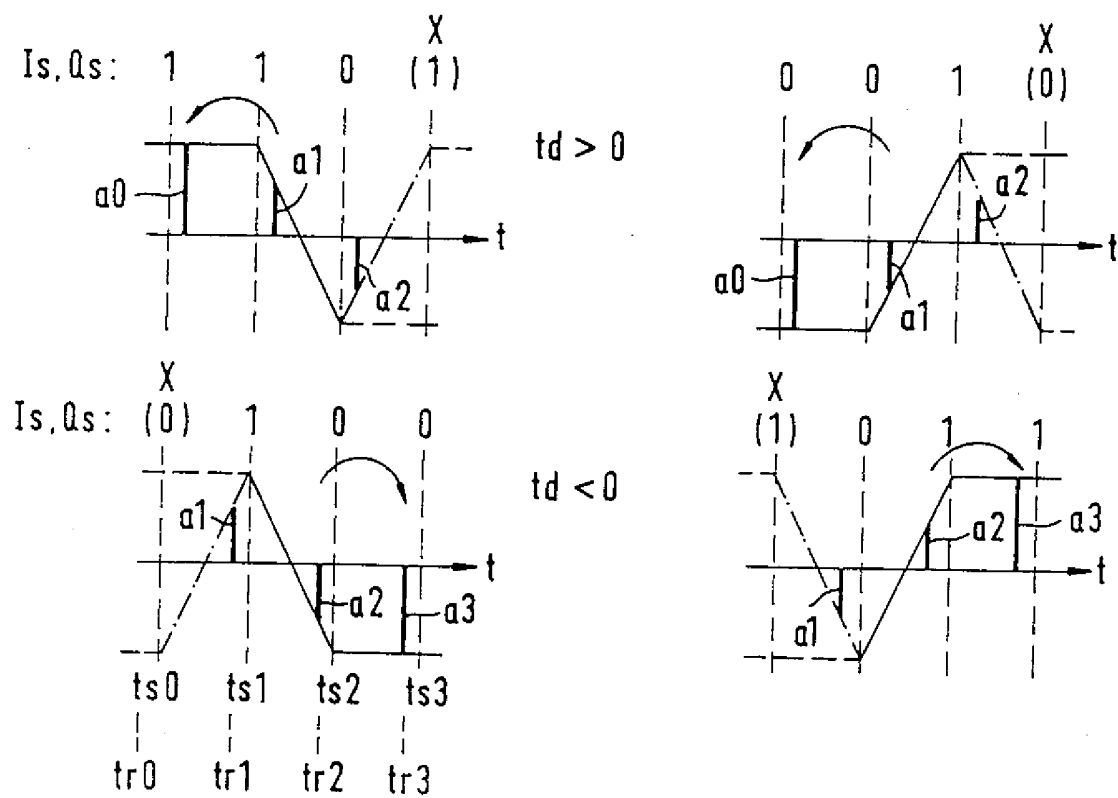


圖 8

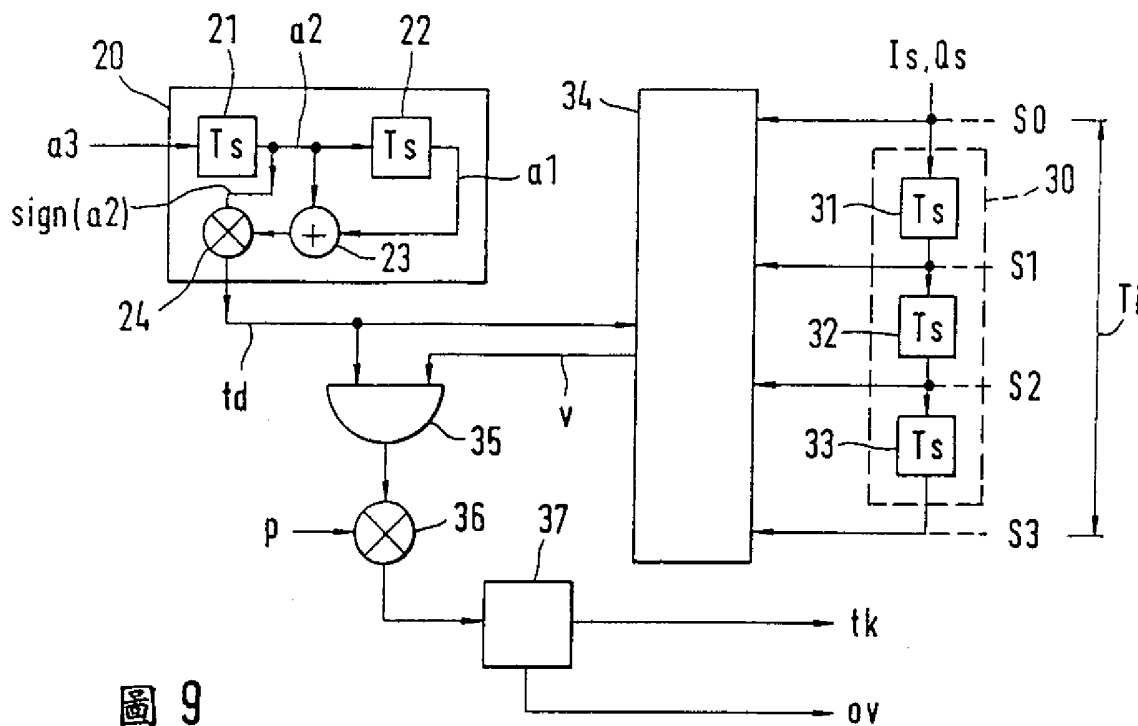


圖 9

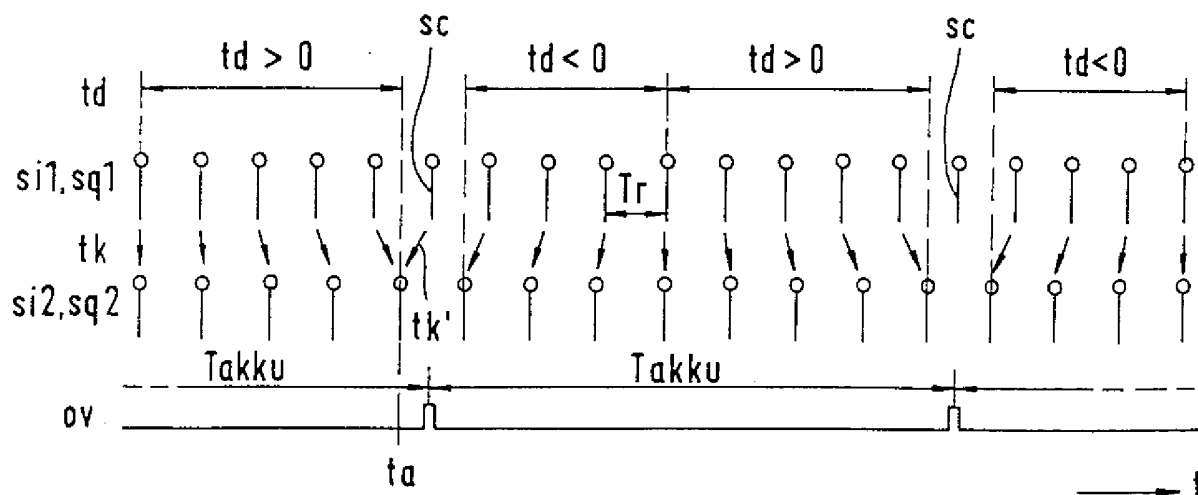


圖 10