(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年11月28日(28.11.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/241134 A1

(51) 国際特許分類:
G09G 3/20 (2006.01) *G09G 3/3275* (2016.01)
G09F 9/30 (2006.01) *H01L 21/336* (2006.01)
G09F 9/33 (2006.01) *H01L 29/786* (2006.01)
G09G 3/32 (2016.01) *H10B 12/00* (2023.01)
G09G 3/3266 (2016.01) *H10B 41/70* (2023.01)

(21) 国際出願番号： PCT/IB2024/054606

(22) 国際出願日： 2024年5月13日(13.05.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-082886 2023年5月19日(19.05.2023) JP

(71) 出願人: 株式会社半導体エネルギー研究所 **(SEMICONDUCTOR ENERGY LABORATORY CO., LTD.)** [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

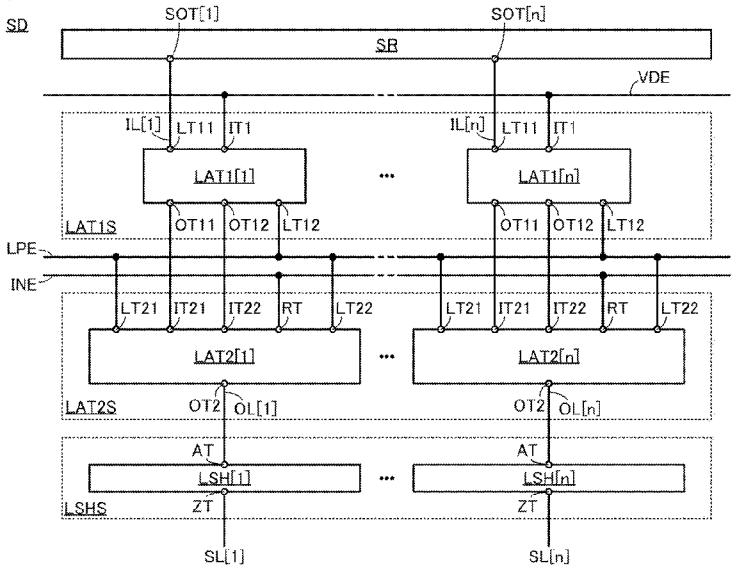
(72) 発明者: 木村肇 **(KIMURA, Hajime)**; 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 井上達則 **(INOUE, Tatsunori)**; 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 山崎舜平 **(YAMAZAKI, Shunpei)**; 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).

WO 2024/241134 A1

(54) **Title:** DRIVE CIRCUIT, DISPLAY DEVICE, AND ELECTRONIC APPARATUS

(54) 発明の名称： 駆動回路、表示装置及び電子機器

図1



(57) **Abstract:** Provided is a drive circuit that exhibits a high driving speed. This drive circuit comprises: a shift register; a first holding circuit; and a second holding circuit. The shift register has a first output terminal. The first holding circuit has first to third input terminals, a second output terminal, and a third output terminal. The second holding circuit has fourth to seventh input terminals, and a fourth output terminal. The shift register has a function of transmitting a first pulse signal to the first output terminal. The first holding circuit outputs a second image signal having a logic the same

[続葉有]

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

— 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

as that of a first image signal, and outputs a third image signal having a logic obtained by reversing the logic of the first image signal. The second holding circuit holds a potential corresponding to each of the second image signal and the third image signal, and outputs, by using the potential, a fourth image signal similar having a logic the same as that of the third image signal. The driving speed is increased by providing a vertical channel transistor to each of the first holding circuit and the second holding circuit.

(57) 要約:駆動速度が速い駆動回路を提供する。 シフトレジスタと、第１保持回路と、第２保持回路と、を有する、駆動回路である。シフトレジスタは、第１出力端子を有する。第１保持回路は、第１乃至第３入力端子と、第２出力端子と、第３出力端子と、を有し、第２保持回路は、第４乃至第７入力端子と、第４出力端子と、を有する。シフトレジスタは、第１出力端子に第１パルス信号を送信する機能を有する。第１保持回路は、第１画像信号と同じ論理の第２画像信号と、第１画像信号の論理が反転された第３画像信号と、の出力を行う。第２保持回路は、第２画像信号と第３画像信号とのそれぞれに応じた電位を保持し、当該電位を用いて、第３画像信号と同じ論理の第４画像信号を出力する。また、第１保持回路と、第２保持回路と、のそれぞれに、縦チャネル型トランジスタを設けることによって、駆動速度を速める。

明細書

発明の名称

駆動回路、表示装置及び電子機器

技術分野

［０００１］

本発明の一態様は、駆動回路、表示装置及び電子機器に関する。

［０００２］

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、動作方法又は製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ又は組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置（液晶表示装置も含む）、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、センサ、処理装置（プロセッサも含む）、電子機器、システム、それらの動作方法、それらの製造方法又はそれらの検査方法を一例として挙げることができる。

背景技術

［０００３］

近年、例えば、ＶＲ（仮想現実）、ＡＲ（拡張現実）などのＸＲ（Ｅｘｔｅｎｄｅｄ　Ｒｅａｌｉｔｙ又はＣｒｏｓｓ　Ｒｅａｌｉｔｙ）向けのウェアラブル機器、モニタ、携帯電話（例えば、スマートフォン）、腕時計型情報端末、タブレット型情報端末、ノート型ＰＣ（パーソナルコンピュータ）などに含まれている表示装置において、様々な面で改良が進められている。例えば、画面解像度を高くする、色再現性（ＮＴＳＣ比）を高くする、駆動回路を小さくする、消費電力を低減する、等といった改良のため、表示装置の開発が行われている。特に、マイクロＬＥＤ（Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）を有する発光デバイスは、有機ＥＬ材料が用いられた発光デバイスと比較して、長寿命、速い応答速度、低消費電力であるため、注目されている。

［０００４］

表示装置の改良については、画素回路、駆動回路などに酸化物半導体を含むトランジスタを用いることが注目されている。酸化物半導体としては、例えば、酸化インジウム、酸化亜鉛などの一元系金属の酸化物のみでなく、多元系金属の酸化物も知られている。多元系金属の酸化物の中でも、特に、Ｉｎ－Ｇａ－Ｚｎ酸化物（以下、ＩＧＺＯとも呼ぶ）に関する研究が盛んに行われている。

［０００５］

Ｉｎ－Ｇａ－Ｚｎ酸化物を活性層として、ｎチャネル型トランジスタを作製することにより、そのトランジスタのオフ電流を極めて低くすることができる（非特許文献１参照）。また、非特許文献２及び非特許文献３には、その特性を利用したＬＳＩ（Ｌａｒｇｅ　Ｓｃａｌｅ　Ｉｎｔｅｇｒａｔｉｏｎ）及び表示装置が報告されている。

［０００６］

一方で、酸化物半導体を活性層として、ｐチャネル型トランジスタを作製することは、移動度及び信頼性の点で難しい。このため、酸化物半導体を活性層としたトランジスタが含まれる回路は、ｎチャネル型の単極性回路（トランジスタがｎチャネル型のみで構成された回路）となる場合が多い。特許文献１には、酸化物半導体を活性層としたｎチャネル型トランジスタを用いて、単極性回路のシフトレジスタを含む駆動回路の発明が開示されている。

［先行技術文献］

［特許文献］

［０００７］

［特許文献１］特開２０２２－１７６１６６号公報

［非特許文献］

［０００８］

［非特許文献１］Ｋ．Ｋａｔｏ ｅｔ ａｌ．，“Ｊａｐａｎｅｓｅ Ｊｏｕｒｎａｌ ｏｆ Ａｐｐｌｉｅｄ Ｐｈｙｓｉｃｓ”，２０１２，ｖｏｌｕｍｅ ５１，ｐ．０２１２０１－１－０２１２０１－７

［非特許文献２］Ｓ．Ｍａｔｓｕｄａ ｅｔ ａｌ．，“２０１５ Ｓｙｍｐｏｓｉｕｍ ｏｎ ＶＬＳＩ Ｔｅｃｈｎｏｌｏｇｙ Ｄｉｇｅｓｔ ｏｆ Ｔｅｃｈｎｉｃａｌ Ｐａｐｅｒｓ”，２０１５，ｐ．Ｔ２１６－Ｔ２１７

［非特許文献３］Ｓ．Ａｍａｎｏ ｅｔ ａｌ．，“ＳＩＤ Ｓｙｍｐｏｓｉｕｍ Ｄｉｇｅｓｔ ｏｆ Ｔｅｃｈｎｉｃａｌ Ｐａｐｅｒｓ”，２０１０，ｖｏｌｕｍｅ ４１，ｉｓｓｕｅ １，ｐ．６２６－６２９

発明の概要

発明が解決しようとする課題

［０００９］

有機ＥＬ材料を含む発光デバイスにおいて、電流と輝度は比例関係であるため、電流の量を大きくすることによって、輝度を高くすることができる。つまり、有機ＥＬ材料を含む発光デバイスを有する表示装置は、電流の量を増減することによって、当該表示装置に表示する画像の階調を制御することができる。一方で、マイクロＬＥＤを含む発光デバイスも、電流の量を増やすことで輝度も高くなるが、同時に波長シフトも起こりやすくなり、発光デバイスが発光する色が変化する場合がある。このため、マイクロＬＥＤを含む発光デバイスを有する表示装置では、パルス幅変調（ＰＷＭ：Ｐｕｌｓｅ Ｗｉｄｔｈ Ｍｏｄｕｌａｔｉｏｎ）駆動によって、当該表示装置に表示する画像の階調を制御する方式が用いられる場合がある。

［００１０］

ＰＷＭ駆動とは、例えば、表示装置に１フレームの画像を表示させるときにおいて、当該１フレーム内に、マイクロＬＥＤを含む発光デバイスのアノード－カソード間に定電流を流す期間と、流さない期間と、を設けた駆動方法である。このように１フレーム内において、当該発光デバイスに定電流を流す期間と、定電流を流さない期間と、の時間配分を定めることによって、表示装置に表示する画像の階調を定めることができる。

［００１１］

但し、上記の通り、１フレーム内に、電流を流す期間と電流を流さない期間の時間配分を設ける場合、表示装置に備わる駆動回路は、サブフレーム単位での駆動が必要となる。特に、フレーム周波数が高くなると１フレームあたりの時間が短くなるため、より細かいサブフレーム単位で制御が必要となる。つまり、表示装置に備わる駆動回路は、所望のフレーム周波数よりも高い駆動周波数で駆動が可能であることが求められる。

［００１２］

本発明の一態様は、高速駆動が可能な駆動回路を提供することを課題の一とする。又は、本発明の

一態様は、出力信号を安定させることができる駆動回路を提供することを課題の一とする。又は、本発明の一態様は、回路面積を低減した駆動回路を提供することを課題の一とする。又は、本発明の一態様は、動作不良を低減した駆動回路を提供することを課題の一とする。又は、本発明の一態様は、上記駆動回路を有する表示装置を提供することを課題の一とする。又は、本発明の一態様は、上記表示装置を有する電子機器を提供することを課題の一とする。又は、本発明の一態様は、新規の駆動回路、新規の表示装置又は新規の電子機器を提供することを課題の一とする。

［００１３］

なお、本発明の一態様の課題は、上記課題に限定されない。上記課題は、他の課題の存在を妨げるものではない。なお、他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記課題及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記課題及び他の課題の全てを解決する必要はない。

課題を解決するための手段

［００１４］

上記課題の通り、高い駆動周波数で動作が可能な駆動回路を構成するため、本発明の一態様の駆動回路には、縦チャネル型トランジスタを用いる。縦チャネル型トランジスタは、ソース電極とドレイン電極とが異なる高さに位置し、半導体層を流れる電流が高さ方向に流れる構造となっており、そのチャネル長をプレーナ型トランジスタよりも短くすることができる。このため、縦チャネル型トランジスタは、大きいオン電流と高い駆動周波数を備えることができる。また、縦チャネル型トランジスタのチャネル形成領域に酸化物半導体を用いることにより、縦チャネル型トランジスタを容易に形成することができる。

［００１５］

以下に、上記課題を解決するための駆動回路と、当該駆動回路を備えた表示装置と、当該表示装置を備えた電子機器と、の一例を記載する。

［００１６］

（１）

本発明の一態様は、シフトレジスタと、第１保持回路と、第２保持回路と、を有する、駆動回路である。シフトレジスタは、第１出力端子を有し、第１保持回路は、第１入力端子と、第２入力端子と、第３入力端子と、第２出力端子と、第３出力端子と、を有し、第２保持回路は、第４入力端子と、第５入力端子と、第６入力端子と、第７入力端子と、第４出力端子と、を有する。また、第２出力端子は、第４入力端子に電気的に接続され、第３出力端子は、第５入力端子に電気的に接続されている。

［００１７］

シフトレジスタは、第１出力端子に第１パルス信号を送信する機能を有する。また、第１保持回路は、第１パルス信号が第２入力端子に入力され、且つ第１配線に送信される第１画像信号が第１入力端子に入力されることによって、第１画像信号に応じた第１電位を保持する機能と、第１画像信号と同じ論理の第２画像信号を第２出力端子に出力する機能と、第２配線に送信される第２パルス信号が第３入力端子に入力されることによって、第１画像信号の論理が反転された第３画像信号を第３出力端子に出力する機能と、を有する。また、第２保持回路は、第２配線に送信される第２パルス信号が第６入力端子に入力されることによって、第４入力端子に入力される第２画像信号を取得して、

第２画像信号に応じた第２電位を保持する機能と、第２配線に送信される第２パルス信号が第７入力端子に入力されることによって、第５入力端子に入力される第３画像信号を取得して、第３画像信号に応じた第３電位を保持する機能と、第２電位と第３電位を用いて、第３画像信号と同じ論理である第４画像信号を第４出力端子に出力する機能と、を有する。

［００１８］

（２）

又は、本発明の一態様は、上記（１）において、第１保持回路が、第１トランジスタと、第２トランジスタと、第３トランジスタと、第１容量素子と、を有する構成としてもよい。なお、第１トランジスタ乃至第３トランジスタのそれぞれは、チャネル形成領域に第１酸化物半導体を有することが好ましい。

［００１９］

第１入力端子は、第１配線に電気的に接続され、第３入力端子は、第２配線に電気的に接続されていることが好ましい。また、第１トランジスタのソース及びドレインの一方は、第１入力端子に電気的に接続され、第１トランジスタのゲートは、第２入力端子に電気的に接続され、第１トランジスタのソース及びドレインの他方は、第３トランジスタのゲートと、第１容量素子の第１端子と、第２出力端子と、に電気的に接続されていることが好ましい。また、第２トランジスタのソース及びドレインの一方は、第２トランジスタのゲートと、第３入力端子と、に電気的に接続され、第２トランジスタのソース及びドレインの他方は、第３トランジスタのソース及びドレインの一方と、第３出力端子と、に電気的に接続されていることが好ましい。

［００２０］

（３）

又は、本発明の一態様は、上記（２）において、第２保持回路が、第４トランジスタと、第５トランジスタと、第６トランジスタと、第７トランジスタと、第８トランジスタと、第９トランジスタと、第２容量素子と、第３容量素子と、を有する構成としてもよい。特に、第４トランジスタ乃至第９トランジスタのそれぞれは、チャネル形成領域に第２酸化物半導体を有することが好ましい。

［００２１］

第６入力端子は、第２配線に電気的に接続され、第７入力端子は、第２配線に電気的に接続されていることが好ましい。また、第４トランジスタのソース及びドレインの一方は、第５入力端子に電気的に接続され、第４トランジスタのゲートは、第７入力端子に電気的に接続され、第４トランジスタのソース及びドレインの他方は、第５トランジスタのソース及びドレインの一方に電気的に接続されていることが好ましい。また、第５トランジスタのソース及びドレインの他方は、第６トランジスタのゲートと、第２容量素子の第１端子と、に電気的に接続されていることが好ましい。また、第６トランジスタのソース及びドレインの一方は、第７トランジスタのソース及びドレインの一方と、第２容量素子の第２端子と、第４出力端子と、に電気的に接続されていることが好ましい。また、第８トランジスタのソース及びドレインの一方は、第４入力端子に電気的に接続され、第８トランジスタのゲートは、第６入力端子に電気的に接続され、第８トランジスタのソース及びドレインの他方は、第９トランジスタのソース及びドレインの一方と、第７トランジスタのゲートと、第３容量素子の第１端子と、に電気的に接続されていることが好ましい。

［００２２］

（４）

又は、本発明の一態様は、上記（２）において、第２保持回路が、第５トランジスタと、第６トランジスタと、第７トランジスタと、第８トランジスタと、第９トランジスタと、第２容量素子と、第３容量素子と、を有する構成としてもよい。特に、第５トランジスタ乃至第９トランジスタのそれぞれは、チャネル形成領域に第２酸化物半導体を有することが好ましい。

［００２３］

第６入力端子は、第２配線に電気的に接続され、第７入力端子は、第２配線に電気的に接続されていることが好ましい。また、第５トランジスタのソース及びドレインの一方は、第５入力端子に電気的に接続され、第５トランジスタのゲートは、第７入力端子に電気的に接続され、第５トランジスタのソース及びドレインの他方は、第６トランジスタのゲートと、第２容量素子の第１端子と、に電気的に接続されていることが好ましい。また、第６トランジスタのソース及びドレインの一方は、第７トランジスタのソース及びドレインの一方と、第２容量素子の第２端子と、第４出力端子と、に電気的に接続されていることが好ましい。また、第８トランジスタのソース及びドレインの一方は、第４入力端子に電気的に接続され、第８トランジスタのゲートは、第６入力端子に電気的に接続され、第８トランジスタのソース及びドレインの他方は、第９トランジスタのソース及びドレインの一方と、第７トランジスタのゲートと、第３容量素子の第１端子と、に電気的に接続されていることが好ましい。

［００２４］

（５）

又は、本発明の一態様は、上記（２）において、第２保持回路が、第４トランジスタと、第５トランジスタと、第６トランジスタと、第７トランジスタと、第８トランジスタと、第９トランジスタと、第１０トランジスタと、第２容量素子と、第３容量素子と、を有する構成としてもよい。特に、第４トランジスタ乃至第１０トランジスタのそれぞれは、チャネル形成領域に第２酸化物半導体を有することが好ましい。

［００２５］

第６入力端子は、第２配線に電気的に接続され、第７入力端子は、第２配線に電気的に接続されていることが好ましい。また、第４トランジスタのソース及びドレインの一方は、第５入力端子に電気的に接続され、第４トランジスタのゲートは、第７入力端子に電気的に接続され、第４トランジスタのソース及びドレインの他方は、第５トランジスタのソース及びドレインの一方と、第１０トランジスタのソース及びドレインの一方と、に電気的に接続されていることが好ましい。また、第５トランジスタのソース及びドレインの他方は、第６トランジスタのゲートと、第２容量素子の第１端子と、に電気的に接続されていることが好ましい。第６トランジスタのソース及びドレインの一方は、第７トランジスタのソース及びドレインの一方と、第２容量素子の第２端子と、第４出力端子と、に電気的に接続されていることが好ましい。また、第８トランジスタのソース及びドレインの一方は、第４入力端子に電気的に接続され、第８トランジスタのゲートは、第６入力端子に電気的に接続され、第８トランジスタのソース及びドレインの他方は、第９トランジスタのソース及びドレインの一方と、第７トランジスタのゲートと、第１０トランジスタのゲートと、第３容量素子の第１端子と、に電気的に接続されていることが好ましい。

［００２６］

（６）

又は、本発明の一態様は、上記（３）乃至（５）のいずれか一において、第１酸化物半導体と第２

酸化物半導体のそれぞれが、チャネル形成領域にインジウム、亜鉛及び元素Mから選ばれる一又は複数を有する構成としてもよい。

［００２７］

なお、元素Mは、アルミニウム、ガリウム、シリコン、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、コバルト、マグネシウム及びアンチモンから選ばれた一又は複数である。

［００２８］

（７）

又は、本発明の一態様は、上記（６）に記載の駆動回路と、画素回路と、を有する、表示装置である。画素回路は、ＬＥＤチップを含む発光デバイスを有し、画素回路は、駆動回路から出力された第４画像信号に応じて、発光デバイスの発光又は非発光の制御を行う。

［００２９］

（８）

又は、本発明の一態様は、上記（７）に記載の表示装置と、筐体と、を有する電子機器である。

［００３０］

（９）

又は、本発明の一態様は、シフトレジスタと、第１保持回路と、第２保持回路と、を有する、上記（１）とは異なる、駆動回路である。シフトレジスタは、第１出力端子を有し、第１保持回路は、第１入力端子と、第２入力端子と、第３入力端子と、第２出力端子と、第３出力端子と、を有し、第２保持回路は、第４入力端子と、第５入力端子と、第６入力端子と、第４出力端子と、を有する。また、第２出力端子は、第４入力端子に電気的に接続され、第３出力端子は、第５入力端子に電気的に接続されている。

［００３１］

シフトレジスタは、第１出力端子に第１パルス信号を送信する機能を有する。また、第１保持回路は、第１パルス信号が第２入力端子に入力され、且つ第１配線に送信される第１画像信号が第１入力端子に入力されることによって、第１画像信号に応じた第１電位を保持する機能と、第１画像信号と同じ論理の第２画像信号を第２出力端子に出力する機能と、第２配線に送信される第２パルス信号が第３入力端子に入力されることによって、第１画像信号の論理が反転された第３画像信号を第３出力端子に出力する機能と、を有する。また、第２保持回路は、第２配線に送信される第２パルス信号が第６入力端子に入力されることによって、第４入力端子に入力される第２画像信号を取得して、第２画像信号に応じた第２電位を保持する機能と、第２電位と第３画像信号に応じた第３電位とを用いて、第３画像信号と同じ論理である第４画像信号を第４出力端子に出力する機能と、を有する。

［００３２］

（１０）

又は、本発明の一態様は、上記（９）において、第１保持回路が、第１トランジスタと、第２トランジスタと、第３トランジスタと、第１容量素子と、を有する構成としてもよい。なお、第１トランジスタ乃至第３トランジスタのそれぞれは、チャネル形成領域に第１酸化物半導体を有することが好ましい。

［００３３］

第１入力端子は、第１配線に電気的に接続され、第３入力端子は、第２配線に電気的に接続されていることが好ましい。また、第１トランジスタのソース及びドレインの一方は、第１入力端子に電気的に接続され、第１トランジスタのゲートは、第２入力端子に電気的に接続され、第１トランジスタのソース及びドレインの他方は、第３トランジスタのゲートと、第１容量素子の第１端子と、第２出力端子と、に電気的に接続されていることが好ましい。また、第２トランジスタのソース及びドレインの一方は、第２トランジスタのゲートと、第３入力端子と、に電気的に接続され、第２トランジスタのソース及びドレインの他方は、第３トランジスタのソース及びドレインの一方と、第３出力端子と、に電気的に接続されていることが好ましい。

［００３４］

（１１）

又は、本発明の一態様は、上記（１０）において、第２保持回路が、第５トランジスタと、第６トランジスタと、第７トランジスタと、第８トランジスタと、第９トランジスタと、第１０トランジスタと、第２容量素子と、第３容量素子と、を有する構成としてもよい。特に、第５トランジスタ乃至第１０トランジスタのそれぞれは、チャネル形成領域に第２酸化物半導体を有することが好ましい。

［００３５］

第６入力端子は、第２配線に電気的に接続されていることが好ましい。また、第５トランジスタのゲートは、第５入力端子に電気的に接続され、第５トランジスタのソース及びドレインの一方は、第６トランジスタのゲートと、第１０トランジスタのソース及びドレインの一方と、第２容量素子の第１端子と、に電気的に接続されていることが好ましい。また、第６トランジスタのソース及びドレインの一方は、第７トランジスタのソース及びドレインの一方と、第２容量素子の第２端子と、第４出力端子と、に電気的に接続されていることが好ましい。また、第８トランジスタのソース及びドレインの一方は、第４入力端子に電気的に接続され、第８トランジスタのゲートは、第６入力端子に電気的に接続され、第８トランジスタのソース及びドレインの他方は、第９トランジスタのソース及びドレインの一方と、第７トランジスタのゲートと、第１０トランジスタのゲートと、第３容量素子の第１端子と、に電気的に接続されていることが好ましい。

［００３６］

（１２）

又は、本発明の一態様は、上記（１０）において、第２保持回路が、第５トランジスタと、第６トランジスタと、第７トランジスタと、第８トランジスタと、第９トランジスタと、第１０トランジスタと、第２容量素子と、第３容量素子と、を有し、且つ上記（５）と異なる構成としてもよい。特に、第５トランジスタ乃至第１０トランジスタのそれぞれは、チャネル形成領域に第２酸化物半導体を有することが好ましい。

［００３７］

第６入力端子は、第２配線に電気的に接続され、第７入力端子は、第２配線に電気的に接続されていることが好ましい。また、第５トランジスタのソース及びドレインの一方は、第５トランジスタのゲートと、第５入力端子と、に電気的に接続され、第５トランジスタのソース及びドレインの他方は、第６トランジスタのゲートと、第１０トランジスタのソース及びドレインの一方と、第２容量素子の第１端子と、に電気的に接続されていることが好ましい。また、第６トランジスタのソース及びドレインの一方は、第７トランジスタのソース及びドレインの一方と、第２容量素子の第２端子と、第４出力端子と、に電気的に接続されていることが好ましい。また、第８トランジスタのソース及びドレ

インの一方は、第４入力端子に電気的に接続され、第８トランジスタのゲートは、第６入力端子に電気的に接続され、第８トランジスタのソース及びドレインの他方は、第９トランジスタのソース及びドレインの一方と、第７トランジスタのゲートと、第１０トランジスタのゲートと、第３容量素子の第１端子と、に電気的に接続されていることが好ましい。

［００３８］

（１３）

又は、本発明の一態様は、上記（１１）又は（１２）において、第１酸化物半導体と第２酸化物半導体のそれぞれが、チャネル形成領域にインジウム、亜鉛及び元素Mから選ばれる一又は複数を有する構成としてもよい。

［００３９］

なお、元素Mは、アルミニウム、ガリウム、シリコン、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、コバルト、マグネシウム及びアンチモンから選ばれた一又は複数である。

［００４０］

（１４）

又は、本発明の一態様は、上記（１３）に記載の駆動回路と、画素回路と、を有する、表示装置である。画素回路は、ＬＥＤチップを含む発光デバイスを有し、画素回路は、駆動回路から出力された第４画像信号に応じて、発光デバイスの発光又は非発光の制御を行う。

［００４１］

（１５）

又は、本発明の一態様は、上記（１４）に記載の表示装置と、筐体と、を有する電子機器である。

［００４２］

（１６）

又は、本発明の一態様は、シフトレジスタと、第１保持回路と、第２保持回路と、を有する、上記（１）及び（９）と異なる、駆動回路である。シフトレジスタは、第１出力端子を有し、第１保持回路は、第１入力端子と、第２入力端子と、第３入力端子と、第２出力端子と、第３出力端子と、を有し、第２保持回路は、第４入力端子と、第５入力端子と、第６入力端子と、第７入力端子と、第４出力端子と、を有する。また、第２出力端子は、第４入力端子に電気的に接続され、第３出力端子は、第５入力端子に電気的に接続されている。

［００４３］

シフトレジスタは、第１出力端子に第１パルス信号を送信する機能を有する。また、第１保持回路は、第１パルス信号が第２入力端子に入力され、且つ第１配線に送信される第１画像信号が第１入力端子に入力されることによって、第１画像信号に応じた第１電位を保持する機能と、第１画像信号と同じ論理の第２画像信号を第２出力端子に出力する機能と、第２配線に送信される第２パルス信号が第３入力端子に入力されることによって、第１画像信号の論理が反転された第３画像信号を第３出力端子に出力する機能と、を有する。また、第２保持回路は、第２配線に送信される第２パルス信号が第６入力端子に入力されることによって、第４入力端子に入力される第２画像信号を取得して、第２画像信号に応じた第２電位を保持する機能と、第２配線に送信される第２パルス信号が第７入力端子に入力されることによって、第５入力端子に入力される第３画像信号を取得して、第３画像信

号に応じた第３電位を保持する機能と、第２電位と第３電位を用いて、第３画像信号と同じ論理である第４画像信号を第４出力端子に出力する機能と、を有する。

［００４４］

第１保持回路と、第２保持回路と、のそれぞれは、縦チャネル型トランジスタを有する。

［００４５］

（１７）

又は、本発明の一態様は、上記（１６）において、第１保持回路が、第１トランジスタと、第２トランジスタと、第３トランジスタと、第１容量素子と、を有する構成としてもよい。なお、第１トランジスタ乃至第３トランジスタのそれぞれは、縦チャネル型トランジスタとする。

［００４６］

第１入力端子は、第１配線に電気的に接続され、第３入力端子は、第２配線に電気的に接続されていることが好ましい。また、第１トランジスタのソース及びドレインの一方は、第１入力端子に電気的に接続され、第１トランジスタのゲートは、第２入力端子に電気的に接続され、第１トランジスタのソース及びドレインの他方は、第３トランジスタのゲートと、第１容量素子の第１端子と、第２出力端子と、に電気的に接続されていることが好ましい。また、第２トランジスタのソース及びドレインの一方は、第２トランジスタのゲートと、第３入力端子と、に電気的に接続され、第２トランジスタのソース及びドレインの他方は、第３トランジスタのソース及びドレインの一方と、第３出力端子と、に電気的に接続されていることが好ましい。

［００４７］

（１８）

又は、本発明の一態様は、上記（１７）において、第２保持回路が、第４トランジスタと、第５トランジスタと、第６トランジスタと、第７トランジスタと、第８トランジスタと、第９トランジスタと、第２容量素子と、第３容量素子と、を有する構成としてもよい。なお、第４トランジスタ乃至第９トランジスタのそれぞれは、縦チャネル型トランジスタとする。

［００４８］

第６入力端子は、第２配線に電気的に接続され、第７入力端子は、第２配線に電気的に接続されていることが好ましい。また、第４トランジスタのソース及びドレインの一方は、第５入力端子に電気的に接続され、第４トランジスタのゲートは、第７入力端子に電気的に接続され、第４トランジスタのソース及びドレインの他方は、第５トランジスタのソース及びドレインの一方に電気的に接続されていることが好ましい。また、第５トランジスタのソース及びドレインの他方は、第６トランジスタのゲートと、第２容量素子の第１端子と、に電気的に接続されていることが好ましい。また、第６トランジスタのソース及びドレインの一方は、第７トランジスタのソース及びドレインの一方と、第２容量素子の第２端子と、第４出力端子と、に電気的に接続されていることが好ましい。また、第８トランジスタのソース及びドレインの一方は、第４入力端子に電気的に接続され、第８トランジスタのゲートは、第６入力端子に電気的に接続され、第８トランジスタのソース及びドレインの他方は、第９トランジスタのソース及びドレインの一方と、第７トランジスタのゲートと、第３容量素子の第１端子と、に電気的に接続されていることが好ましい。

［００４９］

（１９）

又は、本発明の一態様は、上記（１７）において、第２保持回路が、第５トランジスタと、第６ト

ランジスタと、第７トランジスタと、第８トランジスタと、第９トランジスタと、第２容量素子と、第３容量素子と、を有する構成としてもよい。なお、第５トランジスタ乃至第９トランジスタのそれぞれは、縦チャネル型トランジスタとする。

［００５０］

第６入力端子は、第２配線に電気的に接続され、第７入力端子は、第２配線に電気的に接続されていることが好ましい。また、第５トランジスタのソース及びドレインの一方は、第５入力端子に電気的に接続され、第５トランジスタのゲートは、第７入力端子に電気的に接続され、第５トランジスタのソース及びドレインの他方は、第６トランジスタのゲートと、第２容量素子の第１端子と、に電気的に接続されていることが好ましい。また、第６トランジスタのソース及びドレインの一方は、第７トランジスタのソース及びドレインの一方と、第２容量素子の第２端子と、第４出力端子と、に電気的に接続されていることが好ましい。また、第８トランジスタのソース及びドレインの一方は、第４入力端子に電気的に接続され、第８トランジスタのゲートは、第６入力端子に電気的に接続され、第８トランジスタのソース及びドレインの他方は、第９トランジスタのソース及びドレインの一方と、第７トランジスタのゲートと、第３容量素子の第１端子と、に電気的に接続されていることが好ましい。

［００５１］

（２０）

又は、本発明の一態様は、上記（１７）において、第２保持回路が、第４トランジスタと、第５トランジスタと、第６トランジスタと、第７トランジスタと、第８トランジスタと、第９トランジスタと、第１０トランジスタと、第２容量素子と、第３容量素子と、を有する構成としてもよい。なお、第４トランジスタ乃至第１０トランジスタのそれぞれは、縦チャネル型トランジスタとする。

［００５２］

第６入力端子は、第２配線に電気的に接続され、第７入力端子は、第２配線に電気的に接続されていることが好ましい。また、第４トランジスタのソース及びドレインの一方は、第５入力端子に電気的に接続され、第４トランジスタのゲートは、第７入力端子に電気的に接続され、第４トランジスタのソース及びドレインの他方は、第５トランジスタのソース及びドレインの一方と、第１０トランジスタのソース及びドレインの一方と、に電気的に接続されていることが好ましい。また、第５トランジスタのソース及びドレインの他方は、第６トランジスタのゲートと、第２容量素子の第１端子と、に電気的に接続されていることが好ましい。第６トランジスタのソース及びドレインの一方は、第７トランジスタのソース及びドレインの一方と、第２容量素子の第２端子と、第４出力端子と、に電気的に接続されていることが好ましい。また、第８トランジスタのソース及びドレインの一方は、第４入力端子に電気的に接続され、第８トランジスタのゲートは、第６入力端子に電気的に接続され、第８トランジスタのソース及びドレインの他方は、第９トランジスタのソース及びドレインの一方と、第７トランジスタのゲートと、第１０トランジスタのゲートと、第３容量素子の第１端子と、に電気的に接続されていることが好ましい。

［００５３］

（２１）

又は、本発明の一態様は、上記（１８）乃至（２０）のいずれか一において、縦チャネル型トランジスタが、第１絶縁層の下方に位置しかつソース及びドレインの一方として機能する第１導電層と、第１絶縁層の上方に位置しかつソース及びドレインの他方として機能する第２導電層と、第１絶縁

層に形成された開口の側面に接しかつ第１導電層と第２導電層とに接する半導体層と、半導体層上に位置するゲート絶縁膜と、ゲート絶縁膜上に位置するゲート電極と、を有する構成としてもよい。特に、第１絶縁層の厚さは、５０ｎｍ以上１５０ｎｍ以下とすることが好ましい。

［００５４］

（２２）

又は、本発明の一態様は、上記（２１）において、半導体層が、チャネル形成領域にインジウム、亜鉛、及び元素Mから選ばれる一又は複数を有する構成としてもよい。

［００５５］

なお、元素Mは、アルミニウム、ガリウム、シリコン、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、コバルト、マグネシウム及びアンチモンから選ばれた一又は複数である。

［００５６］

（２３）

又は、本発明の一態様は、上記（２２）に記載の駆動回路と、画素回路と、を有する、表示装置である。画素回路は、ＬＥＤチップを含む発光デバイスを有し、画素回路は、駆動回路から出力された第４画像信号に応じて、発光デバイスの発光又は非発光の制御を行う。

［００５７］

（２４）

又は、本発明の一態様は、上記（２３）に記載の表示装置と、筐体と、を有する電子機器である。

［００５８］

（２５）

又は、本発明の一態様は、シフトレジスタと、第１保持回路と、第２保持回路と、を有する、上記（１）、（９）及び（１６）と異なる、駆動回路である。シフトレジスタは、第１出力端子を有し、第１保持回路は、第１入力端子と、第２入力端子と、第３入力端子と、第２出力端子と、第３出力端子と、を有し、第２保持回路は、第４入力端子と、第５入力端子と、第６入力端子と、第４出力端子と、を有する。また、第２出力端子は、第４入力端子に電気的に接続され、第３出力端子は、第５入力端子に電気的に接続されている。

［００５９］

シフトレジスタは、第１出力端子に第１パルス信号を送信する機能を有する。また、第１保持回路は、第１パルス信号が第２入力端子に入力され、且つ第１配線に送信される第１画像信号が第１入力端子に入力されることによって、第１画像信号に応じた第１電位を保持する機能と、第１画像信号と同じ論理の第２画像信号を第２出力端子に出力する機能と、第２配線に送信される第２パルス信号が第３入力端子に入力されることによって、第１画像信号の論理が反転された第３画像信号を第３出力端子に出力する機能と、を有する。また、第２保持回路は、第２配線に送信される第２パルス信号が第６入力端子に入力されることによって、第４入力端子に入力される第２画像信号を取得して、第２画像信号に応じた第２電位を保持する機能と、第２電位と第３画像信号に応じた第３電位とを用いて、第３画像信号と同じ論理である第４画像信号を第４出力端子に出力する機能と、を有する。

［００６０］

第１保持回路と、第２保持回路と、のそれぞれは、縦チャネル型トランジスタを有する。

［００６１］

（２６）

又は、本発明の一態様は、上記（２５）において、第１保持回路が、第１トランジスタと、第２トランジスタと、第３トランジスタと、第１容量素子と、を有する構成としてもよい。なお、第１トランジスタ乃至第３トランジスタのそれぞれは、縦チャネル型トランジスタとする。

［００６２］

第１入力端子は、第１配線に電気的に接続され、第３入力端子は、第２配線に電気的に接続されていることが好ましい。また、第１トランジスタのソース及びドレインの一方は、第１入力端子に電気的に接続され、第１トランジスタのゲートは、第２入力端子に電気的に接続され、第１トランジスタのソース及びドレインの他方は、第３トランジスタのゲートと、第１容量素子の第１端子と、第２出力端子と、に電気的に接続されていることが好ましい。また、第２トランジスタのソース及びドレインの一方は、第２トランジスタのゲートと、第３入力端子と、に電気的に接続され、第２トランジスタのソース及びドレインの他方は、第３トランジスタのソース及びドレインの一方と、第３出力端子と、に電気的に接続されていることが好ましい。

［００６３］

（２７）

又は、本発明の一態様は、上記（２６）において、第２保持回路が、第５トランジスタと、第６トランジスタと、第７トランジスタと、第８トランジスタと、第９トランジスタと、第１０トランジスタと、第２容量素子と、第３容量素子と、を有する構成としてもよい。なお、第５トランジスタ乃至第１０トランジスタのそれぞれは、縦チャネル型トランジスタとする。

［００６４］

第６入力端子は、第２配線に電気的に接続され、第７入力端子は、第２配線に電気的に接続されていることが好ましい。また、第５トランジスタのゲートは、第５入力端子に電気的に接続され、第５トランジスタのソース及びドレインの一方は、第６トランジスタのゲートと、第１０トランジスタのソース及びドレインの一方と、第２容量素子の第１端子と、に電気的に接続されていることが好ましい。また、第６トランジスタのソース及びドレインの一方は、第７トランジスタのソース及びドレインの一方と、第２容量素子の第２端子と、第４出力端子と、に電気的に接続されていることが好ましい。また、第８トランジスタのソース及びドレインの一方は、第４入力端子に電気的に接続され、第８トランジスタのゲートは、第６入力端子に電気的に接続され、第８トランジスタのソース及びドレインの他方は、第９トランジスタのソース及びドレインの一方と、第７トランジスタのゲートと、第１０トランジスタのゲートと、第３容量素子の第１端子と、に電気的に接続されていることが好ましい。

［００６５］

（２８）

又は、本発明の一態様は、上記（２６）において、第２保持回路が、第５トランジスタと、第６トランジスタと、第７トランジスタと、第８トランジスタと、第９トランジスタと、第１０トランジスタと、第２容量素子と、第３容量素子と、を有し、且つ上記（１５）と異なる構成としてもよい。なお、第５トランジスタ乃至第１０トランジスタのそれぞれは、縦チャネル型トランジスタとする。

［００６６］

第６入力端子は、第２配線に電気的に接続され、第７入力端子は、第２配線に電気的に接続されて

いることが好ましい。また、第５トランジスタのソース及びドレインの一方は、第５トランジスタのゲートと、第５入力端子と、に電気的に接続され、第５トランジスタのソース及びドレインの他方は、第６トランジスタのゲートと、第１０トランジスタのソース及びドレインの一方と、第２容量素子の第１端子と、に電気的に接続されていることが好ましい。また、第６トランジスタのソース及びドレインの一方は、第７トランジスタのソース及びドレインの一方と、第２容量素子の第２端子と、第４出力端子と、に電気的に接続されていることが好ましい。また、第８トランジスタのソース及びドレインの一方は、第４入力端子に電気的に接続され、第８トランジスタのゲートは、第６入力端子に電気的に接続され、第８トランジスタのソース及びドレインの他方は、第９トランジスタのソース及びドレインの一方と、第７トランジスタのゲートと、第１０トランジスタのゲートと、第３容量素子の第１端子と、に電気的に接続されていることが好ましい。

［００６７］

（２９）

又は、本発明の一態様は、上記（２７）又は（２８）において、縦チャネル型トランジスタが、第１絶縁層の下方に位置しかつソース及びドレインの一方として機能する第１導電層と、第１絶縁層の上方に位置しかつソース及びドレインの他方として機能する第２導電層と、第１絶縁層に形成された開口の側面に接しかつ第１導電層と第２導電層とに接する半導体層と、半導体層上に位置するゲート絶縁膜と、ゲート絶縁膜上に位置するゲート電極と、を有する構成としてもよい。特に、第１絶縁層の厚さは、５０ｎｍ以上１５０ｎｍ以下とすることが好ましい。

［００６８］

（３０）

又は、本発明の一態様は、上記（２９）において、半導体層が、チャネル形成領域にインジウム、亜鉛、及び元素Mから選ばれる一又は複数を有する構成としてもよい。

［００６９］

なお、元素Mは、アルミニウム、ガリウム、シリコン、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、コバルト、マグネシウム及びアンチモンから選ばれた一又は複数である。

［００７０］

（３１）

又は、本発明の一態様は、上記（３０）に記載の駆動回路と、画素回路と、を有する、表示装置である。画素回路は、ＬＥＤチップを含む発光デバイスを有し、画素回路は、駆動回路から出力された第４画像信号に応じて、発光デバイスの発光又は非発光の制御を行う。

［００７１］

（３２）

又は、本発明の一態様は、上記（３１）に記載の表示装置と、筐体と、を有する電子機器である。

発明の効果

［００７２］

上記の通り、駆動回路に縦チャネル型トランジスタを用いることによって、高い駆動周波数で動作が可能な駆動回路を構成することができる。これにより、画素回路の発光デバイスにマイクロＬＥＤを含む表示装置において、当該表示装置に１フレームの画像を表示させる期間において、当該発光デ

バイスが発光する期間と発光しない期間とを設けることができる。これにより、当該表示装置に表示する画像の階調を表現することができる。

［００７３］

本発明の一態様によって、高速駆動が可能な駆動回路を提供することができる。又は、本発明の一態様によって、出力信号を安定させることができる駆動回路を提供することができる。又は、本発明の一態様によって、回路面積を低減した駆動回路を提供することができる。又は、本発明の一態様によって、動作不良を低減した駆動回路を提供することができる。又は、本発明の一態様によって、上記駆動回路を有する表示装置を提供することができる。又は、本発明の一態様によって、上記表示装置を有する電子機器を提供することができる。又は、本発明の一態様によって、新規の駆動回路、新規の表示装置又は新規の電子機器を提供することができる。

［００７４］

なお、本発明の一態様の効果は、上記効果に限定されない。上記効果は、他の効果の存在を妨げるものではない。なお、他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記効果及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記効果を有さない場合もある。

図面の簡単な説明

［００７５］

図１は、駆動回路の一例を示したブロック図である。

図２は、駆動回路の一例を示したブロック図である。

図３Ａ乃至図３Ｃは、駆動回路に含まれる回路の一例を示した回路図である。

図４は、駆動回路に含まれる回路の一例を示した回路図である。

図５Ａ及び図５Ｂは、駆動回路に含まれる回路の動作例を示したタイミングチャートである。

図６は、駆動回路に含まれる回路の一例を示した回路図である。

図７は、駆動回路に含まれる回路の一例を示した回路図である。

図８は、駆動回路に含まれる回路の一例を示した回路図である。

図９は、駆動回路に含まれる回路の一例を示した回路図である。

図１０は、駆動回路に含まれる回路の一例を示した回路図である。

図１１は、駆動回路に含まれる回路の一例を示した回路図である。

図１２は、駆動回路に含まれる回路の一例を示した回路図である。

図１３は、駆動回路に含まれる回路の一例を示した回路図である。

図１４は、駆動回路に含まれる回路の一例を示した回路図である。

図１５は、駆動回路に含まれる回路の一例を示した回路図である。

図１６は、駆動回路に含まれる回路の一例を示した回路図である。

図１７は、駆動回路に含まれる回路の一例を示した回路図である。

図１８は、駆動回路の一例を示したブロック図である。

図１９は、駆動回路の一例を示したレイアウト図である。

図２０Ａ及び図２０Ｂは、駆動回路の構成例を示した断面模式図である。

図２１Ａは、表示装置の構成例を示したブロック図であり、図２１Ｂは、画素の構成例を示した回路

図である。

図２２は、表示装置の動作例を示したタイミングチャートである。

図２３Ａ乃至図２３Ｃは、表示装置の構成例を示す斜視模式図である。

図２４は、表示装置の構成例を示すブロック図である。

図２５は、表示装置の構成例を示す断面模式図である。

図２６Ａ乃至図２６Ｄは、ＬＥＤパッケージの構成例を示す断面模式図である。

図２７Ａ及び図２７Ｂは、ＬＥＤパッケージの構成例を示す平面模式図である。

図２８Ａは、表示装置の構成例を示す断面模式図であり、図２８Ｂは、表示装置に備わる基板と当該基板上の発光ダイオードの構成例を示す断面模式図である。

図２９は、表示装置の構成例を示す断面模式図である。

図３０Ａ乃至図３０Ｃは、表示装置の構成例の一部の領域を示す断面模式図である。

図３１は、表示装置の構成例を示す断面模式図である。

図３２は、表示装置の構成例を示す断面模式図である。

図３３は、表示装置の構成例を示す断面模式図である。

図３４Ａ及び図３４Ｂは、表示モジュールの構成例を示す図である。

図３５Ａ乃至図３５Ｉは、電子機器の一例を示す斜視図である。

図３６Ａは、記憶装置の構成例を説明する斜視模式図であり、図３６Ｂは、半導体装置の構成例を説明するブロック図である。

図３７は、記憶装置の構成例を説明するブロック図である。

図３８Ａ及び図３８Ｂは、電子部品の一例を示す図である。

図３９Ａ及び図３９Ｂは、電子機器の一例を示す図であり、図３９Ｃ乃至図３９Ｅは、大型計算機の一例を示す図である。

図４０は、宇宙用機器の一例を示す図である。

図４１は、データセンターに適用可能なストレージシステムの一例を示す図である。

図４２Ａ乃至図４２Ｉは、本明細書における「ＡとＢの接続」を説明する図である。

図４３Ａ乃至図４３Ｆは、本明細書における「回路素子」を説明する図である。

発明を実施するための形態

［００７６］

本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（例えば、トランジスタ、ダイオード及びフォトダイオード）を含む回路、同回路を有する装置をいう。また、半導体装置とは、半導体特性を利用することで機能しうる装置全般をいう。半導体装置の一例としては、集積回路が挙げられる。また、半導体装置の一例としては、集積回路を備えたチップも挙げられる。また、半導体装置の一例としては、パッケージにチップを収納した電子部品も挙げられる。また、例えば、記憶装置、表示装置、発光装置、照明装置及び電子機器は、それ自体が半導体装置である場合があり、半導体装置を有している場合がある。

［００７７］

また、本明細書等において、「第１」、「第２」、「第３」などの序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、工程順、積層順などの構成要素の順序を限定するものではない。また、本明細書において、序数詞が付されていない用語であっても、構成要素の混同を避けるため、特許請求の範囲において、序数詞が付される場合があ

る。また、本明細書において、序数詞が付されている用語であっても、特許請求の範囲において、異なる序数詞が付される場合がある。また、本明細書において序数詞が付されている用語であっても、特許請求の範囲において、助数詞を省略する場合がある。例えば、本明細書等の実施の形態の一において「第１」という序数詞に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において、その異なる序数詞として「第２」、「第３」などに言及された構成要素とすることもありうる。また、例えば、本明細書等の実施の形態の一において「第１」という序数詞に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

［００７８］

また、本明細書等において、「上に」及び「下に」といった配置を示す語句は、構成要素同士の位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成要素同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現は、示している図面の向きを１８０度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

［００７９］

また、「上」又は「下」といった用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層Ａ上の電極Ｂ」の表現であれば、絶縁層Ａの上に電極Ｂが直接接して形成されている必要はなく、絶縁層Ａと電極Ｂとの間に他の構成要素を含むものを除外しない。また、同様に、例えば、「絶縁層Ａの上方の電極Ｂ」の表現であれば、絶縁層Ａの上に電極Ｂが直接接して形成されている必要はなく、絶縁層Ａと電極Ｂとの間に他の構成要素を含むものを除外しない。また、同様に、例えば、「絶縁層Ａの下方の電極Ｂ」の表現であれば、絶縁層Ａの下に電極Ｂが直接接して形成されている必要はなく、絶縁層Ａと電極Ｂとの間に他の構成要素を含むものを除外しない。

［００８０］

また、本明細書等において、マトリクス状に配置された構成要素、及びその位置関係を説明するために、「行」及び「列」といった語句を使用する場合がある。また、構成要素同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「行方向」という表現は、示している図面の向きを９０度回転することによって、「列方向」と言い換えることができる場合がある。

［００８１］

また、本明細書等において、「膜」及び「層」といった語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。また、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。また、場合によっては、又は、状況に応じて、「膜」及び「層」といった語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。また、例えば、「絶縁層」又は「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

［００８２］

また、本明細書等において「電極」、「配線」及び「端子」という用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その

逆もまた同様である。さらに、「電極」又は「配線」といった用語は、複数の「電極」又は「配線」が一体となって形成されている場合なども含む。また、例えば、「端子」は「配線」又は「電極」の一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、「電極」、「配線」及び「端子」から選ばれた一以上が一体となって形成されている場合なども含む。そのため、例えば、「電極」は「配線」又は「端子」の一部とすることができ、また、例えば、「端子」は「配線」又は「電極」の一部とすることができる。また、「電極」、「配線」又は「端子」という用語は、場合によって、「領域」という用語に置き換える場合がある。

［００８３］

また、本明細書等において、「配線」、「信号線」及び「電源線」といった用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」又は「電源線」といった用語を、「配線」という用語に変更することが可能な場合がある。「電源線」といった用語は、「信号線」という用語に変更することが可能な場合がある。また、その逆も同様で「信号線」といった用語は、「電源線」という用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」という用語に変更することが可能な場合がある。また、その逆も同様で、「信号」という用語は、「電位」という用語に変更することが可能な場合がある。

［００８４］

また、本明細書等では、半導体装置の動作方法を説明するため、タイミングチャートを用いる場合がある。また、本明細書等に用いるタイミングチャートは、理想的な動作例を示したものであり、当該タイミングチャートに記載されている、期間、信号（例えば、電位又は電流）の大きさ及びタイミングは、特に断りがない場合は限定されない。本明細書等に記載されているタイミングチャートは、状況に応じて、当該タイミングチャートにおける各配線（ノードを含む）に入力される信号（例えば、電位又は電流）の大きさ及びタイミングの変更を行うことができる。例えば、タイミングチャートに２つの期間が等間隔に記載されていたとしても、２つの期間の長さは互いに異なる場合がある。また、例えば、２つの期間において、一方の期間が長く、かつ他方の期間が短く記載されていたとしても、両者の期間の長さは等しくてもよい場合があり、又は、一方の期間が短くかつ他方の期間が長くてもよい場合がある。また、タイミングチャートを明瞭に示すため、例えば、重なっている２本以上の信号を意図的にずらして図示する場合がある。

［００８５］

本明細書等において、金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ又は単にＯＳともいう）などに分類される。例えば、トランジスタのチャネル形成領域に金属酸化物が含まれている場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が、増幅作用、整流作用及びスイッチング作用の少なくとも１つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体（ｍｅｔａｌ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）と呼称することができる。また、ＯＳトランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

［００８６］

また、本明細書等において、窒素を有する金属酸化物も金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（ｍｅｔａｌ　ｏｘｙｎｉｔｒｉｄｅ）と呼称してもよい。

［００８７］

また、本明細書等において、半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が０．１原子％未満の元素は不純物である。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなること、キャリア移動度が低下すること、及び結晶性が低下すること、から選ばれた一以上が起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第１族元素と、第２族元素と、第１３族元素と、第１４族元素と、第１５族元素と、主成分以外の遷移金属とがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、及び窒素がある。

［００８８］

本明細書において、「平行」とは、二つの直線が－１０度以上１０度以下の角度で配置されている状態をいう。したがって、－５度以上５度以下の場合も含まれる。また、「略平行」又は「概略平行」とは、二つの直線が－３０度以上３０度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が８０度以上１００度以下の角度で配置されている状態をいう。したがって、８５度以上９５度以下の場合も含まれる。また、「略垂直」又は「概略垂直」とは、二つの直線が６０度以上１２０度以下の角度で配置されている状態をいう。

［００８９］

また、本明細書において、各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて、本発明の一態様とすることができる。また、１つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

［００９０］

なお、ある一つの実施の形態の中で述べる内容（例えば、一部の内容）は、その実施の形態で述べる別の内容（例えば、別の一部の内容）と、一つ若しくは複数の別の実施の形態で述べる内容（一部又は全部の内容）との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

［００９１］

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

［００９２］

なお、ある一つの実施の形態において述べる図（一部又は全部）は、その図の別の部分、その実施の形態において述べる別の図（一部又は全部）と、一つ若しくは複数の別の実施の形態において述べる図（一部又は全部）との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

［００９３］

本明細書に記載の実施の形態について図面を参照しながら説明している。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の

記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

［００９４］

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“＿１”、“［ｎ］”、“［ｍ，ｎ］”等の識別用の符号を付記して記載する場合がある。また、図面等において、符号に“＿１”、“［ｎ］”、“［ｍ，ｎ］”等の識別用の符号を付記している場合、本明細書等において区別する必要が無いときには、識別用の符号を記載しない場合がある。

［００９５］

また、本明細書の図面において、大きさ、層の厚さ又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。

［００９６］

（実施の形態１）

本実施の形態では、本発明の一態様の駆動回路について、説明する。

［００９７］

＜駆動回路の構成例１＞

図１は、本発明の一態様の駆動回路の構成例を示したブロック図である。なお、当該駆動回路は、表示装置におけるソースドライバ回路としての機能を有する。

［００９８］

図１に示す駆動回路ＳＤは、一例として、シフトレジスタＳＲと、回路ＬＡＴ１Ｓと、回路ＬＡＴ２Ｓと、回路ＬＳＨＳと、を有する。

［００９９］

シフトレジスタＳＲは、一例として、出力端子としての機能を有する、端子ＳＯＴ［１］乃至端子ＳＯＴ［ｎ］（ｎは１以上の整数とする）を有する。

［０１００］

回路ＬＡＴ１Ｓは、一例として、保持回路ＬＡＴ１［１］乃至保持回路ＬＡＴ１［ｎ］を有する。

［０１０１］

また、回路ＬＡＴ１［１］乃至回路ＬＡＴ１［ｎ］のそれぞれは、一例として、入力端子としての機能を有する、端子ＩＴ１と、端子ＬＴ１１と、端子ＬＴ１２と、を有する。また、回路ＬＡＴ１［１］乃至回路ＬＡＴ１［ｎ］のそれぞれは、一例として、出力端子としての機能を有する、端子ＯＴ１１と、端子ＯＴ１２と、を有する。

［０１０２］

回路ＬＡＴ２Ｓは、一例として、保持回路ＬＡＴ２［１］乃至保持回路ＬＡＴ２［ｎ］を有する。

［０１０３］

また、回路ＬＡＴ２［１］乃至回路ＬＡＴ２［ｎ］のそれぞれは、一例として、入力端子としての機能を有する、端子ＩＴ２１と、端子ＩＴ２２と、端子ＬＴ２１と、端子ＬＴ２２と、端子ＲＴと、を有する。また、回路ＬＡＴ１［１］乃至回路ＬＡＴ１［ｎ］のそれぞれは、一例として、出力端子

としての機能を有する、端子ＯＴ２を有する。

［０１０４］

回路ＬＳＨＳは、一例として、レベルシフタＬＳＨ［１］乃至レベルシフタＬＳＨ［ｎ］を有する。

［０１０５］

また、レベルシフタＬＳＨ［１］乃至レベルシフタＬＳＨ［ｎ］のそれぞれは、一例として、入力端子としての機能を有する、端子ＡＴを有する。また、レベルシフタＬＳＨ［１］乃至レベルシフタＬＳＨ［ｎ］のそれぞれは、一例として、出力端子としての機能を有する、端子ＺＴを有する。

［０１０６］

ｊ列目（ｊは１以上ｎ以下の整数とする）において、保持回路ＬＡＴ１［ｊ］の端子ＬＴ１１は、配線ＩＬ［ｊ］を介して、シフトレジスタＳＲの端子ＳＯＴ［ｊ］に接続されている。また、保持回路ＬＡＴ１［ｊ］の端子ＩＴ１は、配線ＶＤＥに接続されている。また、保持回路ＬＡＴ１［ｊ］の端子ＬＴ１２は、配線ＬＰＥに接続されている。

［０１０７］

保持回路ＬＡＴ１［ｊ］の端子ＯＴ１１は、保持回路ＬＡＴ２［ｊ］の端子ＩＴ２１に接続されている。また、保持回路ＬＡＴ１［ｊ］の端子ＯＴ１２は、保持回路ＬＡＴ２［ｊ］の端子ＩＴ２２に接続されている。

［０１０８］

保持回路ＬＡＴ２［ｊ］の端子ＬＴ２１及び端子ＬＴ２２のそれぞれは、配線ＬＰＥに接続されている。

［０１０９］

回路ＬＡＴ２［ｊ］の端子ＯＴ２は、配線ＯＬ［ｊ］を介して、レベルシフタＬＳＨ［ｊ］の端子ＡＴに接続されている。また、レベルシフタＬＳＨ［ｊ］の端子ＺＴは、配線ＳＬ［ｊ］に接続されている。

［０１１０］

配線ＶＤＥは、一例として、第１画像信号を送信する配線としての機能を有する。なお、第１画像信号は、デジタル信号として扱われることが好ましい。

［０１１１］

配線ＬＰＥは、一例として、回路ＬＡＴ１［１］乃至回路ＬＡＴ１［ｎ］と回路ＬＡＴ２［１］乃至回路ＬＡＴ２［ｎ］とを制御するための信号（本明細書では、第２パルス信号と呼称する場合がある）を送信する配線としての機能を有する。なお、第２パルス信号は、例えば、回路ＬＡＴ２［１］乃至回路ＬＡＴ２［ｎ］に対してはラッチパルス信号（ストローブ信号と呼ばれる場合がある）としての機能を有する。

［０１１２］

配線ＩＮＥは、一例として、回路ＬＡＴ２［１］乃至回路ＬＡＴ２［ｎ］のそれぞれに保持されている画像データをリセットするための信号を送信する配線としての機能を有する。

［０１１３］

シフトレジスタＳＲは、一例として、連続で接続された保持回路を有し、保持回路に入力された信号に応じた情報を保持する機能と、当該情報に応じた信号を隣の保持回路に逐次的に送信する機能を有する。また、シフトレジスタは、一例として、保持回路に保持された情報に応じた信号（本明細書では、第１パルス信号と呼称する場合がある）を端子ＳＯＴに出力する機能を有する。なお、シフ

トレジスタＳＲが端子ＳＯＴに出力する信号は、保持回路ＬＡＴ１におけるストローブ信号に相当する。

［０１１４］

配線ＩＬ［１］乃至配線ＩＬ［ｎ］のそれぞれは、一例として、シフトレジスタＳＲから保持回路ＬＡＴ１に対して、配線ＶＤＥに送信される第１画像信号の取り込みを行うための制御信号として第１パルス信号（ストローブ信号）を送信するための配線としての機能を有する。

［０１１５］

保持回路ＬＡＴ１［１］乃至保持回路ＬＡＴ１［ｎ］のそれぞれは、一例として、ラッチ回路としての機能を有する。

［０１１６］

例えば、配線ＶＤＥから保持回路ＬＡＴ１の端子ＩＴ１に第１画像信号が送信されているときに、シフトレジスタＳＲの端子ＳＯＴから保持回路ＬＡＴ１の端子ＬＴ１１に第１パルス信号として高レベル電位が入力されることによって、保持回路ＬＡＴ１は第１画像信号に応じた第１電位を保持し、かつ第１電位として第２画像信号を保持回路ＬＡＴ１の端子ＯＴ１１に出力する。なお、第１画像信号と第２画像信号のそれぞれの論理は等しいものとする。また、ここで、シフトレジスタＳＲの端子ＳＯＴから保持回路ＬＡＴ１の端子ＬＴ１１への第１パルス信号として、高レベル電位から低レベル電位に遷移したとき、保持回路ＬＡＴ１は、配線ＶＤＥから保持回路ＬＡＴ１の端子ＩＴ１への第１画像信号の入力を遮断する。なお、このとき、回路ＬＡＴ１の出力端子ＯＴ１１には、回路ＬＡＴ１に保持された第１電位とした第２画像信号を引き続き、保持回路ＬＡＴ１の端子ＯＴ１１に出力する。

［０１１７］

また、例えば、配線ＬＰＥから保持回路ＬＡＴ１の端子ＬＴ１２に第２パルス信号として、低レベル電位から高レベル電位に遷移しているとき、保持回路ＬＡＴ１は、保持されている第１電位に応じた第１画像信号（第２画像信号）の論理が反転された第３画像信号を端子ＯＴ１２に出力する。

［０１１８］

保持回路ＬＡＴ２［１］乃至保持回路ＬＡＴ２［ｎ］のそれぞれは、一例として、ラッチ回路としての機能を有する。

［０１１９］

例えば、保持回路ＬＡＴ１の端子ＯＴ１１から保持回路ＬＡＴ２の端子ＩＴ２１に第２画像信号が送信され、かつ保持回路ＬＡＴ１の端子ＯＴ１２から保持回路ＬＡＴ２の端子ＩＴ２２に第１画像信号（第２画像信号）の論理が反転された第３画像信号が送信されているときに、配線ＬＰＥから保持回路ＬＡＴ２の端子ＬＴ２１及び端子ＬＴ２２のそれぞれに第２パルス信号として低レベル電位から高レベル電位に遷移することによって、保持回路ＬＡＴ２は第２画像信号に応じた第２電位と、第３画像信号に応じた第３電位と、を保持する。また、このとき、保持回路ＬＡＴ２は、保持されている第２電位と第３電位に基づいて、第３画像信号の同じ論理である第４画像信号を生成して、第４画像信号を保持回路ＬＡＴ２の端子ＯＴ２に出力する。また、ここで、配線ＬＰＥから保持回路ＬＡＴ２の端子ＬＴ２１及び端子ＬＴ２２のそれぞれへの第２パルス信号として、高レベル電位から低レベル電位に遷移したとき、保持回路ＬＡＴ２は、保持回路ＬＡＴ１の端子ＯＴ１１から保持回路ＬＡＴ２の端子ＩＴ２１への第２画像信号の入力を遮断し、かつ保持回路ＬＡＴ１の端子ＯＴ１２から保持回路ＬＡＴ２の端子ＩＴ２２への第３画像信号の入力を遮断する。

［０１２０］

配線ＯＬ［１］乃至配線ＯＬ［ｎ］のそれぞれは、一例として、保持回路ＬＡＴ２からレベルシフタＬＳＨに対して、第４画像信号を送信するための配線としての機能を有する。

［０１２１］

レベルシフタＬＳＨ［１］乃至レベルシフタＬＳＨ［ｎ］のそれぞれは、一例として、レベルシフタとしての機能を有する。具体的には、レベルシフタＬＳＨは、保持回路ＬＡＴ２の端子ＯＴ２からレベルシフタＬＳＨの端子ＡＴに入力された第４画像信号に応じた電位を、別の電位にシフトさせる機能を有する。

［０１２２］

例えば、レベルシフタＬＳＨは、保持回路ＬＡＴ２の端子ＯＴ２からレベルシフタＬＳＨの端子ＡＴに高レベル電位が入力された場合、レベルシフタＬＳＨの端子ＺＴから、当該高レベル電位よりも高い電位、又は低レベル電位よりも高くかつ当該高レベル電位よりも低い電位にシフトさせる機能を有する。また、レベルシフタＬＳＨは、保持回路ＬＡＴ２の端子ＯＴ２からレベルシフタＬＳＨの端子ＡＴに低レベル電位が入力された場合、レベルシフタＬＳＨの端子ＺＴからは、当該低レベル電位を出力する機能を有する。

［０１２３］

また、状況によっては、レベルシフタＬＳＨは、保持回路ＬＡＴ２の端子ＯＴ２からレベルシフタＬＳＨの端子ＡＴに低レベル電位が入力された場合、レベルシフタＬＳＨの端子ＺＴから、当該低レベル電位よりも低い電位、又は当該低レベル電位よりも高くかつ高レベル電位よりも低い電位にシフトさせる機能を有してもよい。また、レベルシフタＬＳＨは、保持回路ＬＡＴ２の端子ＯＴ２からレベルシフタＬＳＨの端子ＡＴに高レベル電位が入力された場合には、レベルシフタＬＳＨの端子ＺＴからは、当該高レベル電位を出力する機能を有してもよい。

［０１２４］

また、別の状況によっては、レベルシフタＬＳＨは、保持回路ＬＡＴ２の端子ＯＴ２からレベルシフタＬＳＨの端子ＡＴに第１の高レベル電位が入力された場合、レベルシフタＬＳＨの端子ＺＴから、第２の高レベル電位にシフトさせる機能と、保持回路ＬＡＴ２の端子ＯＴ２からレベルシフタＬＳＨの端子ＡＴに第１の低レベル電位が入力された場合、レベルシフタＬＳＨの端子ＺＴから、第２の低レベル電位にシフトさせる機能と、を有してもよい。

［０１２５］

また、図１の駆動回路ＳＤにおいて、回路ＬＡＴ２の端子ＯＴ２から出力する電位をレベルシフトする必要が無い場合、又は、回路ＬＡＴ２にレベルシフタとしての機能が含まれている場合には、図２に示す駆動回路ＳＤに構成を変更することができる。

［０１２６］

図２に示す駆動回路ＳＤは、図１の駆動回路ＳＤの変更例であって、回路ＬＳＨＳが設けられていない点と、保持回路ＬＡＴ［ｊ］（図示しない）の端子ＯＴ２が、配線ＳＬ［１］に接続されている点と、で図１の駆動回路ＳＤと構成が異なっている。回路ＬＡＴ２の端子ＯＴ２から出力する電位をレベルシフトする必要が無い場合、又は、回路ＬＡＴ２にレベルシフタとしての機能が含まれている場合には、図２に示す駆動回路ＳＤを表示装置に用いればよい。

［０１２７］

次に、回路ＬＡＴ１及び回路ＬＡＴ２の具体的な構成例について説明する。

［０１２８］

＜保持回路ＬＡＴ１の構成例１＞

初めに、回路ＬＡＴ１の具体的な構成例について説明する。

［０１２９］

図３Ａに示す回路ＬＡＴ１Ａは、図１又は図２の駆動回路ＳＤに含まれる回路ＬＡＴ１に適用できる回路の構成例である。なお、図３Ａには、回路ＬＡＴ１Ａの周辺の接続構成を示すため、シフトレジスタＳＲも図示している。

［０１３０］

回路ＬＡＴ１Ａは、トランジスタＭ１１と、トランジスタＭ１２と、トランジスタＭ１３と、容量素子Ｃ１１と、を有する。

［０１３１］

トランジスタＭ１１乃至トランジスタＭ１３のそれぞれには、一例として、ＯＳトランジスタを適用することが好ましい。特に、ＯＳトランジスタのチャネル形成領域に含まれる金属酸化物としては、例えば、インジウム酸化物、ガリウム酸化物及び亜鉛酸化物が挙げられる。また、金属酸化物は、インジウムと、元素Ｍと、亜鉛と、の中から選ばれる一種又は複数種を有することが好ましい。なお、元素Ｍは、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、スズ、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、コバルト、マグネシウム及びアンチモンから選ばれた一種又は複数種である。特に、元素Ｍは、アルミニウム、ガリウム、イットリウム及びスズから選ばれた一種又は複数種であることが好ましい。

［０１３２］

特に、半導体層に用いる金属酸化物には、インジウム（Ｉｎ）、ガリウム（Ｇａ）及び亜鉛（Ｚｎ）を含む酸化物（ＩＧＺＯとも記す）を用いることが好ましい。又は、インジウム、スズ及び亜鉛を含む酸化物（ＩＴＺＯ（登録商標）とも記す）を用いることが好ましい。又は、インジウム、ガリウム、スズ及び亜鉛を含む酸化物を用いることが好ましい。又は、インジウム（Ｉｎ）、アルミニウム（Ａｌ）及び亜鉛（Ｚｎ）を含む酸化物（ＩＡＺＯとも記す）を用いることが好ましい。又は、インジウム（Ｉｎ）、アルミニウム（Ａｌ）、ガリウム（Ｇａ）及び亜鉛（Ｚｎ）を含む酸化物（ＩＡＧＺＯとも記す）を用いることが好ましい。

［０１３３］

また、半導体層に用いる金属酸化物は、結晶性を有すると好ましい。例えば、ＣＡＡＣ（ｃ－ａｘｉｓ　ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌ）構造、多結晶（Ｐｏｌｙ－ｃｒｙｓｔａｌ）構造、微結晶（ｎｃ：ｎａｎｏ－ｃｒｙｓｔａｌ）構造等を有する金属酸化物を半導体層に用いることができる。結晶性を有する金属酸化物層を半導体層に用いることにより、半導体層中の欠陥準位密度を低減でき、信頼性の高い半導体装置を実現できる。なお、ＣＡＡＣ構造とは、複数の微結晶（代表的には、複数のＩＧＺＯの微結晶）がｃ軸配向を有し、かつａ－ｂ面においては、上記複数の微結晶が配向せずに連結した結晶構造である。ＣＡＡＣ構造は、多結晶構造よりもａ－ｂ面において結晶粒界、グレインなどが少ないため信頼性の高い駆動回路を実現できる。

［０１３４］

また、トランジスタＭ１１乃至トランジスタＭ１３は、ソース電極とドレイン電極とが異なる高さに位置し、半導体層を流れる電流が高さ方向に流れる構造となっていることが好ましい。すなわち、

トランジスタＭ１１乃至トランジスタＭ１３は、チャネル長方向が高さ方向（縦方向）の成分を有することが好ましい。このようなトランジスタは、ＶＦＥＴ（Ｖｅｒｔｉｃａｌ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）、縦型トランジスタ、縦型チャネルトランジスタ、縦チャネル型トランジスタなどとも呼ぶことができる。なお、ＶＦＥＴの構造については、実施の形態２で詳述する。

［０１３５］

トランジスタＭ１１乃至トランジスタＭ１３の構造としてＶＦＥＴを適用することによって、トランジスタの形成面積を小さくすることができる。ＶＦＥＴは、ソース電極、半導体及びドレイン電極を、重ねて設けることができるため、半導体を平面状に配置した、いわゆるプレーナ型のトランジスタと比較して、占有面積を大幅に縮小できる。このため、ＶＦＥＴの構造が適用されたトランジスタＭ１１乃至トランジスタＭ１３を用いて、駆動回路を形成することによって、当該駆動回路の面積を小さくすることができる。また、その結果として、当該駆動回路を含む表示装置の小型化に繋げることができる。

［０１３６］

また、ＶＦＥＴのチャネル長は、プレーナ型のトランジスタよりも短くすることができる。このため、ＶＦＥＴは、プレーナ型のトランジスタよりもオン電流を大きくすることができ、かつ駆動周波数を高くすることができる。このため、ＶＦＥＴの構造が適用されたトランジスタＭ１１乃至トランジスタＭ１３を用いて、駆動回路を形成することによって、当該駆動回路の駆動速度を速めることができる。また、これにより、当該駆動回路を含む表示装置のフレーム周波数を高くすることができ、また、ＰＷＭ駆動を行うことができる。

［０１３７］

また、トランジスタＭ１１乃至トランジスタＭ１３には、ＯＳトランジスタ以外のトランジスタを適用してもよい。例えば、トランジスタＭ１１乃至トランジスタＭ１３には、チャネル形成領域にシリコンを有するトランジスタ（以後、Ｓｉトランジスタと呼称する。）を適用することができる。また、シリコンとしては、例えば、単結晶シリコン、非晶質シリコン、微結晶シリコン又は多結晶シリコン（低温多結晶シリコン（ＬＴＰＳ：Ｌｏｗ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｐｏｌｙ　Ｓｉｌｉｃｏｎ）を含む）を用いることができる。

［０１３８］

また、トランジスタＭ１１乃至トランジスタＭ１３には、ＯＳトランジスタ及びＳｉトランジスタ以外では、例えば、ゲルマニウムがチャネル形成領域に含まれているトランジスタを用いることができる。また、別のトランジスタとしては、例えば、セレン化亜鉛、硫化カドミウム、ヒ化ガリウム、リン化インジウム、窒化ガリウム又はシリコンゲルマニウムといった化合物半導体がチャネル形成領域に含まれているトランジスタを用いることができる。また、別のトランジスタとしては、例えば、カーボンナノチューブがチャネル形成領域に含まれるトランジスタを用いることができる。また、別のトランジスタとしては、有機半導体がチャネル形成領域に含まれるトランジスタを用いることができる。

［０１３９］

トランジスタＭ１１のゲートは、端子ＬＴ１１に接続され、トランジスタＭ１１の第１端子は、端子ＩＴ１に接続されている。トランジスタＭ１１の第２端子は、トランジスタＭ１３のゲートと、容量素子Ｃ１１の第１端子と、端子ＯＴ１１と、に接続されている。トランジスタＭ１２のゲートと、トランジスタＭ１２の第１端子と、のそれぞれは、端子ＬＴ１２に接続されている。このとき、トラ

ンジスタＭ１２のゲートと、トランジスタＭ１２の第１端子と、は互いに電気的に接続されているといえる。トランジスタＭ１２の第２端子は、トランジスタＭ１３の第１端子と、端子ＯＴ１２と、に接続されている。容量素子Ｃ１１の第２端子は、配線ＶＥ１に接続されている。トランジスタＭ１３の第２端子は、配線ＶＥ１に接続されている。

［０１４０］

なお、図３Ａでは、トランジスタＭ１１の第２端子と、トランジスタＭ１３のゲートと、容量素子Ｃ１１の第１端子と、端子ＯＴ１１と、の接続点をノードＮ１と記載している。

［０１４１］

配線ＶＥ１は、一例として、電源として固定電位を与える配線としての機能を有する。当該固定電位としては、例えば、低レベル電位、接地電位、負電位などとすることができる。また、状況によっては、当該固定電位は、高レベル電位、正電位などとしてもよい。また、配線ＶＥ１は、一例としては、固定電位ではなく、可変電位（例えば、パルス電圧、パルス信号、クロック信号など）を与える配線としての機能を有してもよい。

［０１４２］

次に、保持回路ＬＡＴ１Ａの動作例について説明する。

［０１４３］

なお、本動作例では、配線ＶＥ１が与える固定電位をV_{Low}とする。また、初期の動作において、配線ＬＰＥにはV_{Low}が与えられているものとする。

［０１４４］

シフトレジスタＳＲから保持回路ＬＡＴ１Ａの端子ＬＴ１１に、制御信号として第１パルス信号が与えられたとき、すなわち、低レベル電位V_{Low}から高レベル電位V_{High}に遷移したとき、トランジスタＭ１１はオン状態となる。このとき、配線ＶＤＥに送信されている第１画像信号が保持回路ＬＡＴ１Ａの端子ＩＴ１に入力される。また、第１画像信号の電位は、高レベル電位V_{High}又は低レベル電位V_{Low}とする。

［０１４５］

第１画像信号の電位がV_{Low}であるとき、ノードＮ１の電位はV_{Low}となる。また、容量素子Ｃ１１の第１端子－第２端子間には０Ｖが保持される。また、トランジスタＭ１３のゲートにはV_{Low}が印加され、かつ保持回路ＬＡＴ１Ａの端子ＯＴ１１には、V_{Low}が出力される。また、トランジスタＭ１３のゲート－ソース間電圧は０Ｖとなるため、トランジスタＭ１３はオフ状態となる。

［０１４６］

また、第１画像信号の電位がV_{High}であるとき、ノードＮ１の電位は$V_{High}-V_{th_M11}$となる。なお、V_{th_M11}は、トランジスタＭ１１のしきい値電圧である。また、容量素子Ｃ１１の第１端子－第２端子間には$V_{High}-V_{Low}-V_{th_M11}$が保持される。また、トランジスタＭ１３のゲートには$V_{High}-V_{th_M11}$が印加され、かつ保持回路ＬＡＴ１Ａの端子ＯＴ１１には、$V_{High}-V_{th_M11}$が出力される。また、トランジスタＭ１３のゲート－ソース間電圧は$V_{High}-V_{Low}-V_{th_M11}$となる。また、トランジスタＭ１３のゲート－ソース間電圧は$V_{High}-V_{Low}-V_{th_M11}>V_{th_M13}$を満たす電圧とする。なお、トランジスタＭ１３のしきい値電圧をV_{th_M13}とする。つまり、トランジスタＭ１３は、オン状態となる。また、このとき、トランジスタＭ１３のオン状態は、線形領域で動作する場合と飽和領域で動作する場合とを含むものとする。このため、回路ＬＡＴ１Ａの端子ＯＴ１２には、配線ＶＥ１が与えるV_{Low}が出力される。

［０１４７］

次に、配線ＬＰＥに、第２パルス信号として、低レベル電位V_{Low}から高レベル電位V_{High}に遷移したものとする。このとき、ノードＮ１の電位がV_{Low}（保持回路ＬＡＴ１Ａの端子ＩＴ１Ａに入力された画像信号の電位がV_{Low}）であるとき、保持回路ＬＡＴ１Ａの端子ＯＴ１２には、第３画像信号として、$V_{High}-V_{th_M12}$が出力される。なお、V_{th_M12}は、トランジスタＭ１２のしきい値電圧とする。また、ノードＮ１の電位が$V_{High}-V_{th_M11}$（保持回路ＬＡＴ１Ａの端子ＩＴ１Ａに入力された画像信号の電位がV_{High}）であるとき、保持回路ＬＡＴ１Ａの端子ＯＴ１２には、第３画像信号として、V_{Low}が出力されるものとする。

［０１４８］

上記の通り、保持回路ＬＡＴ１Ａは、配線ＶＤＥから第１画像信号を取得して、当該画像信号に応じた電位を容量素子Ｃ１１に保持する。また、保持回路ＬＡＴ１Ａは、端子ＯＴ１１に第１画像信号に応じた電位として、第２画像信号を出力する。また、保持回路ＬＡＴ１Ａは、配線ＬＰＥに第２パルス信号として、低レベル電位V_{Low}から高レベル電位V_{High}に遷移したときに、端子ＯＴ１２に第１画像信号の論理が反転された第３画像信号を出力する。なお、図３Ａの保持回路ＬＡＴ１Ａの場合、ノードＮ１の電位が$V_{High}-V_{th_M11}$であるときには、配線ＬＰＥが与える電位がV_{Low}であっても、端子ＯＴ１２からV_{Low}を出力する。

［０１４９］

なお、上述した通り、配線ＬＰＥは、回路ＬＡＴ１［１］乃至回路ＬＡＴ１［ｎ］に対しては電源電位として可変電位（特に、パルス信号又はパルス電位）を与える配線としての機能を有する。また、配線ＬＰＥに第２パルス信号としてV_{High}が与えられているときには、トランジスタＭ１２及びトランジスタＭ１３の回路構成は、インバータとして機能するといえる。

［０１５０］

また、トランジスタＭ１２及びトランジスタＭ１３が同時にオン状態となるとき、つまりノードＮ１の電位が$V_{High}-V_{th_M11}$であるとき、トランジスタＭ１３のオン電流は、トランジスタＭ１２のオン電流よりも大きいことが好ましい。トランジスタＭ１３のオン電流がトランジスタＭ１２のオン電流よりも大きくなることで、端子ＯＴ１２に蓄積される正電荷の量よりも、端子ＯＴ１２から放出される正電荷の量が多くなり、端子ＯＴ１２の電位が配線ＶＥ１が与える電位V_{Low}に近づくため、トランジスタＭ１２及びトランジスタＭ１３の回路構成は、インバータとしてより正確な反転信号を出力することができる。

［０１５１］

＜保持回路ＬＡＴ１の構成例２＞

次に、図３Ａの回路ＬＡＴ１Ａとは異なる、図１に示す回路ＬＡＴ１に適用できる回路構成の一例を説明する。

［０１５２］

図３Ｂに示す回路ＬＡＴ１Ｂは、図３Ａの回路ＬＡＴ１Ａの変更例であって、トランジスタＭ１２のゲートが、端子ＬＴ１２ではなく、端子ＯＴ１２に接続されている点で、図３Ａの回路ＬＡＴ１Ａと異なっている。なお、このとき、トランジスタＭ１２のゲートは、トランジスタＭ１２の第１端子に電気的に接続しているといえる。

［０１５３］

図３Ｂの回路ＬＡＴ１Ｂは、トランジスタＭ１２がノーマリーオンである場合に、好適に動作する

保持回路の構成となっている。例えば、ノードＮ１の電位が低レベル電位V_{Low}であって、トランジスタＭ１３がオフ状態となっている場合を考える。また、トランジスタＭ１２がノーマリーオンであるため、トランジスタＭ１２のしきい値電圧V_{th_M12}は０Ｖ未満と考える。このとき、配線ＬＰＥに第２パルス信号として高レベル電位V_{High}が入力されることで、端子ＯＴ１２の電位はV_{High}となる。つまり、トランジスタＭ１２がノーマリーオンで、配線ＬＰＥに高レベル電位V_{High}が入力された場合では、トランジスタＭ１２のソースードレイン間において、しきい値電圧V_{th_M12}の低下が起こらない。つまり、ノードＮ１の電位が低レベル電位V_{Low}のとき、トランジスタＭ１２及びトランジスタＭ１３の回路構成は、V_{Low}の反転信号として高レベル電位V_{High}を出力することができる。

［０１５４］

次に、ノードＮ１の電位が$V_{High}-V_{th_M11}$であって、トランジスタＭ１３がオン状態となっている場合を考える。このため、端子ＯＴ１２の電位は、配線ＶＥ１から与えられる低レベル電位V_{Low}となる。なお、トランジスタＭ１２はノーマリーオンであるため、オン状態となっているが、配線ＬＰＥに第２パルス信号として高レベル電位V_{High}が入力されていても、トランジスタＭ１３のオン電流がトランジスタＭ１２のオン電流よりも大きい場合には、端子ＯＴ１２の電位を低レベル電位V_{Low}とみなすことができる。

［０１５５］

なお、本明細書等において、ノーマリーオンとは、ゲートーソース間電圧が０Ｖのときにおいてもチャネルが存在し、トランジスタに電流が流れてしまう状態のことをいう。一方で、本明細書等において、ノーマリーオフとは、ゲートーソース間電圧を０Ｖとしたときに、トランジスタに電流が流れない状態のことを言う。又は、ＯＳトランジスタにおけるノーマリーオフとは、ゲートーソース間電圧を０Ｖとしたとき、トランジスタに流れるチャネル幅１μｍあたりの電流が、室温において1×10^{-20}Ａ以下、８５℃において1×10^{-18}Ａ以下、若しくは１２５℃において1×10^{-16}Ａ以下であることをいう。

［０１５６］

＜保持回路ＬＡＴ１の構成例３＞

次に、図３Ａの回路ＬＡＴ１Ａと図３Ｂの回路ＬＡＴ１Ｂとは異なる、図１に示す回路ＬＡＴ１に適用できる回路構成の一例を説明する。

［０１５７］

図３Ｃに示す回路ＬＡＴ１Ｃは、図３Ａの回路ＬＡＴ１Ａの変更例であって、トランジスタＭ１２のゲートが、端子ＬＴ１２ではなく、配線ＶＥ２に接続されている点と、トランジスタＭ１４が新たに設けられている点と、で図３Ａの回路ＬＡＴ１Ａと異なっている。

［０１５８］

図３Ｃの回路ＬＡＴ１Ｃにおいて、トランジスタＭ１２のゲートと、トランジスタＭ１２の第１端子と、のそれぞれは、配線ＶＥ２に接続されている。また、トランジスタＭ１２の第２端子と、トランジスタＭ１３の第１端子と、のそれぞれは、トランジスタＭ１４の第１端子に接続されている。また、トランジスタＭ１４のゲートは、端子ＬＴ１２に接続され、トランジスタＭ１４の第２端子は、端子ＯＴ１２に接続されている。

［０１５９］

配線ＶＥ２は、一例として、電源として固定電位を与える配線としての機能を有する。当該固定電

位としては、例えば、高レベル電位、正電位などとすることができる。また、状況によっては、当該固定電位は、低レベル電位、接地電位、負電位などとしてもよい。また、配線ＶＥ２は、一例としては、固定電位ではなく、可変電位（例えば、パルス電圧、パルス信号、クロック信号など）を与える配線としての機能を有してもよい。

［０１６０］

図３Ｃにおいて、配線ＶＥ１には固定電位として低レベル電位が供給され、かつ配線ＶＥ２には固定電位として高レベル電位が供給されている場合には、トランジスタＭ１２及びトランジスタＭ１３の回路構成は、常にインバータとして動作する。

［０１６１］

また、トランジスタＭ１４は、当該インバータで生成された信号を端子ＯＴ１２に出力されるか否かを制御するスイッチング素子としての機能を有する。例えば、配線ＬＰＥに高レベル電位が入力されたとき、トランジスタＭ１４はオン状態となり、当該信号が端子ＯＴ１２に出力される。一方で、配線ＬＰＥに低レベル電位が入力されたとき、トランジスタＭ１４はオフ状態となり、当該信号は端子ＯＴ１２に出力されない。

［０１６２］

＜保持回路ＬＡＴ２の構成例１＞

次に、保持回路ＬＡＴ２の具体的な構成例について説明する。

［０１６３］

図４に示す保持回路ＬＡＴ２Ａは、図１又は図２の駆動回路ＳＤに含まれる保持回路ＬＡＴ２に適用できる回路の構成例である。なお、図４には、保持回路ＬＡＴ２Ａの周辺の接続構成を示すため、一例として、シフトレジスタＳＲと、保持回路ＬＡＴ１Ａも図示している。

［０１６４］

なお、図４には、図１又は図２の保持回路ＬＡＴ１として、図３Ａの保持回路ＬＡＴ１Ａを図示したが、本発明の一態様の駆動回路はこれに限定されない。例えば、図４に示す保持回路ＬＡＴ１Ａを図３Ｂの保持回路ＬＡＴ１Ｂに変更してもよいし、又は図３Ｃの保持回路ＬＡＴ１Ｃに変更してもよい。

［０１６５］

回路ＬＡＴ２Ａは、トランジスタＭ２１と、トランジスタＭ２２と、トランジスタＭ２３と、トランジスタＭ２４と、トランジスタＭ２５と、トランジスタＭ２６と、容量素子Ｃ２１と、容量素子Ｃ２２と、を有する。

［０１６６］

トランジスタＭ２１乃至トランジスタＭ２６のそれぞれは、例えば、トランジスタＭ１１乃至トランジスタＭ１３のいずれか一に適用できるトランジスタを用いることができる。例えば、トランジスタＭ２１乃至トランジスタＭ２６のそれぞれには、ＶＦＥＴの構造を有するＯＳトランジスタを適用することができる。

［０１６７］

トランジスタＭ２１の第１端子は、端子ＩＴ２２に接続され、トランジスタＭ２１のゲートは、端子ＬＴ２２に接続され、トランジスタＭ２１の第２端子は、トランジスタＭ２２の第１端子に接続されている。トランジスタＭ２２の第２端子は、トランジスタＭ２３のゲートと、容量素子Ｃ２２の第１端子と、に接続され、トランジスタＭ２２のゲートは、配線ＶＥ２に接続されている。トランジス

タＭ２３の第１端子は、配線ＶＥ２に接続されている。

［０１６８］

トランジスタＭ２５の第１端子は、端子ＩＴ２１に接続され、トランジスタＭ２５のゲートは、端子ＬＴ２１に接続され、トランジスタＭ２５の第２端子は、トランジスタＭ２４のゲートと、トランジスタＭ２６の第１端子と、容量素子Ｃ２１の第１端子と、に接続されている。トランジスタＭ２４の第１端子は、トランジスタＭ２３の第２端子と、容量素子Ｃ２２の第１端子と、端子ＯＴ２と、に接続されている。トランジスタＭ２６のゲートは、端子ＲＴに接続され、トランジスタＭ２６の第２端子は、配線ＶＥ１に接続されている。容量素子Ｃ２１の第２端子は、配線ＶＥ１に接続されている。トランジスタＭ２４の第２端子は、配線ＶＥ１に接続されている。

［０１６９］

なお、図４では、トランジスタＭ２５の第２端子と、トランジスタＭ２４のゲートと、トランジスタＭ２６の第１端子と、容量素子Ｃ２１の第１端子と、のそれぞれが接続されている領域をノードＮ２１と図示している。また、トランジスタＭ２２の第２端子と、トランジスタＭ２３のゲートと、容量素子Ｃ２２の第１端子と、のそれぞれが接続されている領域をノードＮ２２と図示している。

［０１７０］

配線ＶＥ１については、図３Ａにおける配線ＶＥ１の説明を参照することができる。また、配線ＶＥ２については、図３Ｃにおける配線ＶＥ２の説明を参照することができる。

［０１７１］

＜＜保持回路の動作例＞＞

次に、図４に示す保持回路ＬＡＴ１Ａと保持回路ＬＡＴ２Ａのそれぞれの動作例について説明する。

［０１７２］

図５Ａ及び図５Ｂのそれぞれは、保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ２Ａの動作例を示したタイミングチャートである。特に、図５Ａのタイミングチャートは、画像信号として、配線ＶＤＥから保持回路ＬＡＴ１Ａに高レベル電位V_{High}が入力された場合の動作例を示し、図５Ｂのタイミングチャートは、画像信号として、配線ＶＤＥから保持回路ＬＡＴ２Ａに高レベル電位V_{Low}が入力された場合の動作例を示している。

［０１７３］

図５Ａ及び図５Ｂのそれぞれには、期間Ｔ１乃至期間Ｔ３における、配線ＩＬと、配線ＶＤＥと、配線ＬＰＥと、配線ＩＮＥと、配線ＯＬと、ノードＮ１と、ノードＮ２１と、ノードＮ２２と、のそれぞれの電位の変動を示している。また、図５Ａ及び図５Ｂのそれぞれでは、所定の配線又はノードにおいて、電位が不定である期間、又は任意の電位が入力されている期間については、ハッチングを付している。

［０１７４］

なお、本動作例では、配線ＶＥ１が与える電位をV_{Low}とし、配線ＶＥ２が与える電位をV_{High}とする。また、初期状態では、配線ＬＰＥに低レベル電位としてV_{Low}が与えられており、トランジスタＭ２１及びトランジスタＭ２５のそれぞれがオフ状態となっているものとする。

［０１７５］

初めに、配線ＶＤＥから保持回路ＬＡＴ１Ａに第１画像信号として高レベル電位V_{High}が入力された場合の動作例について説明する。

［０１７６］

図５Ａの期間Ｔ１では、初期化の動作として、ノードＮ２１の電位を低レベル電位V_{Low}にする動作が行われる。例えば、配線ＩＮＥに高レベル電位V_{High}を与えて、トランジスタＭ２６をオン状態にすることによって、ノードＮ２１と配線ＶＥ１との間が導通して、ノードＮ２１の電位が、配線ＶＥ１が与える低レベル電位V_{Low}となる。ノードＮ２１の電位をV_{Low}にした後は、配線ＩＮＥに低レベル電位V_{Low}を与えて、トランジスタＭ２６をオフ状態にする。

［０１７７］

図５Ａの期間Ｔ２では、配線ＶＤＥから保持回路ＬＡＴ１Ａの端子ＩＴ１に第１画像信号として、高レベル電位V_{High}が入力される。また、配線ＶＤＥに第１画像信号が送信されている間に、シフトレジスタＳＲの端子ＳＯＴから、配線ＩＬを介して、保持回路ＬＡＴ１Ａの端子ＬＴ１１に第１パルス信号（保持回路ＬＡＴ１Ａにおけるストローブ信号に相当する場合がある）として、高レベル電位V_{High}が供給される。これにより、トランジスタＭ１１がオン状態となり、第１画像信号が保持回路ＬＡＴ１Ａに送信される。

［０１７８］

なお、保持回路ＬＡＴ１Ａにおける、配線ＶＤＥから保持回路ＬＡＴ１Ａの端子ＯＴ１１へのV_{High}の供給については、図３Ａの保持回路ＬＡＴ１Ａの説明を参照する。このため、ノードＮ１の電位は、$V_{High}-V_{th_M11}$となる。また、これにより、保持回路ＬＡＴ１Ａは、端子ＯＴ１１に$V_{High}-V_{th_M11}$を出力し、この結果、トランジスタＭ２５の第１端子の電位が$V_{High}-V_{th_M11}$となる。

［０１７９］

図５Ａの期間Ｔ３では、第２パルス信号として、配線ＬＰＥの電位がV_{Low}からV_{High}に遷移する。図３Ａの保持回路ＬＡＴ１Ａの説明より、保持回路ＬＡＴ１Ａは、端子ＯＴ１２に第３画像信号としてV_{Low}を出力する。これにより、トランジスタＭ２１の第１端子の電位は、V_{Low}となる。

［０１８０］

また、配線ＬＰＥが与える第２パルス信号として、電位がV_{Low}からV_{High}に遷移することによって、トランジスタＭ２１がオン状態となる。このとき、トランジスタＭ２１の第２端子の電位はV_{Low}となる。また、トランジスタＭ２２のゲートの電位がV_{High}であるため、トランジスタＭ２２もオン状態となっており、これにより、保持回路ＬＡＴ１Ａの端子ＯＴ１２から出力された第３画像信号に応じたV_{Low}が容量素子Ｃ２２の第１端子に書き込まれる。

［０１８１］

また、配線ＬＰＥが与える第２パルス信号として、電位がV_{Low}からV_{High}に遷移することによって、トランジスタＭ２５のゲートの電位がV_{High}となる。このとき、トランジスタＭ２５の第１端子の電位は$V_{High}-V_{th_M11}$、第２端子の電位はV_{Low}であるため、トランジスタＭ２５のゲートーソース間電圧は$V_{High}-V_{Low}$となり、トランジスタＭ２５はオン状態となる。これにより、保持回路ＬＡＴ１Ａの端子ＯＴ１１から保持回路ＬＡＴ２Ａの端子ＩＴ２１に、ノードＮ１の電位に相当する第２画像信号が送信される。厳密には、ノードＮ１とノードＮ２１との間で、電荷の再分配が行われる。

［０１８２］

例えば、電荷の再分配により、ノードＮ１及びノードＮ２１のそれぞれの電位は、$V_{High}-V_{th_M11}-\Delta V$になるものとする。なお、$\Delta V$は、０よりも高い電圧とする。なお、理想的には$\Delta V$は、

０に極力近いことが好ましい。これにより、容量素子Ｃ２１の第１端子には、第２画像信号に応じた電位$V_{High}-V_{th_M11}-\Delta V$が書き込まれる。

［０１８３］

その後、配線ＬＰＥが与えている第２パルス信号であるV_{High}がV_{Low}に遷移することによって、トランジスタＭ２１及びトランジスタＭ２５のそれぞれがオフ状態となり、ノードＮ２２の電位V_{Low}（第３画像信号に応じた電位）が容量素子Ｃ２２によって保持され、ノードＮ２１の電位$V_{High}-V_{th_M11}-\Delta V$（第２画像信号に応じた電位）が容量素子Ｃ２１によって保持される。

［０１８４］

このとき、トランジスタＭ２４のゲート（ノードＮ２２）の電位は、$V_{High}-V_{th_M11}-\Delta V$となっている。また、トランジスタＭ２４の第２端子の電位は、V_{Low}となっているため、トランジスタＭ２４のゲートーソース間電圧は、$V_{High}-V_{th_M11}-\Delta V-V_{Low}$と表すことができる。また、$V_{High}-V_{th_M11}-\Delta V-V_{Low}$は、トランジスタＭ２４のしきい値電圧よりも高いものとする。このため、トランジスタＭ２４はオン状態となり、トランジスタＭ２４の第２端子の電位は、V_{Low}となる。

［０１８５］

また、トランジスタＭ２３のゲート（ノードＮ２１）の電位は、V_{Low}となっている。また、トランジスタＭ２３の第２端子の電位は、V_{Low}となっているため、トランジスタＭ２３のゲートーソース間電圧は０Ｖとなり、トランジスタＭ２３はオフ状態となる。

［０１８６］

上記より、トランジスタＭ２３の第２端子の電位はV_{Low}となり、保持回路ＬＡＴ２Ａは、第３画像信号と同じ論理である第４画像信号としてV_{Low}を端子ＯＴ２に出力する。

［０１８７］

また、ノードＮ２２の電位V_{Low}は、容量素子Ｃ２２によって保持され、ノードＮ２１の電位$V_{High}-V_{th_M11}-\Delta V$は容量素子Ｃ２１によって保持されるため、図５Ａの期間Ｔ３より後において、例えば、配線ＶＤＥから保持回路ＬＡＴ１Ａに新たに別の第１画像信号の入力が行われても、ノードＮ２１及びノードＮ２２のそれぞれの電位に変動はない。

［０１８８］

次に、配線ＶＤＥから保持回路ＬＡＴ１Ａに第１画像信号として高レベル電位V_{Low}が入力された場合の動作例について説明する。

［０１８９］

図５Ｂの期間Ｔ１では、図５Ａの期間Ｔ１と同様に、初期化の動作として、ノードＮ２１の電位を低レベル電位V_{Low}にする動作が行われる。そのため、図５Ｂの期間Ｔ１における初期化の動作については、図５Ａの期間Ｔ１の説明を参照する。

［０１９０］

図５Ｂの期間Ｔ２では、配線ＶＤＥから保持回路ＬＡＴ１Ａの端子ＩＴ１に第１画像信号として、低レベル電位V_{Low}が入力される。また、配線ＶＤＥに第１画像信号が送信されている間に、シフトレジスタＳＲの端子ＳＯＴから、配線ＩＬを介して、保持回路ＬＡＴ１Ａの端子ＬＴ１１に第１パルス信号保持回路ＬＡＴ１Ａにおけるストローブ信号に相当する場合がある）として、高レベル電位V_{High}が供給される。これにより、トランジスタＭ１１がオン状態となり、第１画像信号が保持回路ＬＡＴ１Ａに送信される。

［０１９１］

なお、保持回路ＬＡＴ１Ａにおける、配線ＶＤＥから保持回路ＬＡＴ１Ａの端子ＯＴ１１へのＶ$_{Low}$の供給については、図３Ａの保持回路ＬＡＴ１Ａの説明を参照する。このため、ノードＮ１の電位は、Ｖ$_{Low}$となる。また、これにより、保持回路ＬＡＴ１Ａは、端子ＯＴ１１に第２画像信号としてＶ$_{Low}$を出力し、その結果、トランジスタＭ２５の第１端子の電位が、Ｖ$_{Low}$となる。

［０１９２］

図５Ａの期間Ｔ３では、第２パルス信号として、配線ＬＰＥの電位がＶ$_{Low}$からＶ$_{High}$に遷移する。図３Ａの保持回路ＬＡＴ１Ａの説明より、保持回路ＬＡＴ１Ａは、端子ＯＴ１２に第３画像信号としてＶ$_{High}$－Ｖ$_{th_M12}$を出力する。これにより、トランジスタＭ２１の第１端子の電位は、Ｖ$_{High}$－Ｖ$_{th_M12}$となる。

［０１９３］

また、配線ＬＰＥが与える第２パルス信号として、電位がＶ$_{Low}$からＶ$_{High}$に遷移することによって、トランジスタＭ２１のゲートの電位がＶ$_{High}$となる。また、トランジスタＭ２１の第１端子には、Ｖ$_{High}$－Ｖ$_{th_M12}$が供給されているため、トランジスタＭ２１の第２端子の電位は、特定の電位に変動する。ここで、例えば、トランジスタＭ２１のしきい値電圧をＶ$_{th_M21}$とする。Ｖ$_{High}$－Ｖ$_{th_M12}$がＶ$_{High}$－Ｖ$_{th_M21}$よりも高い場合、トランジスタＭ２１の第２端子の電位はＶ$_{High}$－Ｖ$_{th_M21}$となり、このタイミングでトランジスタＭ２１がオフ状態となる。また、Ｖ$_{High}$－Ｖ$_{th_M12}$がＶ$_{High}$－Ｖ$_{th_M21}$よりも低い場合、トランジスタＭ２１の第２端子の電位は、Ｖ$_{High}$－Ｖ$_{th_M21}$となり、トランジスタＭ２１のオン状態が継続する。いずれの場合においても、以降の説明では、第３画像信号に応じた電位として、トランジスタＭ２１の第２端子の電位をＶ$_{2nd_M21}$と記載する。

［０１９４］

トランジスタＭ２２のゲートの電位がＶ$_{High}$であり、トランジスタＭ２２の第１端子の電位がＶ$_{2nd_M21}$となっているため、トランジスタＭ２２の第２端子の電位は、特定の電位に変動する。ここで、例えば、トランジスタＭ２２のしきい値電圧をＶ$_{th_M22}$とする。Ｖ$_{2nd_M21}$がＶ$_{High}$－Ｖ$_{th_M22}$よりも高い場合、トランジスタＭ２２の第２端子の電位は、Ｖ$_{High}$－Ｖ$_{th_M21}$となり、このタイミングでトランジスタＭ２２がオフ状態となる。また、Ｖ$_{2nd_M21}$がＶ$_{High}$－Ｖ$_{th_M22}$よりも低い場合、トランジスタＭ２１の第２端子の電位は、Ｖ$_{2nd_M21}$となり、トランジスタＭ２２のオン状態が継続する。いずれの場合においても、以降の説明では、第３画像信号に応じた電位として、トランジスタＭ２２の第２端子の電位をＶ$_{2nd_M22}$と記載する。

［０１９５］

また、配線ＬＰＥが与える第２パルス信号として、電位がＶ$_{Low}$からＶ$_{High}$に遷移することによって、トランジスタＭ２５のゲートの電位がＶ$_{High}$となる。このとき、トランジスタＭ２５の第１端子の電位はＶ$_{Low}$、第２端子の電位はＶ$_{Low}$であるため、トランジスタＭ２５のゲートーソース間電圧はＶ$_{High}$となり、トランジスタＭ２５はオン状態となる。結果として、保持回路ＬＡＴ１Ａの端子ＯＴ１１からノードＮ２１に、ノードＮ１の電位に相当する第２画像信号が送信される。厳密には、ノードＮ２１の電位は、期間Ｔ１で行われた初期化の動作のときから、Ｖ$_{Low}$のまま変化しない。

［０１９６］

このとき、トランジスタＭ２４のゲート（ノードＮ２２）の電位は、Ｖ$_{Low}$となっている。また、トランジスタＭ２４の第２端子の電位は、Ｖ$_{Low}$となっているため、トランジスタＭ２４のゲートー

ソース間電圧は、０Ｖとなり、トランジスタＭ２４はオフ状態となる。

［０１９７］

また、このとき、トランジスタＭ２３のゲート（ノードＮ２１）の電位は、V_{2nd_M22}となっているため、トランジスタＭ２３はオン状態となり、配線ＶＥ２からトランジスタＭ２３を介して、端子ＯＴ２に電流が流れていき、端子ＯＴ２の電位が上昇する。このとき、ノードＮ２１は、フローティング状態となっているため、容量素子Ｃ２１の容量結合によって、端子ＯＴ２の電位の上昇に伴って、ノードＮ２１の電位も上昇する。このとき、端子ＯＴ２の電位が上昇しても、トランジスタＭ２３のゲートーソース間電圧は容量素子Ｃ２１によって保たれるため、トランジスタＭ２３の第２端子の電位は、配線ＶＥ２が与える高レベル電位V_{High}まで高くすることができる。本明細書では、このように、容量素子を用いて、トランジスタのゲートーソース間電圧を一定に保って、トランジスタの出力電圧を高くする動作をブートストラップと呼称する。

［０１９８］

また、ブートストラップによって、ノードＮ２２において上昇した電圧をV_{BS}とする。このため、ノードＮ２２の電圧は、$V_{2nd_M22}+V_{BS}$となる。

［０１９９］

上記より、トランジスタＭ２３の第２端子の電位はV_{High}となり、保持回路ＬＡＴ２Ａは、第３画像信号と同じ論理である第４画像信号としてV_{High}を端子ＯＴ２に出力する。

［０２００］

図５Ａより、配線ＶＤＥから保持回路ＬＡＴ１Ａに、画像信号として高レベル電位を入力することによって、保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ１Ｂに第１画像信号に応じた電位を保持することができ、かつ保持回路ＬＡＴ１Ｂから配線ＯＬ（配線ＳＬ）に第１画像信号の論理が反転された第４画像信号として、低レベル電位を出力することができる。また、図５Ｂより、配線ＶＤＥから保持回路ＬＡＴ１Ａに、第１画像信号として低レベル電位を入力することによって、保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ１Ｂに第１画像信号に応じた電位を保持することができ、かつ保持回路ＬＡＴ１Ｂから配線ＯＬ（配線ＳＬ）に第１画像信号の論理が反転された第４画像信号として、高レベル電位を出力することができる。

［０２０１］

なお、本発明の一態様の駆動回路に含まれる保持回路は、図４に示した保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ１Ｂの構成に限定されない。例えば、図４に示す保持回路ＬＡＴ１Ａは、図６に示す保持回路ＬＡＴ１Ｄの構成に変更することができる。

［０２０２］

図６の保持回路ＬＡＴ１Ｄは、図３Ａ及び図４のそれぞれに示す保持回路ＬＡＴ１Ａの変更例であって、トランジスタＭ１６及びトランジスタＭ１７が設けられている点で、保持回路ＬＡＴ１Ａと異なっている。

［０２０３］

トランジスタＭ１６及びトランジスタＭ１７のそれぞれは、例えば、トランジスタＭ１１乃至トランジスタＭ１３のいずれか一に適用できるトランジスタを用いることができる。例えば、トランジスタＭ１６及びトランジスタＭ１７のそれぞれには、ＶＦＥＴの構造を有するＯＳトランジスタを適用することができる。

［０２０４］

トランジスタＭ１６の第１端子及びトランジスタＭ１６のゲートは、トランジスタＭ１２の第１端子と、トランジスタＭ１２のゲートと、端子ＬＴ１２と、に接続されている。なお、このとき、トランジスタＭ１６のゲートは、トランジスタＭ１６の第１端子に電気的に接続しているといえる。トランジスタＭ１６の第２端子は、トランジスタＭ１７の第１端子と、端子ＯＴ１１と、に接続されている。トランジスタＭ１７のゲートは、トランジスタＭ１２の第２端子と、トランジスタＭ１３の第１端子と、端子ＯＴ１２と、に接続されている。トランジスタＭ１７の第２端子は、配線ＶＥ１に接続されている。

［０２０５］

なお、図４の保持回路ＬＡＴ１Ａでは、トランジスタＭ１１の第２端子と、容量素子Ｃ１１の第１端子と、トランジスタＭ１３のゲートと、のそれぞれは、端子ＯＴ１１に直接接続されている回路構成の例を示したが、図６の保持回路ＬＡＴ１Ｄでは、トランジスタＭ１１の第２端子と、容量素子Ｃ１１の第１端子と、トランジスタＭ１３のゲートと、のそれぞれは、端子ＯＴ１１に直接接続されていない。

［０２０６］

図６の保持回路ＬＡＴ１Ｄにおいて、トランジスタＭ１６とトランジスタＭ１７の回路構成は、トランジスタＭ１２とトランジスタＭ１３の回路構成と同様に、インバータとしての機能を有する。このため、トランジスタＭ１６とトランジスタＭ１７の回路構成は、トランジスタＭ１７のゲートに入力された第１画像信号の論理が反転された第３画像信号をトランジスタＭ１６の第２端子及びトランジスタＭ１７の第１端子に出力する。

［０２０７］

また、トランジスタＭ１２とトランジスタＭ１３の回路構成と、トランジスタＭ１６とトランジスタＭ１７の回路構成と、は、インバータを２個直列に接続された構成とみなすことができる。つまり、図６の保持回路ＬＡＴ１Ｄでは、容量素子Ｃ１１の第１端子に保持される電位に応じた論理は、トランジスタＭ１６の第２端子及びトランジスタＭ１７の第１端子に出力する電位に応じた論理と、等しくなる。このため、保持回路ＬＡＴ１Ｄの端子ＯＴ１１は、第１画像信号と同じ論理である第２画像信号を出力する。

［０２０８］

図４の保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ２Ａでは、配線ＬＰＥに第２パルス信号として、高レベル電位V_{High}が入力されたとき、ノードＮ１とノードＮ２１との間が導通し、電荷の再分配が行われるため、再分配後のノードＮ１及びノードＮ２１の電位は、再分配前のノードＮ１の電位よりも低くなる場合がある。一方で、図６の保持回路ＬＡＴ１Ｄを用いることで、保持回路ＬＡＴ１Ｄの端子ＯＴ１１には、トランジスタＭ１２とトランジスタＭ１３の回路構成と、トランジスタＭ１６とトランジスタＭ１７の回路構成によって、配線ＬＰＥ又は配線ＶＥ１からの電源電圧が供給される。このため、図６の保持回路ＬＡＴ１Ｄと保持回路ＬＡＴ２Ａは、配線ＬＰＥに第２パルス信号として、高レベル電位V_{High}が入力された際に、配線ＬＰＥ又は配線ＶＥ１からノードＮ２１に電源電圧が与えられるため、図４の保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ２Ａで起こる電荷の再分配によるノードＮ２１の電位の変動を防ぐことができる。

［０２０９］

また、本発明の一態様の駆動回路に含まれる保持回路は、図４に示した保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ１Ｂの構成に限定されない。例えば、図４に示す保持回路ＬＡＴ１Ａ及び保持回路ＬＡ

Ｔ１Ｂでは、容量素子Ｃ１１の第２端子と、トランジスタＭ１３の第２端子と、トランジスタＭ２４の第２端子と、トランジスタＭ２６の第２端子と、容量素子Ｃ２１の第２端子と、のそれぞれが配線ＶＥ１に接続されているが、それぞれの回路素子には、別々の配線が接続されていてもよい。また、同様に、図４に示す保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ１Ｂでは、トランジスタＭ２２のゲートと、トランジスタＭ２３の第１端子と、のそれぞれが配線ＶＥ２に接続されているが、それぞれの回路素子には、別々の配線が接続されていてもよい。

［０２１０］

図７に示す保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ１Ｂは、容量素子Ｃ１１の第２端子に配線ＶＥ１１が接続され、トランジスタＭ１３の第２端子に配線ＶＥ１２が接続され、トランジスタＭ２６の第２端子に配線ＶＥ１３が接続され、容量素子Ｃ２１の第２端子に配線ＶＥ１４が接続され、トランジスタＭ２６の第２端子に配線ＶＥ１５が接続され、トランジスタＭ２２のゲートに配線ＶＥ２１が接続され、トランジスタＭ２３の第１端子に配線ＶＥ２２に接続されている構成となっている。

［０２１１］

配線ＶＥ１１乃至配線ＶＥ１５については、配線ＶＥ１の説明を参照することができる。また、図７に示す通り、配線ＶＥ１１乃至配線ＶＥ１５のそれぞれを異なる配線とすることによって、配線ＶＥ１１乃至配線ＶＥ１５のそれぞれには、異なる電位を供給することができる。

［０２１２］

配線ＶＥ２１及び配線ＶＥ２２については、配線ＶＥ２の説明を参照することができる。また、配線ＶＥ２１及び配線ＶＥ２２のそれぞれを異なる配線としたとき、配線ＶＥ２１及び配線ＶＥ２２のそれぞれには、異なる電位を供給することができる。

［０２１３］

また、図８に示す通り、保持回路ＬＡＴ１Ａ側と、保持回路ＬＡＴ２Ａ側と、で、配線ＶＥ１を２本の配線に分けてもよい。図８に示す保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ１Ｂは、容量素子Ｃ１１の第２端子と、トランジスタＭ１３の第２端子と、に配線ＶＥ１Ａが接続され、トランジスタＭ２６の第２端子と、容量素子Ｃ２１の第２端子と、トランジスタＭ２６の第２端子と、に配線ＶＥ１Ｂが接続され、トランジスタＭ２２のゲートと、トランジスタＭ２３の第１端子と、に配線ＶＥ２が接続されている構成となっている。

［０２１４］

配線ＶＥ１Ａ及び配線ＶＥ１Ｂについては、配線ＶＥ１の説明を参照することができる。

［０２１５］

図８に示す通り、保持回路ＬＡＴ１Ａ側と、保持回路ＬＡＴ２Ａ側と、で、配線ＶＥ１を配線ＶＥ１Ａと配線ＶＥ１Ｂの２本の配線に分けることによって、配線ＶＥ１Ａと配線ＶＥ１Ｂのそれぞれに電源回路を設けることができる。配線ごとに電源回路を設けることによって、電源回路１個あたりにかかる負荷を低減することができる。

［０２１６］

また、図９に示す通り、保持回路ＬＡＴ２Ａにおいて、トランジスタＭ２２のゲート側と、トランジスタＭ２３の第１端子側と、で配線ＶＥ２を配線ＶＥ２１と配線ＶＥ２２の２本の配線に分けてもよい。

［０２１７］

特に、配線ＶＥ２１が固定電位として高レベル電位V_{High}を与える配線として機能する場合は、

配線ＶＥ２２は、固定電位として、高レベル電位V_{High}よりも高い電位又は低い電位を与える配線として機能することが好ましい。このように、配線ＶＥ２１と配線ＶＥ２２とのそれぞれが与える電位を異ならせることによって、ノードＮ２２の電位が高レベル電位であるとき、保持回路ＬＡＴ１Ｂの端子ＯＴ２には、V_{High}でなく配線ＶＥ２２が与える電位を出力することができる。

［０２１８］

つまり、上記の通り、配線ＶＥ２１から高レベル電位V_{High}を供給し、配線ＶＥ２２から高レベル電位V_{High}よりも高い電位又は低い電位を供給することによって、保持回路ＬＡＴ２Ａは、レベルシフタとしても動作することができる。したがって、図９の保持回路ＬＡＴ１Ａと保持回路ＬＡＴ２Ａの回路構成は、図２に示す保持回路ＬＡＴ１と保持回路ＬＡＴ２とに適用することができる。

［０２１９］

なお、上記では、図４に示す保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ１Ｂにおいて、配線ＶＥ１又は配線ＶＥ２を、複数の配線に分割する例を示したが、本明細書で説明する別の回路においても、同様に、複数の配線に分割することができる場合がある。

［０２２０］

また、本発明の一態様の駆動回路に含まれる保持回路は、図４に示した保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ１Ｂの構成に限定されない。例えば、図４に示す保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ１Ｂのそれぞれでは、ｎチャネル型トランジスタを含む単極性回路の構成となっているが、図１０に示す通り、ｐチャネル型トランジスタを含む単極性回路の構成としてもよい。

［０２２１］

図１０において、保持回路ＬＡＴ１Ａｐは、図４の保持回路ＬＡＴ１Ａに相当する保持回路であって、保持回路ＬＡＴ２Ａｐは、図４の保持回路ＬＡＴ２Ａに相当する保持回路である。また、保持回路ＬＡＴ１Ａｐに含まれているトランジスタＭ１１ｐ乃至トランジスタＭ１３ｐのそれぞれは、図４の保持回路ＬＡＴ１Ａに含まれているトランジスタＭ１１乃至トランジスタＭ１３に相当する。また、保持回路ＬＡＴ２Ａｐに含まれているトランジスタＭ２１ｐ乃至トランジスタＭ２６ｐのそれぞれは、図４の保持回路ＬＡＴ２Ａに含まれているトランジスタＭ２１乃至トランジスタＭ２６に相当する。

［０２２２］

図１０に示している配線ＶＥ１ｐは、一例として、固定電位を与える配線としての機能を有する。また、当該固定電位としては、高レベル電位、正電位などとすることが好ましい。また、図１０に示している配線ＶＥ２ｐは、一例として、固定電位を与える配線としての機能を有する。また、当該固定電位としては、低レベル電位、接地電位、負電位などとすることが好ましい。

［０２２３］

また、図４において、トランジスタＭ１１乃至トランジスタＭ１３及びトランジスタＭ２１乃至トランジスタＭ２６から選ばれた一以上は、ｐチャネル型トランジスタとすることができる。

［０２２４］

例えば、図４に示す保持回路ＬＡＴ１Ａに含まれるトランジスタＭ１２をｐチャネル型トランジスタに変更することができる。図１１に示す保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ２Ａは、保持回路ＬＡＴ１Ａに含まれるトランジスタＭ１２をｐチャネル型トランジスタに変更した構成例であって、特に、図１１の保持回路ＬＡＴ１Ａは、トランジスタＭ１２ｐのゲートが、トランジスタＭ１３のゲートと、トランジスタＭ１１の第１端子と、容量素子Ｃ１１の第１端子と、端子ＯＴ１１と、に

接続されている点でも、図４の保持回路ＬＡＴ１Ａと構成が異なっている。

［０２２５］

トランジスタＭ１２をｐチャネル型トランジスタであるトランジスタＭ１２ｐに変更することによって、トランジスタＭ１２ｐとトランジスタＭ１３との回路構成をＣＭＯＳ回路のインバータとすることができる。トランジスタＭ１２ｐとトランジスタＭ１３との回路構成をＣＭＯＳ回路のインバータとすることによって、図４の保持回路ＬＡＴ１Ａにおいて、ノードＮ１の電位が低レベル電位であるとき、端子ＯＴ１２に出力される高レベル電位に対して、トランジスタＭ１２のしきい値電圧の低下を防ぐことができる。

［０２２６］

なお、上記では、図４に示す保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ１Ｂにおいて、ｎチャネル型トランジスタをｐチャネル型トランジスタに変更する例を説明したが、本明細書で説明する別の回路においてもｎチャネル型トランジスタをｐチャネル型トランジスタに変更できる場合がある。

［０２２７］

＜保持回路ＬＡＴ２の構成例２＞

次に、図４に示した保持回路ＬＡＴ２Ａとは異なり、かつ図１又は図２の駆動回路ＳＤに含まれる保持回路ＬＡＴ２に適用できる回路の構成例について説明する。

［０２２８］

図１２に示す保持回路ＬＡＴ２Ｂは、図１又は図２の駆動回路ＳＤに含まれる保持回路ＬＡＴ２に適用できる回路の構成例である。なお、図１２には、保持回路ＬＡＴ２Ｂの周辺の接続構成を示すため、一例として、シフトレジスタＳＲと、保持回路ＬＡＴ１Ａも図示している。

［０２２９］

図１２に示す保持回路ＬＡＴ２Ｂは、図４に示す保持回路ＬＡＴ２Ａの変更例であって、トランジスタＭ２１が設けられていない点と、トランジスタＭ２２のゲートが、配線ＶＥ２ではなく、配線ＬＰＥに接続されている点と、で図４に示す保持回路ＬＡＴ２Ａと異なっている。

［０２３０］

以下に、図１２に示す保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ２Ｂの動作例について説明する。なお、本動作例では、図４の保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ２Ａと異なる部分の動作について説明し、それ以外の動作については、図５Ａ及び図５Ｂのタイミングチャートの動作を参照する。

［０２３１］

配線ＬＰＥに低レベル電位V_{Low}が与えられているとき、トランジスタＭ２２のゲートにV_{Low}が与えられるため、トランジスタＭ２２はオフ状態となる。また、配線ＬＰＥに第２パルス信号として高レベル電位V_{High}が与えられているとき、トランジスタＭ２２のゲートにV_{High}が与えられるため、トランジスタＭ２２はオン状態となる。さらに、このとき、トランジスタＭ２２の第１端子には、保持回路ＬＡＴ１Ａの端子ＯＴ１２から出力される第３画像信号が入力される。

［０２３２］

第３画像信号の電位がV_{Low}であるとき、容量素子Ｃ２２の第１端子にV_{Low}が書き込まれる。また、第３画像信号の電位が$V_{High}-V_{th_M12}$である場合には、トランジスタＭ２２のしきい値電圧の高さに応じて、容量素子Ｃ２２の第１端子に書き込まれる電位が決まる。例えば、$V_{High}-V_{th_M12}$が$V_{High}-V_{th_M22}$よりも高い場合、容量素子Ｃ２２の第１端子には、$V_{High}-V_{th_M22}$が書き込まれ、また、$V_{High}-V_{th_M12}$が$V_{High}-V_{th_M22}$よりも低い場合、容量素子Ｃ２

２の第１端子には、$V_{High}-V_{th_M12}$が書き込まれる。

［０２３３］

容量素子Ｃ２２の第１端子に、保持回路ＬＡＴ１Ａの端子ＯＴ１２から出力される信号に応じた電位が書き込まれた後では、配線ＬＰＥの電位が高レベル電位V_{High}から低レベル電位V_{Low}が与えられて、トランジスタＭ２２がオフ状態となる。

［０２３４］

上記より、保持回路ＬＡＴ１Ａの端子ＯＴ１２から出力される第３画像信号に応じた電位が$V_{High}-V_{th_M12}$である場合（配線ＶＤＥから保持回路ＬＡＴ１Ａの端子ＩＴ１にV_{Low}が入力された場合）、容量素子Ｃ２２の第１端子に書き込まれる$V_{High}-V_{th_M22}$又は$V_{High}-V_{th_M12}$は、図５Ｂの動作例における、V_{2nd_M22}に相当する。

［０２３５］

図４の保持回路ＬＡＴ２Ａを図１２の保持回路ＬＡＴ２Ｂに変更しても、図４の保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ２Ａと同様に、第１画像信号に応じた電位の保持と、第１画像信号の論理が反転された第４画像信号の出力を行うことができる。また、図１２の保持回路ＬＡＴ２Ｂは、トランジスタＭ２１が設けられていないため、図４の保持回路ＬＡＴ２Ａと比較して回路面積が小さい。つまり、図１２の保持回路ＬＡＴ２Ｂを、駆動回路ＳＤに含まれる保持回路ＬＡＴ２に適用することによって、駆動回路ＳＤの回路面積を低減することができる。

［０２３６］

＜保持回路ＬＡＴ２の構成例３＞

図１３に示す保持回路ＬＡＴ２Ｃは、図１又は図２の駆動回路ＳＤに含まれる保持回路ＬＡＴ２に適用できる回路の構成例であり、図４に示した保持回路ＬＡＴ２Ａの変更例でもある。なお、図１３には、保持回路ＬＡＴ２Ｃの周辺の接続構成を示すため、一例として、シフトレジスタＳＲと、保持回路ＬＡＴ１Ａも図示している。

［０２３７］

以下に、図１３の保持回路ＬＡＴ２Ｃの構成例について、図４の保持回路ＬＡＴ２Ａと異なる点のみ説明する。

［０２３８］

図１３の保持回路ＬＡＴ２Ｃは、トランジスタＭ２２のゲートが、配線ＶＥ２ではなく、端子ＩＴ２２に接続されている点と、トランジスタＭ２２の第１端子が、配線ＶＥ２に接続されている点と、トランジスタＭ２７が設けられている点と、トランジスタＭ２１が設けられていない点と、で図４の保持回路ＬＡＴ２Ａと異なっている。

［０２３９］

トランジスタＭ２７としては、例えば、図４に図示したトランジスタＭ１１乃至トランジスタＭ１３及びトランジスタＭ２１乃至トランジスタＭ２６のいずれか一に適用できるトランジスタとすることができる。

［０２４０］

トランジスタＭ２２のゲートは、端子ＩＴ２２に接続され、トランジスタＭ２２の第１端子は、配線ＶＥ２に接続されている。また、トランジスタＭ２７の第１端子は、トランジスタＭ２２の第２端子と、トランジスタＭ２３のゲートと、容量素子Ｃ２２の第１端子と、に接続されている。トランジスタＭ２７の第２端子は、配線ＶＥ１に接続されている。また、トランジスタＭ２７のゲートは、ト

ランジスタＭ２４のゲートと、トランジスタＭ２５の第２端子と、トランジスタＭ２６の第１端子と、容量素子Ｃ２１の第１端子と、に接続されている。

［０２４１］

以下に、図１３に示す保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ２Ｃの動作例について説明する。なお、本動作例では、図４の保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ２Ａと異なる部分の動作について説明し、それ以外の動作については、図５Ａ及び図５Ｂのタイミングチャートの動作を参照する。

［０２４２］

図５Ａの期間Ｔ２のとおり、配線ＶＤＥから保持回路ＬＡＴ１Ａの端子ＩＴ１に、第１画像信号として高レベル電位V_{High}が入力されて、容量素子Ｃ１１の第１端子に$V_{High}-V_{th_M11}$が書き込まれているとき、配線ＬＰＥの電位がV_{Low}からV_{High}に遷移することによって、保持回路ＬＡＴ１Ａは、端子ＯＴ１２から第３画像信号としてV_{Low}を出力する。また、端子ＯＴ１２から出力されたV_{Low}は、トランジスタＭ２２のゲートに与えられる。このため、トランジスタＭ２２はオフ状態となる。

［０２４３］

また、配線ＬＰＥに送信される第２パルス信号として、電位がV_{Low}からV_{High}に遷移することによって、トランジスタＭ２５がオン状態となり、容量素子Ｃ２１の第１端子に$V_{High}-V_{th_M11}-\Delta V$が書き込まれる。また、$V_{High}-V_{th_M11}-\Delta V$がトランジスタＭ２７のゲートに与えられるため、トランジスタＭ２７がオン状態となり、容量素子Ｃ２２の第１端子に、配線ＶＥ１からの低レベル電位V_{Low}が書き込まれる。

［０２４４］

このとき、トランジスタＭ２３はオフ状態となり、トランジスタＭ２４がオン状態となるため、保持回路ＬＡＴ２Ｃは、端子ＯＴ２に、第４画像信号として低レベル電位V_{Low}を出力する。

［０２４５］

また、図５Ｂの期間Ｔ２のとおり、配線ＶＤＥから保持回路ＬＡＴ１Ａの端子ＩＴ１に低レベル電位V_{Low}が入力されて、容量素子Ｃ１１の第１端子にV_{Low}が書き込まれているとき、配線ＬＰＥに送信される第２パルス信号として、電位がV_{Low}からV_{High}に遷移することによって、保持回路ＬＡＴ１Ａは、端子ＯＴ１２から$V_{High}-V_{th_M12}$を出力する。また、端子ＯＴ１２から出力された$V_{High}-V_{th_M12}$は、トランジスタＭ２２のゲートに与えられる。このため、トランジスタＭ２２はオン状態となり、容量素子Ｃ２２の第１端子に、$V_{High}-V_{th_M12}-V_{th_M22}$が書き込まれる。なお、$V_{High}-V_{th_M12}-V_{th_M22}$は、図５Ｂの動作例における$V_{2nd_M22}$に相当する。

［０２４６］

また、配線ＬＰＥに与えられる第２パルス信号として、電位がV_{Low}からV_{High}に遷移することによって、トランジスタＭ２５がオン状態となり、容量素子Ｃ２１の第１端子にV_{Low}が書き込まれる。また、V_{Low}がトランジスタＭ２７のゲートに与えられるため、トランジスタＭ２７がオフ状態となる。

［０２４７］

このとき、トランジスタＭ２３はオン状態となり、トランジスタＭ２４がオフ状態となるため、保持回路ＬＡＴ２Ｃは、端子ＯＴ２に、第４画像信号として高レベル電位V_{High}を出力する。

［０２４８］

図４の保持回路ＬＡＴ２Ａを図１３の保持回路ＬＡＴ２Ｃに変更しても、図４の保持回路ＬＡＴ

１Ａ及び保持回路ＬＡＴ２Ａと同様に、第１画像信号に応じた電位の保持と、第１画像信号の論理が反転された第４画像信号の出力を行うことができる。また、図１３の保持回路ＬＡＴ２Ｃは、トランジスタＭ２２のゲートの電位が$V_{High}-V_{th_M12}$であれば、配線ＶＥ２と容量素子Ｃ２２との間が導通するため、ノードＮ２２に蓄積された電荷がノイズなどの影響によって昇降しても、配線ＶＥ２によって、ノードＮ２２の電位を$V_{High}-V_{th_M12}-V_{th_M22}$に保つことができる。これにより、ノードＮ２２にノイズが意図せずに入力されても、保持回路ＬＡＴ２Ｃの出力端子ＯＴ２から、第４画像信号に相当する高レベル電位V_{High}を安定して出力することができる。

［０２４９］

＜保持回路ＬＡＴ２の構成例４＞

図１４に示す保持回路ＬＡＴ２Ｄは、図１又は図２の駆動回路ＳＤに含まれる保持回路ＬＡＴ２に適用できる回路の構成例であり、図１３に示した保持回路ＬＡＴ２Ｃの変更例でもある。なお、図１４には、保持回路ＬＡＴ２Ｄの周辺の接続構成を示すため、一例として、シフトレジスタＳＲと、保持回路ＬＡＴ１Ａも図示している。

［０２５０］

図１４の保持回路ＬＡＴ２Ｄは、トランジスタＭ２２の第１端子が、配線ＶＥ２ではなく、端子ＩＴ２２に接続されている点で図１３の保持回路ＬＡＴ２Ｃと異なっている。つまり、図１４の保持回路ＬＡＴ２Ｄにおいて、トランジスタＭ２２は、ダイオード接続の構成となっている。

［０２５１］

以下に、図１４に示す保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ２Ｄの動作例について説明する。なお、本動作例では、図４の保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ２Ａと異なる部分の動作について説明し、それ以外の動作については、図５Ａ及び図５Ｂのタイミングチャートの動作を参照する。

［０２５２］

図５Ａの期間Ｔ２のとおり、配線ＶＤＥから保持回路ＬＡＴ１Ａの端子ＩＴ１に第１画像信号として高レベル電位V_{High}が入力されて、容量素子Ｃ１１の第１端子に$V_{High}-V_{th_M11}$が書き込まれているとき、配線ＬＰＥに送信される第２パルス信号として、電位がV_{Low}からV_{High}に遷移することによって、保持回路ＬＡＴ１Ａは、端子ＯＴ１２から、第３画像信号としてV_{Low}を出力する。また、端子ＯＴ１２から出力されたV_{Low}は、トランジスタＭ２２のゲート及び第１端子に与えられる。このため、トランジスタＭ２２はオフ状態となる。

［０２５３］

また、配線ＬＰＥに送信される第２パルス信号として、電位がV_{Low}からV_{High}に遷移することによって、トランジスタＭ２５がオン状態となり、保持回路ＬＡＴ１Ａの端子ＯＴ１１からの第２画像信号がノードＮ２１に送信される。具体的には、容量素子Ｃ２１の第１端子に$V_{High}-V_{th_M11}-\Delta V$が書き込まれる。また、$V_{High}-V_{th_M11}-\Delta V$がトランジスタＭ２７のゲートに与えられるため、トランジスタＭ２７がオン状態となり、容量素子Ｃ２２の第１端子に、配線ＶＥ１からの低レベル電位V_{Low}が書き込まれる。

［０２５４］

このとき、トランジスタＭ２３はオフ状態となり、トランジスタＭ２４がオン状態となるため、保持回路ＬＡＴ２Ｃは、端子ＯＴ２に、第４画像信号として低レベル電位V_{Low}を出力する。

［０２５５］

また、図５Ｂの期間Ｔ２のとおり、配線ＶＤＥから保持回路ＬＡＴ１Ａの端子ＩＴ１に、第１画像

信号として低レベル電位V_{Low}が入力されて、容量素子Ｃ１１の第１端子にV_{Low}が書き込まれているとき、配線ＬＰＥに送信される第２パルス信号として、電位がV_{Low}からV_{High}に遷移することによって、保持回路ＬＡＴ１Ａは、端子ＯＴ１２から$V_{High}-V_{th_M12}$を出力する。また、端子ＯＴ１２から出力された第３画像信号に応じた$V_{High}-V_{th_M12}$は、トランジスタＭ２２のゲート及び第１端子に与えられる。このため、トランジスタＭ２２はオン状態となり、容量素子Ｃ２２の第１端子に、$V_{High}-V_{th_M12}-V_{th_M22}$が書き込まれる。なお、$V_{High}-V_{th_M12}-V_{th_M22}$は、図５Ｂの動作例における$V_{2nd_M22}$に相当する。

［０２５６］

また、配線ＬＰＥに送信される第２パルス信号として、電位がV_{Low}からV_{High}に遷移することによって、トランジスタＭ２５がオン状態となり、容量素子Ｃ２１の第１端子にV_{Low}が書き込まれる。また、V_{Low}がトランジスタＭ２７のゲートに与えられるため、トランジスタＭ２７がオフ状態となる。

［０２５７］

このとき、トランジスタＭ２３はオン状態となり、トランジスタＭ２４がオフ状態となるため、保持回路ＬＡＴ２Ｃは、端子ＯＴ２に、第４画像信号として高レベル電位V_{High}を出力する。

［０２５８］

図４の保持回路ＬＡＴ２Ａを図１４の保持回路ＬＡＴ２Ｄに変更しても、図４の保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ２Ａと同様に、第１画像信号に応じた電位の保持と、第１画像信号の論理が反転された第４画像信号の出力を行うことができる。また、図１４の保持回路ＬＡＴ２Ｄは、トランジスタＭ２２のゲートが配線ＶＥ２に接続されていない構成となっているため、トランジスタＭ２２のゲートと配線ＶＥ２とを導通させるための導電層が不要となる。これにより、図１４の保持回路ＬＡＴ２Ｄは、保持回路ＬＡＴ２Ｃと比較して、回路面積を低減することができる。

［０２５９］

＜保持回路ＬＡＴ２の構成例５＞

図１５に示す保持回路ＬＡＴ２Ｅは、図１又は図２の駆動回路ＳＤに含まれる保持回路ＬＡＴ２に適用できる回路の構成例であり、図４に示した保持回路ＬＡＴ２Ａの変更例でもある。なお、図１５には、保持回路ＬＡＴ２Ｅの周辺の接続構成を示すため、一例として、シフトレジスタＳＲと、保持回路ＬＡＴ１Ａも図示している。

［０２６０］

図１５の保持回路ＬＡＴ２Ｅは、トランジスタＭ２８が設けられている点で、図４の保持回路ＬＡＴ２Ａと異なっている。

［０２６１］

以下に、図１５の保持回路ＬＡＴ２Ｅの構成例について、図４の保持回路ＬＡＴ２Ａと異なる点のみ説明する。

［０２６２］

トランジスタＭ２８としては、例えば、図４に図示したトランジスタＭ１１乃至トランジスタＭ１３及びトランジスタＭ２１乃至トランジスタＭ２６のいずれか一に適用できるトランジスタとすることができる。

［０２６３］

トランジスタＭ２８のゲートは、トランジスタＭ２３の第２端子と、容量素子Ｃ２２の第２端子と、

トランジスタＭ２４の第１端子と、端子ＯＴ２と、に接続されている。また、トランジスタＭ２８の第１端子は、トランジスタＭ２４のゲートと、トランジスタＭ２５の第２端子と、トランジスタＭ２６の第１端子と、容量素子Ｃ２１の第１端子と、に接続されている。また、トランジスタＭ２８の第２端子は、配線ＶＥ１に接続されている。

［０２６４］

以下に、図１５に示す保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ２Ｅの動作例について説明する。なお、本動作例では、図４の保持回路ＬＡＴ１Ａ及び保持回路ＬＡＴ２Ａと異なる部分の動作について説明し、それ以外の動作については、図５Ａ及び図５Ｂのタイミングチャートの動作を参照する。

［０２６５］

図５Ｂの期間Ｔ３のとおり、保持回路ＬＡＴ２Ｅは、トランジスタＭ２４がオフ状態であり、また、トランジスタＭ２３がオン状態となることによって、保持回路ＬＡＴ２Ｅから配線ＯＬに、第４画像信号として高レベル電位V_{High}が出力される。また、このとき、トランジスタＭ２８のゲートには、V_{High}が入力されるため、トランジスタＭ２８は、オン状態となる。

［０２６６］

トランジスタＭ２８がオン状態となることによって、トランジスタＭ２４のゲートと配線ＶＥ１との間が導通状態となる。つまり、ノードＮ２１がフローティング状態ではなくなり、常に配線ＶＥ１からの低レベル電位V_{Low}が与えられる状態となる。つまり、トランジスタＭ２４のゲートにおいてノイズなどを起因とする電位の変動が起きても、トランジスタＭ２４のゲートの電位は、すぐにV_{Low}に戻る。これにより、ノードＮ２１における電位の変動がほぼなくなるため、結果として、配線ＯＬの電位V_{High}を安定させることができる。

［０２６７］

一方、図５Ａの期間Ｔ３では、保持回路ＬＡＴ２Ｅは、トランジスタＭ２４がオン状態となることによって、保持回路ＬＡＴ２Ｅから配線ＯＬに第４画像信号として低レベル電位が出力される。また、このとき、トランジスタＭ２８のゲートには、当該低レベル電位が入力される。このため、トランジスタＭ２８は、オフ状態となる。このため、図５Ａの動作例において、トランジスタＭ２８が設けられたことによる変更はない。

［０２６８］

なお、図１５の駆動回路の構成例では、トランジスタＭ２８のゲートは、端子ＯＴ２に接続されている構成としたが、本発明の一態様はこれに限定されない。本発明の一態様は、例えば、図１６に示す保持回路ＬＡＴ２Ｆの構成例の通り、トランジスタＭ２８のゲートを、端子ＯＴ２ではなく、トランジスタＭ２２の第２端子と、トランジスタＭ２３のゲートと、容量素子Ｃ２２の第１端子と、に接続されていてもよい。

［０２６９］

図１６の駆動回路の構成例の場合、ノードＮ２２に高レベル電位として、例えば、V_{2nd_M22}が入力されたとき、又はブートストラップによってV_{2nd_M22}から$V_{2nd_M22}+V_{BS}$まで高くなったとき、トランジスタＭ２８がオン状態となる。以下は、図１５の動作例と同様に、ノードＮ２１には、常に配線ＶＥ１からの低レベル電位V_{Low}が与えられるため、結果として、配線ＯＬから出力される第４画像信号に応じた電位V_{High}を安定させることができる。

［０２７０］

＜保持回路ＬＡＴ２の構成例６＞

図１７に示す保持回路ＬＡＴ２Ｇは、図１又は図２の駆動回路ＳＤに含まれる保持回路ＬＡＴ２に適用できる回路の構成例であり、図４に示した保持回路ＬＡＴ２Ａの変更例でもある。なお、図１７には、保持回路ＬＡＴ２Ｄの周辺の接続構成を示すため、一例として、シフトレジスタＳＲと、保持回路ＬＡＴ１Ａも図示している。

［０２７１］

図１７の保持回路ＬＡＴ２Ｇは、トランジスタＭ２９が設けられている点で、図４の保持回路ＬＡＴ２Ａと異なっている。

［０２７２］

以下に、図１７の保持回路ＬＡＴ２Ｇの構成例について、図４の保持回路ＬＡＴ２Ａと異なる点のみ説明する。

［０２７３］

トランジスタＭ２９としては、例えば、図４に図示したトランジスタＭ１１乃至トランジスタＭ１３及びトランジスタＭ２１乃至トランジスタＭ２６のいずれか一に適用できるトランジスタとすることができる。

［０２７４］

トランジスタＭ２９の第１端子は、トランジスタＭ２１の第２端子と、トランジスタＭ２２の第１端子と、に接続されている。また、トランジスタＭ２９の第２端子は、配線ＶＥ１に接続されている。また、トランジスタＭ２９のゲートは、トランジスタＭ２４のゲートと、トランジスタＭ２５の第２端子と、トランジスタＭ２６の第１端子と、容量素子Ｃ２１の第１端子と、に接続されている。

［０２７５］

図４に示した駆動回路で、図５Ａの動作例において、期間Ｔ３で配線ＬＰＥに第２パルス電位として高レベル電位が与えられたとき、ノードＮ２２の電位は、理想的には、低レベル電位V_{Low}となることが好ましいが、トランジスタＭ１２もオン状態となるため、ノードＮ２２の電位は、低レベル電位V_{Low}よりも高くなる場合がある。

［０２７６］

そこで、図１７の保持回路ＬＡＴ２Ｇの通り、トランジスタＭ２９を設けた構成を考える。図５Ａの動作例において、期間Ｔ３で配線ＬＰＥに高レベル電位が与えられたとき、トランジスタＭ２５がオン状態となって、ノードＮ２１には、$V_{High}-V_{th_M11}-\Delta V$が与えられる。これにより、トランジスタＭ２９がオン状態となるため、トランジスタＭ２１の第２端子及びトランジスタＭ２２の第１端子と、配線ＶＥ１と、の間が導通する。これにより、トランジスタＭ２１の第２端子及びトランジスタＭ２２の第１端子の電位がV_{Low}となるため、ノードＮ２２の電位をV_{Low}にすることができる。

［０２７７］

図１７の保持回路ＬＡＴ２Ｇの通り、トランジスタＭ２９を設けることによって、図５Ａの動作例の期間Ｔ３において、ノードＮ２２の電位が、低レベル電位V_{Low}よりも高くなることを防ぐことができる。

［０２７８］

＜駆動回路の構成例２＞

なお、本発明の一態様の駆動回路は、図１に示す駆動回路ＳＤの構成に限定されない。例えば、本発明の一態様の駆動回路は、図１８に示す駆動回路ＳＤの構成としてもよい。

［０２７９］

図１８は、図１と異なる本発明の一態様の駆動回路の構成例を示したブロック図である。なお、当該駆動回路は、表示装置におけるソースドライバ回路としての機能を有する。

［０２８０］

図１８に示す駆動回路ＳＤは、一例として、シフトレジスタＳＲと、回路ＬＡＴＳと、回路ＬＳＨＳと、を有する。

［０２８１］

シフトレジスタＳＲ及び回路ＬＳＨＳについては、図１の駆動回路ＳＤの説明を参照することができる。

［０２８２］

回路ＬＡＴＳは、一例として、保持回路ＬＡＴＸ［１］乃至保持回路ＬＡＴＸ［ｎ］と、保持回路ＬＡＴＹ［１］乃至保持回路ＬＡＴＹ［ｎ］と、スイッチＳＷ０［１］乃至スイッチＳＷ０［ｎ］と、スイッチＳＷ１Ｘ［１］乃至スイッチＳＷ１Ｘ［ｎ］と、スイッチＳＷ１Ｙ［１］乃至スイッチＳＷ１Ｙ［ｎ］と、を有する。

［０２８３］

スイッチＳＷ０［１］乃至スイッチＳＷ０［ｎ］と、スイッチＳＷ１Ｘ［１］乃至スイッチＳＷ１Ｘ［ｎ］と、スイッチＳＷ１Ｙ［１］乃至スイッチＳＷ１Ｙ［ｎ］と、のそれぞれとしては、例えば、電気的なスイッチ（例えば、トランジスタ、アナログスイッチなど）、又は機械的なスイッチを適用してもよい。また、電気的なスイッチの一として、図４に図示したトランジスタＭ１１乃至トランジスタＭ１３及びトランジスタＭ２１乃至トランジスタＭ２６のいずれか一に適用できるトランジスタとすることができる。特に、当該トランジスタとしては、例えば、ＯＳトランジスタとすることが好ましい。

［０２８４］

また、保持回路ＬＡＴＸ［１］乃至保持回路ＬＡＴＸ［ｎ］のそれぞれは、一例として、入力端子としての機能を有する、端子ＩＴ１と、端子ＬＴ１１と、端子ＬＴ１２と、を有する。また、保持回路ＬＡＴＸ［１］乃至保持回路ＬＡＴＸ［ｎ］のそれぞれは、一例として、出力端子としての機能を有する端子ＯＴ１２と、を有する。

［０２８５］

同様に、保持回路ＬＡＴＹ［１］乃至保持回路ＬＡＴＹ［ｎ］のそれぞれは、一例として、入力端子としての機能を有する、端子ＩＴ１と、端子ＬＴ１１と、端子ＬＴ１２と、を有する。また、保持回路ＬＡＴＹ［１］乃至保持回路ＬＡＴＹ［ｎ］のそれぞれは、一例として、出力端子としての機能を有する端子ＯＴ１２と、を有する。

［０２８６］

なお、保持回路ＬＡＴＸ［１］乃至保持回路ＬＡＴＸ［ｎ］と、保持回路ＬＡＴＹ［１］乃至保持回路ＬＡＴＹ［ｎ］と、のそれぞれは互いに同一の回路構成とすることができる。

［０２８７］

ｊ列目（ｊは１以上ｎ以下の整数とする）において、スイッチＳＷ０［ｊ］の第１端子は、配線ＶＤＥに接続され、スイッチＳＷ０［ｊ］の第２端子は、保持回路ＬＡＴＸ［ｊ］の端子ＩＴ１と、保持回路ＬＡＴＹ［ｊ］の端子ＩＴ１と、に接続されている。また、スイッチＳＷ０［ｊ］の制御端子は、シフトレジスタＳＲの端子ＳＯＴ［ｊ］に接続されている。

［０２８８］

保持回路ＬＡＴＸ［ｊ］の端子ＬＴ１１は、配線ＬＰＥ１に接続され、保持回路ＬＡＴＸ［ｊ］の端子ＬＴ１２は、配線ＬＰＥ２に接続され、保持回路ＬＡＴＸ［ｊ］の端子ＯＴ１２は、スイッチＳＷ１Ｘ［ｊ］の第１端子に接続されている。また、スイッチＳＷ１Ｘ［ｊ］の制御端子は、配線ＬＰＥ２に接続されている。

［０２８９］

保持回路ＬＡＴＹ［ｊ］の端子ＬＴ１１は、配線ＬＰＥ２に接続され、保持回路ＬＡＴＸ［ｊ］の端子ＬＴ１２は、配線ＬＰＥ１に接続され、保持回路ＬＡＴＹ［ｊ］の端子ＯＴ１２は、スイッチＳＷ１Ｙ［ｊ］の第１端子に接続されている。また、スイッチＳＷ１Ｙ［ｊ］の制御端子は、配線ＬＰＥ１に接続されている。

［０２９０］

スイッチＳＷ１Ｘ［ｊ］の第２端子と、スイッチＳＷ１Ｙ［ｊ］の第２端子と、のそれぞれは、レベルシフタＬＳＨ［ｊ］の端子ＡＴに接続されている。レベルシフタＬＳＨ［ｊ］の端子ＺＴは、配線ＳＬ［ｊ］に接続されている。

［０２９１］

配線ＶＤＥは、一例として、図１で示した配線ＶＤＥと同様に、第１画像信号を送信する配線としての機能を有する。なお、第１画像信号は、デジタル信号として扱われることが好ましい。

［０２９２］

配線ＬＰＥ１及び配線ＬＰＥ２は、一例として、保持回路ＬＡＴＸ[１]乃至保持回路ＬＡＴＸ[ｎ]と保持回路ＬＡＴＹ［１］乃至保持回路ＬＡＴＹ［ｎ］とスイッチＳＷ１Ｘ［１］乃至スイッチＳＷ１Ｘ［ｎ］とスイッチＳＷ１Ｙ［１］乃至スイッチＳＷ１Ｙ［ｎ］とを制御するための信号を送信する配線としての機能を有する。なお、回路ＬＡＴＳが動作している最中は、配線ＬＰＥ２には、配線ＬＰＥ１に送信される信号の論理が反転された信号が送信されることが好ましい。つまり、配線ＬＰＥ１に高レベル電位が与えられているとき、配線ＬＰＥ２には低レベル電位が与えられていることが好ましく、また、配線ＬＰＥ１に低レベル電位が与えられているとき、配線ＬＰＥ２には高レベル電位が与えられていることが好ましい。

［０２９３］

なお、配線ＬＰＥ１において、当該信号は、例えば、保持回路ＬＡＴＸ［１］乃至保持回路ＬＡＴＸ［ｎ］に対してはストローブ信号（ラッチパルス信号と呼ばれる場合がある）としての機能と、スイッチＳＷ１Ｙ［１］乃至スイッチＳＷ１Ｙ［ｎ］のそれぞれのオン状態とオフ状態の切り替えを行うための制御信号を送信する配線としての機能を有する。つまり、配線ＬＰＥ１において、当該ストローブ信号と当該制御信号は、互いに同一の信号として扱われる。

［０２９４］

同様に、配線ＬＰＥ２において、当該信号は、例えば、保持回路ＬＡＴＹ［１］乃至保持回路ＬＡＴＹ［ｎ］に対してはストローブ信号（ラッチパルス信号と呼ばれる場合がある）としての機能と、スイッチＳＷ１Ｘ［１］乃至スイッチＳＷ１Ｘ［ｎ］のそれぞれのオン状態とオフ状態の切り替えを行うための制御信号を送信する配線としての機能を有する。つまり、配線ＬＰＥ２において、当該ストローブ信号と当該制御信号は、互いに同一の信号として扱われる。

［０２９５］

保持回路ＬＡＴＸ［１］乃至保持回路ＬＡＴＸ［ｎ］と、保持回路ＬＡＴＹ［１］乃至保持回路Ｌ

ＡＴＹ［ｎ］と、のそれぞれは、一例として、保持回路ＬＡＴ１と同様に、ラッチ回路としての機能を有する。また、保持回路ＬＡＴＸ［１］乃至保持回路ＬＡＴＸ［ｎ］と、保持回路ＬＡＴＹ［１］乃至保持回路ＬＡＴＹ［ｎ］と、のそれぞれには、図３Ａ乃至図３Ｃに図示した保持回路ＬＡＴ１Ａ乃至保持回路ＬＡＴ１Ｃのいずれか一を適用することができる。

［０２９６］

特に、保持回路ＬＡＴＸ［１］乃至保持回路ＬＡＴＸ［ｎ］と、保持回路ＬＡＴＹ［１］乃至保持回路ＬＡＴＹ［ｎ］と、のそれぞれに図３Ｃの保持回路ＬＡＴ１Ｃを適用した場合、回路ＬＡＴＳにおいて、スイッチＳＷ１Ｘ［１］乃至スイッチＳＷ１Ｘ［ｎ］及びスイッチＳＷ１Ｙ［１］乃至スイッチＳＷ１Ｙ［ｎ］は設けなくてもよい。つまり、この場合、保持回路ＬＡＴＸ［ｊ］の端子ＯＴ１２と、保持回路ＬＡＴＹ［ｊ］の端子ＯＴ１２と、のそれぞれは、レベルシフタＬＳＨ［１］に直接接続されていてもよい。

［０２９７］

保持回路ＬＡＴＸ及び保持回路ＬＡＴＹの一方において、配線ＶＤＥから、スイッチＳＷ０を介して、端子ＩＴ１に第１画像信号が送信され、かつ配線ＬＰＥ１及び配線ＬＰＥ２の一方から端子ＬＴ１１にストローブ信号として高レベル電位が与えられたとき、保持回路ＬＡＴＸ及び保持回路ＬＡＴＹの一方において第１画像信号に応じた電位を取得する。また、このとき、配線ＬＰＥ１及び配線ＬＰＥ２の他方から端子ＬＴ１２に低レベル電位が与えられている間は、端子ＯＴ１２は、第１画像信号に応じた電位は出力されない。

［０２９８］

ここで、配線ＬＰＥ１及び配線ＬＰＥ２の一方から端子ＬＴ１１に与えられているストローブ信号として、高レベル電位から低レベル電位に遷移した場合、保持回路ＬＡＴＸ及び保持回路ＬＡＴＹの一方は、端子ＩＴ１に取り込んだ第１画像信号に応じた電位を保持する。このため、保持回路ＬＡＴＸ及び保持回路ＬＡＴＹの一方の端子ＩＴ１に別の第１画像信号の電位が入力されても、保持回路ＬＡＴＸ及び保持回路ＬＡＴＹの一方はその別の第１画像信号の取り込みを行わない。また、配線ＬＰＥ１及び配線ＬＰＥ２の他方から端子ＬＴ１２に与えられている低レベル電位が高レベル電位に遷移した場合、保持回路ＬＡＴＸ及び保持回路ＬＡＴＹの一方の端子ＯＴ１２から、保持回路ＬＡＴＸ及び保持回路ＬＡＴＹの一方に保持された第１画像信号の論理が反転された第３画像信号を出力する。また、このとき、スイッチＳＷ１Ｘ及びスイッチＳＷ１Ｙの一方の制御端子には、配線ＬＰＥ１及び配線ＬＰＥ２の他方からの高レベル電位が入力されているため、スイッチＳＷ１Ｘ及びスイッチＳＷ１Ｙの一方はオン状態となる。このため、保持回路ＬＡＴＸ及び保持回路ＬＡＴＹの一方の端子ＯＴ１２から出力された第３画像信号は、レベルシフタＬＳＨに入力される。

［０２９９］

ここで、図１８に示す回路ＬＡＴＳの動作例について説明する。また、本動作例では、ｊ列目に着目して説明するものとする。

［０３００］

配線ＬＰＥ１には高レベル電位が供給され、配線ＬＰＥ２には低レベル電位が供給されている場合を考える。このとき、保持回路ＬＡＴＸ［ｊ］の端子ＬＴ１１に高レベル電位が与えられ、保持回路ＬＡＴＸ［ｊ］の端子ＬＴ１２とスイッチＳＷ１Ｘ［ｊ］の制御端子とに低レベル電位が与えられる。このため、保持回路ＬＡＴＸ［ｊ］の端子ＬＴ１１には、スイッチＳＷ０［１］を介して、配線ＶＤＥからの第１画像信号が入力される。また、このとき、保持回路ＬＡＴＸ［ｊ］は、端子ＯＴ１

２からの第３画像信号（第１画像信号を反転した信号）の出力を行われない。

［０３０１］

一方、保持回路ＬＡＴＹ［ｊ］の端子ＬＴ１１に低レベル電位が与えられ、保持回路ＬＡＴＸ［ｊ］の端子ＬＴ１２とスイッチＳＷ１Ｘ［ｊ］の制御端子とに高レベル電位が与えられる。このため、保持回路ＬＡＴＸ［ｊ］は、配線ＶＤＥからスイッチＳＷ０［１］を介して端子ＬＴ１１へ送信される第１画像信号の取り込みを行わない。また、保持回路ＬＡＴＸ［ｊ］は、保持回路ＬＡＴＸ［ｊ］が保持している第１画像信号の論理が反転された第３画像信号を端子ＯＴ１２に出力する。また、このとき、スイッチＳＷ１Ｙ［ｊ］がオン状態となっているため、第３画像信号は、レベルシフタＬＳＨ［ｊ］の端子ＡＴに送信される。

［０３０２］

また、図１及び図２の駆動回路ＳＤでは、ラッチ回路として機能する保持回路ＬＡＴ１と保持回路ＬＡＴ２を直列に接続した構成としたが、本発明の一態様の駆動回路は、図１８に示す通り、ラッチ回路として機能する保持回路ＬＡＴＸと保持回路ＬＡＴＹとを並列に接続した構成としてもよい。この場合、図１及び図２の駆動回路ＳＤと比較して、トランジスタの数、容量の数、配線の数を減らすことができる場合があるため、本発明の一態様として、図１８に示す構成を適用することによって、駆動回路の面積を低減することができる場合がある。

［０３０３］

なお、本実施の形態は、本明細書で示す、同一の、又は他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、その本実施の形態で示す構成、構造、方法などと適宜組み合わせて用いることができる。また、例えば、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

［０３０４］

（実施の形態２）

本実施の形態では、上記実施の形態で説明した駆動回路のレイアウト例、及び断面構成例について説明する。

［０３０５］

図１９は、図４に示す保持回路ＬＡＴ１Ａと保持回路ＬＡＴ２Ａのレイアウト図（平面図）である。なお、図１９のレイアウト図において、トランジスタＭ１１乃至トランジスタＭ１３及びトランジスタＭ２１乃至トランジスタＭ２６のそれぞれは、ＶＦＥＴ（縦チャネル型トランジスタ）の構成となっている。

［０３０６］

なお、図１９において、図面の左右方向をＸ方向とし、図面の上下方向をＹ方向とする。また、Ｘ方向及びＹ方向に垂直な方向をＺ方向とする。また、Ｘ方向とＹ方向は互いに垂直な方向とすることができる。また、Ｘ方向、Ｙ方向及びＺ方向の定義は、以降の図面においても同様の場合があり、また異なる場合がある。また、図１９等におけるレイアウト図の説明において、右側をＸ方向、左側を－Ｘ方向、上側をＹ方向、下側を－Ｙ方向という場合がある。また、後述する図２０Ａ、図２０Ｂ等における断面模式図の説明において、右側をＸ方向、左側を－Ｘ方向、上側をＺ方向、下側を－Ｚ方向という場合がある。

［０３０７］

図１９において、保持回路ＬＡＴ１Ａと保持回路ＬＡＴ２Ａのそれぞれは、一例として、導電層ＭＥ１と、導電層ＭＥ２と、導電層ＭＥ３と、半導体層ＳＣ１と、を有する。なお、図１９には、保持回路ＬＡＴ１Ａと保持回路ＬＡＴ２Ａのそれぞれに含まれている絶縁層を図示していない。

［０３０８］

半導体層ＳＣ１は、一例として、導電層ＭＥ３の下方に位置している。また、導電層ＭＥ２は、一例として、半導体層ＳＣ１の下方に位置している。また、導電層ＭＥ１は、一例として、導電層ＭＥ２の下方に位置している。つまり、図１９において、保持回路ＬＡＴ１Ａと保持回路ＬＡＴ２Ａのそれぞれは、下方から、導電層ＭＥ１、導電層ＭＥ２、半導体層ＳＣ１及び導電層ＭＥ３の順に形成されている。

［０３０９］

導電層ＭＥ３は、一例として、トランジスタＭ１１乃至トランジスタＭ１３及びトランジスタＭ２１乃至トランジスタＭ２６のそれぞれのゲート（第１ゲートと呼称する場合がある）として機能する領域を有する。また、導電層ＭＥ３は、配線として機能する領域も有する。特に、導電層ＭＥ３は、配線ＩＬとして機能する領域と、配線ＶＥ２として機能する領域と、を有する。

［０３１０］

導電層ＭＥ２は、一例として、トランジスタＭ１１乃至トランジスタＭ１３及びトランジスタＭ２１乃至トランジスタＭ２６のそれぞれにおけるソース又はドレインとして機能する領域を有する。また、導電層ＭＥ２は、配線として機能する領域も有する。特に、導電層ＭＥ２は、配線ＶＥ１として機能する領域と、配線ＶＥ２として機能する領域と、を有する。

［０３１１］

導電層ＭＥ１は、一例として、トランジスタＭ１１乃至トランジスタＭ１３及びトランジスタＭ２１乃至トランジスタＭ２６のそれぞれにおけるソース又はドレインとして機能する領域を有する。また、導電層ＭＥ１は、配線として機能する領域も有する。特に、導電層ＭＥ１は、配線ＶＥ１として機能する領域と、配線ＶＤＥとして機能する領域と、配線ＬＰＥとして機能する領域と、配線ＩＮＥとして機能する領域と、配線ＯＬとして機能する領域と、を有する。

［０３１２］

回路を作製するとき、導電層を複数の層に分けて形成することによって、異なる配線同士を交差させることができる。これにより、作製する回路の面積を低減することができる場合がある。例えば、図１９では、一方の配線を導電層ＭＥ１によって形成し、他方の配線を導電層ＭＥ３によって形成することで、異なる配線同士を交差させている。具体的には、図面の上下に延在している配線ＬＰＥと配線ＩＮＥの領域を含む導電層ＭＥ１の上方に、導電層ＭＥ３を設けることで、異なる配線同士の交差をさせている。

［０３１３］

導電層ＭＥ１、導電層ＭＥ２、半導体層ＳＣ１及び導電層ＭＥ３のそれぞれは、例えば、リソグラフィ法を用いて形成することができる。具体的には、例えば、導電層ＭＥ３を形成する場合には、導電層ＭＥ３となる導電材料をスパッタリング法、ＣＶＤ（Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法、ＰＬＤ（Ｐｕｌｓｅｄ　Ｌａｓｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法及びＡＬＤ（Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法から選ばれた一以上の方法を用いて形成し、その後に、リソグラフィ法によって所望のパターンを形成することが好ましい。また、導電層ＭＥ１、導電層ＭＥ２及び半導体層ＳＣ１についても、上記と同様の方法により形成を行うことができる。

［０３１４］

また、半導体層ＳＣ１と導電層ＭＥ１との間、導電層ＭＥ３と導電層ＭＥ２との間、及び導電層ＭＥ１と導電層ＭＥ２との間には、絶縁層が設けられていてもよい。特に、半導体層ＳＣ１と導電層ＭＥ３との間に設けられる絶縁体は、ゲート絶縁膜（第１のゲート絶縁膜、フロントゲート絶縁膜などと呼称する場合がある）として機能する場合がある。

［０３１５］

また、導電層ＭＥ２の一部と導電層ＭＥ３の一部とが重なっている領域ＣＴ１と、領域ＣＴ２と、領域ＣＴ３と、領域ＣＴ７と、領域ＣＴ８と、領域ＣＴ９と、では、導電層ＭＥ２と導電層ＭＥ３との間で導通がとれている。具体的には、例えば、領域ＣＴ１乃至領域ＣＴ３及び領域ＣＴ７乃至領域ＣＴ９には、導電層ＭＥ２と導電層ＭＥ３の間に位置する絶縁層に開口が形成されており、当該開口において、導電層ＭＥ２と導電層ＭＥ３が互いに接触している。これにより、トランジスタＭ１１に含まれている導電層ＭＥ２と、トランジスタＭ１３に含まれている導電層ＭＥ３と、トランジスタＭ２５に含まれている導電層ＭＥ２と、のそれぞれが互いに導通する。また、トランジスタＭ１２及びトランジスタＭ１３のそれぞれに含まれている導電層ＭＥ２と、トランジスタＭ２１に含まれている導電層ＭＥ２と、が互いに導通する。また、トランジスタＭ２２の導電層ＭＥ２と、トランジスタＭ２３の導電層ＭＥ３と、が互いに導通する。

［０３１６］

また、導電層ＭＥ１の一部と導電層ＭＥ３の一部とが重なっている領域ＣＴ４、領域ＣＴ５、領域ＣＴ６及び領域ＣＴ１０では、導電層ＭＥ１と導電層ＭＥ３の一部との間で導通がとれている。具体的には、例えば、領域ＣＴ４乃至領域ＣＴ６及び領域ＣＴ１０には、導電層ＭＥ１と導電層ＭＥ３との間に位置する絶縁層に開口が形成されており、当該開口において、導電層ＭＥ１と導電層ＭＥ３とが互いに接触している。これにより、トランジスタＭ１２に含まれる導電層ＭＥ１と、トランジスタＭ１２とトランジスタＭ２１のそれぞれに含まれる導電層ＭＥ３と、トランジスタＭ２５に含まれる導電層ＭＥ３と、のそれぞれが互いに導通する。また、トランジスタＭ２４に含まれる導電層ＭＥ３と、トランジスタＭ２５及びトランジスタＭ２６のそれぞれに含まれる導電層ＭＥ１と、が互いに導通する。

［０３１７］

また、図１９に図示している、容量素子Ｃ１１と容量素子Ｃ２１と容量素子Ｃ２２のそれぞれは、導電層ＭＥ１の一部と、導電層ＭＥ２の一部と、を有する。具体的には、容量素子Ｃ１１と容量素子Ｃ２１と容量素子Ｃ２２のそれぞれは、導電層ＭＥ１と、導電層ＭＥ２と、のそれぞれの一部が互いに重なる領域を有する。つまり、容量素子Ｃ１１と容量素子Ｃ２１と容量素子Ｃ２２のそれぞれにおいて、導電層ＭＥ１の一部は、一対の電極の一方として機能し、導電層ＭＥ２の一部は、一対の電極の他方として機能する。

［０３１８］

なお、容量素子Ｃ１１と容量素子Ｃ２１と容量素子Ｃ２２のそれぞれの静電容量の値は、導電層ＭＥ１と導電層ＭＥ２との間に位置する、誘電体としての機能を有する絶縁層の膜厚と、導電層ＭＥ１と導電層ＭＥ２とが互いに重なる領域の面積と、によって決まる。そのため、容量素子Ｃ１１と容量素子Ｃ２１と容量素子Ｃ２２のそれぞれにおいて、静電容量を小さくしたい場合は、導電層ＭＥ１と導電層ＭＥ２とが互いに重なる領域の面積を小さくすることが好ましく、又は、静電容量を大きくしたい場合は、導電層ＭＥ１と導電層ＭＥ２とが互いに重なる領域の面積を大きくすることが好まし

い。特に、容量素子Ｃ１１と容量素子Ｃ２１と容量素子Ｃ２２のそれぞれにおいて、静電容量を大きくしたい場合は、下方に位置する導電層ＭＥ１の縁を覆うように、導電層ＭＥ２を設けることが好適といえる。

［０３１９］

なお、本発明の一態様の半導体装置に係るレイアウト図は、図１９に限定されない。本発明の一態様の表示装置に係るレイアウト図は、適宜変更がなされた図１９としてもよい。

［０３２０］

次に、図１９に示したレイアウト図における保持回路ＬＡＴ１Ａと保持回路ＬＡＴ２Ａの断面構成例について説明する。

［０３２１］

図２０Ａは、図１９に図示した一点鎖線Ｄ１－Ｄ２における、保持回路ＬＡＴ１Ａとその近傍の領域の断面模式図であって、図２０Ｂは、図１９に図示した一点鎖線Ｄ３－Ｄ４における、保持回路ＬＡＴ２Ａとその近傍の領域の断面模式図である。そのため、図２０Ａには、図１９の一点鎖線Ｄ１－Ｄ２上に位置するトランジスタＭ１３と、容量素子Ｃ１１と、領域ＣＴ５と、のそれぞれの断面模式図を示しており、また、図２０Ａには、図１９の一点鎖線Ｄ３－Ｄ４上に位置するトランジスタＭ２４と、トランジスタＭ２５と、容量素子Ｃ２１と、領域ＣＴ１０と、のそれぞれの断面模式図を示している。

［０３２２］

なお、以下では、図２０Ａ及び図２０Ｂの断面模式図に示しているトランジスタＭ１３と、トランジスタＭ２４と、トランジスタＭ２５と、容量素子Ｃ１１と、容量素子Ｃ２１と、領域ＣＴ１と、領域ＣＴ５と、領域ＣＴ１０と、について説明するが、図２０Ａ及び図２０Ｂに図示していないトランジスタＭ１１と、トランジスタＭ１２と、トランジスタＭ２１乃至トランジスタＭ２３と、トランジスタＭ２６と、のそれぞれについては、トランジスタＭ１３と、トランジスタＭ２４と、トランジスタＭ２５と、の説明を援用する。また、同様に、容量素子Ｃ２２については、容量素子Ｃ１１と、容量素子Ｃ２１と、の説明を援用する。また、領域ＣＴ２と、領域ＣＴ３と、領域ＣＴ７乃至領域ＣＴ９と、については、領域ＣＴ１の説明を援用する。また、領域ＣＴ４と、領域ＣＴ６と、領域ＣＴ１０と、については、領域ＣＴ１０の説明を援用する。

［０３２３］

図２０Ａ及び図２０Ｂにおいて、トランジスタＭ１３と、トランジスタＭ１４と、トランジスタＭ２５と、容量素子Ｃ１１と、容量素子Ｃ２１と、は、一例として、絶縁層ＩＳ１の上方に設けられている。

［０３２４］

絶縁層ＩＳ１は、一例として、その上方にトランジスタ、容量素子などを設けるための下地膜又は層間膜としての機能を有する。

［０３２５］

絶縁層ＩＳ１には、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン又は窒化シリコンを用いることができる。又は、絶縁層ＩＳ１には、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素と窒素を添加した酸化シリコン、若しくは空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、若しくは空孔を有する酸化シリコンといった材料は、

加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。又は、絶縁層ＩＳ１には、例えば、樹脂を用いることができる。また、絶縁層ＩＳ１に用いる材料は、上述した絶縁材料を適宜組み合わせたものとしてもよい。

［０３２６］

なお、本明細書などにおいて、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い材料を指す。例えば、酸化窒化シリコンと記載した場合は、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンと記載した場合は、その組成として、酸素よりも窒素の含有量が多い材料を示す。

［０３２７］

また、絶縁層ＩＳ１には、比誘電率が低い絶縁材料を用いることが好ましい。比誘電率が低い絶縁材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。具体的には、例えば、絶縁層ＩＳ１の比誘電率は４未満が好ましく、３未満がより好ましい。比誘電率が低い絶縁材料としては、酸化シリコン、酸化窒化シリコン及び窒化酸化シリコンが挙げられる。

［０３２８］

図２０Ａ及び図２０Ｂにおいて、導電層ＭＥ１は、絶縁層ＩＳ１の上方に形成されている。また、前述した通り、導電層ＭＥ２は、導電層ＭＥ１の上方に位置している。

［０３２９］

導電層ＭＥ１は、トランジスタＭ１３とトランジスタＭ２４とトランジスタＭ２５のそれぞれにおいて、ソース及びドレインの一方としての機能を有する導電体（端子、配線などと言い換える場合がある）である。また、導電層ＭＥ２は、トランジスタＭ１３とトランジスタＭ２４とトランジスタＭ２５のそれぞれにおいて、において、ソース及びドレインの他方としての機能を有する導電体（端子、配線などと言い換える場合がある）である。

［０３３０］

また、導電層ＭＥ１は、容量素子Ｃ１１と容量素子Ｃ２１のそれぞれにおいて、一対の電極の一方としての機能を有する導電体（端子、配線などと言い換える場合がある）でもある。また、導電層ＭＥ２は、容量素子Ｃ１１と容量素子Ｃ２１のそれぞれにおいて、一対の電極の他方としての機能を有する導電体（端子、配線などと言い換える場合がある）でもある。

［０３３１］

図２０Ａにおいて、トランジスタＭ１３に含まれている導電層ＭＥ１は、一例として、Ｙ方向に延在するように設けられている。また、容量素子Ｃ１１に含まれている導電層ＭＥ１は、一例として、Ｙ方向に延在している。また、配線ＬＰＥとして機能する領域を有する導電層ＭＥ１と、配線ＩＮＥとして機能する領域を有する導電層ＭＥ１は、一例として、Ｙ方向に延在するように設けられている。

［０３３２］

図２０Ｂにおいて、トランジスタＭ２４に含まれている導電層ＭＥ１は、一例として、Ｙ方向に延在するように設けられている。また、トランジスタＭ２５と容量素子Ｃ２１に含まれている導電層ＭＥ１は、一例として、Ｘ方向とＹ方向に延在するように設けられている。

［０３３３］

導電層ＭＥ１と導電層ＭＥ２のそれぞれには、例えば、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロン

チウム及びランタンから選ばれた金属元素、又は上述した金属元素から選ばれた二以上を成分とする合金、又は上述した金属元素から選ばれた二以上を組み合わせた合金を用いることが好ましい。また、導電層ＭＥ１及び導電層ＭＥ２には、例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、又はランタンとニッケルを含む酸化物を用いることが好ましい。窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、並びにランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、若しくは酸素を吸収しても導電性を維持する材料であるため、好ましい。また、導電体には、例えば、不純物元素（例えば、リン又はヒ素）を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、若しくはシリサイド（例えば、ニッケルシリサイド）を用いてもよい。

［０３３４］

図２０Ａ及び図２０Ｂにおいて、絶縁層ＩＳ１及び導電層ＭＥ２のそれぞれの上方には、絶縁層ＩＳ２が設けられている。

［０３３５］

絶縁層ＩＳ２は、一例として、トランジスタＭ１３、トランジスタＭ２４及びトランジスタＭ２５における、ソースとドレインとを隔てる層間膜としての機能を有する。

［０３３６］

絶縁層ＩＳ２としては、例えば、絶縁層ＩＳ１に適用できる材料を用いることができる。

［０３３７］

また、図２０Ａ及び図２０Ｂにおいて、絶縁層ＩＳ２には、導電層ＭＥ１の一部に重なる領域に、開口ＫＣ１１と、開口ＫＣ２１と、が設けられている。開口ＫＣ１１の内部には、容量素子Ｃ１１の一対の電極の他方としての機能を有する導電層ＭＥ２と、容量素子Ｃ１１の誘電体としての機能を有する絶縁層ＤＩ１と、が含まれている。また、開口ＫＣ２１の内部には、容量素子Ｃ２１の一対の電極の他方としての機能を有する導電層ＭＥ２と、容量素子Ｃ２１の誘電体としての機能を有する絶縁層ＤＩ１と、が含まれている。

［０３３８］

また、図２０Ａ及び図２０Ｂにおいて、開口ＫＣ１１と開口ＫＣ２１のそれぞれの側面は、Ｘ－Ｙ平面に対して概略垂直（テーパ角が７０度以上１１０度以下）となっている。特に、テーパ角が９０度に近いほど、開口ＫＣ１１と開口ＫＣ２１の面積が小さくすることができるため、容量素子Ｃ１１と容量素子Ｃ２１を形成するための面積が小さくすることができる。なお、容量素子Ｃ１１と容量素子Ｃ２１の静電容量の値を大きくしたい場合、開口ＫＣ１１と開口ＫＣ２１の底部の面積を大きくなるように形成することが好ましい。

［０３３９］

図２０Ａ及び図２０Ｂにおいて、絶縁層ＩＳ２の上面と、絶縁層ＩＳ２の開口ＫＣ１１と開口ＫＣ２１のそれぞれの側面と、絶縁層ＩＳ２の開口ＫＣ１１と開口ＫＣ２１のそれぞれの底部にあたる導電層ＭＥ２の上面と、には絶縁層ＤＩ１が設けられている。

［０３４０］

絶縁層ＤＩ１は、一例として、容量素子Ｃ１１及び容量素子Ｃ２１における、誘電体としての機能を有する。また、絶縁層ＤＩ１は、一例として、トランジスタＭ１３、トランジスタＭ２４及びトラ

ンジスタＭ２５における、ソースとドレインとを隔てる層間膜としての機能を有する。

［０３４１］

絶縁層ＤＩ１としては、例えば、高誘電率（ｈｉｇｈ－ｋ）材料を用いることが好ましい。具体的には、一例として、絶縁層ＤＩ１には、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物といった高誘電率材料を用いることができる。又は、別の一例としては、アルミニウム及びハフニウムの一方又は双方を含む酸化物を用いることが好ましく、アモルファス構造を有し、アルミニウム及びハフニウムの一方又は双方を含む酸化物を用いることがより好ましく、アモルファス構造を有する酸化ハフニウムを用いることがさらに好ましい。また、別の一例として、チタン酸ジルコン酸鉛（ＰＺＴ）、チタン酸ストロンチウム（$SrTiO_3$）、又は（Ｂａ，Ｓｒ）TiO_3（ＢＳＴ）を用いることができる。容量素子Ｃ１１又は容量素子Ｃ２１の誘電体に、高誘電率材料を用いることによって、その静電容量の値を高くすることができ、容量素子Ｃ１１又は容量素子Ｃ２１に書き込まれた電圧を長時間保持することができる。

［０３４２］

容量素子Ｃ１１又は容量素子Ｃ２１は、絶縁層ＤＩ１に強誘電性を有しうる材料を用いることによって、強誘電体キャパシタとすることができる。強誘電性を有しうる材料は、常誘電体と異なり、電圧印加がなくなっても内部の誘電分極が維持される（残留分極と呼ばれる場合がある）。

［０３４３］

特に、例えば、容量素子Ｃ２１において、トランジスタＭ１１、トランジスタＭ２５及びトランジスタＭ２６に選ばれた一以上が偶発的にオン状態になっても、容量素子Ｃ２１の内部の誘電分極が維持されるため、ノードＮ２１の電位（データ）を保持することができる。また、容量素子Ｃ２１の電位を書き換える場合、容量素子Ｃ２１の第２端子側にプレート線を設けることが好ましい。つまり、例えば、図７の駆動回路において、配線ＶＥ１４を容量素子Ｃ２１におけるプレート線としての機能を有する配線とし、配線ＶＥ１１、配線ＶＥ１２、配線ＶＥ１３及び配線ＶＥ１５を固定電位を与える配線としての機能を有する配線とすることが好ましい。また、このとき、配線ＶＥ１１、配線ＶＥ１２、配線ＶＥ１３及び配線ＶＥ１５から選ばれた二以上は同一の配線としてもよい。

［０３４４］

強誘電性を有しうる材料としては、酸化ハフニウム、酸化ジルコニウム、酸化ジルコニウムハフニウム（$HfZrO_X$（Ｘは０よりも大きい実数とする）と記載する場合がある）、酸化ハフニウムに元素J_1（ここでの元素J_1は、ジルコニウム（Ｚｒ）、シリコン（Ｓｉ）、アルミニウム（Ａｌ）、ガドリニウム（Ｇｄ）、イットリウム（Ｙ）、ランタン（Ｌａ）、ストロンチウム（Ｓｒ）など。）を添加した材料、酸化ジルコニウムに元素J_2（ここでの元素J_2は、ハフニウム（Ｈｆ）、シリコン（Ｓｉ）、アルミニウム（Ａｌ）、ガドリニウム（Ｇｄ）、イットリウム（Ｙ）、ランタン（Ｌａ）、ストロンチウム（Ｓｒ）など。）を添加した材料、などが挙げられる。また、強誘電性を有しうる材料として、チタン酸鉛（$PbTiO_X$と記載する場合がある）、チタン酸バリウムストロンチウム（ＢＳＴ）、チタン酸ストロンチウム、チタン酸ジルコン酸鉛（ＰＺＴ）、タンタル酸ビスマス酸ストロンチウム（ＳＢＴ）、ビスマスフェライト（ＢＦＯ）、チタン酸バリウム、などのペロブスカイト構造を有する圧電性セラミックスを用いてもよい。また、強誘電性を有しうる材料としては、例えば、上記に列挙した材料から選ばれた複数の材料からなる混合物又は化合物を用いることができる。ところで、酸化ハフニウム、酸化ジルコニウム、酸化ジルコニウムハフニウム及び酸化ハフニウムに元素J_1を添加した材料などは、成膜条件だけでなく、各種プロセスなどによっても結晶構造（特性）が変わり得るため、

本明細書等では強誘電性を発現する材料を強誘電体と呼ぶだけでなく、強誘電性を有しうる材料とも呼んでいる。

［０３４５］

中でも強誘電性を有しうる材料として、酸化ハフニウムを有する材料、あるいは酸化ハフニウム及び酸化ジルコニウムを有する材料は、数ｎｍといった薄膜に加工しても強誘電性を有しうることができるため、好ましい。なお、本明細書等において、強誘電性を有しうる材料を層状にしたものを指して、強誘電体層又は金属酸化物膜と呼ぶ場合がある。

［０３４６］

また、絶縁層ＤＩ１は、単層構造又は積層構造とすることができる。特に、絶縁層ＤＩ１を積層構造とする場合、絶縁層ＤＩ１に含まれるそれぞれの絶縁層には、上記の高誘電率材料及び上記の強誘電性を有しうる材料の一方又は双方を用いることができる。

［０３４７］

図２０Ａ及び図２０Ｂにおいて、絶縁層ＤＩ１の上方には、導電層ＭＥ２が設けられている。特に、導電層ＭＥ２は、絶縁層ＩＳ２の開口ＫＣ１１に重なる絶縁層ＤＩ１の上面と、絶縁層ＩＳ２の開口ＫＣ２１に重なる絶縁層ＤＩ１の上面と、導電層ＭＥ１の一部に重なる絶縁層ＤＩ１の上面と、に設けられている。

［０３４８］

また、図２０Ａ及び図２０Ｂにおいて、絶縁層ＩＳ２と、絶縁層ＤＩ１と、導電層ＭＥ２と、には、導電層ＭＥ１の一部に重なる領域において、開口ＫＭ１３と、開口ＫＭ２４と、開口ＫＭ２５と、が設けられている。開口ＫＭ１３の内部には、トランジスタＭ１３のチャネル形成領域を含む半導体層ＳＣ１と、トランジスタＭ１３のゲート絶縁膜としての機能を有する絶縁層ＧＩ１と、トランジスタＭ１３のゲートとしての機能を有する導電層ＭＥ３と、が含まれている。開口ＫＭ２４の内部には、トランジスタＭ２４のチャネル形成領域を含む半導体層ＳＣ１と、トランジスタＭ２４のゲート絶縁膜としての機能を有する絶縁層ＧＩ１と、トランジスタＭ２４のゲートとしての機能を有する導電層ＭＥ３と、が含まれている。開口ＫＭ２５の内部には、トランジスタＭ２５のチャネル形成領域を含む半導体層ＳＣ１と、トランジスタＭ２５のゲート絶縁膜としての機能を有する絶縁層ＧＩ１と、トランジスタＭ２５のゲートとしての機能を有する導電層ＭＥ３と、が含まれている。

［０３４９］

また、図２０Ａ及び図２０Ｂにおいて、開口ＫＭ１３と開口ＫＭ２４と開口ＫＭ２５とのそれぞれの側面は、Ｘ－Ｙ平面に対して概略垂直（テーパ角が７０度以上１１０度以下）となっている。特に、テーパ角が９０度に近いほど、開口ＫＭ１３と開口ＫＭ２４と開口ＫＭ２５との面積が小さくすることができるため、トランジスタＭ１３とトランジスタＭ２４とトランジスタＭ２５を形成するための面積が小さくすることができる。

［０３５０］

なお、図１９の上面模式図では、一例として、開口ＫＭ１３と開口ＫＭ２４と開口ＫＭ２５の形状は真円となっているが、本発明の一態様はこれに限定されない。開口ＫＭ１３と開口ＫＭ２４と開口ＫＭ２５の形状は、例えば、単一閉曲線を縁とする図形（楕円を含む）としてもよいし、角が丸い多角形としてもよい。

［０３５１］

図２０Ａ及び図２０Ｂにおいて、導電層ＭＥ２の上面と、導電層ＭＥ２の開口ＫＭ１３と開口ＫＭ

２４と開口ＫＭ２５のそれぞれの側面と、絶縁層ＤＩ１の開口ＫＭ１３と開口ＫＭ２４と開口ＫＭ２５のそれぞれの側面と、絶縁層ＩＳ２の開口ＫＭ１３と開口ＫＭ２４と開口ＫＭ２５のそれぞれの側面と、開口ＫＭ１３と開口ＫＭ２４と開口ＫＭ２５のそれぞれの底部にあたる導電層ＭＥ１の上面と、には半導体層ＳＣ１が設けられている。

［０３５２］

特に、トランジスタＭ１３において、チャネル形成領域を含む半導体層ＳＣ１は、開口ＫＭ１３を介して、導電層ＭＥ１と導電層ＭＥ２とに接触するように設けられている。同様に、トランジスタＭ２４において、チャネル形成領域を含む半導体層ＳＣ１は、開口ＫＭ２４を介して、導電層ＭＥ１と導電層ＭＥ２とに接触するように設けられている。トランジスタＭ２５において、チャネル形成領域を含む半導体層ＳＣ１は、開口ＫＭ２５を介して、導電層ＭＥ１と導電層ＭＥ２とに接触するように設けられている。

［０３５３］

半導体層ＳＣ１には、例えば、酸化物半導体として機能する金属酸化物とすることができる。この場合、トランジスタＭ１３、トランジスタＭ２４及びトランジスタＭ２５は、ＯＳトランジスタとなる。当該金属酸化物としては、例えば、少なくともインジウム又は亜鉛を含むことが好ましい。特に、インジウム及び亜鉛を含むことが好ましい。また、これらに加えて、元素Ｍが含まれていることが好ましい。元素Ｍとして、アルミニウム、ガリウム、シリコン、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルト及びアンチモンから選ばれた一以上を用いることができる。特に、元素Ｍは、アルミニウム、ガリウム、イットリウム又は錫の一以上とすることが好ましい。また、元素Ｍは、ガリウム及び錫の一方又は双方を有することがさらに好ましい。

［０３５４］

半導体層ＳＣ１には、一例としては、Ｉｎ－Ｇａ－Ｚｎ酸化物を用いることが好ましい。特に、Ｉｎ－Ｇａ－Ｚｎ酸化物としては、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１［原子数比］若しくはその近傍の組成、４：２：３［原子数比］若しくはその近傍の組成、又は３：１：２［原子数比］若しくはその近傍の組成の金属酸化物とすることが、より好ましい。また、半導体層ＳＣ１には、別の一例として、Ｉｎ－Ｚｎ酸化物を用いることが好ましい。特に、Ｉｎ－Ｚｎ酸化物としては、Ｉｎ：Ｚｎ＝４：１［原子数比］若しくはその近傍の組成の金属酸化物とすることがより好ましい。

［０３５５］

図２０Ａ及び図２０Ｂにおいて、絶縁層ＤＩ１の上面と、導電層ＭＥ２の上面と、半導体層ＳＣ１の上方と、には絶縁層ＧＩ１が設けられている。特に、絶縁層ＧＩ１は、絶縁層ＩＳ２の開口ＫＣ１１の内部の半導体層ＳＣ１の上面にも設けられている。なお、絶縁層ＧＩ１は、絶縁層ＩＳ２の開口ＫＣ１１の領域に重なっている導電層ＭＥ２の上面の全部又は一部には、設けられていない。

［０３５６］

絶縁層ＧＩ１には、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（ＰＺＴ）、チタン酸ストロンチウム（$SrTiO_3$）、又は（Ｂａ，Ｓｒ）TiO_3（ＢＳＴ）といったいわゆるｈｉｇｈ－ｋ材料を含む絶縁体を単層又は積層で用いることが好ましい。又は、絶縁層ＧＩ１には、比誘電率の高い絶縁体として、アルミニウムとハフニウムとを有する酸化物、アルミニウムとハフニウムとを有する酸化窒化物、シリコンとハフニウムとを有する

酸化物、シリコンとハフニウムとを有する酸化窒化物、又はシリコンとハフニウムとを有する窒化物を用いてもよい。

［０３５７］

図２０Ａ及び図２０Ｂにおいて、絶縁層ＧＩ１には、導電層ＭＥ２と重なる領域ＣＴ１に、開口が設けられている。

［０３５８］

また、図２０Ａ及び図２０Ｂにおいて、絶縁層ＩＳ２と、絶縁層ＤＩ１と、絶縁層ＧＩ１と、には、導電層ＭＥ１の一部に重なる領域ＣＴ５及び領域ＣＴ１０に、開口が設けられている。

［０３５９］

また、図２０Ａ及び図２０Ｂにおいて、絶縁層ＧＩ１の上面と、絶縁層ＧＩ１の領域ＣＴ５及び領域ＣＴ１０における開口の側面と、絶縁層ＤＩ１の領域ＣＴ５及び領域ＣＴ１０における開口の側面と、絶縁層ＩＳ２の領域ＣＴ５及び領域ＣＴ１０における開口の側面と、領域ＣＴ５及び領域ＣＴ１０における開口の底部にあたる導電層ＭＥ１の上面と、に導電層ＭＥ３が設けられている。これにより、領域ＣＴ５及び領域ＣＴ１０において、導電層ＭＥ１と導電層ＭＥ３が接触するため、導電層ＭＥ１と導電層ＭＥ３との間が導通する。

［０３６０］

また、図２０Ａ及び図２０Ｂにおいて、絶縁層ＩＳ２と絶縁層ＤＩ１と導電層ＭＥ２に設けられている開口ＫＭ１３、開口ＫＭ２４及び開口ＫＭ２５に含まれている絶縁層ＧＩ１の上面にも、導電層ＭＥ３が設けられている。

［０３６１］

また、図２０Ａ及び図２０Ｂにおいて、絶縁層ＧＩ１の領域ＣＴ１における開口の側面と、当該開口の底部にあたる導電層ＭＥ２の上面にも、導電層ＭＥ３が設けられている。これにより、領域ＣＴ１において、導電層ＭＥ２と導電層ＭＥ３が接触するため、導電層ＭＥ２と導電層ＭＥ３との間が導通する。

［０３６２］

導電層ＭＥ３としては、例えば、導電層ＭＥ１又は導電層ＭＥ２に適用できる材料を用いることができる。

［０３６３］

導電層ＭＥ３は、一例として、トランジスタＭ１３、トランジスタＭ２４及びトランジスタＭ２５における、ゲートとしての機能を有する。

［０３６４］

図２０Ａ及び図２０Ｂにおいて、絶縁層ＧＩ１の上方と、導電層ＭＥ３の上方と、には、絶縁層ＩＳ３が設けられている。

［０３６５］

絶縁層ＩＳ３は、一例として、トランジスタＭ１３、トランジスタＭ２４及びトランジスタＭ２５への不純物の拡散を防止するためのバリア絶縁膜としての機能を有する。また、絶縁層ＩＳ３は、例えば、その上方にトランジスタ、容量素子などの回路素子を設ける場合に、その回路素子を設けるための下地膜又は層間膜としての機能を有する。

［０３６６］

絶縁層ＩＳ３としては、例えば、絶縁層ＩＳ１又は絶縁層ＩＳ２に適用できる材料を用いることが

できる。

［０３６７］

このように、トランジスタＭ１３、トランジスタＭ２４及びトランジスタＭ２５を、ソース電極とドレイン電極とが異なる高さに位置し、半導体層を流れる電流が高さ方向に流れる、ＶＦＥＴ（縦チャネル型トランジスタ）の構成とすることができる。

［０３６８］

図１９、図２０Ａ及び図２０Ｂに示すとおり、トランジスタのチャネル形成領域を層間膜として機能する絶縁体（ここでは絶縁層ＩＳ２）の開口の側面に沿って設けることによって、トランジスタのチャネル形成領域をＸ－Ｙ平面に沿って設けた場合よりも、トランジスタの形成面積を小さくすることができる。また、トランジスタＭ１３、トランジスタＭ２４及びトランジスタＭ２５は、ソース電極、半導体及びドレイン電極を、重ねて設けることができるため、半導体を平面状に配置した、いわゆるプレーナ型のトランジスタと比較して、占有面積を大幅に縮小できる。このため、トランジスタＭ１３、トランジスタＭ２４及びトランジスタＭ２５の一方又は双方を用いて回路を形成することによって、当該回路の面積を小さくすることができる。また、その結果として、当該回路を含む半導体装置又は表示装置の小型化に繋げることができる。

［０３６９］

なお、トランジスタＭ１３、トランジスタＭ２４及びトランジスタＭ２５は、ｐチャネル型又はｎチャネル型の一方とすることができる。

［０３７０］

また、図２０Ａ及び図２０Ｂにおいて、トランジスタＭ１３、トランジスタＭ２４及びトランジスタＭ２５のそれぞれのチャネル長は、絶縁層ＩＳ２及び絶縁層ＤＩ１の厚さによって定められる。また、開口ＫＭ１３、開口ＫＭ２４及び開口ＫＭ２５がテーパ形状となっている場合、当該チャネル長は、開口と被形成面（ここでは、導電層ＭＥ１の上面）とのなす角度によっても決まる。したがって、例えば、当該チャネル長を露光装置の限界解像度で形成された線幅値よりも小さな値とすることができ、微細なサイズのトランジスタを実現することができる。具体的には、従来のフラットパネルディスプレイの量産用の露光装置（例えば最小線幅２μｍ又は１．５μｍ程度）では実現できなかった、極めて小さいチャネル長のトランジスタを実現することができる。また、最先端のＬＳＩ技術で用いられる極めて高額な露光装置を用いることなく、チャネル長が１０ｎｍ未満のトランジスタを実現することもできる。

［０３７１］

トランジスタＭ１３、トランジスタＭ２４及びトランジスタＭ２５のそれぞれのチャネル長は、例えば、５ｎｍ以上、７ｎｍ以上、１０ｎｍ以上、２０ｎｍ以上、３０ｎｍ以上又は５０ｎｍ以上であって、３μｍ以下、２．５μｍ以下、２μｍ以下、１．５μｍ以下、１．２μｍ以下、１μｍ以下、５００ｎｍ以下、３００ｎｍ以下、２００ｎｍ以下、１００ｎｍ以下、５０ｎｍ以下、３０ｎｍ以下又は２０ｎｍ以下とすることができる。例えば、当該チャネル長を、５ｎｍ以上３μｍ以下、又は５０ｎｍ以上１５０ｎｍ以下とすることもできる。

［０３７２］

特に、開口ＫＭ１３、開口ＫＭ２４及び開口ＫＭ２５の側面と底部が概略垂直となっている場合、当該チャネル長は、絶縁層ＩＳ２及び絶縁層ＤＩ１の厚さと概ね一致する。このため、絶縁層ＩＳ２及び絶縁層ＤＩ１の厚さを定めることによって、トランジスタＭ１３、トランジスタＭ２４及びトラ

ンジスタＭ２５のそれぞれのチャネル長を定めることができる。例えば、開口ＫＭ１３、開口ＫＭ２４及び開口ＫＭ２５の側面と底部が概略垂直となっており、且つ絶縁層ＩＳ２及び絶縁層ＤＩ１の厚さを５０ｎｍ以上１５０ｎｍ以下とすることで、チャネル長が５０ｎｍ以上１５０ｎｍ以下であるＶＦＥＴの構成のトランジスタを形成することができる。

［０３７３］

また、図１９に示す駆動回路ＳＤでは、含まれるトランジスタの全てをＶＦＥＴの構成としたが、一部又は全部のトランジスタをプレーナ型のトランジスタに置き換えてもよい。プレーナ型のトランジスタの場合、チャネル長がＶＦＥＴの構成のトランジスタのチャネル長よりも長いため、ＶＦＥＴの構成のトランジスタと比較してオフ電流を低くすることができる。そのため、リーク電流を減らしたいトランジスタには、ＶＦＥＴの構成のトランジスタでなく、プレーナ型のトランジスタを用いることが望ましい場合がある。

［０３７４］

なお、本実施の形態は、本明細書で示す、同一の、又は他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、その本実施の形態で示す構成、構造、方法などと適宜組み合わせて用いることができる。また、例えば、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

［０３７５］

（実施の形態３）

本実施の形態では、上記実施の形態で説明した駆動回路ＳＤを適用することができる表示装置について説明する。

［０３７６］

＜表示装置の構成例＞

図２１Ａは、本発明の一態様の駆動回路を含む表示装置ＤＳＰの一例を示した模式図である。表示装置ＤＳＰは、一例として、基板ＢＳ上に、画素アレイＰＸＡと、駆動回路ＧＤと、駆動回路ＳＤと、保護回路ＰＲＴと、駆動回路ＴＳＤと、が設けられている構成となっている。

［０３７７］

基板ＢＳは、一例として、画素アレイＰＸＡと、駆動回路ＧＤと、駆動回路ＳＤと、保護回路ＰＲＴと、駆動回路ＴＳＤと、を設けるための支持体として機能する。なお、上記に羅列した回路の一部又は全部は、基板ＢＳ上に直接形成されていてもよいし、ＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）技術などを用いて基板ＢＳ上に実装されていてもよい。また、上記に羅列した回路の一部又は全部は、ＣＯＦ（Ｃｈｉｐ　Ｏｎ　Ｆｉｌｍ）技術などを用いて、基板ＢＳに電気的に接続されるＦＰＣ（Ｆｌｅｘｉｂｌｅ　Ｐｒｉｎｔｅｄ　Ｃｉｒｃｕｉｔｓ）上に実装してもよい。

［０３７８］

基板ＢＳには、例えば、半導体基板（例えば、シリコン又はゲルマニウムを材料とした単結晶基板）を用いることができる。また、基板ＢＳとしては、半導体基板以外では、例えば、ＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどが挙げられる。ガラス基板の一例としては、バリウムホウケイ酸

ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスが挙げられる。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、ポリエチレンテレフタレート（ＰＥＴ）、ポリエチレンナフタレート（ＰＥＮ）、ポリエーテルサルフォン（ＰＥＳ）、又はポリテトラフルオロエチレン（ＰＴＦＥ）に代表されるプラスチックが挙げられる。または、別の一例としては、アクリル樹脂等の合成樹脂がある。または、別の一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルが挙げられる。または、別の一例としては、ポリアミド、ポリイミド、アラミド、エポキシ樹脂、無機蒸着フィルム、又は紙類が挙げられる。なお、表示装置ＤＳＰの作製工程において熱処理が含まれている場合、基板ＢＳには、熱に対して耐性の高い材料を選択することが好ましい。

［０３７９］

画素アレイＰＸＡは、一例として、複数の画素回路ＰＸを有する。複数の画素回路ＰＸは、画素アレイＰＸＡにおいて、アレイ状に配置されている。例えば、画素アレイＰＸＡには、複数の画素回路ＰＸが、マトリクス配列、ストライプ配列、Ｓストライプ配列、デルタ配列、ベイヤー配列、ペンタイル配列などのいずれか一で配列されている。なお、図２１では、複数の画素回路ＰＸのうち、ｉ行目ｊ列目（ｉは１以上の整数とし、ｊは１以上の整数とする）に位置する画素回路ＰＸを画素回路ＰＸ［ｉ，ｊ］と表記している。

［０３８０］

複数の画素回路ＰＸは、例えば、後述する駆動回路ＳＤから送信される画像信号を取得して、当該画像信号に応じた強度の光を発する機能を有する。なお、一個の画素回路ＰＸには、２個以上の副画素回路が含まれていてもよい。例えば、一個の画素回路ＰＸに含まれる副画素回路の個数と発光する色は、複数の副画素回路のそれぞれが発する光が合わさることで白色となるように、定めてもよい。例えば、画素回路ＰＸに含まれる複数の副画素回路のそれぞれの発光色を赤（Ｒ）、緑（Ｇ）及び青（Ｂ）とすることによって、画素回路ＰＸ全体は、白色発光を可能とする回路とすることができる。

［０３８１］

また、表示装置ＤＳＰの画面解像度は、画素アレイＰＸＡに含まれる画素回路ＰＸの数に応じて定められる。例えば、表示装置ＤＳＰの画面解像度が８Ｋ４Ｋとした場合、画素アレイＰＸＡに含まれる画素回路ＰＸの数は、７６８０×４３２０個となる。更に、画素回路ＰＸには例えば赤（Ｒ）、緑（Ｇ）、及び青（Ｂ）の３つの副画素回路が含まれている場合には、画素アレイＰＸＡに含まれる当該副画素回路の総数は、７６８０×４３２０×３個となる。なお、表示装置ＤＳＰの画面解像度は、ＳＤ（画素回路ＰＸの数が７２０×４８０個）としてもよいし、ＨＤ（画素回路ＰＸの数が１２８０×７２０個）としてもよいし、ＦＨＤ（画素回路ＰＸの数が１９２０×１０８０個）としてもよいし、４Ｋ２Ｋ（画素回路ＰＸの数が３８４０×２１６０個）としてもよい。また、表示装置ＤＳＰの画面解像度は、上記に限定されず、表示装置ＤＳＰの設計段階において、任意に決めてもよい。

［０３８２］

また、表示装置ＤＳＰの表示領域（一例として画素アレイＰＸＡ）の対角サイズは、表示装置ＤＳＰを備える電子機器によって定めることができる。例えば、テレビジョン装置などの大型ディスプレイでの用途では、当該表示領域の対角サイズは、１０インチ以上、２０インチ以上、３０インチ以上、６０インチ以上又は１００インチ以上とすることができる。また、例えば、タブレット型情報端末又は携帯情報端末といった中小型ディスプレイでの用途では、当該表示領域の対角サイズは、３インチ以上１３インチ以下とすることができる。また、例えば、ＸＲ向け機器、ウェアラブル型情報端末などの小型ディスプレイの用途では、３インチ以下、１．５インチ以下又は１インチ以下とすることが

できる。

［０３８３］

また、表示装置ＤＳＰの表示領域の精細度（画素密度と呼ばれる場合がある）は、上述した画面解像度と対角サイズとによって定められる。例えば、大型ディスプレイに表示装置ＤＳＰを用いた場合、表示装置ＤＳＰの表示領域の精細度は、例えば、５０ｐｐｉ以上が好ましく、１００ｐｐｉ以上がより好ましく、１５０ｐｐｉ以上が更に好ましい。また、中小型ディスプレイに表示装置ＤＳＰを用いた場合、表示装置ＤＳＰの表示領域の精細度は、例えば、２００ｐｐｉ以上が好ましく、４００ｐｐｉ以上がより好ましく、８００ｐｐｉ以上が更に好ましい。また、小型ディスプレイに表示装置ＤＳＰを用いた場合、表示装置ＤＳＰの表示領域の精細度は、例えば、１０００ｐｐｉ以上が好ましく、２０００ｐｐｉ以上がより好ましく、４０００ｐｐｉ以上が更に好ましい。

［０３８４］

また、表示装置ＤＳＰの表示領域（一例として画素アレイＰＸＡ）の画面比率（アスペクト比）については、特に限定はない。例えば、当該表示領域は、１：１（正方形）、４：３、１６：９、１６：１０、２１：９又は３２：９といった様々な画面比率に対応することができる。

［０３８５］

駆動回路ＧＤは、一例として、画像信号を書き込む対象となる、画素アレイＰＸＡに含まれる画素回路ＰＸを選択するためのゲートドライバ回路として機能する。

［０３８６］

駆動回路ＳＤは、一例として、画素アレイＰＸＡに含まれる画素回路ＰＸに対して、画像信号を送信するためのソースドライバ回路として機能する。

［０３８７］

画素回路ＰＸ［ｉ，ｊ］は、一例として、配線ＧＬＳ［ｉ］を介して、駆動回路ＧＤに電気的に接続されている。また、画素回路ＰＸ［ｉ，ｊ］は、一例として、配線ＳＬＳ［ｊ］を介して、駆動回路ＳＤに電気的に接続されている。

［０３８８］

配線ＧＬＳ［ｉ］は、一例として、駆動回路ＧＤから画素回路ＰＸ［ｉ，ｊ］に対して、画素回路ＰＸ［ｉ，ｊ］を駆動するための選択信号を送信するための配線として機能する。

［０３８９］

配線ＳＬＳ［ｉ］は、一例として、駆動回路ＳＤから画素回路ＰＸ［ｉ，ｊ］に対して、画素回路ＰＸ［ｉ，ｊ］に画像を表示するための画像信号を送信するための配線として機能する。

［０３９０］

なお、配線ＧＬＳ［ｉ］は、１本の配線であってもよいし、多数の配線からなる配線群としてもよい。同様に配線ＳＬＳ［ｊ］は、１本の配線であってもよいし、多数の配線からなる配線群としてもよい。

［０３９１］

駆動回路ＴＳＤは、一例として、平面視において、画素アレイＰＸＡに重なる領域に設けられるタッチセンサを駆動するための回路として機能する。なお、当該領域にタッチセンサが設けられていない場合、表示装置ＤＳＰには、駆動回路ＴＳＤを設けなくてもよい。

［０３９２］

保護回路ＰＲＴは、一例として、配線ＧＬＳ［ｉ］と別の配線とに電気的に接続されている。保護

回路ＰＲＴは、例えば、配線ＧＬＳ［ｉ］に所定の範囲外の電位が与えられたときに、配線ＧＬＳ［ｉ］と当該別の配線との間を導通状態にして、配線ＧＬＳ［ｉ］の電位を所定の範囲内に収める機能を有する。

［０３９３］

また、同様に、保護回路ＰＲＴは、一例として、配線ＳＬＳ［ｊ］と別の配線とに電気的に接続されてもよい。この場合、保護回路ＰＲＴは、例えば、配線ＳＬＳ［ｊ］に所定の範囲外の電位が与えられたときに、配線ＳＬＳ［ｊ］と当該別の配線との間を導通状態にして、配線ＳＬＳ［ｊ］の電位を所定の範囲内に収める機能を有することが好ましい。

［０３９４］

次に、表示装置ＤＳＰに含まれる画素回路ＰＸ［ｉ，ｊ］の構成例について説明する。

［０３９５］

図２１Ｂに示す画素回路ＰＸは、図２１Ａに示す画素回路ＰＸ［ｉ，ｊ］に適用できる回路構成例である。図２１Ｂの画素回路ＰＸは、一例として、トランジスタＭ０１と、トランジスタＭ０２と、トランジスタＭ０３と、容量素子Ｃ０１と、発光デバイスＥＤと、を有する。

［０３９６］

トランジスタＭ０１乃至トランジスタＭ０３のそれぞれとしては、例えば、図４に図示したトランジスタＭ１１乃至トランジスタＭ１３及びトランジスタＭ２１乃至トランジスタＭ２６のいずれか一に適用できるトランジスタとすることができる。

［０３９７］

また、トランジスタＭ０２は、画素回路ＰＸの駆動トランジスタに相当する。マイクロＬＥＤを含む発光デバイスは、有機ＥＬ材料を含む発光デバイスと比較して、極めて劣化が起こりにくいため、トランジスタＭ０２は、オン状態のときには、飽和領域だけでなく、線形領域でも動作させることができる。

［０３９８］

発光デバイスＥＤは、一例として、アノード端子と、カソード端子と、を有する。発光デバイスＥＤは、例えば、マイクロＬＥＤなどの発光ダイオードとすることができる。また、発光デバイスＥＤは、マイクロＬＥＤなどの発光ダイオード以外としては、有機ＥＬ材料を用いた発光デバイス（ＯＬＥＤと呼ばれる場合がある）とすることができる。以下では、一例として、発光デバイスＥＤを、マイクロＬＥＤなどの発光ダイオードとして説明する。

［０３９９］

トランジスタＭ０１の第１端子は、配線ＳＬに接続され、トランジスタＭ０１の第２端子は、トランジスタＭ０２のゲートと、容量素子Ｃ０１の第１端子と、に接続され、トランジスタＭ０１のゲートは、配線ＧＬ１に接続されている。トランジスタＭ０２の第１端子は、配線ＶＡに接続され、トランジスタＭ０２の第２端子は、トランジスタＭ０３の第１端子と、発光デバイスＥＤのアノードと、に接続されている。トランジスタＭ０３の第２端子は、配線ＶＲＳに接続され、トランジスタＭ０３のゲートは、配線ＧＬ２に接続されている。発光デバイスＥＤのカソードは、配線ＶＣに接続されている。容量素子Ｃ０１の第２端子は、配線ＶＥ０に接続されている。

［０４００］

図２１Ｂに示す配線ＳＬは、図２１Ａに示した配線ＳＬＳ［ｊ］に相当する配線である。つまり、配線ＳＬは、駆動回路ＳＤから画素回路ＰＸに対して画像信号を送信するための配線としての機能

を有する。

［０４０１］

図２１Ｂに示す配線ＧＬ１及び配線ＧＬ２は、図２１Ａに示した配線ＧＬＳ［ｉ］に相当する配線である。つまり、配線ＧＬ１及び配線ＧＬ２は、画素回路ＰＸを駆動するための選択信号を送信するための配線としての機能を有する。

［０４０２］

配線ＶＥ０は、一例として、固定電位を与える配線としての機能を有する。当該固定電位としては、例えば、低レベル電位、接地電位、負電位などとすることができる。また、状況によっては、当該固定電位は、高レベル電位、正電位などとしてもよい。また、配線ＶＥ０、一例としては、固定電位ではなく、可変電位（例えば、パルス電圧、パルス信号、クロック信号など）を与える配線としての機能を有してもよい。

［０４０３］

配線ＶＡと、配線ＶＲＳと、配線ＶＣと、のそれぞれは、一例として、電源として固定電位を与える配線としての機能を有する。特に、配線ＶＡは、発光デバイスＥＤのアノードに与えるためのアノード電位を供給する配線とすることが好ましい。また、配線ＶＣは、発光デバイスＥＤのカソードに与えるためのカソード電位を供給する配線とすることが好ましい。また、配線ＶＲＳは、トランジスタＭ０２の第２端子と、トランジスタＭ０３の第１端子と、発光デバイスＥＤのアノードと、に固定電位を与える配線としての機能を有する。また、当該固定電位は、リセット電位と呼ばれる場合がある。

［０４０４］

次に、画素回路ＰＸへの画像信号の書き込み方法と、画素回路ＰＸにおいて画像信号に応じた画像を表示する方法と、について説明する。なお、画素回路ＰＸに書き込まれる画像信号とは、例えば、上記実施の形態で説明した、駆動回路ＳＤの保持回路ＬＡＴ２の端子ＯＴ２から出力される第４画像信号とすることができる。

［０４０５］

初めに、配線ＧＬ２に高レベル電位を与えて、トランジスタＭ０３をオン状態にする。このとき、トランジスタＭ０２の第２端子と、トランジスタＭ０３の第１端子と、発光デバイスＥＤのアノードと、の電位は、リセット電位となる。これにより、トランジスタＭ０２のソース電位を安定化させた状態で、トランジスタＭ０２のゲートへの画像信号に応じた電位の書き込みを行うことができる。

［０４０６］

特に、リセット電位は、カソード電位よりも低くすることによって、発光デバイスＥＤのアノード－カソード間には電流が流れない。これにより、発光デバイスＥＤの発光を抑えることができる。

［０４０７］

次に、配線ＳＬに、画素回路ＰＸのトランジスタＭ０２のゲートに書き込むための第４画像信号を送信する。次に、配線ＧＬ１に、高レベル電位を与えて、トランジスタＭ０１をオン状態にする。これにより、トランジスタＭ０２のゲートと、容量素子Ｃ０１の第１端子と、の電位は、第４画像信号に応じた電位となる。

［０４０８］

その後、配線ＧＬ１及び配線ＧＬ２のそれぞれに、低レベル電位が与えられる。これにより、トランジスタＭ０１とトランジスタＭ０３とのそれぞれがオフ状態となる。

［０４０９］

これにより、配線ＶＡから、発光デバイスＥＤのアノードーカソード間を介して、配線ＶＣに電流が流れる。特に発光デバイスＥＤのアノードーカソード間に流れる電流量は、トランジスタＭ０２のゲートと配線ＶＡとのそれぞれの電位によって定められる。

［０４１０］

なお、本発明の一態様に係る画素回路は、図２１（Ｂ）に示す画素回路ＰＸに限定されない。例えば、表示装置作製時における、駆動トランジスタであるトランジスタＭ０２のしきい値電圧のばらつきによる、発光デバイスＥＤのアノードーカソード間に流れる電流量の意図しない増減を防ぐため、トランジスタＭ０２のしきい値電圧を補正することができる画素回路を用いてもよい(図示しない)。

［０４１１］

なお、ＰＷＭ駆動を用いて表示装置ＤＳＰに画像を表示させる場合、第４画像信号に応じた電位としては、高レベル電位又は低レベル電位とすることが好ましい。つまり、第４画像信号はデジタル信号とすることが好ましい。マイクロＬＥＤなどの発光ダイオードを発光デバイスＥＤとして用いた場合、当該発光デバイスＥＤのアノードーカソード間に流れる電流の量によって、輝度だけでなく発光する色も変化するため、マイクロＬＥＤなどの発光ダイオードを含む画素アレイＰＸＡにおいて階調を制御する場合、１フレーム内に発光するサブフレームと発光しないサブフレームの期間を定めて階調を制御する方法（例えば、ＰＷＭ駆動）が好適である。

［０４１２］

次に、図２１Ａの表示装置ＤＳＰにおいて、階調の制御が行われた画像を表示する方法について説明する。

［０４１３］

図２２は、図２１Ａの表示装置ＤＳＰの動作例を示したタイミングチャートである。なお、図２１Ａの表示装置ＤＳＰには、駆動回路ＳＤとして、図１又は図２の駆動回路ＳＤが用いられているものとする。

［０４１４］

図２２のタイミングチャートでは、表示装置ＤＳＰに画像データを書き込む動作における、配線ＩＬ［１］と、配線ＩＬ［２］と、配線ＩＬ［ｎ］と、配線ＬＰＥと、配線ＧＬ１［１］と、配線ＧＬ２［１］と、のそれぞれの電位の変化を示している。また、図２２のタイミングチャートには、配線ＶＤＥと、配線ＳＬ［１］と、配線ＳＬ［２］と、配線ＳＬ［ｎ］と、に送信される信号について図示している。

［０４１５］

なお、図２２のタイミングチャートにおいて、期間Ｔ１１乃至期間Ｔ１５と、期間Ｔ１６乃至期間Ｔ１６と、のそれぞれは、サブフレーム期間とする。

［０４１６］

期間Ｔ１１では、図１又は図２に示すシフトレジスタＳＲが、端子ＳＯＴ[１]乃至端子ＳＯＴ[ｎ]のそれぞれから、順次、第１パルス信号として、高レベル電位V_{High}を出力する動作が行われている。

［０４１７］

また、期間Ｔ１１では、端子ＳＯＴ［１］乃至端子ＳＯＴ［ｎ］のそれぞれから、順次、第１パルス信号として高レベル電位V_{High}を出力するタイミングで、配線ＶＤＥには、順次、デジタルデー

タであるD_1［１，１］乃至D_1［１，ｎ］が第１画像信号として送信される。なお、図２２では、D_1［１，１］、D_1［１，２］及びD_1［１，ｎ］を抜粋して示している。これにより、図１又は図２に示す保持回路ＬＡＴ１［１］乃至回路ＬＡＴ１［ｎ］のそれぞれに、デジタルデータであるD_1［１，１］乃至D_1［１，ｎ］が書き込まれて、保持される。

［０４１８］

なお、当該デジタルデータは、画素回路ＰＸに含まれている発光デバイスＥＤを発光状態及び非発光状態の一方にするためのデータである。このため、当該デジタルデータに応じた電位としては、一例として、V_{High}又はV_{Low}とすることができる。

［０４１９］

期間Ｔ１２では、配線ＬＰＥに第２パルス信号として、高レベル電位が入力される。これにより、図１又は図２に示す保持回路ＬＡＴ１［１］乃至回路ＬＡＴ１［ｎ］のそれぞれに保持されたデジタルデータであるD_1［１，１］乃至D_1［１，ｎ］の論理が反転された信号が、図１又は図２に示す保持回路ＬＡＴ２［１］乃至回路ＬＡＴ２［ｎ］に入力される。なお、以後、D_1［１，１］乃至D_1［１，ｎ］の論理が反転されたデジタルデータをP_1［１，１］乃至P_1［１，ｎ］と呼称する。これにより、図１又は図２に示す保持回路ＬＡＴ２［１］乃至回路ＬＡＴ２［ｎ］のそれぞれに、デジタルデータであるP_1［１，１］乃至P_1［１，ｎ］が書き込まれて、保持される。また、このとき、回路ＬＡＴ２［１］乃至回路ＬＡＴ２［ｎ］のそれぞれの端子ＯＴ２から、P_1［１，１］乃至P_1［１，ｎ］が出力される。このため、図１又は図２に示す配線ＳＬ［１］乃至配線ＳＬ［ｎ］には、デジタルデータであるP_1［１，１］乃至P_1［１，ｎ］が第４画像信号として送信される。

［０４２０］

期間Ｔ１３では、画素回路ＰＸにおいて、初期化動作と、第４画像信号としてデジタルデータの書き込み動作が行われる。具体的には、初めに配線ＧＬ２［１］に高レベル電位が入力されて、画素回路ＰＸの初期化が行われる。次に、配線ＧＬ１［１］に高レベル電位が入力されることによって、配線ＳＬに送信される第４画像信号に相当するデジタルデータが画素回路ＰＸに書き込まれる。

［０４２１］

具体的には、例えば、配線ＳＬ［１］に送信されているデジタルデータP_1［１，１］は、画素回路ＰＸ［１，１］に書き込まれる。同様に、配線ＳＬ［２］に送信されているデジタルデータP_1［１，２］は、画素回路ＰＸ［１，２］に書き込まれる。また、同様に、配線ＳＬ［ｎ］に送信されている第４画像信号に相当するデジタルデータP_1［１，ｎ］は、画素回路ＰＸ［１，ｎ］に書き込まれる。

［０４２２］

また、画素回路ＰＸ［１，１］乃至画素回路ＰＸ［１，ｎ］のそれぞれに、デジタルデータであるP_1［１，１］乃至P_1［１，ｎ］が書き込まれた後は、配線ＧＬ１［１］及び配線ＧＬ２［１］のそれぞれに低レベル電位が与えられる。これにより、画素回路ＰＸ［１，１］乃至画素回路ＰＸ［１，ｎ］のそれぞれにP_1［１，１］乃至P_1［１，ｎ］が保持され、且つ画素回路ＰＸ［１，１］乃至画素回路ＰＸ［１，ｎ］において、発光デバイスＥＤによる発光が行われる。

［０４２３］

期間Ｔ１４では、画素アレイＰＸＡの１行目の次、例えば２行目の画素回路ＰＸ［２，１］乃至画素回路ＰＸ［２，ｎ］に画像データに応じたデジタルデータを書き込むために、期間Ｔ１１の動作と同様に、保持回路ＬＡＴ１［１］乃至回路ＬＡＴ１［ｎ］のそれぞれに所定の第１画像信号の書き込みが行われる（図２２には図示しない）。また、期間Ｔ１２において配線ＬＰＥに第２パルス信号が

送信されてから、期間Ｔ１４の最後まで、２回目の第２パルス信号の入力が行われていないため、期間Ｔ１４において、保持回路ＬＡＴ２［１］乃至回路ＬＡＴ２［ｎ］は、それぞれの端子ＯＴ２から、デジタルデータであるP_1［１，１］乃至P_1［１，ｎ］を第４画像信号として出力している。

［０４２４］

期間Ｔ１５では、例えば、期間Ｔ１２から期間Ｔ１４までと同様の動作によって、画素アレイＰＸＡの２行目からｍ行目までの画素回路ＰＸに画像データに応じたデジタルデータが書き込まれる。期間Ｔ１１から期間Ｔ１５までの動作を行うことによって、表示装置ＤＳＰの画素アレイＰＸＡに配置されている全ての画素回路ＰＸに画像データに応じたデジタルデータを書き込むことができる。これにより、表示装置ＤＳＰの画素アレイＰＸＡに画像を表示することができる。

［０４２５］

期間Ｔ１６から期間Ｔ２０までのサブフレーム期間では、期間Ｔ１１から期間Ｔ１５までのサブフレーム期間と同様に、画素アレイＰＸＡの１行目からｍ行目までの画素回路ＰＸに画像データに応じたデジタルデータの書き込み動作が行われる。具体的には、例えば、期間Ｔ１６では、期間Ｔ１１と同様の動作が行われ、期間Ｔ１７では、期間Ｔ１２と同様の動作が行われ、期間Ｔ１８では、期間Ｔ１３と同様の動作が行われ、期間Ｔ１９では、期間Ｔ１４と同様の動作が行われ、期間Ｔ２０は、期間Ｔ１５と同様の動作が行われている。

［０４２６］

また、期間Ｔ１６では、配線ＶＤＥに、画像データとしてデジタルデータであるD_2［１，１］乃至D_2［１，ｎ］が第１画像信号として送信され、また、これにより、期間Ｔ１８では、画素回路ＰＸ［１，１］乃至画素回路ＰＸ［１，ｎ］に、D_2［１，１］乃至D_2［１，ｎ］の論理が反転されたデジタルデータP_2［１，１］乃至P_2［１，ｎ］が書き込まれている。そして、期間Ｔ１９及び期間Ｔ２０によって、画素アレイＰＸＡの２行目からｍ行目までの画素回路ＰＸに画像データに応じたデジタルデータが書き込まれ、これにより、表示装置ＤＳＰの画素アレイＰＸＡに画像を表示することができる。

［０４２７］

上述した通り、マイクロＬＥＤなどの発光ダイオードを発光デバイスＥＤとして用いて表示画像に対して階調を制御する場合、１フレーム内に発光するサブフレームと発光しないサブフレームの期間を定めて階調を制御する方法が好適である。このため、図２２のタイミングチャートに示した動作例において階調を制御する場合、例えば、画像表示が行われる期間Ｔ１４と期間Ｔ１５を合わせた期間$T_{ED}1$の時間と、画像表示が行われる期間Ｔ１９と期間Ｔ２０を合わせた期間$T_{ED}2$の時間と、を調整することが好ましい。例えば、期間$T_{ED}1$の時間と、期間$T_{ED}2$の時間と、を１：２とすることによって、画像表示における階調を０、１、２、３の４段階で表現することができる。

［０４２８］

また、期間Ｔ１１乃至期間Ｔ１５のサブフレーム期間と、期間Ｔ１６乃至期間Ｔ２０のサブフレーム期間と、において、配線ＩＬ［１］乃至配線ＩＬ［ｎ］、配線ＬＰＥ、配線ＧＬ１［１］及び配線ＧＬ２［１］に送信されるパルス信号の幅をそれぞれ調整してもよい。また、この場合、配線ＶＤＥにおけるデジタルデータD_1［１，１］乃至D_1［１，ｎ］と、デジタルデータD_2［１，１］乃至D_2［１，ｎ］のそれぞれの送信期間の長さも調整されることが好ましい。例えば、期間Ｔ１６乃至期間Ｔ２０のサブフレーム期間における、各配線に送信されるパルス信号と画像信号の幅を、期間Ｔ１１乃至期間Ｔ１５のサブフレーム期間における、各配線に送信されるパルス信号と画像信号の幅の

概ね２倍とすることによって、画像表示における階調を０、１、２、３の４段階で表現することができる。

［０４２９］

上記の通り、サブフレーム期間毎に、発光デバイスの発光状態又は非発光状態を決めることによって、表示装置ＤＳＰに表示される画像に対して階調の度合いを定めることができる。また、サブフレーム期間に複数のパルス信号が扱われるため、表示装置ＤＳＰに備わる駆動回路ＳＤには、高い駆動周波数で動作が可能な保持回路が必要となる。図１又は図２に示した駆動回路ＳＤを、図２１Ａの表示装置ＤＳＰの駆動回路ＳＤに適用することによって、上記の通り、サブフレーム期間毎に、発光デバイスの発光状態又は非発光状態を定めて、表示装置ＤＳＰに、階調表現が可能な画像を表示することができる。

［０４３０］

なお、本実施の形態は、本明細書で示す、同一の、又は他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、その本実施の形態で示す構成、構造、方法などと適宜組み合わせて用いることができる。また、例えば、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

［０４３１］

（実施の形態４）

本実施の形態では、上記実施の形態で説明した表示装置の断面構成例について説明する。

［０４３２］

図２３Ａは、本発明の一態様の表示装置を示す斜視模式図である。表示装置ＤＳＰ１は、一例として、表示領域ＤＩＳと、駆動回路領域ＤＲＶと、端子領域ＴＭＲと、を有する。また、表示装置ＤＳＰ１は、基板ＢＳを有しており、表示領域ＤＩＳと、駆動回路領域ＤＲＶと、端子領域ＴＭＲと、のそれぞれは、基板ＢＳ上に位置している。なお、表示領域ＤＩＳには、例えば、実施の形態３で説明した、図２１Ａの画素アレイＰＸＡが含まれているものとすることができる。

［０４３３］

また、駆動回路領域ＤＲＶは、一例として、駆動回路ＧＤ１と、駆動回路ＧＤ２と、駆動回路ＳＤと、を有する。なお、駆動回路ＧＤ１及び駆動回路ＧＤ２は、例えば、実施の形態３で説明した、図２１Ａの駆動回路ＧＤに相当し、駆動回路ＳＤは、例えば、実施の形態３で説明した、図２１Ａの駆動回路ＳＤに相当する。

［０４３４］

基板ＢＳには、例えば、半導体基板（例えば、シリコン又はゲルマニウムを材料とした単結晶基板）を用いることができる。また、基板ＢＳには、半導体基板以外としては、例えば、ＳＯＩ基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙又は基材フィルムを用いることができる。ガラス基板の一例としては、例えば、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス又はソーダライムガラスが挙げられる。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、ポリエチレンテレフタレート（ＰＥＴ）、ポリエチレンナフタレート（ＰＥＮ）、ポリエーテルサルフォン（ＰＥＳ）、ポリテトラフルオロエチレン（ＰＴＦＥ）に代表されるプラスチックが挙げら

れる。又は、別の一例としては、アクリル樹脂等の合成樹脂が挙げられる。または、別の一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル又はポリ塩化ビニルが挙げられる。または、別の一例としては、ポリアミド、ポリイミド、アラミド、エポキシ樹脂、無機蒸着フィルム又は紙類が挙げられる。なお、表示装置ＤＳＰ１の作製工程において熱処理が含まれている場合、基板ＢＳには、熱に対して耐性の高い材料を用いることが好ましい。

［０４３５］

例えば、基板ＢＳを、シリコンを材料として有する半導体基板とした場合、表示領域ＤＩＳ及び駆動回路領域ＤＲＶに含まれるトランジスタをＳｉトランジスタとして、基板ＢＳ上に形成することができる。

［０４３６］

また、例えば、基板ＢＳをガラス基板とした場合、表示領域ＤＩＳ及び駆動回路領域ＤＲＶに含まれるトランジスタをＯＳトランジスタとして、基板ＢＳ上に形成することができる。

［０４３７］

なお、駆動回路領域ＤＲＶに含まれている、駆動回路ＧＤ１、駆動回路ＧＤ２及び駆動回路ＳＤから選ばれた一以上は、ＩＣ（Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔ）として、ＣＯＧ技術を用いて基板ＢＳ上に実装してもよい。

［０４３８］

駆動回路ＧＤ１及び駆動回路ＧＤ２のそれぞれは、例えば、表示領域ＤＩＳに画像を表示させるための駆動回路として機能する。具体的には、例えば、駆動回路ＧＤ１及び駆動回路ＧＤ２のそれぞれは、表示領域ＤＩＳに対するゲートドライバ回路として機能する。また、例えば、駆動回路ＳＤは、表示領域ＤＩＳに対するソースドライバ回路として機能する。

［０４３９］

このため、図２３Ａに示す駆動回路ＳＤには、例えば、上記実施の形態で説明した図１、図２又は図１８の駆動回路ＳＤを適用することができる。

［０４４０］

端子領域ＴＭＲには、表示装置ＤＳＰ１の外部から、表示装置ＤＳＰ１の内部に画像信号、及び電源電圧を供給するための端子が含まれている。また、端子領域ＴＭＲには、ＦＰＣが接続されていてもよい。また、当該ＦＰＣ上には、ＣＯＦ技術を用いて、ＩＣとしてチップを実装してもよい。当該ＩＣは、例えば、表示領域ＤＩＳに画像を表示させるための駆動回路が含まれていてもよい。

［０４４１］

表示領域ＤＩＳは、一例として、複数の画素を有する。また、複数の画素は、表示領域ＤＩＳにおいて、マトリクス状に配置されていてもよい。

［０４４２］

また、複数の画素としては、例えば、液晶表示デバイス、有機ＥＬ材料を含む発光デバイス、無機ＥＬ材料を含む発光デバイス、マイクロＬＥＤなどの発光ダイオードを含む発光デバイスから選ばれた一以上が適用された画素回路とすることができる。

［０４４３］

また、複数の画素のそれぞれは、一又は複数の色を表現することができる。特に、複数の色としては、例えば、赤、緑及び青の三色とすることができる。又は、複数の色としては、例えば、赤、緑及び青に、更に、シアン、マゼンタ、黄及び白から選ばれた二以上の色としてもよい。なお、異なる色

を表現する画素のそれぞれを副画素と呼び、複数の異なる色の副画素によって白色を表現する場合、その複数の副画素をまとめて画素と呼ぶ場合がある。本明細書等では、便宜上、副画素を画素と呼称して、説明する。

［０４４４］

なお、本発明の一態様の表示装置は、図２３Ａに図示した表示装置ＤＳＰ１の構成に限定されない。例えば、本発明の一態様の表示装置は、図２３Ｂに示す表示装置ＤＳＰ２の構成としてもよい。

［０４４５］

図２３Ｂに示す表示装置ＤＳＰ２は、一例として、表示領域ＤＩＳと、回路領域ＳＩＣと、端子領域ＴＭＲと、を有する。また、表示装置ＤＳＰ２は、表示装置ＤＳＰ１と同様に基板ＢＳを有している。なお、表示装置ＤＳＰ２は、基板ＢＳ上に回路領域ＳＩＣ及び端子領域ＴＭＲが設けられ、かつ回路領域ＳＩＣ上に表示領域ＤＩＳが設けられている点で、表示領域ＤＳＰ１と異なっている。

［０４４６］

回路領域ＳＩＣは、一例として、上述した駆動回路領域ＤＲＶを有する。また、回路領域ＳＩＣには、駆動回路領域ＤＲＶ以外の、様々な機能回路が含まれていてもよい。また、本実施の形態では、当該機能回路は、機能回路領域ＭＦＮＣに含まれているものとする。

［０４４７］

例えば、機能回路領域ＭＦＮＣには、ＧＰＵ（Ｇｒａｐｈｉｃｓ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）が含まれていてもよい。また、表示装置ＤＳＰ２にタッチパネルが含まれている場合には、機能回路領域ＭＦＮＣには、当該タッチパネルに含まれるタッチセンサを制御するセンサコントローラが含まれていてもよい。

［０４４８］

また、表示装置ＤＳＰ２の表示素子として有機ＥＬ材料が用いられた発光デバイスが適用されている場合、機能回路領域ＭＦＮＣには、ＥＬ補正回路が含まれていてもよい。なお、ＥＬ補正回路は、例えば、有機ＥＬ材料が含まれている発光デバイスに入力される電流量を適切に調整する機能を有する。有機ＥＬ材料が含まれている発光デバイスの発光時における輝度は電流に比例するため、当該発光デバイスに接続されている駆動トランジスタの特性が良くない場合には、当該発光デバイスにて発光する光の輝度は所望の輝度よりも低くなることがある。ＥＬ補正回路は、例えば、当該発光デバイスに流れる電流量をモニタリングして、当該電流量が所望の電流量よりも小さいときに、当該発光デバイスに流れる電流量を大きくして、当該発光デバイスにて発光する輝度を高くすることができる。また、逆に、当該電流量が所望の電流量よりも大きいときに、当該発光デバイスに流れる電流量を小さく調整してもよい。

［０４４９］

また、表示装置ＤＳＰ２の表示素子として液晶素子が適用されている場合、機能回路領域ＭＦＮＣには、ガンマ補正回路が含まれていてもよい。

［０４５０］

図２４は、図２３Ｂに示した表示装置ＤＳＰ２の構成例を示したブロック図である。図２４に示す表示装置ＤＳＰ２は、一例として、表示領域ＤＩＳと、回路領域ＳＩＣと、を有する。また、図２４には、センサＰＤＡを図示しているが、センサＰＤＡは、表示装置ＤＳＰ２の内部に配置されていてもよいし、外部に配置されていてもよい。

［０４５１］

また、図２３Ａの表示装置ＤＳＰ１は、端子領域ＴＭＲを介して、表示装置ＤＳＰ１の外部に位置する機能回路領域ＭＦＮＣに接続されていてもよい。このときの表示装置ＤＳＰ１の構成は、図２４に示す表示装置ＤＳＰ２と同様の構成とみなすことができる。

［０４５２］

図２４において、太い実線は、複数の配線又はバス配線として記載している。

［０４５３］

また、図２４において、表示領域ＤＩＳには、一例として複数の画素回路ＰＸがマトリクス状に配置されている。また、マトリクス状に配置されている画素回路ＰＸを含めて、上記実施の形態３で説明した図２１Ａに示す画素アレイＰＸＡとみなすことができる。

［０４５４］

また、図２４において、回路領域ＳＩＣは、上述したとおり、駆動回路領域ＤＲＶと、機能回路領域ＭＦＮＣと、を有する。

［０４５５］

駆動回路領域ＤＲＶは、一例として、表示領域ＤＩＳを駆動させるための周辺回路として機能する。具体的には、駆動回路領域ＤＲＶは、例えば、駆動回路ＳＤ及び駆動回路ＧＤを有する。なお、駆動回路ＳＤは、例えば、図２１Ａにおける駆動回路ＳＤに相当し、また、駆動回路ＧＤは、例えば、図２１Ａにおける駆動回路ＧＤに相当する。

［０４５６］

また、機能回路領域ＭＦＮＣは、例えば、表示領域ＤＩＳに表示させるための画像データが保存されている記憶装置、エンコードされている画像データを復元するためのデコーダ、画像データを処理するためのＧＰＵ、電源回路、補正回路又はＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）といった回路を設けることができる。図２４において、機能回路領域ＭＦＮＣは、一例として、記憶装置ＭＥＭ、ＧＰＵ２２、タイミングコントローラＴＭＣ、ＣＰＵ（ＮｏｆｆＣＰＵ（登録商標））２１、センサコントローラＳＣＣ及び電源回路ＥＰＳを有する。

［０４５７］

また、図２４の表示装置ＤＳＰ２は、駆動回路領域ＤＲＶに含まれる回路、及び機能回路領域ＭＦＮＣに含まれる回路のそれぞれには、一例として、バス配線ＢＳＬが接続されている構成となっている。

［０４５８］

駆動回路ＳＤは、一例として、表示領域ＤＩＳに含まれる画素回路ＰＸに対して、画像データを送信する機能を有する。そのため、駆動回路ＳＤは、配線ＳＬを介して、画素回路ＰＸに接続されている。なお、配線ＳＬ付近の矢印は、当該画像データが送信される方向を示している。

［０４５９］

画素回路に含まれている発光デバイスが、有機ＥＬ材料を含む場合、駆動回路領域ＤＲＶには、デジタルアナログ変換回路が含まれていることが好ましい。デジタルアナログ変換回路は、一例として、後述するＧＰＵ又は補正回路によってデジタル処理された画像データをアナログデータに変換する機能を有する。アナログデータに変換された画像データは、駆動回路ＳＤを介して、表示領域ＤＩＳに送信される。なお、デジタルアナログ変換回路は、駆動回路ＳＤに含まれていてもよいし、駆動回路ＳＤ、デジタルアナログ変換回路及び表示領域ＤＩＳの順に画像データが送信される構成としてもよい。なお、画素回路に含まれている発光デバイスがマイクロＬＥＤを含み、かつＰＷＭ駆動を行

う場合、駆動回路領域ＤＲＶにはデジタルアナログ変換回路を設けなくてもよい。

［０４６０］

駆動回路ＧＤは、一例として、表示領域ＤＩＳにおいて、画像データの送信先となる画素回路ＰＸを選択するための選択信号を送信する機能を有する。そのため、駆動回路ＧＤは、配線ＧＬを介して、画素回路ＰＸに接続されている。なお、配線ＧＬ付近の矢印は、当該選択信号が送信される方向を示している。

［０４６１］

記憶装置ＭＥＭは、一例として、表示領域ＤＩＳに表示させる画像データを保存する機能を有する。なお、記憶装置ＭＥＭは、画像データをデジタルデータ又はアナログデータとして保存する構成とすることができる。

［０４６２］

また、記憶装置ＭＥＭに画像データを保存する場合、記憶装置ＭＥＭとしては不揮発性メモリとすることが好ましい。この場合、記憶装置ＭＥＭとしては、例えば、ＮＡＮＤ型メモリなどを適用することができる。

［０４６３］

また、記憶装置ＭＥＭにＧＰＵ２２、ＣＰＵ２１などで生じる一時データを保存する場合、記憶装置ＭＥＭとしては揮発性メモリとすることが好ましい。この場合、記憶装置ＭＥＭとしては、例えば、ＳＲＡＭ（Ｓｔａｔｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）、ＤＲＡＭ（Ｄｙｎａｍｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）などを適用することができる。

［０４６４］

ＧＰＵ２２は、一例として、記憶装置ＭＥＭから読み出された画像データを、表示領域ＤＩＳに描画するための処理を行う機能を有する。特に、ＧＰＵ２２は、並列にパイプライン処理を行う構成となっているため、表示領域ＤＩＳに表示させる画像データを高速に処理することができる。また、ＧＰＵ２２は、エンコードされた画像を復元するためのデコーダとしての機能も有することができる。

［０４６５］

また、機能回路領域ＭＦＮＣには、表示領域ＤＩＳの表示品位を高めることができる回路が複数含まれていてもよい。当該回路としては、例えば、表示領域ＤＩＳに表示された画像の色ムラを検知して、当該色ムラを補正して最適な画像にする補正回路（調色又は調光を補正する回路）を設けてもよい。また、表示領域ＤＩＳの画素に有機ＥＬ材料が用いられた発光デバイスが適用されている場合、機能回路領域ＭＦＮＣには、ＥＬ補正回路を設けてもよい。

［０４６６］

また、上記で説明した画像補正には、人工知能を用いてもよい。例えば、画素に備えられている表示デバイスに流れる電流（又は表示デバイスに印加される電圧）をモニタリングして取得し、表示領域ＤＩＳに表示された画像をイメージセンサなどで取得し、電流（又は電圧）と画像を人工知能の演算（例えば、人工ニューラルネットワークなど）の入力データとして扱い、その出力結果で当該画像の補正の有無を判断させてもよい。

［０４６７］

また、人工知能の演算は、画像補正だけでなく、画像データのアップコンバート処理にも応用することができる。これにより、画面解像度が低い画像データを表示領域ＤＩＳの画面解像度に合わせて、アップコンバートを行うことで、表示品位の高い画像を表示領域ＤＩＳに表示させることができる。

また、人工知能の演算は、画像データのダウンコンバート処理にも応用することができる。

［０４６８］

なお、上述した人工知能の演算には、機能回路領域ＭＦＮＣに含まれるＧＰＵ２２を用いて行うことができる。つまり、ＧＰＵ２２を用いて、各種補正の演算（色ムラの補正、アップコンバート処理など）を行うことができる。また、ＧＰＵ２２には、色ムラを補正する回路２２ａ、及びアップコンバート処理を行う回路２２ｂが含まれていてもよい。

［０４６９］

なお、本明細書等において、人工知能の演算を行うＧＰＵをＡＩアクセラレータと呼称する。つまり、本明細書等では、機能回路領域ＭＦＮＣに備えられているＧＰＵをＡＩアクセラレータと置き換えて説明する場合がある。

［０４７０］

タイミングコントローラＴＭＣは、一例として、表示領域ＤＩＳに画像を表示させるフレームレートを可変する機能を有する。例えば、表示領域ＤＩＳに静止画を表示させる場合、表示装置ＤＳＰ２は、タイミングコントローラＴＭＣによってフレームレートを下げて駆動させることができ、また、例えば、表示領域ＤＩＳに動画を表示させる場合、表示装置ＤＳＰ２は、タイミングコントローラＴＭＣによってフレームレートを上げて駆動させることができる。つまり、表示装置ＤＳＰ２にタイミングコントローラＴＭＣを設けることによって、静止画又は動画に応じてフレームレートを変化させることができる。特に、表示領域ＤＩＳに静止画を表示させる場合には、フレームレートを下げて動作させることができるため、表示装置ＤＳＰ２の消費電力の低減を図ることができる。

［０４７１］

ＣＰＵ２１は、一例として、オペレーティングシステムの実行、データの制御、各種演算及びプログラムの実行といった、汎用の処理を行う機能を有する。表示装置ＤＳＰ２では、ＣＰＵ２１は、例えば、記憶装置ＭＥＭにおける画像データの書き込み動作若しくは読み出し動作、画像データの補正動作、若しくは後述するセンサへの動作といった命令を行う役割を有する。また、例えば、ＣＰＵ２１は、記憶装置、ＧＰＵ、補正回路、タイミングコントローラ及び高周波回路といった、機能回路領域ＭＦＮＣに含まれる回路から選ばれた一以上に制御信号を送信する機能を有してもよい。

［０４７２］

また、ＣＰＵ２１は、一時的にデータをバックアップする回路（以下、バックアップ回路と呼称する）を有してもよい。バックアップ回路は、例えば、電源電圧の供給が停止したとしても、当該データを保持することができることが好ましい。例えば、表示領域ＤＩＳで静止画を表示した場合、現在の静止画と異なる画像を表示するまでは、ＣＰＵ２１は機能を停止することができる。そのため、ＣＰＵ２１で処理中のデータをバックアップ回路に一時的に退避させて、その後ＣＰＵ２１への電源電圧の供給を停止して、ＣＰＵ２１を停止させることによって、ＣＰＵ２１における動的な消費電力を低くすることができる。また、本明細書等では、バックアップ回路を有するＣＰＵをＮｏｆＣＰＵと呼称する。

［０４７３］

センサコントローラＳＣＣは、一例として、センサＰＤＡを制御する機能を有する。また、図２４では、センサＰＤＡとセンサコントローラＳＣＣとを接続するための配線として、配線ＳＮＣＬを図示している。

［０４７４］

また、センサＰＤＡとしては、例えば、照度センサとすることができる。特に、表示領域ＤＩＳを照らす外光の強さを照度センサによって取得することで、外光に合わせて、表示領域ＤＩＳに表示する画像の明るさ（輝度）を変化させることができる。例えば、外光が明るい場合、表示領域ＤＩＳに表示する画像の輝度を高くして、当該画像の視認性を高めることができる。逆に、外光が暗い場合、表示領域ＤＩＳに表示する画像の輝度を低くして、消費電力を低くすることができる。

［０４７５］

又は、センサＰＤＡとしては、例えば、イメージセンサとすることができる。例えば、当該イメージセンサによって、画像などを取得することで、表示領域ＤＩＳに当該画像を表示することができる。

［０４７６］

電源回路ＥＰＳは、一例として、駆動回路領域ＤＲＶに含まれている回路、機能回路領域ＭＦＮＣに含まれている回路、表示領域ＤＩＳに含まれている画素などに対して供給する電圧を生成する機能を有する。なお、電源回路ＥＰＳは、電圧を供給する回路を選択する機能を有してもよい。例えば、電源回路ＥＰＳは、表示領域ＤＩＳに静止画を表示させている期間では、駆動回路領域ＤＲＶに含まれている各回路（例えば、駆動回路ＳＤなど）、及び機能回路領域ＭＦＮＣに含まれている各回路（例えば、ＣＰＵ２１、ＧＰＵ２２など）に対しての電圧供給を停止することによって、表示装置ＤＳＰ全体の消費電力を低減することができる。

［０４７７］

また、本発明の一態様の表示装置は、図２３Ａの表示装置ＤＳＰ１の構成を変更して、図２３Ｃに示した表示装置ＤＳＰ３としてもよい。

［０４７８］

表示装置ＤＳＰ３は、表示装置ＤＳＰ１の変更例であって、表示領域ＤＩＳに重なる領域にセンサ領域ＴＰが設けられた構成となっている。

［０４７９］

また、表示装置ＤＳＰ３は、駆動回路ＴＤＥと、駆動回路ＴＤＲと、を有し、駆動回路ＴＤＥと駆動回路ＴＤＲのそれぞれは基板ＢＳ上に設けられている。また、駆動回路ＴＤＥと駆動回路ＴＤＲとのそれぞれは、図２３Ｃに示す通り、駆動回路領域ＤＲＶに含まれているものとする。なお、駆動回路ＴＤＥ及び駆動回路ＴＤＲは、実施の形態３で説明した、図２１の駆動回路ＴＳＤに相当する。

［０４８０］

駆動回路ＴＤＲは、センサ領域ＴＰに含まれている複数のセンサに対して、パルス信号を逐次的に送信する機能を有する。また、駆動回路ＴＤＥは、センサ領域ＴＰに含まれている複数のセンサから流れる電流の量の変化を検知する機能を有する。

［０４８１］

上記の通り、表示装置ＤＳＰ３は、ユーザーインターフェースとして、タッチパネルが設けられた構成となっている。

［０４８２］

なお、図示していないが、表示装置ＤＳＰ２の表示領域ＤＩＳの上方にもセンサ領域ＴＰを設けてもよい。この場合、回路領域ＳＩＣに、駆動回路ＴＤＲ及び駆動回路ＴＤＥが設けられていることが好ましい。

［０４８３］

＜表示装置の断面構成例１＞

次に、図２３Ａに示す表示装置ＤＳＰ１の断面視における構成例について説明する。

［０４８４］

図２５に示す表示装置ＤＳＰ１Ｃは、図２３Ａに示す表示装置ＤＳＰ１の断面視における構成例である。表示装置ＤＳＰ１Ｃは、基板３１０上に画素回路、駆動回路などが設けられた構成となっている。図２５の表示装置ＤＳＰ１Ｃでは、図２３Ａに示している駆動回路領域ＤＲＶと表示領域ＤＩＳを図示している。

［０４８５］

図２５における基板３１０は、図２３Ａに示す基板ＢＳに相当する。また、表示装置ＤＳＰ１Ｃの対角サイズは、例えば、基板３１０の種類と大きさによって定めることができる。例えば、テレビジョン装置向けに、又はデジタルサイネージ用途の電子機器向けに、３０インチ以上、５０インチ以上、７０インチ以上又は１００インチ以上の対角サイズの表示装置を作製する場合、基板３１０としては、ガラス基板を用いればよい。また、例えば、ＸＲ向け機器向け又はウェアラブル型情報端末向けに、１．５インチ以下、１インチ以下又は０．５インチ以下の対角サイズの表示装置を作製する場合、基板３１０としては、半導体基板を用いればよい。

［０４８６］

なお、図２５の表示装置ＤＳＰ１Ｃの説明では、基板３１０はガラス基板とする。

［０４８７］

また、表示装置ＤＳＰ１Ｃの画面比率（アスペクト比）については、特に限定はない。例えば、表示装置ＤＳＰ１Ｃは、１：１（正方形）、４：３、１６：９、１６：１０、２１：９又は３２：９といった様々な画面比率に対応することができる。

［０４８８］

図２５の表示装置ＤＳＰ１Ｃにおいて、基板上には、トランジスタＭＮｙ及びトランジスタＭＮｘが形成されている。なお、本明細書等では、トランジスタＭＮｙ及びトランジスタＭＮｘをまとめて、トランジスタＭＮと記載する。また、トランジスタＭＮｙ及びトランジスタＭＮｘの上方には、ＬＥＤパッケージ１７０（図２５では、ＬＥＤパッケージ１７０Ｒ、ＬＥＤパッケージ１７０Ｇ及びＬＥＤパッケージ１７０Ｂ）が設けられている。

［０４８９］

トランジスタＭＮｘは、表示領域ＤＩＳに含まれており、例えば、画素回路ＰＸが有するトランジスタとして機能する。また、トランジスタＭＮｙは、駆動回路領域ＤＲＶに含まれているトランジスタとして機能する。このため、トランジスタＭＮｙは、例えば、実施の形態１で説明した図４と、実施の形態２で説明した図１９と、に示したトランジスタＭ１１乃至トランジスタＭ１３及びトランジスタＭ２１乃至トランジスタＭ２６のいずれか一とすることができる。また、図２５に示すトランジスタＭＮｘ及びトランジスタＭＮｙの構造については、実施の形態２で説明した図２０Ａ及び図２０Ｂのトランジスタ Ｍ１３とトランジスタＭ２４とトランジスタＭ２５の構造を参照することができる。

［０４９０］

ＬＥＤパッケージ１７０は、実施の形態３で説明した図２１Ｂに示す画素回路ＰＸに含まれる発光デバイスＥＤとすることができる。

［０４９１］

図２５に示すトランジスタＭＮｙ及びトランジスタＭＮｘの上方には、絶縁層５７４が形成され

ており、また、絶縁層５７４上には、絶縁層５８１が形成されている。また、絶縁層ＩＳ３、絶縁層５７４及び絶縁層５８１には開口が設けられており、当該開口には導電層ＭＰＧが埋め込まれている。このため、導電層ＭＥ２は、導電層ＭＰＧに接触している領域を有している。

［０４９２］

絶縁層５７４としては、例えば、水及び水素（例えば、水素原子及び水素分子の一方又は双方）といった不純物の拡散を抑制する機能を有することが好ましい。つまり、絶縁層５７４は、当該不純物がトランジスタＭＮに混入することを抑制するバリア絶縁膜として機能することが好ましい。また、絶縁層５７４は、酸素（例えば、酸素原子及び酸素分子の一方又は双方）の拡散を抑制する機能を有することが好ましい。例えば、絶縁層５７４は、絶縁層ＩＳ３及び絶縁層５８１より酸素透過性が低いことが好ましい。つまり、絶縁層５７４は、酸素が半導体層ＳＣ１から脱離して、絶縁層ＩＳ３よりも上方に拡散することを抑制する機能を有することが好ましい。

［０４９３］

水素に対するバリア性を有する膜の一例として、ＣＶＤ法で形成した窒化シリコンを用いることができる。

［０４９４］

水素の脱離量は、例えば、昇温脱離ガス分析法（ＴＤＳ：Ｔｈｅｒｍａｌ　Ｄｅｓｏｒｐｔｉｏｎ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）を用いて分析することができる。例えば、絶縁層３２４の水素の脱離量は、ＴＤＳにおいて、膜の表面温度が５０℃から５００℃の範囲において、水素原子に換算した脱離量が、絶縁層３２４の面積当たりに換算して、１０×１０^{15}ａｔｏｍｓ／ｃｍ^{2}以下とすることが好ましく、５×１０^{15}ａｔｏｍｓ／ｃｍ^{2}以下とすることがより好ましい。

［０４９５］

そのため、絶縁層５７４は、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム及びタンタルから選ばれた一以上を含む絶縁体を、単層で、または積層で用いればよい。具体的には、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁体としては、例えば、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム及び酸化タンタルといった金属酸化物が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁体としては、例えば、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁体としては、例えば、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化酸化シリコン及び窒化シリコンといった金属窒化物が挙げられる。

［０４９６］

特に、絶縁層５７４には、酸化アルミニウム又は窒化シリコンを用いることが好ましい。これにより、水及び水素といった不純物が絶縁層５７４よりも上方からトランジスタＭＮ側に拡散することを抑制できる。また、酸素が、絶縁層５７４よりも上方からトランジスタＭＮ側に拡散することを抑制できる。

［０４９７］

絶縁層５８１は、一例として、絶縁層５７４と比較して、誘電率が低いことが好ましい。誘電率が

低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。また、絶縁層５８１は、膜中の水及び水素といった不純物の濃度が低減されていることが好ましい。

［０４９８］

そのため、絶縁層５８１には、例えば、絶縁層ＩＳ１乃至絶縁層ＩＳ３のいずれか一に適用できる材料を用いることができる。

［０４９９］

各プラグ及び配線（例えば、導電層ＭＰＧ）の材料としては、金属材料、合金材料、金属窒化物材料及び金属酸化物材料から選ばれた一以上の導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステン又はモリブデンといった高融点材料を用いることが好ましく、タングステンを用いることが好ましい。また、当該材料としては、アルミニウム又は銅といった低抵抗導電性材料を用いることが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

［０５００］

絶縁層５８１上及び導電層ＭＰＧ上には、絶縁層５９２及び絶縁層５９４が順に積層して設けられている。

［０５０１］

また、絶縁層５９２には、基板３１０又はトランジスタＭＮから、絶縁層５９２より上方の領域（例えば、ＬＥＤパッケージ１７０Ｒ、ＬＥＤパッケージ１７０Ｇ及びＬＥＤパッケージ１７０Ｂなどが設けられている領域）に、水及び水素といった不純物が拡散しないようなバリア性を有する絶縁膜（バリア性絶縁膜と呼称する）を用いることが好ましい。このため、絶縁層５９２には、絶縁層ＩＳ１乃至絶縁層ＩＳ３のいずれか一に適用できる材料を用いることができる。

［０５０２］

なお、絶縁層５９４は、絶縁層５９２よりも誘電率が低いことが好ましい。また、絶縁層５９４は、膜中の水及び水素といった不純物の濃度が低減されていることが好ましい。このため、絶縁層５９４には、例えば、絶縁層５７４に適用できる材料を用いることができる。

［０５０３］

また、絶縁層５９２及び絶縁層５９４には、絶縁層５９４より上方に設けられている発光デバイスなどと接続する導電層５９６が埋め込まれている。なお、導電層５９６は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

［０５０４］

導電層５９６には、例えば、導電層ＭＰＧに適用できる材料を用いることができる。

［０５０５］

絶縁層５９４上と、導電層５９６上と、には、絶縁層５９８及び絶縁層５９９がこの順に形成されている。

［０５０６］

絶縁層５９８は、一例として、絶縁層５８１と絶縁層５９２と同様に、水素、酸素及び水から選ばれた一以上に対するバリア性を有する絶縁層を用いることが好ましい。また、絶縁層５９９としては、

絶縁層５９４と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。このため、絶縁層５９８には、絶縁層５８１又は絶縁層５９２に適用できる材料を用いることができる。

［０５０７］

絶縁層５９９は、層間絶縁膜及び平坦化膜としての機能を有する。

［０５０８］

また、絶縁層５９９は、一例として、絶縁層５９８よりも誘電率が低いことが好ましい。また、絶縁層５９９は、膜中の水及び水素といった不純物の濃度が低減されていることが好ましい。このため、絶縁層５９９には、例えば、絶縁層ＩＳ１乃至絶縁層ＩＳ３のいずれか一に適用できる材料を用いることができる。

［０５０９］

図２５の表示装置ＤＳＰ１Ｃにおいて、一例として、絶縁層５９９上に導電層１１１ａ乃至導電層１１１ｃと導電層１１２ａ乃至導電層１１２ｃが設けられている。また、導電層１１１ａ上乃至導電層１１１ｃ上と導電層１１２ａ上乃至導電層１１２ｃ上と絶縁層５９９上に保護層１１６が設けられている。また、保護層１１６は、絶縁層５９９の、導電層５９６の上面を底部とする開口を埋めるように形成されている。特に、保護層１１６は、導電層１１１ａ乃至導電層１１１ｃと、導電層１１２ａ乃至導電層１１２ｃと、のそれぞれの端部を覆うように設けられていることが好ましい。

［０５１０］

保護層１１６は、例えば、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂又はシリコーン樹脂といった樹脂が好適である。保護層１１６を設けることで、後述する導電層１１７ａ及び導電層１１７ｂが互いに接して短絡することを抑制することができる。なお、保護層１１６は、状況によっては、絶縁層５９９上と、導電層１１１ａ上乃至導電層１１１ｃ上と、導電層１１２ａ上乃至導電層１１２ｃ上と、に設けなくてもよい。

［０５１１］

保護層１１６の、導電層１１１ａ乃至導電層１１１ｃのそれぞれの一部と重なる領域、及び導電層１１２ａ乃至導電層１１２ｃのそれぞれの一部と重なる領域には、開口が設けられている。また、保護層１１６上には、導電層１１７ａ及び導電層１１７ｂが設けられている。特に、導電層１１７ａは、保護層１１６の、導電層１１２ａ乃至導電層１１２ｃのそれぞれの一部と重なる領域に設けられる開口を埋めるように設けられ、導電層１１７ｂは、保護層１１６の、導電層１１１ａ乃至導電層１１１ｃのそれぞれの一部と重なる領域に設けられる開口を埋めるように設けられる。

［０５１２］

導電層１１７ａ及び導電層１１７ｂには、例えば、銀、カーボン又は銅といった材料を有する導電性ペースト、金又ははんだといった材料を有するバンプを好適に用いることができる。また、導電層１１７ａ（導電層１１７ｂ）に電気的に接続される導電層１１２ａ乃至導電層１１２ｃ（導電層１１１ａ乃至導電層１１１ｃ）、及び後述する電極１７２（電極１７３）のそれぞれは、導電層１１７ａ（導電層１１７ｂ）とのコンタクト抵抗の低い導電材料を用いることが好ましい。例えば、導電層１１７ａ（導電層１１７ｂ）に銀ペーストを用いる場合、導電層１１２ａ乃至導電層１１２ｃ（導電層１１１ａ乃至導電層１１１ｃ）、及び後述する電極１７２（電極１７３）のそれぞれに適用できる導電材料をアルミニウム、チタン、銅とすることによって、導電層１１７ａ（導電層１１７ｂ）とのコンタクト抵抗を低くすることができる。また、当該導電材料を銀とパラジウムと銅の合金（Ａｇ－Ｐ

ｄ－Ｃｕ（ＡＰＣ））とすることによっても、導電層１１７ａ（導電層１１７ｂ）とのコンタクト抵抗を低くすることができる。

［０５１３］

導電層１１７ａ及び導電層１１７ｂ上には、ＬＥＤパッケージ１７０Ｒ、ＬＥＤパッケージ１７０Ｇ及びＬＥＤパッケージ１７０Ｂが実装されている。なお、図２５の表示装置ＤＳＰ１Ｃに含まれるＬＥＤパッケージ１７０Ｒ、ＬＥＤパッケージ１７０Ｇ及びＬＥＤパッケージ１７０Ｂの具体的な構成例を、図２６Ａに示す。

［０５１４］

図２６ＡのＬＥＤパッケージ１７０は、基板１７１、電極１７２、電極１７３、ヒートシンク１７４、接着層１７５、ケース１７６、ワイヤ１７７、ワイヤ１７９、封止層１７８、ボール１８９及びＬＥＤチップ１８０を有する。

［０５１５］

本明細書等において、ＬＥＤチップとは、基板上に、カソードとして機能する電極と、アノードとして機能する電極と、ｐ型の半導体と、ｎ型の半導体と、発光層と、が設けられた発光ダイオードである。なお、本明細書等において、ＬＥＤチップという用語は、発光ダイオードという用語に置き換えて説明することができる場合がある。

［０５１６］

特に、本明細書等において、ＬＥＤチップの面積が１００００μｍ^{2}以下の発光ダイオードをマイクロ発光ダイオード、ＬＥＤチップの面積が１００００μｍ^{2}より大きく１ｍｍ^{2}以下の発光ダイオードをミニ発光ダイオード、ＬＥＤチップの面積が１ｍｍ^{2}より大きい発光ダイオードをマクロ発光ダイオードと記す場合がある。なお、ここでのＬＥＤチップの面積とは、例えば、図２６Ａにおける、基板１８１の上面又は下面の面積とすることができる。

［０５１７］

例えば、ＬＥＤチップの面積が１００μｍ^{2}以下の発光ダイオードは、マイクロ発光ダイオード（マイクロＬＥＤチップ）といえる。また、例えば、面積が１ｍｍ^{2}のＬＥＤパッケージに適用可能な発光ダイオードとして、マイクロＬＥＤチップまたはミニＬＥＤチップを用いることができる場合がある。

［０５１８］

本発明の一態様の表示装置において、ＬＥＤパッケージには、マイクロ発光ダイオード、ミニ発光ダイオード及びマクロ発光ダイオードのいずれかを用いてもよい。特に、本発明の一態様の表示装置は、マイクロ発光ダイオード又はミニ発光ダイオードを有することが好ましく、マイクロ発光ダイオードを有することがより好ましい。

［０５１９］

特に、発光ダイオードのＬＥＤチップの面積は、１ｍｍ^{2}以下が好ましく、１００００μｍ^{2}以下がより好ましく、３０００μｍ^{2}以下がより好ましく、７００μｍ^{2}以下がさらに好ましい。

［０５２０］

また、発光ダイオードの光を射出する領域の面積は、１ｍｍ^{2}以下が好ましく、１００００μｍ^{2}以下がより好ましく、３０００μｍ^{2}以下がより好ましく、７００μｍ^{2}以下がさらに好ましい。なお、ここでの発光ダイオードの光を射出する領域の面積とは、例えば、図２６Ａにおける、発光層１８４の上面又は下面の面積とすることができる。

［０５２１］

本実施の形態では、特に、発光ダイオードとして、マイクロ発光ダイオードを用いる場合の例について説明する。なお、本実施の形態では、ダブルヘテロ接合を有するマイクロ発光ダイオードについて説明する。ただし、発光ダイオードに特に限定はなく、例えば、量子井戸接合を有するマイクロ発光ダイオード、ナノコラムを用いた発光ダイオードなどを用いてもよい。

［０５２２］

図２６Ａに示すＬＥＤチップ１８０は、基板１８１と、半導体層１８２と、電極１８３と、発光層１８４と、半導体層１８５と、電極１８６と、電極１８７と、を有する。

［０５２３］

基板１７１は、例えば、ガラスエポキシ樹脂基板、ポリイミド基板、セラミック基板、アルミナ基板又は窒化アルミニウム基板を用いることができる。

［０５２４］

電極１７２及び電極１７３は、基板１７１の上面、側面及び下面に形成されている。特に、基板１７１の上面、側面及び下面で形成された電極１７２は、１本の配線として機能し、同様に、基板１７１の上面、側面及び下面で形成された電極１７３は、別の１本の配線として機能する。なお、電極１７２と電極１７３との間は、非導通状態となっている。

［０５２５］

また、基板１７１には、ヒートシンク１７４が設けられている。ヒートシンク１７４は、一例として、ＬＥＤチップ１８０で発生した熱を放出する機能を有する。

［０５２６］

なお、電極１７２、電極１７３及びヒートシンク１７４は、互いに同一の材料とすることができる。同一の材料としては、例えば、ニッケル、銅、銀、白金又は金から選ばれた一元素、又は当該元素を５０％以上含む合金材料を用いることができる。

［０５２７］

また、電極１７２、電極１７３及びヒートシンク１７４は、互いに同一の工程で形成することができる。

［０５２８］

ＬＥＤチップ１８０は、接着層１７５によって、基板１７１上に貼り合わされている。具体的には、ＬＥＤチップ１８０の基板１８１は、接着層１７５を介して、基板１７１に設けられているヒートシンク１７４と重なるように設けられている。接着層１７５の材料は特に限定されない。例えば、接着層１７５の材料として、導電性を有する接着剤を用いることで、ＬＥＤチップ１８０の放熱性を高めることができる。

［０５２９］

基板１８１には、例えば、サファイア基板、炭化シリコン基板、シリコン基板又は窒化ガリウム基板といった単結晶基板を用いることができる。

［０５３０］

ＬＥＤチップ１８０において、基板１８１上には、半導体層１８２が形成されている。また、半導体層１８２上の一部には、電極１８３が形成され、また、半導体層１８２上の別の一部には、発光層１８４が形成されている。また、発光層１８４上には、半導体層１８５が形成され、半導体層１８５上には、電極１８６が形成され、電極１８６上の一部には、電極１８７が形成されている。

［０５３１］

ＬＥＤチップ１８０において、発光層１８４は、半導体層１８２と半導体層１８５とによって挟持されている。発光層１８４では、電子と正孔が結合して光を発する。また、半導体層１８２と半導体層１８５の一方はｎ型の半導体層であり、半導体層１８２と半導体層１８５の他方はｐ型の半導体層である。

［０５３２］

また、図２５の表示装置ＤＳＰ１Ｃに実装されている、ＬＥＤパッケージ１７０Ｒ、ＬＥＤパッケージ１７０Ｇ及びＬＥＤパッケージ１７０ＢのそれぞれのＬＥＤチップに含まれている発光ダイオードにおいて、一対の半導体層と、当該一対の半導体層の間の発光層と、を有する積層構造は、赤色、緑色又は青色といった光を呈するように形成されている。このため、ＬＥＤパッケージ１７０Ｒ、ＬＥＤパッケージ１７０Ｇ及びＬＥＤパッケージ１７０ＢのそれぞれのＬＥＤチップ毎に、発光ダイオードが発する光の色を自由に決めることができる。当該積層構造には、例えば、ガリウム・リン化合物、ガリウム・ヒ素化合物、ガリウム・アルミニウム・ヒ素化合物、アルミニウム・ガリウム・インジウム・リン化合物、ガリウム窒化物、インジウム・窒化ガリウム化合物、又はセレン・亜鉛化合物を用いることができる。

［０５３３］

また、ＬＥＤパッケージ１７０のＬＥＤチップ１８０に含まれている発光ダイオードが発する色は、赤色、緑色及び青色以外では、シアン、マゼンタ、黄色又は白色とすることができる。

［０５３４］

電極１８３は、ワイヤ１７７を介して、電極１７２に電気的に接続されている。つまり、電極１８３は、発光ダイオードの画素電極として機能する。また、電極１８７は、ワイヤ１７９を介して、電極１７３に電気的に接続されている。つまり、電極１８７は、発光ダイオードの共通電極として機能する。

［０５３５］

電極１８３とワイヤ１７７との接合方法、電極１７２とワイヤ１７７との接合方法、電極１８７とワイヤ１７９との接合方法、及び電極１７３とワイヤ１７９との接合方法としては、例えば、ワイヤーボンディング法が挙げられる。また、ワイヤーボンディング法の種類として、熱圧着法及び超音波ボンディング法が挙げられる。また、ワイヤーボンディング法による、ワイヤ１７７及びワイヤ１７９の接合工程によって、電極１７２上、電極１７３上、電極１８３上、及び電極１８７上には、ワイヤ１７９と同じ材料のボール１８９が形成される。

［０５３６］

電極１８３、電極１８６、及び電極１８７のそれぞれには、例えば、導電層１１１ａ乃至導電層１１１ｃ、又は導電層１１２ａ乃至導電層１１２ｃに適用できる材料を用いることが好ましい。特に、ＬＥＤチップ１８０の発光層１８４は、ＬＥＤパッケージ１７０の上方に光を射出するため、電極１８６は、導電層１１１ａ乃至導電層１１１ｃ、及び導電層１１２ａ乃至導電層１１２ｃに適用できる材料のうち、透光性を有する導電材料を用いることが好ましい。同様の理由により、電極１８７も、導電層１１１ａ乃至導電層１１１ｃ、又は導電層１１２ａ乃至導電層１１２ｃに適用できる材料のうち、透光性を有する導電材料を用いることが好ましい。

［０５３７］

ワイヤ１７７及びワイヤ１７９には、例えば、金、金を含む合金、銅、又は銅を含む合金といった

金属の細線を用いることができる。

［０５３８］

ケース１７６の材料には、樹脂を用いることができる。また、ケース１７６は、封止層１７８の側面を覆っていればよく、ＬＥＤチップ１８０の上面を覆っていなくてもよい。つまり、例えば、ＬＥＤチップ１８０の上面側では、封止層１７８が露出してもよい。また、ケース１７６の内側の側面、具体的には、ＬＥＤチップ１８０の周囲（基板１８１、半導体層１８２、電極１８３、発光層１８４、半導体層１８５、電極１８６及び電極１８７のそれぞれの周囲）に、セラミックス等からなるリフレクタを設けることが好ましい。ＬＥＤチップ１８０の発光層１８４から発した光の一部がリフレクタによって反射することで、より多くの光をＬＥＤパッケージ１７０から取り出すことができる。

［０５３９］

ケース１７６の内部は、封止層１７８で充填されている。封止層１７８には、例えば、可視光に対する透過性を有する樹脂を適用することが好ましい。具体的には、封止層１７８には、例えば、エポキシ樹脂、シリコーン樹脂といった紫外線硬化性樹脂、又は可視光硬化性樹脂を用いることができる。

［０５４０］

また、例えば、表示装置ＤＳＰ１Ｃの樹脂層１４８上、ＬＥＤパッケージ１７０Ｒ上、ＬＥＤパッケージ１７０Ｇ上及びＬＥＤパッケージ１７０Ｂ上のそれぞれの面には各種光学部材を配置することができる。光学部材としては、偏光板、位相差板、光拡散層（拡散フィルムなど）、反射防止層、及び集光フィルムが挙げられる。また、表示装置ＤＳＰ１Ｃの樹脂層１４８上、ＬＥＤパッケージ１７０Ｒ上、ＬＥＤパッケージ１７０Ｇ上及びＬＥＤパッケージ１７０Ｂ上のそれぞれの面には、ゴミの付着を抑制する帯電防止膜、汚れを付着しにくくする撥水性の膜、使用に伴う傷の発生を抑制するハードコート膜、衝撃吸収層等の表面保護層を配置してもよい。例えば、表面保護層として、ガラス層又はシリカ層（SiO_x層）を設けることで、表面汚染及び傷の発生を抑制することができ、好ましい。また、表面保護層としては、ＤＬＣ（ダイヤモンドライクカーボン）、酸化アルミニウム（AlO_x）、ポリエステル系材料、またはポリカーボネート系材料などを用いてもよい。なお、表面保護層には、可視光に対する透過率が高い材料を用いることが好ましい。また、表面保護層には、硬度が高い材料を用いることが好ましい。

［０５４１］

次に、表示装置ＤＳＰ１ＣのＬＥＤパッケージ１７０Ｒ、ＬＥＤパッケージ１７０Ｇ及びＬＥＤパッケージ１７０Ｂに適用できる、図２６ＡのＬＥＤパッケージ１７０とは異なるＬＥＤパッケージの構成例を説明する。

［０５４２］

図２６Ｂに示すＬＥＤパッケージ１７０Ａ１は、基板１７１上にはＬＥＤチップ１８０Ａが設けられている点で、図２６ＡのＬＥＤパッケージ１７０と異なっている。なお、ＬＥＤチップ１８０Ａの画素電極は、ワイヤ１７７でなく接着層１７５によって電極１７２に接着されている。

［０５４３］

図２６ＢのＬＥＤパッケージ１７０Ａ１は、基板１７１、電極１７２、電極１７３、接着層１７５、ケース１７６、ワイヤ１７９、封止層１７８、ボール１８９及びＬＥＤチップ１８０Ａを有する。

［０５４４］

また、図２６ＢのＬＥＤパッケージ１７０Ａ１において、ＬＥＤチップ１８０Ａは、電極１８３Ａと、電極１８３Ａ上に設けられた発光ダイオードと、を有する構成となっている。当該発光ダイオー

ドは、半導体層１８２と、発光層１８４と、半導体層１８５と、電極１８６と、電極１８７と、を有する。

［０５４５］

電極１８３Ａには、例えば、導電性基板を用いることができる。導電性基板の種類としては、例えば、金属基板が挙げられる。

［０５４６］

また、電極１８３Ａ上には、半導体層１８２、発光層１８４、半導体層１８５、電極１８６及び電極１８７が順に形成されている。

［０５４７］

なお、半導体層１８２、発光層１８４、半導体層１８５、電極１８６及び電極１８７のそれぞれについては、図２６ＡのＬＥＤパッケージ１７０の説明を参照することができる。

［０５４８］

図２６ＢのＬＥＤパッケージ１７０Ａ１において、電極１７２及び電極１７３は、基板１７１の上面、側面及び下面に形成されている。特に、電極１７２は、基板１７１の、ＬＥＤチップ１８０Ａが設けられる領域にも形成されている。また、基板１７１の上面、側面及び下面で形成された電極１７２は、１本の配線として機能し、同様に、基板１７１の上面、側面及び下面で形成された電極１７３は、別の１本の配線として機能する。なお、電極１７２と電極１７３との間は、非導通状態となっている。

［０５４９］

また、ＬＥＤチップ１８０Ａは、接着層１７５によって、基板１７１上に貼り合わされている。具体的には、ＬＥＤチップ１８０Ａの電極１８３Ａは、接着層１７５を介して、基板１７１に設けられている電極１７２の一部の領域と重なるように設けられている。なお、接着層１７５は、導電性を有する接着剤とする。

［０５５０］

上記のとおり、発光ダイオードを導電性基板上に形成したＬＥＤチップ１８０Ａを用いる場合、ＬＥＤチップ１８０Ａの画素電極と、基板１７１の電極１７２と、を、ワイヤ１７７でなく、接着層１７５を用いて接合することによって、ＬＥＤパッケージ１７０Ａ２を構成することができる。

［０５５１］

次に、表示装置ＤＳＰ１ＣのＬＥＤパッケージ１７０Ｒ、ＬＥＤパッケージ１７０Ｇ及びＬＥＤパッケージ１７０Ｂに適用できる、図２６ＡのＬＥＤパッケージ１７０及び図２６ＢのＬＥＤパッケージ１７０Ａ１とは異なるＬＥＤパッケージの構成例を説明する。

［０５５２］

図２６Ｃに示すＬＥＤパッケージ１７０Ａ２は、ケース１７６の内側に色変換層１９０が設けられている点で、図２６ＡのＬＥＤパッケージと異なっている。

［０５５３］

なお、図２６Ｃでは、色変換層１９０が封止層１７８の上方に設けられている構成を示すが、色変換層１９０の配置はこれに限定されない。例えば、色変換層１９０は、封止層１７８の内部に分散されていてもよい。

［０５５４］

色変換層１９０としては、蛍光体、量子ドット（ＱＤ：Ｑｕａｎｔｕｍ　ｄｏｔ）を用いることが

好ましい。特に量子ドットは、発光スペクトルのピーク幅が狭く、色純度のよい発光を得ることができる。色変換層１９０に量子ドットを用いることで、表示装置ＤＳＰ１Ｃの表示品位を高めることができる。

［０５５５］

色変換層１９０は、ＬＥＤパッケージ１７０Ａ２のＬＥＤチップ１８０に含まれている発光層１８４から発した光を、別の色の光に変換する機能を有する。

［０５５６］

色変換層１９０には、例えば、青色の光を緑色の光に変換する色変換層、又は青色の光を赤色の光に変換する色変換層を用いることができる。例えば、赤色の副画素において、青色の発光ダイオードが設けられているとき、青色の発光ダイオードから発せられた青色の光は、色変換層１９０を介することによって、赤色の光に変換されて、ケース１７６の上方、すなわち表示装置ＤＳＰ１Ｃの外部に射出される。また、例えば、緑色の副画素において、青色の発光ダイオードが設けられているとき、青色の発光ダイオードから発せられた青色の光は、色変換層１９０を介することによって、緑色の光に変換されて、ケース１７６の上方、すなわち表示装置ＤＳＰ１Ｃの外部に射出される。

［０５５７］

色変換層１９０は、液滴吐出法（例えば、インクジェット法）、塗布法、インプリント法、又は各種印刷法（例えば、スクリーン印刷、オフセット印刷）を用いて形成することができる。また、色変換層１９０には、量子ドットフィルム等の色変換フィルムを用いることができる。

［０５５８］

蛍光体としては、蛍光体が表面に印刷又は塗装された有機樹脂層又は蛍光体が混合された有機樹脂層を用いることができる。

［０５５９］

量子ドットを構成する材料としては、特に限定は無く、例えば、第１４族元素、第１５族元素、第１６族元素、複数の第１４族元素からなる化合物、第４族から第１４族に属する元素と第１６族元素との化合物、第２族元素と第１６族元素との化合物、第１３族元素と第１５族元素との化合物、第１３族元素と第１７族元素との化合物、第１４族元素と第１５族元素との化合物、第１１族元素と第１７族元素との化合物、酸化鉄類、酸化チタン類、カルコゲナイドスピネル類又は半導体クラスターが挙げられる。

［０５６０］

具体的には、セレン化カドミウム、硫化カドミウム、テルル化カドミウム、セレン化亜鉛、酸化亜鉛、硫化亜鉛、テルル化亜鉛、硫化水銀、セレン化水銀、テルル化水銀、砒化インジウム、リン化インジウム、砒化ガリウム、リン化ガリウム、窒化インジウム、窒化ガリウム、アンチモン化インジウム、アンチモン化ガリウム、リン化アルミニウム、砒化アルミニウム、アンチモン化アルミニウム、セレン化鉛、テルル化鉛、硫化鉛、セレン化インジウム、テルル化インジウム、硫化インジウム、セレン化ガリウム、硫化砒素、セレン化砒素、テルル化砒素、硫化アンチモン、セレン化アンチモン、テルル化アンチモン、硫化ビスマス、セレン化ビスマス、テルル化ビスマス、ケイ素、炭化ケイ素、ゲルマニウム、錫、セレン、テルル、ホウ素、炭素、リン、窒化ホウ素、リン化ホウ素、砒化ホウ素、窒化アルミニウム、硫化アルミニウム、硫化バリウム、セレン化バリウム、テルル化バリウム、硫化カルシウム、セレン化カルシウム、テルル化カルシウム、硫化ベリリウム、セレン化ベリリウム、テルル化ベリリウム、硫化マグネシウム、セレン化マグネシウム、硫化ゲルマニウム、セレン化ゲルマ

ニウム、テルル化ゲルマニウム、硫化錫、セレン化錫、テルル化錫、酸化鉛、フッ化銅、塩化銅、臭化銅、ヨウ化銅、酸化銅、セレン化銅、酸化ニッケル、酸化コバルト、硫化コバルト、酸化鉄、硫化鉄、酸化マンガン、硫化モリブデン、酸化バナジウム、酸化タングステン、酸化タンタル、酸化チタン、酸化ジルコニウム、窒化ケイ素、窒化ゲルマニウム、酸化アルミニウム、チタン酸バリウム、セレンと亜鉛とカドミウムの化合物、インジウムと砒素とリンの化合物、カドミウムとセレンと硫黄の化合物、カドミウムとセレンとテルルの化合物、インジウムとガリウムと砒素の化合物、インジウムとガリウムとセレンの化合物、インジウムとセレンと硫黄の化合物、銅とインジウムと硫黄の化合物、及びこれらの組み合わせが挙げられる。また、組成が任意の比率で表される、いわゆる合金型量子ドットを用いてもよい。

［０５６１］

量子ドットの構造としては、コア型、コアーシェル型、コアーマルチシェル型などが挙げられる。また、量子ドットは、表面原子の割合が高いことから、反応性が高く、凝集が起こりやすい。そのため、量子ドットの表面には保護剤が付着している又は保護基が設けられていることが好ましい。当該保護剤が付着している又は保護基が設けられていることによって、凝集を防ぎ、溶媒への溶解性を高めることができる。また、反応性を低減させ、電気的安定性を向上させることも可能である。

［０５６２］

量子ドットは、サイズ（直径）が小さくなるに従いバンドギャップが大きくなるため、所望の波長の光が得られるように、そのサイズを適宜調整する。結晶のサイズが小さくなるにつれて、量子ドットの発光は青色側へ、つまり、高エネルギー側へシフトするため、量子ドットのサイズを変更させることにより、スペクトル（強度分布）において、紫外領域、可視領域、及び赤外領域の波長領域にわたって、その発光波長を調整することができる。量子ドットのサイズ（直径）は、例えば、０．５ｎｍ以上２０ｎｍ以下とすることが好ましく、１ｎｍ以上１０ｎｍ以下とすることがより好ましい。量子ドットはそのサイズ分布が狭いほど、発光スペクトルのピークがより狭線化し、色純度の良好な発光を得ることができる。また、量子ドットの形状は特に限定されず、球状、棒状、円盤状、又はその他の形状であってもよい。棒状の量子ドットである量子ロッドは、指向性を有する光を呈する機能を有する。

［０５６３］

または、ＬＥＤパッケージ１７０Ａ２は、その内部または上方に、色変換層１９０と着色層の積層構造を有していてもよい。これにより、色変換層１９０によって変換された光が、着色層を通過することで、光の色純度を高められる。また、ＬＥＤチップ１８０（基板１８１、半導体層１８２、電極１８３、発光層１８４、半導体層１８５、電極１８６及び電極１８７）と重なる位置に、発光層１８４が発する光の色と同色の着色層を設けてもよい。同色の着色層を設けると、発光層１８４が発する光の色純度を高めることができる。また、ＬＥＤパッケージ１７０Ａ２に着色層を設けない場合は、作製工程を簡略化できる。

［０５６４］

なお、着色層は、特定の波長域の光を透過する有色層である。例えば、赤色、緑色、青色又は黄色の波長域の光を透過するカラーフィルタなどを用いることができる。着色層に用いることのできる材料としては、金属材料、樹脂材料、顔料又は染料が含まれた樹脂材料などが挙げられる。

［０５６５］

上記のとおり、ＬＥＤチップ１８０の上方に、色変換層を設けることによって、色純度の良い光を

ＬＥＤパッケージ１７０Ａ２から射出することができる。

［０５６６］

なお、上述した色変換層は、表示装置ＤＳＰ１Ｃだけでなく、本実施の形態において後に説明する他の表示装置にも設けてもよい。

［０５６７］

次に、表示装置ＤＳＰ１ＣのＬＥＤパッケージ１７０Ｒ、ＬＥＤパッケージ１７０Ｇ及びＬＥＤパッケージ１７０Ｂに適用できる、図２６ＡのＬＥＤパッケージ１７０、図２６ＢのＬＥＤパッケージ１７０Ａ１、図２６ＣのＬＥＤパッケージ１７０Ａ２とは異なるＬＥＤパッケージの構成例を説明する。

［０５６８］

図２６Ｄに示すＬＥＤパッケージ１７０Ａ３は、基板１７１上に設けられているＬＥＤチップ１８０の基板１８１が、電極１８３及び電極１８７の上方に位置している点で、図２６ＡのＬＥＤパッケージ１７０と異なっている。

［０５６９］

この構成の場合、発光層１８４からの光をＬＥＤパッケージ１７０Ａ３の上方に射出するため、基板１８１は透光性を有することが好ましい。

［０５７０］

また、図２６ＤのＬＥＤパッケージ１７０Ａ３において、ＬＥＤチップ１８０の電極１８３の上面及び電極１８７の上面は、基板１７１側に向いているため、電極１８３と電極１７２との接合、及び電極１８７と電極１７３との接合は、ワイヤではなく、バンプとして機能する導電体によって行われる。具体的には、電極１８３と電極１７２とは、導電層１９１によって接合され、また、電極１８７と電極１７３とは、導電層１９２によって接合されている。

［０５７１］

なお、導電層１９１及び導電層１９２には、導電層１１７ａ又は導電層１１７ｂに適用できる材料を用いることができる。

［０５７２］

次に、ＬＥＤパッケージ１７０に設けることができるＬＥＤチップ１８０の個数について説明する。図２７Ａは、図２６ＡのＬＥＤパッケージ１７０の平面図の一例である。なお、図２７Ａでは、ＬＥＤチップ１８０の構成要素である基板１８１を示している。上記では、図２７Ａに示すとおり、ＬＥＤパッケージ１７０が基板１７１上に１個のＬＥＤチップ１８０を有する構成を例として説明したが、本発明の一態様はこれに限定されない。例えば、ＬＥＤパッケージ１７０は、基板１７１上に、１個ではなく複数のＬＥＤチップが設けられた構成としてもよい。

［０５７３］

図２７Ｂには、一例として、基板１７１上に、ＬＥＤチップ１８０Ｒ、ＬＥＤチップ１８０Ｇ及びＬＥＤチップ１８０Ｂの３個を設けたＬＥＤパッケージ１７０Ｓの構成を示している。なお、図２７Ｂでは、ＬＥＤチップ１８０Ｒの構成要素である基板１８１Ｒと、ＬＥＤチップ１８０Ｇの構成要素である基板１８１Ｇと、ＬＥＤチップ１８０Ｂの構成要素である基板１８１Ｂと、を示している。ＬＥＤパッケージ１７０Ｓに設けられるＬＥＤチップ１８０Ｒ、ＬＥＤチップ１８０Ｇ及びＬＥＤチップ１８０Ｂのそれぞれに含まれるそれぞれの発光ダイオードは、互いに異なる色を発光する発光層を有してもよい。例えば、基板１８１Ｒに赤色の光を発する発光ダイオードを設け、基板１８１Ｇ

に緑色の光を発する発光ダイオードを設け、基板１８１Ｂに青色の光を発する発光ダイオードを設けることによって、ＬＥＤパッケージ１７０Ｓは、赤色、緑色及び青色の三色の光を射出することができる。

［０５７４］

上記で説明した、ＬＥＤパッケージ１７０、ＬＥＤパッケージ１７０Ａ１、ＬＥＤパッケージ１７０Ａ２、ＬＥＤパッケージ１７０Ａ３及びＬＥＤパッケージ１７０Ｓにおいて、発光ダイオード（ＬＥＤチップ１８０Ｒ、ＬＥＤチップ１８０Ｇ、及びＬＥＤチップ１８０Ｂ）は、同じ構成のトランジスタによって駆動されてもよく、それぞれ異なる構成のトランジスタによって駆動されてもよい。例えば、図２５の表示装置ＤＳＰ１Ｃにおいて、ＬＥＤパッケージ１７０Ｒに含まれているＬＥＤチップ１８０Ｒを駆動するトランジスタと、ＬＥＤパッケージ１７０Ｇに含まれているＬＥＤチップ１８０Ｇを駆動するトランジスタと、ＬＥＤパッケージ１７０Ｂに含まれているＬＥＤチップ１８０Ｂを駆動するトランジスタと、は、トランジスタのサイズ、チャネル長、チャネル幅及び構造などから選ばれた一つ以上が互いに異なっていてもよい。具体的には、所望の輝度で発光させるために必要な電流量に応じて、色ごとにトランジスタのチャネル長及びチャネル幅の一方又は双方を変えてもよい。

［０５７５］

図２５の表示装置ＤＳＰ１Ｃにおいて、保護層１１６の上面と、導電層１１７ａの上面及び側面と、導電層１１７ｂの上面及び側面と、ＬＥＤパッケージ１７０Ｒの側面と、ＬＥＤパッケージ１７０Ｇの側面と、ＬＥＤパッケージ１７０Ｂの側面と、には、樹脂層１４８が覆われていてもよい。樹脂層１４８に、黒色の樹脂を用いると、表示装置ＤＳＰ１Ｃの表示のコントラストを高めることができる。また、樹脂層１４８の上面、ＬＥＤパッケージ１７０Ｒ、ＬＥＤパッケージ１７０Ｇ及びＬＥＤパッケージ１７０Ｂのそれぞれの上面から選ばれた一以上には、表面保護層及び衝撃吸収層の一方又は双方を設けてもよい。また、ＬＥＤパッケージ１７０Ｒ、ＬＥＤパッケージ１７０Ｇ及びＬＥＤパッケージ１７０Ｂのそれぞれは上方に光を射出する構成であるため、ＬＥＤパッケージ１７０Ｒ、ＬＥＤパッケージ１７０Ｇ及びＬＥＤパッケージ１７０Ｂの上面に設けられる層は、可視光に対する透過性を有することが好ましい。

［０５７６］

ＬＥＤパッケージ１７０Ｒ、ＬＥＤパッケージ１７０Ｇ及びＬＥＤパッケージ１７０Ｂにおいて、導電層１１２ａ乃至導電層１１２ｃ、導電層１１７ａ及び電極１７２の全ては、画素電極と呼ばれる場合がある。また、導電層１１２ａ乃至導電層１１２ｃ、導電層１１７ａ及び電極１７２から選ばれた導電体の一部が画素電極と呼ばれる場合がある。

［０５７７］

なお、本発明の一態様の表示装置は、図２５に示す表示装置ＤＳＰ１Ｃの構成に限定されない。本発明の一態様の表示装置は、適宜変更がなされた図２５に示す表示装置ＤＳＰ１Ｃの構成としてもよい。

［０５７８］

例えば、図２５に示す表示装置ＤＳＰ１Ｃは、複数の色を呈するＬＥＤパッケージが設けられた構成となっているが、単一の色のＬＥＤパッケージによって表示部全体を構成してもよい。

［０５７９］

また、例えば、本発明の一態様の表示装置は、基板３１０の上方に複数のＬＥＤパッケージ１７０

が実装された構成ではなく、基板３１０の上方に、複数の発光ダイオードが形成された基板が貼り合わされた構成としてもよい。

［０５８０］

図２８Ａは、一例として、図２５の表示装置ＤＳＰ１Ｃの保護層１１６まで形成された構成（以後、この構成を積層体ＳＴと呼称する）に、シール材４１２を用いて、複数の発光ダイオードが形成された基板４１０が貼り合わされた、表示装置ＤＳＰ１Ｄを示している。また、図２８Ｂには、複数の発光ダイオードが形成された基板４１０を示している。

［０５８１］

なお、図２８Ａ及び図２８Ｂには、複数の発光ダイオードとして、発光ダイオード４２０Ｒ、発光ダイオード４２０Ｇ及び発光ダイオード４２０Ｂを図示している。また、発光ダイオード４２０Ｒ、発光ダイオード４２０Ｇ及び発光ダイオード４２０Ｂをまとめて発光ダイオード４２０と呼称する場合がある。

［０５８２］

発光ダイオード４２０Ｒは、一例として、電極１８３ａ、半導体層１８２ａ、発光層１８４ａ、半導体層１８５ａ及び電極１８６ａを有する。また、発光ダイオード４２０Ｇは、一例として、電極１８３ｂ、半導体層１８２ｂ、発光層１８４ｂ、半導体層１８５ｂ及び電極１８６ｂを有する。また、発光ダイオード４２０Ｂは、一例として、電極１８３ｃ、半導体層１８２ｃ、発光層１８４ｃ、半導体層１８５ｃ及び電極１８６ｃを有する。

［０５８３］

図２８Ｂの基板４１０において、基板４１０上には、半導体層１８５ａ乃至半導体層１８５ｃが形成されている。また、半導体層１８５ａ上乃至半導体層１８５ｃ上のそれぞれには、発光層１８４ａ乃至発光層１８４ｃが形成されている。また、発光層１８４ａ上には、半導体層１８２ａが形成され、発光層１８４ｂ上には、半導体層１８２ｂが形成され、発光層１８４ｃ上には、半導体層１８２ｃが形成されている。また、基板４１０の上面、半導体層１８５ａ乃至半導体層１８５ｃの上面と側面、発光層１８４ａ乃至発光層１８４ｃの側面、及び半導体層１８２ａ乃至半導体層１８２ｃの上面と側面、を覆うように保護層４１１が形成されている。

［０５８４］

なお、保護層４１１には、半導体層１８２ａの一部と重なる領域に開口が設けられており、保護層４１１上の一部と、当該開口の底部である半導体層１８２ａの上面を覆うように、電極１８３ａが形成されている。同様に、保護層４１１には、半導体層１８２ｂの一部と重なる領域に開口が設けられており、保護層４１１上の一部と、当該開口の底部である半導体層１８２ｂの上面を覆うように、電極１８３ｂが形成されている。同様に、保護層４１１には、半導体層１８２ｃの一部と重なる領域に開口が設けられており、保護層４１１上の一部と、当該開口の底部である半導体層１８２ｃの上面を覆うように、電極１８３ｃが形成されている。

［０５８５］

また、保護層４１１には、半導体層１８２ａ及び発光層１８４ａに重ならず、かつ半導体層１８５ａの一部と重なる領域に開口が設けられており、保護層４１１上の一部と当該開口の底部である半導体層１８５ａの上面を覆うように、電極１８６ａが形成されている。同様に、保護層４１１には、半導体層１８２ｂ及び発光層１８４ｂに重ならず、かつ半導体層１８５ｂの一部と重なる領域に開口が設けられており、保護層４１１上の一部と当該開口の底部である半導体層１８５ｂの上面を覆

うように、電極１８６ｂが形成されている。同様に、保護層４１１には、半導体層１８２ｃ及び発光層１８４ｃに重ならず、かつ半導体層１８５ｃの一部と重なる領域に開口が設けられており、保護層４１１上の一部と当該開口の底部である半導体層１８５ｃの上面を覆うように、電極１８６ｃが形成されている。

［０５８６］

基板３１０と基板４１０とを固着しているシール材４１２は、一例として、基板４１０に備わる発光ダイオード４２０Ｒ、発光ダイオード４２０Ｇ及び発光ダイオード４２０Ｂを囲むように設けることによって、発光ダイオード４２０Ｒ、発光ダイオード４２０Ｇ及び発光ダイオード４２０Ｂを、基板３１０と基板４１０とシール材４１２とによって封止することができる。発光ダイオード４２０Ｒ、発光ダイオード４２０Ｇ及び発光ダイオード４２０Ｂを封止することによって、基板３１０と基板４１０への間にゴミ（概ね１μｍ以上５μｍ以下）の混入を防ぐことができ、当該ゴミを起因とする短絡を防ぐことができる。

［０５８７］

なお、基板３１０と基板４１０とシール材４１２との内側には、可視光に対する透光性を有する絶縁性の樹脂を封入してもよい。当該樹脂には、例えば、封止層１７８に適用できる樹脂を用いることができる。また、シール材４１２は、発光ダイオード４２０Ｒ、発光ダイオード４２０Ｇ及び発光ダイオード４２０Ｂを完全に囲まず、基板３１０と基板４１０とを接着するための必要な量だけ設けてもよい。

［０５８８］

表示装置ＤＳＰ１Ｄは、トップエミッション型である。発光ダイオード４２０Ｒ、発光ダイオード４２０Ｇ及び発光ダイオード４２０Ｂが発する光は、基板４１０側に射出される。そのため、基板４１０には、可視光に対する透過性が高い材料を用いることが好ましい。例えば、基板４１０には、基板ＢＳに適用できる基板のうち、可視光に対する透過性が高い基板を選択することが好ましい。

［０５８９］

なお、本発明の一態様の表示装置は、トップエミッション型ではなく、発光デバイスが発する光が基板３１０側に射出されるボトムエミッション型としてもよい。なお、この場合、基板３１０には、可視光に対する透過性が高い基板を選択することが好ましい。同様に、積層体ＳＴに含まれる導電層、絶縁層、半導体層などは、可視光に対する透過性が高い材料を選択することが好ましい。

［０５９０］

図２８Ａ及び図２８Ｂに示すとおり、発光層１８４ａは、半導体層１８２ａと半導体層１８５ａとに挟持されている。発光層１８４ａでは、電子と正孔が結合して光を発する。また、半導体層１８２ａと半導体層１８５ａの一方はｎ型の半導体層であり、半導体層１８２ａと半導体層１８５ａの他方はｐ型の半導体層である。同様に、発光層１８４ｂは、半導体層１８２ｂと半導体層１８５ｂとに挟持されている。発光層１８４ｂでは、電子と正孔が結合して光を発する。また、半導体層１８２ｂと半導体層１８５ｂの一方はｎ型の半導体層であり、半導体層１８２ｂと半導体層１８５ｂの他方はｐ型の半導体層である。同様に、発光層１８４ｃは、半導体層１８２ｃと半導体層１８５ｃとに挟持されている。発光層１８４ｃでは、電子と正孔が結合して光を発する。また、半導体層１８２ｃと半導体層１８５ｃの一方はｎ型の半導体層であり、半導体層１８２ｃと半導体層１８５ｃの他方はｐ型の半導体層である。

［０５９１］

また、図２８Ａの表示装置ＤＳＰ１Ｄに実装されている、発光ダイオード４２０Ｒ、発光ダイオード４２０Ｇ及び発光ダイオード４２０Ｂのそれぞれにおいて、一対の半導体層と、当該一対の半導体層の間の発光層と、を有する積層構造は、赤色、緑色又は青色といった光を呈するように形成されている。このため、発光ダイオード４２０Ｒ、発光ダイオード４２０Ｇ及び発光ダイオード４２０Ｂのそれぞれが発する光の色を自由に決めることができる。例えば、発光ダイオード４２０Ｒは、赤色光を発する発光ダイオードとし、発光ダイオード４２０Ｇは、緑色光を発する発光ダイオードとし、発光ダイオード４２０Ｂは、青色光を発する発光ダイオードとすることができる。また、当該積層構造には、図２６ＡのＬＥＤパッケージ１７０に含まれる発光ダイオードに適用することができる積層構造を用いることができる。

［０５９２］

また、発光ダイオード４２０が発する光の色は、赤色、緑色及び青色以外では、例えば、シアン、マゼンタ、黄色又は白色とすることができる。

［０５９３］

保護層４１１には、例えば、絶縁層１０５に適用できる無機絶縁膜、又は有機絶縁膜を用いることができる。また、保護層４１１には、例えば、図２６ＡのＬＥＤパッケージ１７０の封止層１７８に適用できる材料を用いることができる。

［０５９４］

積層体ＳＴには、それぞれバンプとして機能する導電層１９３ａ乃至導電層１９３ｃ、及び導電層１９４ａ乃至導電層１９４ｃを用いて、基板４１０が貼り合わされている。具体的には、積層体ＳＴに備わる導電層１１２ａと、発光ダイオード４２０Ｒの電極１８３ａと、が導電層１９４ａを介して接合され、積層体ＳＴに備わる導電層１１１ａと、発光ダイオード４２０Ｒの電極１８６ａと、が導電層１９３ａを介して接合され、積層体ＳＴに備わる導電層１１２ｂと、発光ダイオード４２０Ｇの電極１８３ｂと、が導電層１９４ｂを介して接合され、積層体ＳＴに備わる導電層１１１ｂと、発光ダイオード４２０Ｇの電極１８６ｂと、が導電層１９３ｂを介して接合され、積層体ＳＴに備わる導電層１１２ｃと、発光ダイオード４２０Ｂの電極１８３ｃと、が導電層１９４ｃを介して接合され、積層体ＳＴに備わる導電層１１１ｃと、発光ダイオード４２０Ｂの電極１８６ｃと、が導電層１９３ｃを介して接合されている。

［０５９５］

なお、導電層１９３ａ乃至導電層１９３ｃ、及び導電層１９４ａ乃至導電層１９４ｃには、導電層１１７ａ又は導電層１１７ｂに適用できる材料を用いることができる。

［０５９６］

また、表示装置ＤＳＰ１Ｄには、図２６ＣのＬＥＤパッケージ１７０Ａ２に用いられた色変換層１９０を用いてもよい。具体的には発光ダイオード４２０Ｒ、発光ダイオード４２０Ｇ及び発光ダイオード４２０Ｂが射出する光の経路上で、かつ半導体層１８５ａ乃至半導体層１８５ｃから選ばれた一以上と基板４１０との間に、色変換層１９０を設けることにより、発光層から射出された光の色を色変換層１９０によって別の色に変換することができる。

［０５９７］

次に、図２５の表示装置ＤＳＰ１Ｃ及び図２８Ａの表示装置ＤＳＰ１Ｄとは異なる、図２３Ａに示す表示装置ＤＳＰ１の断面視における構成例について説明する。

［０５９８］

図２９に示す表示装置ＤＳＰ１Ａは、図２３Ａに示す表示装置ＤＳＰ１の断面視における構成例であって、有機ＥＬ材料を含む発光デバイス（ＯＬＥＤと呼ばれる場合がある）を有する表示装置である。

［０５９９］

なお、基板３１０から絶縁層５９９までの積層体については、図２５の表示装置ＤＳＰ１Ｃにおける基板３１０から絶縁層５９９までの説明を参照することができる。

［０６００］

絶縁層５９９上には、発光デバイス１３０及び接続部１４０が形成されている。

［０６０１］

接続部１４０は、カソードコンタクト部と呼ばれる場合があり、発光デバイス１３０Ｒ、発光デバイス１３０Ｇ及び発光デバイス１３０Ｂのそれぞれのカソード電極に接続されている。図２９では、接続部１４０は、導電層１１２ａ乃至導電層１１２ｃから選ばれた一以上の導電層と、後述する導電層１２６ａ乃至導電層１２６ｃから選ばれた一以上の導電層と、後述する導電層１２９ａ乃至導電層１２９ｃから選ばれた一以上の導電層と、後述する共通層１１４と、後述する共通電極１１５と、を有する。

［０６０２］

なお、接続部１４０は、平面視において表示部の四辺を囲むように設けられてもよく、又は、表示部内（例えば、隣り合う発光デバイス１３０同士の間）に設けられてもよい。

［０６０３］

発光デバイス１３０Ｒは、導電層１１２ａと、導電層１１２ａ上の導電層１２６ａと、導電層１２６ａ上の導電層１２９ａと、を有する。導電層１１２ａ、導電層１２６ａ及び導電層１２９ａの全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。また、発光デバイス１３０Ｇは、導電層１１２ｂと、導電層１１２ｂ上の導電層１２６ｂと、導電層１２６ｂ上の導電層１２９ｂと、を有する。発光デバイス１３０Ｒと同様に、導電層１１２ｂ、導電層１２６ｂ及び導電層１２９ｂの全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。また、発光デバイス１３０Ｂは、導電層１１２ｃと、導電層１１２ｃ上の導電層１２６ｃと、導電層１２６ｃ上の導電層１２９ｃと、を有する。発光デバイス１３０Ｒ及び発光デバイス１３０Ｇと同様に、導電層１１２ｃ、導電層１２６ｃ及び導電層１２９ｃの全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。

［０６０４］

導電層１１２ａ乃至導電層１１２ｃ及び導電層１２６ａ乃至導電層１２６ｃには、例えば、反射電極として機能する導電層を用いることができる。反射電極として機能する導電層には、可視光に対して反射率の高い導電体として、例えば、銀、アルミニウム、銀（Ａｇ）とパラジウム（Ｐｄ）と銅（Ｃｕ）の合金膜（Ａｇ－Ｐｄ－Ｃｕ（ＡＰＣ）膜）などを適用することができる。また、導電層１１２ａ乃至導電層１１２ｃ及び導電層１２６ａ乃至導電層１２６ｃには、一対のチタンで挟まれたアルミニウムの積層膜（Ｔｉ、Ａｌ、Ｔｉの順の積層膜）、又は一対のインジウム錫酸化物で挟まれた銀の積層膜（ＩＴＯ、Ａｇ、ＩＴＯの順の積層膜）を用いることができる。

［０６０５］

また、例えば、導電層１１２ａ乃至導電層１１２ｃに反射電極として機能する導電層を用いて、導電層１２６ａ乃至導電層１２６ｃに、透光性が高い導電体を用いてもよい。透光性が高い導電体とし

ては、例えば、インジウム錫酸化物（ＩＴＯと呼ばれる場合がある）、が挙げられる。また、導電層１２６ａ乃至導電層１２６ｃには、光が透過する程の薄膜であれば、銀とマグネシウムの合金を用いることができる。

［０６０６］

導電層１２９ａ乃至導電層１２９ｃには、例えば、透明電極として機能する導電層を用いることができる。透明電極として機能する導電層としては、例えば、上述した透光性が高い導電体とすることができる。

［０６０７］

導電層１１２ａは、絶縁層５９９に設けられた開口を介して、絶縁層５９４に埋め込まれている導電層５９６と接続されている。また、導電層１１２ａの端部よりも外側に導電層１２６ａの端部が位置している。導電層１２６ａの端部と導電層１２９ａの端部は、揃っている、又は概略揃っている。

［０６０８］

発光デバイス１３０Ｇにおける導電層１１２ｂと導電層１２６ｂと導電層１２９ｂ、並びに発光デバイス１３０Ｂにおける導電層１１２ｃと導電層１２６ｃと導電層１２９ｃについては、発光デバイス１３０Ｒにおける導電層１１２ａと導電層１２６ａと導電層１２９ａと同様であるため詳細な説明は省略する。

［０６０９］

導電層１１２ａと導電層１１２ｂと導電層１１２ｃとには、絶縁層５９９に設けられた開口を覆うように凹部が形成される。また、当該凹部には、層１２８が埋め込まれている。

［０６１０］

層１２８は、導電層１１２ａ乃至導電層１１２ｃの凹部を平坦化する機能を有する。導電層１１２ａ上乃至導電層１１２ｃ上と層１２８上とには、導電層１１２ａ乃至導電層１１２ｃのそれぞれに接する導電層１２６ａ乃至導電層１２６ｃが設けられている。したがって、導電層１１２ａ乃至導電層１１２ｃの凹部と重なる領域も発光領域として使用でき、画素の開口率を高めることができる。

［０６１１］

層１２８は、絶縁層であってもよく、導電層であってもよい。層１２８には、各種無機絶縁材料、有機絶縁材料及び導電材料を適宜用いることができる。特に、層１２８は、絶縁材料を用いて形成されることが好ましい。

［０６１２］

層１２８には、有機材料を有する絶縁層を好適に用いることができる。例えば、層１２８には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、又はこれら樹脂の前駆体を適用することができる。また、層１２８として、感光性の樹脂を用いることができる。感光性の樹脂としては、ポジ型の材料又はネガ型の材料が挙げられる。

［０６１３］

感光性の樹脂を用いることにより、露光及び現像の工程のみで層１２８を作製することができ、ドライエッチング、若しくはウェットエッチングによる導電層１１２ａ、導電層１１２ｂ、導電層１１２ｃの表面への影響を低減することができる。また、ネガ型の感光性樹脂を用いて層１２８を形成することにより、絶縁層５９９の開口の形成に用いるフォトマスク（露光マスク）と同一のフォトマスクを用いて、層１２８を形成できる場合がある。

［０６１４］

なお、図２９では、層１２８の上面が平坦部を有する例を示すが、層１２８の形状は、特に限定されない。図３０Ａに示すとおり、層１２８の上面は、断面視において、中央及びその近傍において凹曲面を有する形状としてもよい。又は、図３０Ｂに示すとおり、層１２８は、断面視において、中央及びその近傍において凸曲面を有する形状としてもよい。また、図３０Ｃに示すとおり、層１２８は、中央及びその近傍において凹曲面及び凸曲面を有する形状としてもよい。

［０６１５］

発光デバイス１３０Ｒは、第１の層１１３ａと、第１の層１１３ａ上の共通層１１４と、共通層１１４上の共通電極１１５と、を有する。また、発光デバイス１３０Ｇは、第２の層１１３ｂと、第２の層１１３ｂ上の共通層１１４と、共通層１１４上の共通電極１１５と、を有する。また、発光デバイス１３０Ｂは、第３の層１１３ｃと、第３の層１１３ｃ上の共通層１１４と、共通層１１４上の共通電極１１５と、を有する。

［０６１６］

なお、第１の層１１３ａは、導電層１２６ａの上面及び側面と導電層１２９ａの上面及び側面を覆うように形成されている。同様に、第２の層１１３ｂは、導電層１２６ｂの上面及び側面と導電層１２９ｂの上面及び側面を覆うように形成されている。また、同様に、第３の層１１３ｃは、導電層１２６ｃの上面及び側面と導電層１２９ｃの上面及び側面を覆うように形成されている。したがって、導電層１２６ａ、導電層１２６ｂ及び導電層１２６ｃが設けられている領域全体を、発光デバイス１３０Ｒ、発光デバイス１３０Ｇ及び発光デバイス１３０Ｂの発光領域として用いることができるため、画素の開口率を高めることができる。

［０６１７］

発光デバイス１３０Ｒにおいて、第１の層１１３ａと共通層１１４をまとめてＥＬ層と呼ぶことができる。また、同様に、発光デバイス１３０Ｇにおいて、第２の層１１３ｂと共通層１１４をまとめてＥＬ層と呼ぶこともできる。また、同様に、発光デバイス１３０Ｂにおいて、第３の層１１３ｃと共通層１１４をまとめてＥＬ層と呼ぶことができる。

［０６１８］

本実施の形態の発光デバイスの構成に、特に限定はなく、シングル構造であってもタンデム構造であってもよい。

［０６１９］

発光デバイスは、シングル構造と、タンデム構造とに大別することができる。シングル構造のデバイスは、一対の電極間に１つの発光ユニットを有し、当該発光ユニットは、１以上の発光層を含む構成とすることが好ましい。２つの発光層を用いて白色発光を得る場合、２つの発光層の各々の発光色が補色の関係となるような発光層を選択することが好ましい。例えば、第１の発光層の発光色と第２の発光層の発光色を補色の関係になるようにすることで、発光デバイス全体として白色発光する構成を得ることができる。また、３つ以上の発光層を用いて白色発光を得る場合、３つ以上の発光層のそれぞれの発光色があわさることで発光デバイス全体として白色発光することができる構成とすることが好ましい。

［０６２０］

タンデム構造のデバイスは、一対の電極間に２つ以上の複数の発光ユニットを有し、各発光ユニットは、１つ以上の発光層を含む構成とすることが好ましい。白色発光を得るには、複数の発光ユニッ

トの発光層からの光を合わせて白色発光が得られる構成とすることが好ましい。なお、白色発光が得られる構成については、シングル構造の構成と同様である。なお、タンデム構造のデバイスにおいて、複数の発光ユニットの間には、電荷発生層などの中間層を設けると好適である。

［０６２１］

また、上述の白色発光デバイス（シングル構造またはタンデム構造）と、ＳＢＳ構造の発光デバイスと、を比較した場合、ＳＢＳ構造の発光デバイスは、白色発光デバイスよりも消費電力を低くすることができる。消費電力を低く抑えたい場合は、ＳＢＳ構造の発光デバイスを用いると好適である。一方で、白色発光デバイスは、製造プロセスがＳＢＳ構造の発光デバイスよりも簡単であるため、製造コストを低くすることができる、又は製造歩留まりを高くすることができるため、好適である。

［０６２２］

第１の層１１３ａ、第２の層１１３ｂ及び第３の層１１３ｃは、リソグラフィ法により島状に加工されている。そのため、第１の層１１３ａと、第２の層１１３ｂと、第３の層１１３ｃとのそれぞれは、各々の端部において、上面と側面との成す角が９０度に近い形状となる。一方、例えば、ＦＭＭ（ファインメタルマスク、高精細なメタルマスク）を用いて形成された有機膜は、その厚さが端部に近いほど徐々に薄くなる傾向があり、例えば１μｍ以上１０μｍ以下の範囲にわたって、上面がスロープ状に形成されるため、上面と側面の区別が困難な形状となる。

［０６２３］

本明細書等において、メタルマスク又はＦＭＭを用いて作製されるデバイスをMM（メタルマスク）構造のデバイスと呼称する場合がある。また、本明細書等において、メタルマスク又はＦＭＭを用いることなく作製されるデバイスをＭＭＬ（メタルマスクレス）構造のデバイスと呼称する場合がある。例えば、図２９の表示装置ＤＳＰ１Ａにおいて、発光デバイス１３０は、ＦＭＭを用いず、リソグラフィ法を用いて形成されているため、表示装置ＤＳＰ１ＡはＭＭＬ構造のデバイスということができる。

［０６２４］

なお、本明細書等において、各色の発光デバイス（ここでは青（Ｂ）、緑（Ｇ）及び赤（Ｒ））で、発光層を作り分ける、または発光層を塗り分ける構造をＳＢＳ（Ｓｉｄｅ　Ｂｙ　Ｓｉｄｅ）構造と呼ぶ場合がある。また、本明細書等において、白色光を発することのできる発光デバイスを白色発光デバイスと呼ぶ場合がある。なお、白色発光デバイスは、着色層（例えば、カラーフィルタ）と組み合わせることで、フルカラー表示の表示装置とすることができる。

［０６２５］

第１の層１１３ａと、第２の層１１３ｂと、第３の層１１３ｃと、のそれぞれは、上面と側面の区別が明瞭となる。これにより、隣接する第１の層１１３ａと第２の層１１３ｂにおいて、第１の層１１３ａの側面の一と、第２の層１１３ｂの側面の一は、互いに対向して配置される。これは、第１の層１１３ａ、第２の層１１３ｂ及び第３の層１１３ｃのうちいずれの組み合わせにおいても同様である。

［０６２６］

第１の層１１３ａと、第２の層１１３ｂと、第３の層１１３ｃと、は少なくとも発光層を有する。例えば、第１の層１１３ａが、赤色の光を発する発光層を有し、第２の層１１３ｂが緑色の光を発する発光層を有し、第３の層１１３ｃが、青色の光を発する発光層を有する構成であると好ましい。また、それぞれの発光層は、上記以外の色としては、シアン、マゼンタ、黄又は白を適用することがで

きる。

［０６２７］

第１の層１１３ａと、第２の層１１３ｂと、第３の層１１３ｃと、のそれぞれは、発光層と、発光層上のキャリア輸送層（電子輸送層または正孔輸送層）と、を有することが好ましい。第１の層１１３ａと、第２の層１１３ｂと、第３の層１１３ｃと、のそれぞれの表面は、表示装置の作製工程中に露出する場合があるため、キャリア輸送層を発光層上に設けることで、発光層が最表面に露出することを抑制し、発光層が受けるダメージを低減することができる。これにより、発光デバイスの信頼性を高めることができる。

［０６２８］

共通層１１４は、例えば電子注入層又は正孔注入層を有する。または、共通層１１４は、電子輸送層と電子注入層とを積層して有していてもよく、正孔輸送層と正孔注入層とを積層して有していてもよい。共通層１１４は、発光デバイス１３０Ｒ、発光デバイス１３０Ｇ及び発光デバイス１３０Ｂで共有されている。

［０６２９］

また、共通電極１１５は、発光デバイス１３０Ｒ、発光デバイス１３０Ｇ及び発光デバイス１３０Ｂで共有されている。また、図２９に示すように、複数の発光デバイスが共通して有する共通電極１１５は、接続部１４０に含まれている導電体に接する。

［０６３０］

絶縁層１２５は、水及び酸素の一方又は双方に対するバリア絶縁層としての機能を有することが好ましい。また、絶縁層１２５は、水及び酸素の一方又は双方の拡散を抑制する機能を有することが好ましい。また、絶縁層１２５は、水及び酸素の一方又は双方を捕獲する機能、あるいは固着する（ゲッタリングともいう）機能を有することが好ましい。絶縁層１２５が、バリア絶縁層としての機能、又はゲッタリング機能を有することで、外部から各発光デバイスに拡散しうる不純物（代表的には、水及び酸素の一方又は双方）の侵入を抑制することが可能な構成となる。当該構成とすることで、信頼性の高い発光デバイス、さらには、信頼性の高い表示パネルを提供することができる。

［０６３１］

また、絶縁層１２５は、不純物濃度が低いことが好ましい。これにより、絶縁層１２５からＥＬ層に不純物が混入し、ＥＬ層が劣化することを抑制することができる。また、絶縁層１２５において、不純物濃度を低くすることで、水及び酸素の一方又は双方に対するバリア性を高めることができる。例えば、絶縁層１２５は、水素濃度及び炭素濃度の一方、又は双方が十分に低いことが望ましい。

［０６３２］

絶縁層１２７としては、有機材料を有する絶縁層を好適に用いることができる。有機材料としては、感光性の有機樹脂を用いることが好ましく、例えば、アクリル樹脂を含む感光性の樹脂組成物を用いればよい。また、絶縁層１２７の材料の粘度は、１ｃＰ以上１５００ｃＰ以下とすることが好ましく、１ｃＰ以上１２ｃＰ以下とすることがより好ましい。絶縁層１２７の材料の粘度を上記の範囲にすることで、後述するテーパ形状を有する絶縁層１２７を、比較的容易に形成することができる。なお、本明細書などにおいて、アクリル樹脂とは、ポリメタクリル酸エステル、またはメタクリル樹脂だけを指すものではなく、広義のアクリル系ポリマー全体を指す場合がある。

［０６３３］

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面に対して傾

斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面とがなす角（テーパ角ともいう）が９０度未満である領域を有すると好ましい。

［０６３４］

なお、絶縁層１２７は、後述するように側面にテーパ形状を有していればよく、絶縁層１２７に用いることができる有機材料は上記に限られるものではない。例えば、絶縁層１２７には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、イミド樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、又はこれら樹脂の前駆体を適用することができる場合がある。また、絶縁層１２７として、ポリビニルアルコール（ＰＶＡ）、ポリビニルブチラール（ＰＶＢ）、ポリビニルピロリドン、ポリエチレングリコール、ポリグリセリン、プルラン、水溶性のセルロース、またはアルコール可溶性のポリアミド樹脂といった有機材料を適用することができる場合がある。また、絶縁層１２７には、例えば、感光性の樹脂として、フォトレジストを用いることができる場合がある。なお、感光性の樹脂としては、ポジ型の材料又はネガ型の材料が挙げられる。

［０６３５］

絶縁層１２７には可視光を吸収する材料を用いてもよい。絶縁層１２７が発光デバイスからの発光を吸収することで、発光デバイスから絶縁層１２７を介して隣接する発光デバイスに光が漏れること（迷光）を抑制することができる。これにより、表示パネルの表示品位を高めることができる。また、表示パネルに偏光板を用いなくても、表示品位を高めることができるため、表示パネルの軽量化及び薄型化を図ることができる。

［０６３６］

可視光を吸収する材料としては、黒色などの顔料を含む材料、染料を含む材料、光吸収性を有する樹脂材料（例えば、ポリイミドなど）及びカラーフィルタに用いることのできる樹脂材料（カラーフィルタ材料と呼ばれる場合がある）が挙げられる。特に、２色又は３色以上のカラーフィルタ材料を積層または混合した樹脂材料を用いると、可視光の遮蔽効果を高めることができるため好ましい。特に３色以上のカラーフィルタ材料を混合させることで、黒色または黒色近傍の樹脂層とすることが可能となる。

［０６３７］

絶縁層１２７は、例えば、スピンコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート又はナイフコートといった湿式の成膜方法を用いて形成することができる。特に、スピンコートにより、絶縁層１２７となる有機絶縁膜を形成することが好ましい。

［０６３８］

絶縁層１２７は、ＥＬ層の耐熱温度よりも低い温度で形成する。絶縁層１２７を形成する際の基板温度としては、代表的には、２００℃以下とすることが好ましく、１８０℃以下とすることがより好ましく、１６０℃以下とすることが更に好ましく、１５０℃以下とすることが更に好ましく、１４０℃以下とすることが更に好ましい。

［０６３９］

以下では、発光デバイス１３０Ｒと発光デバイス１３０Ｇの間の絶縁層１２７の構造を例に挙げて、絶縁層１２７などの構造について説明を行う。なお、発光デバイス１３０Ｇと発光デバイス１３０Ｂの間の絶縁層１２７と、発光デバイス１３０Ｂと発光デバイス１３０Ｒの間の絶縁層１２７と、

についても同様のことが言える。また、以下では、第２の層１１３ｂ上の絶縁層１２７の端部を例に挙げて説明する場合があるが、第１の層１１３ａ上の絶縁層１２７の端部と、第３の層１１３ｃ上の絶縁層１２７の端部と、についても同様のことが言える。

［０６４０］

絶縁層１２７は、表示装置の断面視において、側面にテーパ角　θ１のテーパ形状を有することが好ましい。テーパ角　θ１は、絶縁層１２７の側面と基板面のなす角である。ただし、基板面に限らず、絶縁層１２５の平坦部の上面又は第２の層１１３ｂの平坦部の上面と、絶縁層１２７の側面と、のなす角としてもよい。また、絶縁層１２７の側面をテーパ形状にすることにより、絶縁層１２５の側面と、マスク層１１８ａの側面と、もテーパ形状となる場合がある。

［０６４１］

絶縁層１２７のテーパ角　θ１は、９０度未満であり、６０度以下が好ましく、４５度以下がより好ましい。絶縁層１２７の側面端部をこのような順テーパ形状にすることで、絶縁層１２７の側面端部上に設けられる、共通層１１４及び共通電極１１５に、段切れ、または局所的な薄膜化などを生じさせることなく、被覆性良く成膜することができる。これにより、共通層１１４及び共通電極１１５の面内均一性を向上させることができるので、表示装置の表示品位を向上させることができる。

［０６４２］

また、表示装置の断面視において、絶縁層１２７の上面は凸曲面形状を有することが好ましい。絶縁層１２７の上面の凸曲面形状は、中心に向かってなだらかに膨らんだ形状であることが好ましい。また、絶縁層１２７上面の中心部の突曲面部が、側面端部のテーパ部に滑らかに接続される形状であることが好ましい。絶縁層１２７をこのような形状にすることで、絶縁層１２７上全体で、共通層１１４及び共通電極１１５を被覆性良く成膜することができる。

［０６４３］

また、絶縁層１２７は、二つのＥＬ層の間の領域（例えば、第１の層１１３ａと第２の層１１３ｂとの間の領域）に形成される。このとき、絶縁層１２７の一部が、一方のＥＬ層（例えば、第１の層１１３ａ）の側面端部と、もう一方のＥＬ層（例えば、第２の層１１３ｂ）の側面端部に挟まれる位置に配置されることになる。

［０６４４］

また、絶縁層１２７の一方の端部が画素電極として機能する導電層１２６ａと重なり、絶縁層１２７の他方の端部が画素電極として機能する導電層１２６ｂと重なることが好ましい。このような構造にすることで、絶縁層１２７の端部を第１の層１１３ａ（第２の層１１３ｂ）の概略平坦な領域の上に形成することができる。よって、絶縁層１２７のテーパ形状を、上記の通り加工することが比較的容易になる。

［０６４５］

以上のように、絶縁層１２７などを設けることにより、第１の層１１３ａの概略平坦な領域から第２の層１１３ｂの概略平坦な領域まで、共通層１１４及び共通電極１１５に段切れ箇所、及び局所的に膜厚が薄い箇所が形成されるのを防ぐことができる。よって、各発光デバイス間において、共通層１１４及び共通電極１１５に、段切れ箇所に起因する接続不良、及び局所的に膜厚が薄い箇所に起因する電気抵抗の上昇が発生するのを抑制することができる。

［０６４６］

本実施の形態の表示装置は、発光デバイス間の距離を狭くすることができる。具体的には、発光デ

バイス間の距離、ＥＬ層間の距離又は画素電極間の距離を、１０μｍ未満、８μｍ以下、５μｍ以下、３μｍ以下、２μｍ以下、１μｍ以下、５００ｎｍ以下、２００ｎｍ以下、１００ｎｍ以下、９０ｎｍ以下、７０ｎｍ以下、５０ｎｍ以下、３０ｎｍ以下、２０ｎｍ以下、１５ｎｍ以下又は１０ｎｍ以下とすることができる。別言すると、本実施の形態の表示装置は、隣接する２つの島状のＥＬ層の間隔が１μｍ以下の領域を有し、好ましくは０．５μｍ（５００ｎｍ）以下の領域を有し、さらに好ましくは１００ｎｍ以下の領域を有する。このように、各発光デバイス間の距離を狭めることで、高い精細度と、大きな開口率を有する表示装置を提供することができる。

［０６４７］

発光デバイス１３０上には、保護層１３１が設けられている。保護層１３１は、発光デバイス１３０を保護するパッシベーション膜として機能する膜である。発光デバイスを覆う保護層１３１を設けることで、発光デバイスに水及び酸素といった不純物が入り込むことを抑制し、発光デバイス１３０の信頼性を高めることができる。保護層１３１には、例えば、酸化アルミニウム、窒化シリコン又は窒化酸化シリコンを用いることができる。

［０６４８］

保護層１３１と、基板１１０と、は接着層１０７を介して接着されている。発光デバイスの封止には、固体封止構造または中空封止構造などが適用できる。図２９では、基板３１０と基板１１０との間の空間が、接着層１０７で充填されており、固体封止構造が適用されている。または、当該空間を不活性ガス（窒素又はアルゴンなど）で充填し、中空封止構造を適用してもよい。このとき、接着層１０７は、発光デバイスと重ならないように設けられていてもよい。また、当該空間を、枠状に設けられた接着層１０７とは異なる樹脂で充填してもよい。

［０６４９］

接着層１０７には、紫外線硬化型の光硬化型接着剤、反応硬化型接着剤、熱硬化型接着剤又は嫌気型接着剤といった各種硬化型接着剤を用いることができる。これら接着剤としては、例えば、エポキシ樹脂、アクリル樹脂、シリコーン樹脂、フェノール樹脂、ポリイミド樹脂、イミド樹脂、ＰＶＣ（ポリビニルクロライド）樹脂、ＰＶＢ（ポリビニルブチラール）樹脂、ＥＶＡ（エチレンビニルアセテート）樹脂が挙げられる。特に、エポキシ樹脂の透湿性が低い材料が好ましい。また、二液混合型の樹脂を用いてもよい。また、接着シートを用いてもよい。

［０６５０］

表示装置ＤＳＰ１Ａは、トップエミッション型である。発光デバイスが発する光は、基板１１０側に射出される。そのため、基板１１０には、可視光に対する透過性が高い材料を用いることが好ましい。例えば、基板１１０には、基板３１０及び基板ＢＳに適用できる基板のうち、可視光に対する透過性が高い基板を選択することが好ましい。画素電極は可視光を反射する材料を含み、対向電極（共通電極１１５）は可視光を透過する材料を含む。

［０６５１］

なお、本発明の一態様の表示装置は、トップエミッション型ではなく、発光デバイスが発する光が基板３１０側に射出されるボトムエミッション型としてもよい。なお、この場合、基板３１０には、可視光に対する透過性が高い基板を選択することが好ましい。

［０６５２］

また、本発明の一態様の駆動回路を用いて、有機ＥＬ材料を含む発光デバイスを有する画素回路を駆動させてもよい。また、このとき、ＰＷＭ駆動で当該画素回路を駆動させてもよい。ＰＷＭ駆動で

は、１フレームの期間に、発光デバイスが発光する期間と発光しない期間とが存在する、換言すると、有機ＥＬ材料を含む発光デバイスに電流が流れる期間と流れない期間が存在する。このため、ＰＷＭ駆動で有機ＥＬ材料を含む発光デバイスを発光させた場合、１フレームあたりの画像を表示させるための電流量が低減し、当該発光デバイスの負荷を減らすことができるため、結果として、表示領域ＤＩＳへの焼き付きなどの問題を防ぐことができる。

［０６５３］

次に、図２５の表示装置ＤＳＰ１Ｃと、図２８の表示装置ＤＳＰ１Ｄと、図２９の表示装置ＤＳＰ１Ａと、と異なる、図２３Ａに示す表示装置ＤＳＰ１の断面視における構成例について説明する。

［０６５４］

図３１に示す表示装置ＤＳＰ１Ｂは、図２３Ａに示す表示装置ＤＳＰ１の断面視における構成例であって、透過型液晶素子を含む表示装置（液晶表示装置と呼ばれる場合がある）である。

［０６５５］

表示装置ＤＳＰ１Ｂは、基板３１０と基板６１０とを有し、基板３１０と基板６１０とによって、液晶素子を含む画素回路と駆動回路とが挟持されている。

［０６５６］

表示装置ＤＳＰ１Ｂは、一例として、光源であるバックライト（図示しない）の光を、後述する液晶素子６１３ａ乃至液晶素子６１３ｃを介することによって、画像を表示することができる。このため、基板３１０及び基板６１０は、図２９で説明した表示装置ＤＳＰ１Ａの基板３１０に適用できる基板のうち、可視光に対する透過性が高い基板を用いることが好ましい。

［０６５７］

図３１において、表示素子である液晶素子６１３ａは、第１の電極としての機能を有する導電層１１２ａと、第２の電極としての機能を有する導電層６３１と、液晶層６０８と、を有する。同様に、液晶素子６１３ｂは、第１の電極としての機能を有する導電層１１２ｂと、第２の電極としての機能を有する導電層６３１と、液晶層６０８と、を有し、また、液晶素子６１３ｃは、第１の電極としての機能を有する導電層１１２ｃと、第２の電極としての機能を有する導電層６３１と、液晶層６０８と、を有する。

［０６５８］

なお、以後、液晶素子６１３ａ乃至液晶素子６１３ｃをまとめて液晶素子６１３と呼称する。

［０６５９］

また、表示装置ＤＳＰ１Ｂには、液晶層６０８を挟持するように配向膜としての機能を有する絶縁層６３２及び絶縁層６３３が設けられている。導電層６３１は基板６１０側に設けられ、導電層１１２ａ乃至導電層１１２ｃと、導電層６３１と、は、液晶層６０８を介して、互いに重畳している。また、液晶層６０８は、基板３１０側と基板６１０側と接着する機能を有する封止材６０５によって封止されている。表示領域ＤＩＳに設けられたトランジスタＭＮｘは、液晶素子６１３に接続されている。

［０６６０］

導電層１１２ａ乃至導電層１１２ｃ及び導電層６３１には、可視光を透過する導電性材料を用いることが好適である。当該導電性材料としては、例えば、インジウム（Ｉｎ）、亜鉛（Ｚｎ）、錫（Ｓｎ）から選ばれた一種以上を含む材料を用いることができる。具体的には、酸化インジウム、酸化錫インジウム（ＩＴＯ）、インジウム亜鉛酸化物、酸化タングステンを含むインジウム酸化物、酸化タ

ングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、酸化シリコンを含むインジウム錫酸化物（ＩＴＳＯ）、酸化亜鉛、ガリウムを含む酸化亜鉛等が挙げられる。なお、導電層１１２ａ乃至導電層１１２ｃ及び導電層６３１には、グラフェンを含む膜を用いることができる。グラフェンを含む膜は、例えば絶縁体、導電体などの膜上に形成された酸化グラフェンを含む膜を還元して形成することができる。

［０６６１］

また、図２５の表示装置ＤＳＰ１Ｃ、並びに図２０Ａ及び図２０ＢのトランジスタＭ１３とトランジスタＭ２４とトランジスタＭ２５において、絶縁層ＩＳ１乃至絶縁層ＩＳ３、絶縁層ＧＩ１、導電層ＭＥ１乃至導電層ＭＥ３、半導体層ＳＣ１、絶縁層５７４、絶縁層５８１、絶縁層５９２、絶縁層５９４、絶縁層５９８、絶縁層５９９、導電層５９６及び導電層ＭＰＧのそれぞれには、光源であるバックライト（図示しない）の光を透過させるため、透光性の高い材料を用いることが好ましい。

［０６６２］

液晶素子６１３としては、例えば、ＦＦＳ（Ｆｒｉｎｇｅ　Ｆｉｅｌｄ　Ｓｗｉｔｃｈｉｎｇ）モードが適用された液晶素子とすることができる。また、一般的に、液晶材料には、誘電率の異方性（Δε）が正であるポジ型の液晶材料と、負であるネガ型の液晶材料がある。本実施の形態に示す、液晶素子６１３には、両者の材料を適用することができ、適用するモード及び設計に応じて最適な液晶材料を用いることができる。

［０６６３］

本実施の形態に示す表示装置では、ネガ型の液晶材料を用いることが好ましい。ネガ型液晶では、液晶分子の分極に由来するフレクソエレクトリック効果の影響を抑制でき、極性による透過率の差がほとんどない。したがって、表示装置の使用者からフリッカーが視認されることを抑制できる。フレクソエレクトリック効果とは、主に分子形状に起因し、配向歪みにより分極が発生する現象である。ネガ型の液晶材料は、広がり変形及び曲げ変形の配向歪みが生じにくい。

［０６６４］

なお、ここでは液晶素子６１３としてＦＦＳモードが適用された素子を用いたが、これに限られず様々なモードが適用された液晶素子を用いることができる。例えば、ＶＡ（Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）モード、ＴＮ（Ｔｗｉｓｔｅｄ　Ｎｅｍａｔｉｃ）モード、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈｉｎｇ）モード、ＡＳＭ（Ａｘｉａｌｌｙ　Ｓｙｍｍｅｔｒｉｃ　ａｌｉｇｎｅｄ　Ｍｉｃｒｏ－ｃｅｌｌ）モード、ＯＣＢ（Ｏｐｔｉｃａｌｌｙ　Ｃｏｍｐｅｎｓａｔｅｄ　Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＦＬＣ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ　Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ）モード、ＡＦＬＣ（ＡｎｔｉＦｅｒｒｏｅｌｅｃｔｒｉｃ　Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ）モード、ＥＣＢ（Ｅｌｅｃｔｒｉｃａｌｌｙ　Ｃｏｎｔｒｏｌｌｅｄ　Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＶＡ－ＩＰＳモード、ゲストホストモード等が適用された液晶素子を用いることができる。

［０６６５］

また、本実施の形態に示す表示装置にノーマリーブラック型の液晶表示装置、例えば垂直配向（ＶＡ）モードを採用した透過型の液晶表示装置を適用してもよい。垂直配向モードとしては、ＭＶＡ（Ｍｕｌｔｉ－Ｄｏｍａｉｎ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）モード、ＰＶＡ（Ｐａｔｔｅｒｎｅｄ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）モード、ＡＳＶ（Ａｄｖａｎｃｅｄ　Ｓｕｐｅｒ　Ｖｉｅｗ）モードなどを用いることができる。

［０６６６］

なお、液晶素子は、液晶の光学変調作用によって光の透過または非透過を制御する素子である。液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界または斜め方向の電界を含む）によって制御される。液晶素子に用いる液晶としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（ＰＤＬＣ：Ｐｏｌｙｍｅｒ　Ｄｉｓｐｅｒｓｅｄ　Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ）、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

［０６６７］

図３１では、縦電界方式の液晶素子を有する表示装置の例を示したが、本発明の一態様には、横電界方式の液晶素子を有する表示装置を適用することができる。横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために５重量％以上のカイラル剤を混合させた液晶組成物を液晶層６０８に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性を示す。また、ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良または破損を軽減することができる。

［０６６８］

スペーサ６３５は絶縁層を選択的にエッチングすることで得られる柱状のスペーサであり、導電層１１２ａ乃至導電層１１２ｃと導電層６３１との間隔（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いていてもよい。

［０６６９］

また、必要に応じて、ブラックマトリクス（遮光層）、着色層（カラーフィルタ）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などを適宜設けてもよい。例えば、偏光基板および位相差基板による円偏光を用いてもよい。また、光源としてバックライトユニット、サイドライトユニットなどを用いてもよい（図示しない）。また、上記バックライトユニット及びサイドライトユニットとして、マイクロＬＥＤなどを用いてもよい。図３１に図示された表示装置の場合、例えば、基板６１０の表面側（着色層６６６Ｒと着色層６６６Ｇと着色層６６６Ｂと遮光層６４２とが設けられた面の反対側）と、基板３１０の裏面側（トランジスタＭＮｘ及びトランジスタＭＮｙが設けられた面の反対側）と、にそれぞれ偏光基板を設け、基板３１０の裏面側に、偏光基板を介して、バックライトユニットを設けた構成とすることが好ましい（図示しない）。

［０６７０］

図３１に示す表示装置では、基板６１０と導電層６３１の間に、遮光層６４２、着色層６６６Ｒ、着色層６６６Ｇ、着色層６６６Ｂ及び絶縁層６４１が設けられている。

［０６７１］

遮光層６４２として用いることのできる材料としては、カーボンブラック、チタンブラック、金属、金属酸化物、複数の金属酸化物の固溶体を含む複合酸化物等が挙げられる。遮光層は、樹脂材料を含む膜であってもよいし、金属などの無機材料の薄膜であってもよい。また、遮光層６４２には、着色層６６６Ｒ乃至着色層６６６Ｂのいずれか一の材料を含む膜の積層膜を用いることもできる。例え

ば、ある色の光を透過する着色層６６６Ｒに用いる材料を含む膜と、他の色の光を透過する着色層６６６Ｇに用いる材料を含む膜との積層構造を用いることができる。着色層６６６Ｒ乃至着色層６６６Ｂと遮光層６４２との材料を共通化することで、装置を共通化できるほか工程を簡略化できるため好ましい。

［０６７２］

着色層６６６Ｒ乃至着色層６６６Ｂに用いることのできる材料としては、金属材料、樹脂材料、顔料または染料が含まれた樹脂材料などが挙げられる。遮光層および着色層の形成方法は、前述した各層の形成方法と同様に行えばよい。例えば、インクジェット法などで行なってもよい。

［０６７３］

絶縁層６４１としては、平坦化機能を有するオーバーコートであることが好ましい。絶縁層６４１が平坦化機能を有することによって、それぞれの厚さが異なる着色層６６６Ｒ乃至着色層６６６Ｂと遮光層６４２との形成面上に、平坦な絶縁膜を形成することができる。絶縁層６４１が平坦化することによって、導電層６３１を平坦に形成することができるため、液晶層６０８の厚さのばらつきを低減することができる。このような絶縁層６４１としては、例えば、アクリル樹脂などが挙げられる。

［０６７４］

＜表示装置の断面構成例２＞

次に、図２３Ｂに示す表示装置ＤＳＰ２の断面視における構成例について説明する。

［０６７５］

図３２に示す表示装置ＤＳＰ２Ｃは、図２３Ｂに示す表示装置ＤＳＰ２の断面視における構成例である。表示装置ＤＳＰ２Ｃは、基板３１０上に画素回路、駆動回路などが設けられた構成となっている。なお、図３２の表示装置ＤＳＰ２Ｃには、図２３Ｂに示している回路領域ＳＩＣと表示領域ＤＩＳに加えて、配線領域ＬＩＮについても図示している。

［０６７６］

回路領域ＳＩＣは、一例として、基板３１０を有し、基板３１０上には、トランジスタ３００ｄが形成されている。また、トランジスタ３００ｄの上方には、配線領域ＬＩＮが設けられており、配線領域ＬＩＮには、トランジスタ３００ｄ、後述するトランジスタ５００ｘ、ＬＥＤパッケージ１７０Ｒ、ＬＥＤパッケージ１７０Ｇ又はＬＥＤパッケージ１７０Ｂと接続する配線が設けられている。また、配線領域ＬＩＮの上方には、表示領域ＤＩＳが設けられており、表示領域ＤＩＳは、一例として、トランジスタ５００ｘと、ＬＥＤパッケージ１７０（図３２では、ＬＥＤパッケージ１７０Ｒ、ＬＥＤパッケージ１７０Ｇ及びＬＥＤパッケージ１７０）などを有する。

［０６７７］

つまり、トランジスタ３００ｄは、回路領域ＳＩＣに含まれているトランジスタとすることができる。また、トランジスタ５００ｘは、画素回路ＰＸに含まれるトランジスタとすることができる。また、発光デバイス１３０は、画素回路ＰＸに含まれる発光デバイスとすることができる。

［０６７８］

また、トランジスタ５００ｘの上方に位置する、ＬＥＤパッケージ１７０（図３２では、ＬＥＤパッケージ１７０Ｒ、ＬＥＤパッケージ１７０Ｇ及びＬＥＤパッケージ１７０）については、図２５のＬＥＤパッケージ１７０の説明を参照することができる。

［０６７９］

基板３１０には、例えば、基板ＢＳに適用できる基板を用いることができる。なお、本実施の形態

では、基板３１０は、シリコンを材料として有する半導体基板として説明する。そのため、回路領域ＳＩＣに含まれるトランジスタは、Ｓｉトランジスタとすることができる。例えば、Ｓｉトランジスタとしては、チャネル形成領域に単結晶シリコンが含まれているトランジスタ、若しくはチャネル形成領域に低温ポリシリコン（ＬＴＰＳ）を含むトランジスタが挙げられる。

［０６８０］

このため、基板３１０上に形成されているトランジスタ３００ｄは、図２５に示すトランジスタＭＮｘ及びトランジスタＭＮｙと構造が異なっている。なお、図３２の表示装置ＤＳＰ２Ｃにおいて、回路領域ＳＩＣに含まれるトランジスタは、図２５に示したトランジスタＭＮｘ及びトランジスタＭＮｙとしてもよい。この場合、基板３１０は、ガラス基板とすることが好ましい。

［０６８１］

表示装置ＤＳＰ２Ｃの画面比率（アスペクト比）については表示装置ＤＳＰ１Ｃの画面比率の説明を参照することができる。また、表示装置ＤＳＰ２Ｃの対角サイズについても、表示装置ＤＳＰ１Ｃの対角サイズの説明を参照することができる。

［０６８２］

トランジスタ３００ｄは、素子分離層３１２と、導電層３１６と、絶縁層３１５と、絶縁層３１７と、基板３１０の一部からなる半導体領域３１３と、ソース領域又はドレイン領域として機能する低抵抗領域３１４ａ及び低抵抗領域３１４ｂと、を有する。このため、トランジスタ３００ｄは、Ｓｉトランジスタとなっている。なお、図３２では、トランジスタ３００ｄのソース又はドレインの一方が、後述する導電層３２８を介して、後述する導電層３３０及び導電層３５６に接続されている構成を示しているが、本発明の一態様の表示装置の電気的な接続構成は、これに限定されない。本発明の一態様の表示装置は、例えば、トランジスタ３００ｄのゲートが、導電層３２８に接続されている構成としてもよい。

［０６８３］

トランジスタ３００ｄは、例えば、半導体領域３１３の上面及びチャネル幅方向の側面が、ゲート絶縁体として機能する絶縁層３１５を介して導電層３１６に覆う構成にすることによって、Ｆｉｎ型にすることができる。トランジスタ３００ｄをＦｉｎ型にすることにより、実効上のチャネル幅が増大することができ、トランジスタ３００ｄのオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ３００ｄのオフ特性を向上させることができる。また、トランジスタ３００ｄは、Ｆｉｎ型でなくプレーナ型としてもよい。

［０６８４］

なお、トランジスタ３００ｄは、ｐチャネル型あるいはｎチャネル型の一方とすることができる。またはトランジスタ３００ｄを複数設け、ｐチャネル型及びｎチャネル型の双方を用いてもよい。

［０６８５］

半導体領域３１３のチャネルが形成される領域と、その近傍の領域と、ソース領域又はドレイン領域となる低抵抗領域３１４ａ及び低抵抗領域３１４ｂと、には、シリコン系半導体を含むことが好ましく、具体的には、単結晶シリコンを含むことが好ましい。又は、上述した各領域は、例えば、ゲルマニウム、シリコンゲルマニウム、ヒ化ガリウム、ヒ化アルミニウムガリウム又は窒化ガリウムを用いて形成されていてもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又は、トランジスタ３００ｄは、例えば、ヒ化ガリウムとヒ化アルミニウムガリウムを用いたＨＥＭＴ（Ｈｉｇｈ　Ｅｌｅｃｔｒｏｎ　Ｍｏｂｉｌｉｔｙ　Ｔ

ｒａｎｓｉｓｔｏｒ）としてもよい。

［０６８６］

ゲート電極として機能する導電層３１６には、ヒ素又はリンといったｎ型の導電性を付与する元素、若しくはホウ又はアルミニウムといったｐ型の導電性を付与する元素を含むシリコンなどの半導体材料を用いることができる。又は、導電層３１６には、例えば、金属材料、合金材料又は金属酸化物材料といった導電性材料を用いることができる。

［０６８７］

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタン、及び窒化タンタルの一方又は双方の材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステン及びアルミニウムの一方又は双方の金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

［０６８８］

素子分離層３１２は、基板３１０上に形成されている複数のトランジスタ同士を分離するために設けられている。素子分離層は、例えば、ＬＯＣＯＳ（Ｌｏｃａｌ　Ｏｘｉｄａｔｉｏｎ　ｏｆ　Ｓｉｌｉｃｏｎ）法、ＳＴＩ（Ｓｈａｌｌｏｗ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ）法又はメサ分離法を用いて形成することができる。

［０６８９］

図３２に示すトランジスタ３００ｄ上には、絶縁層３２０及び絶縁層３２２が、基板３１０側から順に積層して設けられている。

［０６９０］

絶縁層３２０及び絶縁層３２２として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム及び窒化アルミニウムから選ばれた一以上を用いればよい。

［０６９１］

絶縁層３２２は、絶縁層３２０及び絶縁層３２２に覆われているトランジスタ３００ｄなどによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁層３２２の上面は、平坦性を高めるために化学機械研磨（ＣＭＰ）法を用いた平坦化処理により平坦化されていてもよい。

［０６９２］

絶縁層３２０及び絶縁層３２２には、絶縁層３２２より上方に設けられているトランジスタ５００ｘなどと接続する導電層３２８が埋め込まれている。なお、導電層３２８は、プラグ又は配線としての機能を有する。このため、導電層３２８には、前述した導電層ＭＰＧに適用できる材料を用いることができる。

［０６９３］

表示装置ＤＳＰ２Ｃでは、トランジスタ３００ｄ上に配線領域ＬＩＮが設けられている。配線領域ＬＩＮは、例えば、絶縁層３２４と、絶縁層３２６と、導電層３３０と、を有する。

［０６９４］

絶縁層３２２上及び導電層３２８上には、絶縁層３２４と絶縁層３２６とが順に積層して設けられている。また、導電層３２８に重なる領域において、絶縁層３２４と絶縁層３２６とには、開口が

形成されている。また、当該開口には導電層３３０が埋め込まれている。

［０６９５］

なお、例えば、絶縁層３２４は、絶縁層５９２と同様に、水素、酸素及び水から選ばれた一以上に対するバリア性を有する絶縁体を用いることが好ましい。また、絶縁層３２６としては、絶縁層５９４と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。また、絶縁層３２６は、層間絶縁膜及び平坦化膜としての機能を有する。また、絶縁層３２６は、水素、酸素及び水から選ばれた一以上に対するバリア性を有する絶縁層を含むことが好ましい。

［０６９６］

また、絶縁層３２６及び導電層３３０の上方には、絶縁層５１２が積層されている。また、絶縁層５１２上には、トランジスタ５００ｘが設けられている。

［０６９７］

トランジスタ５００ｘは、絶縁層５１２を下地膜として、当該下地膜上に形成された島状の半導体層を活性層とするトランジスタである。また、トランジスタ５００ｘのゲートは、島状の半導体層の一部の上面及び側面を囲むように設けられている。なお、図３２では、島状の半導体層の一部の上面に当該ゲートとして機能する導電層が設けられている。また、島状の半導体層の別の上面には、ソース及びドレインの一方として機能する導電層と、ソース及びドレインの他方として機能する導電層と、が設けられている。なお、ソース及びドレインの一方として機能する導電層と、ソース及びドレインの他方として機能する導電層と、は、当該ゲートを挟むように、設けられている。

［０６９８］

図３２に示すトランジスタ５００ｘは、島状の半導体層と、当該半導体層を覆う層間膜と、を有し、且つ当該層間膜にゲートとしての機能を有する導電層を埋め込むための開口を有する構造となっている。また、当該開口の形成後に、当該導電層を形成することによって、当該導電層は、当該開口の内部に自己整合的に形成される。このように、ゲートが開口の内部に自己整合的に形成されるトランジスタ５００ｘを、本明細書等では、ＴＧＳＡ（Ｔｏｐ　Ｇａｔｅ　Ｓｅｌｆ　Ａｌｉｇｎ）構造のトランジスタ又はＧＬ（Ｇａｔｅ　Ｌａｓｔ）構造のトランジスタと呼ぶ場合がある。

［０６９９］

特に、ＴＧＳＡ構造のトランジスタは、当該開口にゲート絶縁膜としての機能を有する絶縁層の形成後に、ゲートとしての機能を有する導電層が形成される。つまり、当該半導体層と当該導電層との間には、当該絶縁層が位置している。ゲート絶縁膜としての機能を有する当該絶縁層は、トランジスタ５００ｘの電気特性に大きく寄与する。例えば、当該絶縁層の膜厚を厚くした場合（トランジスタＭＮのゲート絶縁膜を厚くした場合）、トランジスタ５００ｘのゲートと半導体層のチャネル形成領域との間の電圧の勾配を緩やかにすることができるため、ゲート電位（ゲートーソース間電圧又はゲートードレイン間電圧と呼ばれる場合がある）に対する耐性を高めることができる。一方で、トランジスタのゲート絶縁膜を薄くした場合、ゲート電位を変化させたときの、ゲートから半導体のチャネル形成領域にかかる電界の変化が速くなるため、トランジスタの駆動周波数を高めることができる。

［０７００］

なお、図３２の表示装置ＤＳＰ２Ｃにおいて、表示領域ＤＩＳに含まれるトランジスタ５００ｘは、図２５に示したトランジスタＭＮｘ及びトランジスタＭＮｙとしてもよい。特に、トランジスタＭＮ

ｘ及びトランジスタＭＮｙのそれぞれのチャネル長は、トランジスタ５００ｘのチャネル長よりも短いため、表示領域ＤＩＳに含まれる画素回路の面積を低減することができる。また、図３２の表示装置ＤＳＰ２Ｃにおいて、表示領域ＤＩＳに含まれるトランジスタ５００ｘのオン電流を大きくしたい場合には、トランジスタ５００ｘをトランジスタＭＮに変更することが好ましい。

［０７０１］

トランジスタ５００ｘの上方には、絶縁層５７４と、絶縁層５８１と、絶縁層５９２と、絶縁層５９４と、絶縁層５９８と、絶縁層５９９と、がこの順に形成されている。また、絶縁層５７４及び絶縁層５８１には、導電層ＭＰＧが埋め込まれており、また、絶縁層５９２及び絶縁層５９４には、導電層５９６が埋め込まれている。

［０７０２］

なお、絶縁層５７４と、絶縁層５８１と、絶縁層５９２と、絶縁層５９４と、絶縁層５９８と、絶縁層５９９と、導電層ＭＰＧと、導電層５９６と、については、図２５の表示装置ＤＳＰ２Ｃの説明を参照することができる。

［０７０３］

＜表示装置の断面構成例３＞

次に、図２３Ｃに示す表示装置ＤＳＰ３の断面視における構成例について説明する。

［０７０４］

図３３に示す表示装置ＤＳＰ３Ｃは、図２３Ｃに示す表示装置ＤＳＰ３の断面視における構成例である。表示装置ＤＳＰ３Ｃは、図２５に示した表示装置ＤＳＰ１Ｃにタッチセンサ機能が設けられた構成となっている。このため、図３３の表示装置ＤＳＰ３Ｃには、図２３Ｃのセンサ領域ＴＰを図示している。

［０７０５］

図３３に示す表示装置ＤＳＰ３Ｃにおいて、樹脂層１４８上、ＬＥＤパッケージ１７０Ｒ上、ＬＥＤパッケージ１７０Ｇ上及びＬＥＤパッケージ１７０Ｂ上には、一例として、絶縁層１０３、導電層１０４、絶縁層１０５及び導電層１０６がこの順に形成されている。

［０７０６］

樹脂層１４７は、有機絶縁材料を含むことが好ましい。有機絶縁材料としては、例えば、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂及びこれら樹脂の前駆体が挙げられる。

［０７０７］

絶縁層１０３は、無機絶縁材料を含むことが好ましい。無機絶縁材料としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム及び酸化ハフニウムといった酸化物または窒化物が挙げられる。

［０７０８］

導電層１０４と導電層１０６は、タッチセンサの電極として機能する。タッチセンサの方式として、相互容量方式を用いる場合では、例えば、導電層１０４及び導電層１０６の一方に、パルス電位が与えられ、他方にアナログデジタル変換回路（ＡＤＣ：Ａｎａｌｏｇ ｔｏ Ｄｉｇｉｔａｌ Ｃｏｎｖｅｒｔｅｒ）又はセンスアンプといった検知回路が接続されている構成にしてもよい。この場合、導電層１０４と導電層１０６の間に容量が形成される。指などが近づくと、容量の大きさが変化する（具体的には、容量が小さくなる）。この容量の変化は、導電層１０４及び導電層１０６の一方にパ

ルス電位を与えたときに、他方に生じる信号の振幅の大きさの変化として表れる。これにより、指などの接触及び近接を検知することができる。

［０７０９］

また、表示装置ＤＳＰ３Ｃにおいて、タッチセンサの方式としては、自己容量方式としてもよい。この場合、表示装置ＤＳＰ３Ｃのセンサ領域ＴＰのタッチセンサの電極としては、導電層１０４及び導電層１０６の一方又は双方が設けられていればよい。

［０７１０］

絶縁層１０５には、例えば、無機絶縁膜又は有機絶縁膜を用いることができる。具体的には、絶縁層１０５には、例えば、アクリル樹脂又はエポキシ樹脂といった樹脂を用いることができる。又は、絶縁層１０５には、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、又は酸化アルミニウムといった無機絶縁材料を用いることができる。なお、絶縁層１０５は、単層構造としてもよいし、積層構造としてもよい。

［０７１１］

本発明の一態様の半導体装置である保持回路を駆動回路に設けることによって、上記で説明した各々の表示装置にとしてて、高い画面解像度、かつ高い精細度を有する表示装置を実現することができる場合がある。具体的には、例えば、ＨＤ（画素数１２８０×７２０）、ＦＨＤ（画素数１９２０×１０８０）、ＷＱＨＤ（画素数２５６０×１４４０）、ＷＱＸＧＡ（画素数２５６０×１６００）、４Ｋ２Ｋ（画素数３８４０×２１６０）、８Ｋ４Ｋ（画素数７６８０×４３２０）の画面解像度の表示装置を実現できる場合がある。また、具体的には、例えば、１００ｐｐｉ以上、３００ｐｐｉ以上、５００ｐｐｉ以上、１０００ｐｐｉ以上、２０００ｐｐｉ以上、３０００ｐｐｉ以上、５０００ｐｐｉ以上、又は６０００ｐｐｉ以上の精細度の表示装置を実現することができる場合がある。

［０７１２］

なお、本実施の形態は、本明細書で示す、同一の、又は他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、その本実施の形態で示す構成、構造、方法などと適宜組み合わせて用いることができる。また、例えば、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

［０７１３］

（実施の形態５）

本実施の形態では、本発明の一態様の表示装置を備えた表示モジュールについて説明する。

［０７１４］

＜表示モジュールの構成例＞

図３４Ａに、表示モジュール１２８０の斜視図を示す。表示モジュール１２８０は、表示装置１０００と、ＦＰＣ１２９０と、を有する。

［０７１５］

表示モジュール１２８０は、基板１２９１及び基板１２９２を有する。表示モジュール１２８０は、表示部１２８１を有する。表示部１２８１は、表示モジュール１２８０における画像を表示する領域であり、後述する画素部１２８４に設けられる各画素からの光を視認できる領域である。

［０７１６］

図３４Ｂに、基板１２９１側の構成を模式的に示した斜視図を示している。基板１２９１上には、

回路部１２８２と、回路部１２８２上の画素回路部１２８３と、画素回路部１２８３上の画素部１２８４と、が積層されている。また、基板１２９１上の画素部１２８４と重ならない部分に、ＦＰＣ１２９０と接続するための端子部１２８５が設けられている。端子部１２８５と回路部１２８２とは、複数の配線により構成される配線部１２８６によって接続されている。

［０７１７］

なお、画素部１２８４及び画素回路部１２８３は、例えば、前述した表示領域ＤＩＳに相当する。また、回路部１２８２は、例えば、前述した回路領域ＳＩＣに相当する。

［０７１８］

画素部１２８４は、周期的に配列した複数の画素１２８４ａを有する。図３４Ｂの右側に、１つの画素１２８４ａの拡大図を示している。画素１２８４ａは、発光色が互いに異なる発光デバイス１４３０ａ、発光デバイス１４３０ｂ及び発光デバイス１４３０ｃを有する。なお、発光デバイス１４３０ａ、発光デバイス１４３０ｂ及び発光デバイス１４３０ｃは、例えば、前述した発光デバイス１３０Ｒ、発光デバイス１３０Ｇ及び発光デバイス１３０Ｂに相当する前述した複数の発光デバイスは、図３４Ｂに示すようにストライプ配列で配置してもよい。また、Ｓストライプ配列、マトリクス配列、デルタ配列、ベイヤー配列及びペンタイル配列といった様々な配列方法を適用することができる。

［０７１９］

画素回路部１２８３は、周期的に配列した複数の画素回路１２８３ａを有する。

［０７２０］

１つの画素回路１２８３ａは、１つの画素１２８４ａが有する３つの発光デバイスの発光を制御する回路である。１つの画素回路１２８３ａは、１つの発光デバイスの発光を制御する回路が３つ設けられる構成としてもよい。例えば、画素回路１２８３ａは、１つの発光デバイスにつき、１つの選択トランジスタと、１つの電流制御用トランジスタ（駆動トランジスタ）と、容量と、を少なくとも有する構成とすることができる。このとき、選択トランジスタのゲートにはゲート信号が、ソース及びドレインの一方にはソース信号が、それぞれ入力される。これにより、アクティブマトリクス型の表示装置が実現されている。

［０７２１］

回路部１２８２は、画素回路部１２８３の各画素回路１２８３ａを駆動する回路を有する。例えば、ゲート線駆動回路及びソース線駆動回路の一方又は双方を有することが好ましい。このほか、演算回路、メモリ回路及び電源回路から選ばれた一以上を有していてもよい。

［０７２２］

ＦＰＣ１２９０は、外部から回路部１２８２にビデオ信号又は電源電位を供給するための配線として機能する。また、ＦＰＣ１２９０上にＩＣが実装されていてもよい。

［０７２３］

表示モジュール１２８０は、画素部１２８４の下側に画素回路部１２８３及び回路部１２８２の一方又は双方が積層された構成とすることができるため、表示部１２８１の開口率（有効表示面積比）を極めて高くすることができる。例えば、表示部１２８１の開口率は、４０％以上１００％未満、好ましくは５０％以上９５％以下、より好ましくは６０％以上９５％以下とすることができる。また、画素１２８４ａを極めて高密度に配置することが可能で、表示部１２８１の精細度を極めて高くすることができる。例えば、表示部１２８１には、１００ｐｐｉ以上、３００ｐｐｉ以上、５００ｐｐｉ以上、１０００ｐｐｉ以上、２０００ｐｐｉ以上、３０００ｐｐｉ以上、５０００ｐｐｉ以上又は

６０００ｐｐｉ以上であって、２００００ｐｐｉ以下又は３００００ｐｐｉ以下の精細度で、画素１２８４ａが配置されることが好ましい。具体的な一例としては、１００ｐｐｉ以上３００００ｐｐｉ以下とすることが好ましく、５００ｐｐｉ以上３００００ｐｐｉ以下とすることがより好ましく、１０００ｐｐｉ以上３００００ｐｐｉ以下とすることが更に好ましく、３０００ｐｐｉ以上３００００ｐｐｉ以下とすることが更に好ましく、５０００ｐｐｉ以上３００００ｐｐｉ以下とすることが更に好ましい。

［０７２４］

本実施の形態で説明した本発明の一態様の表示装置を備えた表示モジュールは、例えば、後の実施の形態で説明する電子機器に備えることができる。

［０７２５］

例えば、表示モジュール１２８０は、極めて高精細であることから、ヘッドマウントディスプレイなどのＶＲ向け機器、又はメガネ型のＡＲ向け機器に好適に用いることができる。例えば、レンズを通して表示モジュール１２８０の表示部を視認する構成の場合であっても、表示モジュール１２８０は極めて高精細な表示部１２８１を有するためにレンズで表示部を拡大しても画素が視認されず、没入感の高い表示を行うことができる。また、表示モジュール１２８０はこれに限られず、比較的小型の表示部を有する電子機器に好適に用いることができる。例えば、腕時計などの装着型の電子機器の表示部に好適に用いることができる。

［０７２６］

なお、本実施の形態は、本明細書で示す、同一の、又は他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、その本実施の形態で示す構成、構造、方法などと適宜組み合わせて用いることができる。また、例えば、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

［０７２７］

（実施の形態６）

本実施の形態では、本発明の一態様を用いて作製された表示装置を備える電子機器について説明する。なお、本実施の形態で例示する電子機器は、表示部に本発明の一態様の表示装置を備えるものである。したがって、高い精細度が実現された電子機器である。

［０７２８］

本発明の一態様は、表示装置と、アンテナ、バッテリ、筐体、カメラ、スピーカ、マイク、タッチパネル又は操作ボタンから選ばれた一以上と、を有する。

［０７２９］

また、本発明の一態様の電子機器は、二次電池を有していてもよく、非接触電力伝送を用いて、二次電池を充電することができると好ましい。

［０７３０］

二次電池としては、例えば、リチウムイオン二次電池（例えば、ゲル状電解質を用いるリチウムポリマー電池（リチウムイオンポリマー電池））、ニッケル水素電池、ニカド電池、有機ラジカル電池、鉛蓄電池、空気二次電池、ニッケル亜鉛電池又は銀亜鉛電池が挙げられる。

［０７３１］

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、

表示部で映像、情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを非接触電力伝送に用いてもよい。

［０７３２］

本発明の一態様の電子機器の表示部には、例えばフルハイビジョン、４Ｋ２Ｋ、８Ｋ４Ｋ、１６Ｋ８Ｋ又はそれ以上の画面解像度を有する映像を表示させることができる。

［０７３３］

電子機器としては、例えば、テレビジョン装置、ノート型のパーソナルコンピュータ、モニタ装置、デジタルサイネージ、パチンコ機及びゲーム機といった比較的大きな画面を備える電子機器が挙げられる。また、電子機器としては、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末又は音響再生装置が挙げられる。

［０７３４］

本発明の一態様が適用された電子機器は、家屋又はビルといった建物の内壁又は外壁が有する平面又は曲面に沿って組み込むことができる。また当該電子機器は、自動車等の内装または外装等が有する平面又は曲面に沿って組み込むことができる。

［０７３５］

［携帯電話］

図３５Ａに示す情報端末５５００は、情報端末の一種である携帯電話（スマートフォン）である。情報端末５５００は、筐体５５１０と、表示部５５１１と、を有しており、入力用インターフェースとして、タッチパネルが表示部５５１１に備えられ、ボタンが筐体５５１０に備えられている。

［０７３６］

［ウェアラブル端末］

図３５Ｂは、ウェアラブル端末の一例である情報端末５９００の外観を示す図である。情報端末５９００は、筐体５９０１、表示部５９０２、操作ボタン５９０３、竜頭５９０４及びバンド５９０５を有する。

［０７３７］

［情報端末］

また、図３５Ｃには、ノート型情報端末５３００が図示されている。図３５Ｃに示すノート型情報端末５３００には、一例として、筐体５３３０ａに表示部５３３１が備えられ、筐体５３３０ｂにキーボード部５３５０が備えられている。

［０７３８］

なお、上述では、電子機器としてスマートフォン、ウェアラブル端末及びノート型情報端末を例として、それぞれ図３５Ａ乃至図３５Ｃに図示したが、スマートフォン、ウェアラブル端末及びノート型情報端末以外の情報端末を適用することができる。スマートフォン、ウェアラブル端末及びノート型情報端末以外の情報端末としては、例えば、ＰＤＡ（Ｐｅｒｓｏｎａｌ　Ｄｉｇｉｔａｌ　Ａｓｓｉｓｔａｎｔ）、デスクトップ用情報端末及びワークステーションが挙げられる。

［０７３９］

［カメラ］

図３５Ｄは、ファインダー８１００を取り付けた状態のカメラ８０００の外観を示す図である。カメラ８０００は、筐体８００１、表示部８００２、操作ボタン８００３及びシャッターボタン８００４を有する。またカメラ８０００には、着脱可能なレンズ８００６が取り付けられている。ファイン

ダー８１００は、筐体８１０１、表示部８１０２及びボタン８１０３を有する。

［０７４０］

なお、カメラ８０００は、レンズ８００６と筐体とが一体となっていてもよい。

［０７４１］

カメラ８０００は、シャッターボタン８００４を押すことにより、若しくはタッチパネルとして機能する表示部８００２をタッチすることにより、撮像することができる。

［０７４２］

筐体８００１は、電極を有するマウントを有し、ファインダー８１００の他、例えば、ストロボ装置を接続することができる。

［０７４３］

筐体８１０１は、カメラ８０００のマウントと係合するマウントにより、カメラ８０００に取り付けられている。ファインダー８１００はカメラ８０００から受信した映像を表示部８１０２に表示させることができる。

［０７４４］

ボタン８１０３は、電源ボタンとしての機能を有する。

［０７４５］

カメラ８０００の表示部８００２及びファインダー８１００の表示部８１０２に、本発明の一態様の表示装置を適用することができる。なお、ファインダーが内蔵されたカメラ８０００であってもよい。

［０７４６］

［ゲーム機］

図３５Ｅは、ゲーム機の一例である携帯ゲーム機５２００の外観を示す図である。携帯ゲーム機５２００は、筐体５２０１、表示部５２０２及びボタン５２０３を有する。

［０７４７］

また、携帯ゲーム機５２００の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ及びヘッドマウントディスプレイに備えられる表示装置によって、出力することができる。

［０７４８］

携帯ゲーム機５２００に上記実施の形態で説明した表示装置を適用することによって、低消費電力の携帯ゲーム機５２００を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路及びモジュールへの影響を少なくすることができる。

［０７４９］

図３５Ｅでは、ゲーム機の一例として携帯ゲーム機を図示しているが、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、据え置き型ゲーム機、娯楽施設（例えば、ゲームセンター及び遊園地）に設置されるアーケードゲーム機、及びスポーツ施設に設置されるバッティング練習用の投球マシンが挙げられる。

［０７５０］

［テレビジョン装置］

図３５Ｆは、テレビジョン装置を示す斜視図である。テレビジョン装置９０００は、筐体９００２、

表示部９００１、スピーカ９００３、操作キー９００５（電源スイッチ、または操作スイッチを含む）、接続端子９００６、及びセンサ９００７（例えば、力、変位、位置、速度、加速度、角速度、回転数、距離、光（赤外線を含む）、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動又はにおいを測定する機能を含むもの。又は、例えば、におい又は光（赤外線を含む）を検知又は検出する機能を含むもの。）を有する。本発明の一態様の記憶装置は、テレビジョン装置に備えることができる。テレビジョン装置は、例えば、５０インチ以上又は１００インチ以上の表示部９００１を組み込むことが可能である。

［０７５１］

テレビジョン装置９０００に上記実施の形態で説明した表示装置を適用することによって、低消費電力のテレビジョン装置９０００を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路及びモジュールへの影響を少なくすることができる。

［０７５２］

［移動体］

本発明の一態様の表示装置は、移動体である自動車の運転席周辺に適用することもできる。

［０７５３］

図３５Ｇは、自動車の室内におけるフロントガラス周辺を表す図である。図３５Ｇでは、ダッシュボードに取り付けられた表示パネル５７０１、表示パネル５７０２、表示パネル５７０３の他、ピラーに取り付けられた表示パネル５７０４を図示している。

［０７５４］

表示パネル５７０１乃至表示パネル５７０３は、ナビゲーション情報、スピードメーター、タコメーター、走行距離、燃料計、ギア状態又は空調の設定といった様々な情報を表示することができる。また、表示パネルに表示される表示項目及びレイアウトは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル５７０１乃至表示パネル５７０３は、照明装置として用いることも可能である。

［０７５５］

表示パネル５７０４には、車体に設けられた撮像手段からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像手段からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル５７０４は、照明装置として用いることもできる。

［０７５６］

本発明の一態様の表示装置は、例えば、表示パネル５７０１乃至表示パネル５７０４に適用できる。

［０７５７］

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船及び飛行体（例えば、ヘリコプター、無人航空機（ドローン）、飛行機、及びロケット）も挙げることができ、これらの移動体に本発明の一態様の表示装置を適用することができる。

［０７５８］

［電子看板］

図３５Ｈは、壁に取り付けが可能な電子看板（デジタルサイネージ）の例を示している。図３５Ｈは、電子看板６２００が壁６２０１に取り付けられている様子を示している。本発明の一態様の表示装置は、例えば、電子看板６２００の表示部に適用することができる。また、電子看板６２００には、タッチパネルなどのインターフェースなどが設けられていてもよい。

［０７５９］

なお、上述では、電子看板の一例として、壁に取り付けが可能な電子機器の例を示しているが、電子看板の種類はこれに限定されない。例えば、電子看板としては、柱に取り付けるタイプ、地面に置くスタンドタイプ、又は建築物の屋上若しくは側壁に設置するタイプが挙げられる。

［０７６０］

［ヘッドマウントディスプレイ］

図３５Ｉは、例えばＶＲ向けのヘッドマウントディスプレイである電子機器８３００の外観を示す図である。電子機器８３００は、筐体８３０１と、表示部８３０２と、バンド状の固定具８３０４と、頭部に装着する固定具８３０４ａと、一対のレンズ８３０５と、を有する。

［０７６１］

また、図３５Ｉには図示していないが、電子機器８３００は、操作ボタン又は電源ボタンといったインターフェースが備えられていてもよい。

［０７６２］

使用者は、レンズ８３０５を通して、表示部８３０２の表示を視認することができる。なお、表示部８３０２を湾曲して配置させると、使用者が高い臨場感を感じることができるため好ましい。また、表示部８３０２の異なる領域に表示された別の画像を、レンズ８３０５を通して視認することで、視差を用いた３次元表示を行うこともできる。なお、表示部８３０２を１つ設ける構成に限らず、表示部８３０２を２つ設け、使用者の片方の目につき１つの表示部を配置してもよい。

［０７６３］

なお、表示部８３０２には、例えば、極めて精細度が高い表示装置を用いることが好ましい。表示部８３０２に精細度が高い表示装置を用いることによって、レンズ８３０５を用いて拡大したとしても、使用者に画素が視認されることなく、より現実感の高い映像を表示することができる。

［０７６４］

また、本発明の一態様の電子機器である、ヘッドマウントディスプレイは、図３５Ｉのようなゴーグル型のヘッドマウントディスプレイである電子機器８３００ではなく、グラス型のヘッドマウントディスプレイである電子機器の構成であってもよい。特に、グラス型のヘッドマウントディスプレイは、ＡＲ向けの電子機器として好適である。

［０７６５］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

［０７６６］

（実施の形態７）

本実施の形態では、上記実施の形態で説明した駆動回路を記憶装置に適用した構成例と、当該記憶装置を適用した電子機器と、を説明する。

［０７６７］

＜記憶装置の構成例＞

例えば、実施の形態１で説明した、駆動回路ＳＤは、記憶装置に備わる行デコーダ、行ドライバ、列デコーダ、列ドライバ等に設けることができる。また、上記実施の形態で説明したトランジスタなどは、記憶装置２００に備わるトランジスタに適用することができる。

［０７６８］

特に、実施の形態１で説明した駆動回路ＳＤは高い駆動周波数で動作することが可能である。このため、当該駆動回路を記憶装置に適用した場合、記憶装置の書き込み動作又は読み出し動作を高速で行うことができる場合がある。

［０７６９］

図３６Ａに、記憶装置２００の構成例を示す斜視概略図を示す。図３６Ｂに、記憶装置２００の構成例を示すブロック図を示す。記憶装置２００は、駆動回路層５０と、Ｎ層（Ｎは１以上の整数）の記憶層６０と、を有する。また、１つの層の記憶層６０は、ｍ行ｎ列のマトリクス状に配置されている複数のメモリセル１０を有する。なお、図３６Ｂには、記憶層６０＿ｋにメモリセル１０［１，１］、メモリセル１０［ｍ，１］（ここでのｍは１以上の整数とする）、メモリセル１０［１，ｎ］（ここでのｎは１以上の整数とする）、メモリセル１０［ｍ，ｎ］、メモリセル１０［ｉ，ｊ］（ここでのｉは１以上ｍ以下の整数とし、ここでのｊは１以上ｎ以下の整数とする）が配置されている例を示している。

［０７７０］

Ｎ層の記憶層６０は駆動回路層５０上に設けられる。Ｎ層の記憶層６０を駆動回路層５０上に設けることで、記憶装置２００の占有面積を低減できる。また、単位面積当たりの記憶容量を高めることができる。

［０７７１］

本実施の形態では、１層目の記憶層６０を記憶層６０＿１と示し、２層目の記憶層６０を記憶層６０＿２と示し、３層目の記憶層６０を記憶層６０＿３と示す。また、ｋ層目（ｋは１以上Ｎ以下の整数とする）の記憶層６０を記憶層６０＿ｋと示し、Ｎ層目の記憶層６０を記憶層６０＿Ｎと示す。なお、本実施の形態などにおいて、Ｎ層の記憶層６０全体に係る事柄を説明する場合、またはＮ層ある記憶層６０の各層に共通の事柄を示す場合に、単に「記憶層６０」と表記する場合がある。

［０７７２］

＜＜駆動回路層５０の構成例＞＞

駆動回路層５０は、ＰＳＷ２３Ａ（パワースイッチ）、ＰＳＷ２３Ｂ及び周辺回路３１を有する。周辺回路３１は、周辺回路４１、コントロール回路３２及び電圧生成回路３３を有する。

［０７７３］

記憶装置２００において、各回路、各信号及び各電圧は、必要に応じて、適宜取捨することができる。あるいは、他の回路又は他の信号を追加してもよい。信号ＢＷ、信号ＣＥ、信号ＧＷ、信号ＣＬＣＫ、信号ＷＡＫＥ、信号ＡＤＤＲ、信号ＷＤＡ、信号ＰＯＮ１及び信号ＰＯＮ２は外部からの入力信号であり、信号ＲＤＡは外部への出力信号である。信号ＣＬＣＫはクロック信号である。

［０７７４］

また、信号ＢＷ、信号ＣＥ及び信号ＧＷは制御信号である。信号ＣＥはチップイネーブル信号であり、信号ＧＷはグローバル書き込みイネーブル信号であり、信号ＢＷはバイト書き込みイネーブル信号である。信号ＡＤＤＲはアドレス信号である。信号ＷＤＡは書き込みデータであり、信号ＲＤＡは

読み出しデータである。信号ＰＯＮ１及び信号ＰＯＮ２は、パワーゲーティング制御用信号である。なお、信号ＰＯＮ１及び信号ＰＯＮ２は、コントロール回路３２で生成してもよい。

［０７７５］

コントロール回路３２は、記憶装置２００の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路は、信号ＣＥ、信号ＧＷ及び信号ＢＷを論理演算して、記憶装置２００の動作モード（例えば、書き込み動作及び読み出し動作）を決定する。または、コントロール回路３２は、この動作モードが実行されるように、周辺回路４１の制御信号を生成する。

［０７７６］

電圧生成回路３３は負電圧を生成する機能を有する。信号ＷＡＫＥは、信号ＣＬＣＫの電圧生成回路３３への入力を制御する機能を有する。例えば、信号ＷＡＫＥとして高レベル電位を与えると、信号ＣＬＣＫが電圧生成回路３３へ入力され、電圧生成回路３３は負電圧を生成する。

［０７７７］

周辺回路４１は、メモリセル１０に対するデータの書き込みおよび読み出しをするための回路である。周辺回路４１は、行デコーダ４２、列デコーダ４４、行ドライバ４３、列ドライバ４５、入力回路４７、出力回路４８）及びセンスアンプ４６を有する。

［０７７８］

行デコーダ４２及び列デコーダ４４は、信号ＡＤＤＲをデコードする機能を有する。行デコーダ４２は、アクセスする行を指定するための回路であり、列デコーダ４４は、アクセスする列を指定するための回路である。

［０７７９］

行ドライバ４３は、行デコーダ４２が指定する書き込みワード線又は読み出しワード線（例えば、後述する図３７に示す配線ＷＬ［１］乃至配線ＷＬ［ｍ］のいずれか一）を選択する機能を有する。

［０７８０］

列ドライバ４５は、データをメモリセル１０に書き込む機能、メモリセル１０からデータを読み出す機能、及び読み出したデータを保持する機能を有する。列ドライバ４５は、列デコーダ４４が指定する書き込みビット線又は読み出しビット線（例えば、後述する図３７に示す配線ＢＬ［１］乃至配線ＢＬ［ｎ］のいずれか一）を選択する機能を有する。

［０７８１］

入力回路４７は、信号ＷＤＡを保持する機能を有する。入力回路４７が保持するデータは、列ドライバ４５に出力される。入力回路４７の出力データが、メモリセル１０に書き込むデータ（Ｄｉｎ）である。列ドライバ４５がメモリセル１０から読み出したデータ（Ｄｏｕｔ）は、出力回路４８に出力される。出力回路４８は、Ｄｏｕｔを保持する機能を有する。また、出力回路４８は、Ｄｏｕｔを記憶装置２００の外部に出力する機能を有する。出力回路４８から出力されるデータが信号ＲＤＡである。

［０７８２］

ＰＳＷ２３Ａは周辺回路３１へのＶＤＤの供給を制御する機能を有する。ＰＳＷ２３Ｂは、行ドライバ４３へのＶＨＭの供給を制御する機能を有する。ここでは、記憶装置２００の高電源電圧がＶＤＤであり、低電源電圧はＧＮＤ（接地電位）である。また、ＶＨＭは、ワード線を高レベルにするために用いられる高電源電圧であり、ＶＤＤよりも高い。信号ＰＯＮ１によってＰＳＷ２３Ａのオン状態とオフ状態との切り替えが行われ、信号ＰＯＮ２によってＰＳＷ２３Ｂのオン状態とオフ状態と

の切り替えが行われる。図３６Ｂでは、周辺回路３１において、ＶＤＤが供給される電源ドメインの数を１としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

［０７８３］

次に、周辺回路４１と、記憶層６０と、の電気的な接続について説明する。

［０７８４］

図３７は、周辺回路４１と、記憶層６０＿ｋと、の構成例を示したブロック図である。図３７において、行デコーダ４２及び行ドライバ４３は、配線ＷＬ［１］乃至配線ＷＬ［ｍ］のそれぞれに接続され、列デコーダ４４、列ドライバ４５及びセンスアンプ４６は、配線ＢＬ［１］乃至配線ＢＬ［ｎ］のそれぞれに接続されている。

［０７８５］

なお、配線ＷＬ［１］乃至配線ＷＬ［ｍ］はワード線として機能する。なお、配線ＷＬ［１］乃至配線ＷＬ［ｍ］のそれぞれは、複数の配線をまとめた配線群であってもよい。

［０７８６］

また、配線ＢＬ［１］乃至配線ＢＬ［ｎ］はビット線として機能する。なお、配線ＢＬ［１］乃至配線ＢＬ［ｎ］のそれぞれは、複数の配線をまとめた配線群であってもよい。

［０７８７］

ｉ行目ｊ列目に配置されているメモリセル１０［ｉ，ｊ］は、配線ＷＬ［ｉ］と、配線ＢＬ［ｊ］に接続されている。

［０７８８］

図３７に示すとおり、記憶層６０＿ｋと、周辺回路４１と、を互いにに接続することで、記憶層６０＿ｋへのデータの書き込みと、記憶層６０＿ｋからのデータの読み出しと、を行うことができる。

［０７８９］

＜電子製品の例＞

上記で説明した記憶装置を用いることができる、電子部品、電子機器、大型計算機、宇宙用機器及びデータセンター（Ｄａｔａ　Ｃｅｎｔｅｒ：ＤＣとも呼称する）について説明する。当該記憶装置を用いた、電子部品、電子機器、大型計算機、宇宙用機器及びデータセンターは、低消費電力化といった高性能化に有効である。なお、電子部品、電子機器、大型計算機、宇宙用機器及びデータセンターをまとめて、電子製品と呼称する場合がある。

［０７９０］

［電子部品］

電子部品７００が実装された基板（実装基板７０４）の斜視図を、図３８Ａに示す。図３８Ａに示す電子部品７００は、モールド７１１内に半導体装置７１０を有している。図３８Ａは、電子部品７００の内部を示すために、一部の記載を省略している。電子部品７００は、モールド７１１の外側にランド７１２を有する。ランド７１２は電極パッド７１３に接続され、電極パッド７１３は半導体装置７１０とワイヤ７１４を介して接続されている。電子部品７００は、例えばプリント基板７０２に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板７０２上に接続されることで実装基板７０４が完成する。

［０７９１］

また、半導体装置７１０は、駆動回路層７１５と、記憶層７１６と、を有する。なお、記憶層７１

６は、複数のメモリセルアレイが積層された構成である。駆動回路層７１５と、記憶層７１６と、が積層された構成は、モノリシック積層の構成とすることができる。モノリシック積層の構成では、ＴＳＶ（Ｔｈｒｏｕｇｈ　Ｓｉｌｉｃｏｎ　Ｖｉａ）などの貫通電極技術及びＣｕ－Ｃｕ直接接合などの接合技術、を用いることなく、各層間を接続することができる。駆動回路層７１５と、記憶層７１６と、をモノリシック積層の構成とすることで、例えば、プロセッサ上にメモリが直接形成される、いわゆるオンチップメモリの構成とすることができる。オンチップメモリの構成とすることで、プロセッサと、メモリとのインターフェース部分の動作を高速にすることが可能となる。

［０７９２］

また、オンチップメモリの構成とすることで、ＴＳＶなどの貫通電極を用いる技術と比較し、接続配線などのサイズを小さくすることが可能であるため、接続ピン数を増加させることも可能となる。接続ピン数を増加させることで、並列動作が可能となるため、メモリのバンド幅（メモリバンド幅ともいう）を向上させることが可能となる。

［０７９３］

また、記憶層７１６が有する、複数のメモリセルアレイを、ＯＳトランジスタを用いて形成し、当該複数のメモリセルアレイをモノリシックで積層することが好ましい。複数のメモリセルアレイをモノリシック積層の構成とすることで、メモリのバンド幅、及びメモリのアクセスレイテンシのいずれか一または双方を向上させることができる。なお、バンド幅とは、単位時間あたりのデータ転送量であり、アクセスレイテンシとは、アクセスしてからデータのやり取りが始まるまでの時間である。なお、記憶層７１６にＳｉトランジスタを用いる構成の場合、ＯＳトランジスタと比較し、モノリシック積層の構成とすることが困難である。そのため、モノリシック積層の構成において、ＯＳトランジスタは、Ｓｉトランジスタよりも優れた構造であるといえる。

［０７９４］

また、半導体装置７１０を、ダイと呼称してもよい。なお、本明細書等において、ダイとは、半導体チップの製造工程で、例えば円盤状の基板（ウエハともいう）などに回路パターンを形成し、さいの目状に切り分けて得られたチップ片を表す。なお、ダイに用いることのできる半導体材料として、例えば、シリコン（Ｓｉ）、炭化ケイ素（ＳｉＣ）、窒化ガリウム（ＧａＮ）などが挙げられる。例えば、シリコン基板（シリコンウエハともいう）から得られたダイを、シリコンダイという場合がある。

［０７９５］

次に、電子部品７３０の斜視図を図３８Ｂに示す。電子部品７３０は、ＳｉＰ（Ｓｙｓｔｅｍ　ｉｎ　Ｐａｃｋａｇｅ）又はMCM（Ｍｕｌｔｉ　Ｃｈｉｐ　Ｍｏｄｕｌｅ）の一例である。電子部品７３０は、パッケージ基板７３２（プリント基板）上にインターポーザ７３１が設けられ、インターポーザ７３１上に半導体装置７３５、及び複数の半導体装置７１０が設けられている。

［０７９６］

電子部品７３０では、半導体装置７１０を広帯域メモリ（ＨＢＭ：Ｈｉｇｈ　Ｂａｎｄｗｉｄｔｈ　Ｍｅｍｏｒｙ）として用いる例を示している。また、半導体装置７３５は、ＣＰＵ、ＧＰＵ、又はＦＰＧＡ（Ｆｉｅｌｄ　Ｐｒｏｇｒａｍｍａｂｌｅ　Ｇａｔｅ　Ａｒｒａｙ）等の集積回路に用いることができる。

［０７９７］

パッケージ基板７３２は、例えば、セラミックス基板、プラスチック基板又はガラスエポキシ基板を用いることができる。インターポーザ７３１は、例えば、シリコンインターポーザ又は樹脂インタ

ーポーザを用いることができる。

［０７９８］

インターポーザ７３１は、複数の配線を有し、端子ピッチの異なる複数の集積回路と当該複数の配線とを接続する機能を有する。複数の配線は、単層又は多層で設けられる。また、インターポーザ７３１は、インターポーザ７３１上に設けられた集積回路とパッケージ基板７３２に設けられた電極とを接続する機能を有する。これらのことから、インターポーザを「再配線基板」又は「中間基板」と呼ぶ場合がある。また、インターポーザ７３１に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板７３２とを互いに接続する場合もある。また、シリコンインターポーザでは、貫通電極として、ＴＳＶを用いることもできる。

［０７９９］

ＨＢＭでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、ＨＢＭを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、ＨＢＭを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

［０８００］

また、シリコンインターポーザを用いた、ＳｉＰ及びＭＣＭでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する２．５Ｄパッケージ（２．５次元実装）では、シリコンインターポーザを用いることが好ましい。

［０８０１］

一方で、シリコンインターポーザ及びＴＳＶなどを用いて端子ピッチの異なる複数の集積回路を電気的に接続する場合、当該端子ピッチの幅などのスペースが必要となる。そのため、電子部品７３０のサイズを小さくしようとした場合、上記の端子ピッチの幅が問題になり、広いメモリバンド幅を実現するために必要な多くの配線を設けることが、困難になる場合がある。そこで、上述したように、ＯＳトランジスタを用いたモノリシック積層の構成が好適である。ＴＳＶを用いて積層したメモリセルアレイと、モノリシック積層したメモリセルアレイと、を組み合わせた複合化構造としてもよい。

［０８０２］

また、電子部品７３０と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ７３１上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品７３０では、半導体装置７１０と半導体装置７３５の高さを揃えることが好ましい。

［０８０３］

電子部品７３０を他の基板に実装するため、パッケージ基板７３２の底部に電極７３３を設けてもよい。図３８Ｂでは、電極７３３を半田ボールで形成する例を示している。パッケージ基板７３２の底部に半田ボールをマトリクス状に設けることで、ＢＧＡ（Ｂａｌｌ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。また、電極７３３を導電性のピンで形成してもよい。パッケージ基板７３２の底部に導電性のピンをマトリクス状に設けることで、ＰＧＡ（Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。

［０８０４］

電子部品７３０は、ＢＧＡ及びＰＧＡに限らず様々な実装方法を用いて他の基板に実装すること

ができる。実装方法としては、例えば、ＳＰＧＡ（Ｓｔａｇｇｅｒｅｄ Ｐｉｎ Ｇｒｉｄ Ａｒｒａｙ）、ＬＧＡ（Ｌａｎｄ Ｇｒｉｄ Ａｒｒａｙ）、ＱＦＰ（Ｑｕａｄ Ｆｌａｔ Ｐａｃｋａｇｅ）、ＱＦＪ（Ｑｕａｄ Ｆｌａｔ Ｊ－ｌｅａｄｅｄ ｐａｃｋａｇｅ）及びＱＦＮ（Ｑｕａｄ Ｆｌａｔ Ｎｏｎ－ｌｅａｄｅｄ ｐａｃｋａｇｅ）が挙げられる。

［０８０５］

［電子機器］

次に、電子機器６５００の斜視図を図３９Ａに示す。図３９Ａに示す電子機器６５００は、スマートフォンとして用いることのできる携帯情報端末機である。電子機器６５００は、筐体６５０１、表示部６５０２、電源ボタン６５０３、ボタン６５０４、スピーカ６５０５、マイク６５０６、カメラ６５０７、光源６５０８及び制御装置６５０９などを有する。なお、制御装置６５０９としては、例えば、ＣＰＵ、ＧＰＵ及び記憶装置の中から選ばれるいずれか一または複数を有する。本発明の一態様の半導体装置は、表示部６５０２、制御装置６５０９などに適用することができる。また、当該半導体装置は、低速駆動が可能なため、当該半導体装置を表示部６５０２、制御装置６５０９などに適用することにより、電子機器６５００の消費電力を低減することができる。

［０８０６］

図３９Ｂに示す電子機器６６００は、ノート型パーソナルコンピュータとして用いることのできる情報端末機である。電子機器６６００は、筐体６６１１、キーボード６６１２、ポインティングデバイス６６１３、外部接続ポート６６１４、表示部６６１５、制御装置６６１６などを有する。なお、制御装置６６１６としては、例えば、ＣＰＵ、ＧＰＵ及び記憶装置の中から選ばれるいずれか一または複数を有する。本発明の一態様の半導体装置は、表示部６６１５、制御装置６６１６などに適用することができる。なお、本発明の一態様の半導体装置を、上述した制御装置６５０９及び制御装置６６１６に用いることで、消費電力を低減させることができる。

［０８０７］

［大型計算機］

次に、大型計算機５６００の斜視図を図３９Ｃに示す。図３９Ｃに示す大型計算機５６００には、ラック５６１０にラックマウント型の計算機５６２０が複数格納されている。なお、大型計算機５６００を、スーパーコンピュータと呼称してもよい。

［０８０８］

計算機５６２０は、例えば、図３９Ｄに示す斜視図の構成とすることができる。図３９Ｄにおいて、計算機５６２０は、マザーボード５６３０を有し、マザーボード５６３０は、複数のスロット５６３１、複数の接続端子を有する。スロット５６３１には、ＰＣカード５６２１が挿入されている。加えて、ＰＣカード５６２１は、接続端子５６２３、接続端子５６２４、接続端子５６２５を有し、それぞれ、マザーボード５６３０に接続されている。

［０８０９］

図３９Ｅに示すＰＣカード５６２１は、ＣＰＵ、ＧＰＵ、記憶装置などを備えた処理ボードの一例である。ＰＣカード５６２１は、ボード５６２２を有する。また、ボード５６２２は、接続端子５６２３と、接続端子５６２４と、接続端子５６２５と、半導体装置５６２６と、半導体装置５６２７と、半導体装置５６２８と、接続端子５６２９と、を有する。なお、図３９Ｅには、半導体装置５６２６、半導体装置５６２７及び半導体装置５６２８以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置５６２６、半導体装置５６２７及び半導体装置５６２８

の説明を参照することができる。

［０８１０］

接続端子５６２９は、マザーボード５６３０のスロット５６３１に挿入することができる形状を有しており、接続端子５６２９は、ＰＣカード５６２１とマザーボード５６３０とを接続するためのインターフェースとして機能する。接続端子５６２９の規格としては、例えば、ＰＣＩ　ｅｘｐｒｅｓｓ（登録商標）などが挙げられる。

［０８１１］

接続端子５６２３、接続端子５６２４及び接続端子５６２５のそれぞれは、例えば、ＰＣカード５６２１に対して電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、ＰＣカード５６２１によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子５６２３、接続端子５６２４及び接続端子５６２５のそれぞれの規格としては、例えば、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ　Ｓｅｒｉａｌ　Ｂｕｓ）、ＳＡＴＡ（Ｓｅｒｉａｌ　ＡＴＡ）、ＳＣＳＩ（Ｓｍａｌｌ　Ｃｏｍｐｕｔｅｒ　Ｓｙｓｔｅｍ　Ｉｎｔｅｒｆａｃｅ）などが挙げられる。また、接続端子５６２３、接続端子５６２４、接続端子５６２５から映像信号を出力する場合、それぞれの規格としては、ＨＤＭＩ（登録商標）などが挙げられる。

［０８１２］

半導体装置５６２６は、信号の入出力を行う端子（図示しない）を有しており、当該端子をボード５６２２が備えるソケット（図示しない）に対して差し込むことで、半導体装置５６２６とボード５６２２を互いに接続することができる。

［０８１３］

半導体装置５６２７は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５６２７とボード５６２２を電気的に接続することができる。半導体装置５６２７としては、例えば、ＦＰＧＡ、ＧＰＵ、ＣＰＵなどが挙げられる。半導体装置５６２７として、例えば、電子部品７３０を用いることができる。

［０８１４］

半導体装置５６２８は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５６２８とボード５６２２を電気的に接続することができる。半導体装置５６２８としては、例えば、記憶装置などが挙げられる。半導体装置５６２８として、例えば、電子部品７００を用いることができる。

［０８１５］

大型計算機５６００は並列計算機としても機能できる。大型計算機５６００を並列計算機として用いることで、例えば、人工知能の学習及び推論に必要な大規模の計算を行うことができる。

［０８１６］

本発明の一態様の半導体装置を記憶装置に適用することによって、大型計算機５６００の消費電力を低減することができる。

［０８１７］

［宇宙用機器］

本発明の一態様の半導体装置は、情報の処理及び記憶を行う機器などの宇宙用機器に好適に用いることができる。

［０８１８］

本発明の一態様の半導体装置は、ＯＳトランジスタを含むことができる。当該ＯＳトランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射しうる環境において好適に用いることができる。例えば、ＯＳトランジスタは、宇宙空間にて使用する場合に好適に用いることができる。

［０８１９］

例えば、本発明の一態様の半導体装置にＯＳトランジスタを用いることによって、放射線に対する耐性が高い保持回路を構成することができる。つまり、本発明の一態様の半導体装置を宇宙用機器に適用することによって、宇宙用機器の放射線に対する耐性を高めることができる。

［０８２０］

図４０には、宇宙用機器の一例として、人工衛星６８００を示している。人工衛星６８００は、機体６８０１と、ソーラーパネル６８０２と、アンテナ６８０３と、二次電池６８０５と、制御装置６８０７と、を有する。なお、図４０においては、宇宙空間に惑星６８０４を例示している。なお、宇宙空間とは、例えば、高度１００ｋｍ以上を指すが、本明細書に記載の宇宙空間は、熱圏、中間圏及び成層圏を含む場合がある。

［０８２１］

また、図４０には、図示していないが、二次電池６８０５に、バッテリマネジメントシステム（ＢＭＳともいう）又はバッテリ制御回路を設けてもよい。上述のバッテリマネジメントシステム、またはバッテリ制御回路に、ＯＳトランジスタを用いると、消費電力が低く、且つ宇宙空間においても高い信頼性を有するため好適である。

［０８２２］

また、宇宙空間は、地上に比べて１００倍以上、放射線量の高い環境である。なお、放射線として、例えば、Ｘ線及びガンマ線に代表される電磁波（電磁放射線）、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線などに代表される粒子放射線が挙げられる。

［０８２３］

ソーラーパネル６８０２に太陽光が照射されることにより、人工衛星６８００が動作するために必要な電力が生成される。しかしながら、例えばソーラーパネルに太陽光が照射されない状況、またはソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星６８００が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星６８００を動作させるために、人工衛星６８００に二次電池６８０５を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールと呼ばれる場合がある。

［０８２４］

人工衛星６８００は、信号を生成することができる。当該信号は、アンテナ６８０３を介して送信され、例えば、地上に設けられた受信機、又は他の人工衛星が当該信号を受信することができる。人工衛星６８００が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星６８００は、衛星測位システムを構成することができる。

［０８２５］

また、制御装置６８０７は、人工衛星６８００を制御する機能を有する。制御装置６８０７としては、例えば、ＣＰＵ、ＧＰＵ及び記憶装置の中から選ばれるいずれか一または複数を用いて構成される。なお、制御装置６８０７には、本発明の一態様である半導体装置を用いると好適である。ＯＳトランジスタは、Ｓｉトランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射

線が入射しうる環境においても信頼性が高く、好適に用いることができる。

［０８２６］

また、人工衛星６８００は、センサを有する構成とすることができる。たとえば、可視光センサを有する構成とすることにより、人工衛星６８００は、地上に設けられている物体に当たって反射された太陽光を検出する機能を有することができる。または、熱赤外センサを有する構成とすることにより、人工衛星６８００は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星６８００は、たとえば地球観測衛星としての機能を有することができる。

［０８２７］

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。例えば、本発明の一態様の半導体装置は、宇宙船、宇宙カプセル、宇宙探査機などの宇宙用機器に好適に用いることができる。

［０８２８］

以上の説明の通り、ＯＳトランジスタは、Ｓｉトランジスタと比較し、広いメモリバンド幅の実現が可能なこと、放射線耐性が高いこと、といった優れた効果を有する。

［０８２９］

［データセンター］

本発明の一態様の半導体装置は、例えば、データセンターなどに適用されるストレージシステムに好適に用いることができる。データセンターは、データの不変性を保障するなど、データの長期的な管理を行うことが求められる。長期的なデータを管理する場合、膨大なデータを記憶するためのストレージ及びサーバの設置、データを保持するための安定した電源の確保、あるいはデータの保持に要する冷却設備の確保、など建屋の大型化が必要となる。

［０８３０］

データセンターに適用されるストレージシステムに本発明の一態様の半導体装置を用いることにより、データの保持に要する電力の低減、データを保持する半導体装置の小型化を図ることができる。そのため、ストレージシステムの小型化、データを保持するための電源の小型化、冷却設備の小規模化、などを図ることができる。そのため、データセンターの省スペース化を図ることができる。

［０８３１］

また、本発明の一態様の半導体装置は、消費電力が少ないため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、およびモジュールへの悪影響を低減できる。また、本発明の一態様の半導体装置を用いることにより、高温環境下においても動作が安定したデータセンターを実現できる。よってデータセンターの信頼性を高めることができる。

［０８３２］

図４１にデータセンターに適用可能なストレージシステムを示す。図４１に示すストレージシステム７０００は、ホスト７００１として複数のサーバ７００１ｓｂを有する。また、ストレージ７００３として複数の記憶装置７００３ｍｄを有する。ホスト７００１とストレージ７００３とは、ストレージエリアネットワーク７００４及びストレージ制御回路７００２を介して接続されている形態を図示している。

［０８３３］

ホスト７００１は、ストレージ７００３に記憶されたデータにアクセスするコンピュータに相当する。ホスト７００１同士は、ネットワークで互いに接続されていてもよい。

［０８３４］

ストレージ７００３は、フラッシュメモリを用いることで、データのアクセススピード、つまりデータの記憶及び出力に要する時間を短くしているものの、当該時間は、ストレージ内のキャッシュメモリとして用いることのできるＤＲＡＭが要する時間に比べて格段に長い。ストレージシステムでは、ストレージ７００３のアクセススピードの長さの問題を解決するために、通常ストレージ内にキャッシュメモリを設けてデータの記憶及び出力を短くしている。

［０８３５］

上述のキャッシュメモリは、ストレージ制御回路７００２およびストレージ７００３内に用いられる。ホスト７００１とストレージ７００３との間でやり取りされるデータは、ストレージ制御回路７００２及びストレージ７００３内の当該キャッシュメモリに記憶されたのち、ホスト７００１又はストレージ７００３に出力される。

［０８３６］

上述のキャッシュメモリのデータを記憶するためのトランジスタとして、ＯＳトランジスタを用いてデータに応じた電位を保持する構成とすることで、リフレッシュする頻度を減らし、消費電力を小さくすることができる。またメモリセルアレイを積層する構成とすることで小型化が可能である。

［０８３７］

なお、本発明の一態様の半導体装置を、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンターの中から選ばれるいずれか一または複数に適用することで、消費電力を低減させる効果が期待される。そのため、半導体装置の高性能化、または高集積化に伴うエネルギー需要の増加が見込まれる中、本発明の一態様の半導体装置を用いることで、二酸化炭素（CO_2）に代表される、温室効果ガスの排出量を低減させることも可能となる。また、本発明の一態様の半導体装置は、低消費電力であるため地球温暖化対策としても有効である。

［０８３８］

なお、本実施の形態は、本明細書で示す、同一の、又は他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、その本実施の形態で示す構成、構造、方法などと適宜組み合わせて用いることができる。また、例えば、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

［０８３９］

（本明細書における回路の説明に関する付記）

以下では、本明細書に記載されている回路の説明に係る、「接続」と「回路素子」のそれぞれの備考について言及する。

［０８４０］

＜接続について＞

本明細書等において、「ＡとＢが接続されている」という記載には、「ＡとＢが直接接続されている」場合、「ＡとＢが間接接続されている」場合、「ＡとＢが電気的に接続されている」場合、又は「ＡとＢが機能的に接続されている」場合が含まれているものとする。

［０８４１］

「ＡとＢが直接接続されている」とは、回路図または回路図に変換した構成において（以下、「回路図において」ともいう。）、回路素子（トランジスタ、ダイオード、抵抗素子など）を介さずに、Ａ

とＢが接続されているものをいう。よって、例えば、ＡとＢが、一または複数の導電層を介して接続されている場合は、「ＡとＢが直接接続されている」に含まれる。

［０８４２］

「ＡとＢが間接接続されている」とは、回路図において、一または複数の回路素子を介して、ＡとＢが接続されているものをいう。

［０８４３］

「ＡとＢが電気的に接続されている」とは、ＡとＢが直接接続されているものと、ＡとＢが間接接続されているもののうちＡとＢの間において電荷の移動が可能な状態（本明細書ではこれを導通状態と呼称する）になりうるものと、が含まれる。

［０８４４］

「ＡとＢが間接接続されているもののうちＡとＢが導通状態になりうるもの」とは、回路図において、回路素子を介してＡとＢが接続されているもののうち、ＡとＢの間で電荷の移動が可能な状態になりうるものをいう。例えば、ＡとＢが、一または複数のトランジスタのソースおよびドレイン（もしくは、トランジスタのチャネル形成領域）を介して接続される場合は、ＡとＢの間で電荷の移動が可能な状態になりうるため、「ＡとＢが間接接続されているもののうちＡとＢが導通状態になりうるもの」に含まれる。ここで、「回路素子を介してＡとＢが導通状態になりうるもの」の解釈に、回路素子の動作状態（例えば、トランジスタのオン状態またはオフ状態）は影響しない。例えば、トランジスタのソースおよびドレインを介してＡとＢが接続されている場合、当該トランジスタがオフ状態になることで、ＡからＢへの電荷の移動が不可能な状態になる場合も、「ＡとＢが導通状態になりうるもの」に含まれる。

［０８４５］

一方で、「ＡとＢが間接接続されているもののうちＡとＢが導通状態になりうるもの」に含まれないものの例としては、回路図において、ＡとＢの間に回路素子の絶縁体（例えば、容量素子の誘電体、トランジスタのゲート絶縁膜など）が介在している場合がある。その他にも、回路図において、ＡとＢの間に回路素子および電源線が介在している場合がある。

［０８４６］

「ＡとＢが機能的に接続されている」には、ＡとＢが直接接続されているものと、ＡとＢが間接接続されているもののうちＡから供給される信号に応じた信号が、Ｂに伝達されうるものと、が含まれる。よって、「ＡとＢが機能的に接続されている」には、ＡとＢの間で電荷の移動を伴う場合と、伴わない場合と、がある。

［０８４７］

例えば、「ＡとＢが機能的に接続されている」とは、回路図において、何らかの機能を有する回路（例えば、論理回路（インバータ回路、ＮＡＮＤ回路など）、信号変換回路（ＤＡ変換回路、ガンマ補正回路など）、電位変換回路（昇圧回路、レベルシフタ回路など）、増幅回路（オペアンプ、ソースフォロワ回路など）、フィルタ回路（ハイパスフィルタ回路、ローパスフィルタ回路など）、切り替え回路、信号生成回路、記憶回路、制御回路など）が、ＡとＢの間に１個以上接続されているものをいう。また、ＡとＢの間に機能の異なる複数の回路を挟んでいても、Ａから供給される信号に応じた信号がＢへ伝達されると見なされる場合は、ＡとＢは機能的に接続されているといえる。また、例えば、ＡとＢがフィルタ回路を介して接続されている場合において、Ａから供給される信号の周波数に応じてＢへの信号伝達が遮断される場合も、「ＡとＢが機能的に接続されている」といえる。

［０８４８］

図４２Ａ乃至図４２Ｄのそれぞれに、「ＡとＢが電気的に接続されている」ことを示す回路図の一例を示す。図４２Ａ及び図４２Ｂのそれぞれは、ＡとＢが直接接続されている例を示している。図４２Ｂのように、ＡとＢを接続する配線の一部にトランジスタのゲートとして機能する領域が含まれていても、ＡとＢは常に同電位になる。図４２Ｃおよび図４２Ｄのそれぞれは、ＡとＢが間接接続されているもののうちＡとＢが導通状態になりうる例を示している。図４２Ｃは、ＡとＢがトランジスタＴｒのソースおよびドレインを介して接続されている例を示している。図４２Ｄは、ＡとＢが、トランジスタＴｒ１のソースおよびドレインとトランジスタＴｒ２のソースおよびドレインとを介して接続されている例を示している。

［０８４９］

「ＡとＢが電気的に接続されている」に含まれないことを示す回路図の一例を図４２Ｅ乃至図４２Ｇのそれぞれに示す。図４２Ｅは、Ａがトランジスタ Ｔｒのソースまたはドレインの一方と接続され、ＢがトランジスタＴｒのゲートに接続される例を示している。図４２Ｆは、Ａが容量素子の一方の端子と接続され、Ｂが容量素子の他方の端子と接続される例を示している。図４２Ｅ及び図４２Ｆの場合、ＡとＢの間に回路素子の絶縁体が介在しているため、ＡとＢが導通状態になりうるとは言えない。よって、図４２Ｅ及び図４２Ｆにおいて、ＡとＢは電気的に接続されているとは言えない。

［０８５０］

図４２Ｇは、ＡがトランジスタＴｒ１を介して配線と接続され、ＢがトランジスタＴｒ２を介して当該配線と接続され、当該配線に電源電位Ｖが供給される例を示している。図４２Ｇの場合、トランジスタＴｒ１がオン状態になると、Ａに電源電位Ｖが供給される。また、トランジスタＴｒ２がオン状態になると、Ｂに電源電位Ｖが供給される。トランジスタＴｒ１とトランジスタＴｒ２の双方がオン状態になると、ＡとＢの双方に電源電位Ｖが供給される。そのため、図４２Ｇの場合、Ａと当該配線との間で電荷の移動が可能であり、Ｂと当該配線との間で電荷の移動が可能である。しかし、当該配線には電源電位が供給されているため、ＡとＢの間では電荷の移動が可能な状態になりうるとは言えない。よって、図４２Ｇにおいて、ＡとＢは電気的に接続されているとは言えない。

［０８５１］

図４２Ｈ及び図４２Ｉのそれぞれに、「ＡとＢが機能的に接続されている」ことを示す回路図の一例を示す。図４２Ｈは、ＡとＢがインバータ回路を介して接続する例を示している。図４２Ｈは、Ａがインバータ回路の入力と接続され、Ｂが出力と接続されている。図４２Ｈに示す回路では、Ａから供給される信号の反転信号が、Ｂに供給される。図４２Ｈに示す回路では、ＡとＢの間で電荷の移動は生じない。図４２Ｉは、ＡとＢがローパスフィルタ回路を介して接続する例を示している。図４２Ｉに示す回路では、Ａから供給される信号のうち、遮断周波数より低い周波数の成分をほぼ減衰させることなくＢに供給し、遮断周波数より高い周波数の成分を減衰させる機能を有する。図４２Ｉに示す回路では、ＡとＢの間で信号の伝達だけでなく、電荷の移動も生じうる。なお、図４２Ｇの場合は、Ａから供給される信号に応じた信号が、Ｂに伝達されうるとはいえないため、ＡとＢが機能的に接続されているとは言えない。

［０８５２］

＜回路素子について＞

本明細書等において、「抵抗素子」とは、例えば、０Ω よりも高い抵抗値を有する回路素子、若しくは０Ω よりも高い抵抗値を有する配線とすることができる。そのため、本明細書等において、「抵

抗素子」は、抵抗値を有する配線、ソースードレイン間に電流が流れるトランジスタ、ダイオード又はコイルを含むものとする。そのため、「抵抗素子」という用語は、「抵抗」、「負荷」又は「抵抗値を有する領域」という用語に言い換えることができる場合がある。逆に「抵抗」、「負荷」又は「抵抗値を有する領域」という用語は、「抵抗素子」という用語に言い換えることができる場合がある。抵抗値としては、例えば、好ましくは１ｍΩ以上１０Ω以下、より好ましくは５ｍΩ以上５Ω以下、更に好ましくは１０ｍΩ以上１Ω以下とすることができる。また、例えば、１Ω以上1×10^{9}Ω以下としてもよい。

［０８５３］

本明細書等において、「容量素子」とは、例えば、０Ｆよりも高い静電容量の値を有する回路素子とすることができる。また、「容量素子」（３端子以上の「容量素子」を含む）は、絶縁体と、当該絶縁体を挟んだ一対の導電体と、を含む構成となっている。そのため、「容量素子」の「一対の導電体」という用語は、「一対の電極」、「一対の導電領域」、「一対の領域」、又は「一対の端子」に言い換えることができる。また、「一対の端子の一方」、及び「一対の端子の他方」という用語は、それぞれ第１端子、及び第２端子と呼称する場合がある。なお、静電容量の値としては、例えば、０．０５ｆＦ以上１０ｐＦ以下とすることができる。また、例えば、１ｐＦ以上１０μＦ以下としてもよい。

［０８５４］

但し、回路には、意図していない静電容量を有する領域、つまり「寄生容量」が生じてしまう場合がある。「寄生容量」とは、例えば、絶縁体を介した異なる配線同士を含む領域、トランジスタに生じるゲート容量、などが挙げられる。本明細書では、特に断らない限り、「容量素子」には、「寄生容量」を含まないものとして、説明する。

［０８５５］

本明細書等において、トランジスタは、ゲート、ソース及びドレインと呼ばれる３つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソース又はドレインとして機能する２つの端子は、トランジスタの入出力端子である。２つの入出力端子は、トランジスタの導電型（ｎチャネル型又はｐチャネル型）及びトランジスタの３つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソース又はドレインという用語は、互いに言い換えることができる場合がある。また、本明細書等では、トランジスタの接続関係を説明する際、「ソース及びドレインの一方」、「ソース及びドレインの他方」という表記を用いる。また、「ソース及びドレインの一方」を「トランジスタの第１端子」又は「トランジスタの第１電極」と呼称し、「ソース及びドレインの他方」を「トランジスタの第２端子」又は「トランジスタの第２電極」と呼称することがある。

［０８５６］

なお、トランジスタの構造によっては、上述した３つの端子に加えて、バックゲートを有する場合がある。この場合、本明細書等において、トランジスタのゲート又はバックゲートの一方を第１ゲートと呼称し、トランジスタのゲート又はバックゲートの他方を第２ゲートと呼称することがある。更に、同じトランジスタにおいて、「ゲート」と「バックゲート」の用語は互いに入れ換えることができる場合がある。また、トランジスタが、３以上のゲートを有する場合は、本明細書等においては、それぞれのゲートを第１ゲート、第２ゲート、第３ゲートなどと呼称することがある。

［０８５７］

例えば、本明細書等において、トランジスタの一例としては、ゲート電極が２個以上のマルチゲー

ト構造のトランジスタを用いることができる。マルチゲート構造にすると、チャネル形成領域が直列に接続されるため、複数のトランジスタが直列に接続された構造となる。よって、マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上（信頼性の向上）を図ることができる。または、マルチゲート構造により、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレインとソースとの間の電流があまり変化せず、傾きがフラットである電圧・電流特性を得ることができる。例えば、傾きがフラットである電圧・電流特性を利用すると、理想的な電流源回路、非常に高い抵抗値をもつ能動負荷などを実現することができる。その結果、特性のよい差動回路又はカレントミラー回路などを実現することができる。

［０８５８］

また、回路図上では、単一の回路素子が図示されている場合でも、当該回路素子が複数の回路素子を有する場合がある。例えば、回路図上に１個の抵抗が記載されている場合は、２個以上の抵抗が直列に直接接続されている場合を含むものとする。また、２個以上直列に直接接続されている抵抗は、１個の抵抗として表すことができる（図４３Ａ参照）。また、例えば、回路図上に１個の容量素子が記載されている場合は、２個以上の容量素子が並列に直接接続されている場合を含むものとする。また、２個以上並列に直接接続されている容量素子は、１個の容量素子として表すことができる（図４３Ｂ参照）。また、例えば、回路図上に１個のトランジスタが記載されている場合は、２個以上のトランジスタがソースとドレイン同士で直列に直接接続され、かつそれぞれのトランジスタのゲート同士が直接接続されている場合を含むものとする。また、２個以上のトランジスタがソースとドレイン同士で直列に直接接続され、かつそれぞれのトランジスタのゲート同士が直接接続されている構成は、１個のトランジスタとして表すことができる（図４３Ｃ参照）。また、例えば、回路図上に１個のトランジスタが記載されている場合は、２個以上のトランジスタの第１端子同士が互いに直接接続され、それぞれのトランジスタの第２端子同士が互いに直接接続され、かつそれぞれのトランジスタのゲート同士が直接接続されている場合を含むものとする。また、２個以上のトランジスタの第１端子同士が互いに直接接続され、それぞれのトランジスタの第２端子同士が互いに直接接続され、かつそれぞれのトランジスタのゲート同士が直接接続されている構成は、１個のトランジスタとして表すことができる（図４３Ｄ参照）。

［０８５９］

なお、図４３Ｃ及び図４３Ｄに示しているトランジスタは、一例として、ｎチャネル型トランジスタとしたが、ｐチャネル型トランジスタに置き換えても同様に説明することができる。

［０８６０］

本明細書等において、スイッチとは、導通状態（オン状態）又は非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。そのため、スイッチは、制御端子とは別に、電流を流す端子を２つ又は３つ以上有する場合がある。一例としては、電気的なスイッチ、機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであり、特定のものに限定されない。

［０８６１］

電気的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、ＭＯＳトランジスタなど）、ダイオード（例えば、ＰＮダイオード、ＰＩＮダイオード、ショットキーダイオード、ＭＩＭ（Ｍｅｔａｌ　Ｉｎｓｕｌａｔｏｒ　Ｍｅｔａｌ）ダイオード、ＭＩＳ（Ｍｅｔａｌ　Ｉ

ｎｓｕｌａｔｏｒ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）ダイオード、及びダイオード接続のトランジスタ）、又はこれらを組み合わせた論理回路などがある。なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、例えば、トランジスタのソースとドレインとの間が電気的に短絡されているとみなせる状態、又はソースとドレインとの間に電流を流すことができる状態、をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電気的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

［０８６２］

また、回路図上に１個のスイッチが記載されているとき、当該スイッチが電気的なスイッチである場合には、１個若しくは２個以上のトランジスタを有する構成とすることができる（図４３Ｅ参照）。なお、図４３Ｅでは、ｎチャネル型トランジスタを一例として示しているが、ｐチャネル型トランジスタであってもよい。特に当該スイッチが２個以上のトランジスタを有する場合、図４３Ｃ又は図４３Ｄの通り、直列又は並列に接続された構成とすることができる。また、当該スイッチがアナログスイッチを含む場合、当該アナログスイッチは、ｎチャネル型トランジスタの第１端子とｐチャネル型トランジスタの第１端子とが互いに直接接続され、ｎチャネル型トランジスタの第２端子とｐチャネル型トランジスタの第２端子とが互いに直接接続された構成として表すことができる（図４３Ｆ参照）。なお、ｎチャネル型トランジスタとｐチャネル型トランジスタのそれぞれのゲートには、互いに論理が反転された信号が入力されるものとする。

［０８６３］

機械的なスイッチの一例としては、ＭＥＭＳ（マイクロ・エレクトロ・メカニカル・システムズ）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

［０８６４］

＜その他＞

また、本明細書等において、ノードは、回路構成及びデバイス構造に応じて、端子、配線、電極、導電層、導電体又は不純物領域と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

［０８６５］

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。なお、グラウンド電位は必ずしも０Ｖを意味するとは限らない。また、電位は相対的なものであり、基準となる電位が変わることによって、配線に与えられる電位、回路などに印加される電位、回路などから出力される電位なども変化する。

［０８６６］

また、本明細書等において、「高レベル電位」及び「低レベル電位」という用語は、特定の電位を意味するものではない。例えば、２本の配線において、両方とも「高レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの高レベル電位は、互いに等しくなくてもよい。また、同様に、２本の配線において、両方とも「低レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの低レベル電位は、互いに等しくなくてもよい。

［０８６７］

また、「電流」とは、電荷の移動現象（電気伝導）のことであり、例えば、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとしては、例えば、電子、正孔、アニオン、カチオン及び錯イオンが挙げられ、電流の流れる系（例えば、半導体、金属、電解液及び真空中）によってキャリアが異なる。また、配線等における「電流の向き」は、正電荷となるキャリアが移動する方向とし、正の電流量で記載する。換言すると、負電荷となるキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書等において、電流の正負（又は電流の向き）について断りがない場合、「素子Ａから素子Ｂに電流が流れる」の記載は「素子Ｂから素子Ａに電流が流れる」に言い換えることができるものとする。また、「素子Ａに電流が入力される」の記載は「素子Ａから電流が出力される」に言い換えることができるものとする。

［符号の説明］

［０８６８］

ＤＳＰ：表示装置、ＤＳＰ１：表示装置、ＤＳＰ１Ａ：表示装置、ＤＳＰ１Ｂ：表示装置、ＤＳＰ１Ｃ：表示装置、ＤＳＰ１Ｄ：表示装置、ＤＳＰ２：表示装置、ＤＳＰ２Ｃ：表示装置、ＤＳＰ３：表示装置、ＤＳＰ３Ｃ：表示装置、ＤＩＳ：表示領域、ＤＲＶ：駆動回路領域、ＭＦＮＣ：機能回路領域、ＴＭＲ：端子領域、ＴＰ：センサ領域、ＢＳ：基板、ＰＸＡ：画素アレイ、ＳＤ：駆動回路、ＧＤ：駆動回路、ＧＤ１：駆動回路、ＧＤ２：駆動回路、ＴＳＤ：駆動回路、ＴＤＥ：駆動回路、ＴＤＲ：駆動回路、ＰＲＴ：保護回路、ＳＲ：シフトレジスタ、ＭＥＭ：記憶装置、ＴＭＣ：タイミングコントローラ、ＥＰＳ：電源回路、ＳＣＣ：センサコントローラ、ＰＤＡ：センサ、ＬＡＴ１Ｓ：回路、ＬＡＴ１：保持回路、ＬＡＴ１Ａ：保持回路、ＬＡＴ１Ｂ：保持回路、ＬＡＴ１Ｃ：保持回路、ＬＡＴ１Ｄ：保持回路、ＬＡＴ２Ｓ：回路、ＬＡＴ２：保持回路、ＬＡＴ２Ａ：保持回路、ＬＡＴ２Ｂ：保持回路、ＬＡＴ２Ｃ：保持回路、ＬＡＴ２Ｄ：保持回路、ＬＡＴ２Ｅ：保持回路、ＬＡＴ２Ｆ：保持回路、ＬＡＴ２Ｇ：保持回路、ＬＡＴＳ：回路、ＬＡＴＸ：保持回路、ＬＡＴＹ：保持回路、ＬＳＨＳ：回路、ＬＳＨ：レベルシフタ、ＰＸ：画素回路、ＳＯＴ：端子、ＩＴ１：端子、ＬＴ１１：端子、ＬＴ１２：端子、ＯＴ１１：端子、ＯＴ１２：端子、ＩＴ２１：端子、ＩＴ２２：端子、ＬＴ２１：端子、ＬＴ２２：端子、ＯＴ２：端子、ＲＴ：端子、ＡＴ：端子、ＺＴ：端子、ＩＬ：配線、ＯＬ：配線、ＧＬ１：配線、ＧＬ２：配線、ＳＬ：配線、ＶＤＥ：配線、ＬＰＥ：配線、ＬＰＥ１：配線、ＬＰＥ２：配線、ＩＮＥ：配線、ＶＥ０：配線、ＶＥ１：配線、ＶＥ１Ａ：配線、ＶＥ１Ｂ：配線、ＶＥ１ｐ：配線、ＶＥ１１：配線、ＶＥ１２：配線、ＶＥ１３：配線、ＶＥ１４：配線、ＶＥ１５：配線、ＶＥ２：配線、ＶＥ２ｐ：配線、ＶＥ２１：配線、ＶＥ２２：配線、ＶＡ：配線、ＶＣ：配線、ＶＲＳ：配線、ＧＬＳ：配線、ＳＬＳ［ｊ］：配線、ＳＮＣＬ：配線、ＢＬ：配線、ＢＷ：信号、ＣＥ：信号、ＣＬＣＫ：信号、ＷＤＡ：信号、ＲＤＡ：信号、ＷＡＫＥ：信号、ＧＷ：信号、ＡＤＤＲ：信号、Ｍ０１：トランジスタ、Ｍ０２：トランジスタ、Ｍ０３：トランジスタ、Ｍ１１：トランジスタ、Ｍ１１ｐ：トランジスタ、Ｍ１２：トランジスタ、Ｍ１２ｐ：トランジスタ、Ｍ１３：トランジスタ、Ｍ１３ｐ：トランジスタ、Ｍ１４：トランジスタ、Ｍ１６：トランジスタ、Ｍ１７：トランジスタ、Ｍ２１：トランジスタ、Ｍ２１ｐ：トランジスタ、Ｍ２２：トランジスタ、Ｍ２２ｐ：トランジスタ、Ｍ２３：トランジスタ、Ｍ２３ｐ：トランジスタ、Ｍ２４：トランジスタ、Ｍ２４ｐ：トランジスタ、Ｍ２５：トランジスタ、Ｍ２５ｐ：トランジスタ、Ｍ２６：トランジスタ、Ｍ２６ｐ：

トランジスタ、Ｍ２７：トランジスタ、Ｍ２８：トランジスタ、Ｍ２９：トランジスタ、ＭＮｘ：トランジスタ、ＭＮｙ：トランジスタ、Ｃ０１：容量素子、Ｃ１１：容量素子、Ｃ２１：容量素子、Ｃ２２：容量素子、ＥＤ：発光デバイス、ＳＷ０：スイッチ、ＳＷ１Ｘ：スイッチ、ＳＷ１Ｙ：スイッチ、Ｎ１：ノード、Ｎ２１：ノード、Ｎ２２：ノード、ＣＴ１：領域、ＣＴ２：領域、ＣＴ３：領域、ＣＴ４：領域、ＣＴ５：領域、ＣＴ６：領域、ＣＴ７：領域、ＣＴ８：領域、ＣＴ９：領域、ＣＴ１０：領域、ＫＭ１３：開口、ＫＭ２４：開口、ＫＭ２５：開口、ＫＣ１１：開口、ＫＣ２１：開口、ＩＳ１：絶縁層、ＩＳ２：絶縁層、ＩＳ３：絶縁層、ＤＩ１：絶縁層、ＧＩ１：絶縁層、ＭＥ１：導電層、ＭＥ２：導電層、ＭＥ３：導電層、ＳＣ１：半導体層、ＭＰＧ：導電層、ＳＴ：積層体、１０：メモリセル、２１：ＣＰＵ、２２ａ：回路、２２ｂ：回路、２２：ＧＰＵ、２３Ａ：ＰＳＷ、２３Ｂ：ＰＳＷ、３１：周辺回路、３２：コントロール回路、３３：電圧生成回路、４１：周辺回路、４２：行デコーダ、４３：行ドライバ、４４：列デコーダ、４５：列ドライバ、４６：センスアンプ、４７：入力回路、４８：出力回路、５０：駆動回路層、６０：記憶層、１０３：絶縁層、１０４：導電層、１０５：絶縁層、１０６：導電層、１０７：接着層、１１０：基板、１１１ａ：導電層、１１１ｂ：導電層、１１１ｃ：導電層、１１２ａ：導電層、１１２ｂ：導電層、１１２ｃ：導電層、１１３ａ：第１の層、１１３ｂ：第２の層、１１３ｃ：第３の層、１１４：共通層、１１５：共通電極、１１６：保護層、１１７ａ：導電層、１１７ｂ：導電層、１１８ａ：マスク層、１２５：絶縁層、１２６ａ：導電層、１２６ｂ：導電層、１２６ｃ：導電層、１２７：絶縁層、１２８：層、１２９ａ：導電層、１２９ｂ：導電層、１２９ｃ：導電層、１３０Ｂ：発光デバイス、１３０Ｇ：発光デバイス、１３０Ｒ：発光デバイス、１３０：発光デバイス、１３１：保護層、１４０：接続部、１４７：樹脂層、１４８：樹脂層、１７０Ｂ：ＬＥＤパッケージ、１７０Ｇ：ＬＥＤパッケージ、１７０Ｒ：ＬＥＤパッケージ、１７０Ｓ：ＬＥＤパッケージ、１７０：ＬＥＤパッケージ、１７１：基板、１７２：電極、１７３：電極、１７４：ヒートシンク、１７５：接着層、１７６：ケース、１７７：ワイヤ、１７８：封止層、１７９：ワイヤ、１８０Ａ：ＬＥＤチップ、１８０Ｂ：ＬＥＤチップ、１８０Ｇ：ＬＥＤチップ、１８０Ｒ：ＬＥＤチップ、１８０：ＬＥＤチップ、１８１Ｂ：基板、１８１Ｇ：基板、１８１Ｒ：基板、１８１：基板、１８２ａ：半導体層、１８２ｂ：半導体層、１８２ｃ：半導体層、１８２：半導体層、１８３Ａ：電極、１８３ａ：電極、１８３ｂ：電極、１８３ｃ：電極、１８３：電極、１８４ａ：発光層、１８４ｂ：発光層、１８４ｃ：発光層、１８４：発光層、１８５ａ：半導体層、１８５ｂ：半導体層、１８５ｃ：半導体層、１８５：半導体層、１８６ａ：電極、１８６ｂ：電極、１８６ｃ：電極、１８６：電極、１８７：電極、１８９：ボール、１９０：色変換層、１９１：導電層、１９２：導電層、１９３ａ：導電層、１９３ｂ：導電層、１９３ｃ：導電層、１９４ａ：導電層、１９４ｂ：導電層、１９４ｃ：導電層、２００：記憶装置、３００ｄ：トランジスタ、３１０：基板、３１２：素子分離層、３１３：半導体領域、３１４ａ：低抵抗領域、３１４ｂ：低抵抗領域、３１５：絶縁層、３１６：導電層、３１７：絶縁層、３２０：絶縁層、３２２：絶縁層、３２４：絶縁層、３２６：絶縁層、３２８：導電層、３３０：導電層、３５０：絶縁層、３５２：絶縁層、３５４：絶縁層、３５６：導電層、４１０：基板、４１１：保護層、４１２：シール材、４２０Ｂ：発光ダイオード、４２０Ｇ：発光ダイオード、４２０Ｒ：発光ダイオード、４２０：発光ダイオード、５００ｘ：トランジスタ、５１２：絶縁層、５１４：絶縁層、５７４：絶縁層、５８１：絶縁層、５９２：絶縁層、５９４：絶縁層、５９６：導電層、５９８：絶縁層、５９９：絶縁層、６０５：封止材、６０８：液晶層、６１０：基板、６１３ａ：液晶素子、６１３ｂ：液晶素子、６１３ｃ：液晶素子、６１３：液晶素子、６３１：導電層、６３２：絶縁層、６３３：絶縁層、６３５：スペーサ、６４１：絶縁層、

６４２：遮光層、６６６Ｂ：着色層、６６６Ｇ：着色層、６６６Ｒ：着色層、７００：電子部品、７０２：プリント基板、７０４：実装基板、７１０：半導体装置、７１１：モールド、７１２：ランド、７１３：電極パッド、７１４：ワイヤ、７１５：駆動回路層、７１６：記憶層、７３０：電子部品、７３１：インターポーザ、７３２：パッケージ基板、７３３：電極、７３５：半導体装置、１０００：表示装置、１２８０：表示モジュール、１２８１：表示部、１２８２：回路部、１２８３ａ：画素回路、１２８３：画素回路部、１２８４ａ：画素、１２８４：画素部、１２８５：端子部、１２８６：配線部、１２９０：ＦＰＣ、１２９１：基板、１２９２：基板、１４３０ａ：発光デバイス、１４３０ｂ：発光デバイス、１４３０ｃ：発光デバイス、５２００：携帯ゲーム機、５２０１：筐体、５２０２：表示部、５２０３：ボタン、５３００：ノート型情報端末、５３３０ａ：筐体、５３３０ｂ：筐体、５３３１：表示部、５３５０：キーボード部、５５００：情報端末、５５１０：筐体、５５１１：表示部、５６００：大型計算機、５６１０：ラック、５６２０：計算機、５６２１：ＰＣカード、５６２２：ボード、５６２３：接続端子、５６２４：接続端子、５６２５：接続端子、５６２６：半導体装置、５６２７：半導体装置、５６２８：半導体装置、５６２９：接続端子、５６３０：マザーボード、５６３１：スロット、５７０１：表示パネル、５７０２：表示パネル、５７０３：表示パネル、５７０４：表示パネル、５９００：情報端末、５９０１：筐体、５９０２：表示部、５９０３：操作ボタン、５９０４：竜頭、５９０５：バンド、６２００：電子看板、６２０１：壁、６５００：電子機器、６５０１：筐体、６５０２：表示部、６５０３：電源ボタン、６５０４：ボタン、６５０５：スピーカ、６５０６：マイク、６５０７：カメラ、６５０８：光源、６５０９：制御装置、６６００：電子機器、６６１１：筐体、６６１２：キーボード、６６１３：ポインティングデバイス、６６１４：外部接続ポート、６６１５：表示部、６６１６：制御装置、６８００：人工衛星、６８０１：機体、６８０２：ソーラーパネル、６８０３：アンテナ、６８０４：惑星、６８０５：二次電池、６８０７：制御装置、７０００：ストレージシステム、７００１ｓｂ：サーバ、７００１：ホスト、７００２：ストレージ制御回路、７００３ｍｄ：記憶装置、７００３：ストレージ、８０００：カメラ、８００１：筐体、８００２：表示部、８００３：操作ボタン、８００４：シャッターボタン、８００６：レンズ、８１００：ファインダー、８１０１：筐体、８１０２：表示部、８１０３：ボタン、８３００：電子機器、８３０１：筐体、８３０２：表示部、８３０４ａ：固定具、８３０４：固定具、８３０５：レンズ、９０００：テレビジョン装置、９００１：表示部、９００２：筐体、９００３：スピーカ、９００５：操作キー、９００６：接続端子、９００７：センサ

請求の範囲

［請求項１］

シフトレジスタと、第１保持回路と、第２保持回路と、を有し、

前記シフトレジスタは、第１出力端子を有し、

前記第１保持回路は、第１入力端子と、第２入力端子と、第３入力端子と、第２出力端子と、第３出力端子と、を有し、

前記第２保持回路は、第４入力端子と、第５入力端子と、第６入力端子と、第７入力端子と、第４出力端子と、を有し、

前記第２出力端子は、前記第４入力端子に電気的に接続され、

前記第３出力端子は、前記第５入力端子に電気的に接続され、

前記シフトレジスタは、前記第１出力端子に第１パルス信号を送信する機能を有し、

前記第１保持回路は、前記第１パルス信号が前記第２入力端子に入力され、且つ第１配線に送信される第１画像信号が前記第１入力端子に入力されることによって、前記第１画像信号に応じた第１電位を保持する機能と、前記第１画像信号と同じ論理の第２画像信号を前記第２出力端子に出力する機能と、第２配線に送信される第２パルス信号が前記第３入力端子に入力されることによって、前記第１画像信号の論理が反転された第３画像信号を前記第３出力端子に出力する機能と、を有し、

前記第２保持回路は、前記第２配線に送信される前記第２パルス信号が前記第６入力端子に入力されることによって、前記第４入力端子に入力される前記第２画像信号を取得して、前記第２画像信号に応じた第２電位を保持する機能と、前記第２配線に送信される前記第２パルス信号が前記第７入力端子に入力されることによって、前記第５入力端子に入力される前記第３画像信号を取得して、前記第３画像信号に応じた第３電位を保持する機能と、前記第２電位と前記第３電位を用いて、前記第３画像信号と同じ論理である第４画像信号を前記第４出力端子に出力する機能と、を有し、

前記第１保持回路と、前記第２保持回路と、のそれぞれは、縦チャネル型トランジスタを有する、

駆動回路。

［請求項２］

請求項１において、

前記第１保持回路は、第１トランジスタと、第２トランジスタと、第３トランジスタと、第１容量素子と、を有し、

前記第１トランジスタ乃至前記第３トランジスタのそれぞれは、前記縦チャネル型トランジスタであり、

前記第１入力端子は、前記第１配線に電気的に接続され、

前記第３入力端子は、前記第２配線に電気的に接続され、

前記第１トランジスタのソース及びドレインの一方は、前記第１入力端子に電気的に接続され、

前記第１トランジスタのゲートは、前記第２入力端子に電気的に接続され、

前記第１トランジスタのソース及びドレインの他方は、前記第３トランジスタのゲートと、前記第１容量素子の第１端子と、前記第２出力端子と、に電気的に接続され、

前記第２トランジスタのソース及びドレインの一方は、前記第２トランジスタのゲートと、前記第３入力端子と、に電気的に接続され、

前記第２トランジスタのソース及びドレインの他方は、前記第３トランジスタのソース及びドレインの一方と、前記第３出力端子と、に電気的に接続される、

駆動回路。

［請求項３］

請求項２において、

前記第２保持回路は、第４トランジスタと、第５トランジスタと、第６トランジスタと、第７トランジスタと、第８トランジスタと、第９トランジスタと、第２容量素子と、第３容量素子と、を有し、

前記第４トランジスタ乃至前記第９トランジスタのそれぞれは、前記縦チャネル型トランジスタであり、

前記第６入力端子は、前記第２配線に電気的に接続され、

前記第７入力端子は、前記第２配線に電気的に接続され、

前記第４トランジスタのソース及びドレインの一方は、前記第５入力端子に電気的に接続され、

前記第４トランジスタのゲートは、前記第７入力端子に電気的に接続され、

前記第４トランジスタのソース及びドレインの他方は、前記第５トランジスタのソース及びドレインの一方に電気的に接続され、

前記第５トランジスタのソース及びドレインの他方は、前記第６トランジスタのゲートと、前記第２容量素子の第１端子と、に電気的に接続され、

前記第６トランジスタのソース及びドレインの一方は、前記第７トランジスタのソース及びドレインの一方と、前記第２容量素子の第２端子と、前記第４出力端子と、に電気的に接続され、

前記第８トランジスタのソース及びドレインの一方は、前記第４入力端子に電気的に接続され、

前記第８トランジスタのゲートは、前記第６入力端子に電気的に接続され、

前記第８トランジスタのソース及びドレインの他方は、前記第９トランジスタのソース及びドレインの一方と、前記第７トランジスタのゲートと、前記第３容量素子の第１端子と、に電気的に接続される、

駆動回路。

［請求項４］

請求項２において、

前記第２保持回路は、第５トランジスタと、第６トランジスタと、第７トランジスタと、第８トランジスタと、第９トランジスタと、第２容量素子と、第３容量素子と、を有し、

前記第５トランジスタ乃至前記第９トランジスタのそれぞれは、前記縦チャネル型トランジスタであり、

前記第６入力端子は、前記第２配線に電気的に接続され、

前記第７入力端子は、前記第２配線に電気的に接続され、

前記第５トランジスタのソース及びドレインの一方は、前記第５入力端子に電気的に接続され、

前記第５トランジスタのゲートは、前記第７入力端子に電気的に接続され、

前記第５トランジスタのソース及びドレインの他方は、前記第６トランジスタのゲートと、前記第２容量素子の第１端子と、に電気的に接続され、

前記第６トランジスタのソース及びドレインの一方は、前記第７トランジスタのソース及びドレインの一方と、前記第２容量素子の第２端子と、前記第４出力端子と、に電気的に接続され、

前記第８トランジスタのソース及びドレインの一方は、前記第４入力端子に電気的に接続され、

前記第８トランジスタのゲートは、前記第６入力端子に電気的に接続され、

前記第８トランジスタのソース及びドレインの他方は、前記第９トランジスタのソース及びドレ

インの一方と、前記第７トランジスタのゲートと、前記第３容量素子の第１端子と、に電気的に接続される、

駆動回路。

［請求項５］

請求項２において、

前記第２保持回路は、第４トランジスタと、第５トランジスタと、第６トランジスタと、第７トランジスタと、第８トランジスタと、第９トランジスタと、第１０トランジスタと、第２容量素子と、第３容量素子と、を有し、

前記第４トランジスタ乃至前記第１０トランジスタのそれぞれは、前記縦チャネル型トランジスタであり、

前記第６入力端子は、前記第２配線に電気的に接続され、

前記第７入力端子は、前記第２配線に電気的に接続され、

前記第４トランジスタのソース及びドレインの一方は、前記第５入力端子に電気的に接続され、

前記第４トランジスタのゲートは、前記第７入力端子に電気的に接続され、

前記第４トランジスタのソース及びドレインの他方は、前記第５トランジスタのソース及びドレインの一方と、前記第１０トランジスタのソース及びドレインの一方と、に電気的に接続され、

前記第５トランジスタのソース及びドレインの他方は、前記第６トランジスタのゲートと、前記第２容量素子の第１端子と、に電気的に接続され、

前記第６トランジスタのソース及びドレインの一方は、前記第７トランジスタのソース及びドレインの一方と、前記第２容量素子の第２端子と、前記第４出力端子と、に電気的に接続され、

前記第８トランジスタのソース及びドレインの一方は、前記第４入力端子に電気的に接続され、

前記第８トランジスタのゲートは、前記第６入力端子に電気的に接続され、

前記第８トランジスタのソース及びドレインの他方は、前記第９トランジスタのソース及びドレインの一方と、前記第７トランジスタのゲートと、前記第１０トランジスタのゲートと、前記第３容量素子の第１端子と、に電気的に接続される、

駆動回路。

［請求項６］

請求項３乃至請求項５のいずれか一において、

前記縦チャネル型トランジスタは、第１絶縁層の下方に位置しかつソース及びドレインの一方として機能する第１導電層と、前記第１絶縁層の上方に位置しかつ前記ソース及び前記ドレインの他方として機能する第２導電層と、前記第１絶縁層に形成された開口の側面に接しかつ前記第１導電層と前記第２導電層とに接する半導体層と、前記半導体層上に位置するゲート絶縁膜と、前記ゲート絶縁膜上に位置するゲート電極と、を有し、

前記第１絶縁層の厚さは、５０ｎｍ以上１５０ｎｍ以下である、

駆動回路。

［請求項７］

請求項６において、

前記半導体層は、チャネル形成領域にインジウム、亜鉛、及び元素Ｍから選ばれる一又は複数を有し、

前記元素Ｍは、アルミニウム、ガリウム、シリコン、イットリウム、錫、銅、バナジウム、ベリリ

ウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、コバルト、マグネシウム及びアンチモンから選ばれた一又は複数である、

駆動回路。

［請求項８］

請求項７に記載の駆動回路と、画素回路と、を有し、

前記画素回路は、ＬＥＤチップを含む発光デバイスを有し、

前記画素回路は、前記駆動回路から出力された前記第４画像信号に応じて、前記発光デバイスの発光又は非発光の制御を行う、

表示装置。

［請求項９］

請求項８に記載の表示装置と、筐体と、を有する電子機器。

［請求項１０］

シフトレジスタと、第１保持回路と、第２保持回路と、を有し、

前記シフトレジスタは、第１出力端子を有し、

前記第１保持回路は、第１入力端子と、第２入力端子と、第３入力端子と、第２出力端子と、第３出力端子と、を有し、

前記第２保持回路は、第４入力端子と、第５入力端子と、第６入力端子と、第４出力端子と、を有し、

前記第２出力端子は、前記第４入力端子に電気的に接続され、

前記第３出力端子は、前記第５入力端子に電気的に接続され、

前記シフトレジスタは、前記第１出力端子に第１パルス信号を送信する機能を有し、

前記第１保持回路は、前記第１パルス信号が前記第２入力端子に入力され、且つ第１配線に送信される第１画像信号が前記第１入力端子に入力されることによって、前記第１画像信号に応じた第１電位を保持する機能と、前記第１画像信号と同じ論理の第２画像信号を前記第２出力端子に出力する機能と、第２配線に送信される第２パルス信号が前記第３入力端子に入力されることによって、前記第１画像信号の論理が反転された第３画像信号を前記第３出力端子に出力する機能と、を有し、

前記第２保持回路は、前記第２配線に送信される前記第２パルス信号が前記第６入力端子に入力されることによって、前記第４入力端子に入力される前記第２画像信号を取得して、前記第２画像信号に応じた第２電位を保持する機能と、前記第２電位と前記第３画像信号に応じた第３電位とを用いて、前記第３画像信号と同じ論理である第４画像信号を前記第４出力端子に出力する機能と、を有し、

前記第１保持回路と、前記第２保持回路と、のそれぞれは、縦チャネル型トランジスタを有する、

駆動回路。

［請求項１１］

請求項１０において、

前記第１保持回路は、第１トランジスタと、第２トランジスタと、第３トランジスタと、第１容量素子と、を有し、

前記第１トランジスタ乃至前記第３トランジスタのそれぞれは、前記縦チャネル型トランジスタであり、

前記第１入力端子は、前記第１配線に電気的に接続され、

前記第３入力端子は、前記第２配線に電気的に接続され、

前記第１トランジスタのソース及びドレインの一方は、前記第１入力端子に電気的に接続され、

前記第１トランジスタのゲートは、前記第２入力端子に電気的に接続され、

前記第１トランジスタのソース及びドレインの他方は、前記第３トランジスタのゲートと、前記第１容量素子の第１端子と、前記第２出力端子と、に電気的に接続され、

前記第２トランジスタのソース及びドレインの一方は、前記第２トランジスタのゲートと、前記第３入力端子と、に電気的に接続され、

前記第２トランジスタのソース及びドレインの他方は、前記第３トランジスタのソース及びドレインの一方と、前記第３出力端子と、に電気的に接続される、

駆動回路。

［請求項１２］

請求項１１において、

前記第２保持回路は、第５トランジスタと、第６トランジスタと、第７トランジスタと、第８トランジスタと、第９トランジスタと、第１０トランジスタと、第２容量素子と、第３容量素子と、を有し、

前記第５トランジスタ乃至前記第１０トランジスタのそれぞれは、前記縦チャネル型トランジスタであり、

前記第６入力端子は、前記第２配線に電気的に接続され、

前記第５トランジスタのゲートは、前記第５入力端子に電気的に接続され、

前記第５トランジスタのソース及びドレインの一方は、前記第６トランジスタのゲートと、前記第１０トランジスタのソース及びドレインの一方と、前記第２容量素子の第１端子と、に電気的に接続され、

前記第６トランジスタのソース及びドレインの一方は、前記第７トランジスタのソース及びドレインの一方と、前記第２容量素子の第２端子と、前記第４出力端子と、に電気的に接続され、

前記第８トランジスタのソース及びドレインの一方は、前記第４入力端子に電気的に接続され、

前記第８トランジスタのゲートは、前記第６入力端子に電気的に接続され、

前記第８トランジスタのソース及びドレインの他方は、前記第９トランジスタのソース及びドレインの一方と、前記第７トランジスタのゲートと、前記第１０トランジスタのゲートと、前記第３容量素子の第１端子と、に電気的に接続される、

駆動回路。

［請求項１３］

請求項１１において、

前記第２保持回路は、第５トランジスタと、第６トランジスタと、第７トランジスタと、第８トランジスタと、第９トランジスタと、第１０トランジスタと、第２容量素子と、第３容量素子と、を有し、

前記第５トランジスタ乃至前記第１０トランジスタのそれぞれは、前記縦チャネル型トランジスタであり、

前記第６入力端子は、前記第２配線に電気的に接続され、

前記第５トランジスタのソース及びドレインの一方は、前記第５トランジスタのゲートと、前記第

５入力端子と、に電気的に接続され、

前記第５トランジスタのソース及びドレインの他方は、前記第６トランジスタのゲートと、前記第１０トランジスタのソース及びドレインの一方と、前記第２容量素子の第１端子と、に電気的に接続され、

前記第６トランジスタのソース及びドレインの一方は、前記第７トランジスタのソース及びドレインの一方と、前記第２容量素子の第２端子と、前記第４出力端子と、に電気的に接続され、

前記第８トランジスタのソース及びドレインの一方は、前記第４入力端子に電気的に接続され、

前記第８トランジスタのゲートは、前記第６入力端子に電気的に接続され、

前記第８トランジスタのソース及びドレインの他方は、前記第９トランジスタのソース及びドレインの一方と、前記第７トランジスタのゲートと、前記第１０トランジスタのゲートと、前記第３容量素子の第１端子と、に電気的に接続される、

駆動回路。

［請求項１４］

請求項１１又は請求項１２において、

前記縦チャネル型トランジスタは、第１絶縁層の下方に位置しかつソース及びドレインの一方として機能する第１導電層と、前記第１絶縁層の上方に位置しかつ前記ソース及び前記ドレインの他方として機能する第２導電層と、前記第１絶縁層に形成された開口の側面に接しかつ前記第１導電層と前記第２導電層とに接する半導体層と、前記半導体層上に位置するゲート絶縁膜と、前記ゲート絶縁膜上に位置するゲート電極と、を有し、

前記第１絶縁層の厚さは、５０ｎｍ以上１５０ｎｍ以下である、

駆動回路。

［請求項１５］

請求項１４において、

前記半導体層は、チャネル形成領域にインジウム、亜鉛、及び元素Mから選ばれる一又は複数を有し、

前記元素Mは、アルミニウム、ガリウム、シリコン、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、コバルト、マグネシウム及びアンチモンから選ばれた一又は複数である、

駆動回路。

［請求項１６］

請求項１５に記載の駆動回路と、画素回路と、を有し、

前記画素回路は、ＬＥＤチップを含む発光デバイスを有し、

前記画素回路は、前記駆動回路から出力された前記第４画像信号に応じて、前記発光デバイスの発光又は非発光の制御を行う、

表示装置。

［請求項１７］

請求項１６に記載の表示装置と、筐体と、を有する電子機器。

図1

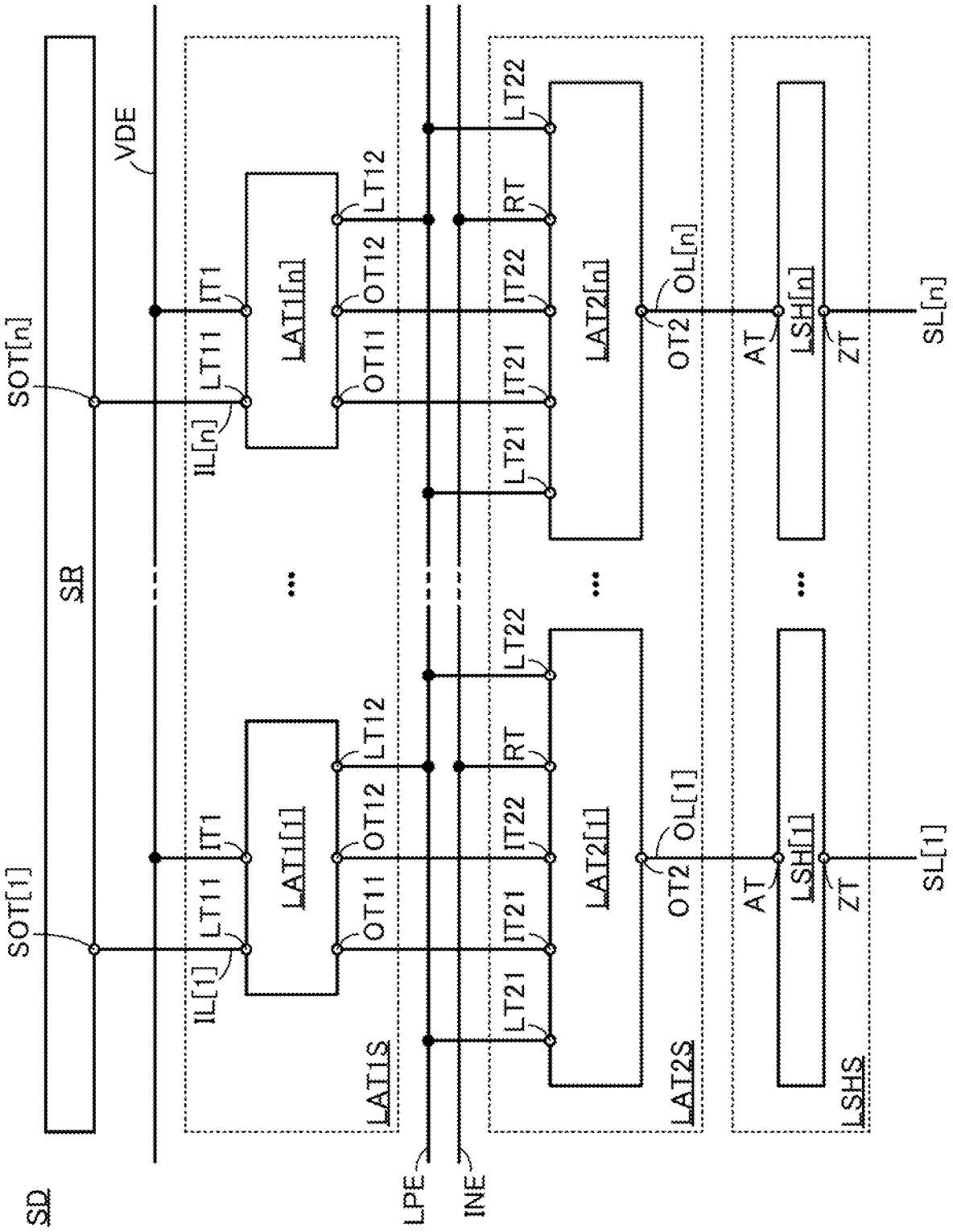

SD
SR
VDE
SOT[n]
SOT[1]
IL[n]
IL[1]
LT11
IT1
OT11
OT12
LT12
LAT1[n]
LAT1[1]
LAT1S
LT21
IT21
OT21
OT22
LT22
RT
LAT2[n]
LAT2[1]
LAT2S
OT2
OL[n]
OL[1]
AT
LSH[n]
LSH[1]
ZT
LSHS
SL[n]
SL[1]
LPE
INE

図2

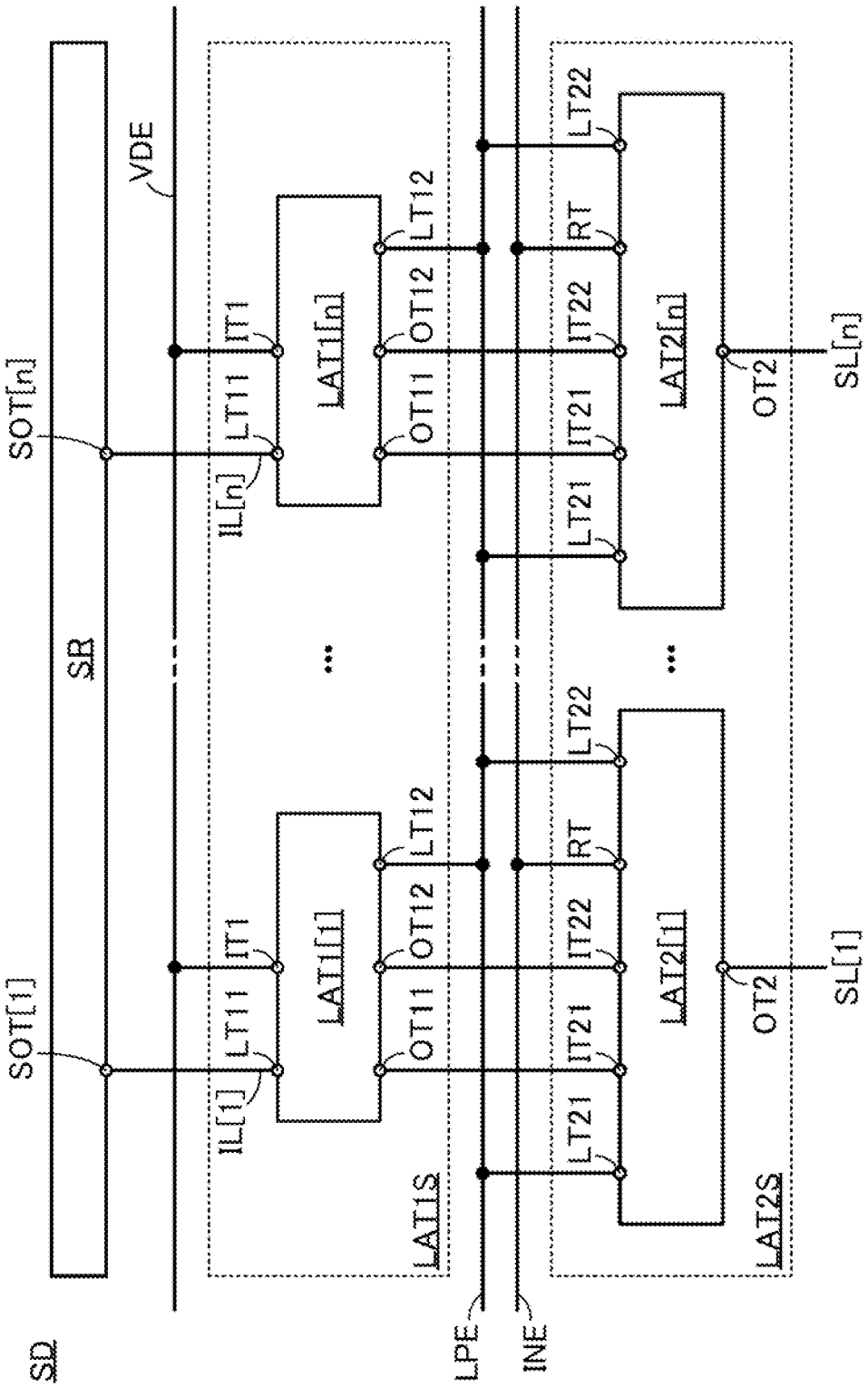

SD
SR
VDE
SOT[n]
SOT[1]
IL[n]
IL[1]
LT11
IT1
OT11
OT12
LT12
LAT1[n]
LAT1[1]
LAT1S
LT21
IT21
OT21
OT22
RT
LT22
LAT2[n]
LAT2[1]
LAT2S
OT2
SL[n]
SL[1]
LPE
INE

図3A

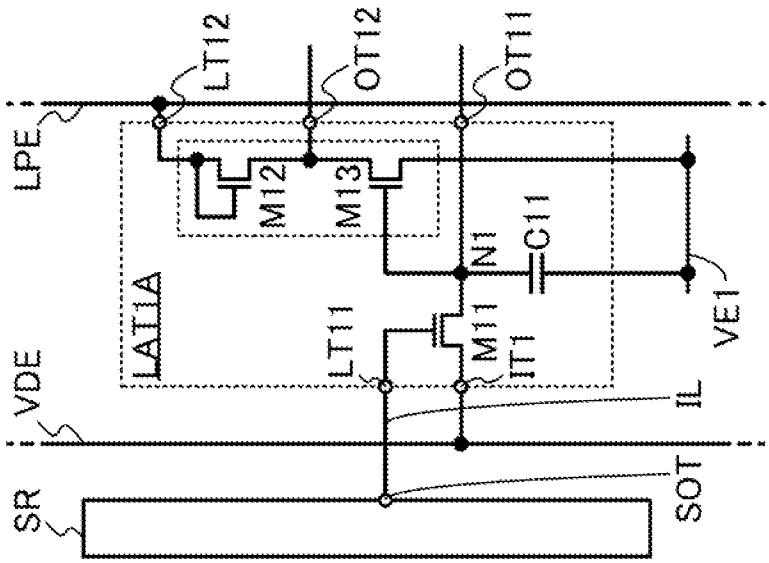

SR
VDE
LPE
LAT1A
LT11
LT12
M11
M12
M13
IT1
N1
C11
VE1
IL
SOT
OT11
OT12

図3B

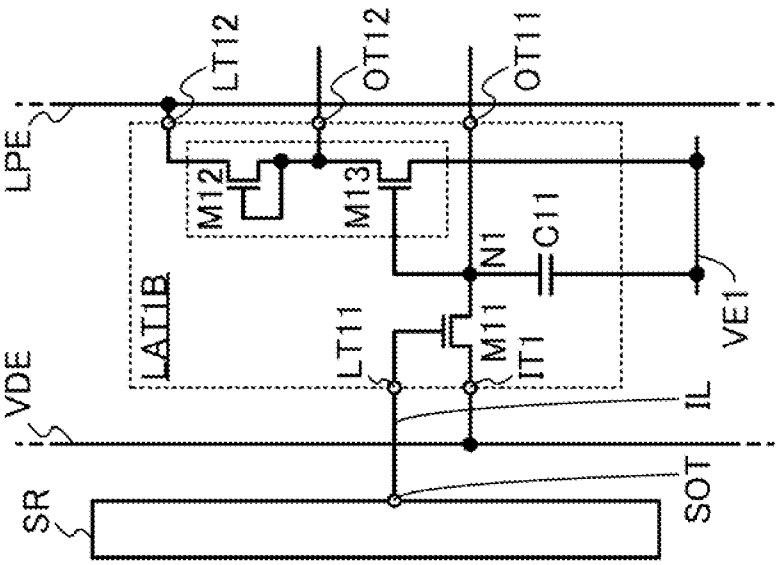
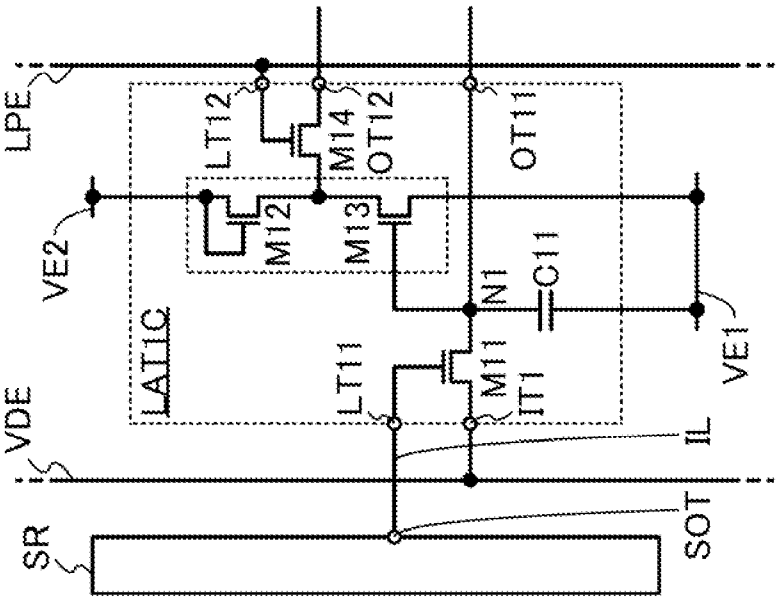

SR
VDE
LPE
LAT1B
LT11
LT12
M11
M12
M13
IT1
N1
C11
VE1
IL
SOT
OT11
OT12

図3C


SR
VDE
LPE
LAT1C
LT11
LT12
M11
M12
M13
M14
IT1
N1
C11
VE1
VE2
IL
SOT
OT11
OT12

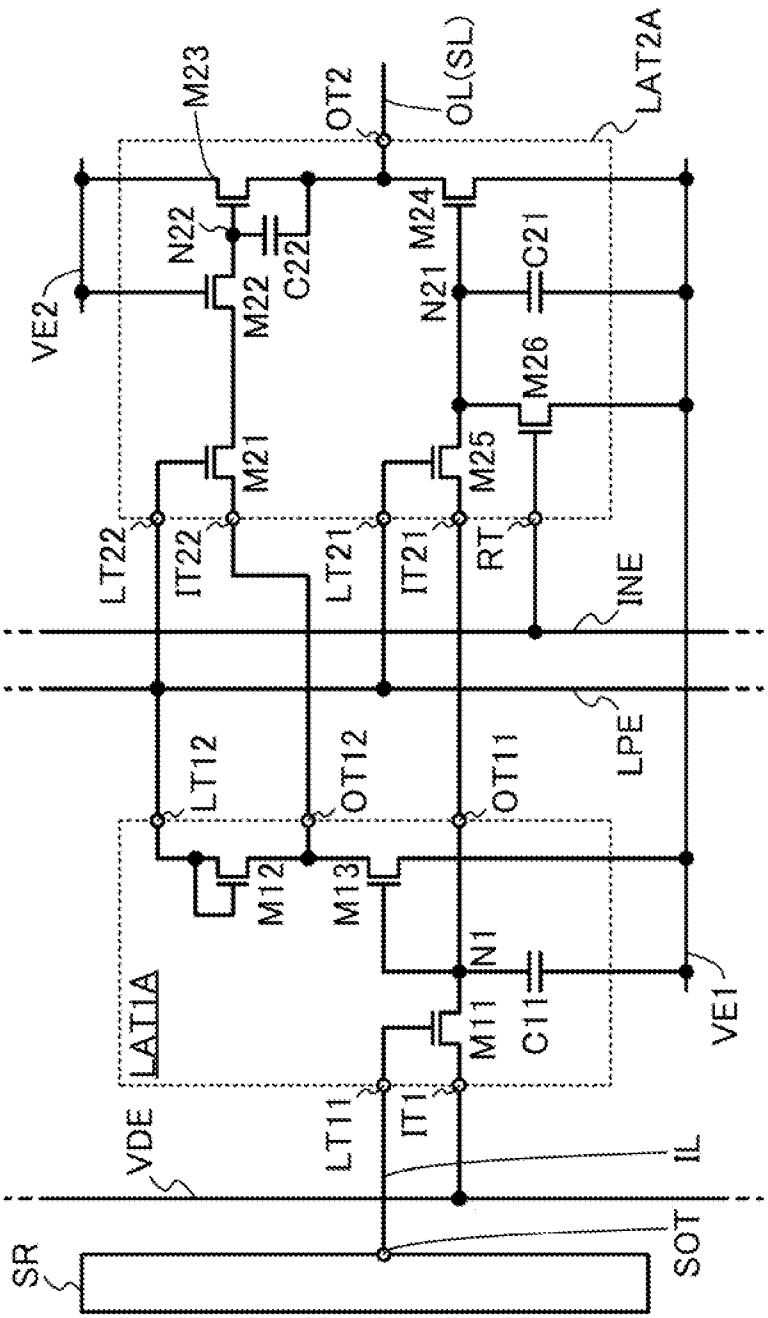

M23
OT2
OL(SL)
LAT2A
N22
C22
M24
C21
VE2
M22
N21
M26
M21
M25
LT22
IT22
LT21
IT21
RT
INE
LPE
LT12
OT12
OT11
M12
M13
N1
C11
VE1
M11
LAT1A
LT11
IT1
VDE
IL
SOT
SR

図4

図5A

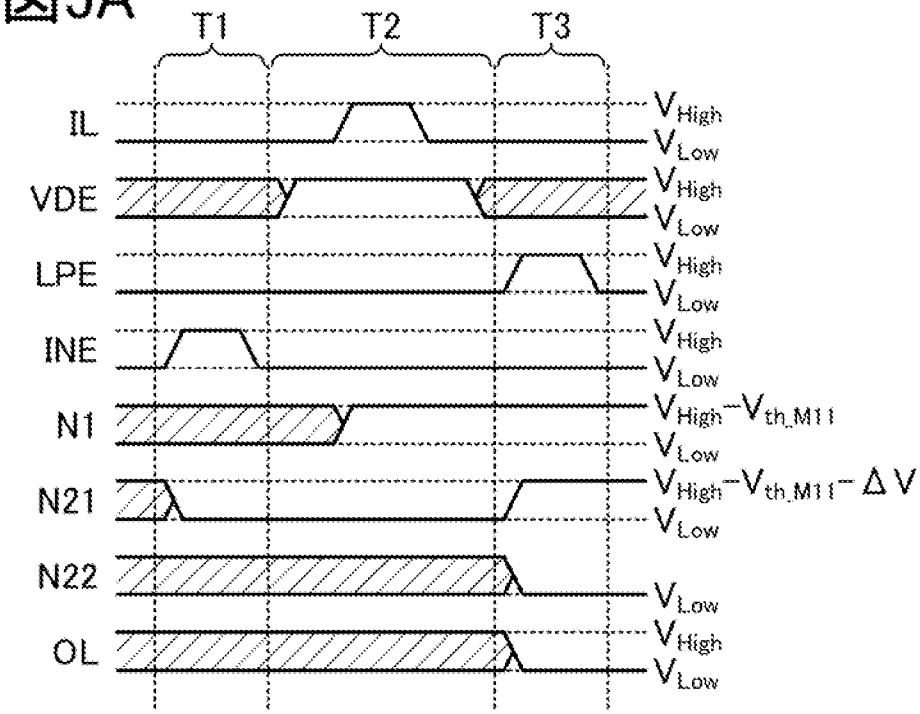
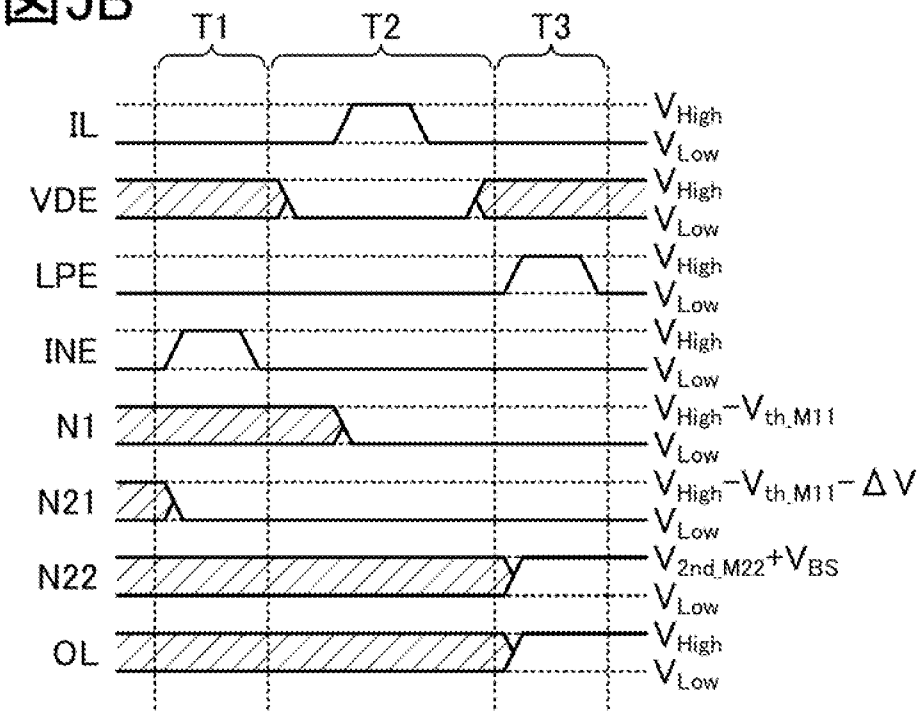

T1
T2
T3
IL
VDE
LPE
INE
N1
N21
N22
OL
V_{High}
V_{Low}
$V_{High}-V_{th\_M11}$
$V_{High}-V_{th\_M11}-\Delta V$

図5B


T1
T2
T3
IL
VDE
LPE
INE
N1
N21
N22
OL
V_{High}
V_{Low}
$V_{High}-V_{th\_M11}$
$V_{High}-V_{th\_M11}-\Delta V$
$V_{2nd\_M22}+V_{BS}$

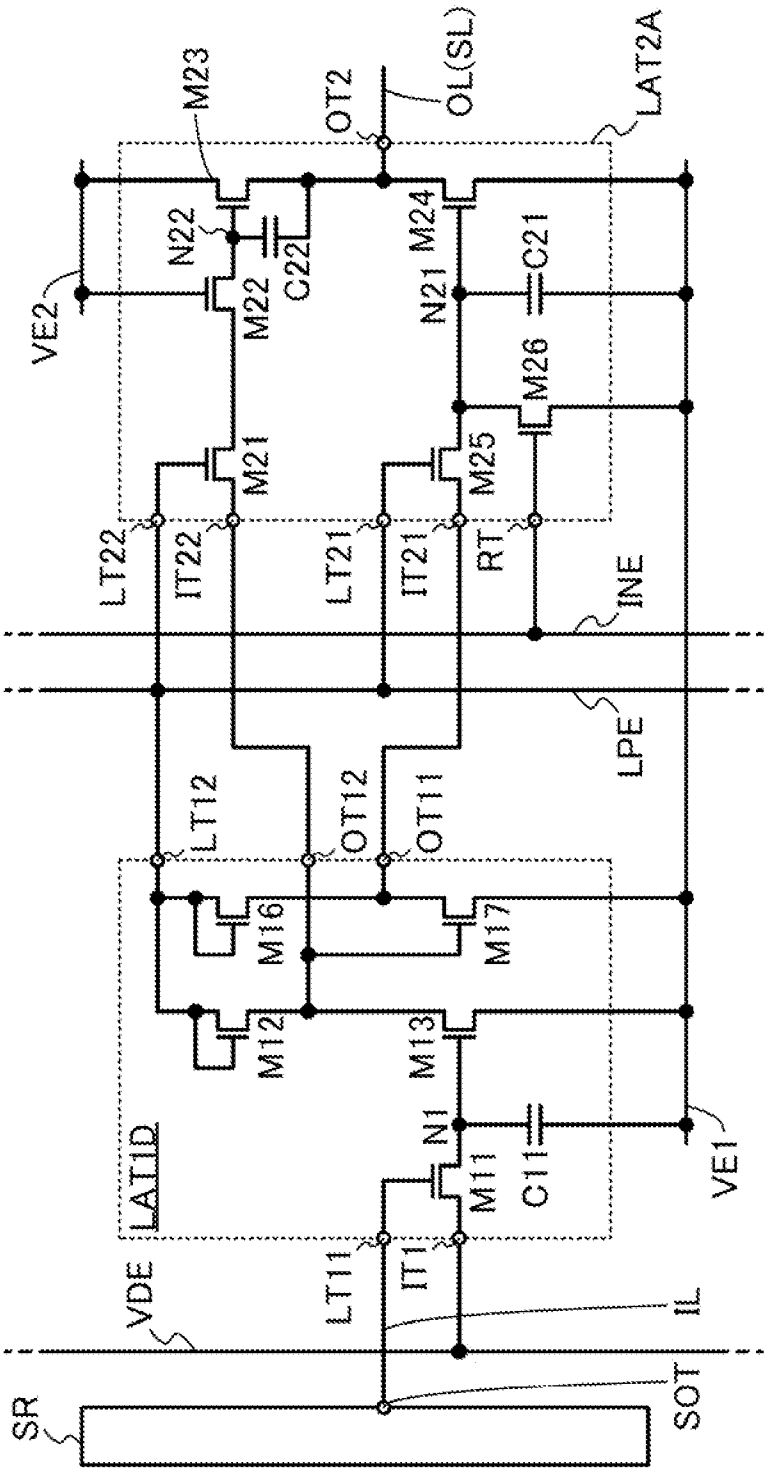

M23
OT2
OL(SL)
LAT2A
N22
C22
M24
C21
VE2
M22
N21
M26
M21
M25
LT22
IT22
LT21
IT21
RT
INE
LPE
LT12
OT12
OT11
M16
M17
M12
M13
N1
C11
VE1
LAT1D
M11
LT11
IT1
VDE
IL
SR
SOT

図6

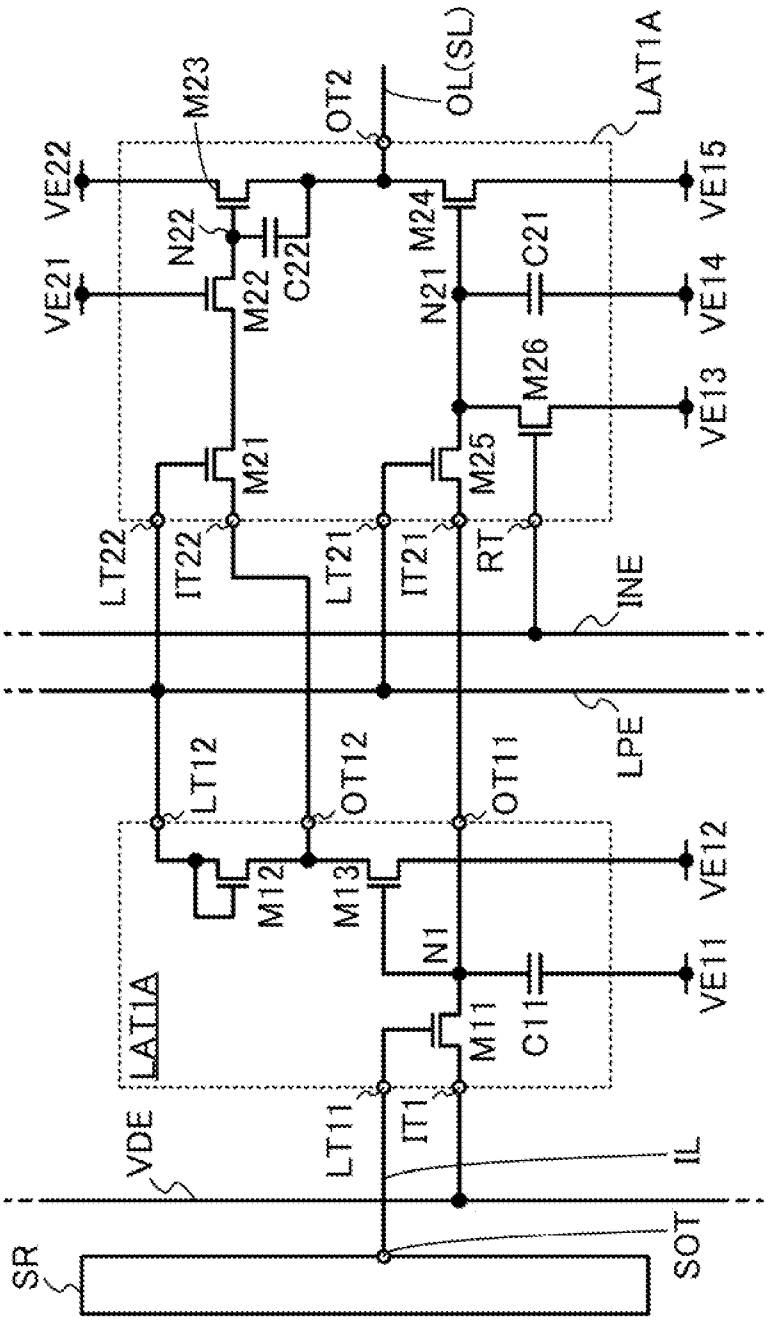

SR
SOT
VDE
IL
LAT1A
LT11
IT1
M11
C11
N1
M12
M13
LT12
OT12
OT11
LPE
VE12
VE11
LT22
IT22
LT21
IT21
RT
INE
M21
M25
M26
VE13
VE21
VE22
N22
M22
C22
M23
OT2
OL(SL)
N21
M24
C21
VE14
VE15
LAT1A

図7

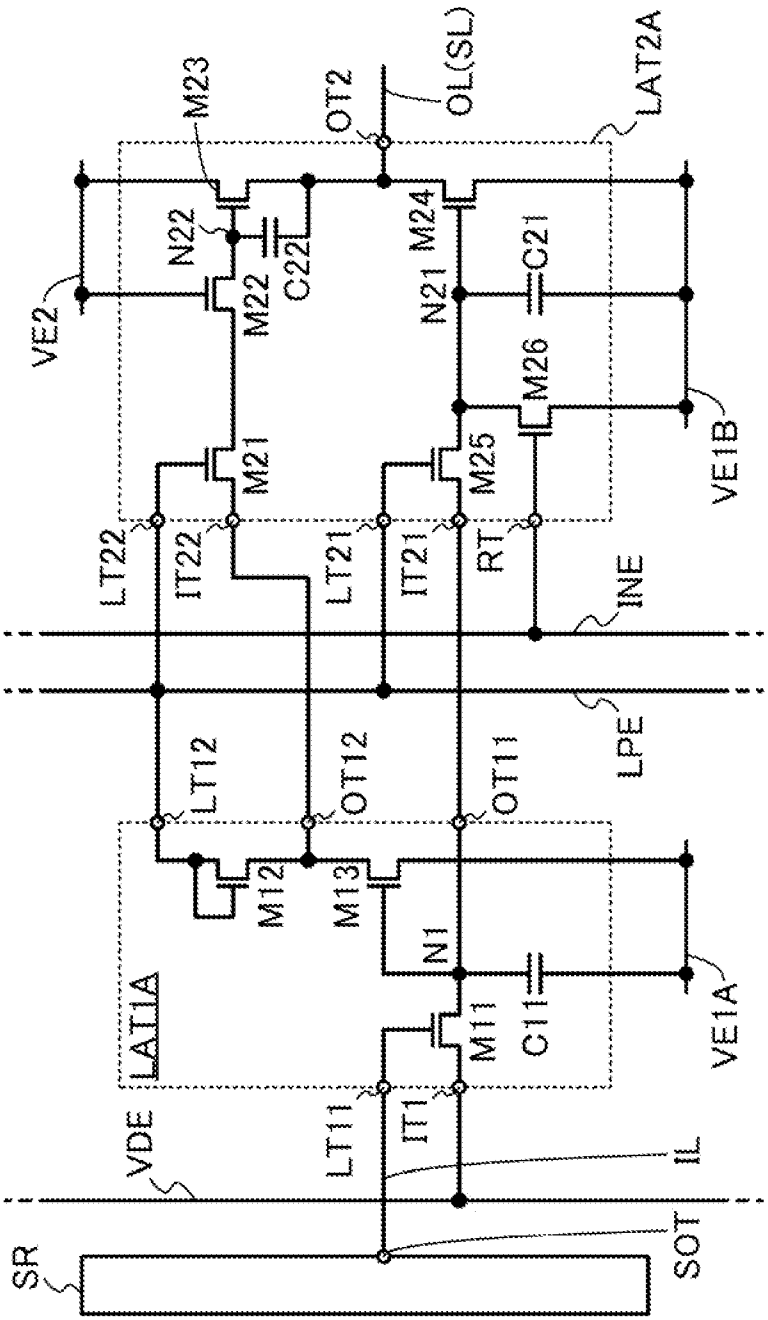

M23
OT2
OL(SL)
LAT2A
N22
M24
C22
C21
VE2
M22
N21
M26
M21
M25
VE1B
LT22
IT22
LT21
IT21
RT
INE
LPE
LT12
OT12
OT11
M12
M13
N1
LAT1A
M11
C11
VE1A
VDE
LT11
IT1
IL
SR
SOT

図8

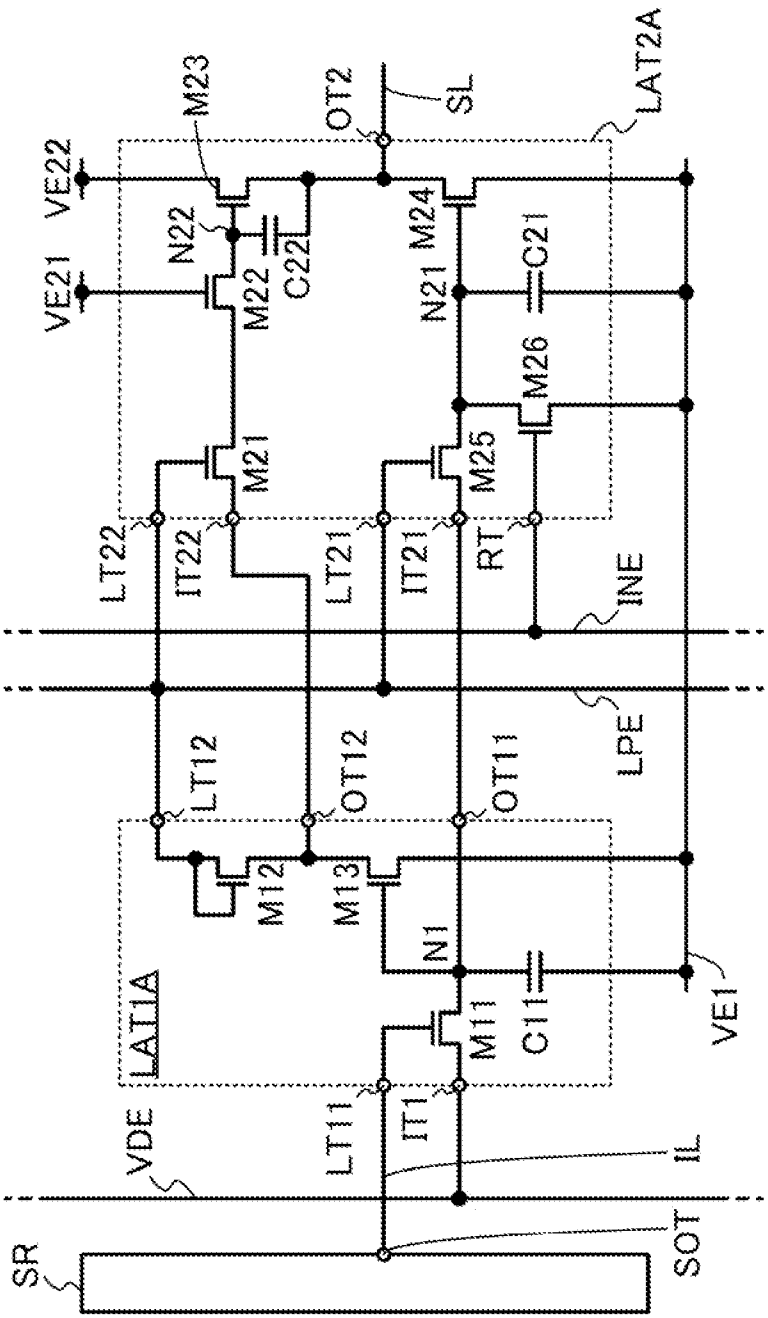

SR
SOT
IL
VDE
LT11
IT1
M11
C11
N1
M12
M13
LT12
OT12
OT11
LAT1A
VE1
LPE
INE
LT22
IT22
LT21
IT21
RT
M21
M25
M26
N21
C21
M22
C22
N22
M23
M24
VE21
VE22
OT2
SL
LAT2A

図9

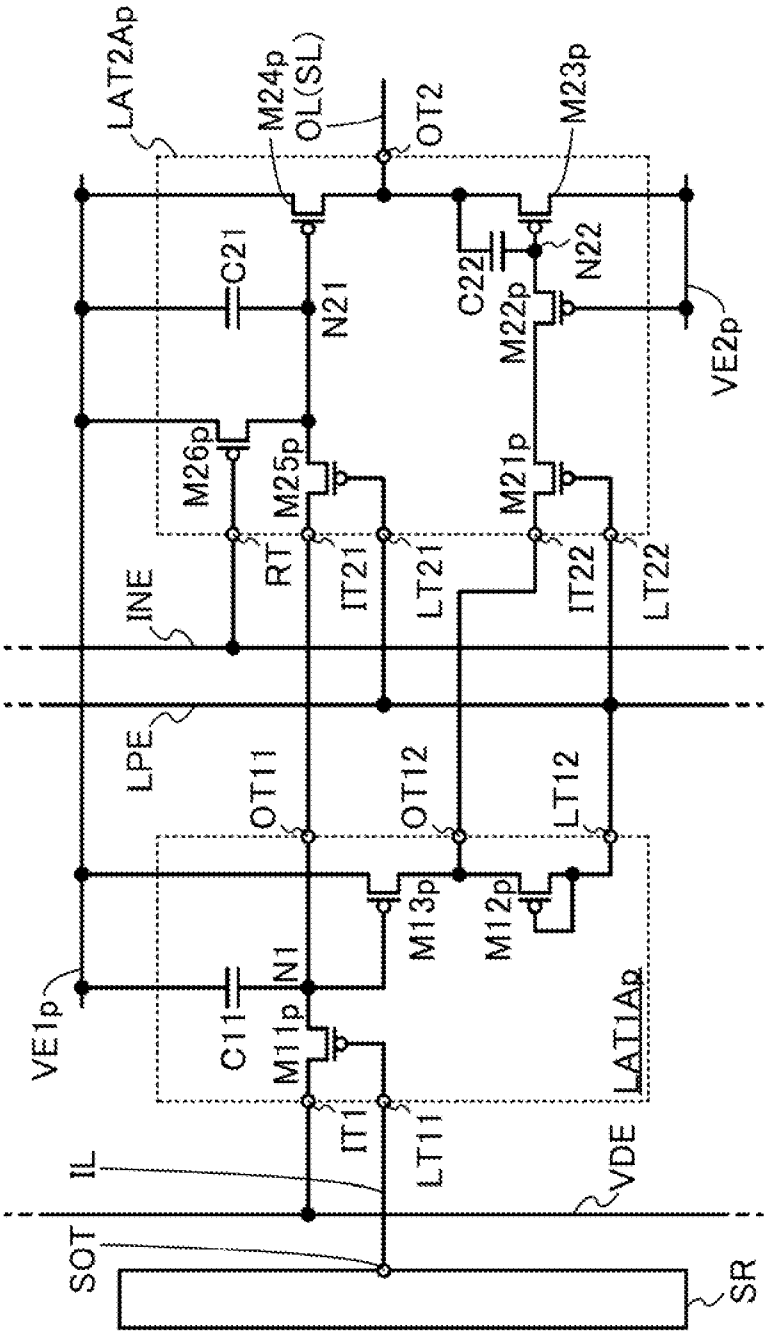

LAT2Ap
M24p
OL(SL)
OT2
M23p
C21
N21
C22
N22
M22p
VE2p
M26p
M25p
M21p
RT
IT21
LT21
IT22
LT22
INE
LPE
OT11
OT12
LT12
M13p
M12p
VE1p
N1
C11
M11p
LAT1Ap
IT1
LT11
VDE
IL
SOT
SR

図10

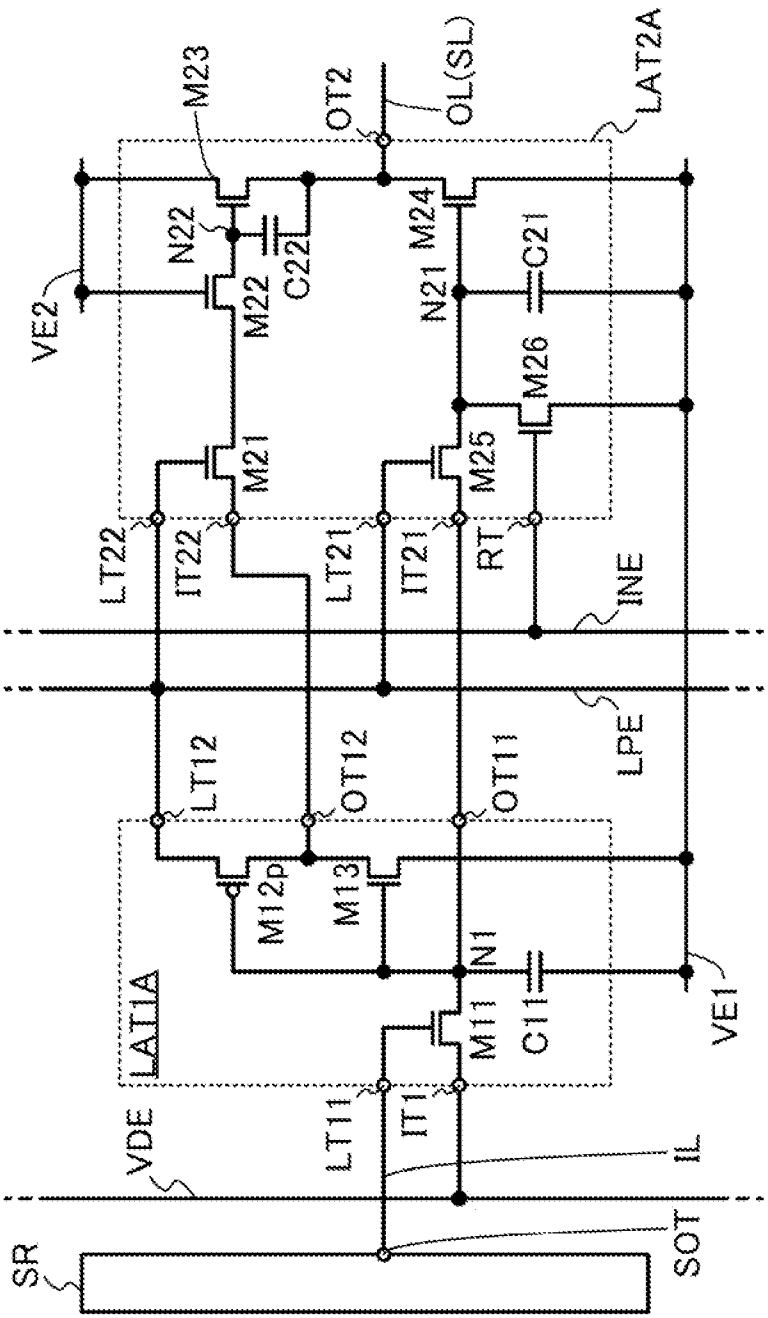

M23
OT2
OL(SL)
LAT2A
N22
C22
M24
C21
VE2
M22
N21
M26
M21
M25
LT22
IT22
LT21
IT21
RT
INE
LPE
LT12
OT12
OT11
M12p
M13
N1
C11
VE1
M11
LAT1A
LT11
IT1
VDE
IL
SOT
SR

図11

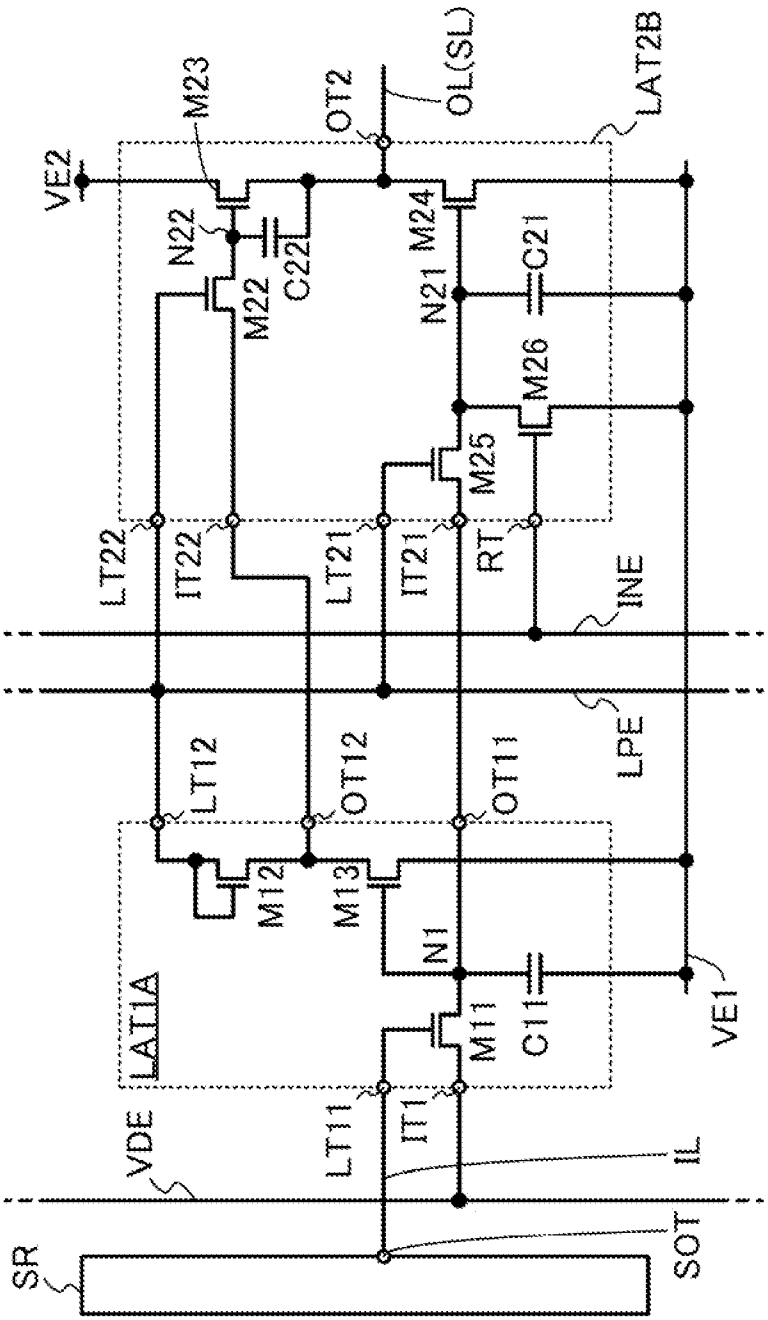

VE2
M23
OT2
OL(SL)
LAT2B
N22
C22
M22
N21
M24
C21
M26
M25
LT22
IT22
LT21
IT21
RT
INE
LPE
LT12
OT12
OT11
M12
M13
N1
C11
VE1
LAT1A
M11
VDE
LT11
IT1
IL
SOT
SR

図12

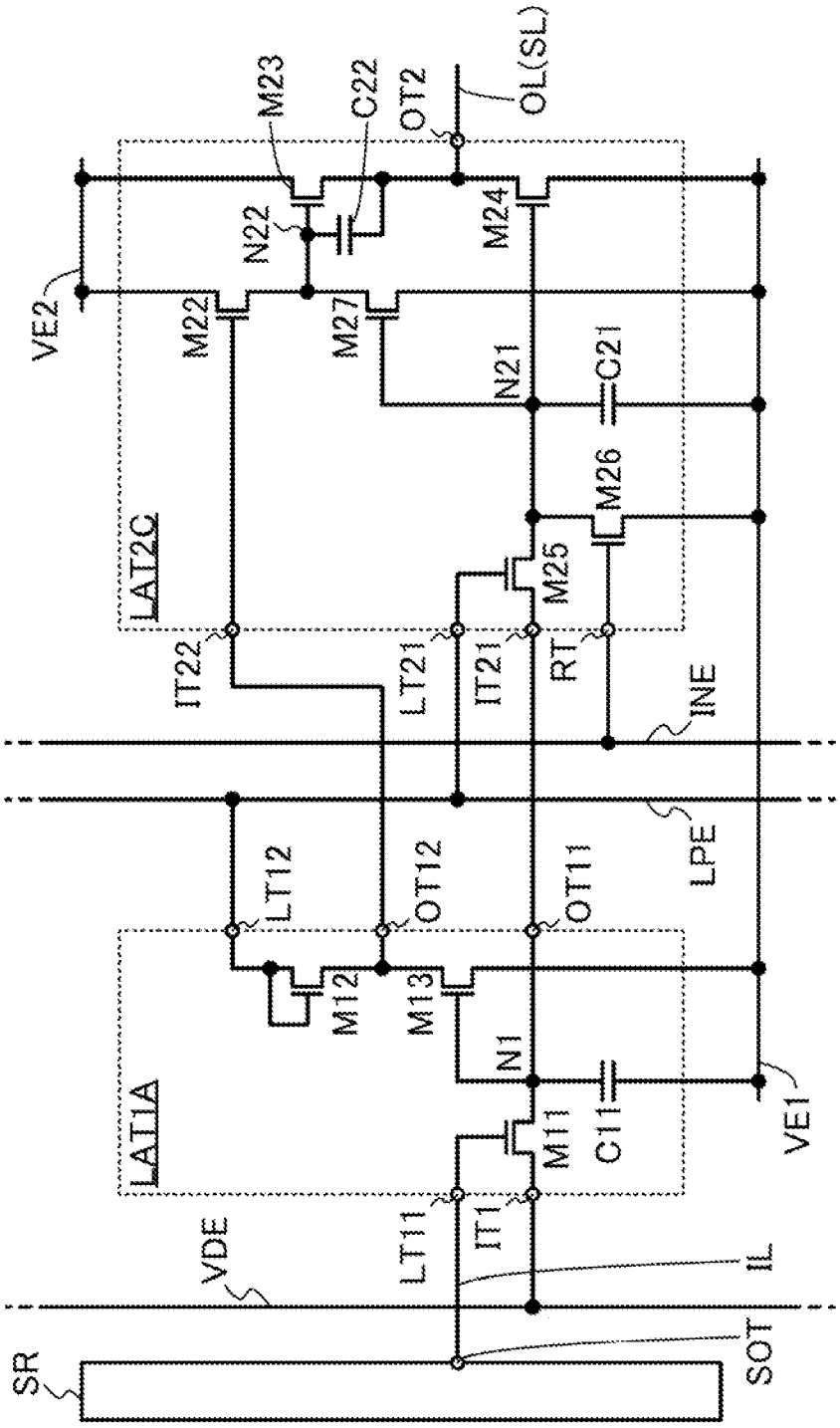

M23
C22
OT2
OL(SL)
N22
M24
VE2
M22
M27
N21
C21
M26
LAT2C
M25
IT22
LT21
IT21
RT
INE
LPE
LT12
OT12
OT11
M12
M13
N1
LAT1A
M11
C11
VE1
LT11
IT1
VDE
IL
SR
SOT

図13

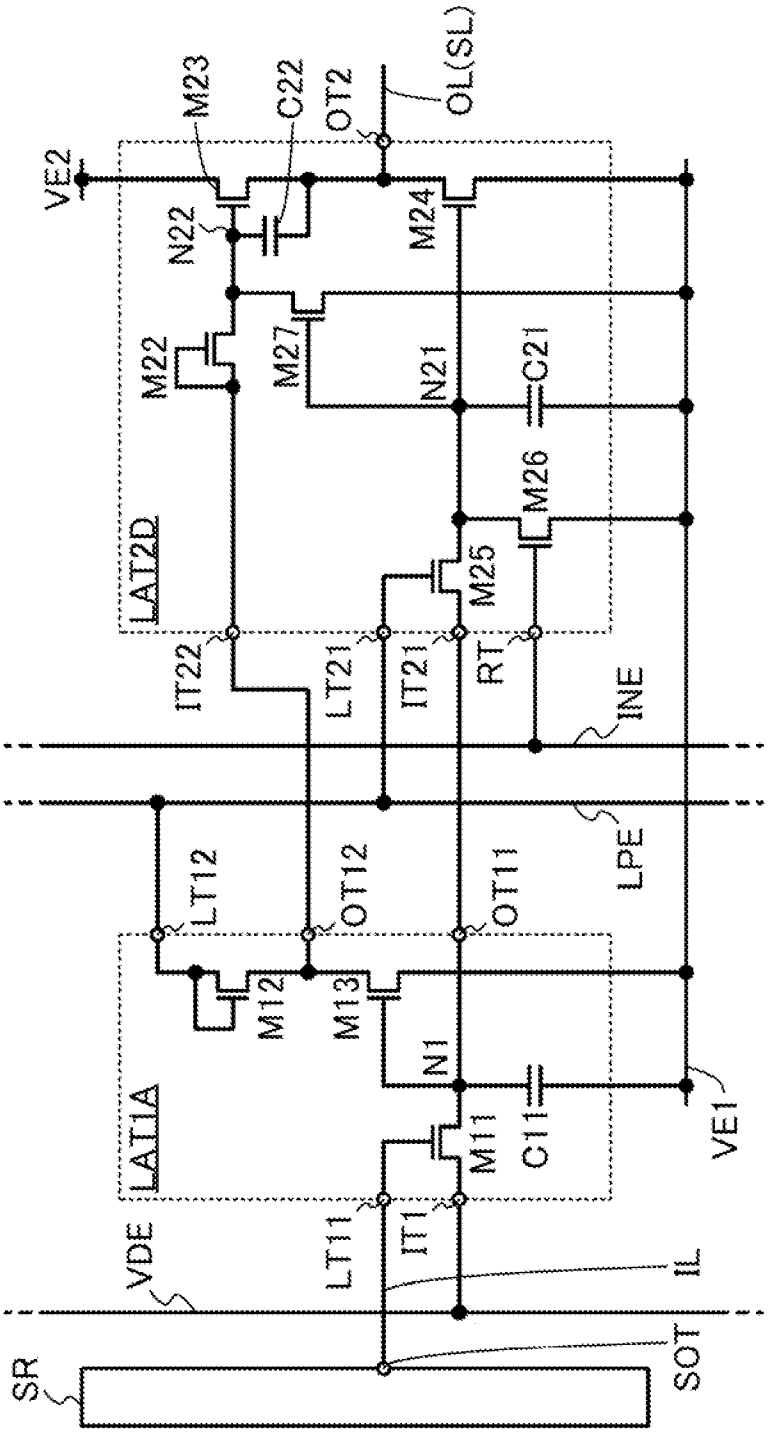

VE2
M23
C22
OT2
OL(SL)
N22
M24
M22
M27
N21
C21
M26
LAT2D
M25
IT22
LT21
IT21
RT
INE
LPE
LT12
OT12
OT11
M12
M13
N1
LAT1A
M11
C11
VE1
VDE
LT11
IT1
IL
SOT
SR

図14

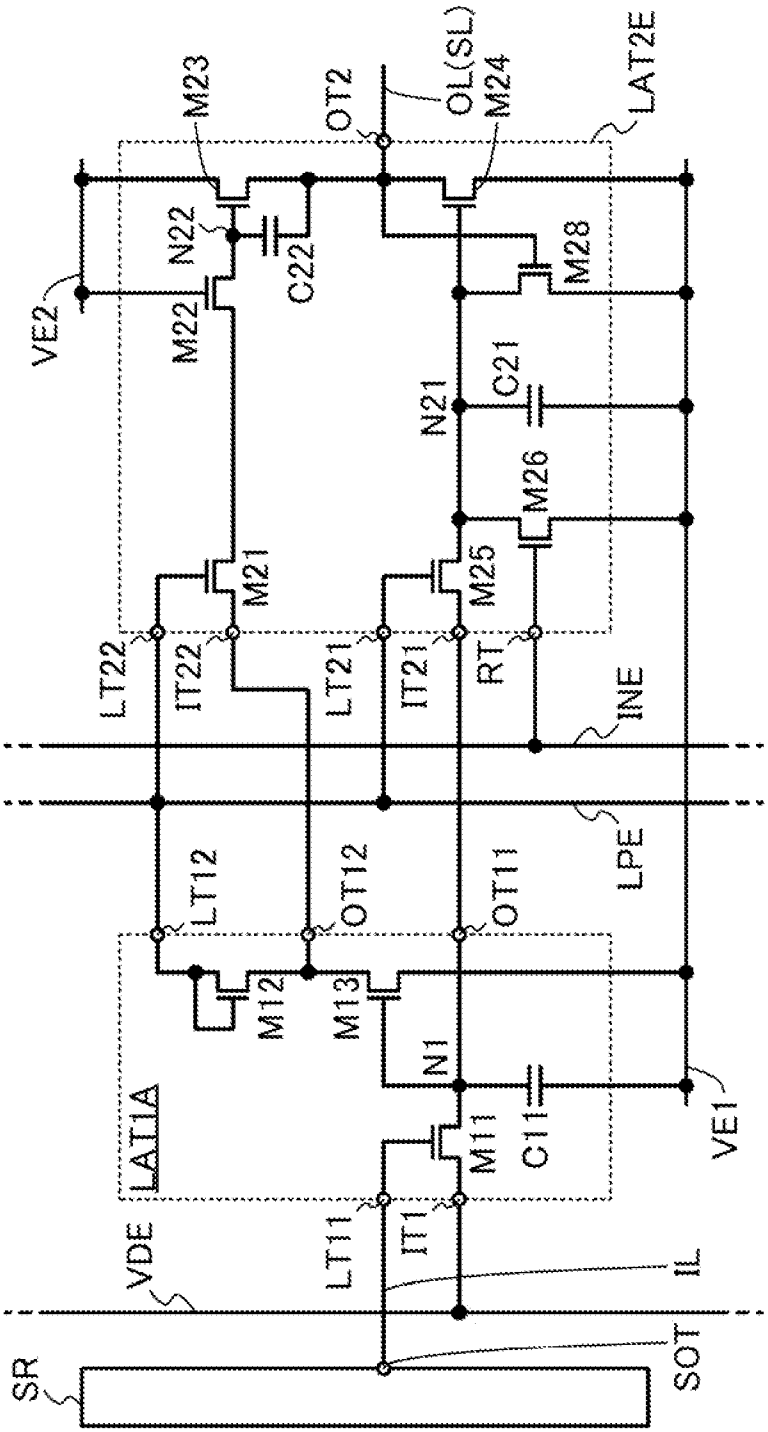

SR
SOT
VDE
IL
LAT1A
LT11
IT1
M11
C11
N1
M12
M13
LT12
OT12
OT11
LPE
VE1
LT22
IT22
LT21
IT21
RT
INE
M21
M25
M26
N21
C21
VE2
M22
N22
C22
M28
OT2
OL(SL)
M24
M23
LAT2E

図15

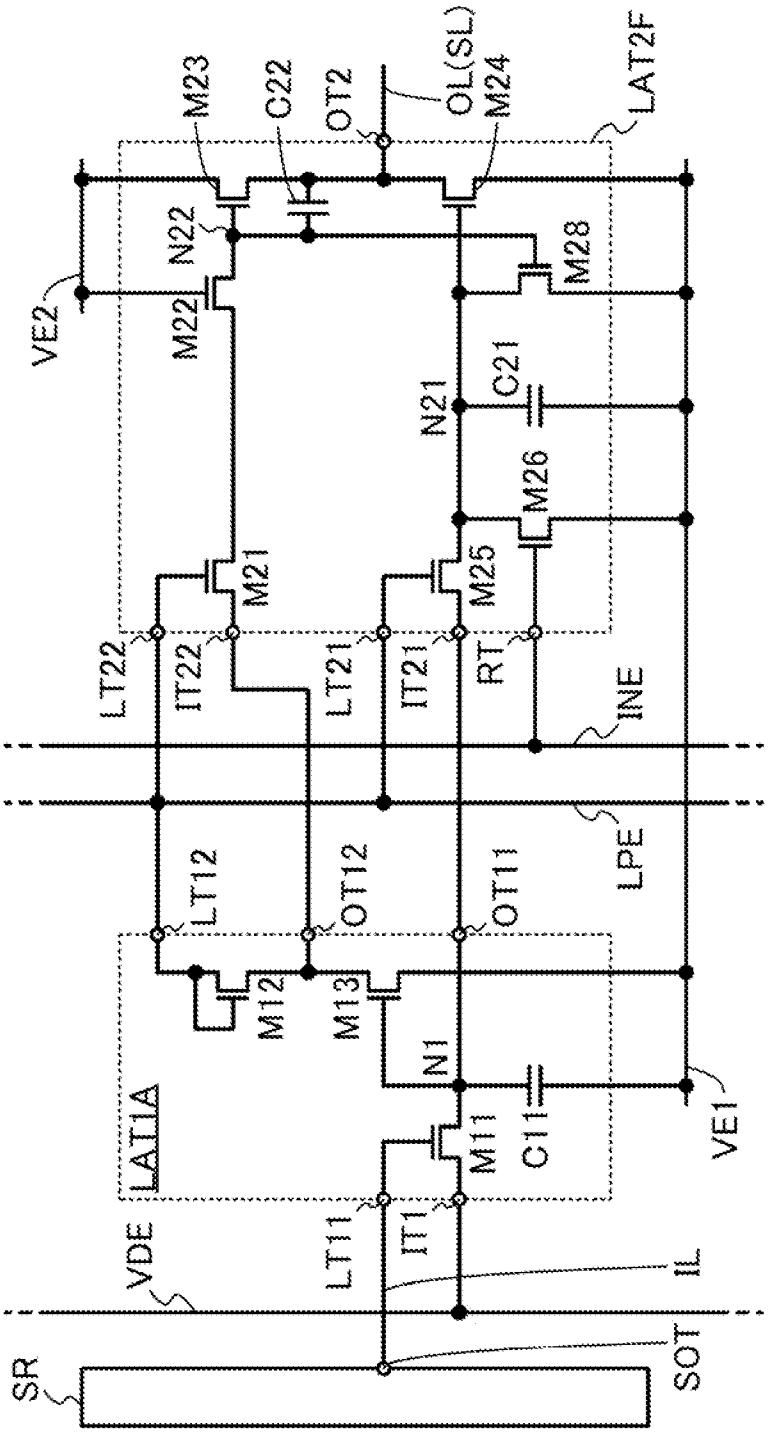

LAT2F
M23
C22
OT2
OL(SL)
M24
N22
M28
VE2
M22
C21
N21
M26
M21
M25
LT22
IT22
LT21
IT21
RT
INE
LPE
LT12
OT12
OT11
M12
M13
N1
C11
VE1
LAT1A
M11
VDE
LT11
IT1
IL
SR
SOT

図16

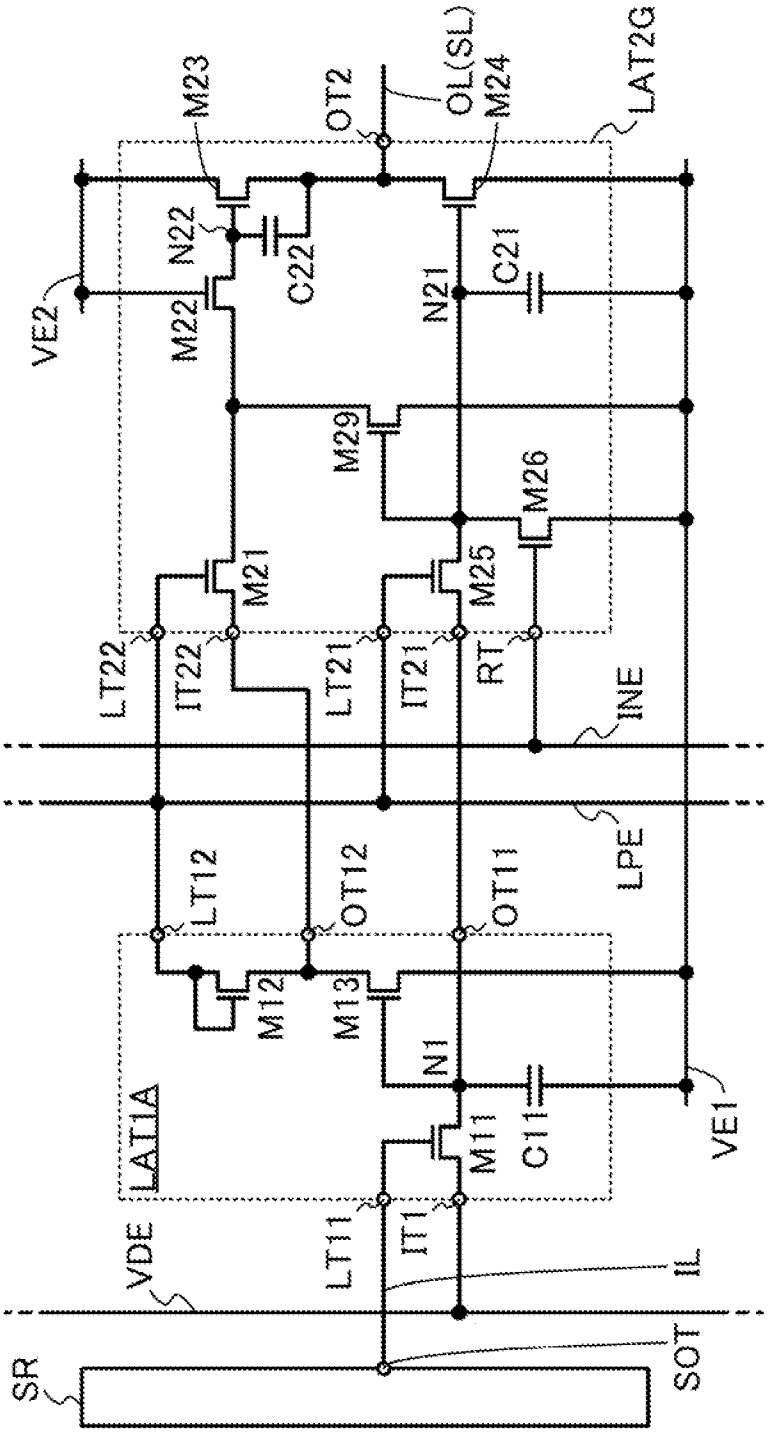

M23
OT2
OL(SL)
M24
LAT2G
N22
C22
N21
C21
VE2
M22
M29
M26
M21
M25
LT22
IT22
LT21
IT21
RT
INE
LPE
LT12
OT12
OT11
M12
M13
N1
C11
VE1
LAT1A
M11
VDE
LT11
IT1
IL
SOT
SR

図17

図18

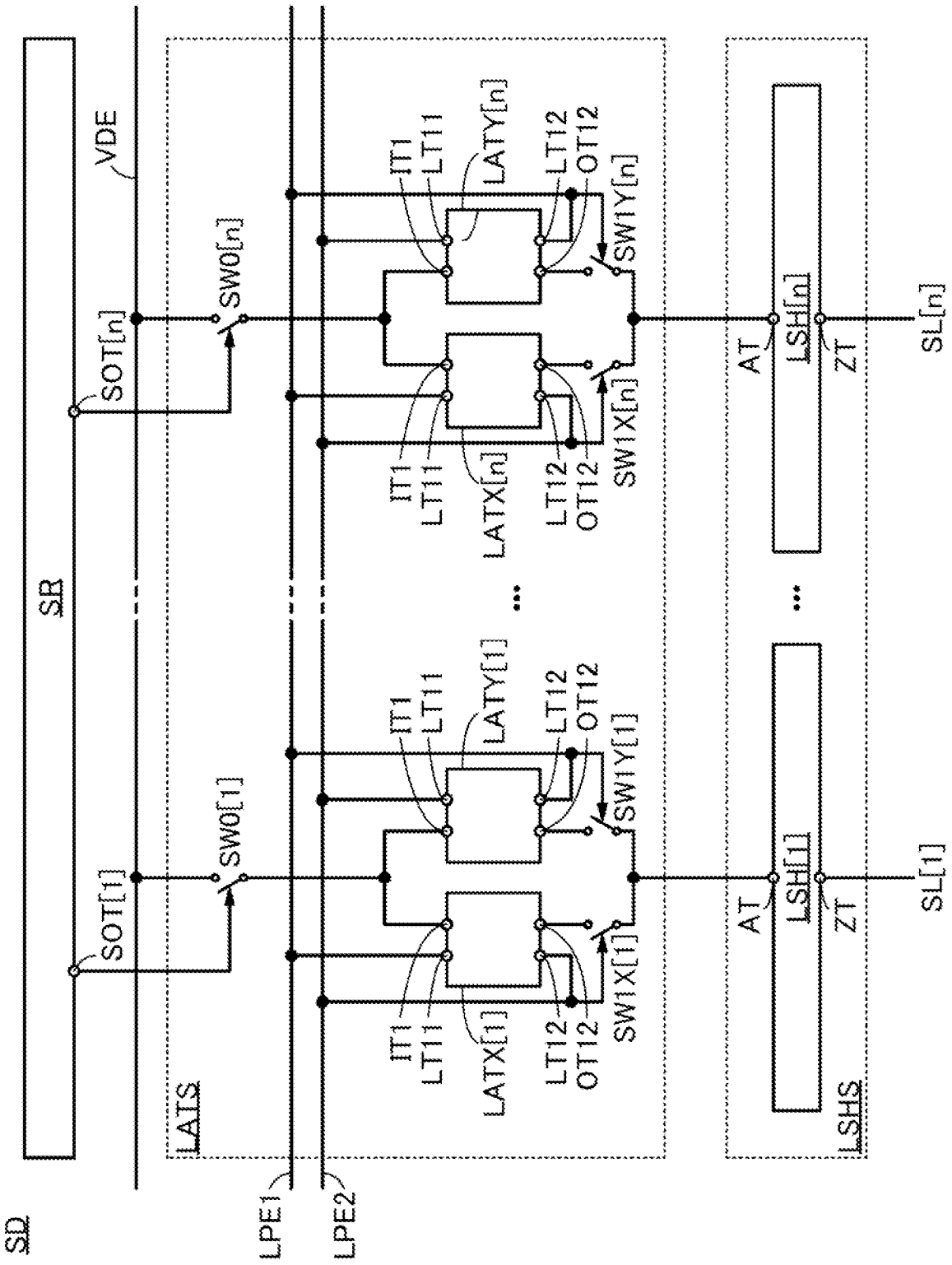
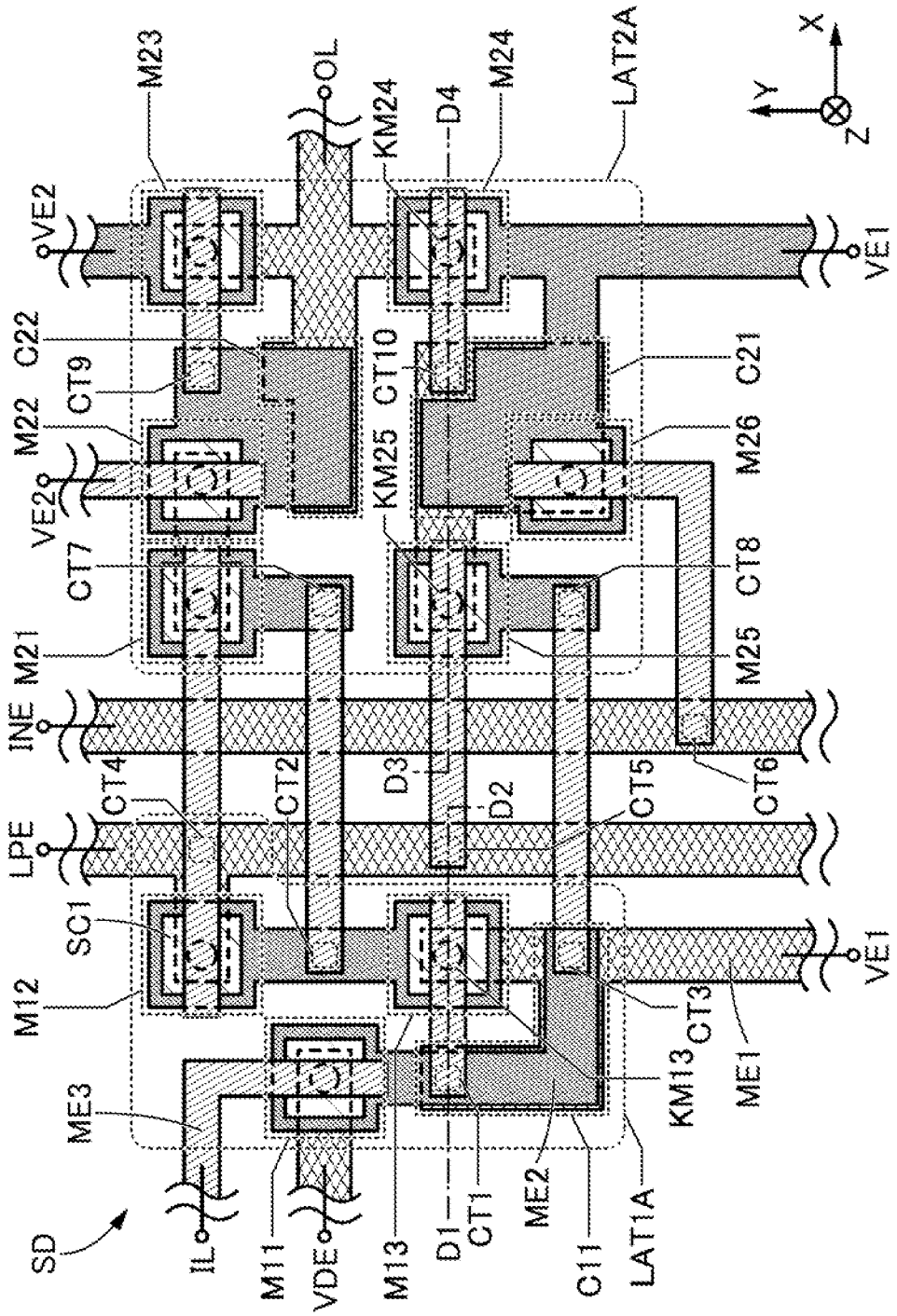

SD
SR
VDE
SOT[n]
SOT[1]
SW0[n]
SW0[1]
LATS
LPE1
LPE2
IT1
LT11
LATY[n]
LT12
OT12
SW1Y[n]
LATX[n]
SW1X[n]
LATY[1]
SW1Y[1]
LATX[1]
SW1X[1]
AT
LSH[n]
LSH[1]
ZT
SL[n]
SL[1]
LSHS

図19


M23
OL
KM24
D4
M24
LAT2A
X
Y
Z
VE2
VE1
C22
CT9
M22
CT10
C21
VE2
KM25
M26
CT7
CT8
M21
M25
INE
CT4
CT2
D3
CT5
CT6
LPE
D2
SC1
VE1
M12
CT3
ME1
KM13
ME3
SD
IL
M11
VDE
M13
D1
CT1
ME2
C11
LAT1A

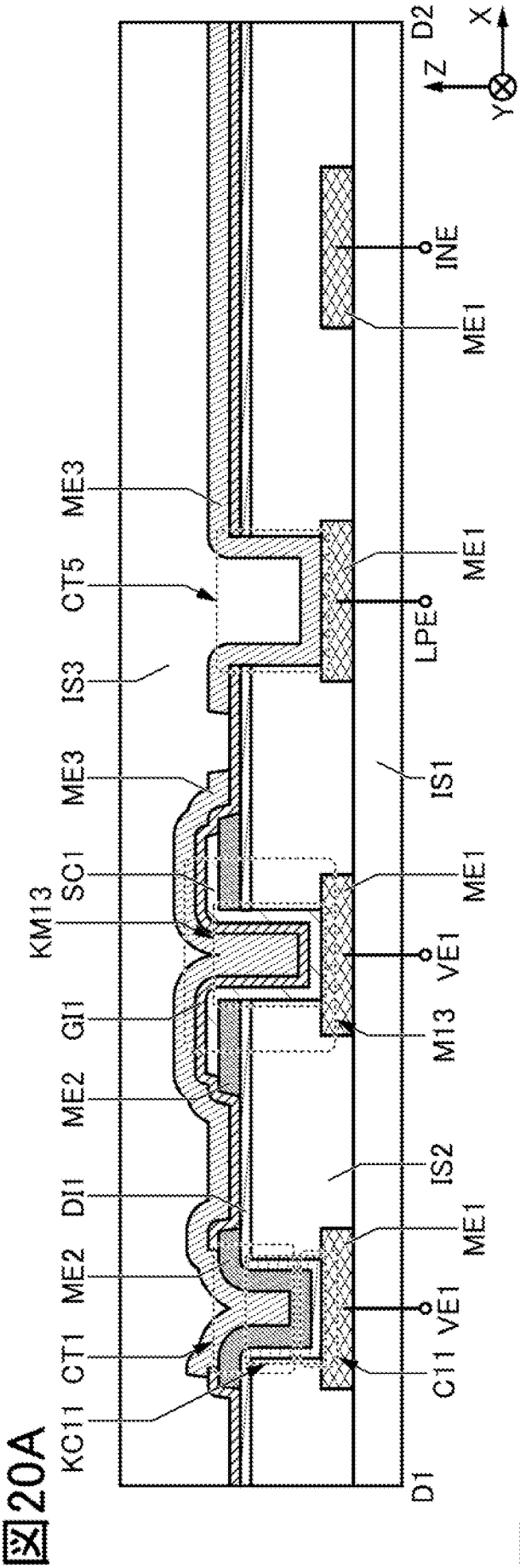

D2
X
Z
Y
INE
ME1
ME3
CT5
LPE
ME1
IS3
IS1
ME3
KM13
SC1
ME1
VE1
GI1
M13
ME2
IS2
DI1
ME1
ME2
CT1
VE1
KC11
C11
D1

図20A

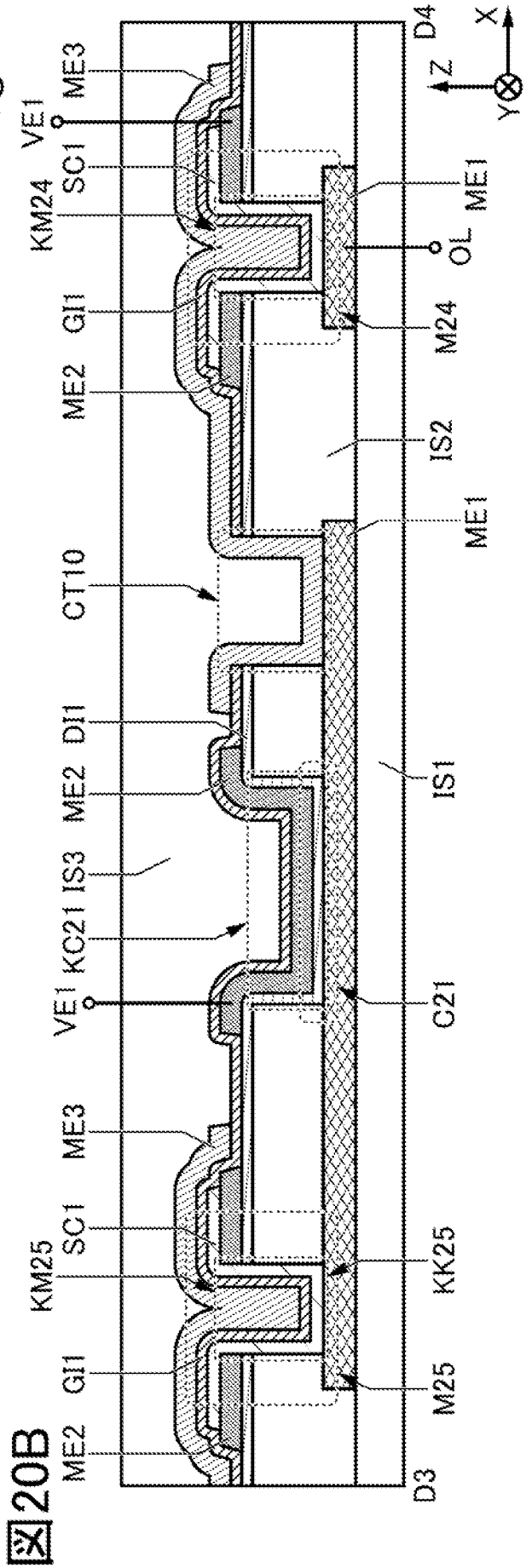

D4
X
Z
Y
ME3
VE1
SC1
KM24
ME1
OL
GI1
M24
ME2
IS2
ME1
CT10
DI1
IS1
ME2
IS3
KC21
VE1
C21
ME3
KM25
SC1
KK25
GI1
M25
ME2
D3

図20B

図21A

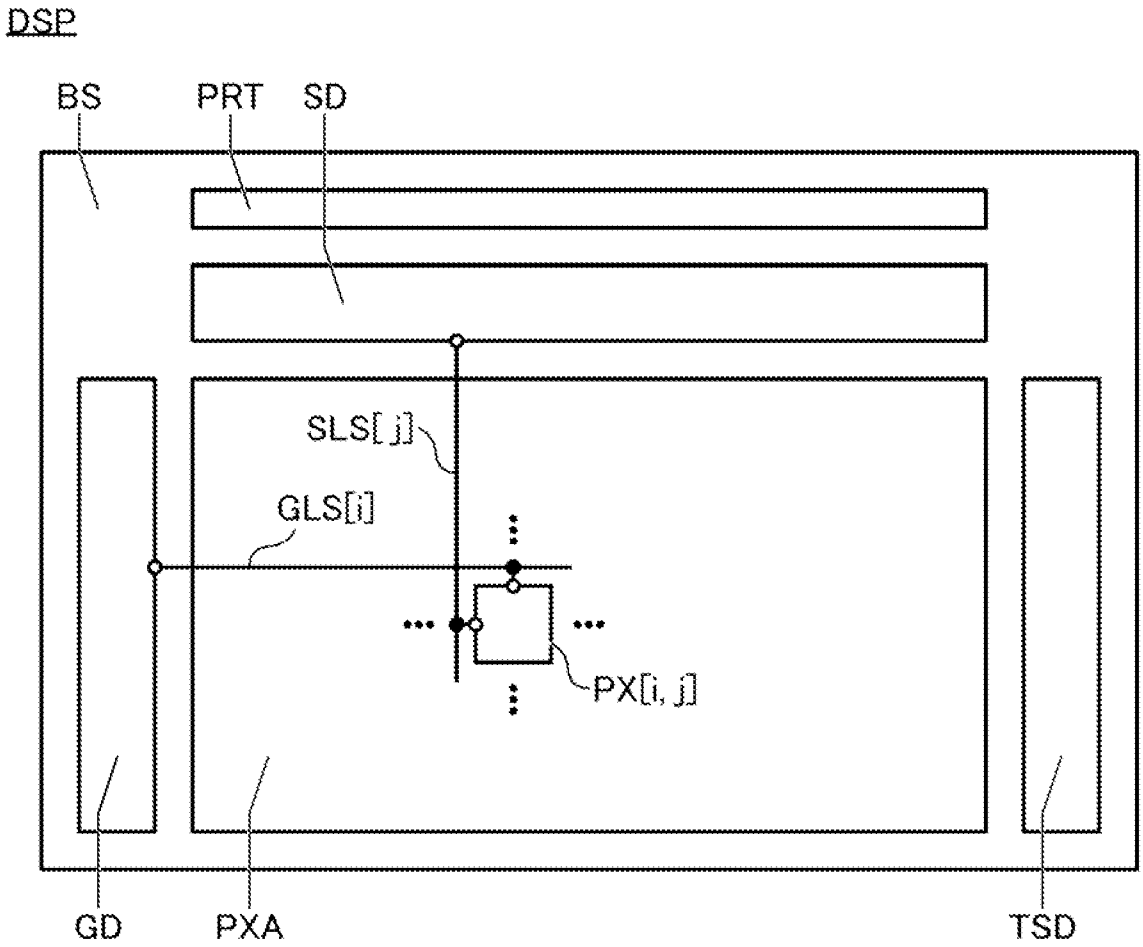
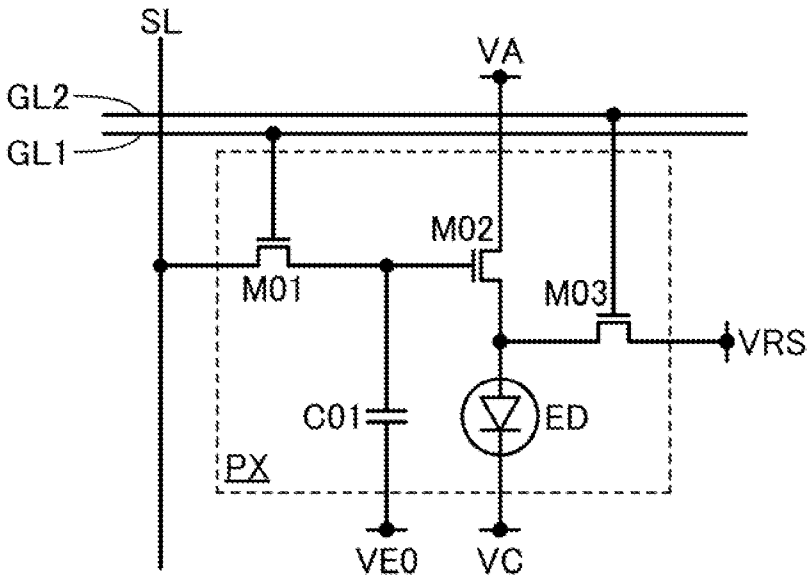

DSP
BS
PRT
SD
SLS[j]
GLS[i]
PX[i, j]
GD
PXA
TSD

図21B


SL
VA
GL2
GL1
M02
M01
M03
VRS
C01
ED
PX
VE0
VC

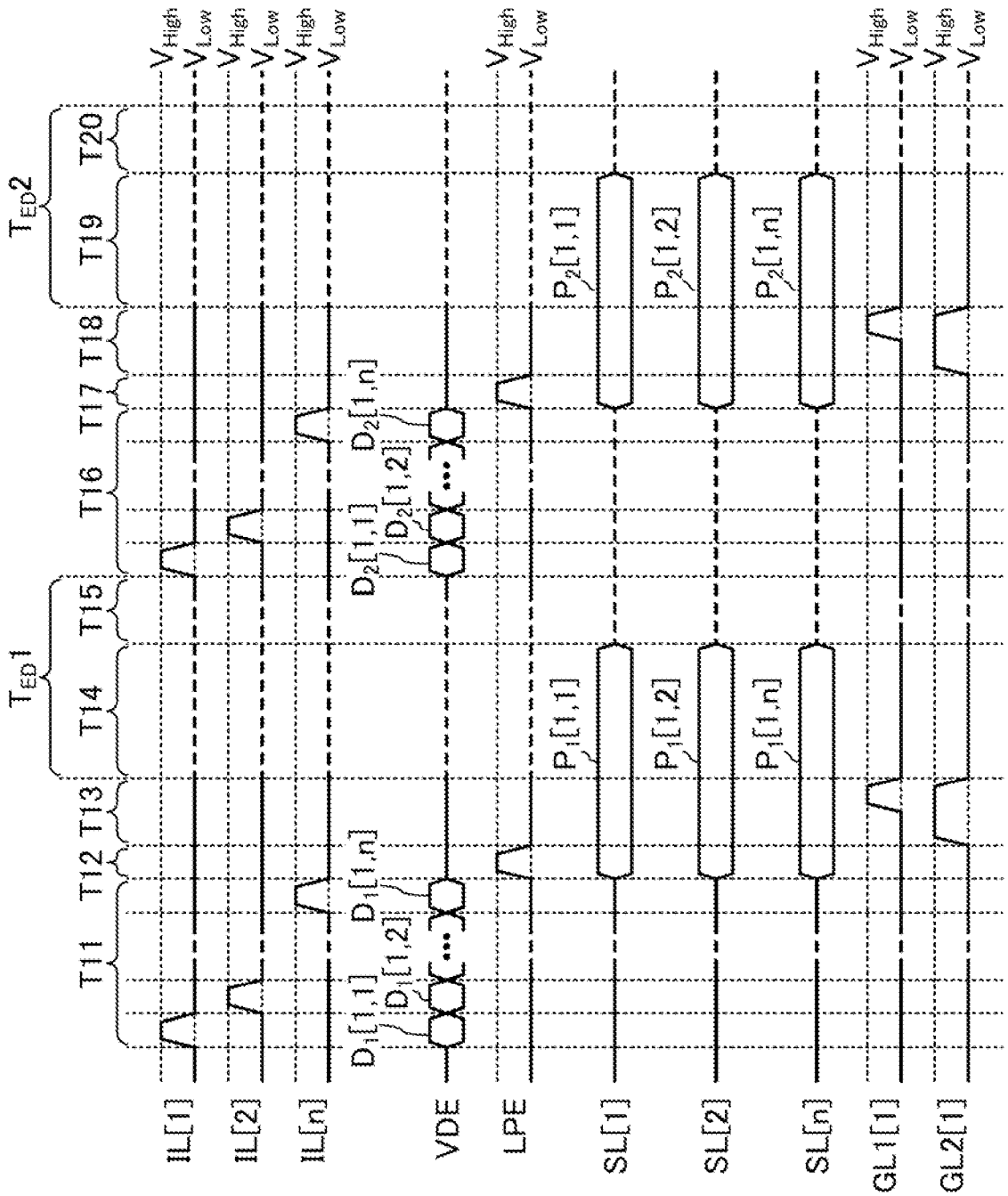

T_ED1
T_ED2
T11
T12
T13
T14
T15
T16
T17
T18
T19
T20
V_High
V_Low
IL[1]
IL[2]
IL[n]
VDE
LPE
SL[1]
SL[2]
SL[n]
GL1[1]
GL2[1]
D1[1,1]
D1[1,2]
D1[1,n]
D2[1,1]
D2[1,2]
D2[1,n]
P1[1,1]
P1[1,2]
P1[1,n]
P2[1,1]
P2[1,2]
P2[1,n]

図22

図23A

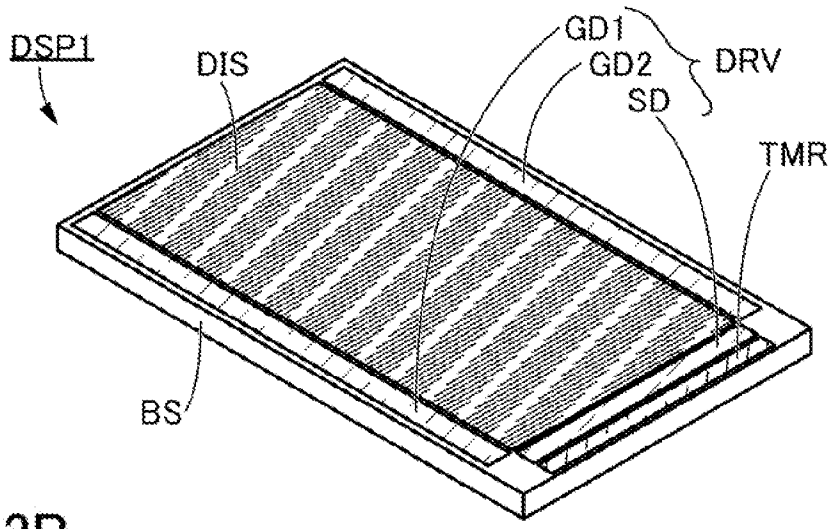


図23B

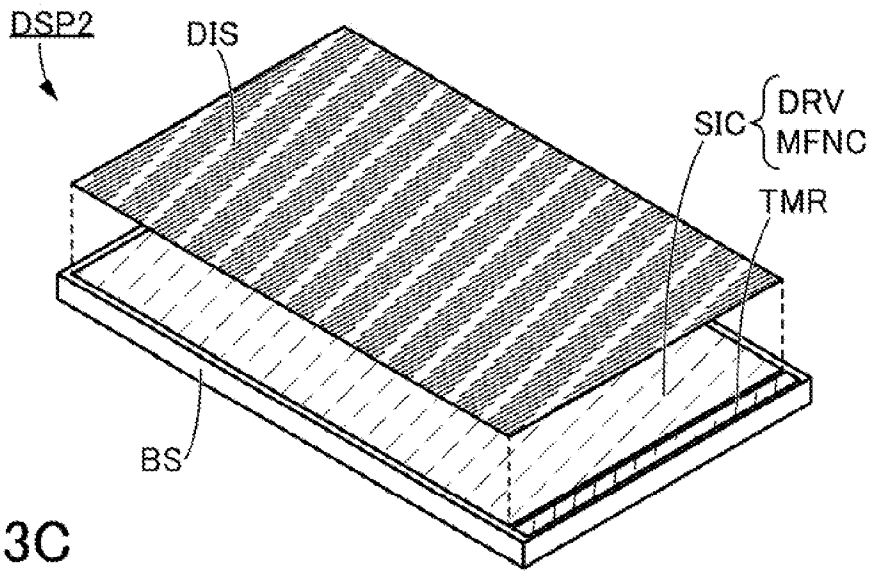


図23C

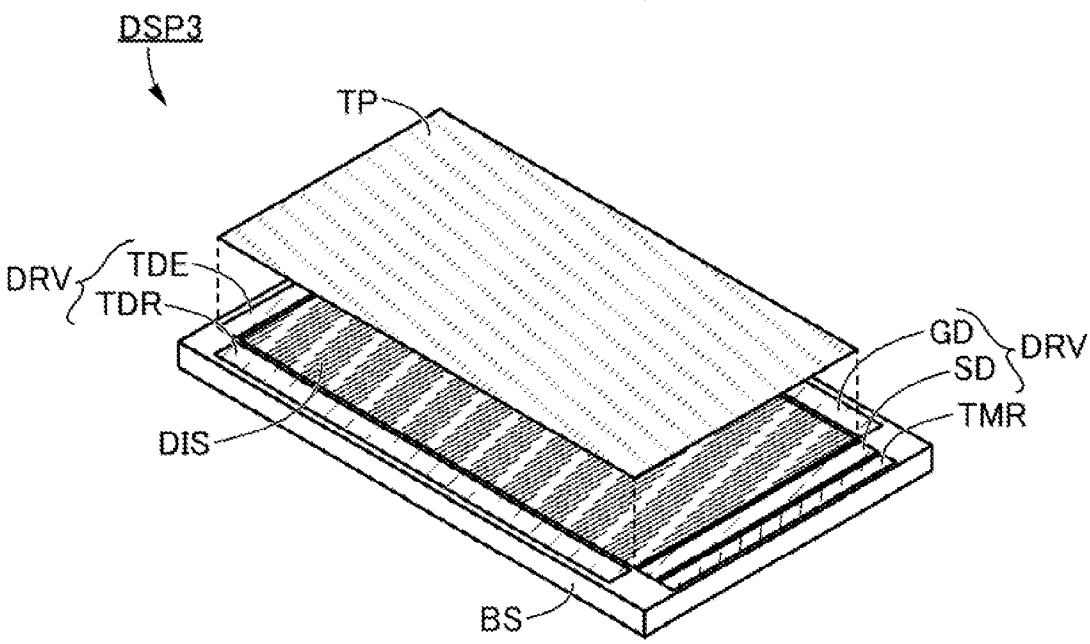


図24

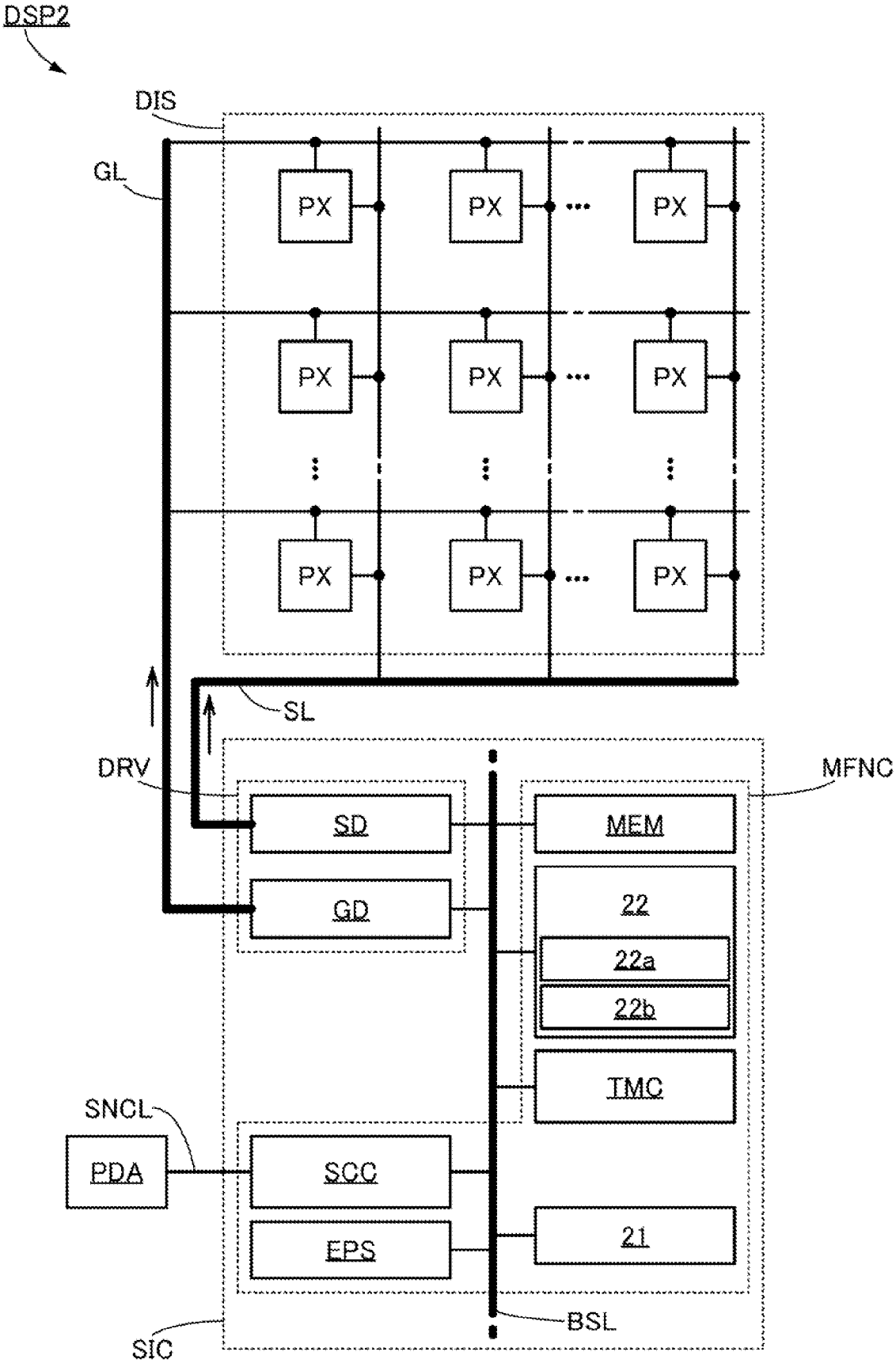

DSP2
DIS
GL
PX
SL
DRV
MFNC
SD
GD
MEM
22
22a
22b
TMC
SNCL
PDA
SCC
EPS
21
BSL
SIC

図25

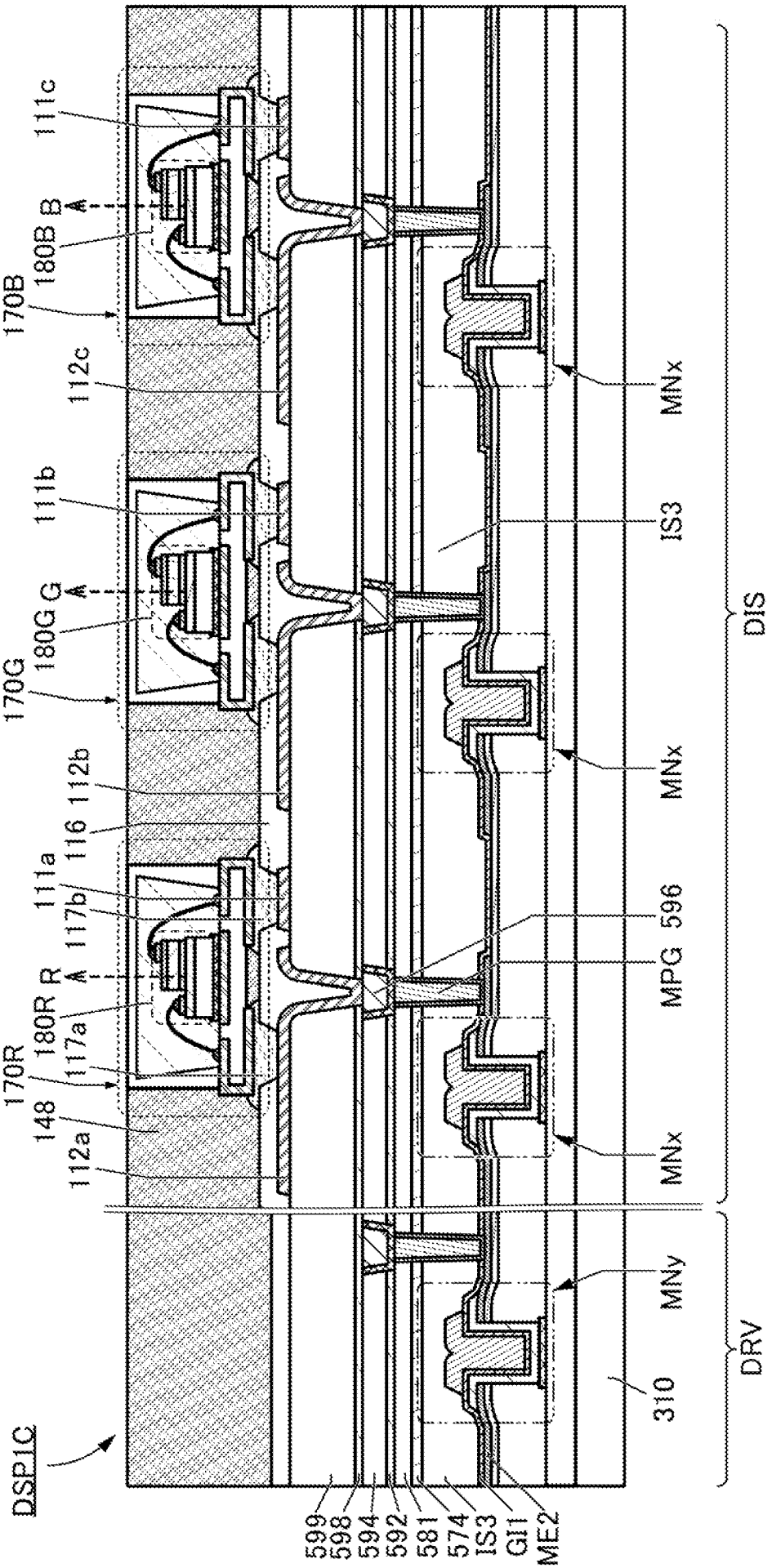

DSP1C
599
598
594
592
581
574
IS3
GI1
ME2
310
DRV
MNy
MNx
MPG
596
DIS
IS3
MNx
MNx
170R
148
112a
117a
180R
R
117b
111a
116
112b
170G
180G
G
111b
112c
170B
180B
B
111c

図26A

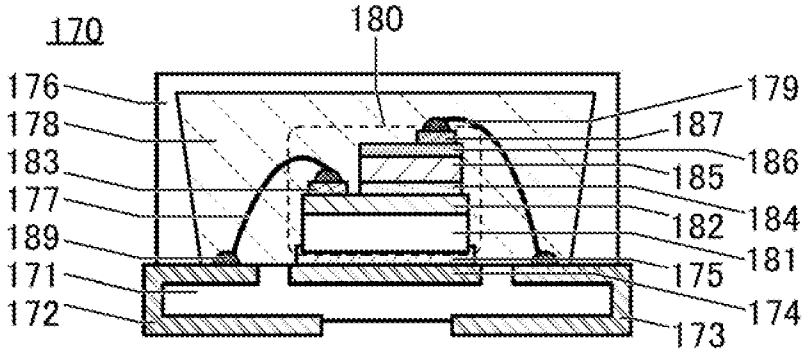


図26B

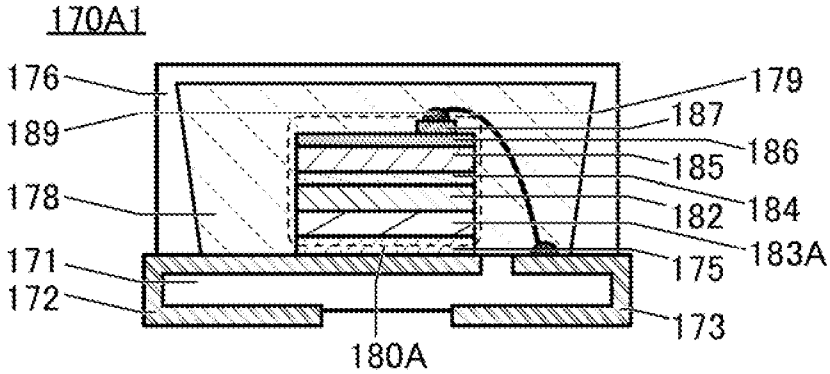


図26C

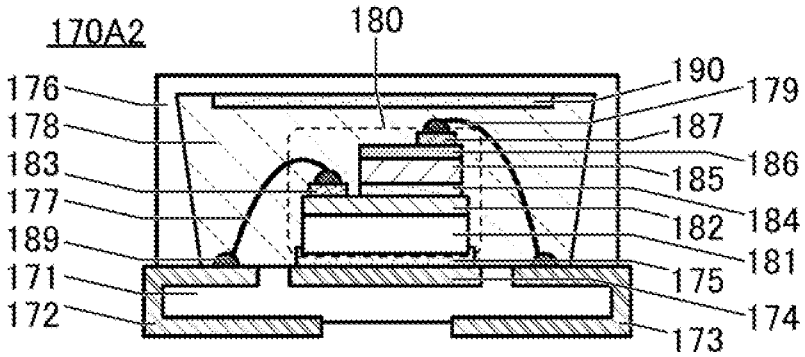


図26D

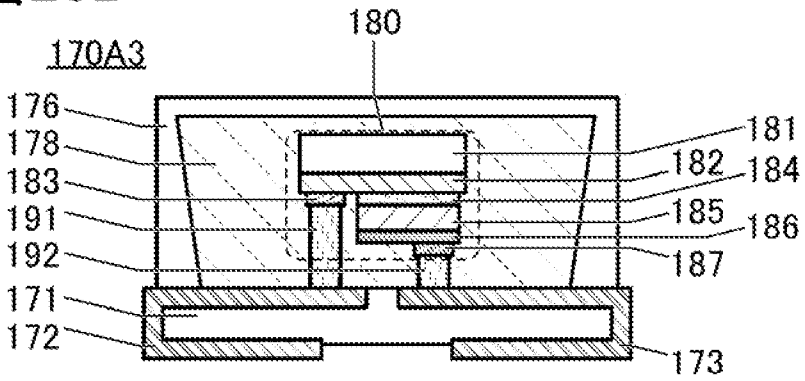


図27A

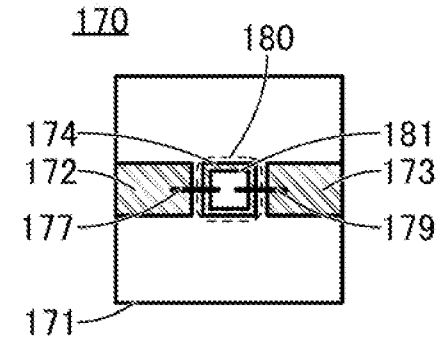
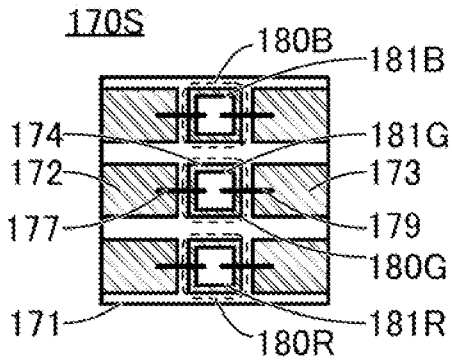

170
180
174
181
172
173
177
179
171

図27B


170S
180B
181B
174
181G
172
173
177
179
180G
171
180R
181R

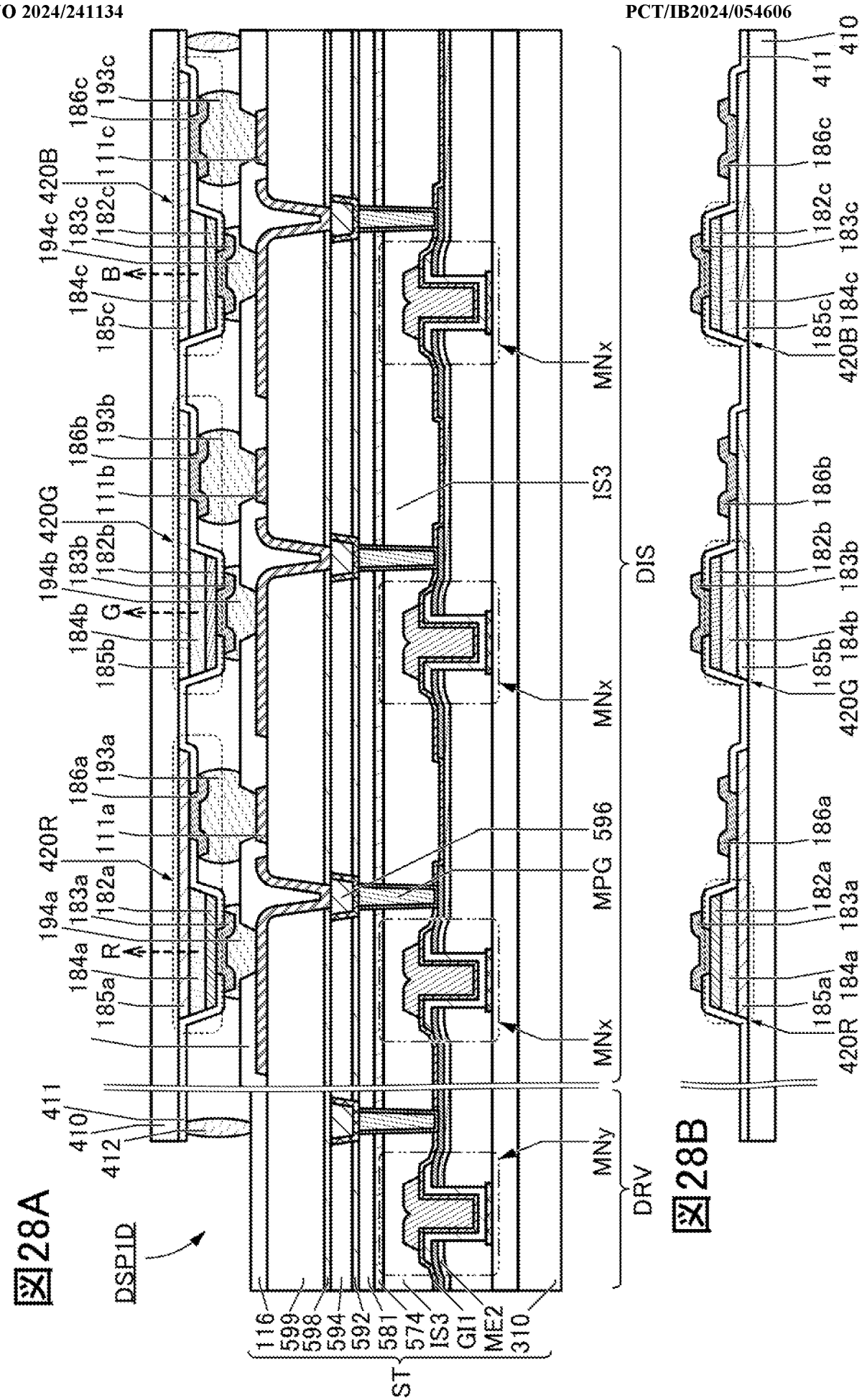

DSP1D
ST
DRV
DIS
116
599
598
594
592
581
574
IS3
GI1
ME2
310
MNy
MNx
MPG
596
IS3
420R
420G
420B
194a
194b
194c
183a
183b
183c
182a
182b
182c
111a
111b
111c
186a
186b
186c
193a
193b
193c
184a
184b
184c
185a
185b
185c
R
G
B
410
411
412

図28A

図28B

図29

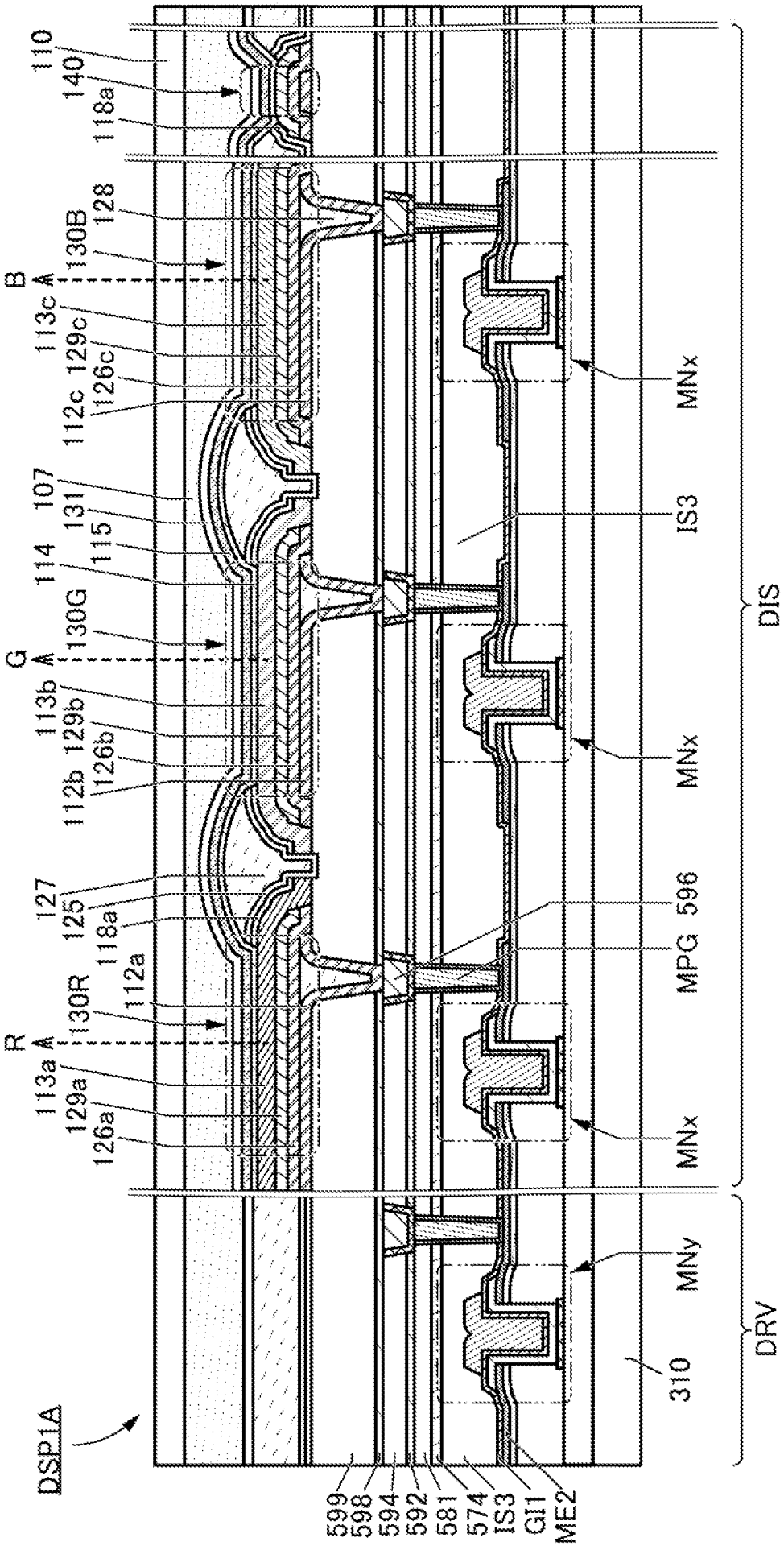

DSP1A
110
140
118a
128
130B
B
113c
129c
126c
112c
107
131
115
114
130G
G
113b
129b
126b
112b
127
125
118a
112a
130R
R
113a
129a
126a
MNx
IS3
MNx
596
MPG
MNx
MNy
DIS
DRV
310
599
598
594
592
581
574
IS3
GI1
ME2

図30A

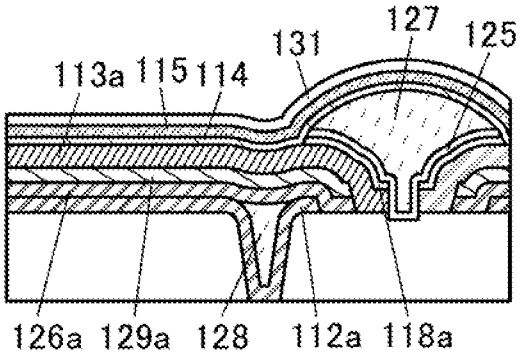


図30B

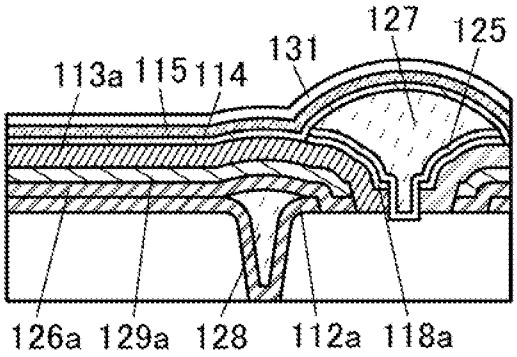


図30C

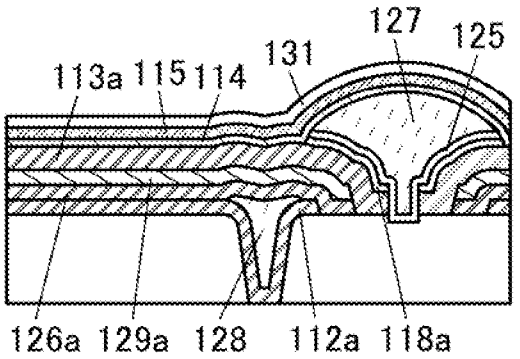


図31

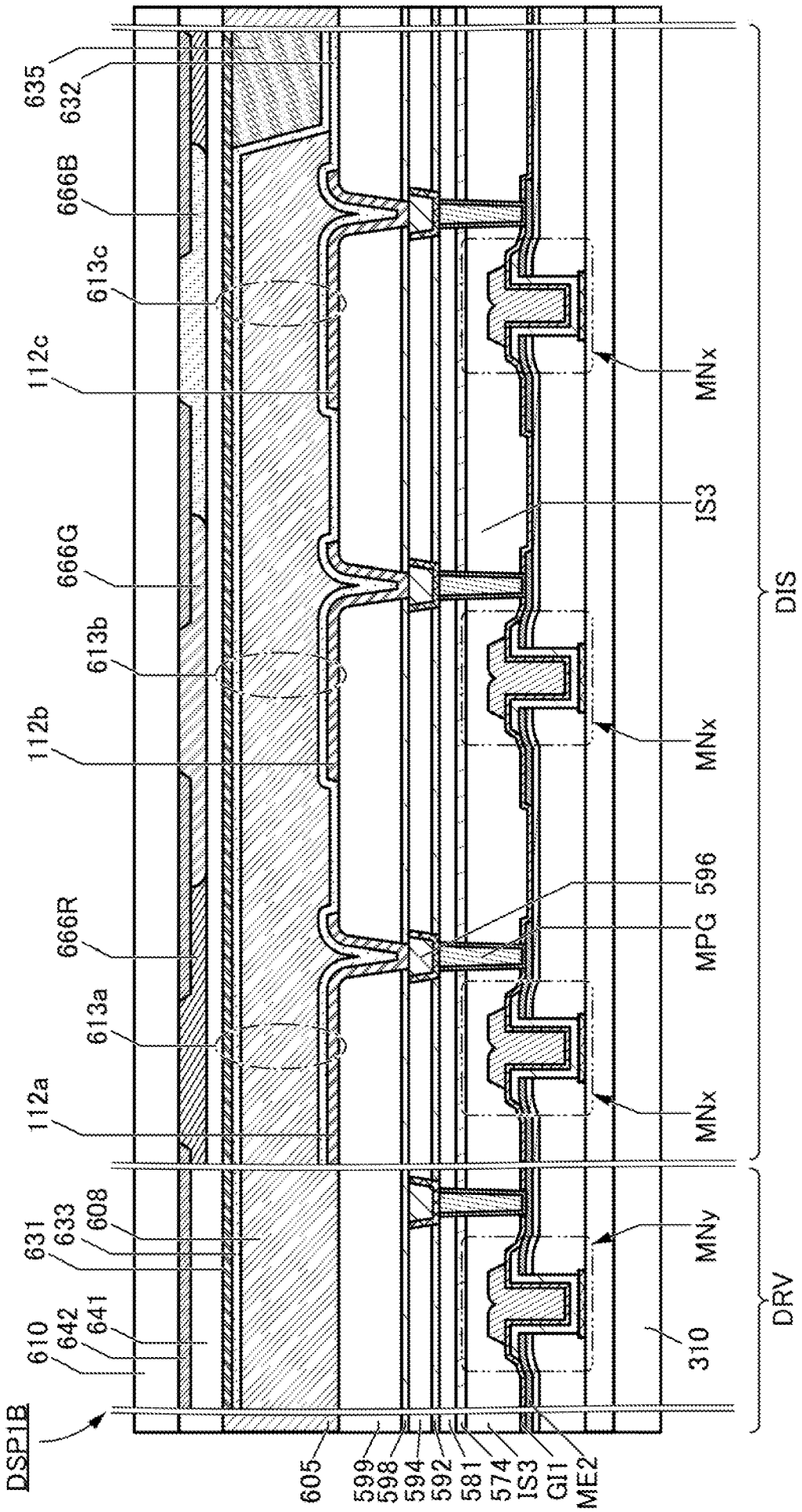

DSP1B
635
632
666B
613c
112c
666G
613b
112b
666R
613a
112a
631
633
608
610
642
641
605
599
598
594
592
581
574
IS3
GI1
ME2
MNx
IS3
MNx
596
MPG
MNx
MNy
310
DIS
DRV

図32

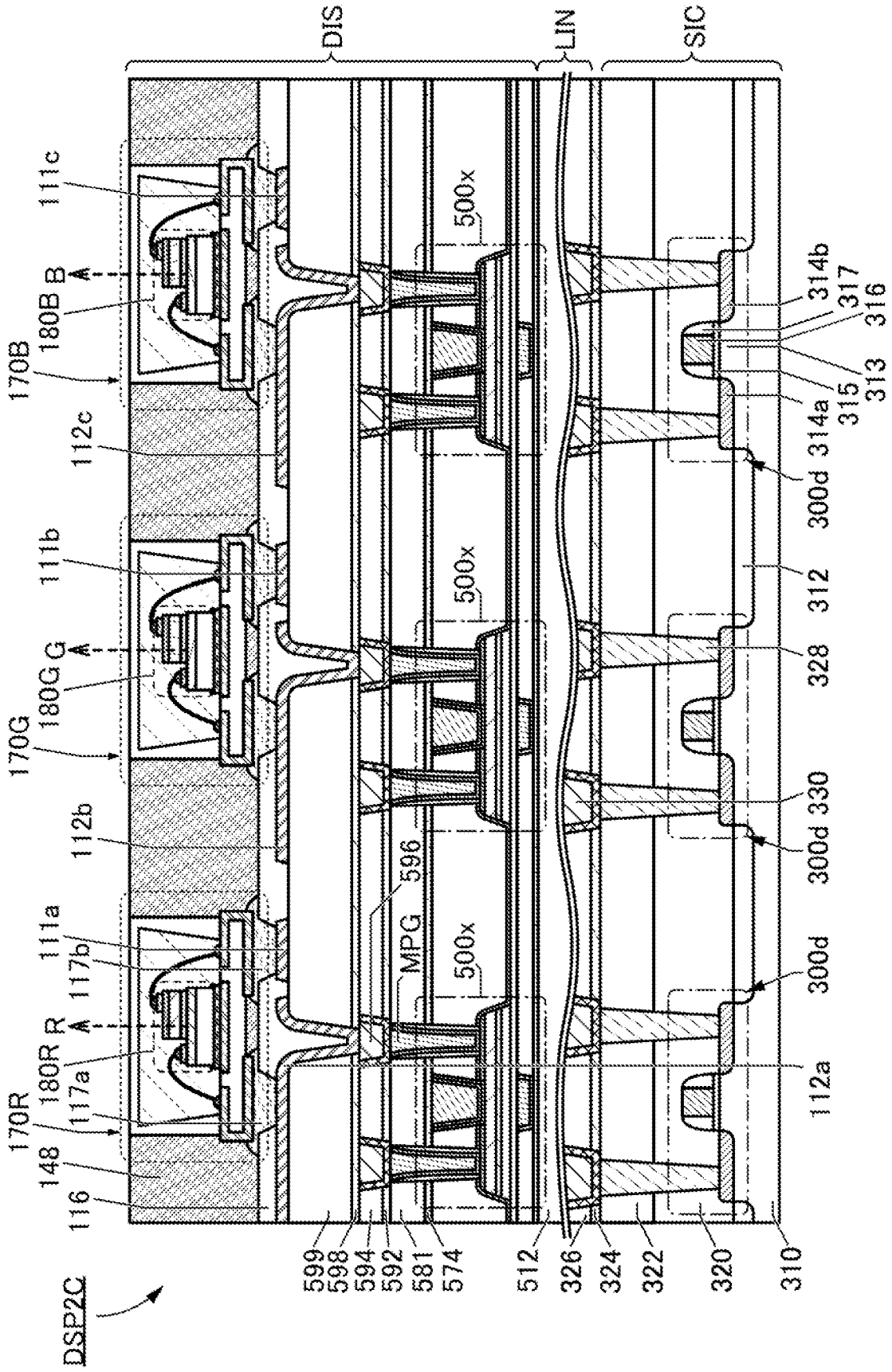

DSP2C
DIS
LIN
SIC
111c
180B B
170B
112c
111b
180G G
170G
112b
111a
117b
180R R
117a
170R
148
116
500x
MPG
596
599
598
594
592
581
574
512
326
324
322
320
310
112a
300d
330
328
312
314b
317
316
313
315
314a

図33

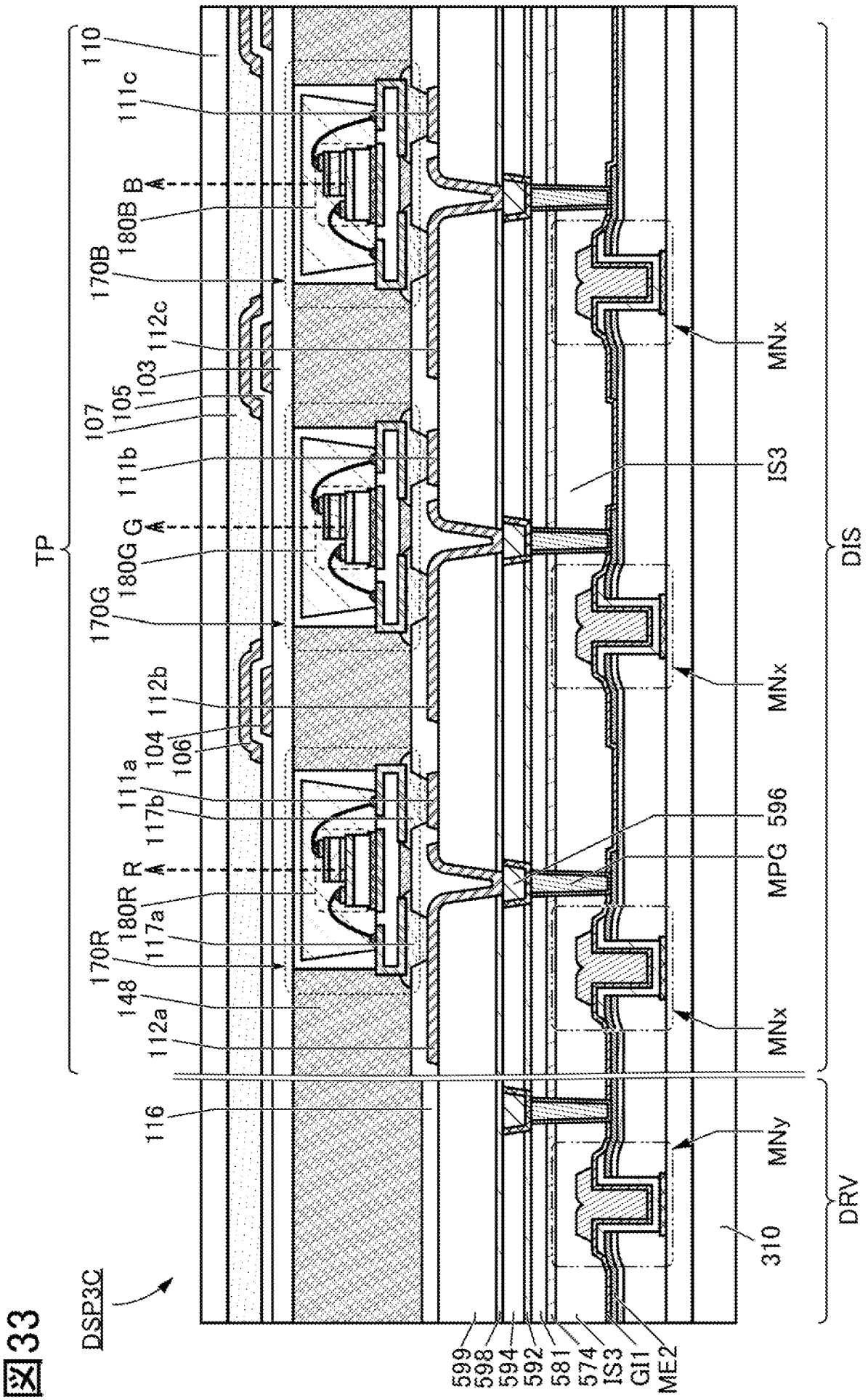

DSP3C
TP
DIS
DRV
110
111c
B
A
180B
170B
112c
103
105
107
111b
G
180G
170G
112b
104
106
111a
117b
R
180R
117a
170R
148
112a
116
MNx
IS3
MNx
596
MPG
MNx
MNy
310
599
598
594
592
581
574
IS3
GI1
ME2

図34A

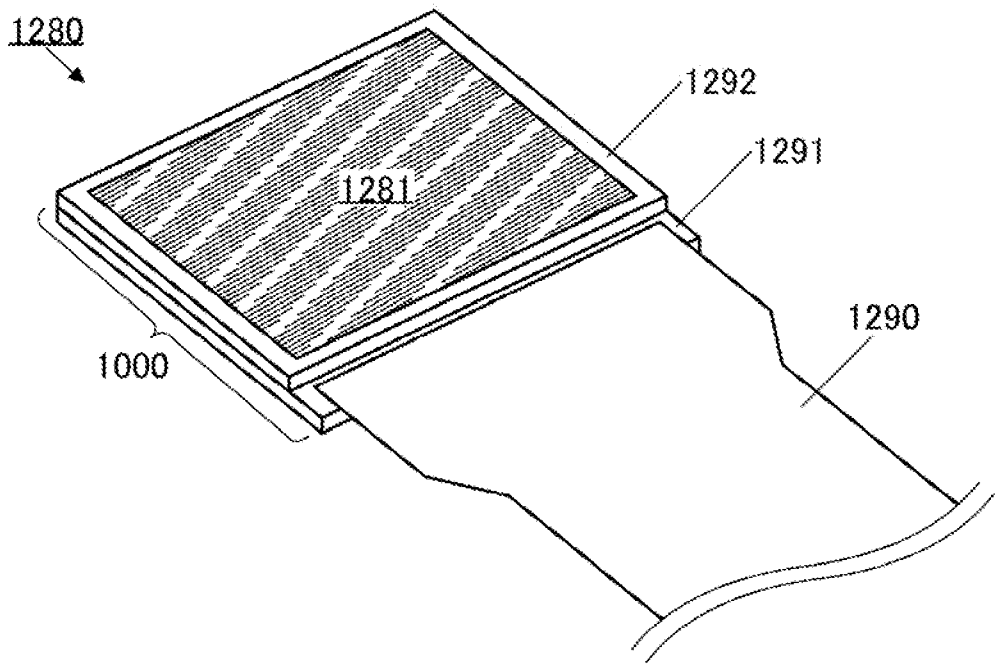

1280
1292
1291
1281
1290
1000

図34B

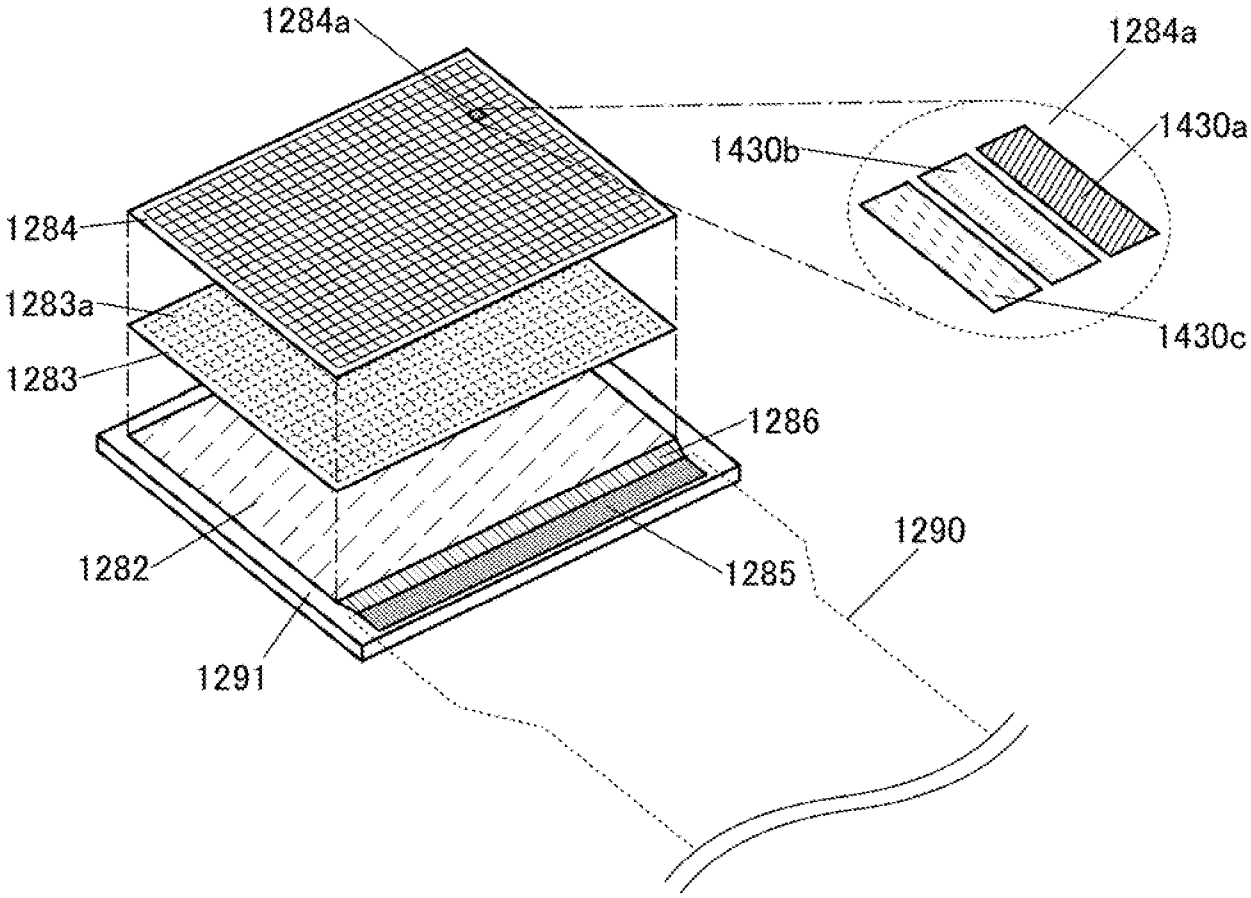

1284a
1284a
1430a
1430b
1284
1283a
1283
1430c
1286
1290
1282
1285
1291

図35A

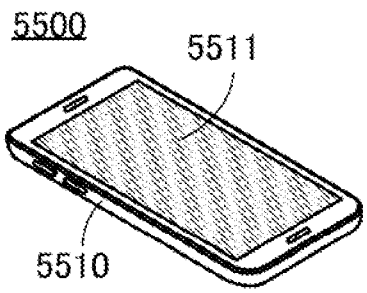


図35B

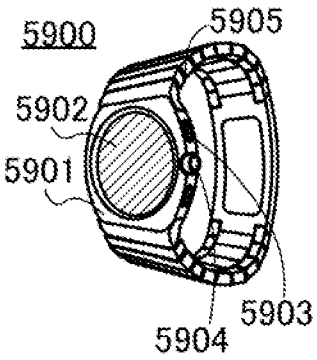


図35C

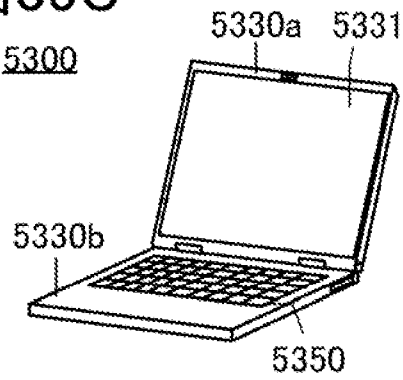


図35D

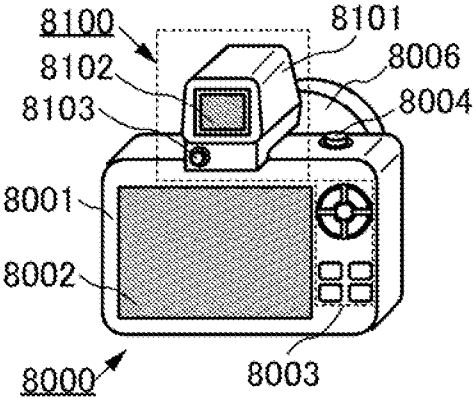


図35E

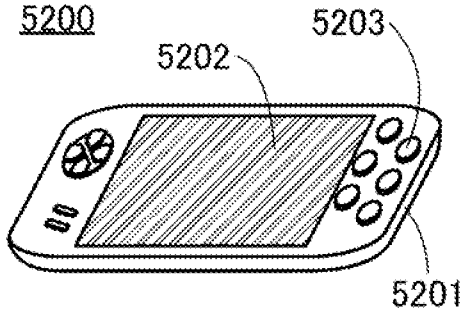


図35F

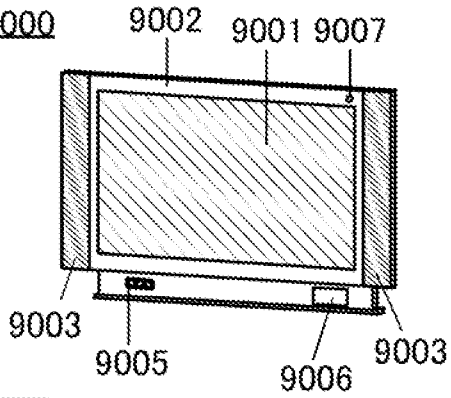


図35G

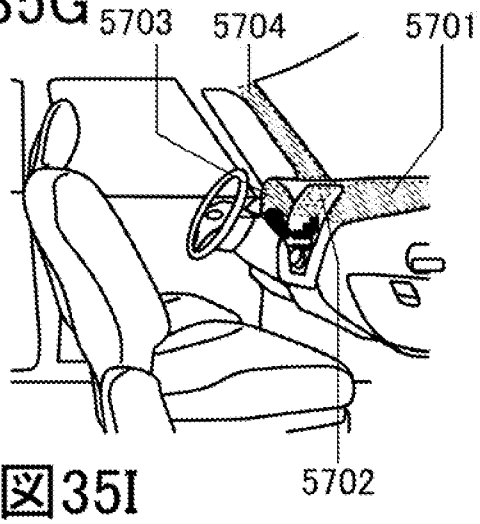


図35H

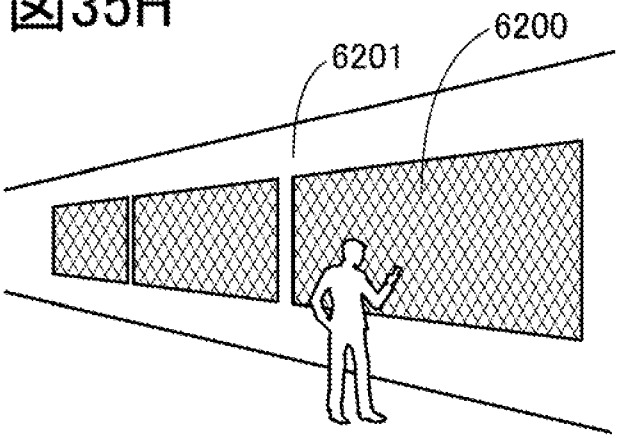


図35I

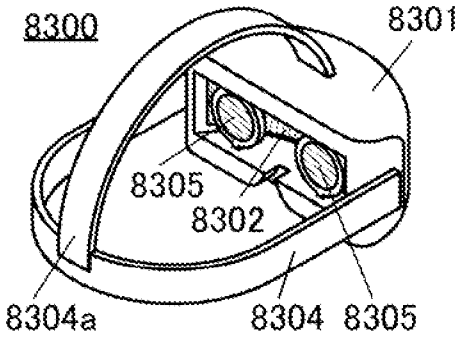


図36A

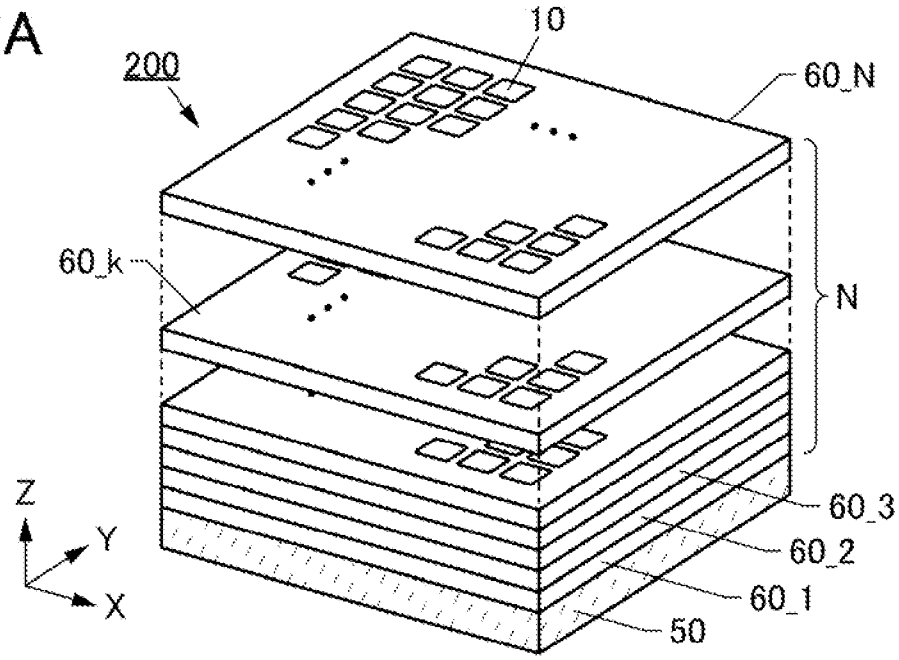

200
10
60_N
60_k
N
60_3
60_2
60_1
50
Z
Y
X

図36B

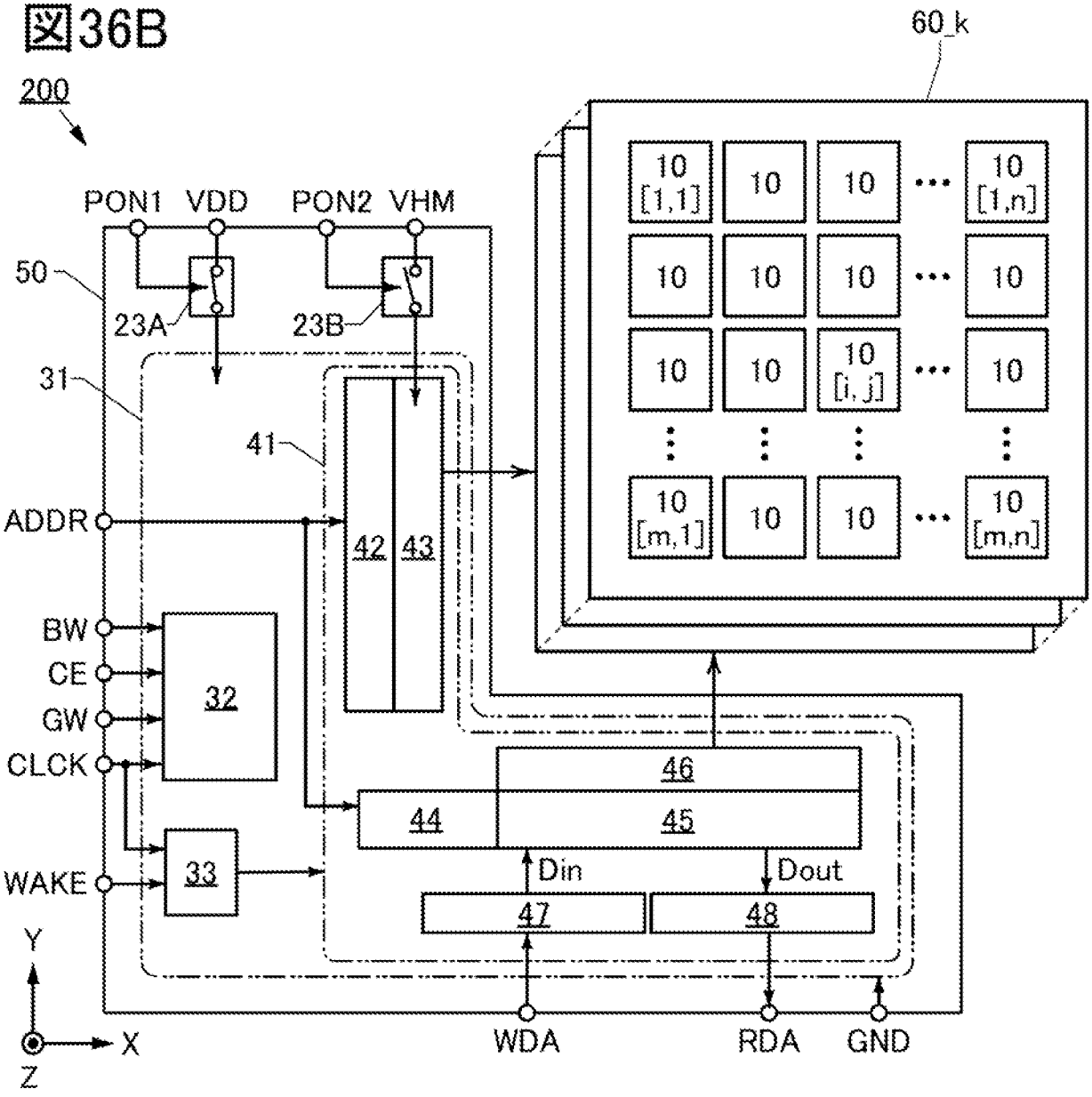

200
60_k
PON1
VDD
PON2
VHM
50
23A
23B
31
41
ADDR
42
43
BW
CE
GW
CLCK
32
33
WAKE
46
44
45
Din
Dout
47
48
WDA
RDA
GND
Y
X
Z
10 [1,1]
10 [1,n]
10 [i, j]
10 [m,1]
10 [m,n]

図37

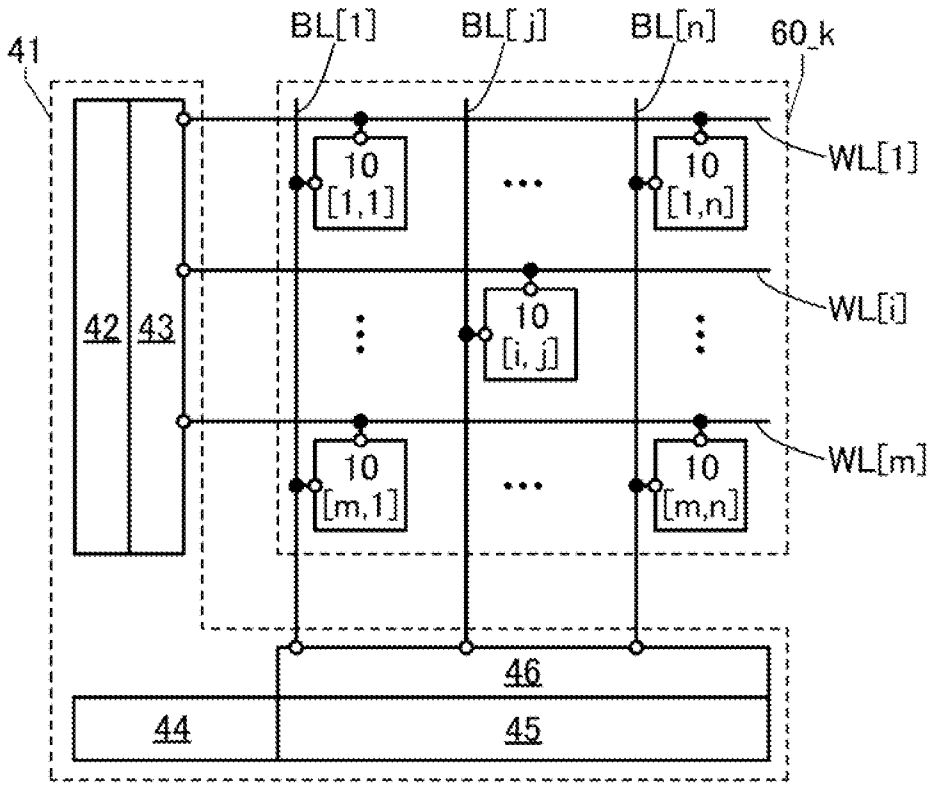

41
BL[1]
BL[j]
BL[n]
60_k
WL[1]
WL[i]
WL[m]
10 [1,1]
10 [1,n]
10 [i,j]
10 [m,1]
10 [m,n]
42
43
46
44
45

図38A

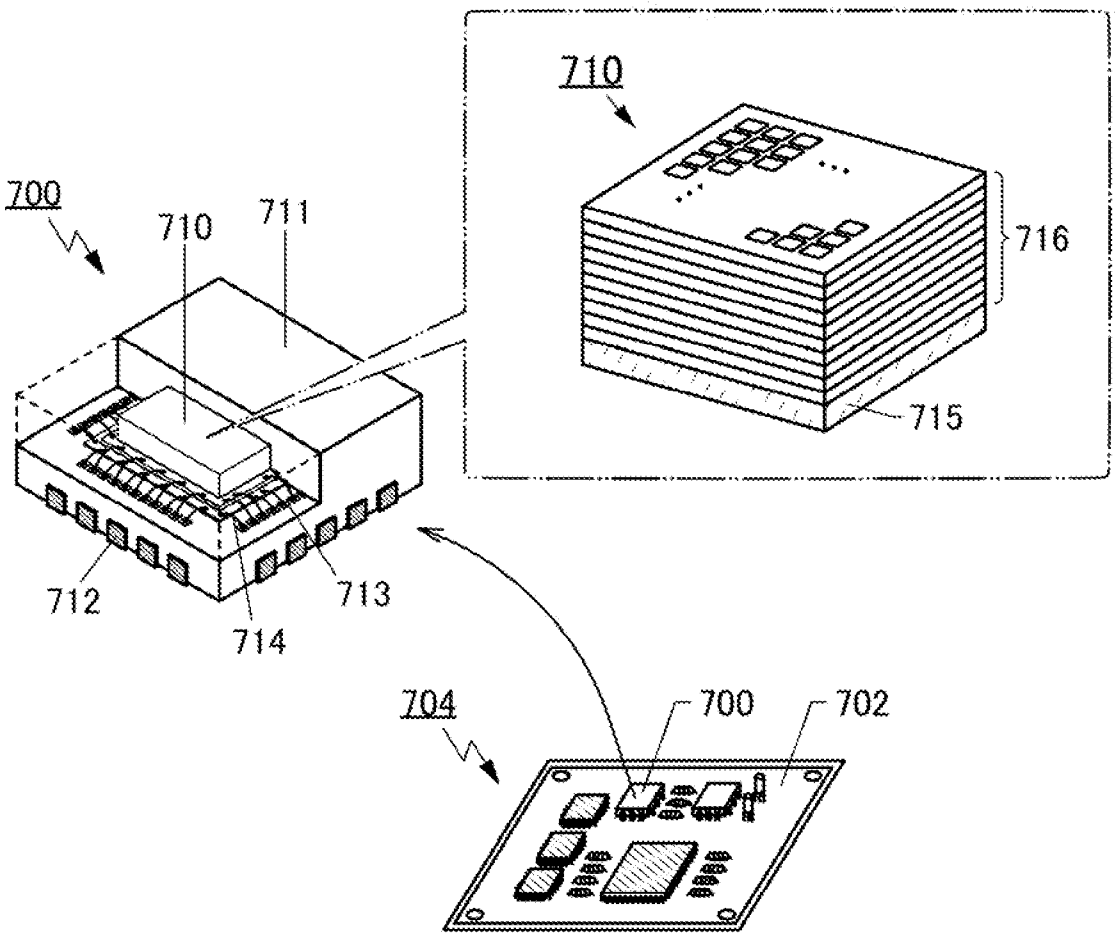

710
700
710
711
716
715
712
713
714
704
700
702

図38B

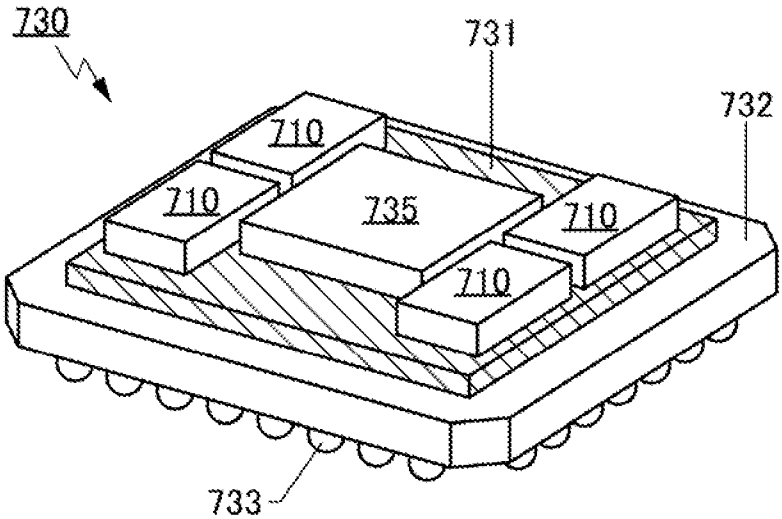

730
731
732
710
710
735
710
710
733

図39A

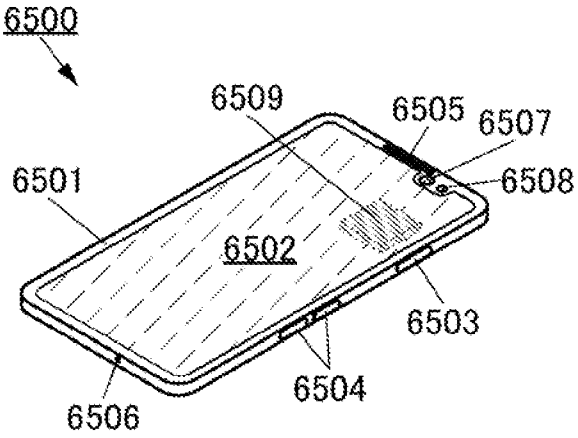


図39B

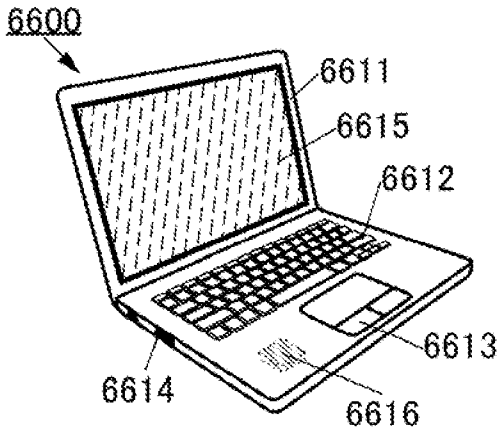


図39C

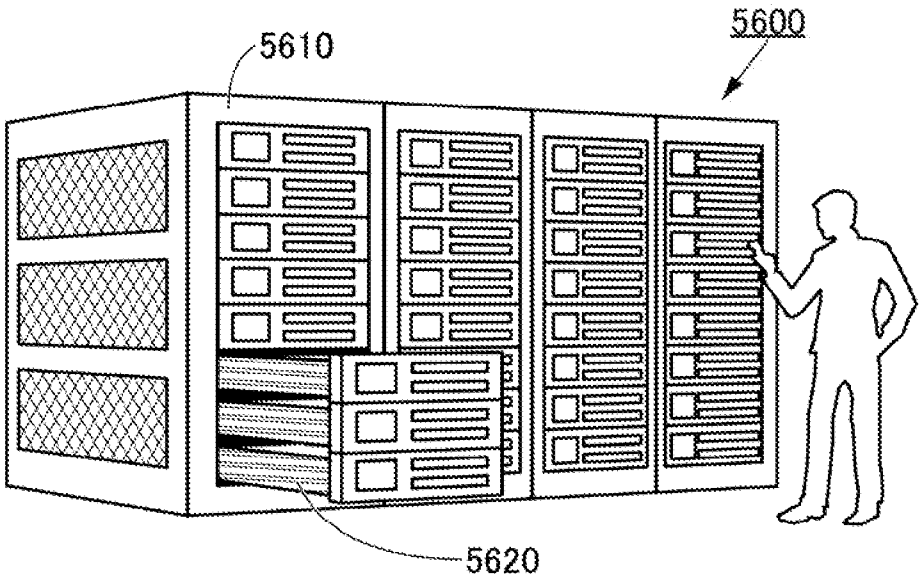


図39D

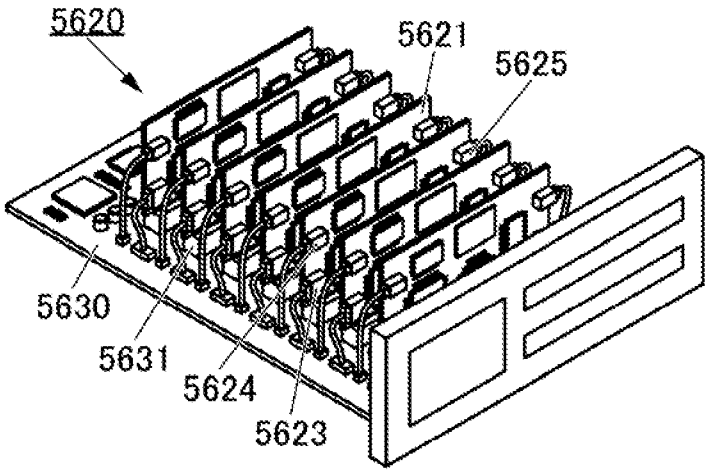


図39E

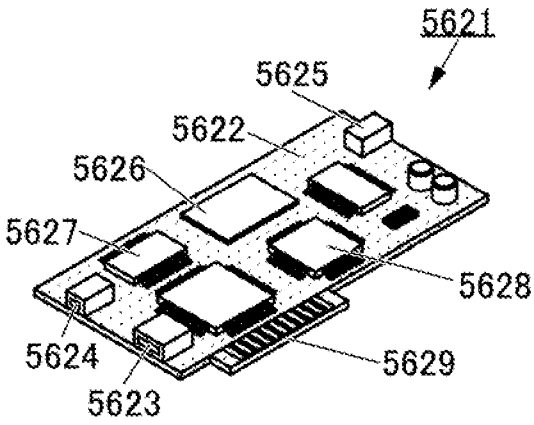


図40

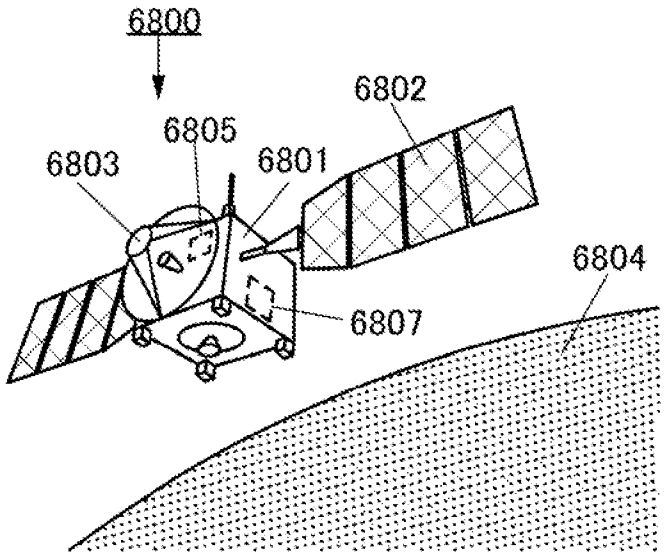


図41

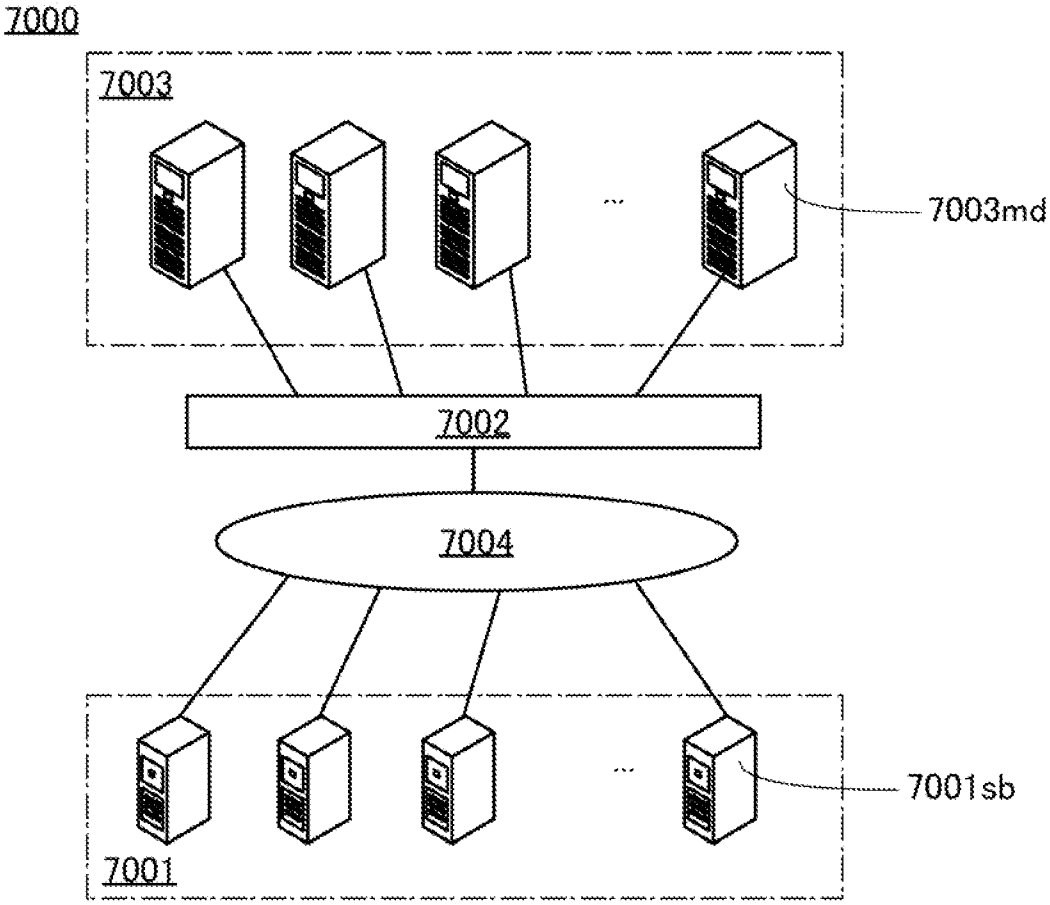


図42A



図42B

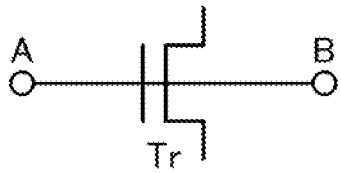


図42C

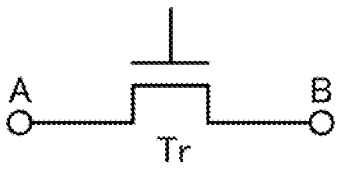


図42D

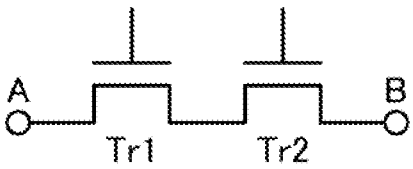


図42E

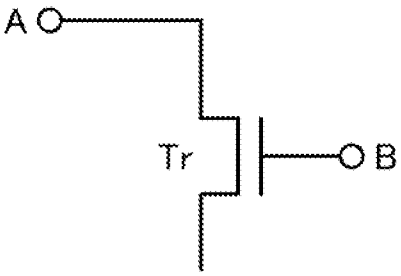


図42F

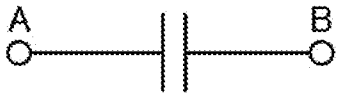


図42G

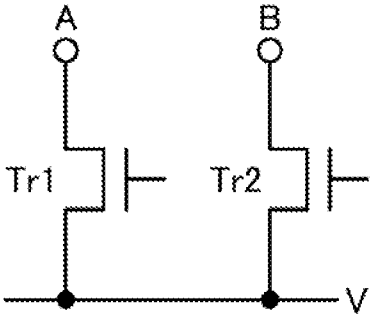


図42H

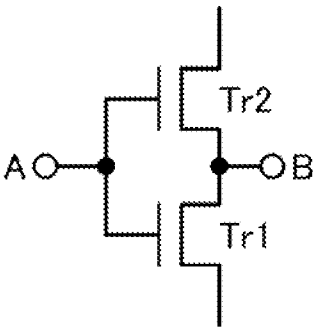


図42I

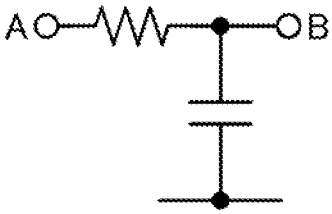


図43A

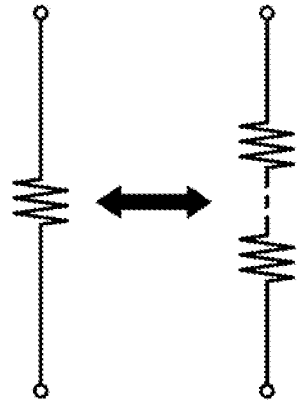


図43B

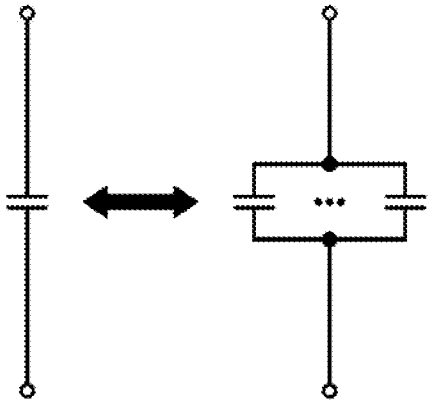


図43C

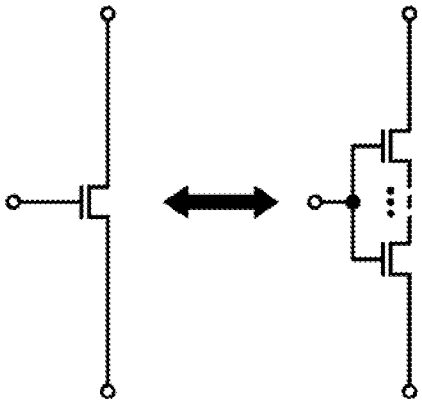


図43D

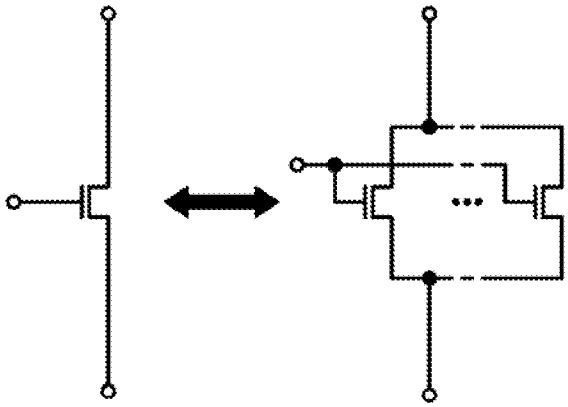


図43E

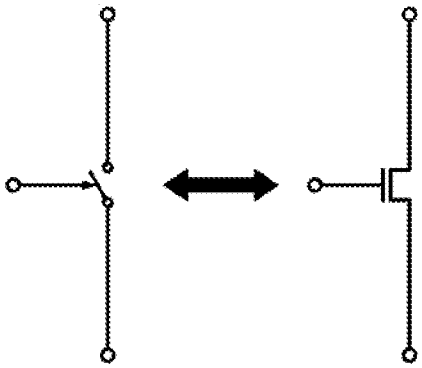
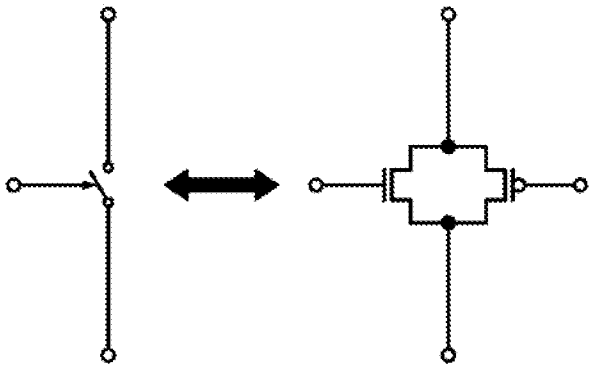


図43F



INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2024/054606

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i; ***G09F 9/30***(2006.01)i; ***G09F 9/33***(2006.01)i; ***G09G 3/32***(2016.01)i; ***G09G 3/3266***(2016.01)i; ***G09G 3/3275***(2016.01)i; ***H01L 21/336***(2006.01)i; ***H01L 29/786***(2006.01)i; ***H10B 12/00***(2023.01)i; ***H10B 41/70***(2023.01)i
FI: G09G3/20 623H; G09F9/30 338; G09F9/33; G09G3/20 622B; G09G3/20 622E; G09G3/20 623B; G09G3/32 A; G09G3/3266; G09G3/3275; H01L29/78 612B; H01L29/78 612Z; H01L29/78 618B; H10B12/00 621Z; H10B12/00 671C; H10B12/00 671Z; H10B12/00 681F; H10B12/00 801; H10B41/70

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/133; G06F17/00-17/18; G09F9/00-9/46; G09G3/00-3/38; H01L21/336; H01L29/786; H10B12/00; H10B41/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-33038 A (NEC ELECTRONICS CORPORATION) 12 February 2010 (2010-02-12) entire text, all drawings	1-17
A	JP 2002-132233 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 09 May 2002 (2002-05-09) entire text, all drawings	1-17
A	JP 2006-120843 A (RENESAS TECHNOLOGY CORP.) 11 May 2006 (2006-05-11) entire text, all drawings	1-17
A	JP 2021-182167 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 25 November 2021 (2021-11-25) entire text, all drawings	1-17

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 June 2024	**25 June 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2024/054606

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-89954 A (EPSON IMAGING DEVICES CORP.) 17 April 2008 (2008-04-17) entire text, all drawings	1-17
A	US 2023/0071031 A1 (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 09 March 2023 (2023-03-09) entire text, all drawings	1-17
A	JP 3-237887 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 23 October 1991 (1991-10-23) entire text, all drawings	1-17
A	WO 2016/084735 A1 (SHARP KABUSHIKI KAISHA) 02 June 2016 (2016-06-02) entire text, all drawings	1-17
A	JP 2006-267999 A (NEC ELECTRONICS CORPORATION) 05 October 2006 (2006-10-05) entire text, all drawings	1-17
A	JP 8-58132 A (SANYO ELECTRIC CO., LTD.) 05 March 1996 (1996-03-05) entire text, all drawings	1-17
A	US 2014/0062995 A1 (SAMSUNG ELECTRONICS CO., LTD.) 06 March 2014 (2014-03-06) entire text, all drawings	1-17
A	WO 2007/083744 A1 (SONY CORPORATION) 26 July 2007 (2007-07-26) entire text, all drawings	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2024/054606

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2010-33038 A	12 February 2010	US 2010/0002021 A1 entire text, all drawings CN 101620841 A	
JP 2002-132233 A	09 May 2002	US 2002/0015032 A1 entire text, all drawings US 2004/0233231 A1 US 2007/0164942 A1	
JP 2006-120843 A	11 May 2006	(Family: none)	
JP 2021-182167 A	25 November 2021	US 2017/0092177 A1 entire text, all drawings WO 2017/051288 A1	
JP 2008-89954 A	17 April 2008	(Family: none)	
US 2023/0071031 A1	09 March 2023	WO 2022/246611 A1 EP 4207150 A1 CN 115812231 A KR 10-2024-0011119 A	
JP 3-237887 A	23 October 1991	(Family: none)	
WO 2016/084735 A1	02 June 2016	US 2017/0358268 A1 entire text, all drawings	
JP 2006-267999 A	05 October 2006	US 2006/0193002 A1 entire text, all drawings CN 1828715 A	
JP 8-58132 A	05 March 1996	(Family: none)	
US 2014/0062995 A1	06 March 2014	US 9171514 B2 KR 10-2014-0030571 A KR 10-2014-0031760 A CN 103680435 A	
WO 2007/083744 A1	26 July 2007	US 2009/0273593 A1 entire text, all drawings EP 1980897 A1 KR 10-2008-0093035 A CN 101405640 A	

国際調査報告

国際出願番号
PCT/IB2024/054606

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G09G 3/20(2006.01)i; G09F 9/30(2006.01)i; G09F 9/33(2006.01)i; G09G 3/32(2016.01)i; G09G 3/3266(2016.01)i; G09G 3/3275(2016.01)i; H01L 21/336(2006.01)i; H01L 29/786(2006.01)i; H10B 12/00(2023.01)i; H10B 41/70(2023.01)i

FI: G09G3/20 623H; G09F9/30 338; G09F9/33; G09G3/20 622B; G09G3/20 622E; G09G3/20 623B; G09G3/32 A; G09G3/3266; G09G3/3275; H01L29/78 612B; H01L29/78 612Z; H01L29/78 618B; H10B12/00 621Z; H10B12/00 671C; H10B12/00 671Z; H10B12/00 681F; H10B12/00 801; H10B41/70

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G02F1/133; G06F17/00-17/18; G09F9/00-9/46; G09G3/00-3/38; H01L21/336; H01L29/786; H10B12/00; H10B41/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2010-33038 A (ＮＥＣエレクトロニクス株式会社) 12.02.2010 (2010-02-12) 全文,全図	1-17
A	JP 2002-132233 A (株式会社半導体エネルギー研究所) 09.05.2002 (2002-05-09) 全文,全図	1-17
A	JP 2006-120843 A (株式会社ルネサステクノロジ) 11.05.2006 (2006-05-11) 全文,全図	1-17
A	JP 2021-182167 A (株式会社半導体エネルギー研究所) 25.11.2021 (2021-11-25) 全文,全図	1-17
A	JP 2008-89954 A (エプソンイメージングデバイス株式会社) 17.04.2008 (2008-04-17) 全文,全図	1-17

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
06.06.2024	25.06.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
西田　光宏 2I 3609

電話番号 03-3581-1101 内線 3273

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	US 2023/0071031 A1 (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 09.03.2023 (2023-03-09) 全文,全図	1-17
A	JP 3-237887 A (松下電器産業株式会社) 23.10.1991 (1991-10-23) 全文,全図	1-17
A	WO 2016/084735 A1 (シャープ株式会社) 02.06.2016 (2016-06-02) 全文,全図	1-17
A	JP 2006-267999 A (ＮＥＣエレクトロニクス株式会社) 05.10.2006 (2006-10-05) 全文,全図	1-17
A	JP 8-58132 A (三洋電機株式会社) 05.03.1996 (1996-03-05) 全文,全図	1-17
A	US 2014/0062995 A1 (SAMSUNG ELECTRONICS CO., LTD) 06.03.2014 (2014-03-06) 全文,全図	1-17
A	WO 2007/083744 A1 (ソニー株式会社) 26.07.2007 (2007-07-26) 全文,全図	1-17

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2024/054606

引用文献	公表日	パテントファミリー文献	公表日
JP 2010-33038 A	12.02.2010	US 2010/0002021 A1 全文,全図 CN 101620841 A	
JP 2002-132233 A	09.05.2002	US 2002/0015032 A1 全文,全図 US 2004/0233231 A1 US 2007/0164942 A1	
JP 2006-120843 A	11.05.2006	（ファミリーなし）	
JP 2021-182167 A	25.11.2021	US 2017/0092177 A1 全文,全図 WO 2017/051288 A1	
JP 2008-89954 A	17.04.2008	（ファミリーなし）	
US 2023/0071031 A1	09.03.2023	WO 2022/246611 A1 EP 4207150 A1 CN 115812231 A KR 10-2024-0011119 A	
JP 3-237887 A	23.10.1991	（ファミリーなし）	
WO 2016/084735 A1	02.06.2016	US 2017/0358268 A1 全文,全図	
JP 2006-267999 A	05.10.2006	US 2006/0193002 A1 全文,全図 CN 1828715 A	
JP 8-58132 A	05.03.1996	（ファミリーなし）	
US 2014/0062995 A1	06.03.2014	US 9171514 B2 KR 10-2014-0030571 A KR 10-2014-0031760 A CN 103680435 A	
WO 2007/083744 A1	26.07.2007	US 2009/0273593 A1 全文,全図 EP 1980897 A1 KR 10-2008-0093035 A CN 101405640 A	