

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6683083号
(P6683083)

(45) 発行日 令和2年4月15日(2020.4.15)

(24) 登録日 令和2年3月30日(2020.3.30)

(51) Int.Cl.

F 1

H01L 29/78	(2006.01)	H01L	29/78	652C
H01L 29/06	(2006.01)	H01L	29/06	301D
H01L 29/12	(2006.01)	H01L	29/06	301V
H01L 29/739	(2006.01)	H01L	29/78	652F
		H01L	29/78	652H

請求項の数 18 (全 22 頁) 最終頁に続く

(21) 出願番号

特願2016-184257 (P2016-184257)

(22) 出願日

平成28年9月21日 (2016.9.21)

(65) 公開番号

特開2018-49928 (P2018-49928A)

(43) 公開日

平成30年3月29日 (2018.3.29)

審査請求日

平成31年1月7日 (2019.1.7)

(73) 特許権者 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(73) 特許権者 000003207

トヨタ自動車株式会社

愛知県豊田市トヨタ町1番地

(73) 特許権者 000003609

株式会社豊田中央研究所

愛知県長久手市横道41番地の1

(74) 代理人 110001128

特許業務法人ゆうあい特許事務所

(72) 発明者 海老原 康裕

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

最終頁に続く

(54) 【発明の名称】半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体で構成された第1または第2導電型の基板(1)と、
前記基板の上に形成され、前記基板よりも低不純物濃度とされた第1導電型の半導体からなるドリフト層(2)と、
前記ドリフト層の上に形成された第2導電型の半導体からなる第2導電型領域(3、5、6、8、71)と、
前記ドリフト層上に形成され、前記第2導電型領域に挟まれて配置されたJFET部(2a)と、
前記第2導電型領域の上に形成され、前記ドリフト層よりも高濃度の第1導電型の半導体からなるソース領域(7)と、
前記第2導電型領域の一部をチャネル領域として、該チャネル領域上に形成されたゲート絶縁膜(10)と、
前記ゲート絶縁膜上に形成されたゲート電極(11)と、
前記ゲート電極および前記ゲート絶縁膜を覆うと共にコンタクトホールが形成された層間絶縁膜(12)と、
前記コンタクトホールを通じて、前記ソース領域に電気的に接続されたソース電極(13)と、
前記基板の裏面側に形成されたドレイン電極(14)とを有し、
前記ゲート電極に対してゲート電圧を印加すると共に前記ドレイン電極に対して印加す

10

20

るドレイン電圧として通常作動時の電圧を印加することで前記チャネル領域を形成し、前記ソース領域および前記J F E T部を介して、前記ソース電極および前記ドレイン電極の間に電流を流す反転型の半導体素子を備え、

前記J F E T部と前記第2導電型領域との間には、前記ドレイン電圧として前記通常作動時の電圧が印加されているときには前記第2導電型領域から前記J F E T部に伸びる空乏層の伸び量を抑制しつつ前記J F E T部を通じて電流を流し、前記ドレイン電圧として前記通常作動時の電圧よりも高い電圧が印加されると前記空乏層によって前記J F E T部をピンチオフさせる空乏層調整層(20、30)が形成されており、

前記第2導電型領域は、

前記ドリフト層の上に形成されたディープ層(3)と、 10

前記ディープ層に対して連結されていると共に前記ソース電極に接続され、前記チャネル領域が形成されるベース領域(6)と、を有し、

前記ディープ層は、前記ベース領域よりも前記ゲート電極の中心線側に張り出しており、

前記J F E T部は、前記ディープ層に挟まれてあり、

前記空乏層調整層は、前記J F E T部と前記ディープ層との間に形成されている半導体装置。

【請求項2】

前記空乏層調整層は、前記J F E T部よりも不純物濃度が高くされた第1導電型の高濃度層(20)である請求項1に記載の半導体装置。 20

【請求項3】

前記高濃度層は、前記ドリフト層と前記J F E T部との間および前記ドリフト層と前記ディープ層との間にも形成されている請求項2に記載の半導体装置。

【請求項4】

前記空乏層調整層は、前記ドリフト層と前記J F E T部との間および前記ドリフト層と前記ディープ層との間にも形成されており、前記空乏層調整層のうち前記ドリフト層と前記J F E T部との間および前記ドリフト層と前記ディープ層との間に形成された部分は、前記ディープ層よりも不純物濃度が低くされた第2導電型の低濃度層(30)とされている請求項1に記載の半導体装置。

【請求項5】

前記空乏層調整層は、前記J F E T部よりも不純物濃度が低くされた第2導電型の低濃度層(30)である請求項1に記載の半導体装置。 30

【請求項6】

前記低濃度層は、前記ドリフト層と前記J F E T部との間および前記ドリフト層と前記ディープ層との間にも形成されている請求項5に記載の半導体装置。

【請求項7】

前記空乏層調整層は、前記ドリフト層と前記J F E T部との間および前記ドリフト層と前記ディープ層との間にも形成されており、前記空乏層調整層のうち前記ドリフト層と前記J F E T部との間および前記ドリフト層と前記ディープ層との間に形成された部分は、前記J F E T部よりも不純物濃度が高くされた高濃度層(20)とされている請求項5に記載の半導体装置。 40

【請求項8】

前記低濃度層は、第2導電型不純物濃度が前記ディープ層よりも低くされている請求項4ないし7のいずれか1つに記載の半導体装置。

【請求項9】

前記ディープ層は、前記ベース領域よりも厚くされている請求項1ないし8のいずれか1つに記載の半導体装置。

【請求項10】

前記ディープ層と前記空乏層調整層および前記J F E T部の上には前記J F E T部よりも幅が広くされた第1導電型の電流分散層(4)が備えられていると共に、前記ディープ 50

層の上には、該ディープ層と前記ベース領域とを連結する第2導電型の連結層(5)が備えられている請求項1ないし9のいずれか1つに記載の半導体装置。

【請求項11】

前記ソース領域および前記ベース領域を貫通して前記電流分散層に達しするゲートトレンチ(9)が形成され、

前記ゲート絶縁膜および前記ゲート電極が前記ゲートトレンチ内に形成されることでトレンチゲート構造が構成されている請求項10に記載の半導体装置。

【請求項12】

前記トレンチゲート構造は、複数本が一方向を長手方向として延設されることでストライプ状に形成されており、

前記JFET部は、前記トレンチゲート構造に対して交差する方向を長手方向として、複数本が延設されている請求項11に記載の半導体装置。

【請求項13】

前記半導体はワイドバンドギャップ半導体である請求項1ないし12のいずれか1つに記載の半導体装置。

【請求項14】

半導体で構成された第1または第2導電型の基板(1)を用意することと、

前記基板の上に、前記基板よりも低不純物濃度の第1導電型の半導体からなるドリフト層(2)を形成することと、

前記ドリフト層の上に、第2導電型の半導体からなるディープ層(3)を形成することと、

前記ディープ層の一部を除去してトレンチ(3a)を形成したのち、該トレンチを半導体からなる空乏層調整層(20、30)および第1導電型の半導体からなるJFET部(2a)によって埋め込むことで、前記ディープ層の側面に前記空乏層調整層を形成しつつ、前記ディープ層に挟まれる前記JFET部を形成することと、

前記ディープ層と前記空乏層調整層および前記JFET部の上に、前記JFET部よりも幅が広く前記JFET部に連結される第1導電型の半導体からなる電流分散層(4)を形成すると共に、前記ディープ層の上に、該ディープ層に連結される第2導電型の半導体からなる連結層(5)を形成することと、

前記電流分散層および前記連結層の上に、前記連結層に連結される第2導電型の半導体からなるベース領域(6)を形成することと、

前記ベース領域の上に、前記ドリフト層よりも高濃度の第1導電型の半導体からなるソース領域(7)を形成することと、

前記ベース領域の一部をチャネル領域として、該チャネル領域上にゲート絶縁膜(10)を形成することと、

前記ゲート絶縁膜上にゲート電極(11)を形成することと、

前記ゲート電極および前記ゲート絶縁膜を覆うと共にコンタクトホールが形成された層間絶縁膜(12)を形成することと、

前記コンタクトホールを通じて、前記ソース領域に電気的に接続されたソース電極(13)を形成することと、

前記基板の裏面側にドレイン電極(14)を形成することとを含む、反転型の半導体素子を備えた半導体装置の製造方法。

【請求項15】

前記空乏層調整層および前記JFET部を形成することは、

前記ディープ層の上に前記空乏層調整層を形成するための半導体層(60)を形成することと、

前記半導体層と共に前記ディープ層に前記トレンチを形成することと、

アニール処理によって前記半導体層を流動させて前記トレンチ内における少なくとも前記ディープ層の側面に前記空乏層調整層を形成することと、

前記空乏層調整層と共に前記JFET部によって前記トレンチ内を埋め込むことと、を

10

20

30

40

50

含んでいる請求項1_4に記載の半導体装置の製造方法。

【請求項 1_6】

前記空乏層調整層および前記J F E T部を形成することの後に、前記ディープ層と前記空乏層調整層および前記J F E T部の表面の平坦化を行うことを含み、

前記平坦化を行ったのちに、前記電流分散層および前記連結層を形成する請求項1_4または1_5に記載の半導体装置の製造方法。

【請求項 1_7】

前記電流分散層および前記連結層を形成することは、

前記電流分散層をエピタキシャル成長によって形成することと、

前記電流分散層のうち前記J F E T部および前記空乏層調整層から離れた位置に、第2導電型不純物をイオン注入することで前記連結層を形成することと、を含んでいる請求項1_4ないし1_6のいずれか1つに記載の半導体装置の製造方法。 10

【請求項 1_8】

半導体で構成された第1または第2導電型の基板(1)を用意することと、

前記基板の上に、前記基板よりも低不純物濃度の第1導電型の半導体からなるドリフト層(2)を形成することと、

前記ドリフト層の上に、第2導電型の半導体からなるディープ層(3)を形成することと、

前記ディープ層の一部を除去して第1トレンチ(3a)を形成したのち、該第1トレンチを半導体からなる空乏層調整層(20、30)および第1導電型の半導体からなるJ F E T部(2a)によって埋め込むことで、前記ディープ層の側面に前記空乏層調整層を形成しつつ、前記ディープ層に挟まれる前記J F E T部を形成することと、 20

前記ディープ層と前記空乏層調整層および前記J F E T部の上に、前記J F E T部に連結される第1導電型の半導体からなる電流分散層(4)を形成することと、

前記電流分散層の上に、第2導電型の半導体からなるベース領域(6)を形成することと、

前記ベース領域の上に、前記ドリフト層よりも高濃度の第1導電型の半導体からなるソース領域(7)を形成することと、

前記ソース領域と前記ベース領域および前記電流分散層を貫通して前記ディープ層に達する第2トレンチ(70)を形成することと、 30

前記第2トレンチ内に、前記ディープ層と連結された第2導電型層(71)を形成することと、

前記ベース領域の一部をチャネル領域として、該チャネル領域上にゲート絶縁膜(10)を形成することと、

前記ゲート絶縁膜上にゲート電極(11)を形成することと、

前記ゲート電極および前記ゲート絶縁膜を覆うと共にコンタクトホールが形成された層間絶縁膜(12)を形成することと、

前記コンタクトホールを通じて、前記ソース領域および前記第2導電型層に電気的に接続されたソース電極(13)を形成することと、

前記基板の裏面側にドレイン電極(14)を形成することとを含む、反転型の半導体素子を備えた半導体装置の製造方法。 40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特に炭化珪素(以下、SiCという)などのワイドバンドギャップ半導体を用いた半導体素子およびその製造方法に適用されると好適なものである。

【背景技術】

【0002】

SiC半導体装置において、オン抵抗値の低減はスイッチング損失の低減などを図るた 50

めに必要であるが、負荷短絡時に半導体素子に流れる電流値は、半導体素子のオン抵抗値に反比例して大きくなる。すなわち、オン抵抗値の小さい半導体素子ほど、負荷短絡時の飽和電流が大きな電流値となる。その結果、自己発熱により半導体素子の破損が発生し易くなるので、負荷短絡時におけるSiC半導体装置の耐量が低下することになる。このため、オン抵抗値の低減と負荷短絡時におけるSiC半導体装置の耐量向上はトレードオフの関係を有しているが、このトレードオフの関係の改善、つまり低オン抵抗値と低飽和電流の両立が望まれている。

【0003】

これに対して、特許文献1において、低オン抵抗値と低飽和電流を両立させるために、p型ベース領域のうちのチャネル近傍の部分の不純物濃度とJFET部分の不純物濃度が異なった濃度となるようにした構造が提案されている。具体的には、深さ方向においてp型ベース領域の不純物濃度に勾配をつけ、チャネル近傍では不純物濃度が低く、下方になるにしたがって不純物濃度が高くなるようにしている。このような構成によれば、p型ベース領域の不純物濃度がチャネル近傍では低くされているため、低オン抵抗が実現できる。また、p型ベース領域のうちのJFET部分については所望の不純物濃度とすることでき、隣り合うp型ベース領域間におけるn型ドリフト層がピンチオフされるようにでき、低飽和電流を実現できる。したがって、低オン抵抗値と低飽和電流を両立することが可能となる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特許第5736683号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1のSiC半導体装置では、より低飽和電流として高い耐量を得られるように、p型ベース領域のうちのJFET部分の不純物濃度を濃くしたり、JFET部分において隣り合うp型ベース領域の間隔を狭くすると、JFET抵抗が増大する。このため、低オン抵抗値と低飽和電流を両立することができなくなる。

【0006】

本発明は上記点に鑑みて、低オン抵抗値と低飽和電流を両立することができる半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するため、請求項1に記載のSiC半導体装置は、半導体で構成された第1または第2導電型の基板(1)と、基板の上に形成され、基板よりも低不純物濃度とされた第1導電型の半導体からなるドリフト層(2)と、ドリフト層の上に形成された第2導電型の半導体からなる第2導電型領域(3、5、6、8、71)と、ドリフト層上に形成され、第2導電型領域に挟まれて配置されたJFET部(2a)と、第2導電型領域の上に形成され、ドリフト層よりも高濃度の第1導電型の半導体からなるソース領域(7)と、第2導電型領域の一部をチャネル領域として、該チャネル領域上に形成されたゲート絶縁膜(10)と、ゲート絶縁膜上に形成されたゲート電極(11)と、ゲート電極およびゲート絶縁膜を覆うと共にコンタクトホールが形成された層間絶縁膜(12)と、コンタクトホールを通じて、ソース領域に電気的に接続されたソース電極(13)と、基板の裏面側に形成されたドレイン電極(14)とを有した構成とされている。具体的には、ゲート電極に対してゲート電圧を印加すると共にドレイン電極に対して印加するドレイン電圧として通常作動時の電圧を印加することでチャネル領域を形成し、ソース領域およびJFET層を介して、ソース電極およびドレイン電極の間に電流を流す反転型の半導体素子とされている。このような構成において、JFET部と第2導電型領域との間には、ドレイン電圧として通常作動時の電圧が印加されているときには第2導電型領域からJFET

10

20

30

40

50

T部に伸びる空乏層の伸び量を抑制しつつJ F E T部を通じて電流を流し、ドレイン電圧として通常動作時の電圧よりも高い電圧が印加されると空乏層によってJ F E T部をピンチオフさせる空乏層調整層(20、30)が形成されている。

【0008】

このように、少なくともディープ層のうちの側面、つまりディープ層とJ F E T部との間に空乏層調整層を形成している。このため、通常作動時においては、空乏層調整層が空乏層の伸びを調整する層として機能し、J F E T部内への空乏層の伸びを抑制することが可能になり、電流経路が狭くなることを抑制できるため、低オン抵抗を図ることが可能となる。

【0009】

また、負荷短絡などによってドレイン電圧が通常作動時の電圧よりも高くなると、ディープ層側から空乏層調整層へ伸びる空乏層が空乏層調整層の厚みよりも伸び、J F E T部が即座にピンチオフされる。これにより、低飽和電流を維持することができ、負荷短絡等によるS i C半導体装置の耐量を向上することが可能となる。したがって、低オン抵抗値と低飽和電流を両立することができるS i C半導体装置とすることが可能となる。

【0010】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係の一例を示すものである。

【図面の簡単な説明】

【0011】

【図1】第1実施形態にかかるS i C半導体装置の断面図である。

【図2】図1に示すS i C半導体装置の通常作動時の様子を示した断面図である。

【図3】V d - I d特性図である。

【図4】通常作動範囲におけるV d - I d特性の拡大図である。

【図5】図1に示すS i C半導体装置の製造工程を示した断面図である。

【図6】図5に続くS i C半導体装置の製造工程を示した断面図である。

【図7】マスクずれが発生した場合のS i C半導体装置の断面図である。

【図8】第2実施形態にかかるS i C半導体装置の断面図である。

【図9】第1、第2実施形態の変形例で説明するS i C半導体装置の断面図である。

【図10】第1、第2実施形態の変形例で説明するS i C半導体装置の断面図である。

【図11】第3実施形態にかかるS i C半導体装置の断面図である。

【図12】第4実施形態にかかるS i C半導体装置の断面図である。

【図13】第5実施形態にかかるS i C半導体装置の上面レイアウト図である。

【図14】第5実施形態の変形例で説明するS i C半導体装置の上面レイアウト図である。

。

【図15】第6実施形態にかかるS i C半導体装置の断面図である。

【図16】第7実施形態にかかるS i C半導体装置の製造方法を示した断面図である。

【図17】第8実施形態にかかるS i C半導体装置の断面図である。

【発明を実施するための形態】

【0012】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0013】

(第1実施形態)

第1実施形態について説明する。本実施形態にかかるS i C半導体装置は、図1に示すように、半導体素子として縦型M O S F E Tが形成されたものである。縦型M O S F E Tは、S i C半導体装置のうちのセル領域に形成されており、そのセル領域を囲むように外周耐圧構造が形成されることでS i C半導体装置が構成されているが、ここでは縦型M O S F E Tのみ図示してある。なお、以下の説明では、図1の左右方向を幅方向とし、上下方向を厚み方向もしくは深さ方向として説明を行う。

【0014】

SiC半導体装置には、SiCからなるn⁺型基板1が半導体基板として用いられている。n⁺型基板1の主表面上にSiCからなるn⁻型ドリフト層2が形成されている。n⁻型ドリフト層2は、n⁺型基板1から離れた位置において幅狭とされたJFET部2aと連結されており、このJFET部2aの両側にSiCからなるp型ディープ層3が形成されている。本実施形態の場合、JFET部2aは、後述するトレンチゲート構造の長手方向に沿って延設された短冊形状とされ、JFET部2aの周囲がp型ディープ層3とされている。

【0015】

これらn⁻型ドリフト層2およびJFET部2aとp型ディープ層3との間には高濃度n型層20が形成されている。本実施形態では、この高濃度n型層20が空乏層調整層として機能する。より詳しくは、高濃度n型層20は、少なくともp型ディープ層3のうちの側面、つまりp型ディープ層3とJFET部2aとの間に形成されている。本実施形態の場合は、n⁻型ドリフト層2の上面、つまりn⁻型ドリフト層2とp型ディープ層3の底部との間やn⁻型ドリフト層2のうちのJFET部2aとの境界位置にも高濃度n型層20が形成されている。

10

【0016】

n⁺型基板1は、表面が(0001)Si面とされ、例えばn型不純物濃度が $5.9 \times 10^{18} / \text{cm}^3$ とされ、厚さが100μmとされている。n⁻型ドリフト層2は、例えばn型不純物濃度が $1.0 \times 10^{16} / \text{cm}^3$ とされ、厚さが8.0μmとされている。また、JFET部2aについては、例えばn型不純物濃度が $1.0 \times 10^{16} / \text{cm}^3$ とされ、幅が0.1μmとされている。p型ディープ層3は、例えばp型不純物濃度が $1.0 \times 10^{18} / \text{cm}^3$ とされ、厚さが1.0μmとされている。高濃度n型層20は、n⁻型ドリフト層2よりも高濃度とされており、例えばn型不純物濃度が $1.0 \times 10^{18} / \text{cm}^3$ とされている。高濃度n型層20の厚さについては、p型ディープ層3の側面では0.05μm、n⁻型ドリフト層2の上面では0.07μmとされている。

20

【0017】

また、JFET部2aおよびp型ディープ層3の上には、JFET部2aと連結され、かつ、JFET部2aよりも幅広とされたSiCからなるn型電流分散層4が形成されている。さらに、p型ディープ層3の上には、p型ディープ層3よりも幅が狭くされたSiCからなるp型連結層5が形成されている。

30

【0018】

n型電流分散層4は、後述するようにチャネルを通じて流れる電流が幅方向に拡散できるようにする層であり、JFET部2aよりも高濃度とされており、例えばn型不純物濃度が $3 \times 10^{17} / \text{cm}^3$ とされ、厚さが0.6μmとされている。また、p型連結層5は、p型ディープ層3と同じ濃度とされていても良いが、本実施形態ではp型ディープ層3よりも高濃度とされ、例えばp型不純物濃度が $3 \times 10^{17} / \text{cm}^3$ とされ、厚さが0.6μmとされている。

【0019】

n型電流分散層4およびp型連結層5の上にはSiCからなるp型ベース領域6が形成されており、p型連結層5を介してp型ベース領域6とp型ディープ層3とが連結されている。また、p型ベース領域6の上には、SiCからなるn⁺型ソース領域7およびp⁺型コンタクト領域8が形成されている。n⁺型ソース領域7は、p型ベース領域6のうちn型電流分散層4と対応する部分の上に形成されており、p⁺型コンタクト領域8は、p型ベース領域6のうちp型連結層5と対応する部分の上に形成されている。

40

【0020】

p型ベース領域6は、p型ディープ層3よりも厚みが薄く、かつ、p型不純物濃度が低くされており、例えばp型不純物濃度が $3 \times 10^{17} / \text{cm}^3$ とされ、厚さが0.3μmとされている。また、n⁺型ソース領域7は、n型不純物濃度がn型電流分散層4よりも高濃度とされており、p⁺型コンタクト領域8は、p型不純物濃度がp型ベース領域6より

50

も高濃度とされている。

【0021】

また、p型ベース領域6およびn⁺型ソース領域7を貫通してn型電流分散層4に達するように、例えば幅が0.8μm、深さがp型ベース領域6とn⁺型ソース領域7の合計膜厚よりも0.2～0.4μm深くされたゲートトレンチ9が形成されている。このゲートトレンチ9の側面と接するように上述したp型ベース領域6およびn⁺型ソース領域7が配置されている。ゲートトレンチ9は、図1の紙面左右方向を幅方向、紙面法線方向を長手方向、紙面上下方向を深さ方向とするライン状のレイアウトで形成されている。また、図1には1本しか示していないが、ゲートトレンチ9は、複数本が紙面左右方向に等間隔に配置され、それぞれp型ディープ層3の間に挟まれるように配置されていてストライプ状とされている。例えば、ゲートトレンチ9のピッチとなるセルピッチ、つまり隣り合うゲートトレンチ9の配置間隔の半分となるハーフセルピッチは、例えば1.55μmとされている。ゲートトレンチ9の幅については任意であるが、ハーフセルピッチよりも小さくされている。10

【0022】

さらに、p型ベース領域6のうちゲートトレンチ9の側面に位置している部分を、縦型MOSFETの作動時にn⁺型ソース領域7とn型電流分散層4との間を繋ぐチャネル領域として、チャネル領域を含むゲートトレンチ9の内壁面にゲート絶縁膜10が形成されている。そして、ゲート絶縁膜10の表面にはドープドPoly-Siにて構成されたゲート電極11が形成されており、これらゲート絶縁膜10およびゲート電極11によってゲートトレンチ9内が埋め尽くされている。20

【0023】

また、n⁺型ソース領域7およびp⁺型コンタクト領域8の表面やゲート電極11の表面には、層間絶縁膜12を介してソース電極13などが形成されている。ソース電極13は、複数の金属、例えばNi/AI等にて構成されている。そして、複数の金属のうち少なくともn型SiC、具体的にはn⁺型ソース領域7やn型ドープの場合のゲート電極11と接触する部分はn型SiCとオーミック接触可能な金属で構成されている。また、複数の金属のうち少なくともp型SiC、具体的にはp⁺型コンタクト領域8と接触する部分はp型SiCとオーミック接触可能な金属で構成されている。なお、ソース電極13は、層間絶縁膜12上に形成されることで電気的に絶縁されている。そして、層間絶縁膜12に形成されたコンタクトホールを通じて、ソース電極13はn⁺型ソース領域7およびp⁺型コンタクト領域8と電気的に接触させられている。30

【0024】

さらに、n⁺型基板1の裏面側にはn⁺型基板1と電気的に接続されたドレイン電極14が形成されている。このような構造により、nチャネルタイプの反転型のトレンチゲート構造の縦型MOSFETが構成されている。このような縦型MOSFETが複数セル配置されることでセル領域が構成されている。そして、このような縦型MOSFETが形成されたセル領域を囲むように図示しないガードリングなどによる外周耐圧構造が構成されることでSiC半導体装置が構成されている。40

【0025】

このように構成される縦型MOSFETを有するSiC半導体装置は、ソース電圧Vsを0V、ドレイン電圧Vdを例えば1～1.5Vとした状態で、ゲート電極11に対して例えば20Vのゲート電圧Vgを印加することで動作させられる。すなわち、ゲート電圧が印加されることにより、縦型MOSFETは、ゲートトレンチ9に接する部分のp型ベース領域6にチャネル領域が形成され、ドレイン-ソース間に電流が流れるという動作を行う。50

【0026】

このとき、少なくともJFET部2aとp型ディープ層3との間に高濃度n型層20を配置していることから、この高濃度n型層20が空乏層調整層として機能することで、次の作動を行うことになる。

【0027】

具体的には、図2の一点鎖線で示すように、ドレイン電圧 V_d が例えば1~1.5Vのように通常作動時に印加される電圧である場合には、p型ディープ層3側から高濃度n型層20へ伸びる空乏層は、高濃度n型層20の厚みよりも小さい幅しか伸びない。つまり、高濃度n型層20が空乏層の伸びをストップする層として機能する。このため、JFET部2a内への空乏層の伸びを抑制することが可能になり、電流経路が狭くなることを抑制できるため、低オン抵抗を図ることが可能となる。

【0028】

また、高濃度n型層20のうち空乏層が伸びていない部分については電流経路として機能する。そして、高濃度n型層20がJFET部2aよりもn型不純物濃度が高濃度になっており、低抵抗となっていることから、高濃度n型層20が電流経路として機能することで、さらに低オン抵抗化を図ることが可能となる。10

【0029】

また、負荷短絡などによってドレイン電圧 V_d が通常作動時の電圧よりも高くなると、p型ディープ層3側から高濃度n型層20へ伸びる空乏層が高濃度n型層20の厚みよりも伸びる。そして、n型電流分散層4よりも先にJFET部2aが即座にピンチオフされる。このとき、高濃度n型層20の厚みおよびn型不純物濃度に基づいてドレイン電圧 V_d と空乏層の幅との関係が決まる。このため、通常作動時のドレイン電圧 V_d よりも少し高い電圧となったときにJFET部2aがピンチオフされるように、高濃度n型層20の厚みおよびn型不純物濃度を設定することで、低いドレイン電圧 V_d でもJFET部2aをピンチオフすることが可能となる。このように、ドレイン電圧 V_d が通常作動時の電圧よりも高くなったときにJFET部2aが即座にピンチオフされるようにすることで、低飽和電流を維持することができ、負荷短絡等によるSiC半導体装置の耐量を向上することが可能となる。20

【0030】

したがって、低オン抵抗値と低飽和電流を両立することができるSiC半導体装置とすることが可能となる。

【0031】

さらに、p型ディープ層3をp型ベース領域6よりもゲート電極11の中心線側に張り出させ、JFET部2aの幅が狭くなるようにしている。このため、ドレイン電圧 V_d が高電圧になったとしても、下方からn型ドリフト層2に伸びてくる空乏層の伸びがp型ディープ層3によって抑えられ、トレンチゲート構造に延伸することを防ぐことができる。したがって、ゲート絶縁膜10に掛かる電界を低下させることができ、信頼性の高い素子とすることが可能となる。そして、このようにトレンチゲート構造への空乏層の延伸を防げるため、n型ドリフト層2やJFET部2aのn型不純物濃度を比較的濃くすることができ、低オン抵抗化を図ることが可能となる。30

【0032】

よって、低オン抵抗かつ高信頼性の縦型MOSFETを有するSiC半導体装置とすることが可能となる。

【0033】

なお、本実施形態のSiC半導体装置は、ゲート電圧 V_g を印加していないときには、チャネル領域が形成されていないため、ドレイン-ソース間に電流が流れないノーマリオフ型の半導体素子となる。しかしながら、JFET部2aについては、ゲート電圧 V_g を印加していないときでもドレイン電圧 V_d が通常作動時の電圧よりも高くなないとピンチオフしないため、ノーマリオン型となる。40

【0034】

図3は、高濃度n型層20が備えられた本実施形態の構造と高濃度n型層20が備えられていない従来構造について、ドレイン電圧 V_d に対するドレイン電流 I_d の特性である V_d - I_d 特性を比較した結果を示している。ゲート電圧を20Vとし、ドレイン電圧を変化させた場合の特性を示している。この図に示されるように、従来構造では、ドレイ50

ン電圧 V_d が高いときのドレイン電流 I_d 、つまり飽和電流値が大きな値であった。これに対して、本実施形態の構造では、ドレイン電圧 V_d が高くなってしまっても飽和電流値があまり大きな値にならず、例えば従来構造に対して 1 / 5 程度まで低下していた。

【0035】

このように、本実施形態の SiC 半導体装置によれば、ドレイン電圧 V_d が高電圧になつても、ドレイン電流 I_d を低下させられる。このため、低飽和電流を実現することができる。

【0036】

一方、図 4 は、本実施形態の構造と従来構造について、SiC 半導体装置の通常作動範囲と想定されるドレイン電圧 V_d の範囲での V_d - I_d 特性を比較した結果、すなわち図 3 中の通常作動範囲を拡大した図を示している。この図に示されるように、通常作動範囲では、本実施形態の構造もほぼ従来構造と同様の特性となった。具体的には、同じドレイン電圧 V_d の際に、僅かながら従来構造の方が本実施形態の構造よりもドレイン電流 I_d が大きくなっていたが、殆ど同じ値となった。このことから、本実施形態の構造としても従来構造と同等のオン抵抗にできることが判る。

【0037】

したがって、上記したように、低オン抵抗値と低飽和電流を両立することができる SiC 半導体装置とすることが可能となる。

【0038】

なお、本実施形態の場合、高濃度 n 型層 20 を n⁻型ドリフト層 2 のうち p 型ディープ層 3 よりも下方部分の上面にも形成している。このため、p 型ディープ層 3 から n⁻型ドリフト層 2 側に伸びる空乏層の伸び量も抑制され、よりオン抵抗の低減を図ることが可能となる。

【0039】

また、JFET 部 2a や高濃度 n 型層 20 などの n 型不純物濃度や厚みの一例を示したが、これらについては一例を示したに過ぎない。例えば、JFET 部 2a や高濃度 n 型層 20 については、所望のピンチオフ条件を満たすように n 型不純物濃度や厚みを設定している。

【0040】

具体的には、JFET 部 2a については、例えば半導体素子の耐圧の 10 % でピンチオフする条件として設計されている。すなわち、JFET 部 2a の n 型不純物濃度を N_{d1}、厚みを W₁、ピンチオフ電圧を V_{p1}、素電荷を q₁、誘電率を ε₁ として次の式 1 を満たすように n 型不純物濃度 N_{d1}、厚み W₁ を設計している。

【0041】

$$(数1) V_{p1} = (q_1 \times N_{d1} \times W_1^2) / 2 \quad 1 < \text{半導体素子の耐圧の } 10\%$$

一方、高濃度 n 型層 20 については、例えば半導体素子の耐圧の 0.1 % でピンチオフしない条件として設計されている。すなわち、高濃度 n 型層 20 の n 型不純物濃度を N_{d2}、p 型ディープ層 3 の側面上での厚みを W₂、ピンチオフ電圧を V_{p2}、素電荷を q₂、誘電率を ε₂ として次の式 2 を満たすように n 型不純物濃度 N_{d2}、厚み W₂ を設計している。

【0042】

$$(数2) V_{p2} = (q_2 \times N_{d2} \times W_2^2) / 2 \quad 2 > \text{半導体素子の耐圧の } 0.1\%$$

次に、本実施形態にかかる n チャネルタイプの反転型のトレンチゲート構造の縦型 MOSFET を備えた SiC 半導体装置の製造方法について、図 5 および図 6 に示す製造工程中の断面図を参照して説明する。

【0043】

〔図 5 (a) に示す工程〕

まず、半導体基板として、n⁺型基板 1 を用意する。そして、エピタキシャル成長により、n⁺型基板 1 の主表面上に SiC からなる n⁻型ドリフト層 2 を形成したのち、n⁻型ドリフト層 2 の上に SiC からなる高濃度 n 型層 20 の一部を形成し、さらに SiC から

10

20

40

50

なる p 型ディープ層 3 を形成する。

【0044】

〔図 5 (b) に示す工程〕

p 型ディープ層 3 の上に J F E T 部 2 a と対応する位置を開口させた図示しないマスクを形成し、そのマスクを用いて p 型ディープ層 3 を除去してトレンチ 3 a を形成し、トレンチ 3 a の底部において n 型ドリフト層 2 を露出させる。

【0045】

〔図 5 (c) に示す工程〕

p 型ディープ層 3 のうちトレンチ 3 a 以外の表面をマスクで覆ったままの状態で埋め込みエピタキシャル成長を行うことによって、高濃度 n 型層 2 0 と J F E T 部 2 a を形成する。例えば、n 型層を濃度差を付けて形成し、成長初期時には高濃度、その後は低濃度で形成されるようにする。これにより、トレンチ 3 a の側面にまず高濃度 n 型層 2 0 が形成され、更にトレンチ 3 a 内を埋め尽くすように J F E T 部 2 a が形成される。この後、図示しないマスクを除去する。また、必要に応じて、p 型ディープ層 3 や高濃度 n 型層 2 0 および J F E T 部 2 a の表面の平坦化を行う。

【0046】

〔図 5 (d) に示す工程〕

p 型ディープ層 3 や高濃度 n 型層 2 0 および J F E T 部 2 a の表面に n 型電流分散層 4 をエピタキシャル成長させる。

【0047】

〔図 5 (e) に示す工程〕

n 型電流分散層 4 のうち J F E T 部 2 a や高濃度 n 型層 2 0 から離れた位置に p 型不純物をイオン注入し、活性化することで p 型連結層 5 を形成する。

【0048】

〔図 6 (a) に示す工程〕

n 型電流分散層 4 および p 型連結層 5 の上に p 型ベース領域 6 および n⁺型ソース領域 7 をエピタキシャル成長させる。

【0049】

〔図 6 (b) に示す工程〕

n⁺型ソース領域 7 の一部に p 型不純物をイオン注入することで p⁺型コンタクト領域 8 を形成する。

【0050】

〔図 6 (c) に示す工程〕

n⁺型ソース領域 7 などの上に図示しないマスクを形成したのち、マスクのうちのゲートトレンチ 9 の形成予定領域を開口させる。そして、マスクを用いて R I E (Reactive Ion Etching) などの異方性エッティングを行うことで、ゲートトレンチ 9 を形成する。

【0051】

その後、マスクを除去してから例えば熱酸化を行うことによって、ゲート絶縁膜 1 0 を形成し、ゲート絶縁膜 1 0 によってゲートトレンチ 9 の内壁面上および n⁺型ソース領域 7 の表面上を覆う。そして、p 型不純物もしくは n 型不純物がドープされた P o l y - S i をデポジションした後、これをエッチバックし、少なくともゲートトレンチ 9 内に P o l y - S i を残すことでゲート電極 1 1 を形成する。

【0052】

〔図 6 (d) に示す工程〕

ゲート電極 1 1 およびゲート絶縁膜 1 0 の表面を覆うように、例えば酸化膜などによって構成される層間絶縁膜 1 2 を形成する。また、層間絶縁膜 1 2 の表面上に図示しないマスクを形成したのち、マスクのうち各ゲート電極 1 1 の間に位置する部分、つまり p⁺型コンタクト領域 8 と対応する部分およびその近傍を開口させる。この後、マスクを用いて層間絶縁膜 1 2 をパターニングすることで p 型ディープ層 3 および n⁺型ソース領域 7 を露出させるコンタクトホールを形成する。そして、層間絶縁膜 1 2 の表面上に例えれば複数

10

20

30

40

50

の金属の積層構造により構成される電極材料を形成したのち、電極材料をパターニングすることでソース電極13を形成する。

【0053】

〔図6(e)に示す工程〕

n^+ 型基板1の裏面側にドレイン電極14を形成する。これにより、本実施形態にかかるSiC半導体装置が完成する。

【0054】

以上説明したように、本実施形態のSiC半導体装置では、少なくともp型ディープ層3のうちの側面、つまりp型ディープ層3とJFET部2aとの間に高濃度n型層20を形成している。

10

【0055】

このため、通常作動時においては、高濃度n型層20が空乏層の伸びをストップする層として機能し、JFET部2a内への空乏層の伸びを抑制することが可能になり、電流経路が狭くなることを抑制できるため、低オン抵抗を図ることが可能となる。また、負荷短絡などによってドレイン電圧Vdが通常作動時の電圧よりも高くなると、p型ディープ層3側から高濃度n型層20へ伸びる空乏層が高濃度n型層20の厚みよりも伸び、JFET部2aが即座にピンチオフされる。これにより、低飽和電流を維持することができ、負荷短絡等によるSiC半導体装置の耐量を向上することが可能となる。したがって、低オン抵抗値と低飽和電流を両立することができるSiC半導体装置とすることが可能となる。

20

【0056】

なお、本実施形態で説明したSiC半導体装置において、縦型MOSFETは、JFET部2aがトレンチゲート構造の直下に位置した構造となっていると、電流経路を最短にできるため好ましい。しかしながら、マスクのアライメントずれなどにより、図7に示すように、トレンチゲート構造の直下からずれた位置にJFET部2aが位置した構造とあっていても、上記効果を得ることができる。

【0057】

(第2実施形態)

第2実施形態について説明する。本実施形態は、第1実施形態に対して高濃度n型層20の代わりになる層を備えるようにしたものであり、その他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

30

【0058】

図8に示すように、本実施形態では、第1実施形態のSiC半導体装置に備えていた高濃度n型層20に代えて、低濃度p型層30を備えてある。本実施形態では、この低濃度p型層30が空乏層調整層として機能する。低濃度p型層30は、少なくともp型ディープ層3のうちの側面、つまりp型ディープ層3とJFET部2aとの間に形成されている。そして、本実施形態の場合は、 n^- 型ドリフト層2の上面、つまり n^- 型ドリフト層2とp型ディープ層3の底部との間や n^- 型ドリフト層2とJFET部2aとの境界位置にも低濃度p型層30が形成されている。

【0059】

低濃度p型層30は、JFET部2aやp型ディープ層3よりも不純物濃度が低くされており、例えばp型不純物濃度が $1.0 \times 10^{17} / \text{cm}^3$ とされている。低濃度p型層30の厚さについては、p型ディープ層3の側面では $0.05 \mu\text{m}$ 、 n^- 型ドリフト層2の上面では $0.07 \mu\text{m}$ とされている。

40

【0060】

なお、低濃度p型層30のp型不純物濃度やp型ディープ層3の側面上での厚みについては、所望のピンチオフ条件を満たすように設計している。具体的には、低濃度p型層30については、例えば半導体素子の耐圧の0.1%でピンチオフしない条件として設計されている。すなわち、低濃度p型層30のp型不純物濃度をNa、p型ディープ層3の側面上での厚みをW3、ピンチオフ電圧をVp3、素電荷をq3、誘電率を ϵ_3 として次の

50

数式3を満たすようにn型不純物濃度N_d3、厚みW3を設計している。

【0061】

$$(数3) Vp3 = (q3 \times N_a \times W3^2) / 2 \quad 3 > \text{半導体素子の耐圧の} 0.1\%$$

また、高濃度n型層20を低濃度p型層30に代えることに伴って、JFET部2aの不純物濃度を変更しており、n型不純物濃度を $1.0 \times 10^{17} / \text{cm}^3$ としている。なお、ここで説明するJFET部2aのn型不純物濃度についても、JFET部2aの厚みと共に、第1実施形態で説明した数式2を満たす設計とされている。

【0062】

このように、低濃度p型層30をJFET部2aとp型ディープ層3との間に配置した場合、JFET部2aと低濃度p型層30との不純物濃度差がJFET部2aとp型ディープ層3との不純物濃度差よりも少なくなる。このため、低濃度p型層30からJFET部2a側に伸びる空乏層の伸び量が抑制される。したがって、空乏層によってJFET部2a内での電流経路が狭められることを抑制することが可能となり、低オン抵抗を図ることが可能となる。よって、本実施形態の構成としても、第1実施形態と同様の効果を得ることが可能となる。

【0063】

なお、本実施形態のSiC半導体装置の製造方法は、第1実施形態とほぼ同じである。すなわち、第1実施形態で説明した高濃度n型層20を形成する際に、それに代えて低濃度p型層30を形成する以外は、第1実施形態と同じ工程を行えば、本実施形態のSiC半導体装置を製造することができる。

【0064】

(第1、第2実施形態の変形例)

上記第1実施形態で説明した高濃度n型層20と第2実施形態で説明した低濃度p型層30を組み合わせて形成することもできる。例えば、図9に示すように、n⁻型ドリフト層2の上面に高濃度n型層20を備え、p型ディープ層3の側面に低濃度p型層30を備える。または、図10に示すように、n⁻型ドリフト層2の上面に低濃度p型層30を備え、p型ディープ層3の側面に高濃度n型層20を備える。これらの構造としても、第1、第2実施形態と同様の効果を得ることができる。

【0065】

(第3実施形態)

第3実施形態について説明する。本実施形態は、第1、第2実施形態に対してスーパー・ジャンクション構造を適用したものであり、その他については第1、第2実施形態と同様であるため、第1、第2実施形態と異なる部分についてのみ説明する。なお、ここでは第1実施形態のように高濃度n型層20を有する縦型MOSFETに対してスーパー・ジャンクション構造を適用した場合について説明するが、第2実施形態のような低濃度p型層30を有する縦型MOSFETに対しても適用可能である。

【0066】

図11に示すように、本実施形態では、p型ディープ層3よりも下方において、n⁻型ドリフト層2側に伸びるp型カラム層40が備えられている。図11では、p型カラム層40がn⁺型基板1に接する構造としているが、n⁺型基板1から離れた構造であっても良い。

【0067】

このように、p型カラム層40を形成することで、n⁻型ドリフト層2をn型カラム層とするPN接合のスーパー・ジャンクション構造が構成されている。このようなスーパー・ジャンクション構造を有する縦型MOSFETに対しても、高濃度n型層20を形成している。このため、第1実施形態と同様の効果を得ることができる。

【0068】

なお、本実施形態の構造のSiC半導体装置も、基本的には第1実施形態のものと同様の製造方法によって製造できる。p型カラム層40については、n⁻型ドリフト層2に対してトレンチを形成したのち、埋め込みエピタキシャル成長を行い、さらにエッチバック

10

20

30

40

50

して p 型カラム層 4 0 の表面の平坦化を行うことで形成できる。これ以外については、第 1 実施形態と同様の方法により、本実施形態の SiC 半導体装置を製造できる。

【 0 0 6 9 】

(第 4 実施形態)

第 4 実施形態について説明する。本実施形態は、第 1 ~ 第 3 実施形態に対してソース電極 1 3 のコンタクト構造を変更したものであり、その他については第 1 ~ 第 3 実施形態と同様であるため、第 1 ~ 第 3 実施形態と異なる部分についてのみ説明する。なお、ここでは第 1 実施形態のように高濃度 n 型層 2 0 を有する縦型 MOSFET に対してソース電極 1 3 のコンタクト構造を変更した場合について説明するが、第 2 実施形態のような低濃度 p 型層 3 0 を有する縦型 MOSFET に対しても適用可能である。

10

【 0 0 7 0 】

図 1 2 に示すように、n⁺型ソース領域 7 を挟んでトレンチゲート構造の反対側にコンタクトトレンチ 5 0 が形成されている。そして、このコンタクトトレンチ 5 0 の底面において p 型ベース領域 6 の表層部に p⁺型コンタクト領域 8 が形成されている。このような構造は、n⁺型ソース領域 7 を形成した後に、エッティングによってコンタクトトレンチ 5 0 を形成し、その後に p⁺型コンタクト領域 8 を形成するためのイオン注入を行うことによって実現できる。

【 0 0 7 1 】

このように、コンタクトトレンチ 5 0 によって n⁺型ソース領域 7 の一部を除去することで、ソース電極 1 3 と p 型ベース領域 6 とのコンタクトを図るようにも良い。

20

【 0 0 7 2 】

(第 5 実施形態)

第 5 実施形態について説明する。本実施形態は、第 1 ~ 第 4 実施形態に対して JFET 部 2 a の上面レイアウトを変更したものであり、その他については第 1 ~ 第 4 実施形態と同様であるため、第 1 ~ 第 4 実施形態と異なる部分についてのみ説明する。なお、ここでは第 1 実施形態のように高濃度 n 型層 2 0 を有する縦型 MOSFET に対してレイアウト構成を変更した場合について説明するが、第 2 実施形態のような低濃度 p 型層 3 0 を有する縦型 MOSFET に対しても適用可能である。

【 0 0 7 3 】

上記第 1 実施形態では、JFET 部 2 a をトレンチゲート構造の長手方向に沿って短冊状に形成している。これに対して、本実施形態では、図 1 3 に示すように、トレンチゲート構造の長手方向に対して交差、ここでは直交するように JFET 部 2 a をレイアウトすることで、トレンチゲート構造と JFET 部 2 a とが格子状にレイアウトされた構造としている。

30

【 0 0 7 4 】

このように、トレンチゲート構造と JFET 部 2 a とが格子状のレイアウトとなるようにも、第 1 実施形態と同様の効果を得ることができる。

【 0 0 7 5 】

(第 5 実施形態の変形例)

第 5 実施形態のように、トレンチゲート構造と JFET 部 2 a とが格子状のレイアウトとなる場合に限らず、他のレイアウトとなるようにすることもできる。例えば、図 1 4 に示すように、JFET 部 2 a を四角形などの枠体形状で構成し、各 JFET 部 2 a を格子状に並べた構造としても良い。

40

【 0 0 7 6 】

(第 6 実施形態)

第 6 実施形態について説明する。本実施形態は、第 1 ~ 第 5 実施形態に対してトレンチゲート構造の縦型 MOSFET に代えてプレーナ構造の縦型 MOSFET としたものであり、その他については第 1 ~ 第 5 実施形態と同様であるため、第 1 ~ 第 5 実施形態と異なる部分についてのみ説明する。なお、ここでは第 1 実施形態のように高濃度 n 型層 2 0 を有する縦型 MOSFET に対してプレーナ構造とする場合について説明するが、第 2 実施

50

形態のような低濃度 p 型層 3 0 を有する縦型M O S F E T に対しても適用可能である。

【 0 0 7 7 】

具体的には、図 1 5 に示すようなプレーナ構造の縦型M O S F E T を有する S i C 半導体装置に対しても、高濃度 n 型層 2 0 を備える構造を適用できる。プレーナ構造の場合、n⁻型ドリフト層 2 の上に p 型ベース領域 6 を形成し、p 型ベース領域 6 の表層部に n⁺型ソース領域 7 を形成した構造とされる。また、p 型ベース領域 6 に挟まれるように J F E T 部 2 a が形成されている。そして、p 型ベース領域 6 のうち n⁺型ソース領域 7 と J F E T 部 2 a との間に位置している部分の表面側をチャネル領域として、チャネル領域上にゲート絶縁膜 1 0 を介してゲート電極 1 1 が形成された構造とされる。

【 0 0 7 8 】

このような構造においても、少なくとも p 型ベース領域 6 の側面に高濃度 n 型層 2 0 を備えることで、第 1 実施形態と同様の効果を得ることができる。

【 0 0 7 9 】

また、本実施形態の場合、高濃度 n 型層 2 0 を n⁻型ドリフト層 2 の上面にも形成している。このため、p 型ベース領域 6 から n⁻型ドリフト層 2 側に伸びる空乏層の伸び量も抑制され、よりオン抵抗の低減を図ることが可能となる。

【 0 0 8 0 】

(第 7 実施形態)

第 7 実施形態について説明する。本実施形態は、第 1 ~ 第 6 実施形態に対して高濃度 n 型層 2 0 や低濃度 p 型層 3 0 の形成方法を変更したものであり、その他については第 1 ~ 第 6 実施形態と同様であるため、第 1 ~ 第 6 実施形態と異なる部分についてのみ説明する。なお、ここでは第 1 実施形態のように高濃度 n 型層 2 0 を有する縦型M O S F E T に対して本実施形態の製造方法を適用する場合について説明するが、第 2 実施形態のような低濃度 p 型層 3 0 を有する縦型M O S F E T に対しても適用可能である。

【 0 0 8 1 】

本実施形態では、第 1 実施形態で説明した図 5 (c) に示す埋め込みエピタキシャル成長に代えて、他の手法によって高濃度 n 型層 2 0 を形成する。

【 0 0 8 2 】

具体的には、図 1 6 (a) に示すように、高濃度 n 型層 2 0 のうち p 型ディープ層 3 よりも下方位置の部分を形成したのち、p 型ディープ層 3 をエピタキシャル成長させる。続いて、図 1 6 (b) に示すように、p 型ディープ層 3 の上に n 型層 6 0 を形成する。n 型層 6 0 についてはエピタキシャル成長によって形成しても良いが、ここでは n 型不純物をイオン注入することによって形成している。また、n 型層 6 0 の不純物濃度については、高濃度 n 型層 2 0 と同じ程度となるようにしている。その後、図 1 6 (c) に示すように、p 型ディープ層 3 に加えて n 型層 6 0 を貫通するようにトレンチ 3 a を形成する。このトレンチ 3 a は、第 1 トレンチに相当する。そして、アニール処理、例えばエッティングガスとなる水素 (H 2) とアルゴン (A r) の混合ガス雰囲気中において加熱する。これにより、図 1 6 (d) に示すように、溶融した n 型層 6 0 がトレンチ 3 a 内に垂れるように流動し、p 型ディープ層 3 の側面などに付着して高濃度 n 型層 2 0 の残りの部分が形成される。この後は、第 1 実施形態で説明した各工程を実施することで、図 1 と同様の構造の縦型M O S F E T を備えた S i C 半導体装置を製造できる。

【 0 0 8 3 】

このように、n 型層 6 0 を p 型ディープ層 3 の上に形成しておき、アニール処理によって n 型層 6 0 を溶融させて流動させることで、p 型ディープ層 3 の側面などに高濃度 n 型層 2 0 を形成するようにしても良い。

【 0 0 8 4 】

(第 8 実施形態)

第 8 実施形態について説明する。本実施形態は、第 1 ~ 第 7 実施形態に対して p 型連結層 5 および p⁺型コンタクト領域 8 の形成方法を変更したものであり、その他については第 1 ~ 第 7 実施形態と同様であるため、第 1 ~ 第 7 実施形態と異なる部分についてのみ説

10

20

30

40

50

明する。なお、ここでは第1実施形態のように高濃度n型層20を有する縦型MOSFETに対して本実施形態の製造方法を適用する場合について説明するが、第2実施形態のような低濃度p型層30を有する縦型MOSFETに対しても適用可能である。

【0085】

まず、第1実施形態で説明した図5(a)～(d)に示す工程まで行う。続いて、図17(a)に示すように、n型電流分散層4に対してp型連結層5を形成することなく、p型ベース領域6やn⁺型ソース領域7を形成し、更にトレンチゲート構造を形成する。この後、図17(c)に示すように、トレンチゲート構造から離れた位置において、n⁺型ソース領域7やp型ベース領域6およびn型電流分散層4を貫通してp型ディープ層3に達するトレンチ70を形成する。このトレンチ70は、第2トレンチに相当する。そして、図17(d)に示すように、埋め込みエピタキシャル成長によって、p型連結層5およびp⁺型コンタクト領域8として機能するp型層71を形成する。

【0086】

このように、p型連結層5およびp⁺型コンタクト領域8として機能するp型層71をエピタキシャル成長によって形成するようにしても良い。

【0087】

(他の実施形態)

本発明は上記した実施形態に限定されるものではなく、特許請求の範囲に記載した範囲内において適宜変更が可能である。

【0088】

例えば、上記各実施形態は、互いに無関係なものではなく、組み合わせが明らかに不可な場合を除き、適宜組み合わせが可能である。

【0089】

また、第1実施形態等では、p型ディープ層3をソース電極13に接続することでソース電位とする構造について説明した。これに対して、p型ディープ層3をp型ベース領域6から分離した構造とし、p型ディープ層3への電圧印加に伴ってJFET部2aの空乏層の伸び量を調整する第2ゲートとして機能させるようにしても良い。その場合、p型ディープ層3は、ゲート電極11に電気的に接続してゲート電圧が印加される構成としたり、ドレイン電極14に接続してドレイン電圧が印加される構成とすることができる。

【0090】

また、JFET部2aの幅は一定である必要は無く、例えばドレイン電極14側の方に向かって徐々に幅が狭くなるような断面テープ形状となっていても良い。

【0091】

また、各部の不純物濃度は一定でなくても良い。例えば、p型ディープ層3がドレイン電極14に近づくほどp型不純物濃度が低く、ソース電極13に近づくほどp型不純物濃度が高くなるような不純物濃度勾配を有した構造であっても良い。

【0092】

同様に、上記各実施形態で説明したSiC半導体装置を構成する各部の寸法や不純物濃度については一例を示したに過ぎない。各部の寸法や不純物濃度については、高濃度n型層20や低濃度p型層30およびJFET部2aのピンチオフ条件等に基づいて、適宜設定すれば良い。

【0093】

例えば、高濃度n型層20の幅を広くすることもできる。例えば、高濃度n型層20の幅を全域0.2μmとする場合、n型不純物濃度を $3.0 \times 10^{17} / \text{cm}^3$ とし、JFET部2aの幅を0.4μm、 $1.0 \times 10^{18} / \text{cm}^3$ とすることができる。また、ハーフセルピッチを広くし、例えば3μmとすることもできる。また、n型電流分散層4やp型連結層5の厚みを薄くして不純物濃度を濃くする構成にでき、例えば厚みを0.4μmとし、それぞれのn型不純物濃度やp型不純物濃度を $6.0 \times 10^{17} / \text{cm}^3$ とすることもできる。また、p型ディープ層3の厚みを薄くして不純物濃度を濃くする構成にでき、例えば厚みを0.6μmとし、p型不純物濃度を $2.0 \times 10^{18} / \text{cm}^3$ とすることもでき

10

20

30

40

50

る。また、低濃度 p 型層 3 0 を備える構造についても、ここで示した一例と同寸法および同不純物濃度を適用できる。ただし、ここで挙げたものも一例であり、他の寸法、不純物濃度とすることもできる。

【 0 0 9 4 】

また、上記第 1 実施形態等では、第 1 導電型を n 型、第 2 導電型を p 型とした n チャネルタイプの縦型 M O S F E T を例に挙げて説明したが、各構成要素の導電型を反転させた p チャネルタイプの縦型 M O S F E T としても良い。また、上記説明では、半導体素子として縦型 M O S F E T を例に挙げて説明したが、同様の構造の I G B T に対しても本発明を適用することができる。I G B T は、上記各実施形態に対して n + 型基板 1 の導電型を n 型から p 型に変更するだけであり、その他の構造や製造方法に関しては上記各実施形態と同様である。10

【 0 0 9 5 】

また、上記実施形態では半導体装置として S i C 半導体装置を例に挙げて説明したが、S i を用いた半導体装置に対しても本発明を適用できるし、他のワイドバンドギャップ半導体装置、例えば G a N 、ダイヤモンド、A l N などを用いた半導体装置に対して上記各実施形態を適用することもできる。

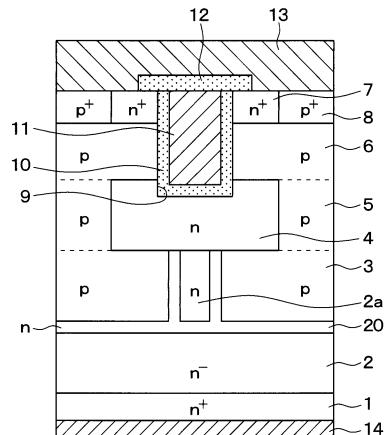
【 符号の説明 】

【 0 0 9 6 】

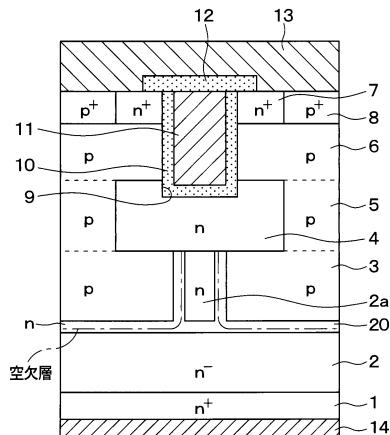
- 2 n - 型ドリフト層
- 2 a J F E T 部
- 3 p 型ディープ層
- 4 n 型電流分散層
- 6 p 型ベース領域
- 7 n + 型ソース領域
- 1 0 ゲート絶縁膜
- 1 1 ゲート電極
- 1 3 ソース電極
- 1 4 ドレイン電極

20

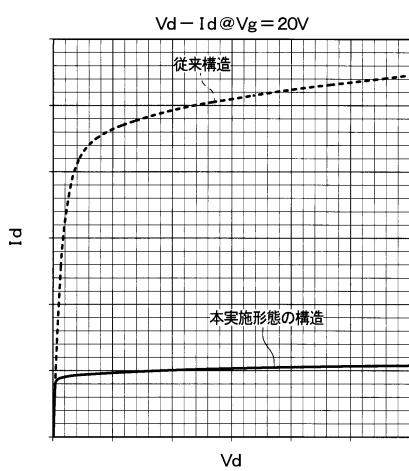
【図1】



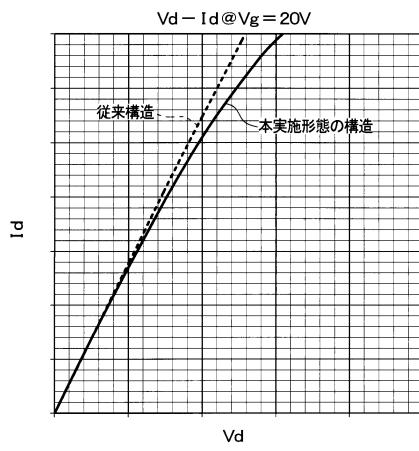
【図2】



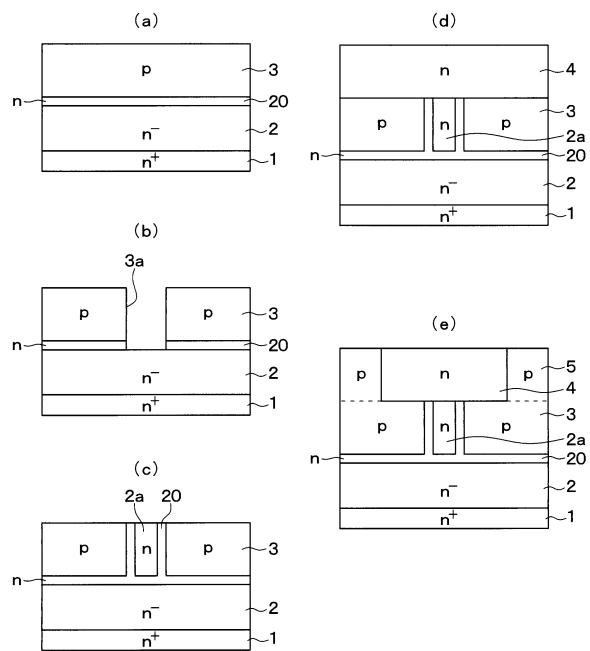
【図3】



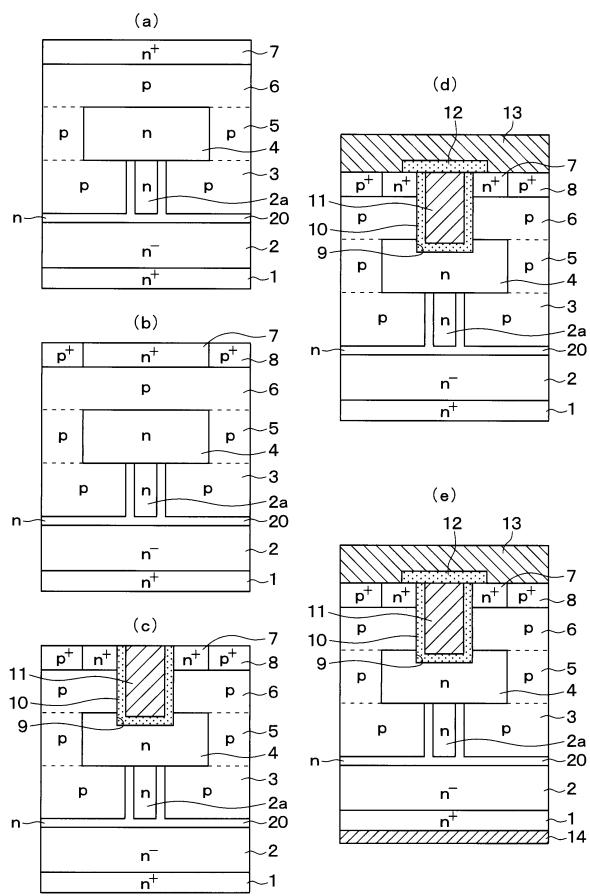
【図4】



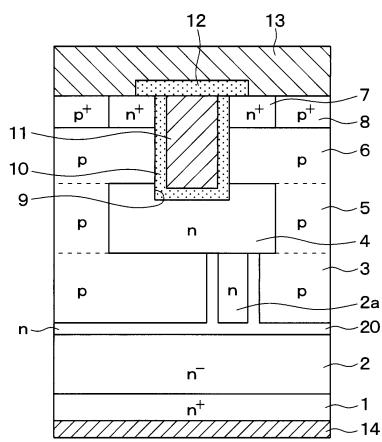
【図5】



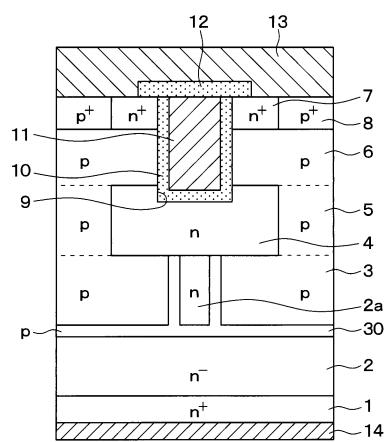
【図6】



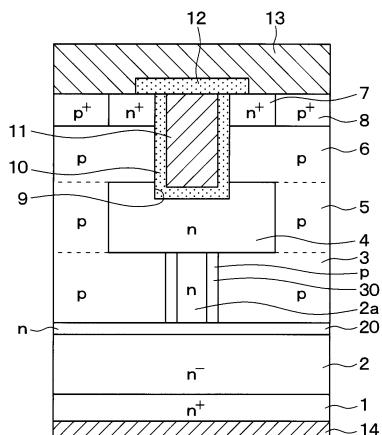
【図7】



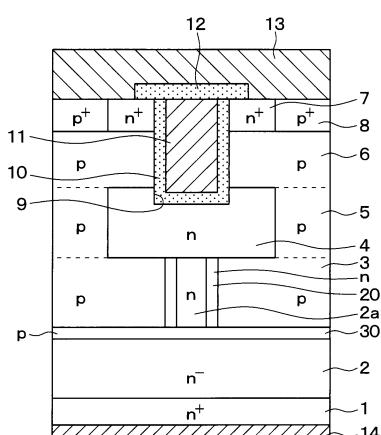
【図8】



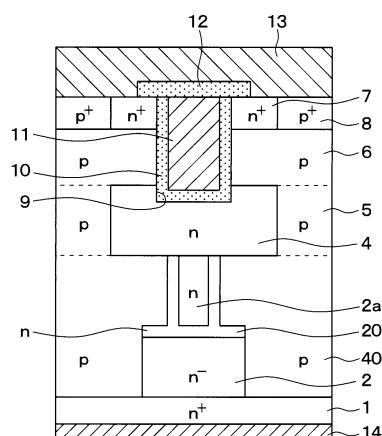
【図9】



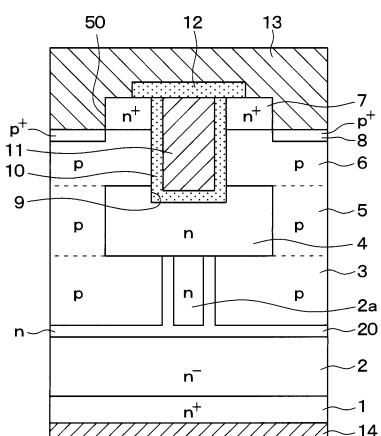
【図10】



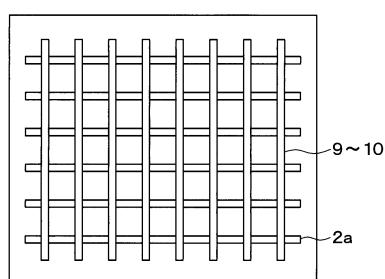
【図11】



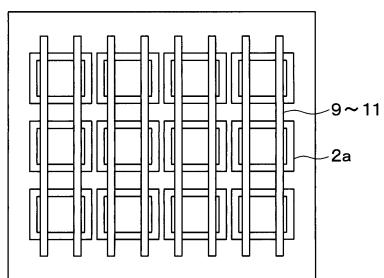
【図12】



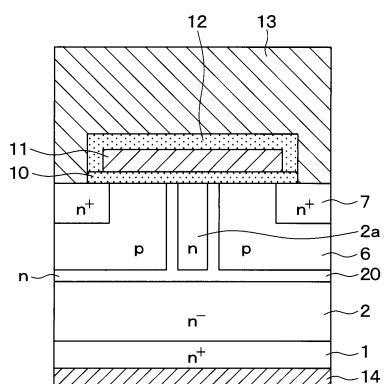
【図13】



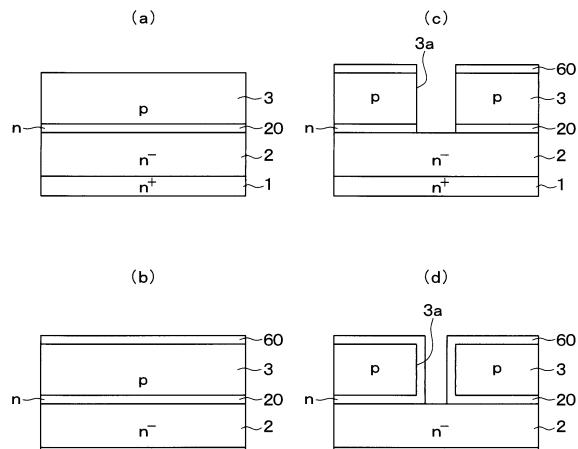
【図14】



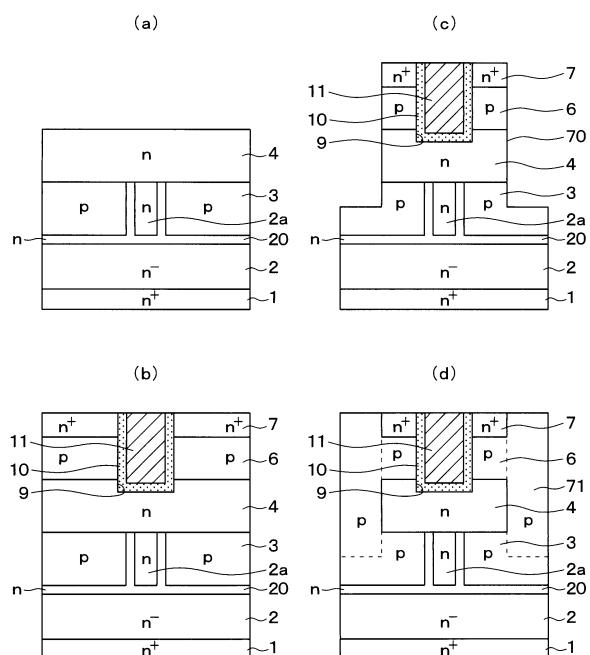
【図15】



【図16】



【図17】



フロントページの続き

(51)Int.Cl.

F I

H 01 L	29/78	6 5 2 J
H 01 L	29/78	6 5 2 T
H 01 L	29/78	6 5 3 A
H 01 L	29/78	6 5 5 A

(72)発明者 青井 佐智子

愛知県長久手市横道4 1番地の1 株式会社豊田中央研究所内

(72)発明者 渡辺 行彦

愛知県長久手市横道4 1番地の1 株式会社豊田中央研究所内

(72)発明者 杉本 雅裕

愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

審査官 綿引 隆

(56)参考文献 特開2015-141921(JP, A)

国際公開第2015/104949(WO, A1)

特開2013-179221(JP, A)

国際公開第2013/187017(WO, A1)

特開2016-058660(JP, A)

特開2012-033731(JP, A)

特開2007-096139(JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21 / 331

H 01 L 21 / 336

H 01 L 29 / 06

H 01 L 29 / 739

H 01 L 29 / 78