



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I538219 B

(45)公告日：中華民國 105 (2016) 年 06 月 11 日

(21)申請案號：101113606

(22)申請日：中華民國 101 (2012) 年 04 月 17 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/30 (2006.01)

(30)優先權：2011/04/22 日本

2011-095607

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：磯部敦生 ISOBE, ATSUO (JP) ; 佐佐木俊成 SASAKI, TOSHINARI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2003/0170955A1

US 2008/0057649A1

審查人員：王順德

申請專利範圍項數：17 項 圖式數：13 共 74 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

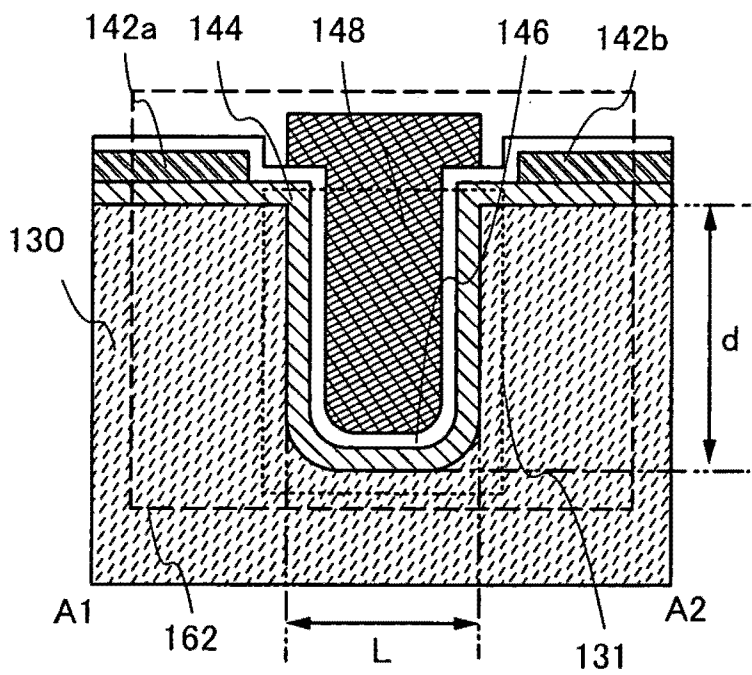
(57)摘要

本發明的目的之一是：對實現了微型化及高集體化的使用氧化物半導體的半導體裝置賦予穩定的電特性，而使其實現高可靠性。在包括氧化物半導體膜的電晶體(半導體裝置)中，將氧化物半導體膜設置於形成在絕緣層中的溝槽(槽)中。溝槽包括曲率半徑為 20nm 以上且 60nm 以下的曲面狀的下端角部，並以接觸於溝槽的底面，下端角部及內壁面的方式設置氧化物半導體膜。氧化物半導體膜在下端角部中至少包含具有大致垂直於表面的 c 軸的結晶。

Stable electric characteristics and high reliability are provided to a miniaturized and integrated semiconductor device including an oxide semiconductor. In a transistor (a semiconductor device) including an oxide semiconductor film, the oxide semiconductor film is provided along a trench (groove) formed in an insulating layer. The trench includes a lower end corner portion having a curved shape with a curvature radius of longer than or equal to 20 nm and shorter than or equal to 60 nm, and the oxide semiconductor film is provided in contact with a bottom surface, the lower end corner portion, and an inner wall surface of the trench. The oxide semiconductor film includes a crystal having a c-axis substantially perpendicular to a surface at least over the lower end corner portion.

指定代表圖：

圖1B



符號簡單說明：

- A1、A2 . . . 虛線
- L . . . 通道長度
- d . . . 溝槽深度
- 130 . . . 絕緣層
- 131 . . . 溝槽
- 142a . . . 電極層
- 142b . . . 電極層
- 144 . . . 晶體氧化物
半導體膜
- 146 . . . 閘極絕緣層
- 148 . . . 閘極電極層
- 162 . . . 電晶體

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101113606

※申請日：101 年 04 月 17 日

※IPC 分類：

H01L 29/786 (2006.01)
H01L 29/50 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置

Semiconductor device

二、中文發明摘要：

本發明的目的之一是：對實現了微型化及高集體化的使用氧化物半導體的半導體裝置賦予穩定的電特性，而使其實現高可靠性化。在包括氧化物半導體膜的電晶體（半導體裝置）中，將氧化物半導體膜設置於形成在絕緣層中的溝槽（槽）中。溝槽包括曲率半徑為 20nm 以上且 60nm 以下的曲面狀的下端角部，並以接觸於溝槽的底面，下端角部及內壁面的方式設置氧化物半導體膜。氧化物半導體膜在下端角部中至少包含具有大致垂直於表面的 c 軸的結晶。

三、英文發明摘要：

Stable electric characteristics and high reliability are provided to a miniaturized and integrated semiconductor device including an oxide semiconductor. In a transistor (a semiconductor device) including an oxide semiconductor film, the oxide semiconductor film is provided along a trench (groove) formed in an insulating layer. The trench includes a lower end corner portion having a curved shape with a curvature radius of longer than or equal to 20 nm and shorter than or equal to 60 nm, and the oxide semiconductor film is provided in contact with a bottom surface, the lower end corner portion, and an inner wall surface of the trench. The oxide semiconductor film includes a crystal having a c-axis substantially perpendicular to a surface at least over the lower end corner portion.

四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件符號簡單說明：

A1、A2：虛線

L：通道長度

d：溝槽深度

130：絕緣層

131：溝槽

142a：電極層

142b：電極層

144：晶體氧化物半導體膜

146：閘極絕緣層

148：閘極電極層

162：電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明

【發明所屬之技術領域】

本發明係關於一種半導體裝置及半導體裝置的製造方法。

注意，在本說明書中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置，因此電光裝置、半導體電路及電子裝置都是半導體裝置。

【先前技術】

藉由利用形成在具有絕緣表面的基板上的半導體薄膜來構成電晶體（也稱為薄膜電晶體（TFT））的技術引人注目。該電晶體被廣泛地應用於如積體電路（IC）及影像顯示裝置（顯示裝置）等的電子裝置。作為可以應用於電晶體的半導體薄膜，矽類半導體材料是眾所周知的。作為其他材料，氧化物半導體受到關注。

例如，公開了作為電晶體的活性層使用電子載子濃度低於 $10^{18}/\text{cm}^3$ 的包含銦（In）、鎵（Ga）及鋅（Zn）的非晶氧化物的電晶體（參照專利文獻1）。

[專利文獻 1]日本專利申請公開第 2006-165528 號公報

在半導體裝置的技術領域中，其技術開發是以微型化為指路圖而進步發展過來的。至今為止，伴隨著半導體裝置的微型化，已實現了高速工作和低耗電化。

然而，當使電晶體微型化時，產生短通道效應的問

題。短通道效應是指伴隨電晶體的微型化（通道長度（ L ）的縮小）的電特性退化的明顯化。短通道效應是由於汲極的電場效應影響到源極而引起的。作為短通道效應的具體例子，可以舉出臨界電壓的下降、 S 值的增大及洩漏電流的增大等。特別是，因為使用氧化物半導體的電晶體與使用矽的電晶體不同，不容易應用利用摻雜的閾值控制，所以有容易呈現短通道效應的傾向。

【發明內容】

鑒於上述問題，所公開的發明的目的之一在於：對實現了微型化及高集體化的使用氧化物半導體的半導體裝置賦予穩定的電特性，而使其實現高可靠性化。

在包括氧化物半導體膜的電晶體（半導體裝置）中，將氧化物半導體膜設置於形成在絕緣層中的溝槽（槽）中。溝槽包括曲率半徑為 20nm 以上且 60nm 以下（較佳為 20nm 以上且 30nm 以下）的曲面狀的下端角部，並以接觸於溝槽的底面，下端角部及內壁面的方式設置氧化物半導體膜。氧化物半導體膜在下端角部中至少包含具有大致垂直於表面的 c 軸的結晶。

上述氧化物半導體膜的通道長度方向的剖面形狀為沿著溝槽的剖面形狀的彎曲的形狀，並且溝槽的深度越深電晶體的通道長度越長。由此，即使將源極電極層與汲極電極層之間的距離設定得較窄，也可以藉由適當地設定溝槽的深度，來控制氧化物半導體膜的通道長度，而可以抑制

短通道效應。

包含具有大致垂直於表面的 c 軸的結晶的氧化物半導體膜（以下，也稱為晶體氧化物半導體膜）既不是純粹的單晶結構，又不是純粹的非晶結構，而是具有 c 軸配向的 CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）膜。藉由使用晶體氧化物半導體膜，可以進一步抑制因可見光或紫外光的照射引起的電晶體的電特性變化，從而可以製造可靠性高的半導體裝置。

由於氧化物半導體膜沿著溝槽形成，所以溝槽的下端角部為曲面狀（曲率半徑較佳為 20nm 以上且 60nm 以下（更佳為 20nm 以上且 30nm 以下））。在下端角部為陡峭角部時，在晶體氧化物半導體膜中，有因結晶的配向不良或覆蓋性的下降導致形狀不良等而不容易獲得穩定的結晶結構及導電性的擔憂。

另外，接觸於氧化物半導體膜而形成的區域（至少下端角部）較佳為表面粗糙度被降低的表面。明確而言，表面的平均面粗糙度較佳為 0.1nm 以上且低於 0.5nm。藉由將氧化物半導體膜形成在表面粗糙度被降低的表面，可以獲得具有穩定且良好的晶體性的氧化物半導體膜。

注意，在本說明書中，平均表面粗糙度（Ra）是指為了可以應用於測定面而將在 JISB0601:2001(ISO4287:1997)中定義的中心線平均表面粗糙度（Ra）擴大為三維來得到的值，使用“將從基準面到指定面的偏差的絕對值平均來得到的值”表示 Ra。

在此，當從粗糙度曲線在其中心線方向上抽取測量長度 L 的部分，將該抽出部分的中心線的方向設定為 X 軸，將縱倍率的方向（垂直於 X 軸的方向）設定為 Y 軸，並且粗糙度曲線用 $Y=F(X)$ 表示時，中心線平均粗糙度（ Ra ）由以下算式（1）定義。

[算式 1]

$$Ra = \frac{1}{L} \int_0^L |F(X)| dX \quad (1)$$

然後，當將測量資料所示的面的測量面表示為 $Z=F(X, Y)$ 時，平均面粗糙度（ Ra ）由“將從基準面到指定面的偏差的絕對值平均來得到的值”表示，並由以下算式（2）定義。

[算式 2]

$$Ra = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} |f(X, Y) - Z_0| dXdY \quad (2)$$

在此，指定面是指成為粗糙度測量目標的表面，且是指由用座標（ X_1, Y_1 ）、（ X_1, Y_2 ）、（ X_2, Y_1 ）、（ X_2, Y_2 ）表示的四個點包圍的矩形區域。當指定面理想地平坦時，將指定面的面積表示為 S_0 。

此外，基準面是指在指定面的平均高度上平行於 XY 平面的面。也就是說，當將指定面的高度的平均值設定為 Z_0 時，將基準面的高度也表示為 Z_0 。

本說明書所公開的發明的結構的一個方式是一種半導體裝置，包括：設置在絕緣層中的包括曲面狀的下端角部

的溝槽；接觸於溝槽的底面、下端角部及內壁面的氧化物半導體膜；氧化物半導體膜上的閘極絕緣層；以及閘極絕緣層上的閘極電極層，其中，下端角部的曲率半徑為 20nm 以上且 60nm 以下，並且，氧化物半導體膜至少在下端角部中包含具有大致垂直於氧化物半導體膜的表面的 c 軸的結晶。

本說明書所公開的發明的結構的一個方式是一種半導體裝置，包括：設置在絕緣層中的包括曲面狀的下端角部的溝槽；接觸於溝槽的底面、下端角部及內壁面的氧化物半導體膜；氧化物半導體膜上的源極電極層及汲極電極層；氧化物半導體膜、源極電極層及汲極電極層上的閘極絕緣層；以及閘極絕緣層上的閘極電極層，其中，下端角部的曲率半徑為 20nm 以上且 60nm 以下，並且，氧化物半導體膜至少在下端角部中包含具有大致垂直於氧化物半導體膜的表面的 c 軸的結晶。

在上述結構中，在至少包括曲面狀的下端角部的氧化物半導體膜所接觸的絕緣層中，絕緣層的表面的平均面粗糙度較佳為 0.1nm 以上且低於 0.5nm。

另外，在上述結構中，閘極電極層可以以填充溝槽的方式設置。

在具有包括氧化物半導體膜的電晶體的半導體裝置中，將氧化物半導體膜設置在形成在絕緣層中並包括曲率半徑為 20nm 以上且 60nm 以下（較佳為 20nm 以上且 30nm 以下）的曲面狀的下端角部的溝槽中。即使將源極

電極層與汲極電極層之間的距離設定得較窄，也可以藉由適當地設定溝槽的深度，來控制氧化物半導體膜的通道長度，而可以抑制因微細化而發現的短通道效應。

另外，氧化物半導體膜至少在下端角部中包含如下結晶，該結晶具有大致垂直於表面的 c 軸。藉由使用上述晶體氧化物半導體膜，可以進一步抑制因可見光或紫外光的照射而產生的電晶體的電特性變化，從而可以形成可靠性高的半導體裝置。

由此，根據本發明的一個方式，可以得到實現了微型化及高集體化的使用氧化物半導體的半導體裝置，並且在半導體裝置的製造製程中，對半導體裝置賦予穩定的電特性，而實現高可靠性化。

另外，根據本發明的一個方式，在上述半導體裝置的製造製程中，可以提供能夠抑制不良且以高良率進行製造的技術。

【實施方式】

下面，參照圖式詳細地說明本說明書所公開的發明的實施方式。但是，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本說明書所公開的發明的方式及詳細內容可以被變換為各種各樣的形式而不侷限於以下說明。並且，本說明書所公開的發明不應被看作僅限定於以下實施方式的描述內容。另外，為了方便起見附加了第一、第二等序數詞，其並不表示製程順序或疊層順序。此

外，本說明書中的序數不表示特定發明的事項的固有名稱。

實施方式 1

在本實施方式中，參照圖 1A 至 2D 及圖 4A 和 4B 對半導體裝置及半導體裝置的製造方法的一個方式進行說明。在本實施方式中，作為半導體裝置的一個例子示出具有氧化物半導體膜的電晶體。圖 1A 示出電晶體 162 的平面圖，圖 1B 示出沿著圖 1A 中的虛線 A1-A2 的剖面圖，而示出電晶體 162 的通道長度（L）方向的剖面圖的一個例子。

如圖 1A 和 1B 所示，電晶體 162 包括設置有溝槽 131 的絕緣層 130、晶體氧化物半導體膜 144、閘極絕緣層 146、用作源極電極層或汲極電極層的電極層 142a 及電極層 142b、閘極電極層 148。雖然未圖示，電晶體 162 設置在基板上。

圖 2A 至 2D 示出電晶體 162 的製造方法的一個例子。

首先，在基板上形成由氧化膜構成的絕緣層。而且，在絕緣層中形成多個溝槽 131（也稱為槽），而形成具有溝槽 131 的絕緣層 130。溝槽 131 的下端角部 300 為曲面狀，曲率半徑為 20nm 以上且 60nm 以下（較佳為 20nm 以上且 30nm 以下）（參照圖 2A）。

溝槽 131 的形成方法可以適當地利用光刻法進行乾蝕

刻。

例如，可以採用反應離子蝕刻（RIE：Reactive Ion Etching）法、ICP(Inductively Coupled Plasma：感應耦合電漿)蝕刻法、ECR(Electron Cyclotron Resonance：電子迴旋共振)蝕刻法、平行平板型（電容耦合型）蝕刻法、磁控管電漿蝕刻法、雙頻電漿蝕刻法或螺旋波電漿蝕刻法等乾蝕刻法。另外，作為蝕刻氣體，可以適當地混合諸如三氟甲烷（ CHF_3 ）、四氟甲烷（ CF_4 ）、八氟環丁烷（ C_4F_8 ）等的碳氟化物類氣體和諸如甲烷（ CH_4 ）、氫、氬或氙等稀有氣體而使用。

另外，溝槽 131 藉由進行一次或多次蝕刻製程來形成。在進行多次蝕刻製程時，也可以組合乾蝕刻製程和濕蝕刻製程。

雖然對可以使用的基板沒有大的限制，但是至少需要具有能夠承受後面的熱處理程度的耐熱性。例如，可以使用玻璃基板如硼矽酸鋇玻璃和硼矽酸鋁玻璃等、陶瓷基板、石英基板、藍寶石基板等。

另外，可以使用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI 基板或在這些基板上設置有半導體元件的基板，例如，形成有包括 MOSFET 結構的電晶體的驅動電路的半導體基板、形成有電容器的半導體基板等。

由於絕緣層 130 與晶體氧化物半導體膜 144 接觸，因此較佳為在絕緣層 130 的膜中（塊（bulk）中）至少有超

過化學計量比的量的氧。例如，當將氧化矽膜用於絕緣層 130 時，使用 $\text{SiO}_{2+\alpha}$ （注意， $\alpha > 0$ ）的膜。藉由使用這種絕緣層 130，可以對晶體氧化物半導體膜 144 供應氧，從而可以提高特性。此外，藉由對晶體氧化物半導體膜 144 供應氧，可以填補膜中的氧缺陷。

例如，藉由以接觸於晶體氧化物半導體膜 144 的方式形成包含多量的（過剩的）氧的成為氧的供應源的氧化物絕緣層，可以從該氧化物絕緣層將氧供應到晶體氧化物半導體膜 144。也可以藉由在晶體氧化物半導體膜 144 和氧化物絕緣層的至少一部分接觸的狀態下進行加熱處理，進行對該晶體氧化物半導體膜 144 的氧的供應。

另外，也可以對晶體氧化物半導體膜 144 引入氧（至少包含氧自由基、氧原子、氧離子中的任何一個），來將氧供應到膜中。作為氧的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒離子植入法以及電漿處理等。氧的引入既可以對露出的晶體氧化物半導體膜 144 直接進行，又可以經過閘極絕緣層 146 等進行。

由於晶體氧化物半導體膜 144 沿著溝槽 131 形成，所以將溝槽 131 的下端角部 300 設定為曲面狀（曲率半徑較佳為 20nm 以上且 60nm 以下（更佳為 20nm 以上且 30nm 以下））。在下端角部 300 為陡峭的角部時，在晶體氧化物半導體膜 144 中，有因結晶的配向不良或覆蓋性的下降導致形狀不良等而不容易獲得穩定的結晶結構及導電性的擔憂。

另外，在絕緣層 130 中，接觸於晶體氧化物半導體膜 144 形成的區域（至少下端角部）較佳為表面粗糙度被降低的表面。明確而言，表面的平均面粗糙度較佳為 0.1nm 以上且低於 0.5nm。藉由將晶體氧化物半導體膜 144 形成在表面粗糙度被降低的表面，可以獲得具有穩定且良好的晶體性的晶體氧化物半導體膜 144。

從而，可以對絕緣層 130 中的與晶體氧化物半導體膜 144 接觸而形成的區域進行平坦化處理。對於平坦化處理沒有特別的限制，可以使用拋光處理（例如，化學機械拋光（Chemical Mechanical Polishing：CMP）法）、乾蝕刻處理、電漿處理等。

作為電漿處理，例如可以進行引入氬氣體來產生電漿的反濺射。反濺射是指：在靶材一側不施加電壓，並使用 RF 電源在氬氛圍下對基板一側施加電壓來在基板附近形成電漿以進行表面改性的方法。另外，也可以使用氮、氬、氧等代替氬氛圍。

作為平坦化處理，既可以進行多次的拋光處理、乾蝕刻處理以及電漿處理，又可以將上述組合。此外，當將上述組合而進行平坦化處理時，對製程順序也沒有特別的限制，可以根據絕緣層 130 的表面的凹凸狀態適當地設定。

另外，較佳的是，在形成晶體氧化物半導體膜 144 之前，進行引入氬氣體而產生電漿的反濺射，來去除附著在絕緣層 130 表面上的粉狀物質（也稱為微粒、塵屑）。

在晶體氧化物半導體膜 144 的形成製程中，為了在晶

體氧化物半導體膜 144 中儘量不包含氫氣或水，作為形成晶體氧化物半導體膜 144 的預處理，較佳為在濺射裝置的預熱室內對形成有絕緣層 130 的基板進行預熱，來使吸附到基板及絕緣層 130 的氫、水分等的雜質脫離並進行排氣。另外，設置在預熱室中的排氣單元較佳為使用低溫泵。

接著，覆蓋溝槽 131 地形成晶體氧化物半導體膜 144（參照圖 2B）。晶體氧化物半導體膜 144 是具有結晶化的部分的氧化物半導體膜，並且使用 CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）膜。晶體氧化物半導體膜 144 至少在下端角部 300 中包括具有大致垂直於晶體氧化物半導體膜 144 的表面的 c 軸的結晶。

CAAC-OS 膜不是純粹的單晶，也不是純粹的非晶。CAAC-OS 膜是在非晶相中具有結晶部及非晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，在很多情況下該結晶部分的尺寸為能夠容納於一個邊長小於 100nm 的立方體的尺寸。另外，在使用透射電子顯微鏡（TEM:Transmission Electron Microscope）觀察時的影像中，包括在 CAAC-OS 膜中的非晶部與結晶部的邊界不明確。並且，在 CAAC-OS 膜中利用 TEM 觀察不到晶界（也稱為晶粒邊界（grain boundary））。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的

方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，在不同結晶部之間， a 軸及 b 軸的方向可以分別不同。在本說明書中，當只記載“垂直”時，包括 85° 以上且 95° 以下的範圍。另外，當只記載“平行”時，包括 -5° 以上且 5° 以下的範圍。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的形成過程中，在從氧化物半導體膜的表面一側進行結晶生長時，與被形成面近旁相比，有時在表面近旁結晶部所占的比例高。另外，藉由對 CAAC-OS 膜添加雜質，有時在該雜質添加區中結晶部產生非晶化。

因為包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，所以有時根據 CAAC-OS 膜的形狀（被形成面的剖面形狀或表面的剖面形狀）朝向彼此不同的方向。另外，結晶部的 c 軸方向是平行於形成 CAAC-OS 膜時的被形成面的法線向量或表面的法線向量的方向。結晶部分藉由進行成膜或進行成膜後的加熱處理等的晶化處理來形成。

也可以用氮取代構成 CAAC-OS 膜的氧的一部分。

作為獲得具有 c 軸配向的晶體氧化物半導體膜的方法，可以舉出三個方法。第一個方法是：將成膜溫度設定

為 200℃ 以上且 450℃ 以下而進行氧化物半導體膜的成膜，而成為大致垂直於表面的 c 軸配向。第二個方法是：在形成薄的氧化物半導體膜之後，進行 200℃ 以上且 700℃ 以下的加熱處理，而成為大致垂直於表面的 c 軸配向。第三個方法是：在形成薄的第一層之後，進行 200℃ 以上且 700℃ 以下的加熱處理，以形成第二層的膜，而成為大致垂直於表面的 c 軸配向。

在本實施方式中，將成膜溫度設定為 200℃ 以上且 450℃ 以下而形成氧化物半導體膜，來形成具有大致垂直於表面的 c 軸配向的晶體氧化物半導體膜 144。

藉由使用 CAAC-OS 膜作為晶體氧化物半導體膜 144，可以進一步抑制因可見光或紫外光的照射而引起的電特性的變動，而製造可靠性高的半導體裝置。

將晶體氧化物半導體膜 144 的膜厚度設定為 1nm 以上且 100nm 以下，可以適當地利用濺射法、MBE (Molecular Beam Epitaxy：分子束外延) 法、CVD 法、脈衝雷射沉積法、ALD (Atomic Layer Deposition：原子層沉積) 法等。此外，晶體氧化物半導體膜 144 可以使用在大致垂直於濺射靶材表面的方式設置有多個基板表面的狀態下進行成膜的濺射裝置，即所謂的 CP 濺射裝置 (Columnar Plasma Sputtering system：柱狀電漿濺射裝置) 形成。無論利用上述任何一種方法，都可以獲得在垂直於氧化物半導體膜的表面的凹凸的方向上進行結晶成長的 c 軸配向的晶體氧化物半導體。

作為晶體氧化物半導體膜 144 的材料，至少包含選自 In、Ga、Sn 和 Zn 中的任何一個以上的元素。例如，可以使用四元金屬氧化物的 In-Sn-Ga-Zn-O 類氧化物半導體；三元金屬氧化物的 In-Ga-Zn-O 類氧化物半導體、In-Sn-Zn-O 類氧化物半導體、In-Al-Zn-O 類氧化物半導體、Sn-Ga-Zn-O 類氧化物半導體、Al-Ga-Zn-O 類氧化物半導體、Sn-Al-Zn-O 類氧化物半導體、Hf-In-Zn-O 類氧化物半導體；二元金屬氧化物的 In-Zn-O 類氧化物半導體、Sn-Zn-O 類氧化物半導體、Al-Zn-O 類氧化物半導體、Zn-Mg-O 類氧化物半導體、Sn-Mg-O 類氧化物半導體、In-Mg-O 類氧化物半導體；In-Ga-O 類氧化物半導體；以及一元金屬氧化物的 In-O 類氧化物半導體、Sn-O 類氧化物半導體、Zn-O 類氧化物半導體等。此外，也可以在上述氧化物半導體包含 In、Ga、Sn、Zn 以外的元素如 SiO_2 。

例如，In-Ga-Zn-O 類氧化物半導體是指含有銦（In）、鎵（Ga）、鋅（Zn）的氧化物半導體，並且對其組成比沒有限制。

此外，作為晶體氧化物半導體膜 144 可以使用由化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的薄膜。這裏，M 表示選自 Zn、Ga、Al、Mn 及 Co 中的一種或多種金屬元素。例如，作為 M，有 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。

此外，當作為氧化物半導體使用 In-Sn-Zn-O 類氧化物半導體的材料時，將所使用的靶材的組成比設定為使原

子數比為 $\text{In}:\text{Sn}:\text{Zn}=1:2:2$ 、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ 、 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ 。

另外，當作爲氧化物半導體使用 In-Zn-O 類材料時，將所使用的靶材的組成比設定爲使原子數比爲 $\text{In}:\text{Zn}=50:1$ 至 $1:2$ （換算爲莫耳數比則爲 $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 至 $1:4$ ），較佳爲 $\text{In}:\text{Zn}=20:1$ 至 $1:1$ （換算爲莫耳數比則爲 $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 至 $1:2$ ），更佳爲 $\text{In}:\text{Zn}=15:1$ 至 $1.5:1$ （換算爲莫耳數比則爲 $\text{In}_2\text{O}_3:\text{ZnO}=15:2$ 至 $3:4$ ）。例如，作爲用來形成 In-Zn-O 類氧化物半導體的靶材，當原子數比爲 $\text{In}:\text{Zn}:\text{O}=\text{X}:\text{Y}:\text{Z}$ 時，滿足 $\text{Z}>1.5\text{X}+\text{Y}$ 。

此外，較佳爲以在成膜時包含多的氧的條件（例如，在氧爲 100% 的氛圍下利用濺射法進行成膜等）形成膜，使晶體氧化物半導體膜 144 爲包含多的氧（較佳爲包含相對於在氧化物半導體爲結晶狀態的化學計量的組成比氧的含有量過剩的區域）的膜。

此外，也可以對晶體氧化物半導體膜 144 進行用來去除（脫水化或脫氫化）過剩的氫（包括水及羥基）的加熱處理。將加熱處理的溫度設定爲 300°C 以上且 700°C 以下，或小於基板的應變點。例如，將基板放進加熱處理裝置之一的電爐中，且在氮氛圍下以 450°C 對氧化物半導體膜進行 1 小時的加熱製程。

另外，熱處理裝置不侷限於電爐，還可以使用利用來自電阻發熱體等的發熱體的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用如 GRTA（Gas Rapid Thermal

Anneal，氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal，燈快速熱退火）裝置等 RTA（Rapid Thermal Anneal，快速熱退火）裝置。LRTA 裝置是一種利用鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈、或者高壓汞燈等的燈發射的光（電磁波）的輻射來加熱被處理物的裝置。GRTA 裝置是一種利用高溫氣體進行加熱處理的裝置。作為高溫氣體，使用即使進行加熱處理也不與被處理物起反應的惰性氣體，如氬等的稀有氣體或氮等。

例如，作為加熱製程，可以在加熱至 650°C 至 700°C 的高溫的惰性氣體中放進基板，加熱幾分鐘之後，進行從惰性氣體中取出基板的 GRTA。

此外，用來實現脫水化或脫氫化的加熱處理只要在晶體氧化物半導體膜 144 的形成之後並在將具有防止氫或水分等雜質進入的功能的膜（例如，氧化鋁膜）形成在晶體氧化物半導體膜 144 上之前，就可以在電晶體 162 的製造製程中的任何時序進行。

另外，在加熱處理中，較佳為氮、氫、氖、氬等稀有氣體不含有水、氫等。或著，將引入熱處理裝置中的氮或如氫、氖、氬等的稀有氣體的純度設定為 6N（99.9999%）以上，更佳為設定為 7N（99.99999%）以上（即，將雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下）。

另外，可以在利用加熱處理對晶體氧化物半導體膜 144 進行加熱之後，對相同爐內引入高純度的氧氣體、高

純度的二氮化氧氣體或超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：光腔衰蕩光譜法）方式的露點計進行測定時的水分量是 20ppm（露點換算， -55°C ）以下，較佳是 1ppm 以下，更佳是 10ppb 以下的空氣）。較佳為不使氧氣體或二氮化氧氣體包含水、氫等。或者，較佳為將引入到熱處理裝置中的氧氣體或二氮化氧氣體的純度設定為 6N 以上，較佳為 7N 以上（也就是說，將氧氣體或二氮化氧氣體中的雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下）。藉由利用氧氣體或二氮化氧氣體來供給由於脫水化或脫氫化處理中的雜質排出製程而同時被減少的構成晶體氧化物半導體的主要成分材料的氧，來可以使晶體氧化物半導體膜 144 實現高純度化以及電性 I 型（本質）化。

此外，將晶體氧化物半導體膜 144 既可以加工為島狀，也可以不進行形狀加工而保持膜狀。另外，也可以設置由將晶體氧化物半導體膜按每元件分離的絕緣層構成的元件分離區域。元件分離區域也可以採用溝槽結構。

此外，在將晶體氧化物半導體膜 144 加工為島狀時，作為晶體氧化物半導體膜 144 的蝕刻，可以採用乾蝕刻及濕蝕刻中的一者或兩者。例如，作為用於晶體氧化物半導體膜 144 的濕蝕刻的蝕刻液，可以使用磷酸、醋酸以及硝酸的混合溶液等。此外，也可以使用 ITO07N（日本關東化學公司製造）。

接著，在晶體氧化物半導體膜 144 上，形成成為源極

電極層及汲極電極層（包括使用與其相同的層形成的佈線）的導電膜。該導電膜使用能夠耐受後面的加熱處理的材料。作為用作源極電極層及汲極電極層的導電膜，例如可以使用含有選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金屬膜或以上述元素為成分的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）等。另外，還可以在 Al、Cu 等的金屬膜的下側或上側的一者或兩者層疊 Ti、Mo、W 等的高熔點金屬膜或它們的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）。此外，用作源極電極層及汲極電極層的導電膜可以由導電金屬氧化物而形成。作為導電金屬氧化物，可以使用：氧化銦（ In_2O_3 ）；氧化錫（ SnO_2 ）；氧化鋅（ ZnO ）；氧化銦錫（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ）；氧化銦鋅（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）；或者在這些金屬氧化物材料中包含有氧化矽的材料。

利用光刻製程在導電膜上形成抗蝕劑掩模，選擇性地進行蝕刻來形成用作源極電極層或汲極電極層的電極層 142a、電極層 142b，然後去除抗蝕劑掩模。

在本實施方式中，由於使用 Ti 膜作為導電膜，並使用 In-Ga-Zn-O 類氧化物半導體作為晶體氧化物半導體膜 144，所以作為蝕刻劑使用過氧化氫氨水（氨、水、過氧化氫水的混合液）。

接著，形成覆蓋晶體氧化物半導體膜 144 的一部分及用作源極電極或汲極電極的電極層 142a、142b 的閘極絕緣層 146。另外，在通道寬度方向的溝槽的內壁及底面也

形成閘極絕緣層 146（參照圖 2C）。

將閘極絕緣層 146 的膜厚度設定為 1nm 以上且 100nm 以下，可以適當地利用濺射法、MBE 法、CVD 法、脈衝雷射沉積法、ALD 法等。此外，閘極絕緣層 146 也可以使用在以大致垂直於濺射靶材表面的方式設置有多個基板表面的狀態下進行成膜的濺射裝置，即所謂的 CP 濺射裝置形成。

作為閘極絕緣層 146 的材料，可以使用氧化矽膜、氧化鎵膜、氧化鋁膜、氮化矽膜、氧氮化矽膜、氧氮化鋁膜或氮氧化矽膜形成。較佳為閘極絕緣層 146 中的接觸於晶體氧化物半導體膜 144 的部分包含氧。尤其是，氧化物絕緣膜較佳為在其膜中（塊體中）存在至少超過化學計量組成比的量的氧，例如，當作為閘極絕緣層 146 使用氧化矽膜時，設定為 $\text{SiO}_{2+\alpha}$ （其中， $\alpha > 0$ ）。在本實施方式中，作為閘極絕緣層 146，使用表示為 $\text{SiO}_{2+\alpha}$ （其中， $\alpha > 0$ ）的氧化矽膜。藉由作為閘極絕緣層 146 使用該氧化矽膜，可以將氧供應到晶體氧化物半導體膜 144，而獲得良好的特性。並且，較佳為考慮到所製造的電晶體的大小及閘極絕緣層 146 的臺階覆蓋性而形成閘極絕緣層 146。

此外，藉由作為閘極絕緣層 146 的材料使用氧化鈣、氧化釷、矽酸鈣（ HfSi_xO_y （ $x > 0$ ， $y > 0$ ））、添加了氮的矽酸鈣、鋁酸鈣（ HfAl_xO_y （ $x > 0$ ， $y > 0$ ））以及氧化鑷等 high-k 材料，可以降低閘極洩漏電流。而且，閘極絕緣層 146 既可以是單層結構，又可以是疊層結構。

然後，以將用於閘極電極層的導電材料填充在溝槽內的方式在閘極絕緣層 146 上形成閘極電極層 148（參照圖 2D）。閘極電極層 148 的材料可以使用鉬、鈦、鉕、鎢、鋁、銅、鉻、釹、銦等金屬材料或以它們為主要材料的合金材料形成。此外，作為閘極電極層 148，也可以使用以摻雜有磷等雜質元素的多晶矽膜為代表的半導體膜、鎢矽化物等矽化物膜。閘極電極層 148 既可以是單層結構，又可以是疊層結構。

另外，閘極電極層 148 的材料也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物以及添加有氧化矽的銦錫氧化物等導電材料。此外，也可以採用上述導電材料與上述金屬材料的疊層結構。

此外，作為與閘極絕緣層 146 接觸的閘極電極層 148 中的一層，可以使用包含氮的金屬氧化物，明確地說，包含氮的 In-Ga-Zn-O 膜、包含氮的 In-Sn-O 膜、包含氮的 In-Ga-O 膜、包含氮的 In-Zn-O 膜、包含氮的 Sn-O 膜、包含氮的 In-O 膜以及金屬氮化膜（InN、SnN 等）。當這些膜具有 5 電子伏特，較佳為具有 5.5 電子伏特以上的功函數且將它們用作閘極電極層時，可以使電晶體的電特性的臨界電壓成為正值，而可以實現所謂的常關閉型（normally off）的切換元件。

當完成在溝槽中形成閘極電極層 148 的步驟時，溝槽

結構的電晶體 162 也就形成了。

被高純度化的晶體氧化物半導體膜 144 中的氫、水等雜質充分被去除，晶體氧化物半導體膜 144 中的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下。另外，晶體氧化物半導體膜 144 中的氫濃度是藉由二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）測量的。

在高純度化的晶體氧化物半導體膜 144 中，載子極少（近於 0），可以使載子濃度低於 $1 \times 10^{14} / \text{cm}^3$ ，較佳低於 $1 \times 10^{12} / \text{cm}^3$ ，更佳低於 $1 \times 10^{11} / \text{cm}^3$ 。

雖然未圖示，但也可以在溝槽結構的電晶體 162 上設置絕緣層。

作為絕緣層，典型地可以使用氧化矽膜、氮化矽膜、氧化鋁膜、氮化鋁膜、氧化鉛膜、氧化鎵膜、氮化矽膜、氮化鋁膜、氮氧化矽膜、氮氧化鋁膜等無機絕緣膜的單層或疊層。

也可以在絕緣層上進一步層疊絕緣層。尤其在作為絕緣層使用氧化物絕緣層時，為了防止水分、氫等的雜質再次混入到晶體氧化物半導體膜 144 中，較佳為在絕緣層上還形成阻擋這些雜質從外部侵入的保護絕緣層。作為保護絕緣層使用無機絕緣膜，即可以使用：氮化矽膜、氧化鋁膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜等無機絕緣膜。例如，可以使用氧化鋁膜，該氧化鋁膜具有高遮斷效果（阻擋效果），即不使氫、水分等雜質及氧的兩者透過膜

的效果。

在形成絕緣層之後，還可以進行加熱製程。例如，也可以在大氣中以 100°C 以上且 200°C 以下進行 1 小時以上且 30 小時以下的加熱製程。在該加熱製程中，既可以保持一定的加熱溫度而進行加熱，又可以多次反復從室溫到 100°C 以上且 200°C 以下的加熱溫度的升溫及從加熱溫度到室溫的降溫。

另外，也可以形成平坦化絕緣膜以減少因電晶體 162 產生的表面凹凸。作為平坦化絕緣膜，可以使用聚醯亞胺類樹脂、丙烯酸類樹脂、苯並環丁烯類樹脂等的有機材料。此外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）等。另外，也可以層疊多個由上述材料形成的絕緣膜來形成平坦化絕緣膜。

圖 4A 和 4B 示出在電晶體上設置絕緣層的例子。

圖 4A 所示的電晶體 320 示出覆蓋電晶體 320 的閘極電極層 148 地形成絕緣層 306，並在絕緣層 306 上形成有平坦化絕緣膜 308 的例子。另外，在閘極絕緣層 146、絕緣層 306 及平坦化絕緣膜 308 中分別形成達到電極層 142a、電極層 142b 的開口，並在開口中形成有與電極層 142a 電連接的佈線層 304a、與電極層 142b 電連接的佈線層 304b。

圖 4B 所示的電晶體 330 是以填充形成在溝槽內的閘極電極層 348 的凹部的方式形成平坦化絕緣膜 308 的例子。

在使用本實施方式製造的實現了高純度化的晶體氧化

物半導體膜 144 的電晶體 162 中，可以使截止狀態下的電流值（截止電流值。在此，室溫（25℃）下的每通道寬度（1μm）的值）降低到 100zA/μm（1zA（仄普托安培）為 1×10^{-21} A）以下，較佳為降低到 10zA/μm 以下，更佳為降低到 1zA/μm 以下，進一步較佳為降低到 100yA/μm 以下的水準。

在電晶體 162 中，將晶體氧化物半導體膜 144 設置在溝槽 131 中，該溝槽設置在絕緣層 130 中並包括曲率半徑為 20nm 以上且 60nm 以下（較佳為 20nm 以上且 30nm 以下）的曲面狀的下端角部 300。即使將電極層 142a 與電極層 142b 之間的距離設定得較窄，藉由適當地設定溝槽 131 的深度，可以控制晶體氧化物半導體膜 144 的通道長度，並可以抑制因微型化而產生的短通道效應。

另外，晶體氧化物半導體膜 144 至少在下端角部 300 中包含具有大致垂直於表面的 c 軸的結晶。藉由使用上述晶體氧化物半導體膜，可以進一步抑制因可見光或紫外光的照射而產生的電晶體的電特性變化，從而可以形成可靠性高的半導體裝置。

由於是沿著溝槽的內壁來形成電晶體 162 的通道，因此即使通道形成區不是平板狀也可以使載子沿著結晶氧化物半導體膜 144（CAAC-OS 膜）的 In-O-In-O 順利地流過。在本實施方式中，由於在電晶體 162 中接觸於溝槽內壁、底部地形成晶體氧化物半導體膜 144，所以通道長度為溝槽側面（內壁）的長度（圖 1B 中的溝槽深度 d）的

兩倍與溝槽底部的長度（圖 1B 中的長度 L）之和，即可以比溝槽底部的長度（圖 1B 中的長度 L）更長。藉由採用上述通道長度，可以實現常截止的電晶體，而可以防止產生短通道效應。另外，藉由採用溝槽結構，可以縮小電晶體的平面面積，從而可以實現微型化及高集體化。

如上所述，在實現了微細化及高集體化的使用氧化物半導體的半導體裝置中，可以賦予穩定的電特性，來實現高可靠性化。

實施方式 2

在本實施方式中，參照圖 3A 至 3D 對半導體裝置的製造方法的另一個方式進行說明。與上述實施方式相同的部分或者具有與上述實施方式相同的功能的的部分以及製程可以與上述實施方式同樣進行，並省略該部分的反復說明。此外，省略相同部分的詳細說明。

在本實施方式中，示出在根據所公開的發明的半導體裝置的製造方法中，對非晶氧化物半導體膜進行加熱處理，以至少使其一部分結晶化來形成包括具有大致垂直於表面的 c 軸的結晶的晶體氧化物半導體膜的例子。

圖 3A 至 3D 示出本實施方式中的電晶體 162 的製造方法的一個例子。

首先，在基板上形成由氧化膜構成的絕緣層。而且，在絕緣層中形成多個溝槽 131（也稱為槽），而形成具有溝槽 131 的絕緣層 130。溝槽 131 的下端角部 300 為曲面

狀，曲率半徑為 20nm 以上且 60nm 以下（較佳為 20nm 以上且 30nm 以下）。

接著，覆蓋溝槽 131 地形成非晶氧化物半導體膜 302（參照圖 3A）。非晶氧化物半導體膜 302 可以使用與實施方式 1 所示的晶體氧化物半導體膜 144 同樣的材料及製造方法，但是將基板溫度設定為成膜時不產生晶化的溫度（較佳為 200℃ 以下）。

另外，也可以進行用於去除（脫水化或脫氫化）非晶氧化物半導體膜 302 的過剩的氫（包括水或羥基）的加熱處理。將加熱處理的溫度設定為不使非晶氧化物半導體膜晶化的溫度，典型地設定為 250℃ 以上且 400℃ 以下，較佳為設定為 300℃ 以下。

藉由在將非晶氧化物半導體膜 302 加工為島狀之前進行用於脫水化或脫氫化的加熱處理，可以防止因加熱處理而釋放出包含在絕緣層 130 中的氧，所以是較佳的。

另外，在加熱處理中，較佳為氮、氦、氖、氬等稀有氣體不含有水、氫等。或者，將引入熱處理裝置中的氮或如氦、氖、氬等的稀有氣體的純度設定為 6N（99.9999%）以上，更佳為設定為 7N（99.99999%）以上（即，將雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下）。

另外，可以在利用加熱處理對非晶氧化物半導體膜 302 進行加熱之後，對相同爐內引入高純度的氧氣體、高純度的二氮化氧氣體或超乾燥空氣（使用 CRDS（cavity

ring-down laser spectroscopy：光腔衰蕩光譜法）方式的露點計進行測定時的水分量是 20ppm（露點換算， -55°C ）以下，較佳是 1ppm 以下，更佳是 10ppb 以下的空氣）。較佳為不使氧氣體或二氮化氧氣體包含水、氫等。或者，較佳為將引入到熱處理裝置中的氧氣體或二氮化氧氣體的純度設定為 6N 以上，較佳為 7N 以上（也就是說，將氧氣體或二氮化氧氣體中的雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下）。藉由利用氧氣體或二氮化氧氣體來供給由於脫水化或脫氫化處理中的雜質排出製程而同時被減少的構成非晶氧化物半導體的主要成分材料的氧，來可以使非晶氧化物半導體膜實現高純度化以及電性 I 型（本質）化。

接著，對非晶氧化物半導體膜 302 進行加熱處理，使該非晶氧化物半導體膜 302 的至少一部分結晶化，來形成包括具有大致垂直於表面的 c 軸的結晶的晶體氧化物半導體膜 144（參照圖 3B）。

將使非晶氧化物半導體膜 302 的至少一部分結晶化的加熱處理的溫度設定為 250°C 以上且 700°C 以下，較佳為 400°C 以上，更佳為 500°C 以上，進一步較佳為 550°C 以上。

例如，將基板引入到加熱處理裝置之一的電爐中，在減壓且 450°C 的溫度下對非晶氧化物半導體膜 302 進行 1 小時的加熱處理。

另外，熱處理裝置不侷限於電爐，還可以使用利用來

自電阻發熱體等的發熱體的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用如 GRTA (Gas Rapid Thermal Anneal, 氣體快速熱退火) 裝置、LRTA (Lamp Rapid Thermal Anneal, 燈快速熱退火) 裝置等 RTA (Rapid Thermal Anneal, 快速熱退火) 裝置。LRTA 裝置是一種利用鹵素燈、金鹵燈、氬弧燈、碳弧燈、高壓鈉燈、或者高壓汞燈等的燈發射的光 (電磁波) 的輻射來加熱被處理物的裝置。GRTA 裝置是一種利用高溫氣體進行加熱處理的裝置。作為高溫的氣體，使用即使進行加熱處理也不與被處理物起反應的惰性氣體，如氬等的稀有氣體或氮等。

例如，作為加熱處理，可以進行在加熱為 650°C 至 700°C 的高溫的惰性氣體中放進基板，並在加熱幾分鐘之後，從惰性氣體中取出基板的 GRTA。

加熱處理可以在氮氣氛圍下、氧氣氛圍下、超乾燥空氣 (水的含量為 20ppm 以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣) 氛圍下或稀有氣體 (氬、氮等) 氛圍下進行，但是較佳為上述氮氣氛圍、氧氣氛圍、超乾燥空氣氛圍或稀有氣體氛圍等不包含水、氫等。此外，較佳為將引入到加熱處理裝置中的氮、氧或稀有氣體的純度設定為 6N (99.9999%) 以上，較佳為設定為 7N (99.99999%) 以上 (即，將雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下)。

接著，形成晶體氧化物半導體膜 144 的一部分及用作源極電極或汲極電極的電極層 142a、142b 之後，形成覆

蓋電極層 142a、142b 的閘極絕緣層 146。另外，在通道寬度方向的溝槽的內壁及底面也形成閘極絕緣層 146（參照圖 3C）。

然後，以將閘極電極層用導電材料填充在溝槽中的方式在閘極絕緣層 146 上形成閘極電極層 148（參照圖 3D）。

當完成在溝槽中形成閘極電極層 148 的步驟時，溝槽結構的電晶體 162 也就形成了。

在電晶體 162 中，將晶體氧化物半導體膜 144 設置在溝槽 131 中，該溝槽設置在絕緣層 130 中並包括曲率半徑為 20nm 以上且 60nm 以下（較佳為 20nm 以上且 30nm 以下）的曲面狀的下端角部 300。即使將電極層 142a 與電極層 142b 之間的距離設定得較窄，藉由適當地設定溝槽 131 的深度，可以控制晶體氧化物半導體膜 144 的通道長度，並可以抑制因微型化而產生的短通道效應。

另外，晶體氧化物半導體膜 144 至少在下端角部 300 中包含具有大致垂直於表面的 c 軸的結晶。藉由使用上述晶體氧化物半導體膜，可以進一步抑制因可見光或紫外光的照射而產生的電晶體的電特性變化，從而可以形成可靠性高的半導體裝置。

由於是沿著溝槽 131 的內壁來形成電晶體 162 的通道，因此即使通道形成區不是平板狀也可以使載子沿著結晶氧化物半導體膜 144（CAAC-OS 膜）的 In-O-In-O 順利地流過。在本實施方式中，由於在電晶體 162 中接觸於溝

槽 131 的內壁、底部地形成晶體氧化物半導體膜 144，所以通道長度為溝槽側面（內壁）的長度（圖 1B 中的溝槽深度 d ）的兩倍與溝槽底部的長度（圖 1B 中的長度 L ）之和，即可以比溝槽底部的長度（圖 1B 中的長度 L ）更長。藉由採用上述通道，可以實現常截止的電晶體，而可以防止產生短通道效應。另外，藉由採用溝槽結構，可以縮小電晶體的平面面積，從而可以實現微型化及高集體化。

如上所述，在實現了微型化及高集體化的使用氧化物半導體的半導體裝置中，可以賦予穩定的電特性，而實現高可靠性化。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 3

在本實施方式中，參照圖式來說明使用實施方式 1 或實施方式 2 所示的電晶體 162 的半導體裝置的一例，該半導體裝置即使在沒有電力供應的情況下也能夠保持儲存內容，並且對寫入次數也沒有限制。另外，本實施方式所述的半導體裝置也可以使用實施方式 1 或實施方式 2 所示的電晶體 320 或電晶體 330。

電晶體 162 的截止電流小，所以藉由使用這種電晶體能夠長期保持儲存內容。換言之，因為不需要進行刷新工作，或者，可以製造刷新工作的頻率極少的半導體儲存裝置，所以可以充分降低耗電量。

圖 5A 至 5C 是半導體裝置的結構的一個例子。圖 5A 示出半導體裝置的剖面圖，圖 5B 示出半導體裝置的平面圖，圖 5C 示出半導體裝置的電路圖。在此，圖 5A 相當於沿著圖 5B 中的 C1-C2 及 D1-D2 的剖面。

圖 5A 及圖 5B 所示的半導體裝置在其下部具有使用第一半導體材料的電晶體 160，並在其上部具有使用第二半導體材料的電晶體 162。注意，由於電晶體 162 與實施方式 1 或實施方式 2 所示的結構相同，所以在圖 5A 和圖 5B 中，對與圖 1A 和 1B 相同的部分使用相同的元件符號而進行說明。

這裏，第一半導體材料和第二半導體材料較佳為具有不同能隙的材料。例如，可以將氧化物半導體以外的半導體材料（矽等）用於第一半導體材料，並且將氧化物半導體用於第二半導體材料。使用氧化物半導體以外的材料的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體利用其特性而可以長時間地保持儲存內容。

另外，雖然對上述電晶體都為 n 通道型電晶體的情況進行說明，但是當然可以使用 p 通道型電晶體。此外，由於所公開的發明的技術本質在於：將晶體氧化物半導體（CAAC-OS）用於電晶體 162 以保持資訊，因此不需要將半導體裝置的具體結構如用於半導體裝置的材料或半導體裝置的結構等限定於在此所示的結構。

圖 5A 中的電晶體 160 包括：設置在包含半導體材料（例如，矽等）的基板 100 中的通道形成區 116；夾著通

道形成區 116 地設置的雜質區 120；接觸於雜質區 120 的金屬化合物區 124；設置在通道形成區 116 上的閘極絕緣層 108；以及設置在閘極絕緣層 108 上的閘極電極 110。注意，雖然有時在圖式中沒有將電晶體的源極電極或汲極電極表示出來，但是爲了方便起見有時將這種狀態也稱爲電晶體。此外，在此情況下，爲了說明電晶體的連接關係，有時將源極區或汲極區也稱爲源極電極層或汲極電極層。也就是說，在本說明書中，源極電極可能包括源極區。

另外，在基板 100 上以圍繞電晶體 160 的方式設置有元件分離絕緣層 106，並且以覆蓋電晶體 160 的方式設置有絕緣層 128、絕緣層 130。另外，爲了實現高集體化，如圖 5A 所示，較佳爲採用電晶體 160 不具有側壁絕緣層的結構。然而，在重視電晶體 160 的特性的情況下，也可以在閘極電極 110 的側面設置側壁絕緣層，並設置包含雜質濃度不同的區域的雜質區 120。

如圖 5A 所示，電晶體 162 是具有使用晶體氧化物半導體（CAAC-OS）的晶體氧化物半導體膜 144 的溝槽結構的電晶體。在此，晶體氧化物半導體膜 144 較佳爲被高純度化的晶體氧化物半導體膜 144。藉由使用被高純度化的氧化物半導體，可以得到具有極爲優異的截止特性的電晶體 162。

在電晶體 162 上設置有單層或疊層的絕緣層 150。另外，在電晶體 162 的與電極層 142a 重疊的區域隔著絕緣

層 150 設置有導電層 148b，並由電極層 142a、絕緣層 150、導電層 148b 構成電容元件 164。換言之，電晶體 162 的電極層 142a 用作電容元件 164 的一方的電極，導電層 148b 用作電容元件 164 的另一方的電極。另外，當不需要電容時，也可以採用不設置電容元件 164 的結構。另外，電容元件 164 也可以另行設置在電晶體 162 的上方。例如，也可以將溝槽型電容器或疊層型電容元件形成在電晶體 162 的上方或電晶體 160 的下方，以三維進行層疊而進一步實現高集體化。

在電晶體 162 及電容元件 164 上設置有絕緣層 152。而且，在絕緣層 152 上設置有電晶體 162、用來連接其他電晶體的佈線 156。雖然未圖示，但是在圖 5A 中，佈線 156 藉由形成在設置於絕緣層 150 以及絕緣層 152 等中的開口中的電極與電極層 142b 電連接。在此，較佳的是，該電極至少與電晶體 162 的晶體氧化物半導體膜 144 的一部分重疊而設置。

另外，電極層 142b 與佈線 156 的電連接既可以藉由使電極層 142b 與佈線 156 直接接觸而實現，又可以如本實施方式所示那樣藉由在兩者之間的絕緣層中設置電極，藉由該電極而實現電連接。另外，介於兩者之間的電極也可以是多個。

在圖 5A 及 5B 中，較佳的是，使電晶體 160 和電晶體 162 至少在一部分上重疊而設置，並且使電晶體 160 的源極區或汲極區和晶體氧化物半導體膜 144 在一部分上重

疊而設置。另外，以與電晶體 160 的至少一部分重疊的方式設置有電晶體 162 及電容元件 164。例如，電容元件 164 的導電層 148b 與電晶體 160 的閘極電極 110 以至少一部分重疊的方式設置。藉由採用這種平面佈局，可以降低半導體裝置的佔有面積，從而可以實現高集體化。

接著，圖 5C 示出對應於圖 5A 及 5B 的電路結構的一個例子。

在圖 5C 中，第一佈線 (1st Line) 158a 與電晶體 160 的源極電極電連接，第二佈線 (2nd Line) 158b 與電晶體 160 的汲極電極電連接。另外，第三佈線 (3rd Line) 158c 與電晶體 162 的源極電極和汲極電極中的一方電連接，第四佈線 (4th Line) 158d 與電晶體 162 的閘極電極電連接。並且，電晶體 160 的閘極電極以及電晶體 162 的源極電極及汲極電極中的另一方與電容元件 164 的電極中的一方電連接，第五佈線 (5th Line) 158e 與電容元件 164 的電極中的另一方電連接。

在圖 5C 所示的半導體裝置中，藉由有效地利用可以保持電晶體 160 的閘極電極的電位的特徵，可以如以下所示那樣進行資訊的寫入、保持以及讀出。

對資訊的寫入及保持進行說明。首先，將第四佈線的電位設定為使電晶體 162 成為導通狀態的電位，使電晶體 162 成為導通狀態。由此，對電晶體 160 的閘極電極和電容元件 164 施加第三佈線的電位。也就是說，對電晶體 160 的閘極電極施加規定的電荷 (寫入)。這裏，施加賦

予兩種不同電位電平的電荷（以下，稱為 Low 電平電荷、High 電平電荷）中的任一種。然後，藉由將第四佈線的電位設定為使電晶體 162 成為截止狀態的電位，使電晶體 162 成為截止狀態，保持對電晶體 160 的閘極電極施加的電荷（保持）。

因為電晶體 162 的截止電流極小，所以電晶體 160 的閘極電極的電荷被長時間地保持。

接著，對資訊的讀出進行說明。當在對第一佈線施加規定的電位（恆電位）的狀態下，對第五佈線施加適當的電位（讀出電位）時，第二佈線根據保持在電晶體 160 的閘極電極的電荷量具有不同的電位。這是因為一般而言，在電晶體 160 為 n 通道型的情況下，對電晶體 160 的閘極電極施加 High 電平電荷時的外觀上的閾值 V_{th_H} 低於對電晶體 160 的閘極電極施加 Low 電平電荷時的外觀上的閾值 V_{th_L} 的緣故。在此，外觀上的臨界電壓是指為了使電晶體 160 成為“導通狀態”所需要的第五佈線的電位。因此，藉由將第五佈線的電位設定為 V_{th_H} 和 V_{th_L} 之間的電位 V_0 ，可以辨別施加到電晶體 160 的閘極電極的電荷。例如，在寫入中，當被供應 High 水準電荷時，如果第五佈線的電位為 V_0 ($>V_{th_H}$)，則電晶體 160 成為“導通狀態”。當被供應 Low 水準電荷時，即使第五佈線的電位為 V_0 ($<V_{th_L}$)，電晶體 160 也維持“截止狀態”。因此，根據第二佈線的電位可以讀出所保持的資訊。

注意，當將儲存單元配置為陣列狀時，需要唯讀出所希望的儲存單元的資訊。在此情況下，不讀出資訊的儲存單元對第五佈線施加不管閘極電極的狀態如何都使電晶體 160 成為“截止狀態”的電位，也就是小於 V_{th_H} 的電位，即可。或者，將不管閘極電極的狀態如何都使電晶體 160 成為“導通狀態”的電位，也就是大於 V_{th_L} 的電位施加到第五佈線即可。

在本實施方式所示的半導體裝置中，藉由應用將晶體氧化物半導體（CAAC-OS）用於其通道形成區的截止電流極小的電晶體，可以在極長期間保持儲存內容。就是說，因為不需要進行刷新工作，或者，可以將刷新工作的頻率降低到極低，所以可以充分降低耗電量。另外，即使在沒有電力供給的情況下（較佳為電位是固定的），也可以在長期間保持儲存內容。

另外，在本實施方式所示的半導體裝置中，資訊的寫入不需要高電壓，而且也沒有元件退化的問題。例如，不像習知的非揮發性儲存體的情況那樣，不需要對浮動閘極注入電子或從浮動閘極抽出電子，所以根本不會發生閘極絕緣層的劣化等的問題。就是說，在根據所公開的發明的半導體裝置中，對作為習知的非揮發性儲存體所存在的問題的能夠重寫的次數沒有限制，而使可靠性得到顯著提高。再者，根據電晶體的導通狀態或截止狀態而進行資訊寫入，而也可以容易實現高速工作。

另外，藉由將溝槽結構採用於電晶體 162，可以縮小

電晶體 162 的平面面積，從而可以實現高集體化。

以上，本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 4

在本實施方式中，關於使用實施方式 1 或實施方式 2 所示的電晶體 162 的半導體裝置，參照圖 6A 至 7B 對與實施方式 3 所示的結構不同的結構進行說明。該半導體裝置即使在沒有電力供應的情況下也能夠保持儲存內容，並且對寫入次數也沒有限制。另外，本實施方式的半導體裝置也可以使用實施方式 1 或 2 所示的電晶體 320 或電晶體 330。

圖 6A 示出半導體裝置的電路結構的一個例子，圖 6B 是示出半導體裝置的一個例子的示意圖。首先對圖 6A 所示的半導體裝置進行說明，接著對圖 6B 所示的半導體裝置進行說明。

在圖 6A 所示的半導體裝置中，位元線 BL 與電晶體 162 的源極電極或汲極電極電連接，字線 WL 與電晶體 162 的閘極電極電連接，並且電晶體 162 的源極電極或汲極電極與電容元件 254 的第一端子電連接。

使用晶體氧化物半導體（CAAC-OS）的電晶體 162 具有截止電流極小的特徵。因此，藉由使電晶體 162 成為截止狀態，可以在極長時間儲存電容元件 254 的第一端子的電位（或累積在電容元件 254 中的電荷）。另外，使用晶

體氧化物半導體（CAAC-OS）的電晶體 162 還具有不容易呈現短通道效應的優點。

接著，說明對圖 6A 所示的半導體裝置（儲存單元 250）進行資訊的寫入及保持的情況。

首先，藉由將字線 WL 的電位設定為使電晶體 162 成為導通狀態的電位，來使電晶體 162 成為導通狀態。由此，將位元線 BL 的電位施加到電容元件 254 的第一端子（寫入）。然後，藉由將字線 WL 的電位設定為使電晶體 162 成為截止狀態的電位，來使電晶體 162 成為截止狀態，由此儲存電容元件 254 的第一端子的電位（保持）。

由於電晶體 162 的截止電流極小，所以能夠長期儲存電容元件 254 的第一端子的電位（或累積在電容元件中的電荷）。

接著，對資訊的讀出進行說明。當電晶體 162 成為導通狀態時，處於浮動狀態的位元線 BL 與電容元件 254 導通，於是，在位元線 BL 與電容元件 254 之間電荷被再次分配。其結果，位元線 BL 的電位發生變化。位元線 BL 的電位的變化量根據電容元件 254 的第一端子的電位（或累積在電容元件 254 中的電荷）而取不同的值。

例如，當以 V 表示電容元件 254 的第一端子的電位，以 C 表示電容元件 254 的電容，以 C_B 表示位元線 BL 所具有的電容成分（以下也稱為位元線電容），並且以 V_{B0} 表示電荷被再次分配之前的位元線 BL 的電位時，電荷被再次分配之後的位元線 BL 的電位成為

$(CB \times VB0 + C \times V)/(CB + C)$ 。因此，作為儲存單元 250 的狀態，當電容元件 254 的第一端子的電位為 $V1$ 和 $V0$ ($V1 > V0$) 的兩個狀態時，保持電位 $V1$ 時的位元線 BL 的電位 ($=CB \times VB0 + C \times V1)/(CB + C)$) 高於保持電位 $V0$ 時的位元線 BL 的電位 ($=CB \times VB0 + C \times V0)/(CB + C)$)。

並且，藉由比較位元線 BL 的電位與指定的電位，可以讀出資訊。

如此，圖 6A 所示的半導體裝置可以利用電晶體 162 的截止電流極小的特徵長期保持累積在電容元件 254 中的電荷。換言之，因為不需要進行刷新工作，或者，可以使刷新工作的頻率極低，所以可以充分降低耗電量。另外，即使在沒有電力供給的情況下也可以長期保持儲存內容。

接著對圖 6B 所示的半導體裝置進行說明。

圖 6B 所示的半導體裝置在其上部作為儲存電路具有儲存單元陣列 251 (儲存單元陣列 251a 及 251b)，該儲存單元陣列 251 (儲存單元陣列 251a 及 251b) 具有多個圖 6A 所示的儲存單元 250。此外，圖 6B 所示的半導體裝置在其下部具有用來使儲存單元陣列 251 (儲存單元陣列 251a 及 251b) 工作的週邊電路 253。另外，週邊電路 253 與儲存單元陣列 251 電連接。

藉由採用圖 6B 所示的結構，可以將週邊電路 253 設置在儲存單元陣列 251 (儲存單元陣列 251a 及 251b) 的正下方，從而可以實現半導體裝置的微型化。

作為設置在週邊電路 253 中的電晶體，更佳為使用與

電晶體 162 不同的半導體材料。例如，可以使用矽、銻、矽銻、碳化矽或砷化鎵等，較佳為使用單晶半導體。另外，還可以使用有機半導體材料。使用這種半導體材料的電晶體能夠進行充分的高速工作。從而，藉由利用該電晶體，能夠順利實現被要求高速工作的各種電路（邏輯電路、驅動電路等）。

另外，圖 6B 所示的半導體裝置例示層疊有兩個儲存單元陣列 251（儲存單元陣列 251a、儲存單元陣列 251b）的結構，但是所層疊的儲存單元陣列的個數不侷限於此。也可以採用層疊有三個以上的儲存單元陣列的結構。

接著，參照圖 7A 和 7B 對圖 6A 所示的儲存單元 250 的具體結構進行說明。

圖 7A 和 7B 示出儲存單元 250 的結構的一個例子。圖 7A 示出儲存單元 250 的剖面圖，圖 7B 示出儲存單元 250 的平面圖。在此，圖 7A 相當於沿著圖 7B 中的 F1-F2 及 G1-G2 的剖面。

由於圖 7A 及 7B 所示的電晶體 162 與實施方式 1 或實施方式 2 所示的結構相同，所以在圖 7A 和 7B 中，對與圖 1A 和 1B 相同的部分使用相同的元件符號而進行說明。

在電晶體 162 上設置有單層或疊層的絕緣層 256。另外，在電晶體 162 的與電極層 142a 重疊的區域隔著絕緣層 256 設置有導電層 262，並由電極層 142a、絕緣層

256、導電層 262 構成電容元件 254。換言之，電晶體 162 的電極層 142a 用作電容元件 254 的一方的電極，導電層 262 用作電容元件 254 的另一方的電極。

在電晶體 162 及電容元件 254 上設置有絕緣層 258。而且，在絕緣層 258 上設置有儲存單元 250、用來連接所相鄰的儲存單元 250 的佈線 260。雖然未圖示，但是佈線 260 藉由形成在絕緣層 256 及絕緣層 258 等中的開口，與電晶體 162 的電極層 142b 電連接。但是，也可以在開口中設置其他導電層，並藉由該其他導電層電連接佈線 260 與電極層 142b 電連接。另外，佈線 260 相當於圖 6A 的電路圖中的位元線 BL。

在圖 7A 及 7B 中，電晶體 162 的電極層 142b 也可以用作包括在所相鄰的儲存單元中的電晶體的源極電極。藉由採用這種平面佈局，可以減小半導體裝置的佔有面積，從而可以實現高集體化。

如上所述，在上部層疊形成的多個儲存單元由使用晶體氧化物半導體（CAAC-OS）的電晶體形成。由於使用晶體氧化物半導體（CAAC-OS）的電晶體的截止電流小，因此藉由使用這種電晶體，能夠長期保持儲存內容。換言之，可以使刷新工作的頻率極低，所以可以充分降低耗電量。

如上所述，藉由將利用使用氧化物半導體以外的材料的電晶體（換言之，能夠進行充分高速的工作的電晶體）的週邊電路以及利用使用氧化物半導體的電晶體（作更廣

義解釋，其截止電流十分小的電晶體）的儲存電路設置為一體，能夠實現具有新穎特徵的半導體裝置。另外，藉由採用週邊電路和儲存電路的疊層結構，可以實現半導體裝置的集體化。

另外，藉由將溝槽結構採用於電晶體 162，可以縮小電晶體 162 的平面面積，從而可以實現高集體化。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

實施方式 5

在本實施方式中，參照圖 8A 至 11 對將上述實施方式所示的半導體裝置應用於行動電話、智慧手機、電子書閱讀器等移動設備的例子進行說明。

在行動電話、智慧手機、電子書閱讀器等移動設備中，為了暫時儲存影像資料而使用 SRAM 或 DRAM。使用 SRAM 或 DRAM 是因為快閃儲存體應答速度慢而不適於處理影像。另一方面，當將 SRAM 或 DRAM 用於影像資料的暫時儲存時，有如下特徵。

如圖 8A 所示，在一般的 SRAM 中，一個儲存單元由電晶體 801 至電晶體 806 的六個電晶體構成，並且該電晶體 801 至電晶體 806 被 X 解碼器 807 和 Y 解碼器 808 驅動。電晶體 803 和電晶體 805 以及電晶體 804 和電晶體 806 構成反相器，該反相器能夠實現高速驅動。然而，由於一個儲存單元由六個電晶體構成，所以有儲存單元面積

大的缺點。在將設計規則的最小尺寸設定為 F 的情況下，SRAM 的儲存單元面積一般為 100 至 $150F^2$ 。因此，SRAM 的每個比特位的單價是各種儲存體中最高的。

另一方面，在 DRAM 中，如圖 8B 所示，儲存單元由電晶體 811 和儲存電容器 812 構成，並且該電晶體 811 和儲存電容器 812 被 X 解碼器 813 和 Y 解碼器 814 驅動。由於一個單元由一個電晶體和一個電容構成，所以所占的面積小。DRAM 的儲存面積一般為 $10F^2$ 以下。注意，DRAM 需要一直進行刷新工作，因此即使在不進行改寫的情況下也消耗電力。

相對於此，上述實施方式所說明的半導體裝置的儲存單元面積為 $10F^2$ 左右，並且不需要頻繁的刷新工作。從而，能夠縮小儲存單元面積，還能夠降低耗電量。

圖 9 示出移動設備的方塊圖。圖 9 所示的移動設備具有：RF 電路 901；類比基帶電路 902；數字基帶電路 903；電池 904；電源電路 905；應用處理機 906；快閃儲存體 910；顯示器控制器 911；儲存電路 912；顯示器 913；觸控感應器 919；聲頻電路 917；以及鍵盤 918 等。顯示器 913 具有：顯示部 914；源極驅動器 915；以及閘極驅動器 916。應用處理機 906 具有：CPU（Central Processing Unit:中央處理器）907；DSP（Digital Signal Processor:數位信號處理器）908；以及介面（IF）909。儲存電路 912 一般由 SRAM 或 DRAM 構成，藉由將上述實施方式所說明的半導體裝置用於該部分，能夠以高速進

行資訊的寫入和讀出，能夠長期保持儲存內容，還能夠充分降低耗電量。

圖 10 示出將上述實施方式所說明的半導體裝置用於顯示器的儲存電路 950 的例子。圖 10 所示的儲存電路 950 具有：儲存體 952；儲存體 953；開關 954；開關 955；以及儲存體控制器 951。另外，儲存電路 950 連接於：用來讀出並控制從信號線輸入的影像資料（輸入影像資料）和儲存在儲存體 952 及儲存體 953 中的資料（儲存影像資料）的顯示器控制器 956；以及根據來自顯示器控制器 956 的信號來進行顯示的顯示器 957。

首先，藉由應用處理機（未圖示）形成一個影像資料（輸入影像資料 A）。該輸入影像資料 A 藉由開關 954 被儲存在儲存體 952 中。然後，將儲存在儲存體 952 中的影像資料（儲存影像資料 A）藉由開關 955 及顯示器控制器 956 發送到顯示器 957 而進行顯示。

在輸入影像資料 A 沒有變化時，儲存影像資料 A 一般以 30 至 60Hz 左右的週期從儲存體 952 藉由開關 955 被顯示器控制器 956 讀出。

另外，例如在使用者進行了改寫畫面的操作時（即在輸入影像資料 A 有變化時），應用處理機形成新的影像資料（輸入影像資料 B）。該輸入影像資料 B 藉由開關 954 被儲存在儲存體 953 中。在該期間儲存影像資料 A 也繼續定期性地藉由開關 955 從儲存體 952 被讀出。當在儲存體 953 中儲存完新的影像（儲存影像資料 B）時，由顯示器

957 的下一個圖框開始讀出儲存影像資料 B，並且將該儲存影像資料 B 藉由開關 955 及顯示器控制器 956 發送到顯示器 957 而進行顯示。該讀出一直持續直到下一個新的影像資料儲存到儲存體 952 中。

如上所述，藉由由儲存體 952 及儲存體 953 交替進行影像資料的寫入和影像資料的讀出，來進行顯示器 957 的顯示。另外，儲存體 952、儲存體 953 不侷限於兩個不同的儲存體，也可以將一個儲存體分割而使用。藉由將上述實施方式所說明的半導體裝置用於儲存體 952 及儲存體 953，能夠以高速進行資訊的寫入和讀出，能夠長期保持儲存內容，還能夠充分降低耗電量。

圖 11 示出電子書閱讀器的方塊圖。圖 11 所示的電子書閱讀器具有：電池 1001；電源電路 1002；微處理器 1003；快閃儲存體 1004；聲頻電路 1005；鍵盤 1006；儲存電路 1007；觸摸屏 1008；顯示器 1009；以及顯示器控制器 1010。

在此，可以將上述實施方式所說明的半導體裝置用於圖 11 的儲存電路 1007。儲存電路 1007 具有暫時保持書籍內容的功能。例如，在使用者使用高亮功能的情況下，儲存電路 1007 將使用者所指定的部分的資訊儲存而保持。另外，高亮功能是指如下功能：在使用者看電子書閱讀器時，藉由對某個部分做標記，例如藉由改變顯示顏色；劃下劃線；將文字改為粗體字；改變文字的字體等，來使該部分與周圍不一樣而突出表示。當將該資訊長期保

持時，也可以將該資訊拷貝到快閃儲存體 1004。即使在此情況下，藉由採用上述實施方式所說明的半導體裝置，也能夠以高速進行資訊的寫入和讀出，能夠長期保持儲存內容，還能夠充分降低耗電量。

如上所述，本實施方式所示的移動設備安裝有根據上述實施方式的半導體裝置。因此，能夠實現以高速進行資訊的讀出、長期保持儲存內容且充分降低耗電量的移動設備。

本實施方式所示的結構及方法等可以與其他實施方式所記載的結構及方法等適當地組合而實施。

實施例

在本實施例中，形成包括溝槽的絕緣層，製造在該溝槽中形成氧化物半導體膜的樣品，觀察氧化物半導體膜的結晶狀態。

首先，作為樣品，製造製造製程不同的實施例樣品 1 及實施例樣品 2 的兩種樣品。

在實施例樣品 1 及實施例樣品 2 中，在矽基板上藉由濺射法形成厚度為 500nm 的氧化矽膜作為絕緣層。

作為氧化矽膜的形成條件，採用如下條件：作為靶材使用氧化矽（ SiO_2 ）靶材；矽基板與靶材之間的距離為 60mm；壓力為 0.4Pa；電源電力為 2kW；氬及氧（氬流量為 25sccm：氧流量為 25sccm）的氛圍下；以及基板溫度為 100℃。

在氧化矽膜上藉由光刻製程形成抗蝕劑掩模，使用抗蝕劑掩模對氧化矽膜進行蝕刻來形成溝槽。作為蝕刻製程，利用感應耦合電漿（ICP：Inductively Coupled Plasma）蝕刻法，作為蝕刻氣體使用三氟甲烷（ CHF_3 ）、氦（ He ）及甲烷（ CH_4 ）（ $\text{CHF}_3:\text{He}:\text{CH}_4=22.5\text{sccm}:127.5\text{sccm}:5\text{sccm}$ ），並在電源電力為 475W、偏置功率為 300W、壓力為 3.5Pa 的條件下進行 96 秒的蝕刻製程。另外，在蝕刻製程之後，使用氧進行灰化（電源電力為 200W、壓力為 67Pa（0.5Torr）、300 秒）。將溝槽剖面中的側面（內壁）的長度（圖 1B 中的溝槽深度 d）的兩倍與底部的長度（圖 1B 中的長度 L）的總和設定為 350nm 左右。

在氧化矽膜上使用剝離液去除抗蝕劑掩模，以接觸於溝槽的底面、下端角部及內壁面的方式將氧化物半導體膜形成在氧化矽膜上。作為氧化物半導體膜，藉由濺射法形成厚度為 40nm 的 In-Ga-Zn-O 膜。

在實施例樣品 1 中，在將基板加熱到 400℃ 的狀態下形成氧化物半導體膜。另外，作為實施例樣品 1 的 In-Ga-Zn-O 膜的形成條件，採用如下條件：使用組成比為 In:Ga:Zn=1:1:1[atom 比]的氧化物靶材；矽基板與靶材之間的距離為 60mm；壓力為 0.4Pa；直流（DC）電源為 0.5kW；氬及氧（氬流量為 30sccm:氧流量為 15sccm）的氛圍下；以及基板溫度為 400℃。用來形成氧化物半導體膜的氬及氧較佳為不包含水、氫等。例如，較佳為使用純

度為 9N，露點為 -121°C ，水的含量為 0.1ppb，氫的含量為 0.5ppb 的氫，以及純度為 8N，露點為 -112°C ，水的含量為 1ppb，氫的含量為 1ppb 的氧。

另一方面，在實施例樣品 2 中，在將基板加熱到 200°C 的狀態下形成氧化物半導體膜，然後在氮氛圍下，以 600°C 進行 1 小時的加熱處理。另外，作為實施例樣品 2 的 In-Ga-Zn-O 膜的形成條件，採用如下條件：使用組成比為 In:Ga:Zn=1:1:1[atom 比]的氧化物靶材；矽基板與靶材之間的距離為 60mm；壓力為 0.4Pa；直流（DC）電源為 0.5kW；氫及氧（氫流量為 30sccm:氧流量為 15sccm）的氛圍下；以及基板溫度為 200°C 。

在藉由上述製程得到的實施例樣品 1 及實施例樣品 2 中，切掉其邊緣部分，並且利用高分辨透射電子顯微鏡（日立高新技術公司所製造的 H9000-NAR，TEM）在加速電壓為 300kV 的條件下觀察下端角部的剖面。圖 12A 示出實施例樣品 1 的 200 萬倍放大倍率的 TEM 影像，圖 12B 示出實施例樣品 1 的 800 萬倍放大倍率的 TEM 影像，圖 13A 示出實施例樣品 2 的 200 萬倍放大倍率的 TEM 影像，圖 13B 示出實施例樣品 2 的 800 萬倍放大倍率的 TEM 影像。

如圖 12A 和 13A 所示，溝槽中的下端角部為曲面狀，該曲率半徑為 20nm 以上且 30nm 以下。而且，在曲面狀的下端角部中，可以確認到包含具有大致垂直於表面的 c 軸的結晶的 In-Ga-Zn-O 膜（CAAC-OS 膜）。具有大

致垂直於表面的 c 軸的結晶在高倍率的圖 12B 和 13B 中更明顯，可以確認到在 In-Ga-Zn-O 膜中沿著下端角部的曲面層疊的層狀的 In-Ga-Zn-O 的結晶狀態。

由此可知，在實施例樣品 1 及實施例樣品 2 中，接觸於溝槽的下端角部而形成的氧化物半導體膜是包含具有大致垂直於表面的 c 軸的結晶的晶體氧化物半導體膜（CAAC-OS 膜），該 CAAC-OS 膜的生長面在曲面狀的下端角部中具有連續性。

如上所述，將包含具有大致垂直於表面的 c 軸的結晶的晶體氧化物半導體膜（CAAC-OS 膜）設置在溝槽中的電晶體可以進一步抑制因照射可見光或紫外光而導致的電晶體的電特性變化及短通道效果。從而，可以提供高可靠性且實現了微型化的半導體裝置。

【圖式簡單說明】

在圖式中：

圖 1A 和 1B 是說明半導體裝置的圖；

圖 2A 至 2D 是說明半導體裝置的製造方法的一個方式的圖；

圖 3A 至 3D 是說明半導體裝置的製造方法的一個方式的圖；

圖 4A 和 4B 是說明半導體裝置的一個方式的圖；

圖 5A 至 5C 是示出本發明的一個方式的半導體裝置的剖面圖、平面圖及電路圖；

圖 6A 和 6B 是示出本發明的一個方式的半導體裝置的電路圖及透視圖；

圖 7A 和 7B 是示出本發明的一個方式的半導體裝置的剖面圖及平面圖；

圖 8A 和 8B 是示出本發明的一個方式的半導體裝置的電路圖；

圖 9 是示出本發明的一個方式的半導體裝置的方塊圖；

圖 10 是示出本發明的一個方式的半導體裝置的方塊圖；

圖 11 是示出本發明的一個方式的半導體裝置的方塊圖；

圖 12A 和 12B 是示出實施例中的實施例樣品 1 的 TEM 影像；

圖 13A 和 13B 是示出實施例中的實施例樣品 2 的 TEM 影像。

【主要元件符號說明】

100：基板

106：元件分離絕緣層

108：閘極絕緣層

110：閘極電極

116：通道形成區

120：雜質區

124：金屬化合物區
 130：絕緣層
 131：溝槽
 142a：電極層
 142b：電極層
 144：晶體氧化物半導體膜
 146：閘極絕緣層
 148：閘極電極層
 148b：導電層
 150：絕緣層
 152：絕緣層
 156：佈線
 160：電晶體
 162：電晶體
 164：電容元件
 250：儲存單元
 251：儲存單元陣列
 251a：儲存單元陣列
 251b：儲存單元陣列
 253：週邊電路
 254：電容元件
 256：絕緣層
 258：絕緣層
 260：佈線

262：導電層

300：下端角部

302：非晶氧化物半導體膜

304a：佈線層

304b：佈線層

306：絕緣層

308：平坦化絕緣膜

320：電晶體

330：電晶體

348：閘極電極層

801：電晶體

803：電晶體

804：電晶體

805：電晶體

806：電晶體

807：X解碼器

808：Y解碼器

811：電晶體

812：儲存電容

813：X解碼器

814：Y解碼器

901：RF電路

902：類比基帶電路

903：數字基帶電路

904：電池

905：電源電路

906：應用處理機

907：CPU

908：DSP

909：介面(IF)

910：快閃儲存體

911：顯示器控制器

912：儲存電路

913：顯示器

914：顯示部

915：源極驅動器

916：閘極驅動器

917：聲頻電路

918：鍵盤

919：觸控感應器

950：儲存電路

951：儲存體控制器

952：儲存體

953：儲存體

954：開關

955：開關

956：顯示器控制器

957：顯示器

- 1001：電池
- 1002：電源電路
- 1003：微處理器
- 1004：快閃儲存體
- 1005：聲頻電路
- 1006：鍵盤
- 1007：儲存電路
- 1008：觸摸屏
- 1009：顯示器
- 1010：顯示器控制器

服4)

空白頁

七、申請專利範圍

1. 一種半導體裝置，包括：

設置在絕緣層中的溝槽，其中，該溝槽包括曲面狀的下端角部；

接觸於該溝槽的底面、該下端角部及內壁面的氧化物半導體膜；

該氧化物半導體膜之上的閘極絕緣層；以及

該閘極絕緣層之上的閘極電極層，

其中，該氧化物半導體膜包括通道形成區，

其中，該下端角部具有 20nm 以上且 60nm 以下的曲率半徑，並且

其中，該氧化物半導體膜至少在該下端角部之上包含其 c 軸實質上平行於該絕緣層之表面的法線向量之結晶。

2. 根據申請專利範圍第 1 項之半導體裝置，還包括接觸於該氧化物半導體膜的源極電極層及汲極電極層。

3. 根據申請專利範圍第 2 項之半導體裝置，其中，該源極電極層及該汲極電極層不與該閘極電極層重疊。

4. 根據申請專利範圍第 1 項之半導體裝置，

其中，該氧化物半導體膜包括結晶區，

其中，該結晶區包括多個金屬原子層，並且

其中，該多個層的每一者係沿著該溝槽的該下端角部的表面而形成。

5. 一種半導體裝置，包括：

設置在絕緣層中的溝槽，其中，該溝槽包括曲面狀的

下 端 角 部 ；

接 觸 於 該 溝 槽 的 底 面 、 該 下 端 角 部 及 內 壁 面 的 氧 化 物
半 導 體 膜 ；

接 觸 於 該 氧 化 物 半 導 體 膜 的 源 極 電 極 層 及 汲 極 電 極
層 ；

該 氧 化 物 半 導 體 膜 、 該 源 極 電 極 層 及 該 汲 極 電 極 層 之
上 的 閘 極 絕 緣 層 ； 以 及

該 閘 極 絕 緣 層 之 上 的 閘 極 電 極 層 ，

其 中 ， 該 氧 化 物 半 導 體 膜 包 括 通 道 形 成 區 ， 並 且

其 中 ， 該 氧 化 物 半 導 體 膜 至 少 在 該 下 端 角 部 之 上 包 含
其 c 軸 實 質 上 平 行 於 該 絕 緣 層 之 表 面 的 法 線 向 量 之 結 晶 。

6. 根 據 申 請 專 利 範 圍 第 5 項 之 半 導 體 裝 置 ，

其 中 ， 該 下 端 角 部 具 有 20nm 以 上 且 60nm 以 下 的 曲
率 半 徑 。

7. 根 據 申 請 專 利 範 圍 第 5 項 之 半 導 體 裝 置 ， 其 中 ， 該
源 極 電 極 層 及 該 汲 極 電 極 層 不 與 該 閘 極 電 極 層 重 疊 。

8. 根 據 申 請 專 利 範 圍 第 1 或 5 項 之 半 導 體 裝 置 ， 其
中 ， 該 溝 槽 被 該 閘 極 電 極 層 所 填 充 。

9. 一 種 包 括 根 據 申 請 專 利 範 圍 第 1 或 5 項 之 半 導 體 裝
置 的 儲 存 裝 置 。

10. 一 種 半 導 體 裝 置 ， 包 括 ：

第 一 電 晶 體 ， 包 括 ：

第 一 通 道 形 成 區 ； 以 及

重 疊 於 該 第 一 通 道 形 成 區 的 第 一 閘 極 電 極 ，

覆蓋該第一電晶體的絕緣層，其中，該第一閘極電極的一部分不被該絕緣層覆蓋而露出，

第二電晶體，包括：

設置在該絕緣層中的溝槽，其中，該溝槽包括曲面狀的下端角部；

接觸於該溝槽的底面、該下端角部及內壁面的氧化物半導體膜；

接觸於該氧化物半導體膜的源極電極層及汲極電極層；

該氧化物半導體膜、該源極電極層及該汲極電極層之上的閘極絕緣層；以及

該閘極絕緣層之上的第二閘極電極層，

其中，該氧化物半導體膜包括第二通道形成區，

其中，該下端角部具有 20nm 以上且 60nm 以下的曲率半徑，並且

其中，該第二電晶體的該源極電極層及該汲極電極層的其中一者直接接觸於該第一閘極電極的該一部分。

11.根據申請專利範圍第 10 項之半導體裝置，還包括電容元件，其中，該電容元件包括：該源極電極層及該汲極電極層的其中一者；該閘極絕緣層；以及設置在該閘極絕緣層之上的電極。

12.根據申請專利範圍第 10 項之半導體裝置，其中，該氧化物半導體膜至少在該下端角部之上包含其 c 軸實質上平行於該絕緣層之表面的法線向量之結晶。

13.根據申請專利範圍第 10 項之半導體裝置，其中，該第一通道形成區包含矽。

14.根據申請專利範圍第 10 項之半導體裝置，其中，該源極電極層及該汲極電極層不與該第二閘極電極層重疊。

15.根據申請專利範圍第 10 項之半導體裝置，其中，該溝槽被該第二閘極電極層所填充。

16.根據申請專利範圍第 1、5 及 10 項中任一項之半導體裝置，其中，該曲面狀的下端角部中的該絕緣層的表面具有 0.1nm 以上且低於 0.5nm 的平均面粗糙度。

17.根據申請專利範圍第 1、5 及 10 項中任一項之半導體裝置，其中，接觸於該氧化物半導體膜的該絕緣層的表面具有 0.1nm 以上且低於 0.5nm 的平均面粗糙度。

八、圖式

圖 1A

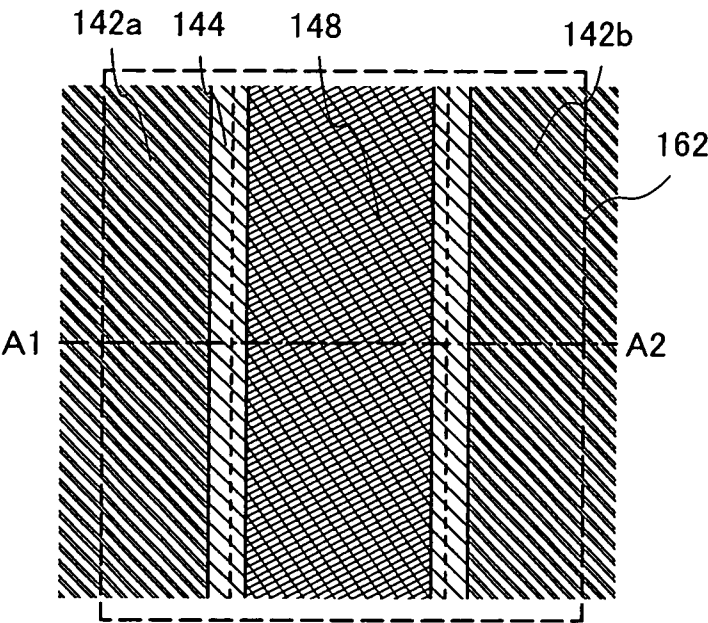


圖 1B

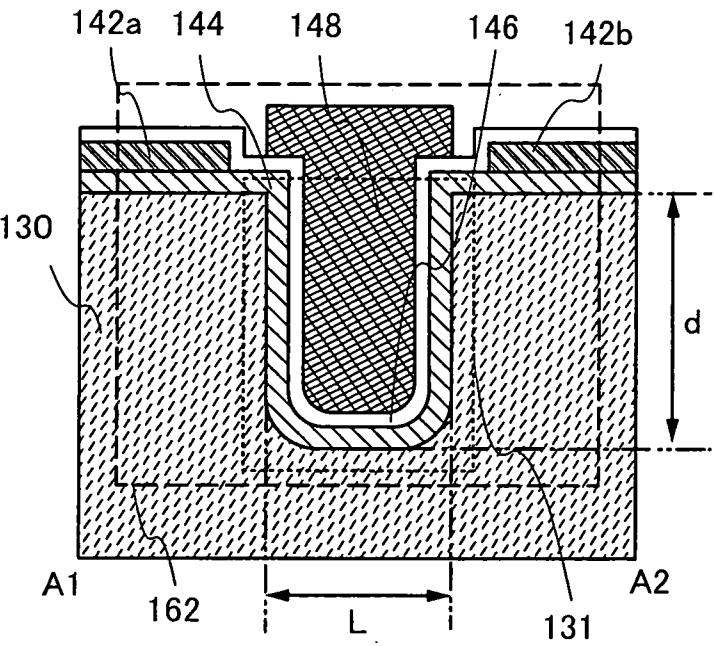


圖 2A

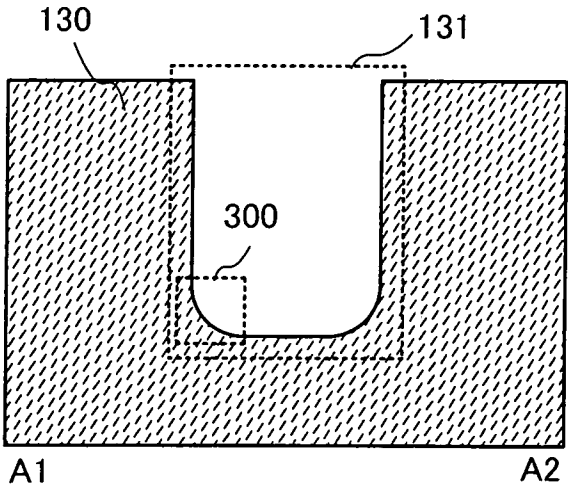


圖 2B

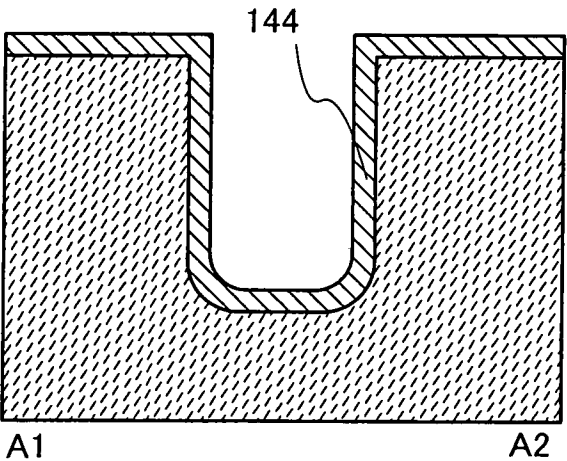


圖 2C

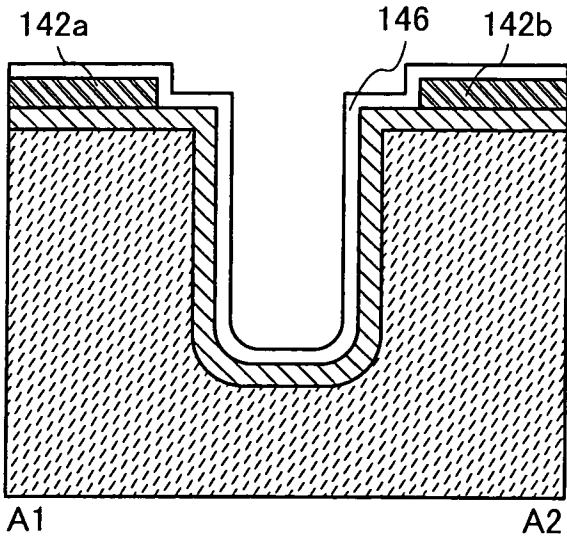


圖 2D

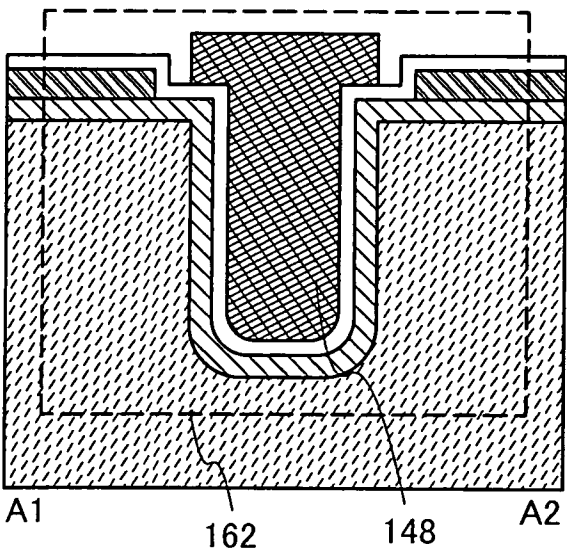


圖 3A

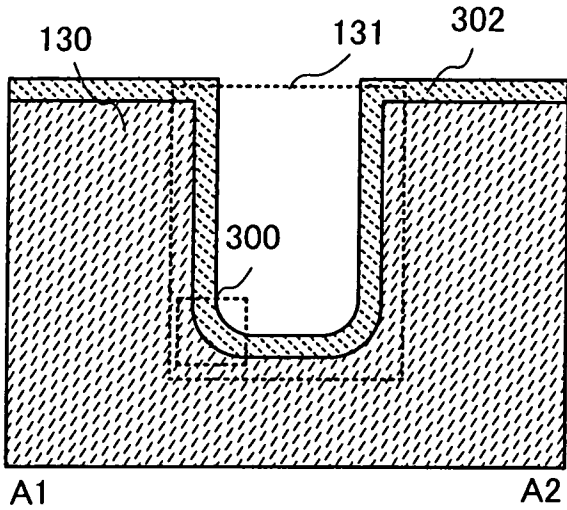


圖 3B

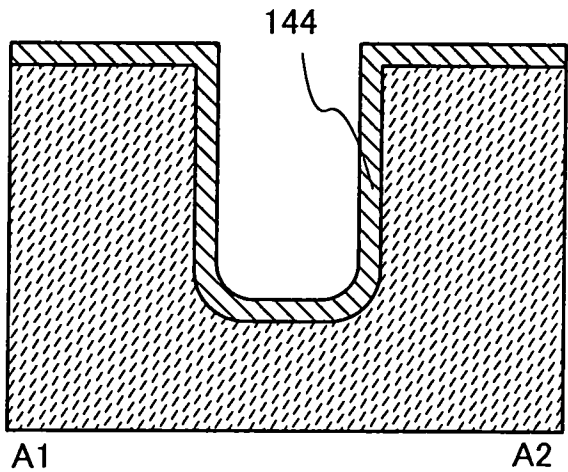


圖 3C

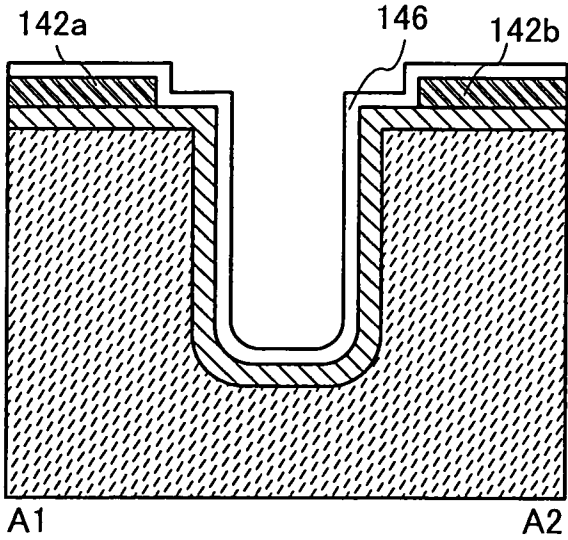


圖 3D

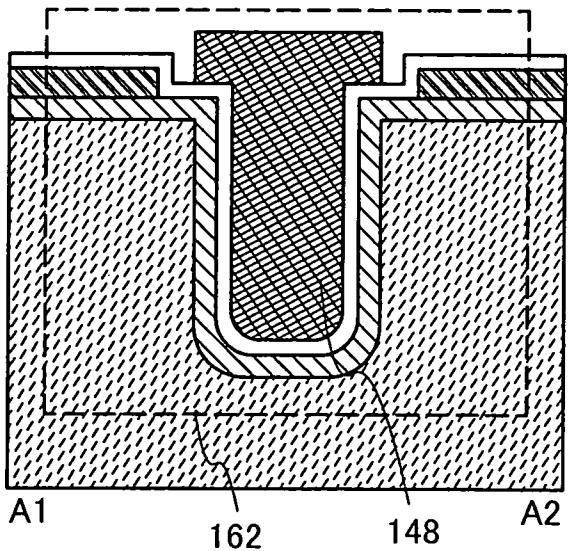


圖 4A

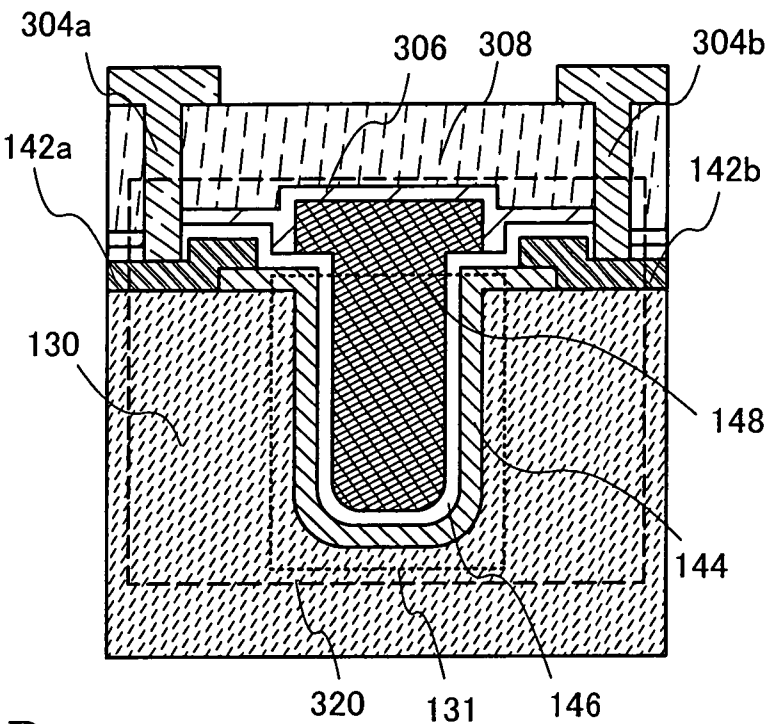
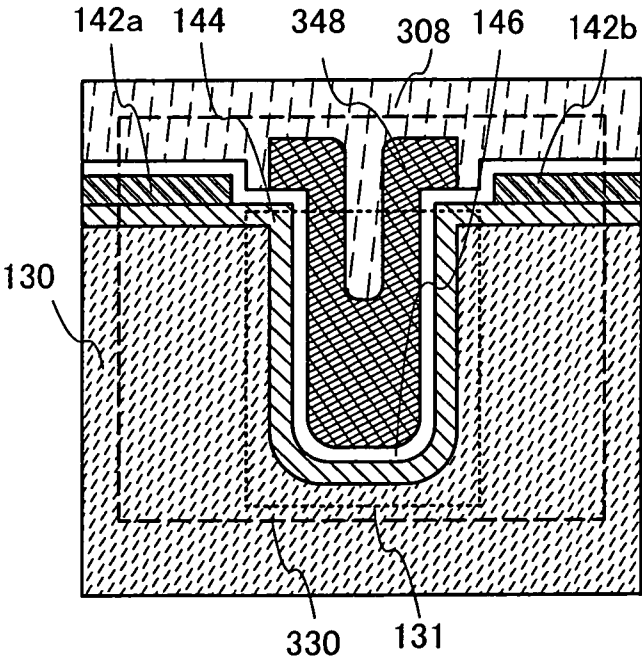


圖 4B



[illegible][illegible]

圖 6A

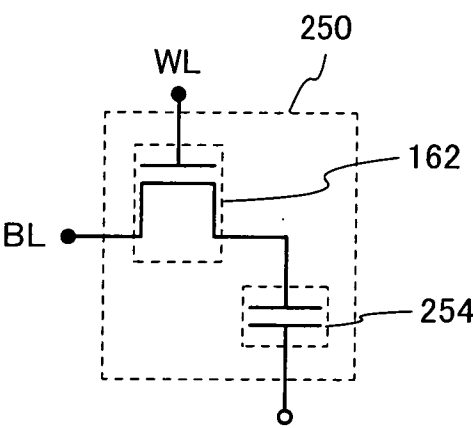
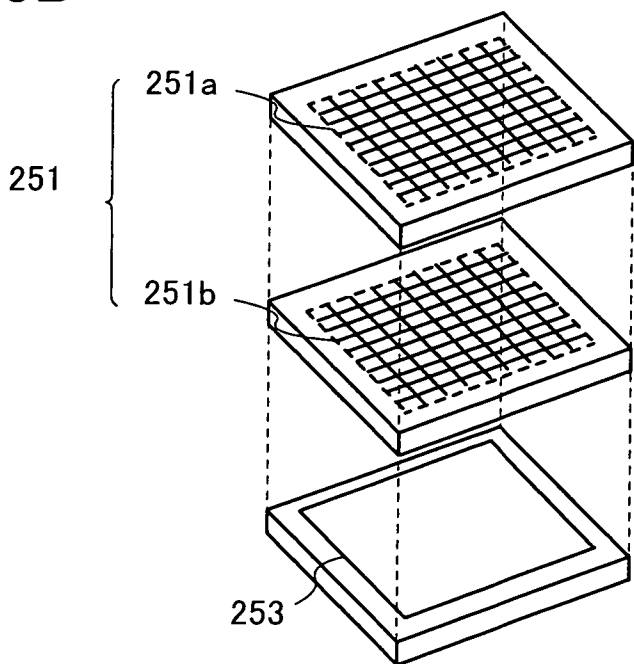


圖 6B



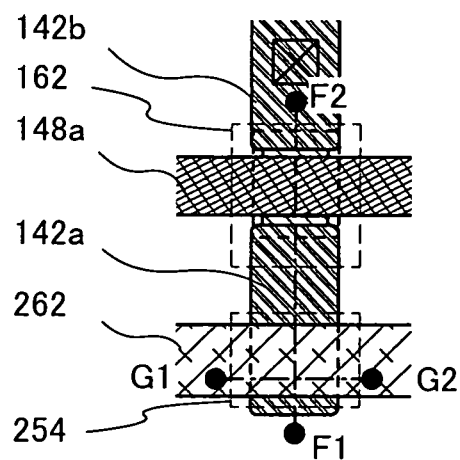
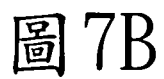


圖 8A

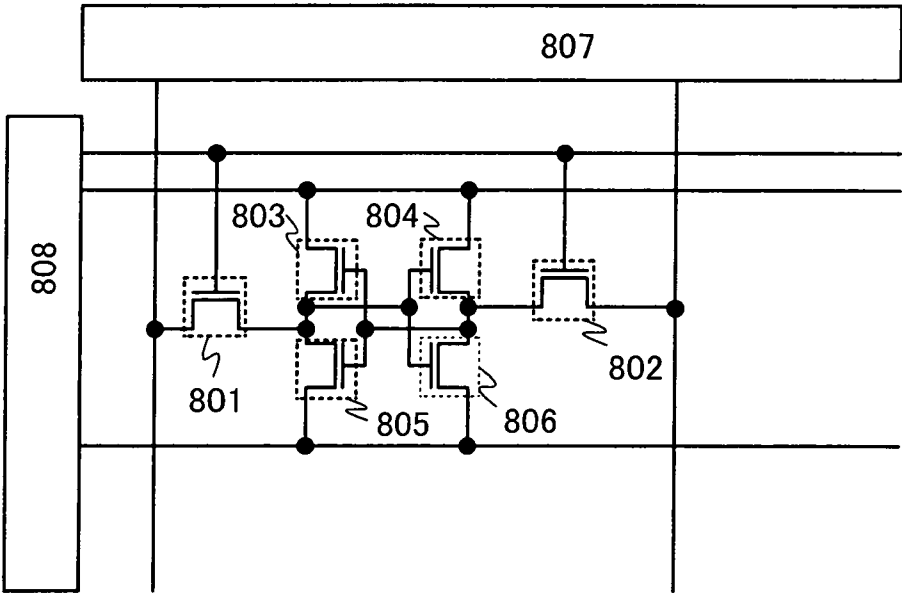


圖 8B

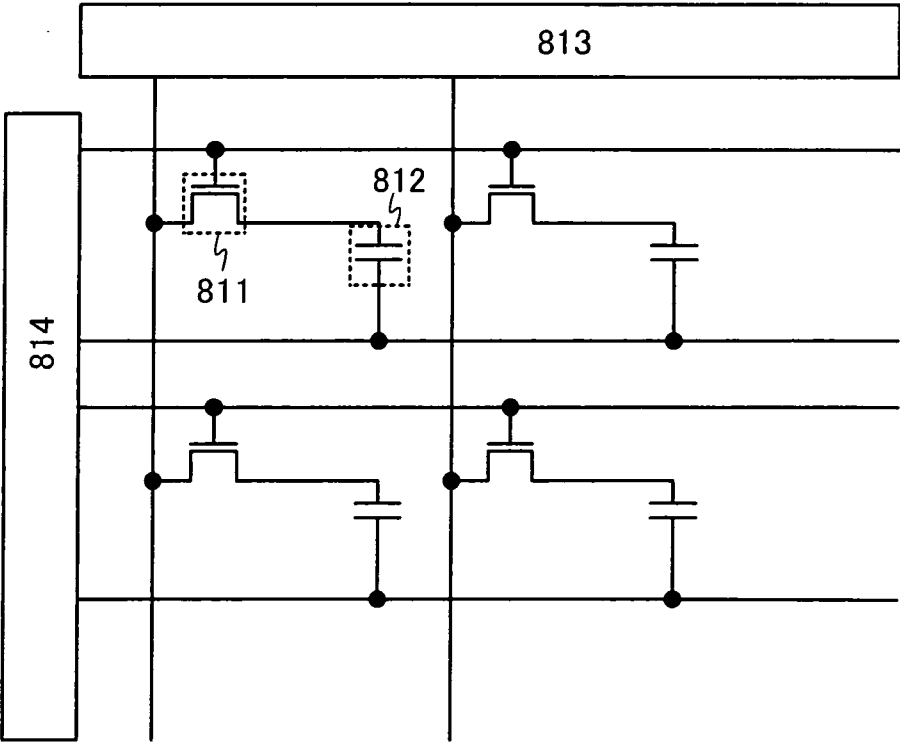


圖9

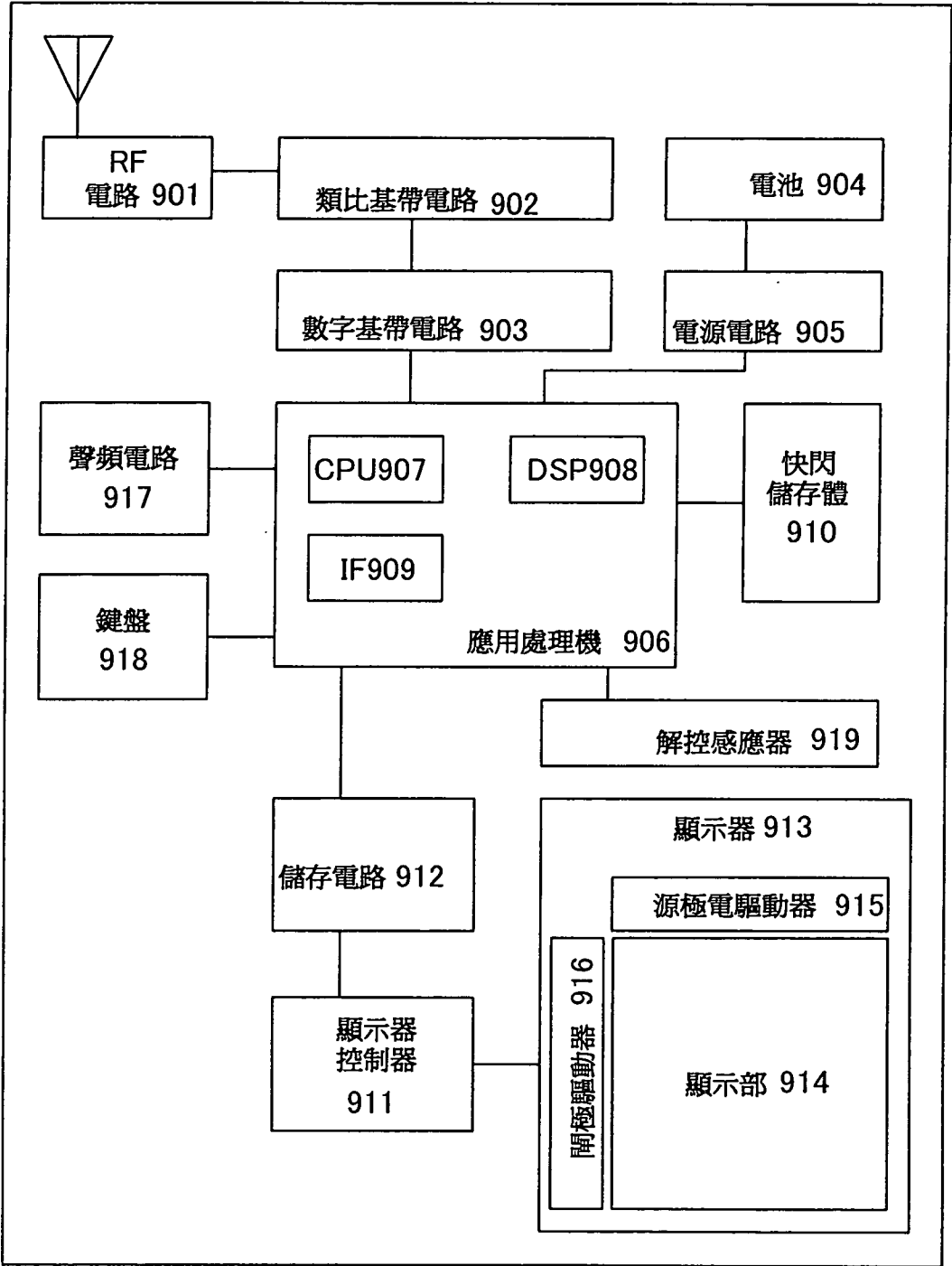


圖 10

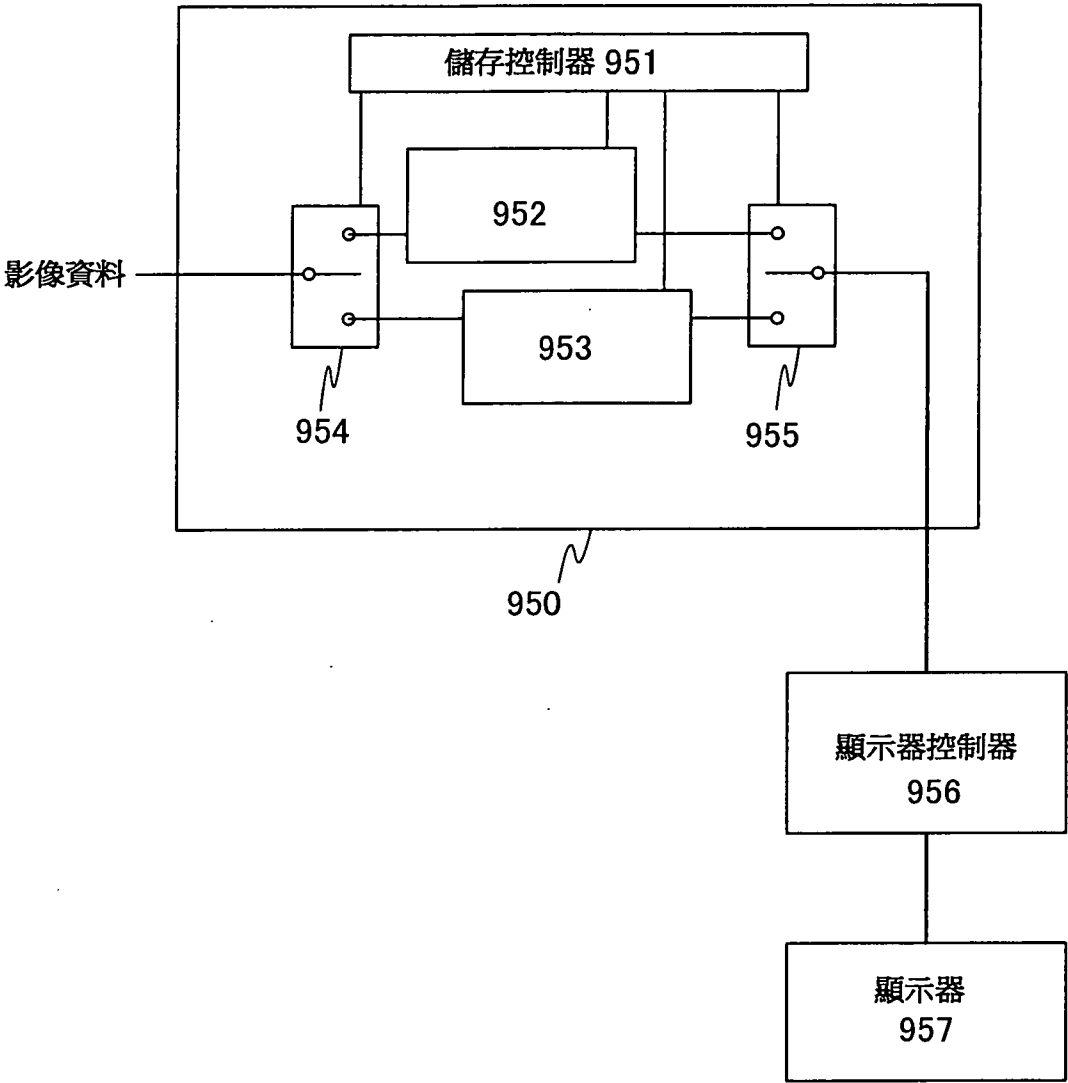


圖 11

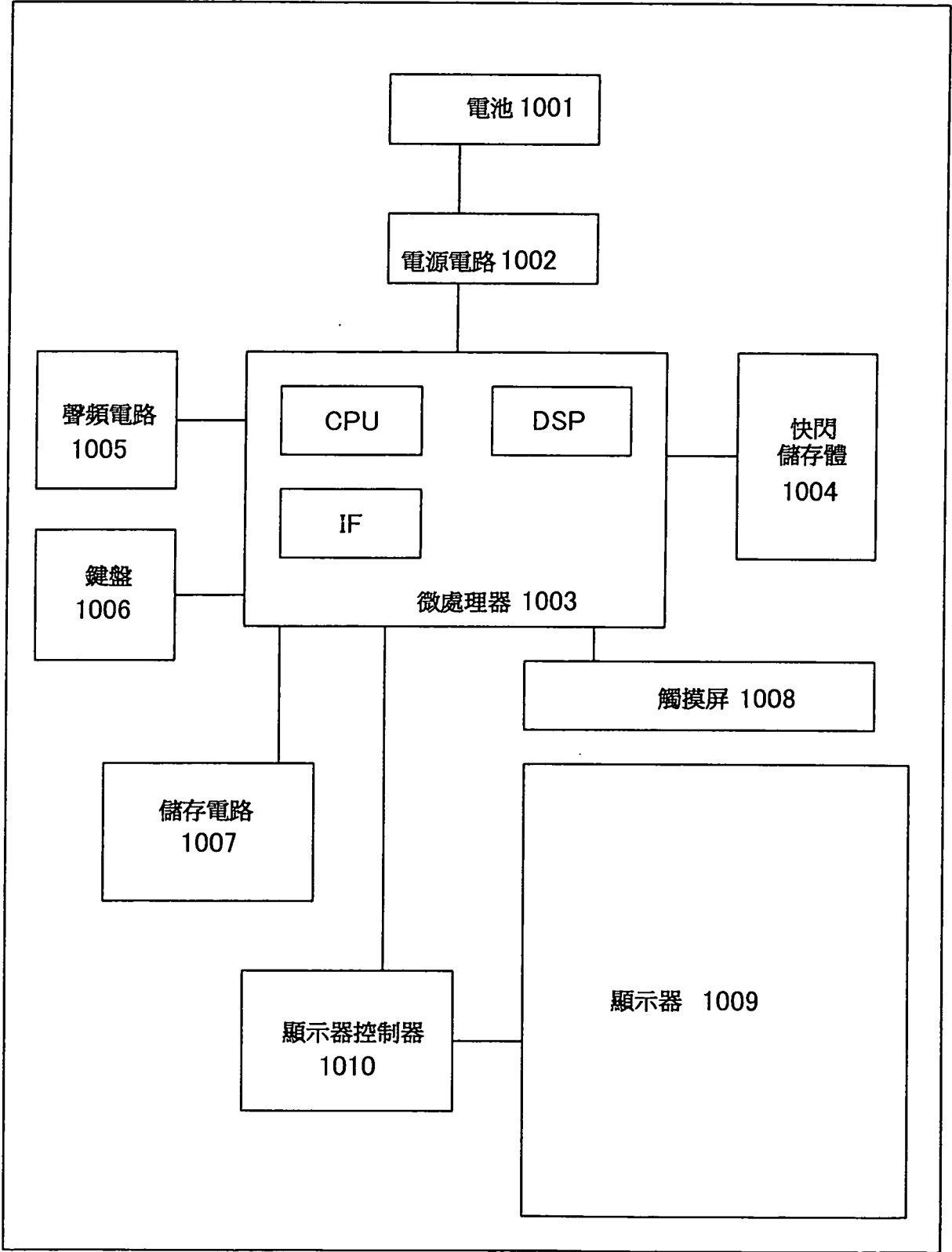


圖 12A

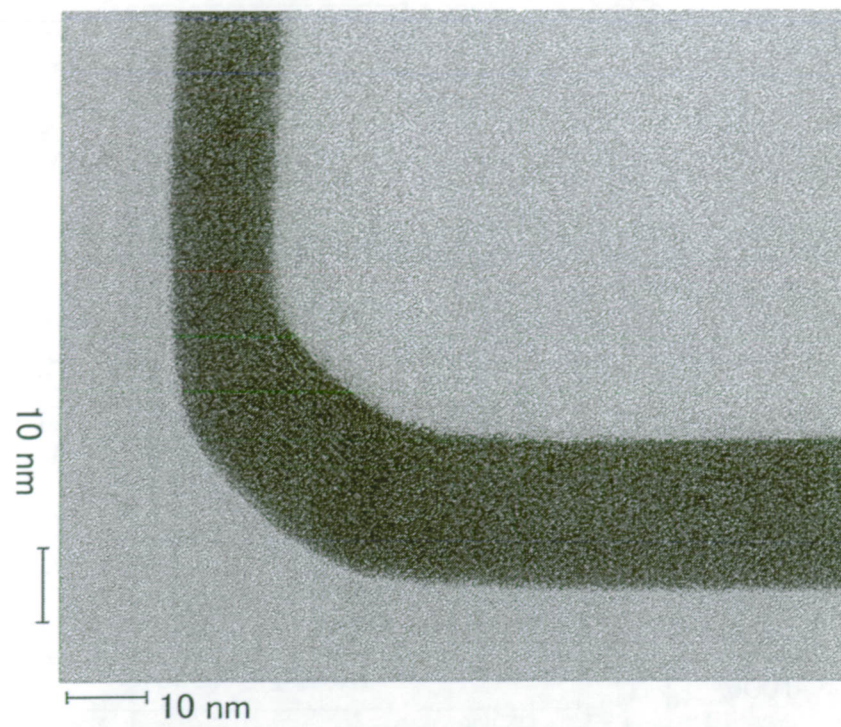


圖 12B

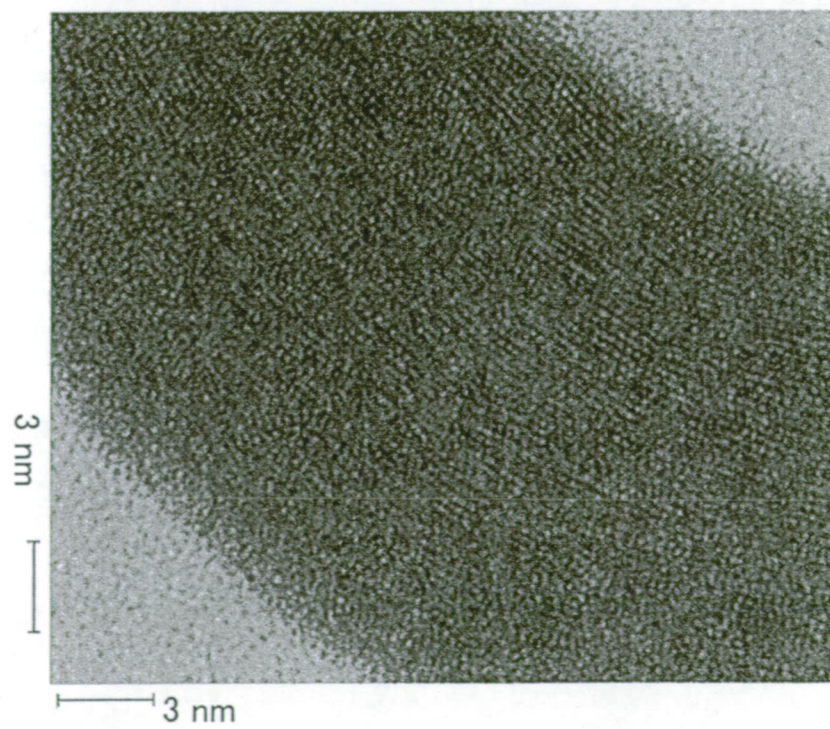


圖 13A

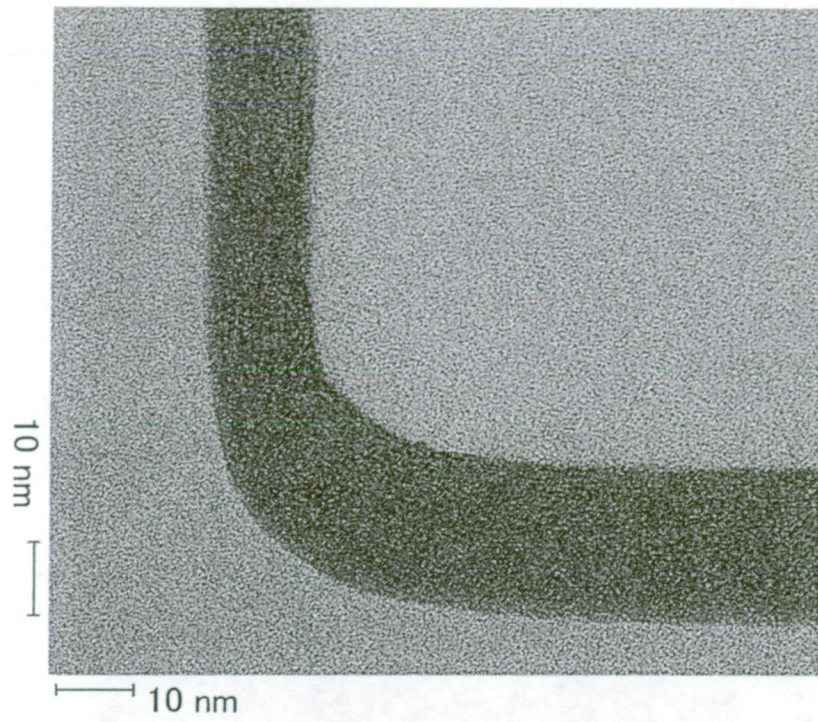


圖 13B

