(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 2 月 23 日(23.02.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/029774 A1

(51) 国際特許分類:
H03K 19/0175 (2006.01) *H03K 17/691* (2006.01)
H03K 5/125 (2006.01) *H04B 5/02* (2006.01)

(21) 国際出願番号: PCT/JP2016/003242

(22) 国際出願日: 2016 年 7 月 8 日(08.07.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-161359 2015 年 8 月 18 日(18.08.2015) JP

(71) 出願人: パナソニックＩＰマネジメント株式会社 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5406207 大阪府大阪市中央区城見２丁目１番６１号 Osaka (JP).

(72) 発明者: 熊原　稔(KUMAHARA, Minoru). ヴィゼリチャード(VISEE, Richard). ファン　デル　フォルン　ガート(VAN DER HORN, Gerrit). ファン　ローイ　ロニー(VAN ROOIJ, Ronny). サキヤン　デスフリ　プーヤン(SAKIAN DEZFULI, Pooyan).

(74) 代理人: 鎌田　健司, 外(KAMATA, Kenji et al.); 〒5406207 大阪府大阪市中央区城見２丁目１番６１号パナソニックＩＰマネジメント株式会社内 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

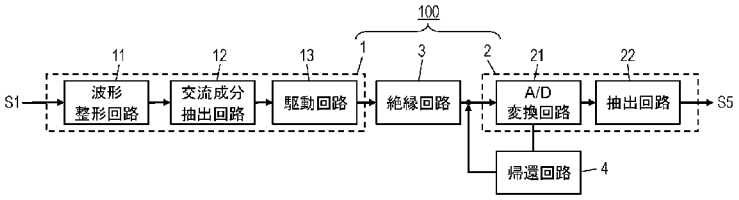
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SIGNAL TRANSMISSION CIRCUIT

(54) 発明の名称 : 信号伝送回路

[図1]



3... ISOLATING CIRCUIT
4... FEEDBACK CIRCUIT
11... WAVEFORM SHAPING CIRCUIT
12... ALTERNATING-CURRENT COMPONENT EXTRACTION CIRCUIT
13... DRIVING CIRCUIT
21... A/D CONVERSION CIRCUIT
22... EXTRACTION CIRCUIT

(57) **Abstract**: This signal transmission circuit is provided with: a primary element into which a differential signal generated from a transmission signal and having an alternating-current component is input; a secondary element that is magnetically or capacitively coupled with the primary element and outputs an alternating-current signal including the alternating-current component of the differential signal; a secondary circuit that is electrically connected to the secondary element, that has a pair of transmission lines through which the alternating-current signal flows, and that extracts the transmission signal from the alternating-current signal; and a feedback circuit that performs intermediate voltage feedback so as to cause the intermediate voltage of the voltages in the pair of transmission lines to converge to a reference voltage. With this signal transmission circuit, malfunction of the secondary circuit is less liable to occur even when noise is applied.

(57) 要約:

[続葉有]

WO 2017/029774 A1

信号伝送回路は、伝送信号から生成されて交流成分を有する差動信号が入力される一次素子と、一次素子と磁気結合または容量結合して差動信号の交流成分を含む交流信号を出力する二次素子と、二次素子と電気的に接続されてかつ交流信号が流れる一対の伝送線路を有して交流信号から伝送信号を抽出する二次回路と、一対の伝送線路間の電圧の中間電圧を基準電圧に収束させるように中間電圧を帰還する帰還回路とを備える。この信号伝送回路は、ノイズが印加されても、二次回路の誤動作を引き起こし難い。

明　細　書

発明の名称 ： 信号伝送回路

技術分野

[0001] 本発明は、一般に信号伝送回路、より詳細には、一次回路と二次回路とが磁気結合または容量結合した信号伝送回路に関する。

背景技術

[0002] 磁気結合を用いて一次回路から二次回路に信号を伝送する無線通信システム（信号伝送回路）が知られており、たとえば特許文献１に開示されている。この無線通信システムは、送信機と、受信機とを備えている。

[0003] 送信機は、送信データが入力される送信回路（一次回路）と、送信アンテナとしての送信コイルとを備えている。送信回路は、送信データに対応した電流を送信コイルに流すことで、送信コイルに送信データに対応した磁界変化を発生させる。

[0004] 受信機は、受信アンテナとしての受信コイルと、受信回路（二次回路）とを備えている。受信コイルは、送信コイルと誘導結合され、送信コイルで発生する磁界変化を検出する。受信回路は、受信コイルの一端および他端に発生する誘導起電力に基づいて、受信データを生成する。

先行技術文献

特許文献

[0005] 特許文献1：特開２００７－３６４９７号公報

発明の概要

[0006] 信号伝送回路は、伝送信号から生成されて交流成分を有する差動信号が入力される一次素子と、一次素子と磁気結合または容量結合して差動信号の交流成分を含む交流信号を出力する二次素子と、二次素子と電気的に接続されてかつ交流信号が流れる一対の伝送線路を有して交流信号から伝送信号を抽出する二次回路と、一対の伝送線路の電圧の間の電圧の中間電圧を基準電圧に収束させるように中間電圧を帰還する帰還回路とを備える。

[0007] この信号伝送回路は、ノイズが印加されても、二次回路の誤動作を引き起こし難い。

図面の簡単な説明

[0008] [図1]図１は実施形態に係る信号伝送回路の概略ブロック図である。

[図2]図２は実施形態に係る信号伝送回路の概略回路図である。

[図3]図３は実施形態に係る信号伝送回路の一次回路の概略回路図である。

[図4]図４は実施形態に係る信号伝送回路の一次回路の信号を示す図である。

[図5]図５は実施形態に係る信号伝送回路の二次回路の信号を示す図である。

[図6A]図６Ａは実施形態に係る信号伝送回路の帰還回路の概略ブロック図である。

[図6B]図６Ｂは実施形態に係る信号伝送回路の差動増幅回路と制御回路の概略回路図である。

[図7]図７は比較例の信号伝送回路の二次回路の概略回路図である。

[図8]図８は比較例の信号伝送回路の動作のシミュレーションの結果を示す波形図である。

[図9]図９は実施形態に係る信号伝送回路の動作のシミュレーションの結果を示す波形図である。

[図10]図１０は実施形態に係る信号伝送回路の帰還回路の周波数特性を示す図である。

[図11]図１１は実施形態に係る信号伝送回路の他の一次回路および他の絶縁回路の概略回路図である。

発明を実施するための形態

[0009] 図１と図２はそれぞれ実施形態に係る信号伝送回路１００の概略ブロック図と概略回路図である。信号伝送回路１００は、一次素子である一次コイルＬ１および二次素子である二次コイルＬ２からなるトランスを有する絶縁回路３と、二次回路２と、帰還回路４とを備えている。一次コイルＬ１には、伝送信号Ｓ１から生成される差動信号Ｓ２１、Ｓ２２が入力される。

[0010] 二次コイルＬ２は、一次コイルＬ１と磁気結合し、差動信号Ｓ２１、Ｓ２

２の交流成分を含む交流信号Ｓ３１、Ｓ３２を出力する。二次回路２は、二次コイルＬ２と電気的に接続され、交流信号Ｓ３１、Ｓ３２が流れる一対の伝送線路２４、２５を有している。また、二次回路２は、交流信号Ｓ３１、Ｓ３２から伝送信号Ｓ１を抽出し、出力信号Ｓ５として出力する。

[0011] 帰還回路４は、一対の伝送線路２４、２５の電圧の間の中間電圧ＶＣ１を基準電圧ＶＲ１に収束させるように中間電圧ＶＣ１を帰還する。

[0012] 以下、本実施形態の信号伝送回路１００について詳細に説明する。ただし、以下に説明する構成は、本発明の一例に過ぎず、本発明は下記の実施形態に限定されることはなく、この実施形態以外であっても、本発明に係る技術的思想を逸脱しない範囲であれば、設計等に応じて種々の変更が可能である。

[0013] 一次回路１は、一次コイルＬ１（一次素子）と電気的に接続され、伝送信号Ｓ１から差動信号Ｓ２１、Ｓ２２を生成する。伝送信号Ｓ１はデータを電気的に示す信号である。本実施形態ではデータはシリアルデータである。一次回路１は、波形整形回路１１と、交流成分抽出回路１２と、駆動回路１３とを備えている。

[0014] 波形整形回路１１は、たとえばシュミットトリガ回路で構成されている。波形整形回路１１は、伝送信号Ｓ１の立ち上がりエッジおよび立ち下がりエッジを急峻に整形することで、伝送信号Ｓ１の高調波成分を増幅する。なお、波形整形回路１１をシュミットトリガ回路に限定する趣旨ではなく、波形整形回路１１は他の構成であってもよい。

[0015] 交流成分抽出回路１２は、信号変換回路１４と、微分回路１５とを備えている。信号変換回路１４は差動アンプで構成されている。図３は一次回路１の概略回路図である。図４は一次回路１の動作波形図である。図５は二次回路２動作波形図である。図４と図５において、縦軸は信号の値を示し、横軸は時間を示す。信号変換回路１４は、図３に示すように、波形整形回路１１から出力されるシングルエンドの信号Ｓ１１を２つの差動信号Ｓ１２、Ｓ１３に変換して出力する。差動信号Ｓ１３は、図４に示すように、信号Ｓ１１

から僅かに位相が遅れている。また、差動信号Ｓ１２は、図４に示すように、差動信号Ｓ１３の位相を反転した信号である。

[0016] 微分回路１５は、図３に示すように、信号変換回路１４から出力される差動信号Ｓ１２、Ｓ１３を微分することで、差動信号Ｓ１２、Ｓ１３の交流成分を抽出した差動信号Ｓ１４、Ｓ１５を出力する。微分回路１５は、２つのＮＯＴ素子１５１、１５２と、２つの微分器１５３、１５４と、２つのスイッチング素子１５５、１５６とを備えている。ＮＯＴ素子１５１、１５２は、それぞれ差動信号Ｓ１２、Ｓ１３の位相を反転した信号を出力する。微分器１５３、１５４は、それぞれＮＯＴ素子１５１、１５２から出力される信号を微分して出力する。微分器１５３、１５４は、たとえば抵抗およびキャパシタを有するＲＣ回路で構成される。

[0017] スイッチング素子１５５、１５６は、それぞれ微分器１５３、１５４に並列に電気的に接続される。スイッチング素子１５５、１５６は、それぞれ差動信号Ｓ１２、Ｓ１３によりオン／オフが切り替えられる。実施形態では、スイッチング素子１５５は差動信号Ｓ１２がハイレベルのときにオンに切り替わり、ローレベルのときにオフに切り替わる。スイッチング素子１５６は、差動信号Ｓ１３がハイレベルのときにオンに切り替わり、ローレベルのときにオフに切り替わる。

[0018] したがって、ＮＯＴ素子１５１、１５２から出力される信号は、それぞれ差動信号Ｓ１２、Ｓ１３がハイレベルのときは微分器１５３、１５４を通過せず、ローレベルのときに微分器１５３、１５４を通過する。このため、差動信号Ｓ１４は、図４に示すように、信号Ｓ１１の立ち上がりエッジを微分した信号となる。また、差動信号Ｓ１５は、図４に示すように、信号Ｓ１１の立ち下がりエッジを微分した信号となる。なお、差動信号Ｓ１４は、電源電位点Ｖｄｄに一定電流を流す定電流源ＩＳ３により、オフセットが与えられている。また、差動信号Ｓ１５は、回路グランドＧＮＤに一定電流を流す定電流源ＩＳ４により、オフセットが与えられている。

[0019] 駆動回路１３は、図３に示すように、微分回路１５から出力される差動信

号Ｓ１２～Ｓ１５に基づいて、絶縁回路３の一次コイルＬ１を駆動するための電流信号である差動信号Ｓ２１、Ｓ２２を生成して出力する。駆動回路１３は、４つのスイッチング素子Ｑ１～Ｑ４で構成されている。スイッチング素子Ｑ１、Ｑ２は、ｎｐｎ型のバイポーラトランジスタである。スイッチング素子Ｑ３、Ｑ４は、エンハンスメント型のｎチャネルＭＯＳＦＥＴ（Ｍｅｔａｌ－Ｏｘｉｄｅ－Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｆｉｅｌｄ－Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）である。

[0020] スイッチング素子Ｑ１、Ｑ２のコレクタは電源電位点Ｖｄｄに電気的に接続されている。スイッチング素子Ｑ１のベースには差動信号Ｓ１４が入力される（図３の点ａ）。また、スイッチング素子Ｑ２のベースには差動信号Ｓ１５が入力される（図３の点ｂ）。スイッチング素子Ｑ３、Ｑ４のソースは回路グランドＧＮＤに電気的に接続されている。スイッチング素子Ｑ３のゲートには差動信号Ｓ１２が入力される（図３の点ｃ）。また、スイッチング素子Ｑ４のゲートには差動信号Ｓ１３が入力される（図３の点ｄ）。スイッチング素子Ｑ１のエミッタおよびスイッチング素子Ｑ３のドレインが接続されている接続点Ｎ１２は、一次コイルＬ１の端Ｌ１１に電気的に接続されている。また、スイッチング素子Ｑ２のエミッタおよびスイッチング素子Ｑ４のドレインが接続されている接続点Ｎ１３は一次コイルＬ１の端Ｌ１２に電気的に接続されている。

[0021] 図４は一次回路１の信号を示す。駆動回路１３により、電流である差動信号Ｓ２１が一次コイルＬ１の端Ｌ１１に入力される。また、駆動回路１３により、電流である差動信号Ｓ２２が一次コイルＬ１の端Ｌ１２に入力される。差動信号Ｓ２２は、差動信号Ｓ２１の位相を反転した信号である。したがって、一次コイルＬ１には、図４に示す交流電圧Ｖ１が印加される。

[0022] 言い換えれば、駆動回路１３は、微分された差動信号Ｓ２１、Ｓ２２のうち伝送信号Ｓ１の立ち上がりに対応する信号である差動信号Ｓ２１を一次コイルＬ１の端Ｌ１１に出力する。また、駆動回路１３は、微分された差動信号Ｓ２１、Ｓ２２のうち伝送信号Ｓ１の立ち下がりに対応する信号である差

動信号Ｓ２２を一次コイルＬ１の端Ｌ１２に出力する。

[0023] ところで、単にデータに応じた矩形波を一次コイルＬ１および二次コイルＬ２よりなるトランスに入力する場合でも、一次コイルＬ１に入力される信号の交流成分が二次コイルＬ２に伝わる。しかしながら、トランスは直流成分に対してはインピーダンスが低いため、単にデータに応じた矩形波をトランスに入力した場合、一次コイルＬ１および一次回路１に電流が流れ続け、消費電力が増大するおそれがある。

[0024] 本実施形態の信号伝送回路１００では、一次回路１の微分回路１５により、一次コイルＬ１に入力される信号の直流成分を除いている。したがって、本実施形態の信号伝送回路１００では、一次コイルＬ１および一次回路１に電流が流れ続けることがなく、消費電力の低減を図ることができる。なお、一次回路１は微分回路１５を備えていなくてもよい。

[0025] 二次回路２は、図１、図２に示すように、Ａ／Ｄ変換回路２１と、抽出回路２２とを備えている。また、二次回路２は、交流信号Ｓ３１、Ｓ３２がそれぞれ流れる一対の伝送線路２４、２５を有している。

[0026] Ａ／Ｄ変換回路２１は、二次コイルＬ２から出力されるアナログ信号である交流信号Ｓ３１、Ｓ３２をディジタルのパルス信号Ｓ４１、Ｓ４２に変換して出力する。Ａ／Ｄ変換回路２１は、コンパレータ２１１、２１２と分圧回路２３とを備えている。

[0027] コンパレータ２１１、２１２は、一対の伝送線路２４、２５にそれぞれ電気的に接続されている。コンパレータ２１１、２１２は、一対の伝送線路２４、２５から入力される交流信号Ｓ３１、Ｓ３２を比較する。

[0028] コンパレータ２１１の反転入力端子２１１ａには、交流信号Ｓ３１が入力される。コンパレータ２１１の非反転入力端子２１１ｂには、オフセット電圧Ｖｏｆｆ１を交流信号Ｓ３２に重畳して得られる信号Ｓ３２ａが入力される。オフセット電圧Ｖｏｆｆ１（図５参照）は抵抗Ｒ３および定電流源ＩＳ１により生成される。抵抗Ｒ３は、コンパレータ２１１の非反転入力端子２１１ｂと伝送線路２５との間に電気的に接続される。定電流源ＩＳ１は、抵

抗Ｒ３の一端とコンパレータ２１１の非反転入力端子２１１ｂとが接続された接続点Ｐ１０１と電源電位点Ｖｄｄとの間に電気的に接続される。

[0029] コンパレータ２１１は、信号Ｓ３２ａが交流信号Ｓ３１よりも大きいときにハイレベルとなり、信号Ｓ３２ａが交流信号Ｓ３１以下であるときにローレベルとなるパルス信号Ｓ４１を出力する。パルス信号Ｓ４１は、伝送信号Ｓ１が立ち下がるタイミングとほぼ同じタイミングで発生するパルスよりなる。つまり、コンパレータ２１１は、伝送信号Ｓ１の立ち下がりに対応する信号（パルス信号Ｓ４１）を出力する。

[0030] コンパレータ２１２の反転入力端子２１２ａには交流信号Ｓ３２が入力される。コンパレータ２１２の非反転入力端子２１２ｂには、オフセット電圧Ｖｏｆｆ２を交流信号Ｓ３１に重畳して得られた信号Ｓ３１ａが入力される。オフセット電圧Ｖｏｆｆ２は、抵抗Ｒ４および定電流源ＩＳ２により生成される。抵抗Ｒ４は、コンパレータ２１２の非反転入力端子２１２ｂと伝送線路２４との間に電気的に接続される。定電流源ＩＳ２は、抵抗Ｒ４の一端とコンパレータ２１２の非反転入力端子２１２ｂとが接続された接続点Ｐ１０２と電源電位点Ｖｄｄとの間に電気的に接続される。

[0031] コンパレータ２１２は、信号Ｓ３１ａが交流信号Ｓ３２よりも大きいときにハイレベルとなり、信号Ｓ３１ａが交流信号Ｓ３２以下であるときにローレベルとなるパルス信号Ｓ４２を出力する。パルス信号Ｓ４２は、伝送信号Ｓ１が立ち上がるタイミングとほぼ同じタイミングで発生するパルスよりなる。つまり、コンパレータ２１２は、伝送信号Ｓ１の立ち上がりに対応する信号（パルス信号Ｓ４２）を出力する。

[0032] 上述のように、本実施形態の信号伝送回路１００では、コンパレータ２１１およびコンパレータ２１２の非反転入力端子２１１ｂ、２１２ｂにオフセット電圧Ｖｏｆｆ１、Ｖｏｆｆ２をそれぞれ与えている。このため、本実施形態の信号伝送回路１００では、コンパレータ２１１およびコンパレータ２１２でのチャタリングを防止することができる。

[0033] なお、本実施形態の信号伝送回路１００は、オフセット電圧Ｖｏｆｆ１、

Ｖｏｆｆ２を任意に調整することのできるトリミング回路を備えていることが好ましい。この構成では、部品のばらつきなどによりコンパレータ２１１およびコンパレータ２１２の感度が変動した場合に、トリミング回路により感度を調整することができる。トリミング回路は、たとえば定電流源ＩＳ１、ＩＳ２の流す電流の電流値を調整することで、オフセット電圧Ｖｏｆｆ１、Ｖｏｆｆ２を任意に調整する。もちろん、トリミング回路を備えるか否か、さらにはコンパレータ２１１およびコンパレータ２１２にオフセット電圧Ｖｏｆｆ１、Ｖｏｆｆ２を与える構成を備えるか否かは任意である。

[0034] 分圧回路２３は、一対の伝送線路２４、２５間の電圧を分圧するように構成されている。分圧回路２３は、互いに直列に接続された抵抗Ｒ１、Ｒ２よりなる直列回路で構成されている。抵抗Ｒ１の第１端は伝送線路２４に電気的に接続されている。抵抗Ｒ２の第１端は、伝送線路２５に電気的に接続されている。そして、抵抗Ｒ１の第２端と抵抗Ｒ２の第２端とが接続されている接続点Ｐ１０３には、一対の伝送線路２４、２５の電圧の間の中間電圧ＶＣ１が発生する。言い換えれば、中間電圧ＶＣ１は、分圧回路２３により分圧された電圧である。

[0035] ここで、中間電圧ＶＣ１は、一対の伝送線路２４、２５間の電圧を分圧した電圧であればよく、抵抗Ｒ１、Ｒ２の抵抗値は等しくなくてもよい。なお、抵抗Ｒ１、Ｒ２の抵抗値を同じとすることにより、回路設計を簡素にできる。また、分圧回路２３は、２つの抵抗Ｒ１、Ｒ２の直列回路のみならず、互いに直列に接続された３つ以上の抵抗よりなる直列回路で構成されていてもよい。また、分圧回路２３は、抵抗の代わりに、互いに直列に接続された複数のキャパシタよりなる直列回路で構成されていてもよい。なお、本実施形態の信号伝送回路１００が分圧回路２３を備えるか否かは任意である。

[0036] 抽出回路２２は、たとえばＲＳフリップフロップ回路で構成されている。抽出回路２２は、パルス信号Ｓ４１、Ｓ４２に基づいて伝送信号Ｓ１を抽出し、出力信号Ｓ５として出力する。言い換えれば、抽出回路２２は、コンパレータ（コンパレータ２１１およびコンパレータ２１２）の比較結果に基づ

いて伝送信号Ｓ１を抽出する。

[0037] ここで、「伝送信号Ｓ１を抽出する」とは、一次回路１から二次回路２に伝送されるデータを取り出すことのできる形で伝送信号Ｓ１を抽出することを意味する。つまり、抽出回路２２で抽出される伝送信号Ｓ１は、一次回路１に入力される伝送信号Ｓ１と同一の信号情報を有していればよく、伝送信号Ｓ１の振幅などの波形の形状は同一でなくてもよく、一次回路１に入力される伝送信号Ｓ１から遅延していてもよい。

[0038] 具体的には、抽出回路２２のリセット端子２２ｂにパルス信号Ｓ４１が入力され、セット端子２２ａにパルス信号Ｓ４２が入力される。抽出回路２２は、セット端子２２ａにパルス信号Ｓ４２のパルスが入力されるとハイレベルになり、リセット端子２２ｂにパルス信号Ｓ４１のパルスが入力されるとローレベルとなる出力信号Ｓ５を出力する。既に述べたように、パルス信号Ｓ４１のパルスが発生するタイミングは、伝送信号Ｓ１が立ち下がるタイミングとほぼ同じである。また、パルス信号Ｓ４２のパルスが発生するタイミングは、伝送信号Ｓ１が立ち上がるタイミングとほぼ同じである。したがって、出力信号Ｓ５は、伝送信号Ｓ１の立ち上がりと立ち下がりとそれぞれほぼ同じタイミングで交互にローレベルとなりハイレベルとなる信号となる。つまり、抽出回路２２は、伝送信号Ｓ１を抽出し、出力信号Ｓ５として出力する。

[0039] 図６Ａは帰還回路４の概略ブロック図である。帰還回路４は、図６Ａに示すように、差動増幅回路４１と、制御回路４２とを備えている。制御回路４２は、バッファ４２１と、バッファ４２２とを備えている。また、制御回路４２は、一対の端子Ｔ１１、Ｔ１２を有している。図２に示すように、一対の端子Ｔ１１、Ｔ１２は、それぞれノード２６、２７に電気的に接続されている。ここで、ノード２６、２７は、図２に示すように、一対の伝送線路２４、２５にそれぞれ設けられている。なお、端子Ｔ１１、Ｔ１２は、たとえば基板上に配線として形成された導体の一部であってもよい。

[0040] 図６Ｂは差動増幅回路４１と制御回路４２の概略回路図である。差動増幅

回路４１は、図６Ｂに示すように、８つのスイッチング素子Ｑ５～Ｑ１２と、定電流源ＩＳ５とを備えている。スイッチング素子Ｑ５、Ｑ６、Ｑ９、Ｑ１２は、エンハンスメント型のｎチャネルＭＯＳＦＥＴである。スイッチング素子Ｑ７、Ｑ８、Ｑ１０、Ｑ１１は、エンハンスメント型のｐチャネルＭＯＳＦＥＴである。スイッチング素子Ｑ５のゲートには基準電圧ＶＲ１が入力される。ここで、基準電圧ＶＲ１は、たとえばＢＧＲ（Ｂａｎｄ　Ｇａｐ　Ｒｅｆｅｒｅｎｃｅ）回路で生成される電圧である。スイッチング素子Ｑ６のゲートには中間電圧ＶＣ１が入力される。スイッチング素子Ｑ５、Ｑ６のソースは定電流源ＩＳ５に電気的に接続されている。定電流源ＩＳ５は回路グランドＧＮＤに一定電流を流す。

[0041] スイッチング素子Ｑ５のドレインは、スイッチング素子Ｑ７のドレインおよびゲートに電気的に接続されている。スイッチング素子Ｑ７のゲートは、スイッチング素子Ｑ８のゲートに電気的に接続されている。スイッチング素子Ｑ８のドレインは、スイッチング素子Ｑ９のドレインおよびゲートに電気的に接続されている。スイッチング素子Ｑ７、Ｑ８のソースは、電源電位点Ｖｄｄに電気的に接続されている。スイッチング素子Ｑ９のソースは、回路グランドＧＮＤに電気的に接続されている。つまり、スイッチング素子Ｑ５、Ｑ７～Ｑ９は、カレントミラー回路を構成している。

[0042] スイッチング素子Ｑ６のドレインは、スイッチング素子Ｑ１０のドレインおよびゲートに電気的に接続されている。スイッチング素子Ｑ１０のゲートは、スイッチング素子Ｑ１１のゲートに電気的に接続されている。スイッチング素子Ｑ１１のドレインは、スイッチング素子Ｑ１２のドレインに電気的に接続されている。スイッチング素子Ｑ１２のゲートは、スイッチング素子Ｑ９のゲートに電気的に接続されている。スイッチング素子Ｑ１０、Ｑ１１のソースは、電源電位点Ｖｄｄに電気的に接続されている。スイッチング素子Ｑ１２のソースは、回路グランドＧＮＤに電気的に接続されている。つまり、スイッチング素子Ｑ６、Ｑ１０～Ｑ１２は、カレントミラー回路を構成している。

[0043] 差動増幅回路４１は、中間電圧ＶＣ１と基準電圧ＶＲ１との差分に応じて増減する電流信号を、バッファ４２１およびバッファ４２２に出力する。つまり、差動増幅回路４１は、中間電圧ＶＣ１が基準電圧ＶＲ１を上回ると、出力する電流信号を大きくする。また、差動増幅回路４１は、中間電圧ＶＣ１が基準電圧ＶＲ１を下回ると、出力する電流信号を小さくする。

[0044] バッファ４２１は、図６Ｂに示す３つのスイッチング素子Ｑ１３～Ｑ１５と、キャパシタＣ１と、定電流源ＩＳ６とで構成されるカレントミラー回路である。スイッチング素子Ｑ１３、Ｑ１５は、エンハンスメント型のｎチャネルＭＯＳＦＥＴである。また、スイッチング素子Ｑ１４は、エンハンスメント型のｐチャネルＭＯＳＦＥＴである。定電流源ＩＳ６は、電源電位点Ｖｄｄからスイッチング素子Ｑ１３のドレインへと一定電流を流す。スイッチング素子Ｑ１３のドレインおよびゲートは、電気的に接続されている。スイッチング素子Ｑ１３のゲートは、スイッチング素子Ｑ１５のゲートに電気的に接続されている。スイッチング素子Ｑ１５のドレインは、スイッチング素子Ｑ１４のドレインに電気的に接続されている。スイッチング素子Ｑ１４のゲートードレイン間には、キャパシタＣ１が電気的に接続されている。スイッチング素子Ｑ１４のソースは、電源電位点Ｖｄｄに電気的に接続されている。スイッチング素子Ｑ１３、Ｑ１５のソースは、回路グランドＧＮＤに電気的に接続されている。

[0045] バッファ４２２は、図６Ｂに示す３つのスイッチング素子Ｑ１３、Ｑ１６、Ｑ１７と、キャパシタＣ２と、定電流源ＩＳ６とで構成されるカレントミラー回路である。スイッチング素子Ｑ１６は、エンハンスメント型のｐチャネルＭＯＳＦＥＴである。また、スイッチング素子Ｑ１７は、エンハンスメント型のｎチャネルＭＯＳＦＥＴである。つまり、バッファ４２１およびバッファ４２２は、スイッチング素子Ｑ１３と、定電流源ＩＳ６とを共用している。スイッチング素子Ｑ１７のゲートは、スイッチング素子Ｑ１３のゲートに電気的に接続されている。スイッチング素子Ｑ１７のドレインは、スイッチング素子Ｑ１６のドレインに電気的に接続されている。スイッチング素

子Ｑ１６のゲートードレイン間には、キャパシタＣ２が電気的に接続されている。スイッチング素子Ｑ１６のソースは、電源電位点ＶｄｄＩに電気的に接続されている。スイッチング素子Ｑ１７のソースは、回路グランドＧＮＤに電気的に接続されている。

[0046] 制御回路４２は、差動増幅回路４１から出力される信号に応じて、ノード２６、２７を流れる電流を制御する。つまり、中間電圧ＶＣ１が基準電圧ＶＲ１を上回ると、スイッチング素子Ｑ１４、Ｑ１６のドレイン電流が定電流源ＩＳ６の流す電流よりも大きくなるため、制御回路４２は、端子Ｔ１１、Ｔ１２からノード２６、２７へと電流を流すように動作する。また、中間電圧ＶＣ１が基準電圧ＶＲ１を下回ると、スイッチング素子Ｑ１４、Ｑ１６のドレイン電流が定電流源ＩＳ６の流す電流よりも小さくなるため、制御回路４２は、ノード２６、２７から端子Ｔ１１、Ｔ１２へと電流を引き込むように動作する。

[0047] このように、帰還回路４は、一対の伝送線路２４、２５にそれぞれ設けられたノード２６、２７に電気的に接続されている。そして、帰還回路４は、中間電圧ＶＣ１と基準電圧ＶＲ１との差分に応じて、ノード２６、２７を流れる電流を制御することで、中間電圧ＶＣ１を帰還する。

[0048] ここで、ノード２６、２７は、二次回路２の入力端Ｔ１、Ｔ２にそれぞれ直接的に接続されるのが好ましい。また、ノード２６、２７は、交流信号Ｓ３１、Ｓ３２を発生する二次コイルＬ２の両端にそれぞれ直接的に接続されるのが好ましい。つまり、ノード２６、２７は、ノード２６、２７と入力端Ｔ１、Ｔ２（または二次コイルＬ２の両端）との間に配線インピーダンスが介在しないように、入力端Ｔ１、Ｔ２（または二次コイルＬ２の両端）に接続されるのが好ましい。この構成では、一対の伝送線路２４、２５の配線インピーダンスの影響を極力避けるようにして、帰還回路４により中間電圧ＶＣ１を帰還させることができる。

[0049] 以下、本実施形態の信号伝送回路１００の動作について簡単に説明する。一次回路１は、伝送信号Ｓ１から差動信号Ｓ２１、Ｓ２２を生成し、一次コ

イルＬ１に出力する。差動信号Ｓ２１、Ｓ２２が一次コイルＬ１に入力されることで、一次コイルＬ１に交流電流が流れる。二次コイルＬ２には、一次コイルＬ１に交流電流が流れることで、差動信号Ｓ２１、Ｓ２２の交流成分を含む交流信号Ｓ３１、Ｓ３２が発生する。

[0050] 二次回路２において、コンパレータ２１１は、交流信号Ｓ３１、Ｓ３２を比較して、伝送信号Ｓ１の立ち下がりに対応するパルス信号Ｓ４１を出力する。また、コンパレータ２１２は、交流信号Ｓ３１、Ｓ３２を比較して、伝送信号Ｓ１の立ち上がりに対応するパルス信号Ｓ４２を出力する。そして、抽出回路２２は、パルス信号Ｓ４１、Ｓ４２に基づいて伝送信号Ｓ１を抽出し、出力信号Ｓ５として出力する。

[0051] つまり、本実施形態の信号伝送回路１００では、一次回路１は、入力された伝送信号Ｓ１から差動信号Ｓ２１、Ｓ２２を生成し、絶縁回路３を介して二次回路２に伝送する。そして、二次回路２は、一次回路１から伝送された信号から伝送信号Ｓ１を抽出することで、伝送信号Ｓ１に相当する出力信号Ｓ５を出力する。

[0052] ところで、一次コイルＬ１（一次素子）と二次コイルＬ２（二次素子）との間には、図２に示すように、寄生容量Ｃｐ１、Ｃｐ２が存在する。たとえば雷サージなどにより、ノイズ特にコモンモードノイズが一次回路１に印加されると、寄生容量Ｃｐ１、Ｃｐ２を介してノイズが二次回路２に伝わることがある。

[0053] 図７は、比較例の信号伝送回路の二次回路２００の概略回路図である。図７において図２に示す二次回路２と同じ部分には同じ参照番号を付す。図７に示すように、比較例の信号伝送回路（二次回路２００）は、帰還回路４を備えていないことを除いて、本実施形態の信号伝送回路１００（二次回路２）と同じ構成を有する。以下、比較例の信号伝送回路の一次回路にノイズが印加された場合について説明する。図８は、比較例の信号伝送回路の一次回路にコモンモードノイズを印加したシミュレーションにより得られた信号を示す。図８において、縦軸は信号の値を示し、横軸は時間を示す。

[0054] 図８に示すシミュレーションでは、比較例の信号伝送回路において、コモンモードノイズを模擬した数十ｋＶの正極性の電圧ＣＮ１が、時刻ｔ０から時刻ｔ３まで一次回路に印加されている。時刻ｔ０から時刻ｔ１の間（たとえば１μｓ）においては、中間電圧ＶＣ１が上がることで、相対的に交流信号Ｓ３１、Ｓ３２の電圧レベルが下がる。このため、図８に示す例では、交流信号Ｓ３１、Ｓ３２の電圧レベルが、コンパレータ２１１およびコンパレータ２１２の許容される入力電圧の範囲から外れることで、コンパレータ２１１およびコンパレータ２１２が誤動作する。

[0055] 同様に、時刻ｔ２から時刻ｔ３の間（たとえば１μｓ）においては、中間電圧ＶＣ１が下がることで、相対的に交流信号Ｓ３１、Ｓ３２の電圧レベルが上がる。このため、図８に示す例では、交流信号Ｓ３１、Ｓ３２の電圧レベルが、コンパレータ２１１およびコンパレータ２１２の許容される入力電圧の範囲から外れることで、コンパレータ２１１およびコンパレータ２１２が誤動作する。

[0056] したがって、比較例の信号伝送回路では、抽出回路２２に入力されるパルス信号Ｓ４１、Ｓ４２に異常が生じるので、抽出回路２２から出力信号Ｓ５が正常に出力されなくなる。つまり、伝送信号Ｓ１の伝送エラーが生じ易い。

[0057] 前述の従来の信号伝送回路でも、たとえば雷サージなどにより一次回路にノイズが印加されると、ノイズが二次回路に伝わり、二次回路の誤動作を引き起こす可能性がある。

[0058] 一方、本実施形態の信号伝送回路１００の一次回路１にノイズが印加された場合について説明する。図９は、本実施形態の信号伝送回路１００の一次回路１にコモンモードノイズを印加したシミュレーションの結果を示す。図９において、縦軸は信号の阿多を示し、横軸は時間を示す。

[0059] 本実施形態の信号伝送回路１００では、図９に示すように、コモンモードノイズを模擬した正極性の電圧ＣＮ１が印加されても、帰還回路４により中間電圧ＶＣ１が基準電圧ＶＲ１に収束するように中間電圧ＶＣ１が帰還され

るので、中間電圧ＶＣ１は殆ど変動しない。なお、負極性の電圧ＣＮ１を印加した場合も、同様の理由で中間電圧ＶＣ１は殆ど変動しない。このため、交流信号Ｓ３１、Ｓ３２は、それらの電圧レベルも殆ど変動しないことから、コンパレータ２１１およびコンパレータ２１２の許容される入力電圧の範囲から外れ難く、コンパレータ２１１およびコンパレータ２１２が誤動作し難い。

[0060] このため、本実施形態の信号伝送回路１００では、抽出回路２２に入力されるパルス信号Ｓ４１、Ｓ４２にも異常が生じ難く、抽出回路２２から出力信号Ｓ５が正常に出力され易い。つまり、伝送信号Ｓ１の伝送エラーが生じ難い。

[0061] 上述のように、本実施形態の信号伝送回路１００では、一次回路１にノイズが印加され、ノイズが二次回路２に伝わっても、帰還回路４により中間電圧ＶＣ１が基準電圧ＶＲ１に収束する。このため、本実施形態の信号伝送回路１００では、二次回路２の入力電圧（とくに、コンパレータ２１１およびコンパレータ２１２への入力電圧）の変動を抑制することができる。したがって、本実施形態の信号伝送回路１００は、一次回路１にノイズが印加されても、二次回路２の誤動作を引き起こし難い。

[0062] ところで、一次回路１へのノイズの印加による二次回路２の誤動作の可能性を低減する方法としては、たとえば絶縁回路３において、一次コイルＬ１および二次コイルＬ２でそれぞれ構成される２個のトランスを設けることが考えられる。しかしながら、この構成では、２個のトランスを必要とすることから、回路の大型化やコストの増大化を招いてしまう。

[0063] これに対して、本実施形態の信号伝送回路１００では、２個のトランスを設けずとも、帰還回路４を設けるだけで二次回路２の誤動作を引き起こし難くすることができるので、回路の大型化やコストの増大化を抑制することができる。

[0064] ここで、本実施形態の信号伝送回路１００において想定するノイズ（コモンモードノイズ）の周波数は、その発生頻度にもよるが、数百ＭＨｚ以下で

ある。一方、本実施形態の信号伝送回路１００において、二次コイルＬ２（二次素子）から出力される交流信号Ｓ３１、Ｓ３２の周波数は、トランス（一次コイルＬ１および二次コイルＬ２）の特性に合わせ、数百ＭＨｚ以上または数ＧＨｚ程度である。

[0065] ここで、交流信号Ｓ３１、Ｓ３２は差動信号なので、原則、コモンモードノイズなどの同相成分を除去する帰還回路４で除去されることはないと考えられる。しかしながら、例外を考慮して、帰還回路４は、コモンモードノイズのみを除去し、交流信号Ｓ３１、Ｓ３２に影響しないように構成されるのが好ましい。

[0066] そこで、本実施形態の信号伝送回路１００では、帰還回路４は、交流信号Ｓ３１、Ｓ３２の通過を制限するように構成されているのが好ましい。図１０は帰還回路４の周波数特性を示す。たとえば、図１０に示すように、コモンモードノイズの周波数領域を０～ｆ０［Ｈｚ］、交流信号Ｓ３１、Ｓ３２の周波数領域をｆ１～ｆ２［Ｈｚ］と仮定する。このとき、帰還回路４は、遮断周波数ｆｃ１がｆ０とｆ１との間に位置する、すなわちｆ０＜ｆｃ１＜ｆ１の関係を満たすように構成されるのが好ましい。この構成では、遮断周波数ｆｃ１よりも低い周波数のコモンモードノイズに対して帰還回路４が応答し、遮断周波数ｆｃ１よりも高い周波数の交流信号Ｓ３１、Ｓ３２に対しては帰還回路４が応答し難くなる。

[0067] 遮断周波数ｆｃ１は、帰還回路４が有する容量成分および抵抗成分によって決定される。そして、容量成分及び抵抗成分は、たとえば帰還回路４の有するスイッチング素子Ｑ５～Ｑ１７のサイズや、定電流源ＩＳ３の流す電流を調整することで、適宜変更することが可能である。

[0068] ところで、本実施形態の信号伝送回路１００では、絶縁回路３は、互いに磁気結合する一次コイルＬ１（一次素子）と二次コイルＬ２（二次素子）とで構成されている。つまり、本実施形態の信号伝送回路１００では、一次素子および二次素子は互いに磁気結合するが、他の構成であってもよい。

[0069] 図１１は実施形態における信号伝送回路の他の一次回路１ａおよび他の絶

縁回路３ａの概略回路図である。図１１において、図２に示す信号伝送回路１００の一次回路１と絶縁回路３と同じ部分には同じ参照番号を付す。一次回路１ａは、図２に示す一次回路１の駆動回路１３の代わりに、微分回路１５の出力端に接続された入力端をそれぞれ有するバッファ１６、１７を有する。キャパシタＣ１１は互いに対向してキャパシタＣ１１の容量を形成する電極Ｃ１１ａ、Ｃ１１ｂを有する。キャパシタＣ１２は互いに対向してキャパシタＣ１２の容量を形成する電極Ｃ１２ａ、Ｃ１２ｂを有する。キャパシタＣ１１、Ｃ１２の電極Ｃ１１ａ、Ｃ１２ａは一次回路１ａのバッファ１６、１７の出力端にそれぞれ電気的に接続されている。キャパシタＣ１１、Ｃ１２の電極Ｃ１１ｂ、Ｃ１２ｂは二次回路２の入力端Ｔ１、Ｔ２にそれぞれ接続されている。キャパシタＣ１１、Ｃ１２の一次回路１の側の電極Ｃ１１ａ、Ｃ１２ａが一次素子として機能し、キャパシタＣ１１、Ｃ１２の二次回路２の側の電極Ｃ１１ｂ、Ｃ１２ｂが二次素子として機能する。つまり、本実施形態の信号伝送回路１００では、一次素子および二次素子は互いに容量結合されていてもよい。

符号の説明

[0070] １００　信号伝送回路

１　一次回路

１３　駆動回路

１５　微分回路

２　二次回路

２１１　コンパレータ（第１コンパレータ）

２１２　コンパレータ（第２コンパレータ）

２２　抽出回路

２３　分圧回路

２４，２５　一対の伝送線路

２６，２７　ノード

４　帰還回路

Ｓ１　　伝送信号

Ｓ２１，Ｓ２２　　差動信号

Ｌ１　　一次コイル（一次素子）

Ｌ１１　　端（第１端）

Ｌ１２　　端（第２端）

Ｌ２　　二次コイル（二次素子）

Ｓ３１，Ｓ３２　　交流信号

ＶＣ１　　中間電圧

ＶＲ１　　基準電圧

Ｔ１，Ｔ２　　入力端

請求の範囲

[請求項1] 伝送信号から生成されて交流成分を有する差動信号が入力される一次素子と、

前記一次素子と磁気結合または容量結合し、前記差動信号の前記交流成分を含む交流信号を出力する二次素子と、

前記二次素子と電気的に接続され、前記交流信号が流れる一対の伝送線路を有し、前記交流信号から前記伝送信号を抽出する二次回路と、

前記一対の伝送線路の電圧の間の中間電圧を基準電圧に収束させるように前記中間電圧を帰還する帰還回路と、

を備えた信号伝送回路。

[請求項2] 前記二次回路は、前記一対の伝送線路間の電圧を分圧する分圧回路をさらに有し、

前記中間電圧は、前記分圧回路により分圧された電圧である、請求項１に記載の信号伝送回路。

[請求項3] 前記帰還回路は、前記交流信号の通過を制限するように構成されている、請求項１または２に記載の信号伝送回路。

[請求項4] 前記帰還回路は、前記一対の伝送線路のそれぞれに設けられたノードに電気的に接続されており、

前記帰還回路は、前記中間電圧と前記基準電圧との差分に応じて前記ノードを流れる電流を制御することで前記中間電圧を帰還する、請求項１から３のいずれか１項に記載の信号伝送回路。

[請求項5] 前記ノードは、前記二次回路の入力端に直接的に接続されている、請求項４に記載の信号伝送回路。

[請求項6] 前記二次回路は、

前記一対の伝送線路に流れる前記交流信号を比較するコンパレータと、

前記コンパレータの比較結果に基づいて前記伝送信号を抽出す

る抽出回路と、

をさらに有する、請求項１から５のいずれか１項に記載の信号伝送回路。

[請求項7] 前記コンパレータは、

前記一対の伝送線路に電気的に接続されて、前記伝送信号の立ち下がりに対応する信号を出力する第１コンパレータと、

前記伝送信号の立ち上がりに対応する信号を出力する第２コンパレータと、

を有する、請求項６に記載の信号伝送回路。

[請求項8] 前記一次素子と電気的に接続されて、前記伝送信号から前記差動信号を生成する一次回路をさらに備え、

前記一次素子および前記二次素子は、それぞれ互いに磁気結合された一次コイルおよび二次コイルであり、

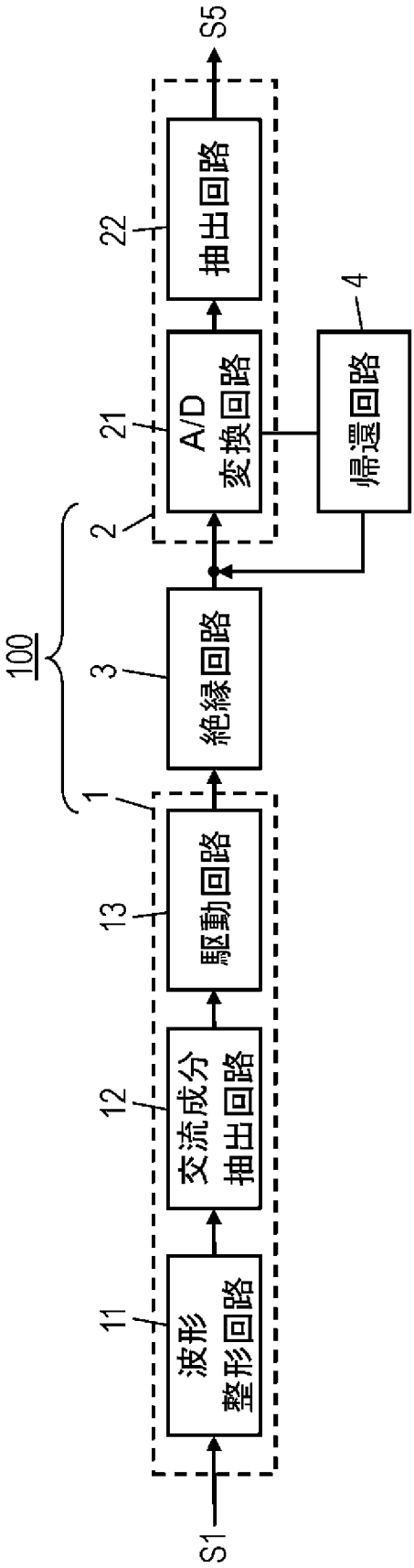
前記一次回路は、

前記差動信号を微分する微分回路と、

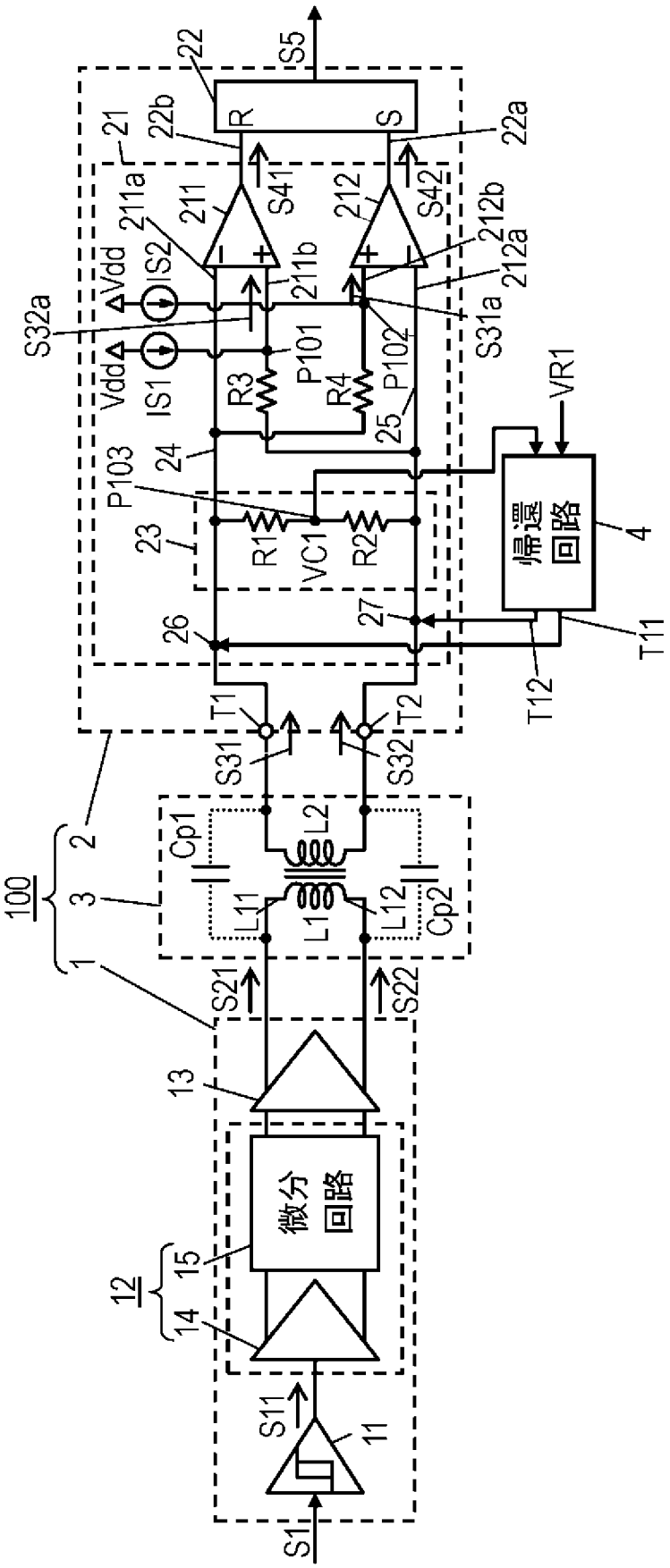
前記微分された差動信号のうち前記伝送信号の立ち上がりに対応する信号を前記一次コイルの第１端に出力し、かつ前記伝送信号の立ち下がりに対応する信号を前記一次コイルの第２端に出力する駆動回路と、

を有する、請求項７に記載の信号伝送回路。

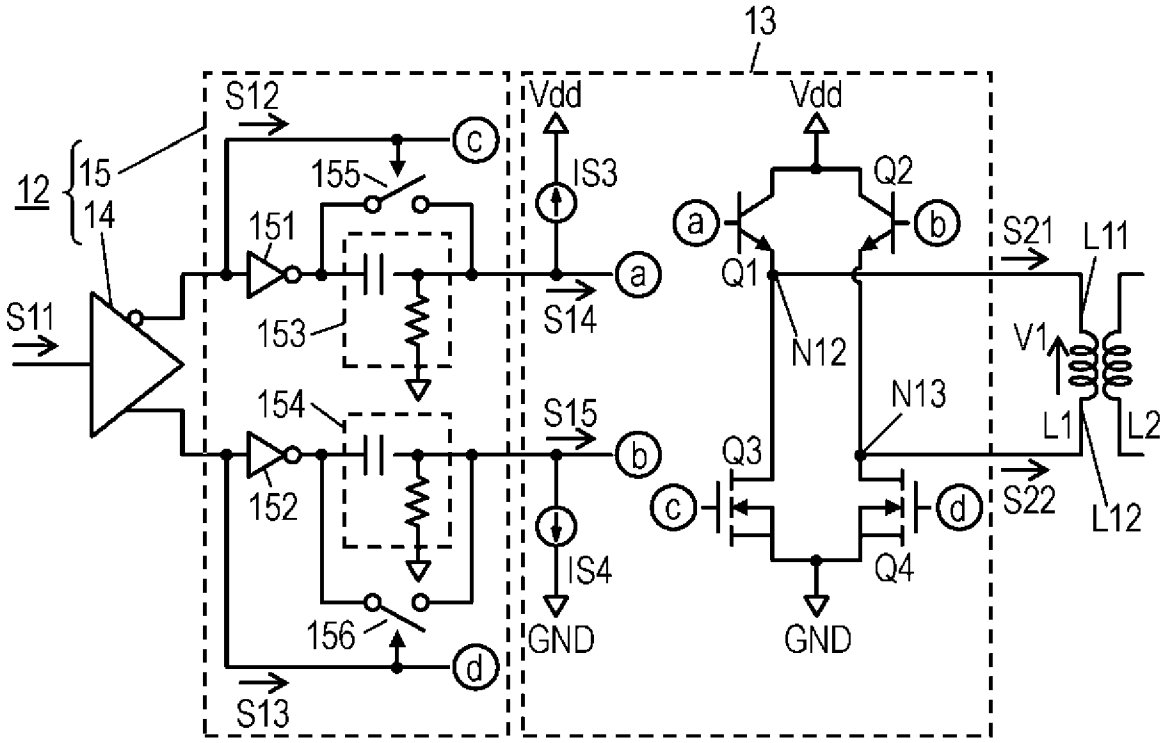
[図1]


S1
波形整形回路
11
交流成分抽出回路
12
駆動回路
13
1
絶縁回路
3
100
2
A/D変換回路
21
抽出回路
22
S5
4
帰還回路

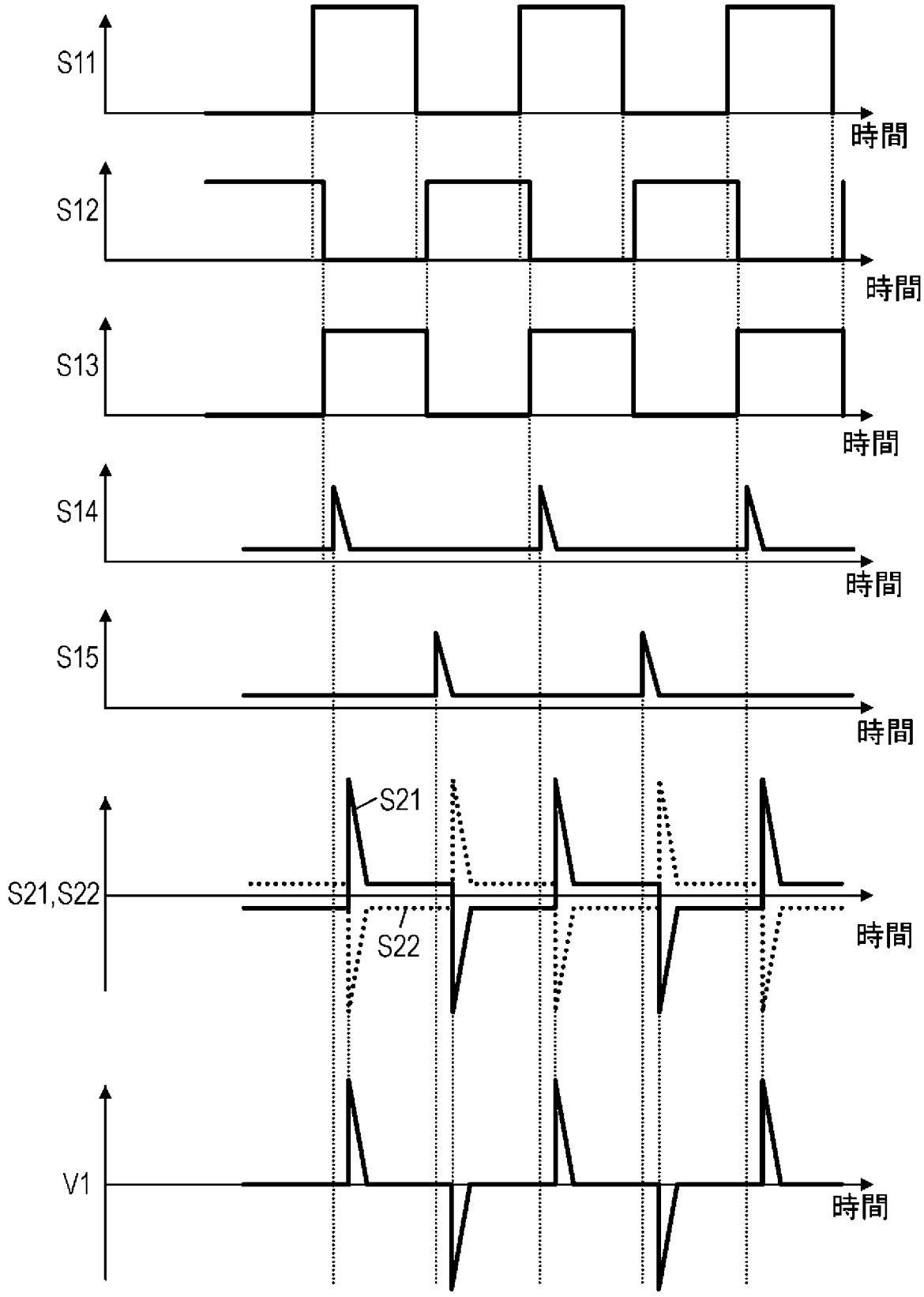
[図2]


S5
22
R
S
22b
22a
21
211a
211
S41
212
S42
212b
212a
Vdd
IS2
211b
S32a
S31a
Vdd
IS1
R3
P101
R4
P102
VR1
25
24
P103
帰還回路
4
23
R1
VC1
R2
27
26
T11
T12
T1
T2
S31
S32
100
2
3
1
Cp1
L2
L11
L1
L12
Cp2
S21
S22
13
微分回路
12
15
14
S11
11
S1

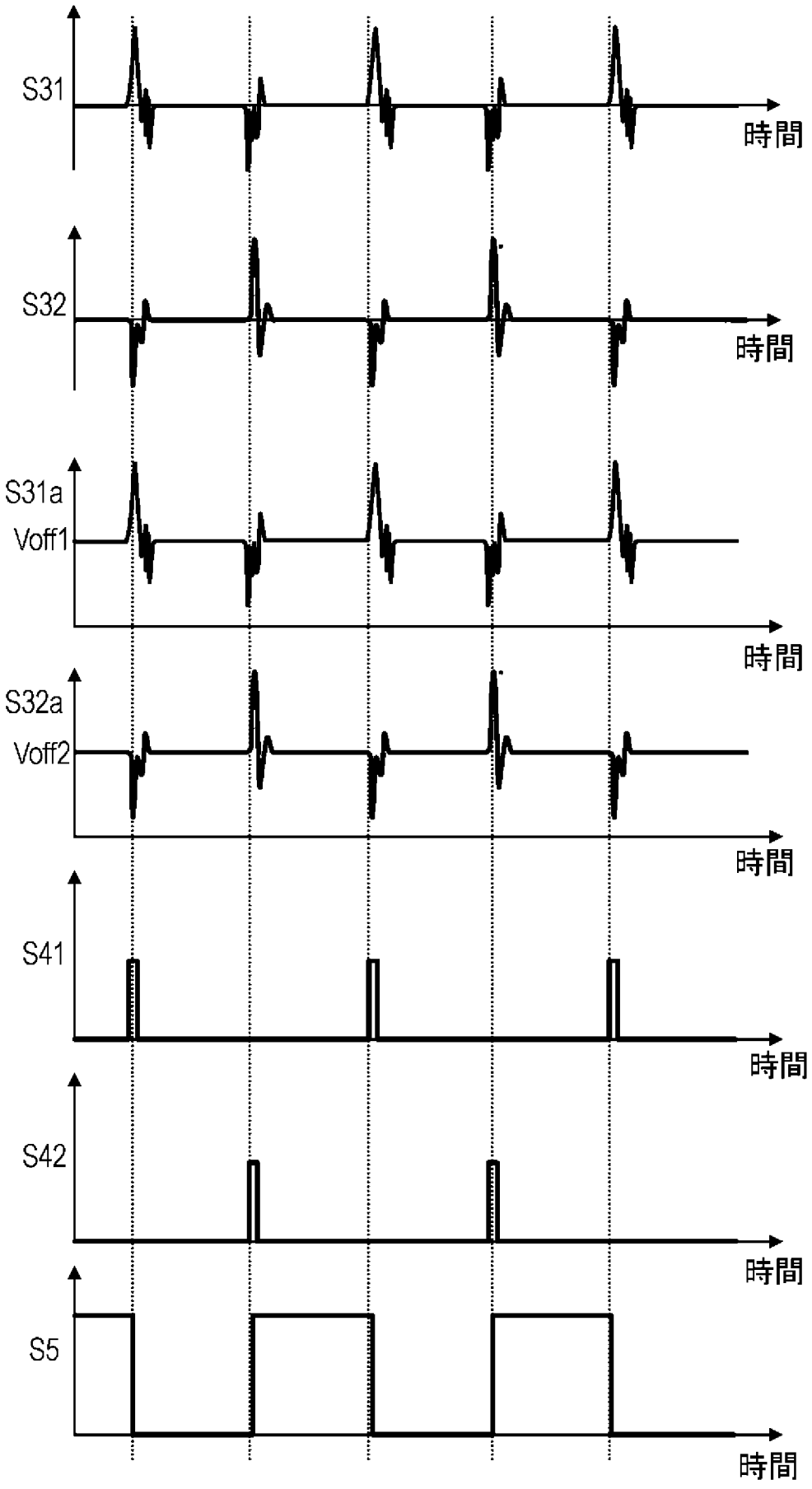
[図3]


13
S12
Vdd
Vdd
12
15
14
155
IS3
Q2
151
a
b
S21
L11
Q1
S11
153
S14
N12
V1
154
S15
N13
L1
L2
Q3
152
b
c
d
S22
L12
IS4
Q4
156
GND
GND
S13

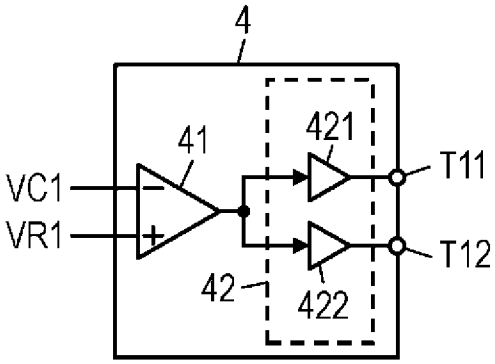
[図4]



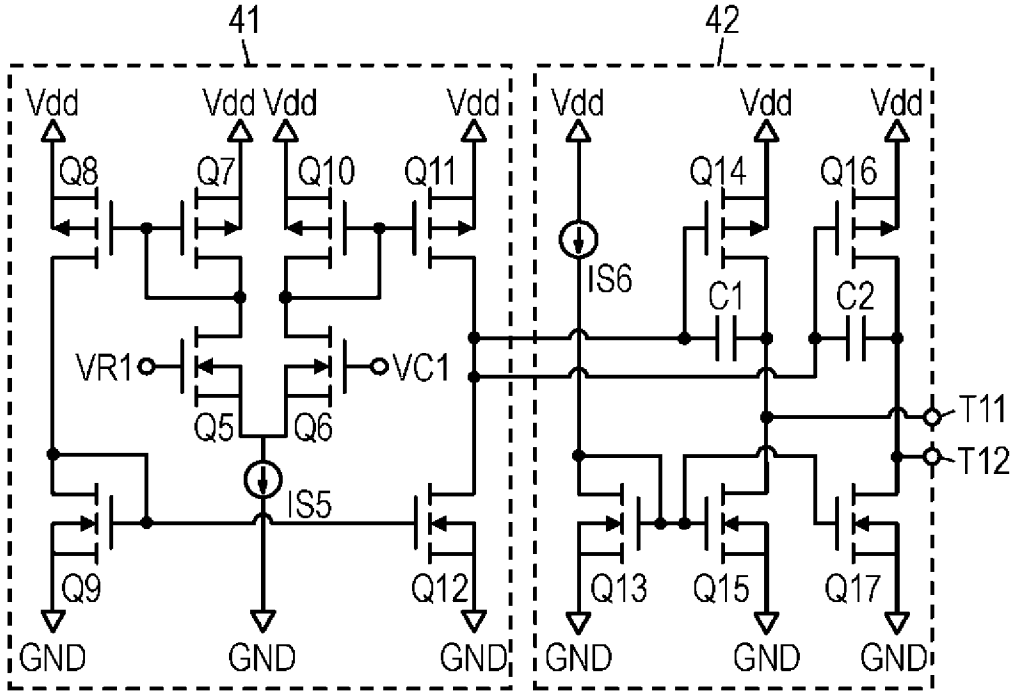
[図5]



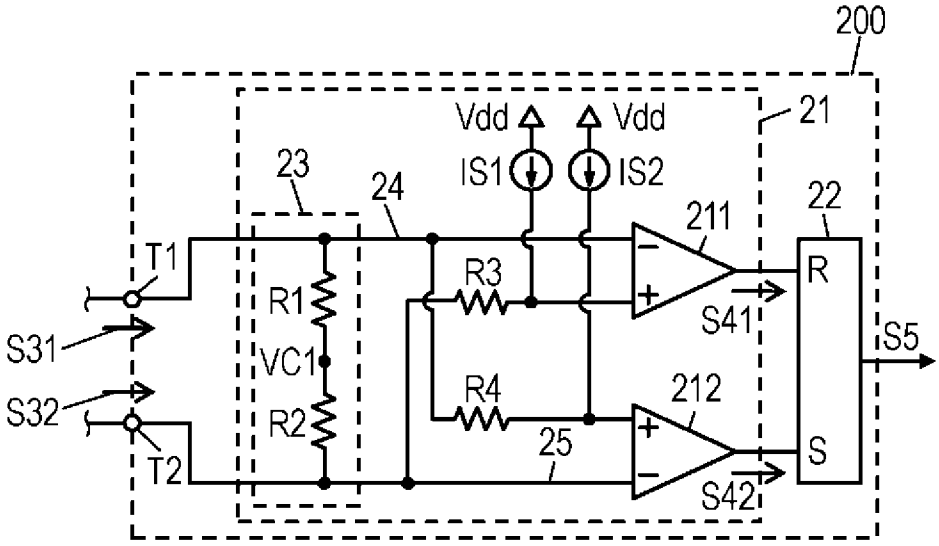
[図6A]


4
41
421
VC1
VR1
T11
T12
42
422

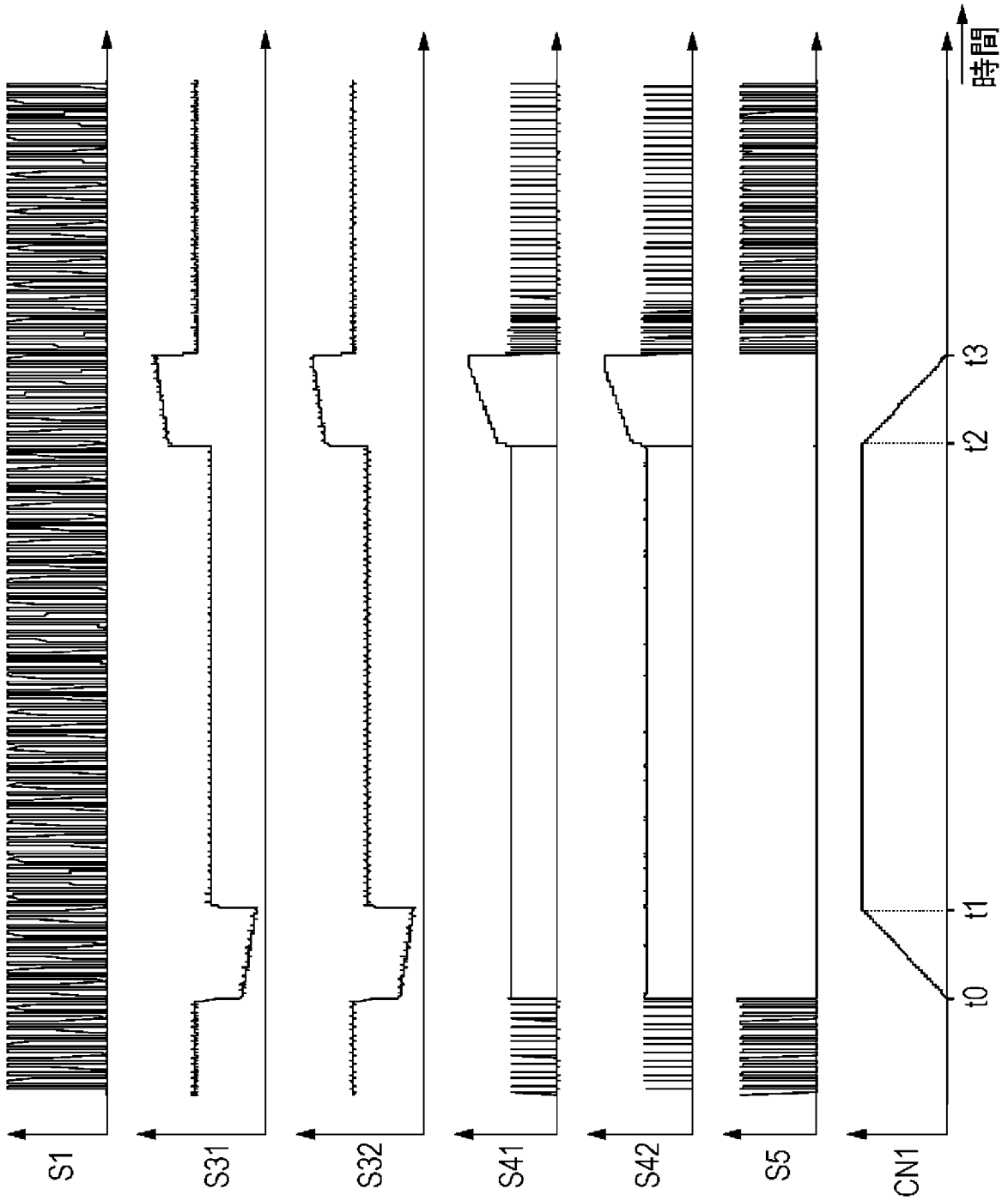
[図6B]


41
42
Vdd
Q8
Q7
Q10
Q11
Q14
Q16
IS6
C1
C2
VR1
VC1
Q5
Q6
T11
T12
IS5
Q9
Q12
Q13
Q15
Q17
GND

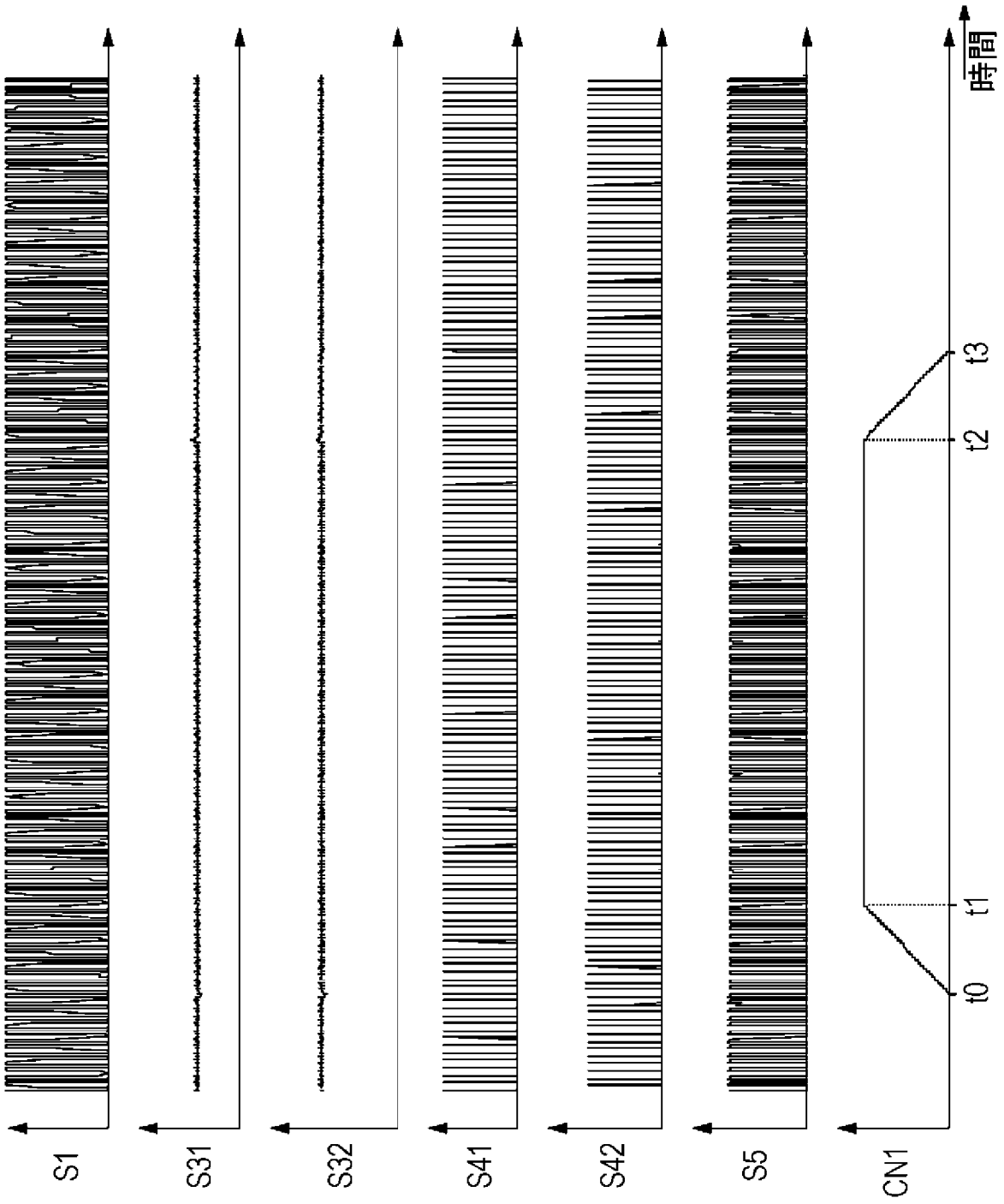
[図7]


200
21
Vdd
IS1
IS2
23
24
211
22
T1
R3
R
S41
S5
S31
R1
VC1
R4
212
S32
R2
25
S
T2
S42

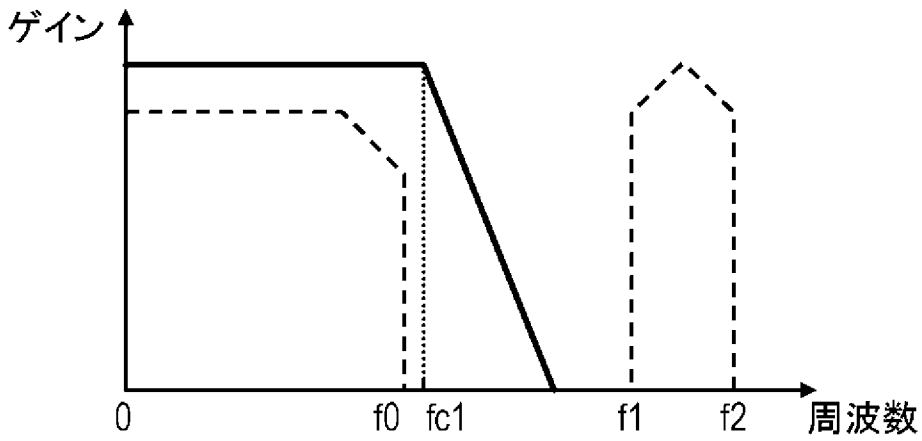
[図8]



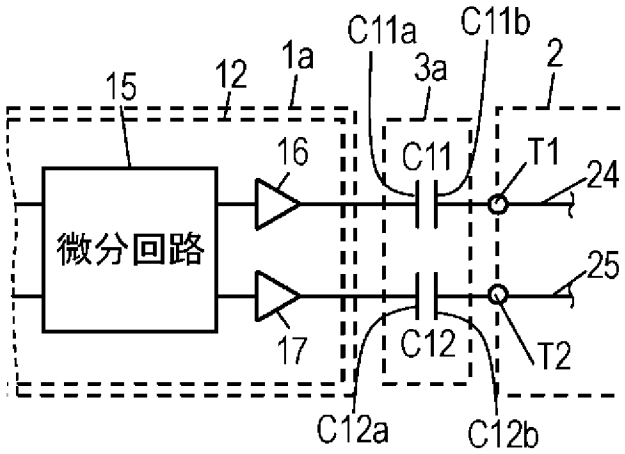
[図9]



[図10]


ゲイン
0
f0
fc1
f1
f2
周波数

[図11]


C11a
C11b
15
12
1a
3a
2
16
C11
T1
24
微分回路
25
17
C12
T2
C12a
C12b

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/003242

A. CLASSIFICATION OF SUBJECT MATTER
H03K19/0175(2006.01)i, *H03K5/125*(2006.01)i, *H03K17/691*(2006.01)i, *H04B5/02*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K19/0175, H03K5/125, H03K17/691, H04B5/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-94576 A (Toyota Industries Corp.), 30 April 2009 (30.04.2009), paragraphs [0001] to [0018]; fig. 2, 20 to 22 & US 2009/0091413 A1 paragraphs [0002] to [0026]; fig. 1 to 3, 6	1-8
Y	JP 2015-8423 A (Rohm Co., Ltd.), 15 January 2015 (15.01.2015), paragraphs [0008], [0023] to [0044]; fig. 2 (Family: none)	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
16 September 2016 (16.09.16)	27 September 2016 (27.09.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／００３２４２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03K19/0175(2006.01)i, H03K5/125(2006.01)i, H03K17/691(2006.01)i, H04B5/02(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03K19/0175, H03K5/125, H03K17/691, H04B5/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2009-94576 A (株式会社豊田自動織機) 2009.04.30, 段落[0001]-[0018], 図2,20-22 & US 2009/0091413 A1, 段落[0002]-[0026], 図1-3,6	1-8
Y	JP 2015-8423 A (ローム株式会社) 2015.01.15, 段落[0008],[0023]-[0044], 図2 (ファミリーなし)	1-8

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１６．０９．２０１６	２７．０９．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｗ　５８８８
及川　尚人
電話番号　０３－３５８１－１１０１　内線　３５７６