(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 101313395 B
(45)授权公告日 2013.03.27

(21)申请号 200680043695.5

(22)申请日 2006.12.06

(30)优先权数据
60/748,797 2005.12.09 US

(85)PCT申请进入国家阶段日
2008.05.22

(86)PCT申请的申请数据
PCT/US2006/046651 2006.12.06

(87)PCT申请的公布数据
WO2007/070321 EN 2007.06.21

(73)专利权人 山米奎普公司
地址 美国马萨诸塞州

(72)发明人 韦德·A·克鲁尔
托马斯·N·霍尔斯基

(74)专利代理机构 北京律盟知识产权代理有限责任公司 11287
代理人 刘国伟

(51)Int.Cl.
H01L 21/425(2006.01)

(56)对比文件
US 2005181621 A1,2005.08.18,
US 2004166612 A1,2004.08.26,
VOLZ K et al..Silicon carbide and amorphous carbon film formation by plasma immersion ion implantation: a comparison of methane and toluene as plasma forming gases.《Surface and Coatings Technology》.elsevier SWITZERLAND,2001,第136卷(第1-3期),197-201.

审查员 王欣

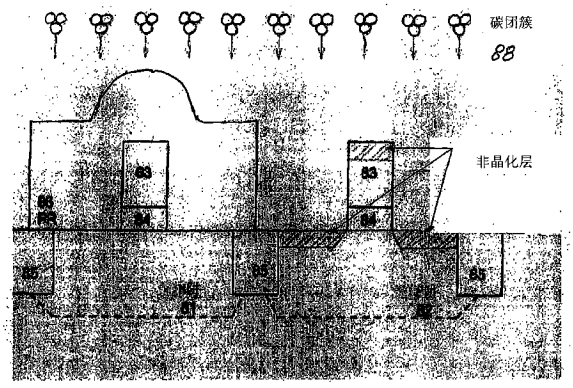
权利要求书 3 页 说明书 15 页 附图 16 页

(54)发明名称

通过植入碳团簇制造半导体装置的系统和方法

(57)摘要

本发明揭示一种工艺,其包含将碳团簇植入到衬底中以当在制造集成电路中的PMOS晶体管结构的过程中用硼和磷掺杂所述衬底时改进晶体管接面的特性。由此新颖方法产生两个工艺:(1)对USJ形成的扩散控制;和(2)用于应力工程的高剂量碳植入。结合PMOS中的源极/漏极结构的硼或浅硼团簇植入来说明对USJ形成的扩散控制。更明确地说,首先,以与后续硼植入大致相同的剂量将例如C-IeHx+的团簇碳离子植入到源极/漏极区中;然后优选使用例如B18Hx+或BioHx+的硼氢化物团簇,进行浅硼、硼团簇、磷或磷团簇的离子植入以形成源极/漏极延伸。经后续的退火和活化后,由于碳原子吸集间隙缺陷而减少硼扩散。



CN 101313395 B

1. 一种植入离子的方法，其包含下列步骤：

(a) 产生一体积的形式为 C_nH_x 的材料的气相分子，其中 n 和 x 为整数，且 $2 \leqslant n$，且 $x \geqslant 0$；

(b) 使所述 C_nH_x 分子离子化以形成 $C_nH_y^+$ 或 $C_nH_y^-$，其中 y 是使得 $y > 0$ 的整数；

(c) 在第一深度通过电场使所述离子化分子加速到目标中，以形成扩散障壁；以及

(d) 在比所述第一深度较浅的第二深度向所述区植入掺杂离子，其中所述掺杂离子是硼离子、硼团簇离子、砷离子、砷团簇离子、磷离子或磷团簇离子。

2. 根据权利要求 1 所述的方法，其中步骤 (a) 包含产生一体积的荧蒽 $C_{16}H_{10}$ 的气相分子。

3. 根据权利要求 1 所述的方法，其中步骤 (a) 包含产生一体积的联苄 $C_{14}H_{14}$ 的气相分子，且步骤 (b) 产生 C_7H_y 离子的离子束。

4. 一种植入离子的方法，其包含下列步骤：

(a) 产生一体积的形式为 C_nH_x 的材料的气相分子，其中 n 和 x 为整数，且 $4 \leqslant n$，且 $x \geqslant 0$；

(b) 形成含有 C_nH_x 分子、$C_nH_y^+$、$C_nH_y^-$ 离子和电子的等离子，其中 y 是使得 $y > 0$ 的整数；

(c) 在第一深度通过电场使所述离子中的一部分加速以植入到目标中，来执行半导体的掺杂，以形成扩散障壁；以及

(d) 在比所述第一深度较浅的第二深度向所述区植入掺杂离子，其中所述掺杂离子是硼离子、硼团簇离子、砷离子、砷团簇离子、磷离子或磷团簇离子。

5. 一种形成具有衬底的金属氧化物半导体 (MOS) 装置的方法，所述方法包含下列步骤：

(a) 在所述衬底的第一区中形成阱和相对的沟槽隔离；

(b) 在所述衬底上，在界定所述衬底的暴露部分的所述相对的沟槽隔离之间形成栅极堆叠；所述形成包含下列步骤：

i) 沉积或成长栅极电介质；

ii) 沉积多晶硅栅电极，以及

iii) 图案化以形成所述栅极堆叠，

(c) 将衬垫氧化物沉积到所述衬底的所述暴露部分上并沉积于所述栅极堆叠的顶部上；

(d) 植入 C_nH_x 离子以在既定 SDE 区下方形成扩散抑制区，其中 x 是使得 $x > 0$ 的整数；

(e) 植入 B^+ 或硼团簇离子 $B_nH_x^+$ 以在所述栅极堆叠与所述相对的沟槽隔离之间形成漏极延伸；

(f) 相邻于所述栅极堆叠而形成隔片；

(g) 植入硼团簇离子以形成源极和漏极区；

(h) 提供热处理以活化由所述掺杂步骤植入的材料，借此形成 P 型金属氧化物半导体 (MOS) 装置 (PMOS)。

6. 一种形成具有衬底的金属氧化物半导体 (MOS) 装置的方法，所述方法包含下列步骤：

(a) 在所述衬底的第一区中形成阱和相对的沟槽隔离；

(b) 在所述衬底上，在界定所述衬底的暴露部分的所述相对的沟槽隔离之间形成栅极堆叠；所述形成包含下列步骤：

i) 沉积或成长栅极电介质；

ii) 沉积多晶硅栅电极，以及

iii) 图案化以形成所述栅极堆叠，

(c) 将衬垫氧化物沉积到所述衬底的所述暴露部分上并沉积于所述栅极堆叠的顶部上；

(d) 植入 C_nH_x 离子以在既定 SDE 区稍下方形成扩散抑制区，其中 x 是使得 $x > 0$ 的整数；

(e) 植入 P^+ 或磷团簇离子以在所述栅极堆叠与所述相对的沟槽隔离之间形成漏极延伸；

(f) 相邻于所述栅极堆叠而形成隔片；

(g) 植入 N 型团簇离子以形成源极和漏极区；

(h) 提供热处理以活化由所述掺杂步骤植入的材料，借此形成 N 型金属氧化物半导体 (MOS) 装置 (NMOS)。

7. 一种形成具有衬底的金属氧化物半导体 (MOS) 装置的方法，所述方法包含下列步骤：

(a) 在所述衬底的第一区中形成阱和相对的沟槽隔离；

(b) 在所述衬底上，在界定所述衬底的暴露部分的所述相对的沟槽隔离之间形成栅极堆叠；所述形成包含下列步骤：

i) 沉积或成长栅极电介质；

ii) 沉积多晶硅栅电极，以及

iii) 图案化以形成所述栅极堆叠，

(c) 将衬垫氧化物沉积到所述衬底的所述暴露部分上并沉积于所述栅极堆叠的顶部上；

(d) 植入 $C_nH_x^+$ 离子以在源极和漏极区内形成 SiC 合金，其中 x 是使得 $x > 0$ 的整数；

(e) 植入 P^+ 或磷团簇离子以在所述栅极堆叠与所述相对的沟槽隔离之间形成漏极延伸；

(f) 相邻于所述栅极堆叠而形成隔片；

(g) 植入 N 型团簇离子以形成源极和漏极区；

(h) 提供热处理以活化由所述掺杂步骤植入的材料，并将碳并入到所述源极和所述漏极中的晶格结构中，借此形成 N 型金属氧化物半导体 (MOS) 装置 (NMOS)。

8. 根据权利要求 7 所述的方法，其进一步包括下列步骤：

(a) 隔离所述衬底上的第一区与第二区；

(b) 在第一区中形成所述 NMOS 装置；以及

(c) 在第二区中形成 PMOS 装置。

9. 根据权利要求 8 所述的方法，其中步骤 (c) 包括将 P 型团簇离子植入在所述第二区中。

10. 根据权利要求 9 所述的方法，其中所述 P 型团簇离子是 $B_{18}H_x^+$ 或 $B_{18}H_x^-$，其中

$0 \leqslant x \leqslant 22$。

11. 根据权利要求 7 所述的方法，其中所述 $C_nH_x^+$ 植入物在约 70keV 与约 100keV 之间的植入能量下由 1E15 与 5E15 之间的剂量的 $C_7H_x^+$ 植入物组成。

通过植入碳团簇制造半导体装置的系统和方法

[0001] 相关申请案的交叉参考

[0002] 本申请案与 2005 年 12 月 9 日申请的第 60/748,797 号美国临时专利申请案相关并主张其权益，所述临时专利申请案以引用的方式并入本文中。

技术领域

[0003] 本发明涉及一种半导体制造方法，且更明确地说涉及一种将含碳团簇植入到衬底中的方法，其用于应力工程和扩散控制，以便在制造集成电路中的 PMOS 晶体管结构的过程中用硼、砷和磷掺杂衬底时改进晶体管接面的特性。

背景技术

[0004] 离子植入工艺

[0005] 半导体装置的制造部分涉及通过离子植入在硅衬底内形成晶体管结构。如由 Sferlazzo 等人在第 5,497,006 号美国专利中所揭示，离子植入设备包括：离子源，其产生含有所要掺杂剂物质的离子流；射束线，其借助提取电极从离子源处提取并加速离子，且将离子流形成并聚焦成为具有良好界定的能量或速度的离子束；离子过滤系统，其选择所关注的离子，因为在离子束内可能存在不同种类的离子；和处理腔室，其容纳离子束所撞击的硅衬底；离子束穿透到衬底中达到良好界定的距离。通过使离子束穿过直接形成于衬底表面上的掩模而产生晶体管结构，所述掩模经配置使得仅使衬底的离散部分暴露于离子束。在掺杂剂离子穿透到硅衬底中的情况下，衬底的电特性局部改变，从而通过引入电性载流子（例如，通过例如硼或铟的 p 型掺杂剂的空穴和通过例如磷或砷的 n 型掺杂剂的电子）而产生源极、漏极和栅极结构。

[0006] 半导体处理的新近发展是并入机械应力以增强晶体管性能。通过将除硅之外的元素的原子纳入晶格衬底中而产生此应力。迄今为止的成功工艺是将 Ge 原子并入到 PMOS 晶体管的源极区和漏极区。将 Ge 原子包括于硅衬底中形成 SiGe 合金，其具有与 Si 晶格兼容的晶格结构。然而，Ge 原子大于 Si 原子，从而产生可由所纳入的 Ge 的量控制的 SiGe 合金的较大晶格常数。通过在 PMOS 晶体管的源极区和漏极区中形成此合金材料，其中的较大晶格可使沟道区置于压缩应力下，这增强空穴迁移率并增加 PMOS 晶体管的性能。Ge 原子的纳入仅适用于 PMOS 晶体管，因为压缩应力对电子迁移率有害并使 NMOS 晶体管的性能降级。

[0007] 现有技术离子源

[0008] 常规地，已在离子植入设备中使用伯纳 (Bernas) 型离子源。已知此类离子源将承载掺杂剂的进料气体（例如 BF_3、AsH_3 或 PH_3）分解为其原子或单体组份，从而产生大量下列离子：B^+、As^+ 和 P^+。伯纳型离子源被称为热等离子或电弧放电源且通常并入有电子发射器（裸丝阴极或间接加热阴极）。此类型的源产生受磁场限制的等离子。最近，已将团簇植入离子源引入设备市场。这些离子源与伯纳型离子源的不同之处在于：已设计这些离子源以产生“团簇”或分子形式的掺杂剂原子的聚结，例如，形式为 As_n^+、P_n^+ 或 $B_nH_m^+$ 的离子，其中 n 和 m 为整数，且 $2 \leqslant n \leqslant 18$。此类离子化团簇可较接近于硅衬底的表面并以相对于其单体

(n = 1) 对应物的较高剂量而被植入，且因此非常有益于形成（例如）65nm、45nm 或 32nm 代的晶体管装置中的超浅 p-n 晶体管接面。这些团簇源保留被引入到离子源中的进料气体的母体分子和蒸气。这些离子源中的最成功者已使用电子冲击离子化，且不产生密集等离子，而产生比由常规伯纳源所产生的离子密度小至少 100 倍的低离子密度。举例来说，Horsky 等人已在以引用的方式并入本文中的第 6,452,338 号美国专利和第 6,686,595 号美国专利中描述团簇植入的方法和团簇离子源。在 Horsky 等人的第 10/251,491 号申请中的美国专利申请案（公开为第 US 2004/0002202A1 号美国专利申请公开案，以引用的方式并入本文中）中揭示在制造 PMOS 装置的过程中使用 $B_{18}H_{22}$ 作为 $B_{18}H_x^+$ 的离子植入的植入物材料。

[0009] 背景：USJ 挑战

[0010] 随着装置技术在所有尺寸上继续缩放，日益难以形成 PMOS 晶体管的适当形成所必需的 p 型超浅接面或 USJ。PMOS 晶体管的最具挑战性的特征为源极 / 漏极延伸或 SDE，其必须是有效的晶体管中的最浅接面。对于 65nm 节点技术（如国际半导体技术蓝图或 ITRS 中所定义），要求 PMOS SDE 为约 15-25nm 深，而 45nm 技术将要求 8-20nm 的 PMOS SDE 接面深度。控制接面深度有两种主要方法：(1) 控制硼掺杂剂的初始放置，和 (2) 控制其在活化期间的后续移动。当掺杂剂（例如）在植入退火和活化处理期间经历高温时即会移动。由掺杂剂离子的植入能量来决定掺杂剂的初始放置。随着所述技术缩放到较小栅极长度，这些方法以往一直用于缩放 PMOS SDE 的垂直尺寸。在当前世代中减小 PMOS SDE 接面深度的主要方法是减少活化步骤期间的退火时间，其可减少掺杂剂扩散并借此引起较浅接面的形成。还已减少植入能量以使初始掺杂剂放置较浅（即，较接近于硅表面），但由于植入器射束电流在较低射束能量下减小且在次 90nm 特征尺寸的硼植入所需的次 keV 硼能量下大体如此，因而这会显著降低植入工具的生产力（晶片产量），且因此并非具吸引力的减小接面深度的方法。

[0011] 扩散控制

[0012] 扩散是需要活化植入的硼（即，植入的晶片必须在高温下退火以使植入的硼在硅中变为电活性）的自然结果。每当含硼的硅暴露于高温，硼就会从高浓度区移动或扩散到低浓度区。此硼移动会向非常浅的接面的形成引起挑战。退火发展中的主要趋势为减少控制净扩散的退火时间。现代晶片处理包含“峰值 (spike)”退火，其快速上升到高温 (1000-1100C) 且再次下降。此技术在减少扩散并提供具有生产价值的工艺解决办法方面非常有效。然而，对于次 90nm 节点技术来说，要求更少的硼扩散；已达到峰值退火系统的斜坡速率限制（高达 150C/ 秒）。此趋势中降低热预算的下一步骤将可能使用“快速退火”或激光热处理的“毫秒”技术。这些技术均仍不成熟且面临提供具有生产价值的解决办法的重大挑战。并且，由于热预算通过这些超快退火方法而降低到极小值，因而活化处理自身受到影响。举例来说，实现较高薄层电阻，且薄层电阻或 Rs 的空间不均匀性高于峰值退火所实现的空间不均匀性。

[0013] 联合植入

[0014] 连续减少退火时间的一种替代方法是引入已知用以阻止硼的扩散的其它杂质，从而潜在地在相同热预算下产生较浅接面。举例来说，众所周知，以往在 BF_2^+ 植入步骤期间引入的 F 可减少硼扩散。因此，当使用相同退火处理时，由 BF_2^+ 植入形成的接面通常浅于等效 B^+ 植入形成的接面。然而，因为在与硼（即，分子物质 BF_3 的一部分）相同的植入工艺中引

入F，所以由BF_2^+植入产生的植入态F深度轮廓未经优化以减少B扩散；这随着接面深度进一步减小而使BF_2植入较不具吸引力。

[0015] 另一替代方法是碳的引入，这也已知用以抑制扩散。例如，见2005年6月的Proceedings of the Eight International Workshop on：Fabrication, Characterization andModelling of Ultra-Shallow Doping Profiles in Semiconductors，第327页，E.J.Collart、S.B.Felch、H.Graoui、D.Kirkwood、B.J.Pawlak、P.P.Absil、S.Sevri、T.Janssens和W.Vandervorst的“Co-Implantation with Conventional Spike Anneal Solutions for 45nmUltra-Shallow Junction Formation”；同上，第300页，N.Cowern、B.Colombeau、J.Graoui和M.Foad的“Computational Modeling of Co-iimplanted Carbon for 65nm Node USJFormation”；同上，第315页，S.Rizk、Y.M.Haddara和A.Sibaja-Hernandez的“Modelingthe Suppression of Boron Diffusion in Si/SiGe Due to Carbon Incorporation”；2000年，Mat.Res.Soc.Symp.第610卷，第B5.8.1-B5.8.6页，L.S.Robertson、R.Brindos和K.S.Jones的“The effect of impurities and activation of ion implanted boron in silicon”；同上，第B7.4.1-B7.4.5页，Mark E.Law、Michelle D.Griglione和Misty Northridge的“Influence ofCarbon on the Diffusion of Interstitials and Boron in Silicon”；2005年，美国，Florida，6月5日到8日，超浅接面国际会议，USJ2005，E.J.H.Collart等人的“Co-implantation withconventional spike anneal solutions for 45nm ultra-shallow junction formation”；1995年，Mat.Res.Soc.Symp.Proc.第354卷，第307-318页，P.A.Stolk、H.-J.Gossmann、D.J.Eaglesham、D.J.Jacobson、H.S.Luftman和J.M.Poate的“Understanding and controllingtransient enhanced dopant diffusion in silicon”；2001年，Nuclear Instruments and Methods inPhysics Research B 175-177，第715-720页，M.Ueda、H.Reuther、R.Gunzel、A.F.Beloto、E.Abramof和L.A.Berni的“High dose nitrogen and carbon shallow implantation in Si byplasma immersion ion implantation”；2001年，Nuclear Instruments and Methods in PhysicsResearch B 178，第44-54页，**Jörg** K.N.Lindner的“Ion beam synthesis of buried SiC layersin silicon：Basic physical processes”；1998年，Materials Science Forum，第264-268卷，第215-218页，J.K.N.Lindner、W.Reiber和B.Stritzker的“Mechanisms of SiC Formationin the Ion Beam Synthesis of 3C-SiC Layers in Silicon”；2001年，Nuclear Instruments andMethods in Physics Research B 175-177，第715-720页，M.Ueda等人的“High dose nitrogenand carbon shallow implantation in Si by plasma immersion ion implantation”；2005年12月，Washington，D.C.，IEDM Workshop，Kah-Wee Ang等人的“Thin bodysilicon-on-insulator N-MOSFET with silicon-carbon source/drain regions for performanceenhancement”；1990年8月，Japanese Journal of Applied Physics，第29卷，第8期，第L 1493-L 1496页，Masahiro Deguchi、Akihisa Yoshida和Masatoshi Kitagawa的“B-SiCformation by low-energy ion-doping technique”，所有文献均以引用的方式并入本文中。

[0016] 应力工程和载流子迁移率增强

[0017] 硅处理中的较新趋势中的一者被称为应力工程，借此产生有目的地在归因于晶格

失配的机械应力下放置有效结构的结构。此努力的主要目标在于在应力下放置 MOS 晶体管的沟道区以增强载流子迁移率。PMOS 晶体管受益于压缩应力，而 NMOS 晶体管受益于张应力。产生压缩应力的前沿工艺是将 Ge 并入到硅晶格中，且形成 SiGe 合金。Ge 在此方面是有用的，因为 Ge 是比硅大的原子且 Ge 的并入迫使晶格膨胀，借此在应力下放置相邻区。此概念的最公用的用途为 Intel 90nm 技术，借此 PMOS 源极 / 漏极区外延成长在压缩应力下放置沟道区的 SiGe 合金结构，借此增强 PMOS 晶体管和总体电路的性能。

[0018] 用于次 65nm 逻辑和存储器应用的应力工程

[0019] 65nm 技术节点要求进一步减小 SDE 接面深度以制造适当晶体管结构。由此节点开始，从工艺控制与生产力的观点来看，PMOS SDE 变得极具挑战性。硼植入的能量必须降到 500eV 硼能量或更少，在此情况下生产力显著降低。并且，退火要求是要求先进、低热预算峰值退火且必须考虑更新的、替代性退火技术。由于实现这些工艺目标的难度，必须考虑替代工艺。用以制造较高性能晶体管的应力工程的引入可减轻减小栅极长度以便提高速度和驱动电流的即刻需要。此概念为：在有效沟道永久处于应力下的情况下制造晶体管允许形成较高性能晶体管。用于此进步的机制为应力改变载流子迁移率，并借此直接改进晶体管驱动电流且因此改进电路速度。所需的应力工程并不简单，因为 NMOS 晶体管性能随张应力而改进，而 PMOS 晶体管性能随压缩应力而改进。举例来说，Intel 已通过引入在压缩应力下放置 PMOS 沟道并借此改进 PMOS 的性能的 SiGe 源极 / 漏极技术，并通过使用在张应力中放置 NMOS 晶体管从而增强 NMOS 性能的选择性氮化硅上覆层，而在 90nm 节点下整合应力工程。这些应力工程技术的组合产生整个电路的显著性能增强。为与这些工艺竞争，某些分析家认为：对于始于 65nm 节点的所有高性能产品，均需要应力工程。

[0020] 所谓的无扩散退火

[0021] 为使减少退火时间的益处最大化，当前趋势是不断减少退火工艺的时间（热预算）并因此减少硼扩散。峰值温度保持较高（通常高于 1000C）以便实现掺杂剂原子的高度活化。当前生产工艺使用”峰值退火”，其包括温度斜线上升、在最大温度下的零时间，和接着温度斜线下降返回到室温。斜坡速率的典型值为 100C/s 到 1000C/s，由加热技术的选择来驱动温度的斜坡速率。除非使用主动冷却，否则冷却斜坡速率通常限于 400C/s 以下。一直不断地在开发增加斜坡速率并借此减少高温下的总时间的新的系统。

[0022] 现正开发的此方法的限制一般标记为“无扩散退火”。存在可提供此工艺选择的正开发的两种技术：“快速 (flash)”退火和“激光热退火”。这些技术均具有提供具有充分活化（峰值温度通常为 1300C）和极少硼扩散的退火工艺的潜力。因为硅经历活化所需的高温仅持续一毫秒或更少时间，所以这些技术也被称为“毫秒退火”。尽管此工艺的替代极具吸引力，但此工艺所需的技术与当前生产过程中的退火技术完全不同。这些工具较新且尚不满足大规模生产的要求。不确定无扩散退火近期是否将提供稳固制造的解决办法。

[0023] 碳植入（吸集植入物）

[0024] 碳植入已在一段时间内用作吸集缺陷或污染物的方法。例如，见上文 Stolk 等人和 Ueda 等人的参考文献。因为已展示缺陷会驱动硅中的 B 和 P 的瞬间增强扩散，所以已将截获间隙缺陷视为限制扩散的候选方法。常规工艺将 CO_2 或 CO 气体源用于常规等离子离子源。产生 C^+ 的射束且可通过市售的离子植入系统来执行植入。CO_2 或 CO 气体的使用，由于常规等离子源中所发现的氧化效应和绝缘体的碳痕而会降低常规等离子源的使用寿命。

[0025] 碳植入的一个先前应用为通过将高能量 (MeV) 碳远离晶体管结构而较深植入到硅中来提供金属杂质的吸集。在硅中，存在的任何金属原子会主要通过增加泄漏而使有效结构的电性能降级。已存在从主动装置区去除金属杂质的方法的大量研究。已使用的一种方法是将碳远离主动装置而植入到硅中。因为硅中的碳充当杂质陷阱，所以与碳相互作用的的任何金属原子将停留于所述位置；甚至当经历高温时也如此。此机制被称为吸集，且碳植入是吸集的选择中的一者。

发明内容

[0026] 简要地说，本发明涉及一种工艺，其包含将碳团簇植入到衬底中以便在制造集成电路中的 PMOS 晶体管结构的过程中用硼、砷和磷掺杂所述衬底时，改进晶体管接面的特性。由此新颖方法产生两个工艺：(1) 对 USJ 形成的扩散控制；和 (2) 用于应力工程的高剂量碳植入。结合 PMOS 中的源极 / 漏极结构的硼或浅硼团簇植入来说明对 USJ 形成的扩散控制。更明确地说，以与后续硼植入大致相同的剂量将例如 $C_{16}H_x^+$ 的团簇碳离子植入到源极 / 漏极区中；然后优选使用例如 $B_{18}H_x^+$ 或 $B_{10}H_x^+$ 的硼氢化物团簇进行浅硼植入以形成源极 / 漏极延伸。经后续退火和活化后，由于碳原子吸集间隙缺陷而减少硼扩散。上文提及的 Stolk 等人和 Robertson 等人的参考文献确定，硼的瞬间增强扩散由硅晶格中的间隙缺陷所介导。

[0027] 根据本发明的工艺的第二益处具有巨大经济价值：即由碳团簇植入和后续硼团簇植入引起硅的非晶化。明确地说，此项技术中已知，较大硼团簇的植入会使结晶硅晶格非晶化，从而引起离子沟道效应的大幅减少。已知沟道效应会显著增加掺杂剂植入物的接面深度，致使 USJ 的形成变得困难。沟道效应通常首先（例如）通过 Ge^+ 原子进行损坏植入来控制，以便在通过植入硼而形成 PMOS 源极 / 漏极延伸之前使硅非晶化。执行 Ge^+ 植入较昂贵，且还已展示会产生其植入射程端 (end-of-range) 处的缺陷（这在某些状况下使 USJ 晶体管中的漏电流增加若干数量级）。因此，以硼团簇（例如 $B_{18}H_x^+$）替代常规硼植入物可排除在许多状况下需要 Ge 植入物，且不产生与泄漏相关联的缺陷结构。这由于从工艺流程中去除昂贵的植入物、增加良率并减少集成电路中的漏电流而具有巨大经济价值。不幸的是，硼团簇植入绝不可能完全消除沟道效应，因为在达到用于非晶化的临界剂量之前，硼团簇植入的一小部分已被执行，并已促进形成沟道效应尾部。举例来说，已通过植入 $B_{18}H_x^+$ 离子以形成源极 / 漏极延伸而证明沟道效应减少 80％，但为了实现最浅接面，仍需要损坏植入。然而，如果按照根据本发明的工艺，植入碳团簇，之后植入硼团簇或单体硼，那么通过碳植入使硅完全非晶化，因此可完全消除沟道效应。

[0028] 最后，如果可通过适当碳联合植入使热驱动的硼扩散最小化，那么可避免需要无扩散退火。举例来说，图 3 到图 7 建议标准的、商业上可行的峰值退火应足以形成 USJ 结构。这对芯片制造业将具有重大经济效益而不需要下一代外来退火技术。

[0029] 因此，此方法的益处为：

[0030] • 在 PMOS USJ 形成之前，使硅非晶化；

[0031] • 消除后续硼或硼团簇植入中的沟道效应尾部，从而产生最浅植入态轮廓；

[0032] • 在退火步骤期间，显著降低硼扩散；

[0033] • 消除预非晶化或损坏植入；

[0034] • 放宽退火工艺中的热预算要求，从而能在峰值退火的情况下形成 USJ。

[0035] 此外，当需要非常浅的碳植入时，根据本发明的工艺使用碳团簇会相对于执行单体碳植入而增加有效剂量率（且因此增加晶片产量），从而提供通过以硼团簇替代单体硼所实现的产量的类似增加。

[0036] 磷扩散控制

[0037] 先前讨论集中于使用碳来抑制硼植入物的扩散以形成 PMOS 晶体管。同样，当将磷用作掺杂剂原子时，相同讨论适用于形成 NMOS 晶体管。常规地，砷植入用以形成 NMOSSDE 结构，且砷在硅中显示较慢扩散，因此无需额外方法来形成适当结构。然而，在先进技术中存在可能排除将砷用于 SDE 的问题。在这些状况下，磷可成为可行的替代物，但磷在硅中显示较快扩散且因此由碳实现的扩散抑制变为具吸引力的工艺。展示碳可用于对磷植入物的扩散控制的结果的一实例为 2006 年 6 月，第 16 届离子植入技术国际会议会议记录，第 41 页，A. Vanderpool、A. Budrevich 和 M. Taylor 的“Control of PhosphorusTransient Enhanced Diffusion using Co-Implantation”。

[0038] 碳和 / 或硼的离子化团簇的使用要求（例如）如以引用的方式并入本文中的第 6,686,595 号美国专利中所揭示的新颖离子源。优选地，将烃的蒸气引入到所述离子源中。离子源在不解离的情况下使分子离子化。提取系统接着提取离子化碳分子的离子束，其接着沿常规离子植入器的射束线传输以冲击硅晶片。如第′ 595 号专利中所揭示的由 SemEquip 开发的**ClusterIon®**离子源（例如）可用于植入例如 $B_{18}H_{22}$ 的**ClusterBoron®**分子。

[0039] 现已证明相同技术对较大烃馈入材料起作用。举例来说，可能使用下列烃：

[0040] • 2,6 二异丙基萘 ($C_{16}H_{20}$)

[0041] • 正十八烷 ($C_{18}H_{38}$)

[0042] • 对联三苯 ($C_{18}H_{14}$)

[0043] • 联苄 (bibenzyl) ($C_{14}H_{14}$)

[0044] • 1- 苯基萘 ($C_{16}H_{12}$)

[0045] • 荧蒽 (Flouranthene) ($C_{16}H_{10}$)

[0046] 荧蒽是用以产生包括于此揭示案中的大量数据的材料。大体来说，具有形式 CnHy（其中 $n \geq 4$ 且 $y \geq 0$）的化学式的任何烃将提供上述特征和益处，即增加进入硅中的有效碳剂量率并提供不同程度的非晶化，在所有状况下均比单体碳植入有益。

[0047] 如上文提及的第 10/251,491 号申请中的美国专利申请案中所揭示，$C_{16}H_{10}$ 在良好适合于所述新颖离子源并类似于 $B_{18}H_{22}$ 的汽化温度的 100C 的温度下汽化。0.5mA 的射束电流在极低的能量（每一碳原子约 1keV）下实现晶片上的碳的 8mA 的当量。使用**ClusterIon®**源，容易实现 > 1mA 的射束电流。

[0048] 单体与团簇碳植入

[0049] 基本上自引入用于半导体制造的商用离子植入系统（始于 20 世纪 70 年代中期）以来，碳植入一直是可用的。可用的植入技术一次一个原子地执行植入，而无关于所使用的馈入材料。这是因为常规离子源技术使用强等离子使材料离子化且等离子将分子分裂为其组成原子。对于大多数应用，这良好地起作用。常规技术的问题在于单原子的植入在离子的能量必须较低（例如，1keV 或 2keV）以便提供较浅植入时变得非常低效。常规系统不能在较低提取能量下产生较高电流且因此植入工艺具有极低的生产力。这正是低能量硼植入

的问题，且物理性质对于低能量碳植入是相同的。此处所描述的本发明实现以极高的生产力在低能量下植入碳团簇。通过植入含碳分子而非个别原子，低能量植入的物理性质显著改变。因为分子需要用于每一碳原子的工艺能量，因而提取能量高得多，这使提取系统能够有效操作并产生较高射束电流。

[0050] 以团簇进行等离子掺杂

[0051] 用于半导体掺杂的射束线离子植入的替代方法是所谓的“等离子浸没”。此技术在半导体工业中被命名为若干其它名称，例如等离子掺杂 (PLAD)、脉冲等离子掺杂 (PPLAD) 和等离子浸没离子植入 (PI^3)。等离子掺杂在此项技术中是众所周知的。例如参见：2002 年 9 月 22 日到 27 日，美国，NM，Taos 的 IEEE 2002 年第 14 届离子植入技术国际会议会议记录，第 151-156 页，A. Renau 和 J. T. Scheuer 的“Comparison of PlasmaDoping and Beamline Technologies for Low energy Ion Implantation”；2000 年，IEEE 第 13 届离子植入技术国际会议会议记录，第 472-475 页，R. B. Liebert、S. R. Walther、S. B. Felch、Z. Fang、B. Pedersen、D. Hacker 的“Plasma Doping System for 200mm and 300mmWafers”；以及第 5,354,381 号、第 5,558,718 号和第 6,207,005 号美国专利，所有参考文献均以引用的方式并入本文中。

[0052] 使用这些技术的掺杂要求在已被抽空并接着被回填含有例如三氟化硼、二硼烷、砷化氢或磷化氢等选定掺杂剂的气体的大型真空容器中触发等离子。根据定义，等离子中具有正离子、负离子和电子。接着对目标进行负偏压，因此导致等离子中的正离子朝向目标加速。离子的能量由等式 $U = QV$ 来描述，其中 U 是离子的动能，Q 是离子上的电荷，且 V 是晶片上的偏压。关于此技术，不存在质量分析。使等离子中的所有正离子加速并将其植入到晶片中。因此必会产生非常清洁的等离子。通过此掺杂技术，可将硼团簇（例如 $B_{18}H_{22}$）或形式为 As_nH_x 和 P_nH_x（其中 n 为整数且 $x \geq 0$）的砷或磷团簇的蒸气引入到所述容器中并引发等离子，之后将负偏压施加于晶片上。所述偏压可为随时间恒定的、随时间变化的或脉冲式的。因为掺杂剂原子与氢的比率（例如，使用 $B_{18}H_{22}$ 对 B_2H_6 和（例如）As_4H_x 对 AsH_3）对于氢化物团簇来说比对于简单氢化物来说大，且当使用团簇时剂量率也可能高得多，所以使用这些团簇将是有益的。

[0053] 等离子掺杂也可用于碳团簇植入。更明确地说，在使用 As、B 或 P 执行导电植入之前，可对使用形式为 C_nH_x 的碳团簇在等离子掺杂系统中掺杂并预非晶化硅晶片进行类似论证。在等离子掺杂系统中，可通过了解容器中的蒸气的压力、温度、偏压的量值以及偏压的工作周期与目标上的离子到达率之间的关系而参数控制剂量。也可能直接测量目标上的电流。举例来说，如同射束线植入一样，使用 $C_{16}H_x^+$ 离子将产生剂量率的 16 倍增强和比 CH_x^+ 离子高 18 倍的所需加速电压。

[0054] 植入深度的重要性

[0055] 随着接面要求变得较浅，必须减少硼植入能量。同样，也必须减少有效减少扩散所需的碳植入能量。使用碳团簇或分子实现先进技术所需的极低的能量下的极高的生产力。将碳植入工艺驱动到较低能量的另一关键关注因素是漏电流的控制。接面区中的高浓度碳已知会危及低泄漏操作。由于活性接面的大部分比源极 / 漏极延伸接面深，因而较高能量下的碳恰好被放置于具有最高泄漏风险的区中。控制此问题的一种方法是保持碳团簇尽可能浅，并使剂量最小化。以此方式，使接面漏电流的任何增强最小化。

[0056] 预非晶化

[0057] 支持以团簇使用碳植入以用于扩散控制的又一优点是预非晶化。为了使硼植入轮廓尽可能浅，必须避免离子沟道效应。由于晶体管形成的几何结构要求植入应以正入射角来执行，因而倾斜植入不能用以防止离子沟道效应。常规方法是在执行硼植入之前使用另一植入以破坏硅晶格结构，且这通常被称为“PAI”或预非晶化植入。通常使用 Ge+ 离子来执行所述植入，因为 Ge+ 离子具有高质量（并进而以相对较低剂量产生非晶硅层），且 Ge 被并入到硅中而对装置的电性质不具有较多影响。然而，Ge 植入较困难且昂贵并产生具有产生接面泄漏的风险的另一损害网络。在所提议的技术中，碳团簇植入物因为是具有显著质量的团簇而提供 PAI 益处。必须在硼植入之前执行碳植入以具有最大效应，且团簇的使用借此还执行 PAI 功能。根据本发明的一重要方面，通过如此使用碳团簇而导致所植入的硼深度轮廓的显著降低。

[0058] 工艺流程

[0059] 文献中存在指示必须在硼植入之前执行碳植入以最有效地控制扩散的信息。这意味着在栅极堆叠形成和图案化之后且在硼 SDE 植入之前发生碳植入。所需的遮蔽操作与硼植入相同，因此不需要额外或经修改的光刻法。实际上，可在未从离子植入器去除晶片的情况下，在一链中执行碳团簇和硼或团簇硼植入；这对分批工具具有显著经济效益。

[0060] 应力工程

[0061] 如上文提及的 Ang 等人的参考文献中所论述，已展示，并入到硅中的晶体管的源极 / 漏极区中的碳可形成 Si_xC_y 材料，其将向纯硅提供晶格失配并因此机械压迫晶体管沟道，从而增加载流子迁移率。所述 Si_xC_y 材料具有比硅小的晶格，因此此材料在沟道中产生可用于改进 NMOS 晶体管的迁移率的张应力。同样，根据本发明的一重要方面，（例如）以 $C_{16}H_{10}^{+}$ 进行的碳团簇植入用以执行高剂量植入作为在 NMOS 晶体管的源极 / 漏极区中将硅选择性地转化为 Si_xC_y 的方法。在给定的离子电流下，使用如 $C_{16}H_{10}$ 的团簇使碳剂量倍增十六的因数，并实现高剂量下的超浅植入。

[0062] 通过植入形成所述 Si_xC_y 材料的额外益处是由植入设备提供的控制。离子植入通常是半导体制造中的成功工艺，因为设备的精度和控制远超越其它形式的半导体处理设备的能力。明确地说，对于所提议的应用，可通过对植入能量和剂量的控制而在细节上管理碳浓度的深入轮廓。确实，可以想象具有各种剂量和能量的植入步骤序列以使碳轮廓符合任何所要轮廓。因为不清楚何种详细工艺将产生最有利的结果，所以可经由离子植入而实现的碳轮廓的控制将实现最终晶体管特性的细节上的优化。

[0063] 使用碳团簇并入碳以用于应力工程的另一益处与团簇植入的自非晶化 (self-amorphization) 特征相关。为了产生适当应力，所包括的碳必须由 SiC 晶格结构占据取代位置。取代位置中的内含物的程度视并入碳的方法与材料的温度暴露两者而定。并入碳的常规方法（无论是外延还是单体植入）包括将碳添加到结晶结构，而团簇碳植入提供自非晶化层。必须再结晶由团簇碳植入所形成的非晶层，但通过掺杂剂植入的退火来自动实现这一目的。然而，再结晶工艺有助于将碳并入到取代位置中。此工艺类似于将掺杂剂原子并入到取代位置中（其对于再结晶工艺是众所周知的）。

[0064] 将 SiC 应力工程晶格并入到 CMOS 工艺流程中的方法

[0065] 为了产生应力工程装置，本发明包含：在执行硼或硼团簇 S/D 植入或 SDE 植入之

前，向 P 型深源极 / 漏极区中进行（例如）每一碳约 10keV 且在 1E15/cm^2 与 5E15/cm^2 之间的高剂量下的相当深的碳植入。这可以是单体碳植入或团簇碳植入。优选实施例将包含团簇碳植入。为了避免将碳团簇植入到多晶硅栅极结构中，可在栅极多晶硅的顶部上沉积氮化物盖罩。在将碳植入到 P 型源极 / 漏极 (S/D) 区中之后，可使用低温退火促使碳占据 Si 晶格中的取代位置。例如 5 秒 RTA 处理的约 600C 与 900C 之间的峰值退火将实现所要结果。图 10 中展示在约 80kV 提取下使用 $C_7H_x^+$ 植入而使用 10keV 有效 C 植入，之后进行 700C、900C 和 1100CRTA 退火，我们已产生的关于裸 Si 晶片的数据。最低温度退火产生最佳结果，即最高应变值。在此退火之后，可执行图 12 到图 17 中所概括的 CMOS 结构以制成成品应力工程装置。如果在碳植入之前将氮化物盖罩或其它掩模障壁沉积到多晶硅栅极上，那么将在植入 S/D 结构之前去除所述障壁。

[0066] 或者，可如图 11 中所示仅植入碳并在已执行 S/D 植入之前放弃退火步骤。尽管在较高退火温度下似乎存在某一应力损失，但此时不知道哪一退火序列将产生最高迁移率装置。

附图说明

[0067] 参看以下说明书和附图将容易了解本发明的这些和其它优点，附图中：

[0068] 图 1 展示由离子植入系统产生的 $B_{18}H_{22}$ 的质谱。

[0069] 图 2 展示由离子植入系统产生的 $C_{16}H_{10}$ 的质谱。

[0070] 图 3 展示通过 $B_{18}H_x^+$ 而植入到硅中的硼的次级离子质谱分析 (SIMS) 深度轮廓和 $C_{16}H_x^+$ 联合植入对活化轮廓的影响。

[0071] 图 4 展示使用 $C_{16}H_x^+$ 在 1keV、2keV、3keV、4keV 和 5keV 的碳植入能量下植入态 SIMS 碳轮廓。

[0072] 图 5 展示在 1keV 碳植入之后经植入并退火的 300eV 硼植入的 SIMS 轮廓。还展示碳轮廓（在退火之前和之后）。

[0073] 图 6 展示用于各种碳 + 硼植入条件的接面深度。

[0074] 图 7 展示与图 6 中所产生的接面相关联的薄层电阻值。

[0075] 图 8 展示由联苄 (bibenzyl)（也被称为二苄基 (dibenzyl) 或 1,2- 二苯乙烷）或 $C_{14}H_{14}$ 产生的离子束的质谱。所述质谱展示对应于 $C_7H_x^+$ 离子物质的 91amu 下的强峰值和对应于 $C_6H_x^+$、$C_5H_x^+$、$C_4H_x^+$、$C_3H_x^+$ 和 $C_2H_x^+$ 的较小峰值范围。

[0076] 图 9 展示三种不同剂量 (2E15、4E15 和 8E15 个原子 /cm^2) 的在 10keV 下的 C_7H_7 植入的 SIMS 轮廓（碳浓度对深度）。

[0077] 图 10 展示以 2e15 剂量并经 700℃、900℃和 1100℃退火持续 5 秒的 C_7H_7 植入（每一碳原子 10keV) 的拉曼谱图。测量每一样本的拉曼峰值的变动并将其转换为以 Gdyne/cm^2 为单位的应力值。

[0078] 图 11 是通过植入碳团簇而形成碳掺杂且非晶化层期间的 CMOS 制造序列的图。展示对应于非晶化层的区域。

[0079] 图 12 是形成 NMOS 漏极延伸期间的 CMOS 制造序列的图。

[0080] 图 13 是形成 PMOS 漏极延伸期间的 CMOS 制造序列的图。

[0081] 图 14 是在制造 NMOS 半导体装置的工艺中在 N 型漏极延伸植入的步骤处的半导体

衬底的图。

[0082] 图 15 是在制造 NMOS 半导体装置的工艺中在源极 / 漏极植入的步骤处的半导体衬底的图。

[0083] 图 16 是在制造 PMOS 半导体装置的工艺中在 P 型漏极延伸植入的步骤处的半导体衬底的图。

[0084] 图 17 是在制造 PMOS 半导体装置的工艺中在源极 / 漏极植入的步骤处的半导体衬底的图。

具体实施方式

[0085] 图 1 展示由离子植入系统产生的 $B_{18}H_{22}$ 的质谱。例如上文提及的**ClusterIon®**源用以产生在 20kV 下被提取并经由分析器磁铁传输的离子。解析孔径在存在磁铁的情况下提供 M/ΔM = 15 的适度质量解析度；在解析孔径上扫描射束且离子电流通过解析孔径并由位于距来源约 2 米处的法拉第 (Faraday) 来测量。210amu 下的母峰由 $B_{18}H_x^+$ 构成；存在扩大峰值的可能为 $10 < x < 22$ 的范围的残留 H 原子。曲线的 y 轴是射束电流乘以 18（由于每一单位电荷存在 18 个硼原子），使得法拉第电流在质量 210 下为约 400μA。在团簇中，有效硼植入能量为约 20kV/20（由于平均天然丰度硼质量为 10.8amu 且离子质量约为 210amu）= 每一硼原子 1keV。图 2 展示由离子植入系统产生的荧蒽 ($C_{16}H_{10}$) 的质谱。母峰 $C_{16}H_{x+}$ 处于 211amu，且法拉第电流在 17kV 提取电压下为约 500μA。因此，每一碳原子的有效植入能量为约 1keV，且有效碳电流为约 8mA。应注意，图 2 的 C 与图 1 的 B 的质量、有效电流和植入能量大约相同。通过将固态荧蒽放置于保持于 100C 的离子源（例如 ClusterIon 源）的汽化器中而产生图 2 的谱图。将源安装于离子植入器（例如，Eaton NV-100GSD 植入器）中。将晶片植入于分批型旋转碟片上以产生图 3 到图 7 的数据。

[0086] 如此项技术中已知，形成离子植入器的一部分的离子源用以产生用于植入到目标衬底中的离子化原子或分子。例如上文提及的离子植入器的离子植入器选择所关注的离子化分子并通过电场使这些分子加速到目标中。

[0087] 图 3 展示通过在 6kV 下提取（产生每个硼 300eV 的有效植入能量）的 $B_{18}H_x^+$ 而植入到硅中的硼的次级离子质谱分析 (SIMS) 深度轮廓和 $C_{16}H_x^+$ 联合植入对活化轮廓的影响。$B_{18}H_x^+$ 的 5.6E13 剂量（即，1E15 有效硼剂量）的植入态轮廓（标记为植入态 B18）在 Axcelis Summit 快速热退火系统（例如，见 www.axcelis.com/products/summitXT.html 以获得 Axcelis 的快速热退火系统的描述）中在 950C 下退火 5 秒钟。退火后硼轮廓被标记为 (B18)。有效接面深度已由于退火期间硼的瞬间增强扩散而从约 10nm 向外扩散到约 25nm（我们将 $5E18cm^{-2}$ 的掺杂剂浓度用作接面深度的参考点）。通过此工艺使其它晶片退火，首先使用碳团簇 $C_{16}H_x^+$ 以 1keV、2keV、3keV、4keV 或 5keV 有效碳剂量的 1E15 剂量来植入所述晶片。在图 3 中展示 (B18+1keV C) 和 (B18+5keV C) 的经退火的硼 SIMS 轮廓。接面深度对于指示碳植入已成功限制硼扩散的轮廓会浅得多。这些轮廓的形状也相当不同。虽然通过 (B18+1keV C) 而获得约 15nm 的最浅退火接面（与无碳情况下的 25nm 的接面深度相比），但通过工艺 (B18+5keV C) 而在约 18nm 的接面深度下获得非常陡的箱状接面。

[0088] 图 4 展示分别在约 17kV、34kV、51kV、68kV 和 85kV 的提取电压下使用 $C_{16}H_x^+$ 的在 1keV、2keV、3keV、4keV 和 5keV 的有效植入能量下的植入态 SIMS 碳轮廓。植入深度良好地

对应于在有效植入能量下使用单体 C^+ 植入将获得的植入深度。

[0089] 图 5 展示在 1keV 碳植入之后经植入和退火的 300eV 硼植入的 SIMS 轮廓。还展示碳轮廓（退火之前和之后），其指示，与硼不同，碳在退火期间不扩散或改变浓度。经植入并经退火的硼轮廓类似于图 3 中所展示的硼轮廓，只是图 5 的植入态硼轮廓指示其不具有沟道效应。当与图 3 的植入态硼轮廓相比时会清楚看到此情况，图 3 展示在低于 $8E17cm^{-2}$ 的浓度下的较长较深尾部。此效应因此单独归因于首先在图 5 的数据中进行但未在图 3 的硼团簇植入之前进行的碳团簇的植入。因此，碳团簇植入提供两个显著益处：(1) 硅的预非晶化，从而减少或消除后续硼植入的沟道效应，和 (2) 退火期间的扩散控制。甚至当硼植入不使用团簇而是还将以单体 B 进行时，也提供这两个益处。

[0090] 图 6 展示退火之后用于各种碳 + 硼植入条件的接面深度。如所预期，300eV 硼接面浅于 500eV 接面。最浅接面是对于约 2keV 的碳植入能量。存在较浅而非较深地植入碳的益处，因为应在浅 (S/D 延伸区）接面而非在较深（深 S/D 区）接面处降低归因于碳产生泄漏的风险。理想地，将希望碳处于与最浅硼植入相同的范围内以使泄漏最小化。使用碳的团簇实现在最低植入能量下的高于单体碳的剂量的浅碳植入。

[0091] 图 7 展示与图 6 中所产生的接面相关联的薄层电阻值。因为较浅接面倾向于产生较高薄层电阻，所以图 7 的趋势与图 6 的趋势不同。然而，相对于使用 1keV 碳植入的数据，2keV 碳 +300eV 或 500eV B 数据展示接面深度的减少与薄层电阻的减少。这指示当使用较高碳能量时活化的真实改进。

[0092] 图 8 展示由联苄 (bibenzyl)（也被称为二苄基 (dibenzyl) 或 1,2- 二苯乙烷）或 $C_{14}H_{14}$ 产生的离子束的质谱。所述质谱展示对应于 $C_7H_7^+$ 离子物质的约 91amu 下的强峰值。在离子化期间，联苄分子分裂为两个 C_7H_7 分子。约 182amu 下的峰值对应于 $C_{14}H_{14}$。还看到，可形成例如 $C_2H_x^+$、$C_3H_x^+$、$C_4H_x^+$、$C_5H_x^+$、$C_6H_x^+$ 和 $C_8H_x^+$ 等其它碳团簇物质的离子束，且这些物质因各种技术原因而可用以将碳植入到硅中，例如用以在给定分析磁铁的限制内在较高工艺能量下植入。

[0093] 图 9 展示三种不同剂量 (2E15、4E15 和 8E15 个原子 /cm^2) 的在 10keV 下的 C_7H_7 植入的 SIMS 轮廓（碳浓度对深度）。图 10 展示以 2e15 剂量并经 700℃、900℃和 1100℃退火持续 5 秒的 C_7H_7 植入（每一碳原子 10keV) 的拉曼谱图。测量每一样本的拉曼峰值的变动并将其转换为以 Gdyne/cm^2 为单位的应力值。所获得的值展示 700C 下的较低退火温度与较高退火温度相比提供较高应力值。据展示，可通过使用此碳分子植入而实现显著取代碳。

[0094] N 型和 P 型浅接面的形成

[0095] 此方法的重要应用是作为 CMOS 制造序列的一部分使用团簇离子植入来形成 N 型和 P 型浅接面。CMOS 是当前所使用的主要数字集成电路技术且其名称表示在同一芯片上形成 N 沟道与 P 沟道 MOS 晶体管两者（互补 MOS：N 与 P)。CMOS 的成功之处在于，电路设计者可利用相对晶体管的互补性质来产生较好电路，特别是比替代技术汲取更少有效功率的电路。应注意，N 和 P 术语基于负性和正性 (N 型半导体具有负性多数载流子，且 P 型半导体具有正性多数载流子)，且 N 沟道和 P 沟道晶体管在每一区的类型（极性）反向的情况下为彼此的重复物。在同一衬底上制造两种类型的晶体管要求依次植入 N 型杂质且接着植入 P 型杂质，同时通过光阻遮蔽层来保护其它类型的装置。应注意，每一晶体管类型要求两种极性的区正确操作，但形成浅接面的植入物的类型与晶体管类型相同：到 N 沟道晶体管中的 N

型浅植入物和到 P 沟道晶体管中的 P 型浅植入物。图 12 和图 13 中展示此工艺的实例。

[0096] 在图 11 中，展示部分完成的工艺。完成的工艺包括：形成阱 (N 阱 81 和 P 阱 82)、形成沟槽隔离结构 85、形成栅极电介质 84 和沉积并图案化栅电极材料 83。此外，已沉积并图案化适当光阻掩模材料 86 以用于形成 NMOS 晶体管。在本发明的情境内，如图 11 中所说明，首先将团簇碳离子 88 植入在稍后将成为 NMOS 漏极延伸和 NMOS 源极 / 漏极结构的区中的衬底的未遮蔽区（并非 89，是类似但不同的区）中，直到通常 20-50nm 或刚好低于（例如）既定装置的接面深度的深度。除用碳掺杂硅之外，3E14 到 2E15 的团簇碳离子植入物（如上所述）将使较浅的硅层非晶化。

[0097] 一旦植入碳团簇离子植入物，图 12 就说明经由 N 型团簇植入物 88 形成 N 沟道漏极延伸 89 的方法，而图 13 就展示通过 P 型团簇植入物 91 形成 P 沟道漏极延伸 90。应注意，N 型与 P 型晶体管要求具有类似几何结构的较浅接面，且因此具有 N 型与 P 型团簇植入物有利于形成先进的 CMOS 结构。

[0098] 图 14 中展示用于形成 NMOS 晶体管的状况下的此方法的应用的实例。此图展示已经历制造半导体装置的前端工艺步骤中的一些步骤的半导体衬底 41。举例来说，所述结构由经由 P 阱 43、沟槽隔离 42 和栅极堆叠形成 44、45 步骤所处理的 N 型半导体衬底 41 组成。在以引用的方式并入本文中的 2004 年 1 月 8 日公开的题为“An Ion ImplantationDevice and a Method of semiconductor Manufacturing By the Implantation of Boron HydrideCluster Ions”的第 WO 2004/003973A2 号国际公开案中揭示形成栅极堆叠、P 阱和沟槽隔离的例示性工艺。

[0099] 砷植入以往已用以形成 NMOS SDE 结构，且因为 As 在硅中显示较慢的扩散，所以无需额外方法来形成适当结构。然而，在先进技术中存在可能排除将 As 用于 SDE 的问题。举例来说，因为硅对于磷比对于砷具有较高固体溶解度，所以磷可在比砷高的浓度下活化。因此，磷可产生比砷低的电阻率 S/D 区，这是一个重要特征，因为在先进装置中电阻率倾向于随装置变浅（变小）而增加。在这些状况下，磷可成为可行的替代物，但与砷不同，磷在硅中显示较快扩散且因此通过碳进行的扩散抑制变为具吸引力的工艺。P 阱 43 与向阱 43 中的晶体管提供接面隔离的 N 型衬底 41 形成接面。沟槽隔离 42 在 N 阱与 P 阱之间（即，在整个 CMOS 结构中）提供横向介电隔离。通过栅极氧化层 44 和多晶硅栅电极 45 而构造栅极堆叠，其经图案化以形成晶体管栅极堆叠。涂覆并图案化光阻 46，使得暴露用于 NMOS 晶体管的区域，而遮蔽衬底 41 的其它区域。在涂覆光阻 46 之后，衬底 41 为漏极延伸植入物作好准备，所述漏极延伸植入物是装置制造工艺所需的最浅掺杂层。

[0100] 0.10μm 技术节点的前沿装置的典型工艺要求是 1keV 与 2keV 之间的砷植入能量和 $5\times10^{14}cm^{-2}$ 的砷剂量。将团簇离子束 47（在此状况下为 $As_4H_x^+$）导向半导体衬底，通常使得离子束的传播方向与衬底垂直以免被栅极堆叠遮蔽。$As_4H_x^+$ 团簇的能量应为所要 As^+ 植入能量的四倍，例如在 4keV 与 8keV 之间。团簇一旦冲击衬底就解离，且掺杂剂原子在半导体衬底的表面附近的浅层中停住，这形成漏极延伸区 48。应注意，相同植入物进入栅电极 49 的表面层，从而为栅电极提供额外掺杂。因此，图 14 中所描述的工艺是所提议的本发明的一种重要应用。

[0101] 图 15 中展示此方法的应用的另一实例：形成较深源极 / 漏极区。此图展示在执行半导体装置的制造中的进一步工艺步骤之后图 14 的半导体衬底 41。额外工艺步骤包括

形成衬垫氧化物 51 和在栅极堆叠的侧壁上形成隔片 52。重复图 14 中所描述但在图 15 中为清楚起见而标示的工艺步骤。P 阱 43 与为阱 43 中的晶体管提供接面隔离的 N 型衬底 41 形成接面。沟槽隔离 42 在 N 阱与 P 阱之间（即，在整个 CMOS 结构中）提供横向介电隔离。通过栅极氧化层 44 和多晶硅栅电极 45 而构造栅极堆叠，其经图案化以形成晶体管栅极堆叠。涂覆并图案化光阻 46，使得暴露用于 NMOS 晶体管的区域，但遮蔽衬底 41 的其它区域。涂覆光阻 46 之后。将团簇离子束 54（在此状况下为 $As_4H_x^+$）（但可改为使用类似剂量的磷植入物）导向半导体衬底，通常使得离子束的传播方向与衬底垂直以免被栅极堆叠遮蔽。掺杂剂原子在半导体衬底的表面附近的浅层中停住，这形成漏极延伸区 48。应注意，相同植入物进入栅电极 49 的表面层，从而为栅电极提供额外掺杂。衬垫氧化物 51 是用以保护暴露的衬底区域、栅电极 49 的顶部和潜在暴露的栅极电介质边缘的薄层氧化物（二氧化硅）。衬垫氧化物 51 通常热成长到 5-10nm 的厚度。另一方面，隔片 52 是驻留于栅极堆叠的侧面上并用以使栅电极绝缘的电介质（二氧化硅、氮化硅或其组合）的区。其还用作用于源极 / 漏极植入物（例如，54）的对准导引件，所述对准导引件必须与栅极边缘向后间隔以使晶体管正常操作。通过沉积二氧化硅和 / 或氮化硅层而形成隔片 52，接着以一方式对其进行等离子蚀刻以将残余层留在栅极堆叠的侧面上同时从源极 / 漏极区清除电介质。在蚀刻隔片 52 之后，涂覆并图案化光阻层 53 以暴露待植入的晶体管（在此实例中为 NMOS 晶体管）。接着，执行用以形成源极和漏极区 55 的离子植入。因为此植入要求在低能量下的高剂量，所以其是所提议的团簇植入方法的适当应用。0.13μm 技术节点的典型植入参数为在 $5\times10^{15}cm^{-2}$ 的砷剂量下每一砷原子 (54) 约 6keV，因此要求 ：24keV，$1.25\times10^{15}cm^{-2}$ $As_4H_x^+$ 植入 ；12keV，$2.5\times10^{15}cm^{-2}As_2H_x^+$ 植入 ；或 6keV，$5\times10^{15}cm^{-2}As^+$ 植入。

[0102] 如图 14 中所示，通过此植入形成源极和漏极区 55。这些区提供（在所述工艺中稍后将形成的）电路互连与由漏极延伸 48 结合沟道区 56 和栅极堆叠 44、45 界定的本征晶体管之间的高传导性连接。可将栅电极 45 暴露于此植入（如图所示），且如果如此，那么源极 / 漏极植入物为栅电极提供初级掺杂源。图 15 中将此展示为多晶硅掺杂层 57。

[0103] 图 16 和图 17 中分别展示展示形成 PMOS 漏极延伸 148 以及 PMOS 源极和漏极区 155 的详细图式。结构和工艺与图 15 和图 16 中的结构和工艺相同，其中使掺杂剂类型相反。因此，图 16 展示已经历制造半导体装置的前端工艺步骤中的一些步骤的半导体衬底 141。举例来说，所述结构由经由 N 阱 143、沟槽隔离 142 和栅极堆叠形成 144、145 步骤所处理的 P 型半导体衬底 141 组成。硼植入以往已用以形成 PMOS SDE 结构，然而在本发明中使用例如 $B_{18}H_x^+$ 的硼团簇离子。

[0104] N 阱 143 与向阱 143 中的晶体管提供接面隔离的 P 型衬底 141 形成接面。沟槽隔离 142 在 N 阱与 P 阱之间（即，在整个 CMOS 结构中）提供横向介电隔离。通过栅极氧化层 144 和多晶硅栅电极 145 而构造栅极堆叠，其经图案化以形成晶体管栅极堆叠。涂覆并图案化光阻 146，使得暴露用于 PMOS 晶体管的区域，但遮蔽衬底 141 的其它区域。在涂覆光阻 146 之后，衬底 141 为漏极延伸植入物作好准备，所述漏极延伸植入物是装置制造工艺所需的最浅掺杂层。0.10μm 技术节点的前沿装置的典型工艺要求为 0.5keV 与 1keV 之间的硼植入能量和 $5\times10^{14}cm^{-2}$ 的硼剂量。将团簇离子束 147（在此状况下为 $B_{18}H_x^+$）导向半导体衬底，通常使得离子束的传播方向与衬底垂直以免被栅极堆叠遮蔽。$B_{18}H_x^+$ 团簇的能量应为所要 B^+ 植入能量的 20 倍，例如在 10keV 与 20keV 之间，且 $B_{18}H_x^+$ 剂量应为硼剂量的十八分之

一，约 2.8E13。团簇一旦冲击衬底就解离，且掺杂剂原子在半导体衬底的表面附近的浅层中停住，这形成漏极延伸区 148。应注意，相同植入物进入栅电极 149 的表面层，从而为栅电极提供额外掺杂。因此，图 16 中所描述的工艺是所提议的本发明的一个重要应用。

[0105] 图 17 中展示此方法的应用的另一实例：形成较深源极 / 漏极区。此图展示在执行半导体装置的制造中的进一步工艺步骤之后图 16 的半导体衬底 141。额外工艺步骤包括形成衬垫氧化物 151 和在栅极堆叠的侧壁上形成隔片 152。重复图 16 中所描述但在图 17 中为清楚起见而标示的工艺步骤。N 阱 143 与为阱 143 中的晶体管提供接面隔离的 P 型衬底 141 形成接面。沟槽隔离 142 在 N 阱与 P 阱之间（即，在整个 CMOS 结构中）提供横向介电隔离。通过栅极氧化层 144 和多晶硅栅电极 145 而构造栅极堆叠，其经图案化以形成晶体管栅极堆叠。涂覆并图案化光阻 146 使得暴露用于 PMOS 晶体管的区域，但遮蔽衬底 141 的其它区域。涂覆光阻 146 之后。将团簇离子束 154（在此状况下为 $B_{18}H_x^+$）导向半导体衬底，通常使得离子束的传播方向与衬底垂直以免被栅极堆叠遮蔽。掺杂剂原子在半导体衬底的表面附近的浅层中停住，这形成漏极延伸区 148。应注意，相同植入物进入栅电极 149 的表面层，从而为栅电极提供额外掺杂。衬垫氧化物 151 是用以保护暴露的衬底区域、栅电极 149 的顶部和潜在暴露的栅极电介质边缘的薄层氧化物（二氧化硅）。衬垫氧化物 151 通常热成长到 5-10nm 的厚度。另一方面，隔片 152 是驻留于栅极堆叠的侧面上并用以使栅电极绝缘的电介质（二氧化硅、氮化硅或其组合）的区。其还用作用于源极 / 漏极植入物（例如，154）的对准导引件，所述对准导引件必须与栅极边缘向后间隔以使晶体管正常操作。通过沉积二氧化硅和 / 或氮化硅层而形成隔片 152，接着以一方式对其进行等离子蚀刻以将残余层留在栅极堆叠的侧面上同时从源极 / 漏极区清除电介质。

[0106] 在蚀刻隔片 152 之后，涂覆并图案化光阻层 153 以暴露待植入的晶体管（在此实例中为 PMOS 晶体管）。接着，执行用以形成源极和漏极区 155 的离子植入。因为此植入要求在低能量下的高剂量，所以其是所提议的团簇植入方法的适当应用。0.10μm 技术节点的典型植入参数为在 $5\times10^{15}cm^{-2}$ 的硼剂量下每一硼原子 (154) 约 4keV，因此要求：80keV，$2.8\times10^{14}cm^{-2}B_{18}H_x^+$ 植入；或 4keV，$5\times10^{15}cm^{-2}B^+$ 植入。这些区提供（在所述工艺中稍后将形成的）电路互连与由漏极延伸 148 结合沟道区 156 和栅极堆叠 144、145 界定的本征晶体管之间的高传导性连接。可将栅电极 145 暴露于此植入（如图所示），且如果如此，那么源极 / 漏极植入物为栅电极提供初级掺杂源。在图 17 中将此展示为多晶硅掺杂层 157。

[0107] 通常，单独的离子植入不足以形成有效半导体接面：需要热处理来电活化植入的掺杂剂。植入之后，半导体衬底的晶体结构被严重损坏（衬底原子被移出晶格位置），且植入的掺杂剂仅微弱结合到衬底原子，使得植入层具有较差电特性。通常执行高温（大于 900C）下的热处理或退火以修复半导体晶体结构，并定位掺杂剂原子取代烯丙基（即，在晶体结构中的衬底原子中的一者的位置中）。此取代允许掺杂剂与衬底原子结合并变为电活性的；即改变半导体层的传导性。然而，因为在热处理期间发生植入的掺杂剂的扩散，所以此热处理妨碍形成较浅接面。热处理期间的硼扩散实际上是在次 0.1 微米体系中实现 USJ 的限制因素。已开发先进工艺（例如“峰值退火”）用于此热处理以使较浅植入的掺杂剂的扩散最小化。峰值退火是快速热处理，其中最高温度下的驻留时间接近零：温度尽可能快地斜线升降。以此方式，在使植入的掺杂剂的扩散最小化的同时，达到活化植入的掺杂剂所必需的高温。预期，将结合本发明而利用此类先进热处理以使本发明在制造完成的半导体装

置的过程中的益处最大化。明确地说，植入的碳减少热活化工艺期间掺杂剂的瞬间增强扩散。

[0108] 显然，根据上述教示，本发明的许多修改和变化是可能的。因此，应了解，在所附权利要求书的范围内，可以不同于上文特定描述的方式实践本发明。

[0109] 所附权利要求书中陈述希望由专利特许证保护的内容。

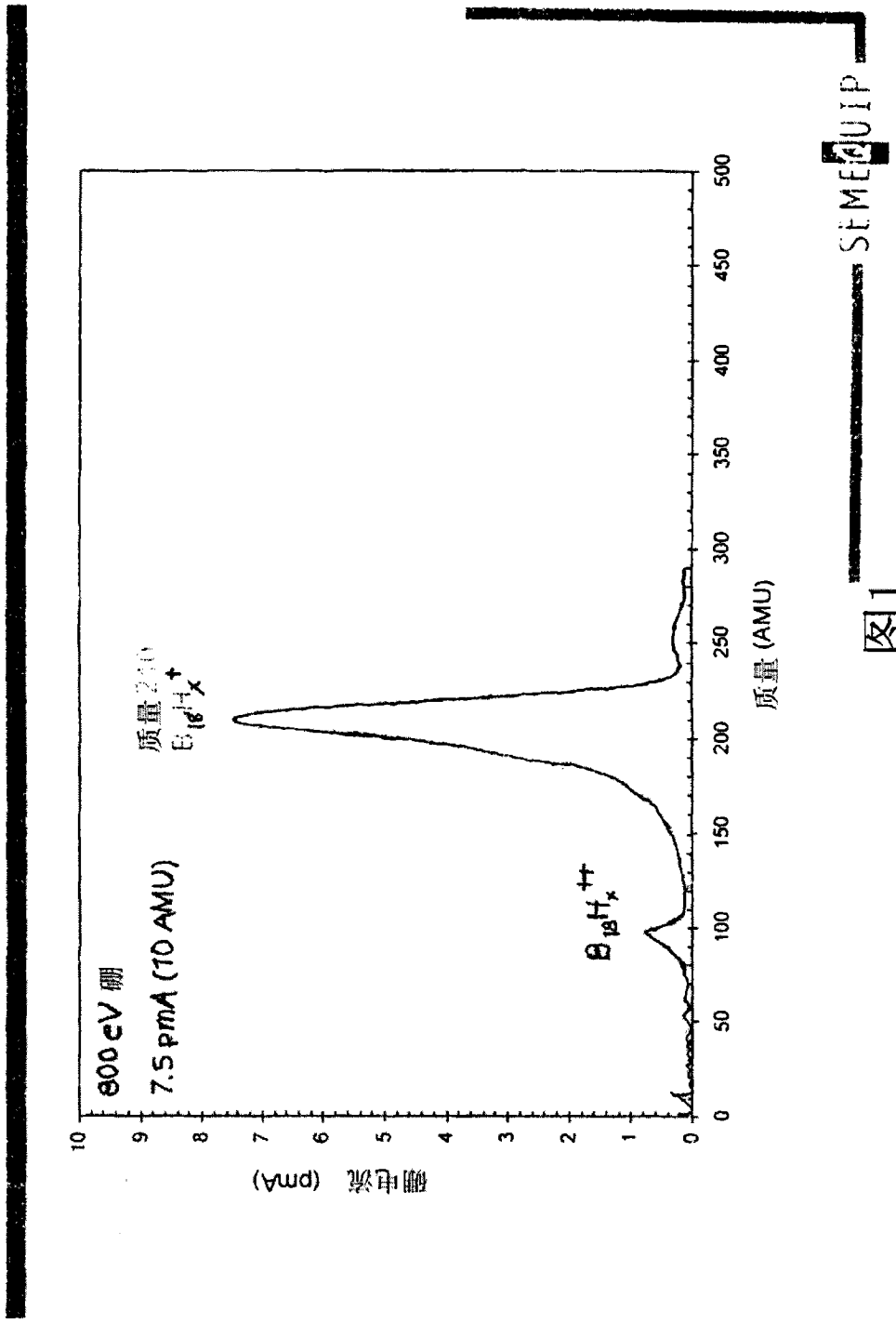

16 keV $B_{18}H_{22}$
硼电流 (pmA)
质量 (AMU)
800 eV 硼
7.5 pmA (10 AMU)
质量 220
$B_{18}H_x^+$
$B_{18}H_x^{++}$
SEMEQUIP

图 1

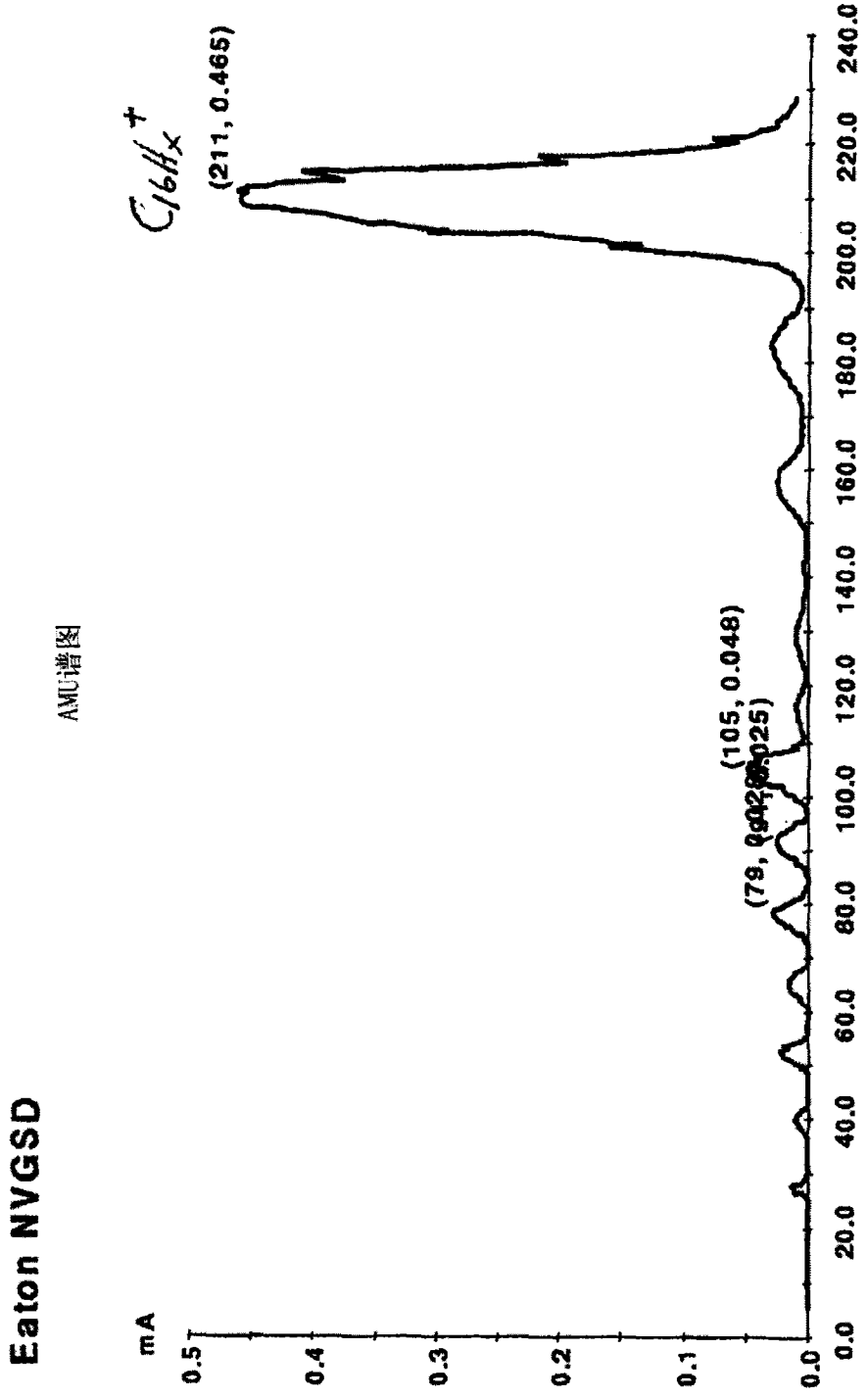

Eaton NVGSD
AMU谱图
mA
0.5
0.4
0.3
0.2
0.1
0.0
0.0
20.0
40.0
60.0
80.0
100.0
120.0
140.0
160.0
180.0
200.0
220.0
240.0
AMU
(211, 0.465)
(105, 0.048)
(79, 0.042)
$C_{16}H_x^+$

图2

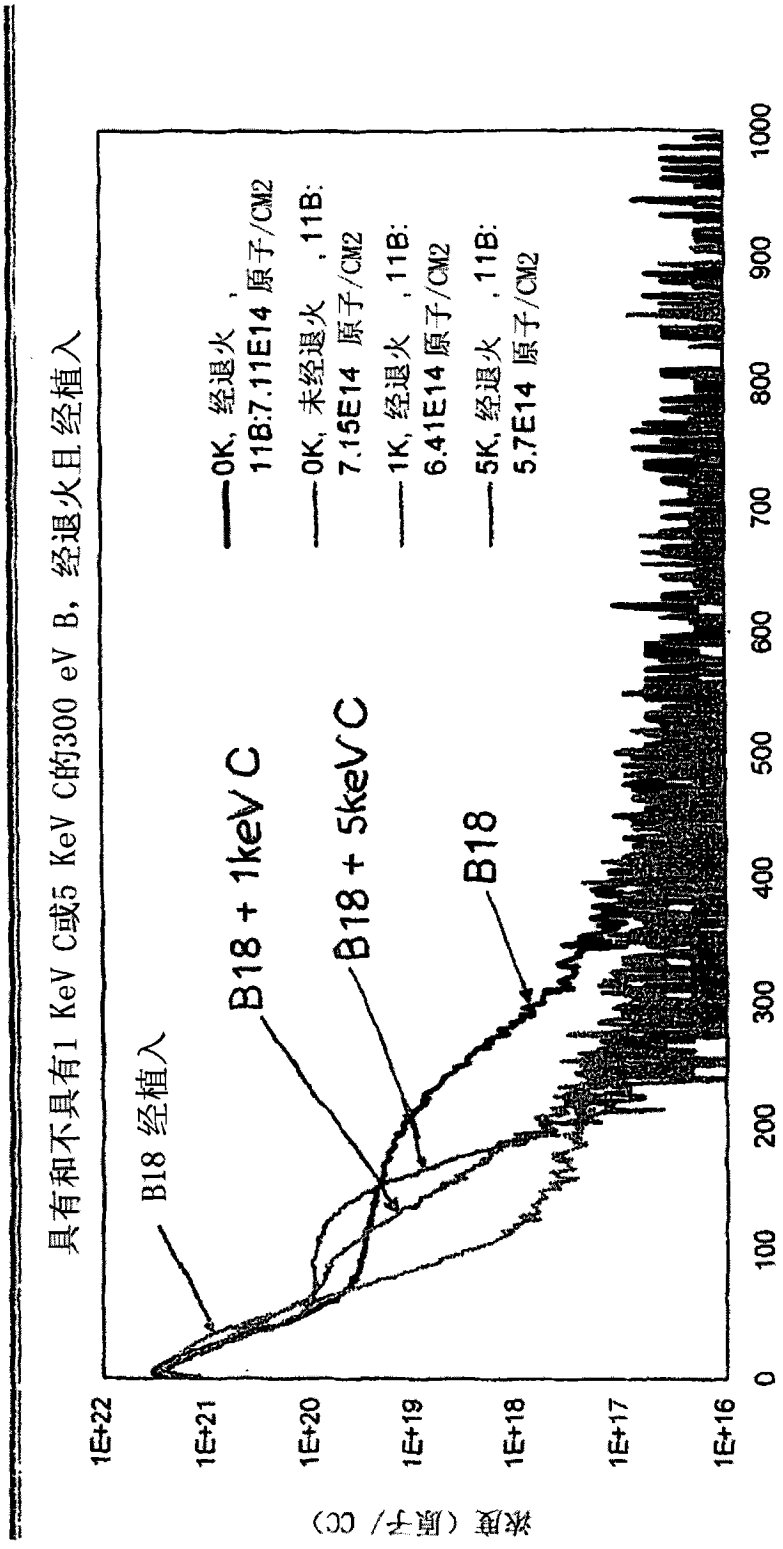

B18/C16结果，300 eV
具有和不具有1 KeV C或5 KeV C的300 eV B，经退火且经植入
B18 经植入
B18 + 1keV C
B18 + 5keV C
B18
0K, 经退火，11B:7.11E14 原子/CM2
0K, 未经退火，11B:7.15E14 原子/CM2
1K, 经退火，11B:6.41E14 原子/CM2
5K, 经退火，11B:5.7E14 原子/CM2
浓度（原子/cc）
1E+22
1E+21
1E+20
1E+19
1E+18
1E+17
1E+16
0
100
200
300
400
500
600
700
800
900
1000
深度（埃）

图3

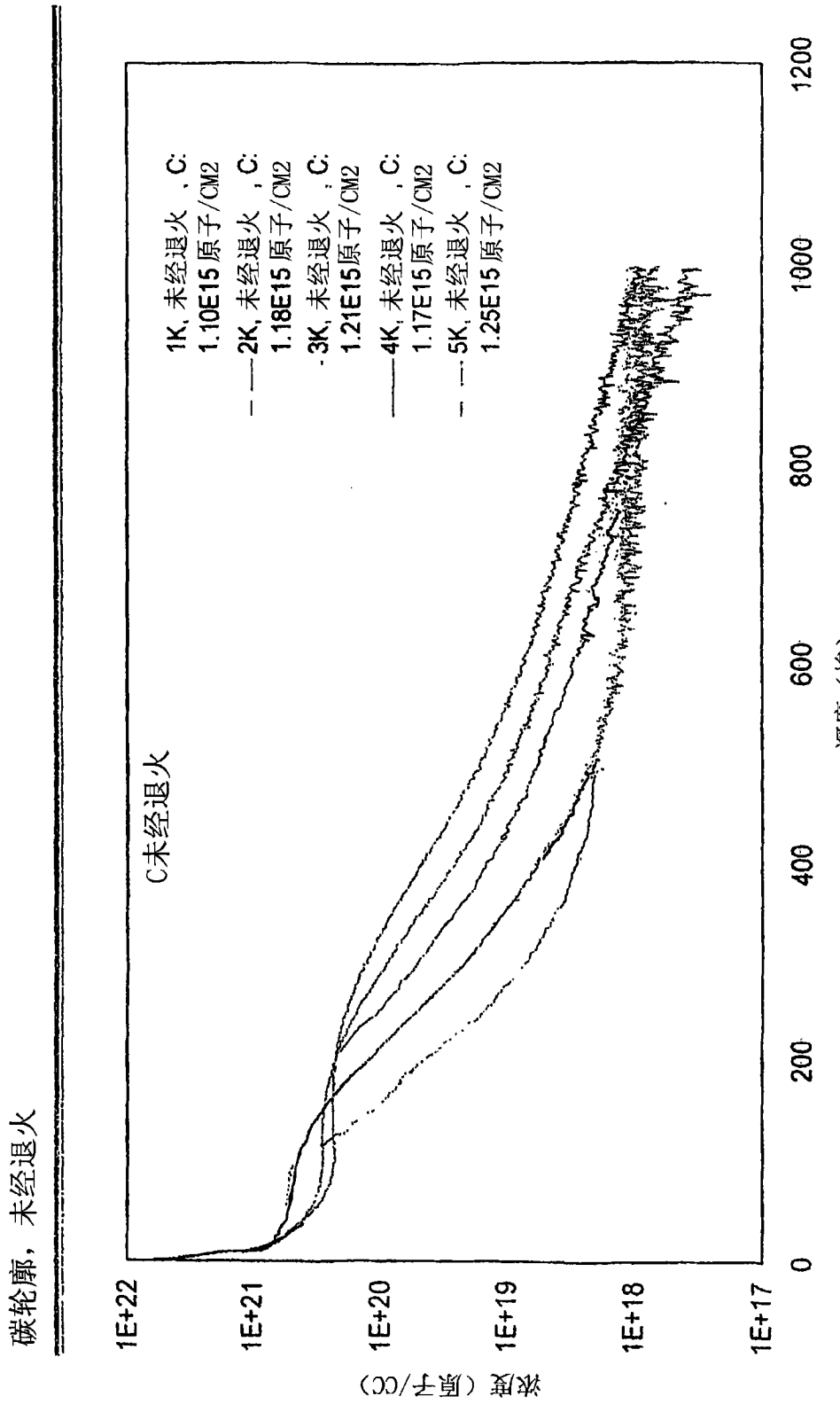

碳轮廓，未经退火
C未经退火
1K, 未经退火 , C:
1.10E15 原子/CM2
2K, 未经退火 , C:
1.18E15 原子/CM2
3K, 未经退火 , C:
1.21E15原子/CM2
4K, 未经退火 , C:
1.17E15原子/CM2
5K, 未经退火 , C:
1.25E15 原子/CM2
浓度（原子/cc）
1E+22
1E+21
1E+20
1E+19
1E+18
1E+17
0
200
400
600
800
1000
1200
深度（埃）

图4

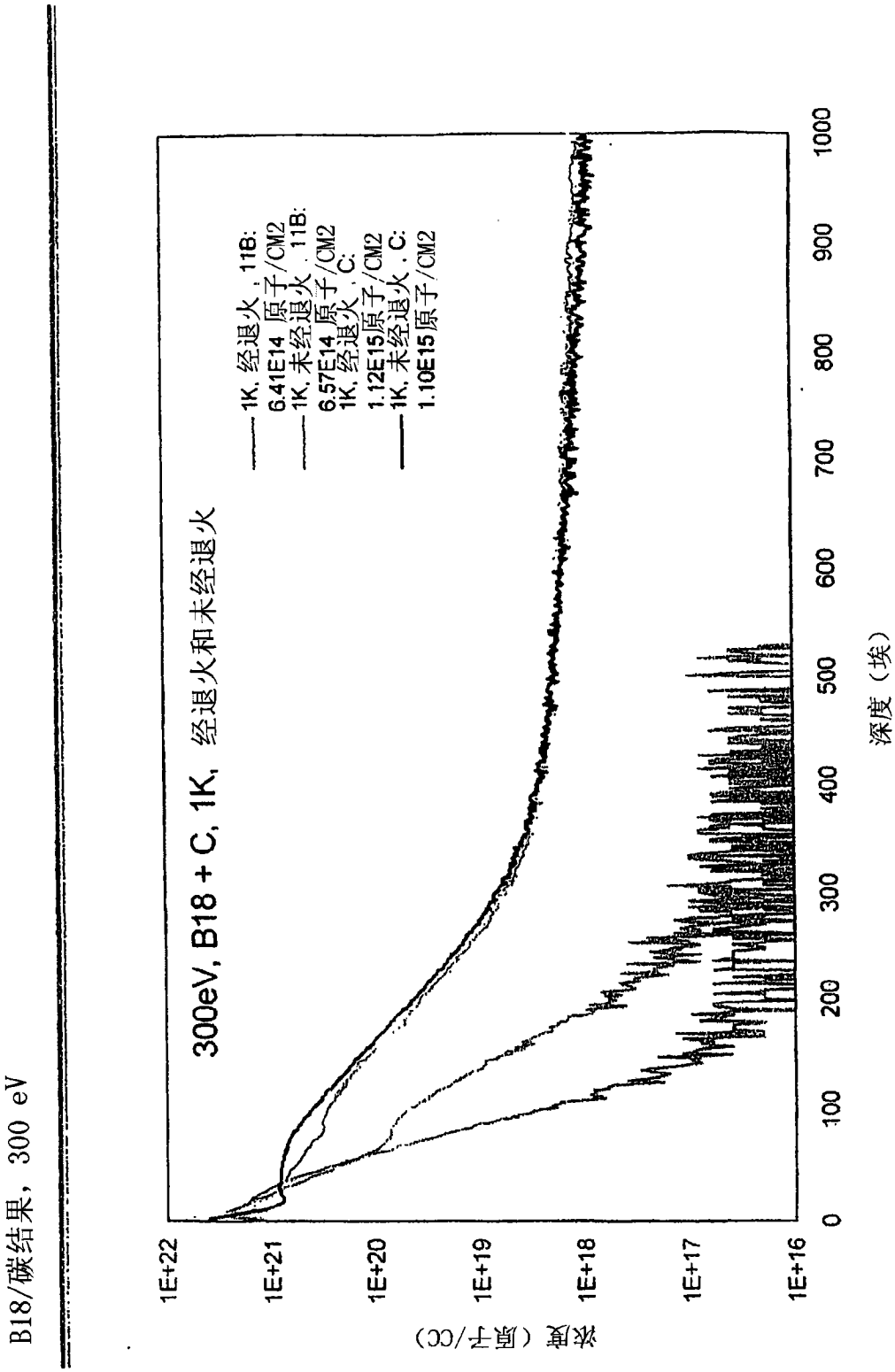

B18/碳结果，300 eV
300eV, B18 + C, 1K, 经退火和未经退火
1K, 经退火，11B: 6.41E14 原子/CM2
1K, 未经退火，11B: 6.57E14 原子/CM2
1K, 经退火，C: 1.12E15原子/CM2
1K, 未经退火，C: 1.10E15原子/CM2
浓度（原子/CC）
1E+22
1E+21
1E+20
1E+19
1E+18
1E+17
1E+16
0
100
200
300
400
500
600
700
800
900
1000
深度（埃）

图5

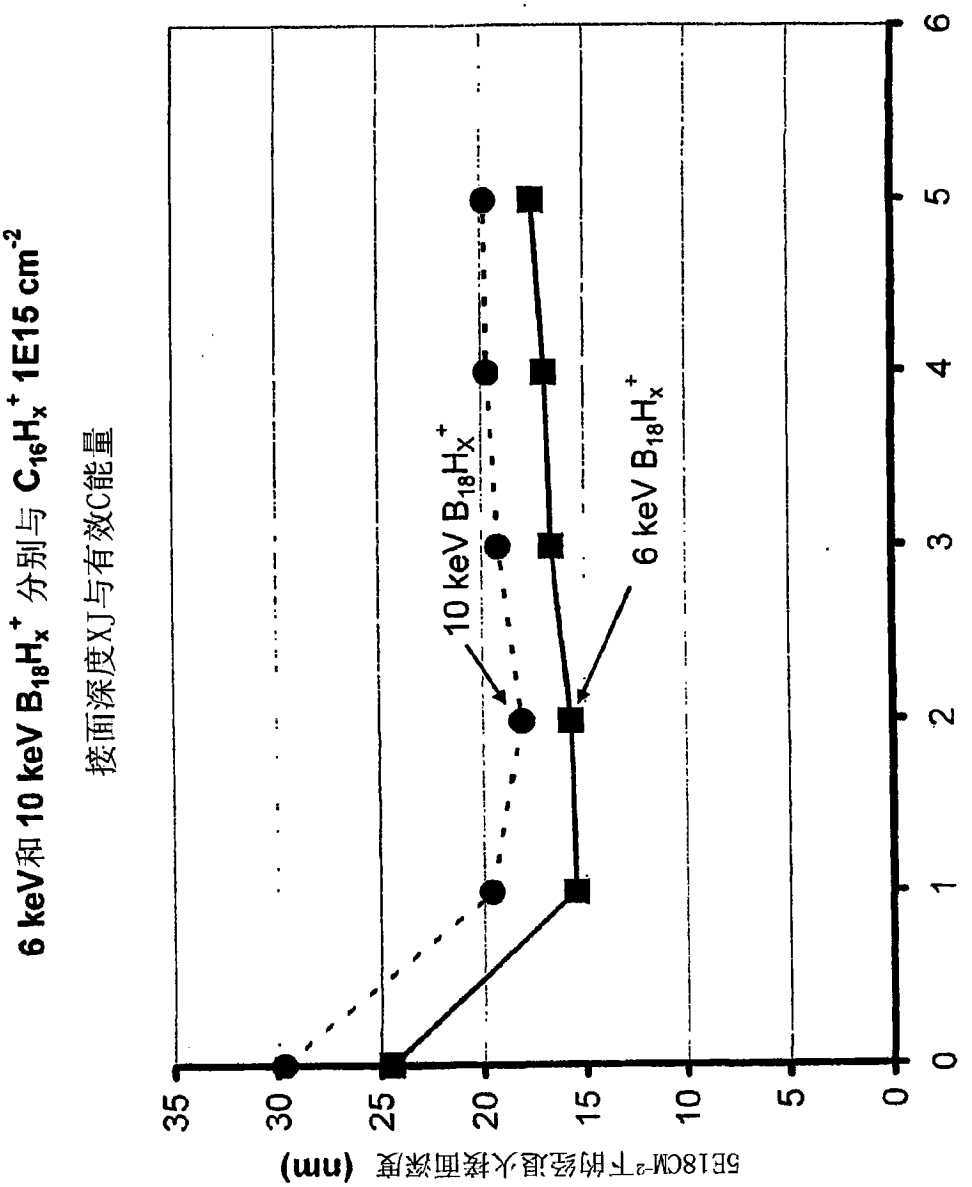

6 keV和 10 keV $B_{18}H_x^+$ 分别与 $C_{16}H_x^+$ 1E15 cm^{-2}
接面深度XJ与有效C能量
5E18CM-2下的经退火接面深度 (nm)
碳植入能量, keV
10 keV $B_{18}H_x^+$
6 keV $B_{18}H_x^+$
35
30
25
20
15
10
5
0
0
1
2
3
4
5
6

图6

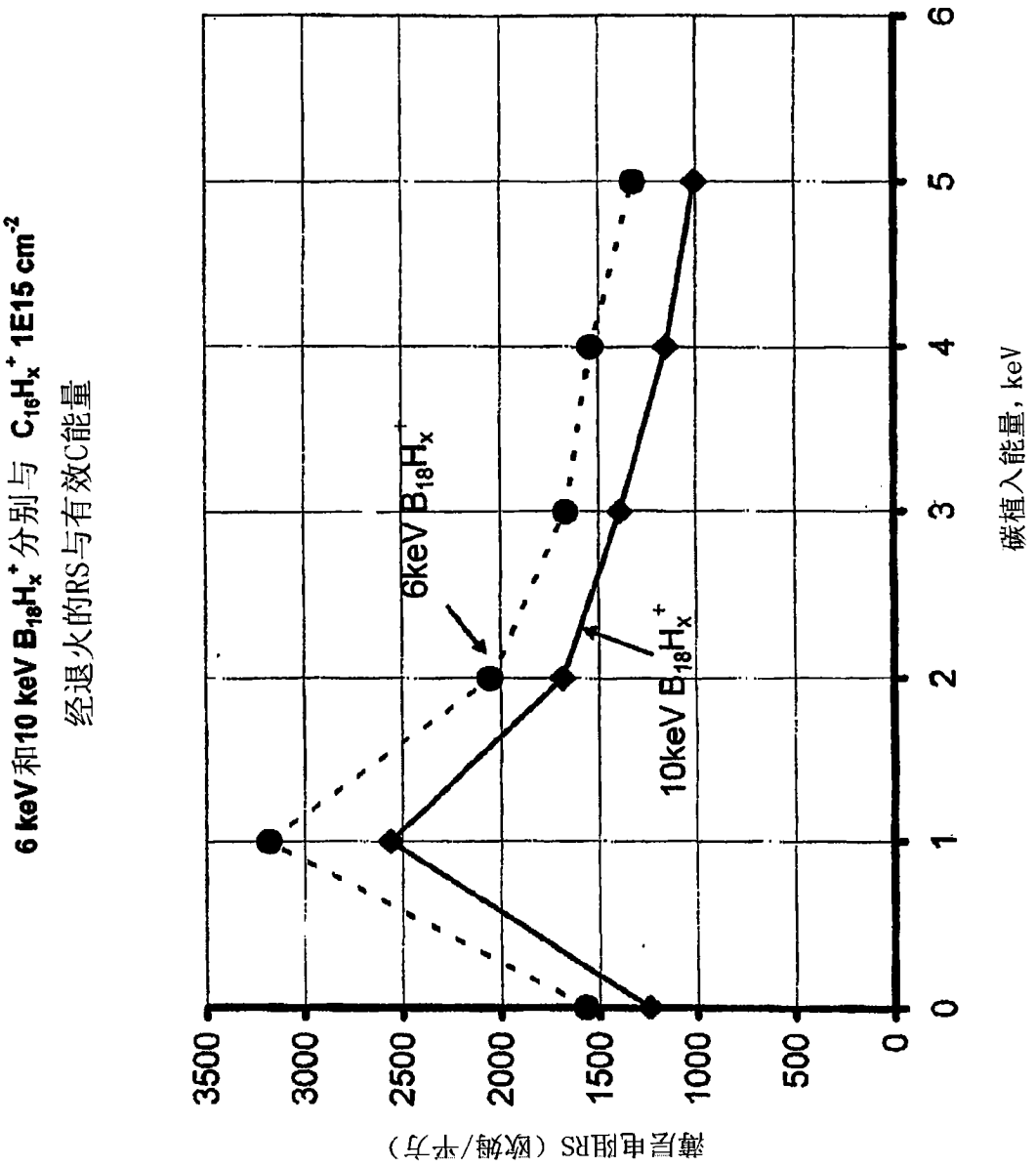

6 keV和10 keV $B_{18}H_x^+$分别与 $C_{16}H_x^+$ 1E15 cm^{-2}
经退火的RS与有效C能量
薄层电阻RS（欧姆/平方）
碳植入能量，keV
6keV $B_{18}H_x^+$
10keV $B_{18}H_x^+$
3500
3000
2500
2000
1500
1000
500
0
0
1
2
3
4
5
6

图7

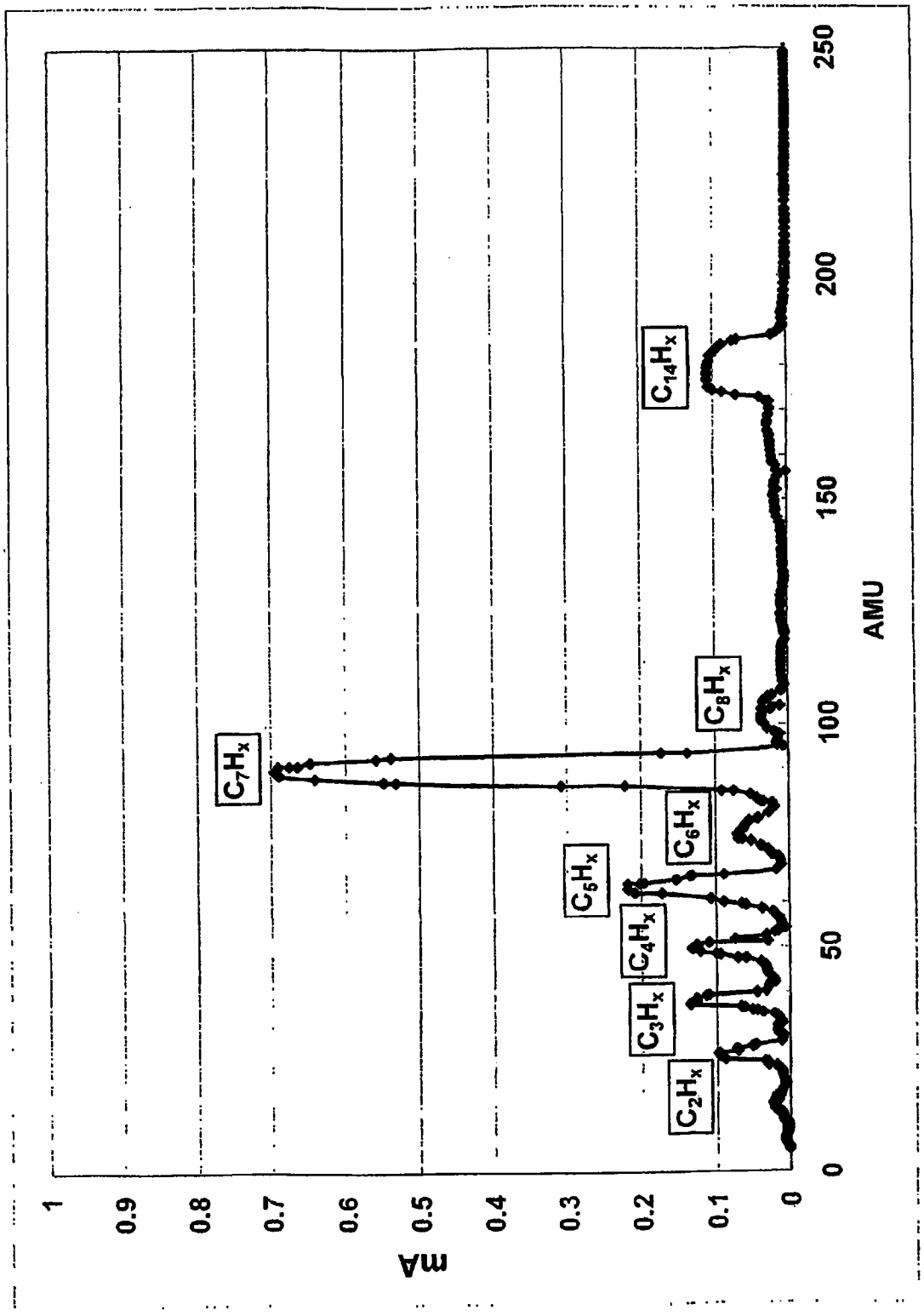

mA
AMU
0
0.1
0.2
0.3
0.4
0.5
0.6
0.7
0.8
0.9
1
0
50
100
150
200
250
C_7H_x
C_8H_x
C_6H_x
C_5H_x
C_4H_x
C_3H_x
C_2H_x
$C_{14}H_x$

图8

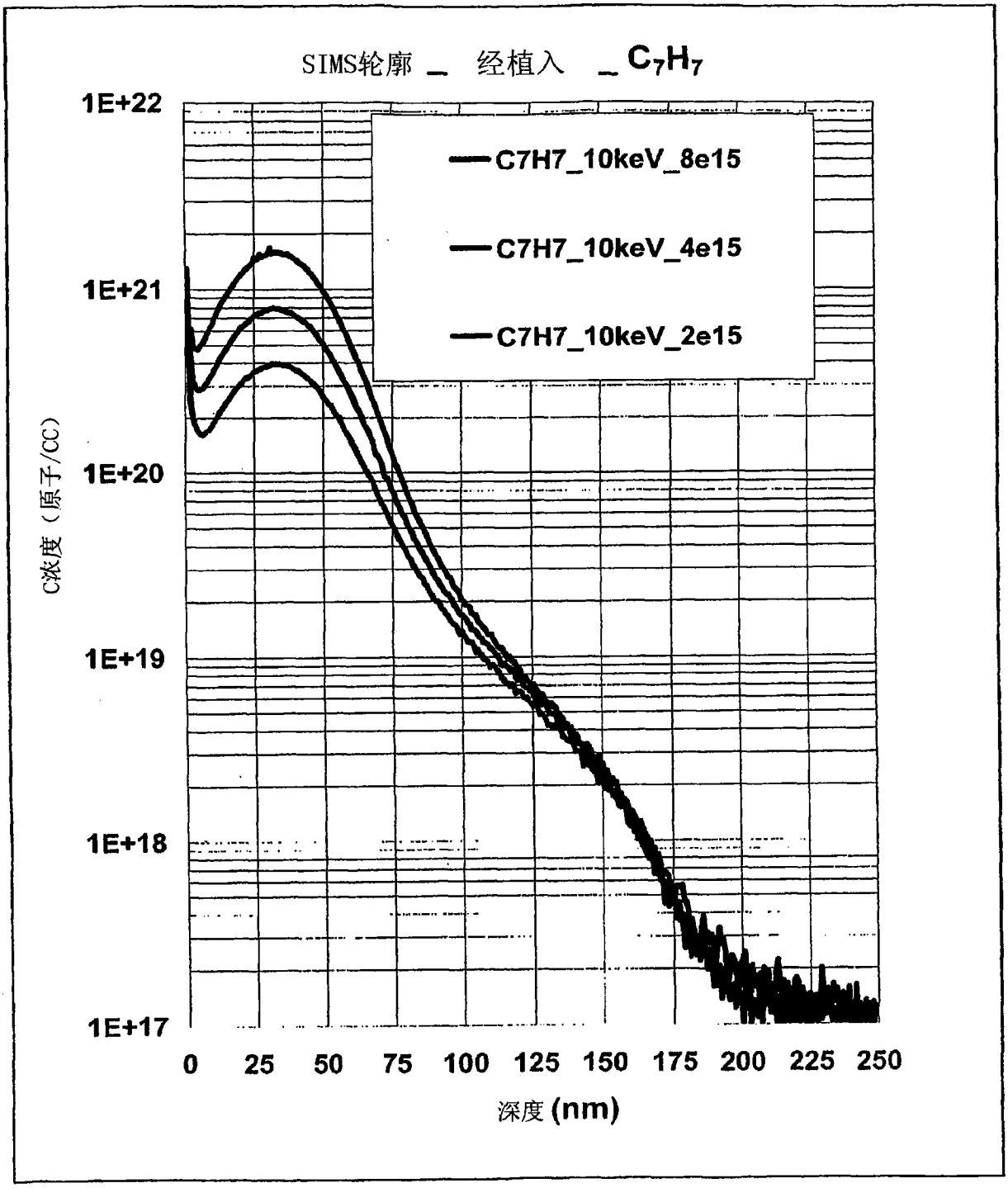

SIMS轮廓 _ 经植入 _ C7H7
C7H7_10keV_8e15
C7H7_10keV_4e15
C7H7_10keV_2e15
1E+22
1E+21
1E+20
1E+19
1E+18
1E+17
C浓度（原子/CC）
0 25 50 75 100 125 150 175 200 225 250
深度 (nm)

图 9

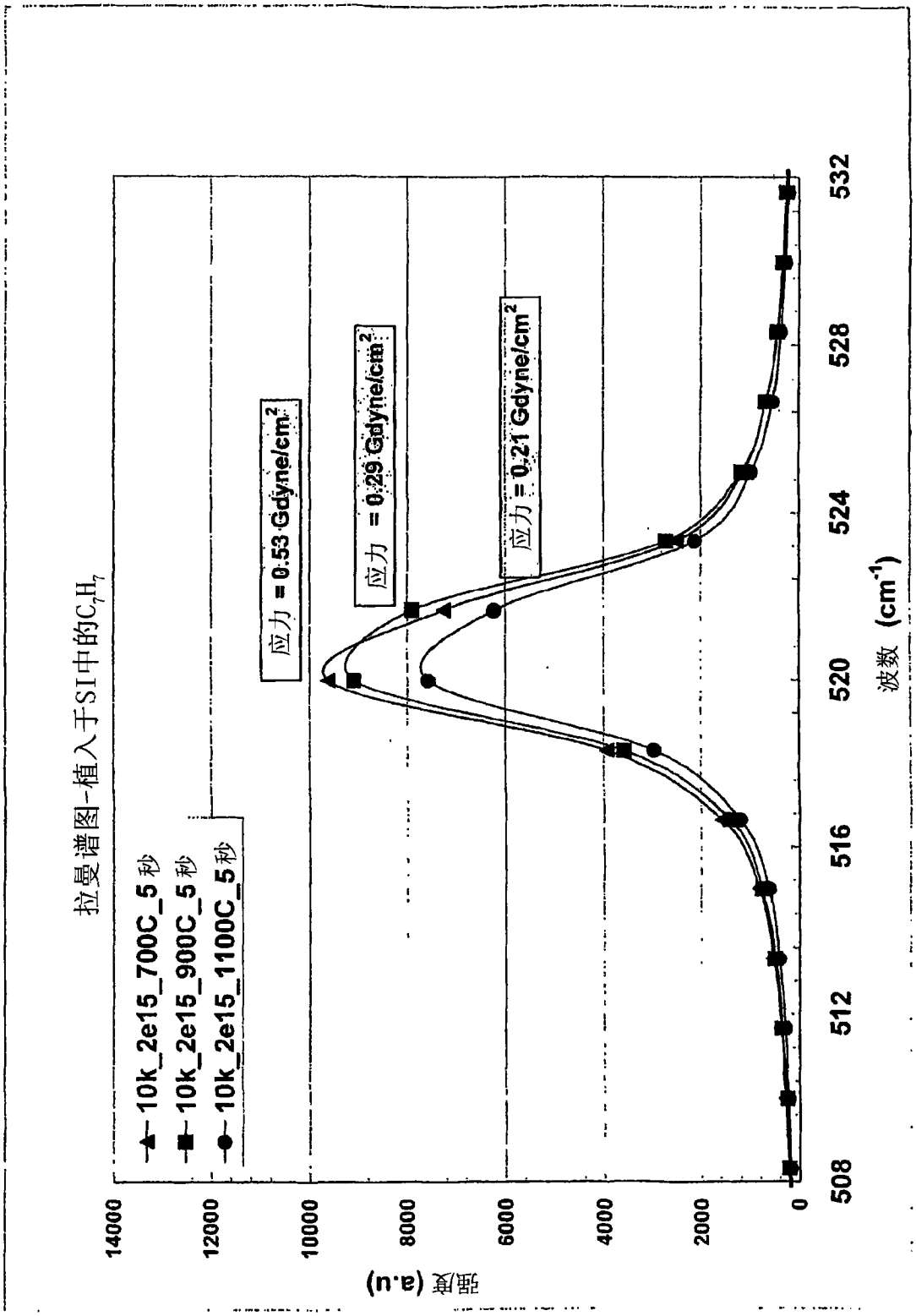

拉曼谱图-植入于SI中的C_7H_7
10k_2e15_700C_5秒
10k_2e15_900C_5秒
10k_2e15_1100C_5秒
应力 = 0.53 Gdyne/cm²
应力 = 0.29 Gdyne/cm²
应力 = 0.21 Gdyne/cm²
强度 (a.u)
波数 (cm⁻¹)
14000
12000
10000
8000
6000
4000
2000
0
508
512
516
520
524
528
532

图10

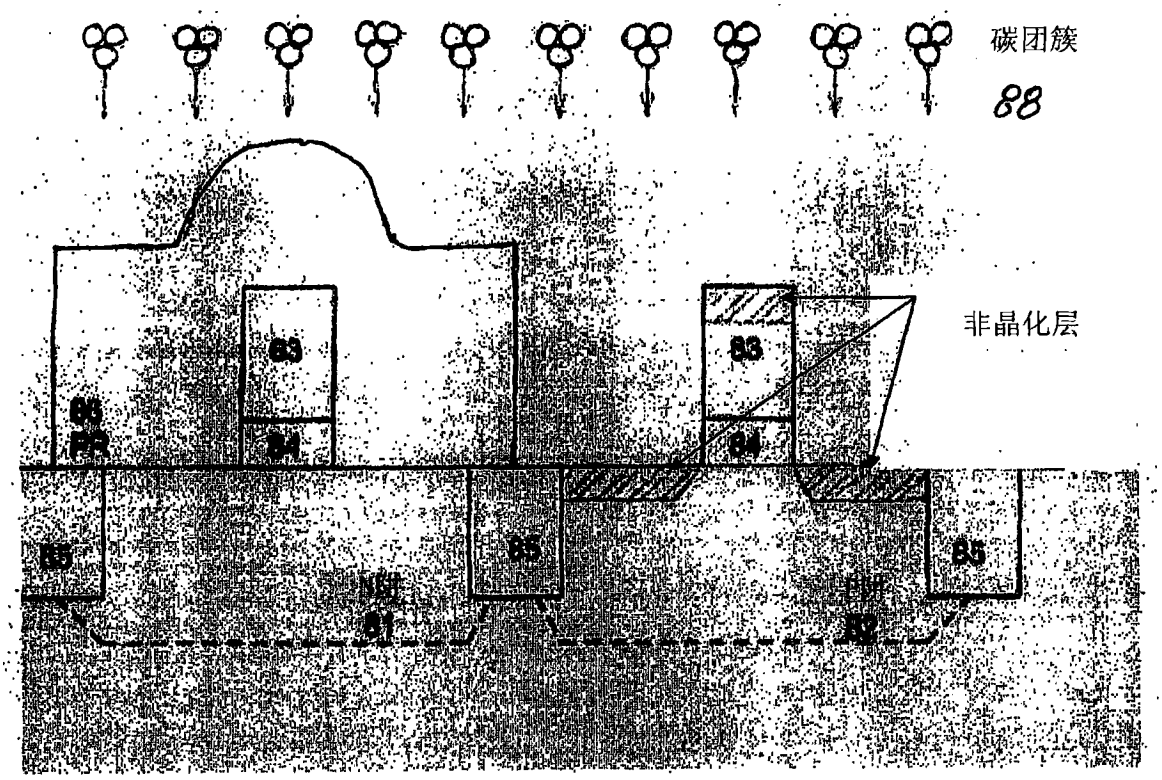

碳团簇
88
非晶化层
83
84
85
N阱
81
P阱
82

图 11

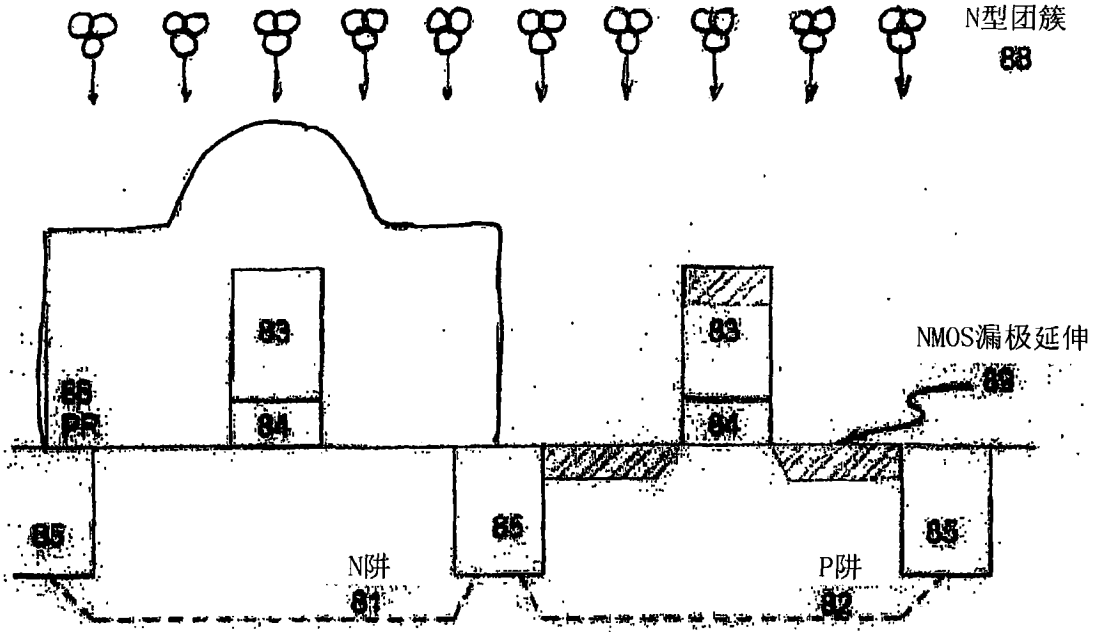

N型团簇
88
NMOS漏极延伸
89
83
84
85
N阱
81
P阱
82

图 12

CMOS 制造序列的实例 NMOS 漏极延伸

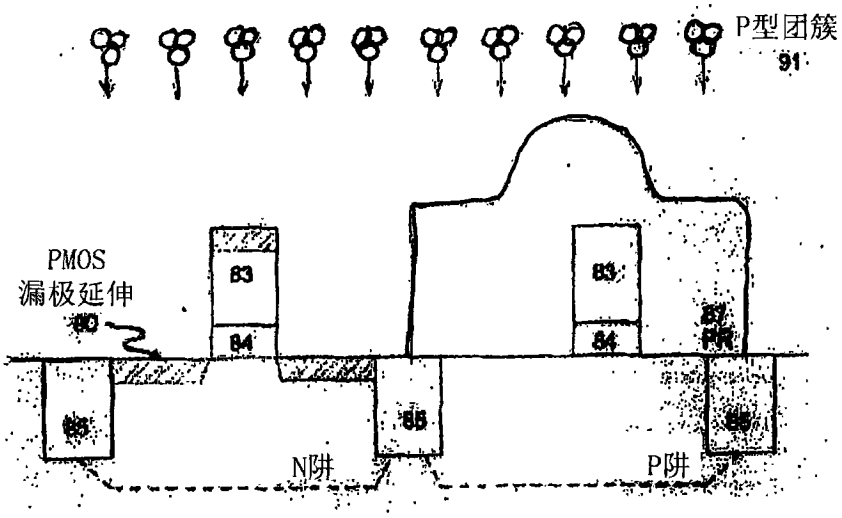


图 13 CMOS 制造序列的实例 PMOS 漏极延伸

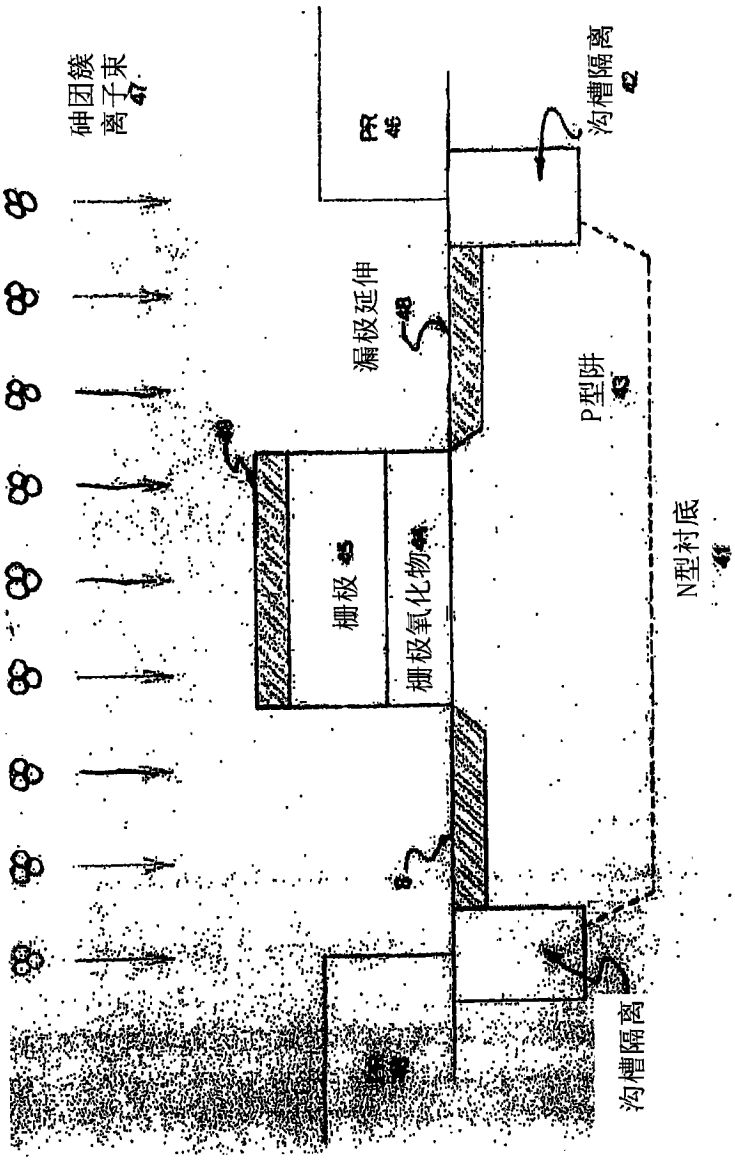


图14

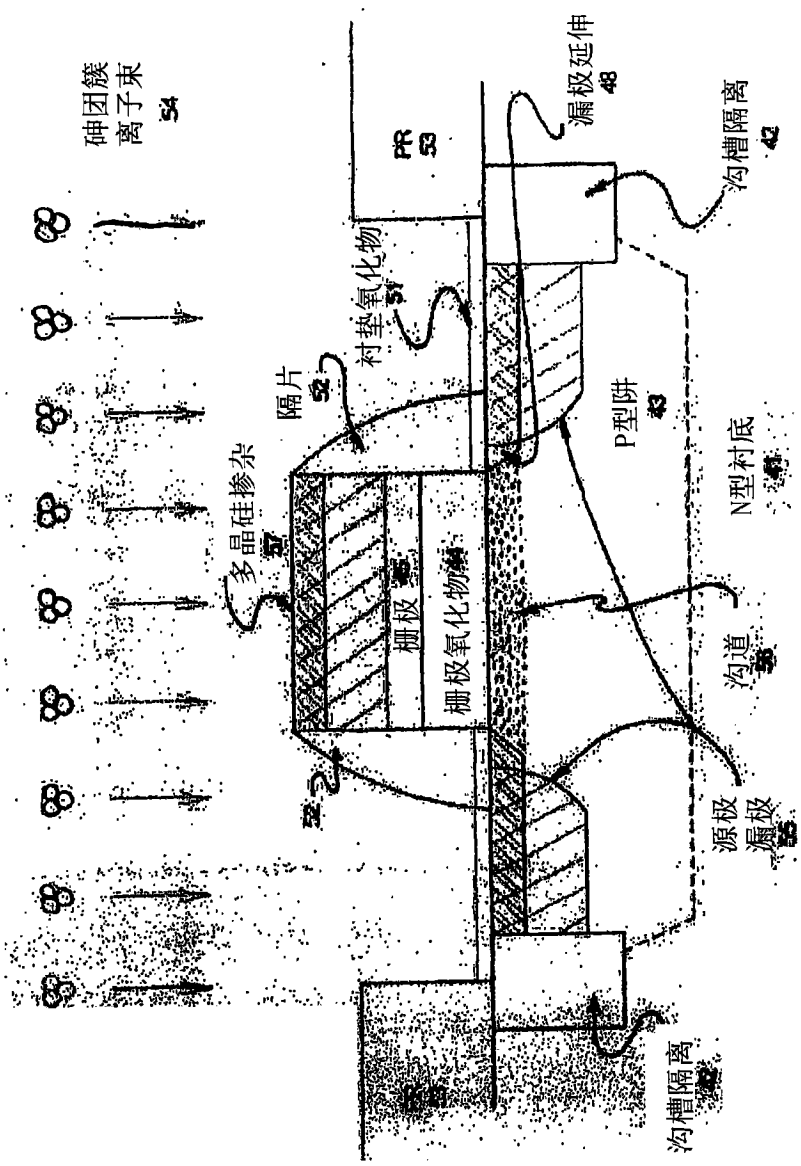

砷团簇离子束 54
PR 53
漏极延伸 48
沟槽隔离 42
衬垫氧化物 51
隔片 52
多晶硅掺杂 50
栅极 46
栅极氧化物 44
P型阱 43
N型衬底 41
沟道 36
源极 34
漏极 38
沟槽隔离 42

图15

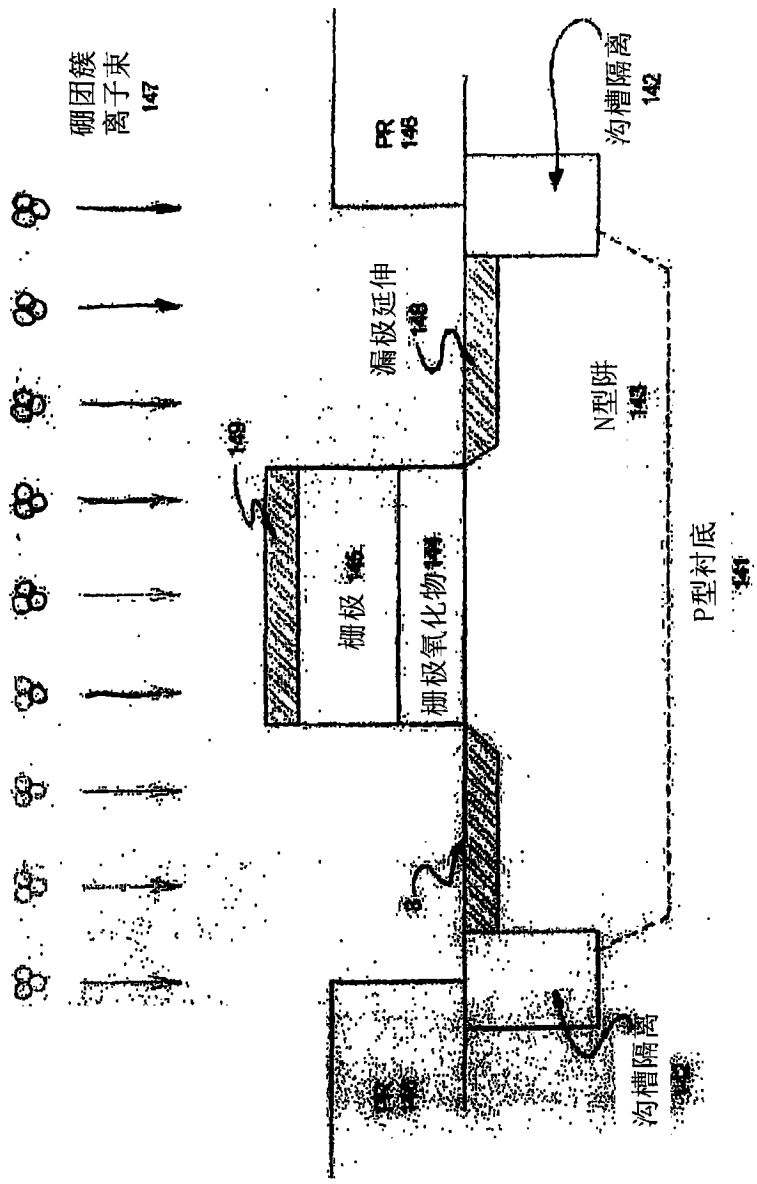


图16

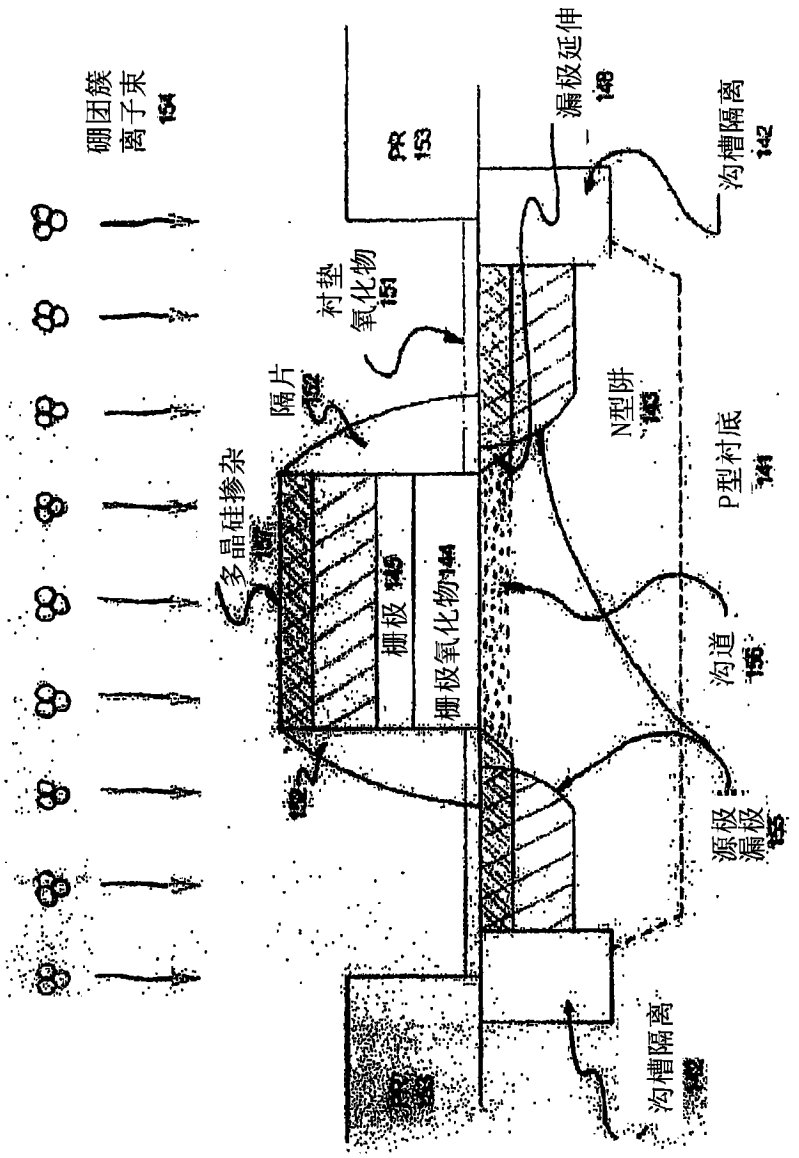

硼团簇
离子束
154
PR
153
漏极延伸
148
沟槽隔离
142
衬垫
氧化物
151
隔片
152
N型阱
143
多晶硅掺杂
147
栅极
145
栅极氧化物144
P型衬底
141
沟道
156
源极
漏极
155
沟槽隔离

图17