

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-219006

(P2008-219006A)

(43) 公開日 平成20年9月18日(2008.9.18)

(51) Int.Cl.

H01L 21/8238 (2006.01)
H01L 27/092 (2006.01)
H01L 29/423 (2006.01)
H01L 29/49 (2006.01)
H01L 21/28 (2006.01)

F 1

H01L 27/08 321D
H01L 29/58 G
H01L 21/28 301R
H01L 29/78 301G

テーマコード(参考)

4M104

5FO48

5F140

審査請求 未請求 請求項の数 17 O L (全 12 頁) 最終頁に続く

(21) 出願番号

特願2008-41889(P2008-41889)

(22) 出願日

平成20年2月22日(2008.2.22)

(31) 優先権主張番号

10-2007-0020593

(32) 優先日

平成19年2月28日(2007.2.28)

(33) 優先権主張国

韓国(KR)

(71) 出願人 390019839

三星電子株式会社

SAMSUNG ELECTRONICS
CO., LTD.大韓民国京畿道水原市靈通区梅灘洞416
416, Maetan-dong, Yeongtong-gu, Suwon-si,
Gyeonggi-do 442-742
(KR)

(74) 代理人 100064908

弁理士 志賀 正武

(74) 代理人 100089037

弁理士 渡邊 隆

(74) 代理人 100108453

弁理士 村山 靖彦

最終頁に続く

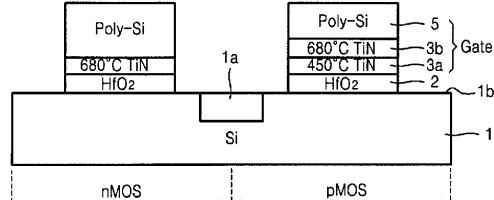
(54) 【発明の名称】 CMOS半導体素子及びその製造方法

(57) 【要約】

【課題】デュアルメタルゲートCMOS半導体素子を提供する。

【解決手段】金属窒化物層及び多結晶シリコンキャピング層を備え、nMOS領域及びpMOS領域の金属窒化物層は同種物質で形成され、相異なる不純物含有量により相異なる仕事関数を持つデュアルメタルゲートCMOS半導体素子。同種の金属窒化物層によりメタルゲートを形成するので、工程が単純化して収率が向上すると共に、高性能のCMOS半導体素子を得ることができる。

【選択図】図9H



【特許請求の範囲】

【請求項 1】

n MOS 領域及び p MOS 領域を持つ CMOS 半導体素子において、前記 n MOS 領域及び p MOS 領域には、 poly-Si キャッピング層及びこの下部の金属窒化物層を備えるゲートがそれぞれ設けられ、

前記 n MOS 領域及び p MOS 領域の各ゲートの下部にはゲート絶縁層が設けられ、

前記 n MOS 領域及び p MOS 領域の金属窒化物層は同種物質で形成され、各領域の金属窒化物層は不純物濃度差による相異なる仕事関数を持つことを特徴とする CMOS 半導体素子。

【請求項 2】

前記ゲート絶縁層は、 HfO₂ からなることを特徴とする請求項 1 に記載の CMOS 半導体素子。

【請求項 3】

前記金属窒化物層は、 C、 Cl、 F、 N、 O のうち少なくともいずれか一つの成分を不純物として含有することを特徴とする請求項 1 または請求項 2 に記載の CMOS 半導体素子。

【請求項 4】

前記金属窒化物層は、 Ti、 Ta、 W、 Mo、 Al、 Hf、 Zr のうちいずれか一つの元素と N を含むことを特徴とする請求項 1 ないし 3 のうちいずれか 1 項に記載の CMOS 半導体素子。

【請求項 5】

前記金属窒化物層は、 TiN からなることを特徴とする請求項 4 に記載の CMOS 半導体素子。

【請求項 6】

前記 n MOS 領域及び p MOS 領域の金属窒化物層は相異なる厚さを持ち、相対的に厚い金属窒化物層は、複数の単位金属窒化物層を持つことを特徴とする請求項 1 ないし 4 のうちいずれか 1 項に記載の CMOS 半導体素子。

【請求項 7】

前記厚い金属窒化物層の単位金属窒化物層は、相異なる濃度の不純物を含むことを特徴とする請求項 1 ないし 3 及び請求項 6 のうちいずれか 1 項に記載の CMOS 半導体素子。

【請求項 8】

前記 n MOS 領域の金属窒化物層は、 p MOS 領域の金属窒化物層に比べて薄い厚さを持ち、

前記 n MOS 領域の金属窒化物層の仕事関数は、 p MOS 領域の金属窒化物層の仕事関数に比べて小さいことを特徴とする請求項 1 に記載の CMOS 半導体素子。

【請求項 9】

n MOS 領域及び p MOS 領域を持つシリコン基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記 n MOS 領域及び p MOS 領域に対応するものであって、金属窒化物層及びこの上の多結晶シリコンキャッピング層を持つゲートをそれぞれ形成する工程と、を含み、

前記 n MOS 領域の金属窒化物層及び p MOS 領域の金属窒化物層は同種物質で形成し、これらそれぞれに不純物濃度差を調節して前記両金属窒化物層に相異なる仕事関数を持たせることを特徴とする CMOS 半導体素子の製造方法。

【請求項 10】

前記金属窒化物層の不純物濃度の調節は、金属窒化物層の蒸着温度調節により行うことを特徴とする請求項 9 に記載の CMOS 半導体素子の製造方法。

【請求項 11】

前記 p MOS 領域の金属窒化物層は、 n MOS 領域の金属窒化物層に比べて厚い厚さを持ち、前記 p MOS 領域の金属窒化物層の仕事関数は、 n MOS 領域の金属窒化物層に比

10

20

30

40

50

べて大きい仕事関数を持つことを特徴とする請求項 9 に記載の C M O S 半導体素子の製造方法。

【請求項 1 2】

前記ゲートを形成する工程は、

前記絶縁膜上に 1 次金属窒化物層を形成する工程と、

前記 1 次金属窒化物層から前記 n M O S に対応する部分を除去する工程と、

前記 1 次金属窒化物層及び前記 n M O S 領域上に 2 次金属窒化物層を形成する工程と、

前記 2 次金属窒化物層上に多結晶シリコンキャッピング層を形成する工程と、

前記絶縁物質からその上の積層をパターニングして、前記 n M O S 領域及び p M O S 領域に対応するゲートを前記基板上に形成する工程と、を含むことを特徴とする請求項 9 に記載の C M O S 半導体素子の製造方法。 10

【請求項 1 3】

前記 1 次金属窒化物層及び 2 次金属窒化物層は、相異なる工程温度で形成することを特徴とする請求項 1 2 に記載の C M O S 半導体素子の製造方法。

【請求項 1 4】

前記 1 次金属窒化物層の工程温度は、2 次金属窒化物層の工程温度に比べて 100 以上低いことを特徴とする請求項 1 3 に記載の C M O S 半導体素子の製造方法。

【請求項 1 5】

前記 1 次金属窒化物層の工程温度は実質的に 450 であり、2 次金属窒化物層の工程温度は 680 であることを特徴とする請求項 1 4 に記載の C M O S 半導体素子の製造方法。 20

【請求項 1 6】

前記金属窒化物層は、T i、W、T a、M o、A l、H f、Z r からなるグループから選択されたいずれか一つの元素及びNを含むことを特徴とする請求項 9 ないし 1 5 のうちいずれか 1 項に記載の C M O S 半導体素子の製造方法。

【請求項 1 7】

前記不純物は、C、C l、F、N、O からなるグループから選択された少なくとも一つの元素を含むことを特徴とする請求項 9 ないし 1 6 のうちいずれか 1 項に記載の C M O S 半導体素子の製造方法。

【発明の詳細な説明】

30

【技術分野】

【0 0 0 1】

本発明は、C M O S 半導体素子及びその製造方法に係り、詳細にはデュアルメタルゲート C M O S 半導体素子及びその製造方法に関する。

【背景技術】

【0 0 0 2】

C M O S (Complementary Metal-Oxide Semiconductor) 半導体素子の高い集積度と速い動作速度が要求されるにつれて、ゲート絶縁膜及びゲート電極の超薄膜化が要求される。二酸化ケイ素 (S i O₂) 絶縁膜の超薄膜化による物理的 / 製造工程上の限界を克服するために、二酸化ケイ素に比べて高い誘電定数を持つ高誘電性 (high-k) ゲート絶縁膜の開発が必須である。高誘電性ゲート絶縁物質を使用することによって、同じ有効絶縁膜の厚さで実際絶縁膜の厚さを厚くできて、絶縁膜の漏れ電流を顕著に減らすことができる。高誘電性物質をゲート絶縁膜として使用し難い理由は、多結晶シリコン (poly-Si) との互換性及び固定電荷についての理解不足、界面制御の難しさ、移動度の低下そして高いゲート空乏層の形成などの問題に起因する。 40

【0 0 0 3】

M I P S (Metal Inserted poly-Si Stack) 構造を持つ M O S ドランジスタ (非特許文献 1、非特許文献 2 参考) は、ゲートの空乏層の形成がなく、そして、絶縁膜へのドーパント浸透がないという長所を持つ。しかし、挿入された金属により、不純物注入による仕事関数の調節が難しい。したがって、M I P S 構造の C M O S 半導体素子は、n M O S ト

50

ランジスタと p M O S ランジスタとに相異なる仕事関数を持つゲート構造またはゲート物質の使用を要求する。

【 0 0 0 4 】

特許文献 1 は、 n M O S には n + の仕事関数を持つ金属を、そして p M O S に p + の仕事関数を持つ金属を利用するデュアルメタルゲートについて紹介する。

【 0 0 0 5 】

特許文献 2 は、 n M O S または p M O S の一側に金属層をさらに一つ追加的に挿入する方法でデュアルメタルゲートを形成する方法を提示する。

【特許文献 1】米国特許 6,727,130 号明細書

10

【特許文献 2】米国特許公開 2004-0023478 号公報

【非特許文献 1】H.-S. Jung et al., IRPS, p50, 2005

【非特許文献 2】H.-S. Jung et al., VLSI, p252, 2005

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

本発明は n M O S と p M O S とに同種物質からなるメタルゲートを利用することによって、製造工程が単純化されて収率が向上した C M O S 半導体素子及びその製造方法を提供する。

【課題を解決するための手段】

20

【 0 0 0 7 】

本発明の模範的な実施形態による C M O S 半導体素子は、 n M O S 領域及び p M O S 領域を持つ C M O S 半導体素子において、前記 n M O S 領域及び p M O S 領域には、 p o l y - S i キャッピング層及びこの下部の金属窒化物層を備えるゲートがそれぞれ設けられ、前記 n M O S 領域及び p M O S 領域の各ゲートの下部にはゲート絶縁層が設けられ、前記 n M O S 領域及び p M O S 領域の金属窒化物層は同種物質で形成され、各領域の金属窒化物層は不純物濃度差による相異なる仕事関数を持つ。

【 0 0 0 8 】

本発明の具体的な実施形態によれば、前記ゲート絶縁層は、 H f O 2 からなり、前記金属窒化物層は、 C 、 C l 、 F 、 N 、 O のうち少なくともいずれか一つの成分を不純物として含有でき、一方、前記金属窒化物層は、 T i 、 T a 、 W 、 M o 、 A l 、 H f 、 Z r のうち少なくともいずれか一つの成分を不純物として含有する。

30

【 0 0 0 9 】

本発明の望ましい実施形態によれば、前記 n M O S 領域及び p M O S 領域の金属窒化物層は相異なる厚さを持ち、相対的に厚い金属窒化物層は複数の単位金属窒化物層を持ち、さらに具体的な実施形態によれば、前記厚い金属窒化物層の単位金属窒化物層は、相異なる濃度の不純物を含む。

【 0 0 1 0 】

本発明による C M O S 半導体素子の製造方法は、 n M O S 領域及び p M O S 領域を持つシリコン基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、前記 n M O S 領域及び p M O S 領域に対応するものとして、金属窒化物層及びこの上の多結晶シリコンキャッピング層を持つゲートをそれぞれ形成する工程と、を含み、前記 n M O S 領域の金属窒化物層及び p M O S 領域の金属窒化物層は同種物質で形成し、これらそれぞれに不純物濃度差を調節して前記両金属窒化物層に相異なる仕事関数を持たせることを特徴とする。

40

【 0 0 1 1 】

本発明の望ましい製造方法は、前記金属窒化物層の不純物濃度の調節は、金属窒化物層の蒸着温度調節により行い、さらに、前記 p M O S 領域の金属窒化物層は、 n M O S 領域の金属窒化物層に比べて厚い厚さを持ち、前記 p M O S 領域の金属窒化物層の仕事関数は、 n M O S 領域の金属窒化物層に比べて高い仕事関数を持つ。

【 0 0 1 2 】

50

本発明の望ましい実施形態によれば、前記ゲートを形成する工程は、前記絶縁膜上に1次金属窒化物層を形成する工程と、前記1次金属窒化物層から前記nMOSに対応する部分を除去する工程と、前記1次金属窒化物層及び前記nMOS領域上に2次金属窒化物層を形成する工程と、前記2次金属窒化物層上に多結晶シリコンキャッピング層を形成する工程と、前記絶縁物質からその上の積層をバターニングして、前記nMOS領域及びpMOS領域に対応するゲートを前記基板上に形成する工程と、を含む。

【0013】

本発明の製造方法は、さらに具体的に、前記1次金属窒化物層及び2次金属窒化物層は、相異なる工程温度で形成し、さらに望ましくは、前記1次金属窒化物層の工程温度は、2次金属窒化物層の工程温度に比べて100以上低いことを特徴とする。例えば、前記1次金属窒化物層の工程温度は実質的に450であり、2次金属窒化物層の工程温度は680である。

10

【0014】

本発明による製造方法の具体的な実施形態によれば、前記金属窒化物層は、Ti、W、Ta、Mo、Al、Hf、Zrからなるグループから選択されたいずれか一つの元素及びNを含み、前記不純物は、C、Cl、F、N、Oからなるグループから選択された少なくとも一つの元素を含む。

【発明の効果】

【0015】

本発明は、nMOS及びpMOSに同種のメタルゲートを利用するため、従来のように異種物質によるゲートで現れる異種物質間の反応がなく、したがって、これによる性能低下が発生しない。

20

【発明を実施するための最良の形態】

【0016】

本発明によるCMOS半導体素子は、MIPS (Metal Inserted poly-Si Stack) 構造のデュアルメタルゲートを持つ。本発明は、多結晶シリコン (poly-Si) との適応性及び高いゲート空乏の問題を解決するために、薄い金属窒化物層を多結晶シリコンとゲート絶縁層との間に介入させる研究に関連する。

【0017】

介入された金属窒化物層は、ゲート空乏を防止し、多結晶シリコンからのドーパント拡散を効果的に防止することができる。

30

【0018】

以下、添付された図面を参照しつつ、本発明の模範的実施形態によるCMOS半導体素子及びその製造方法について説明する。

【0019】

図1は、多結晶シリコン (Poly-Si) と高誘電性 (high-k) 物質層との間に金属窒化物層が介入された概略的なMIPS構造を示す。そして、図2は、実際のMIPS構造のTEM (Transition Electron Microscope) イメージを示す。図1及び図2に示したように、多結晶シリコン (poly-Si) と高誘電性物質であるHfSiONによるGOX (Gate Oxide) 物質との間に、薄い金属窒化物層として、CVD (Chemical Vapor Deposition) により形成されたTaN層が介入されている。TaNを含む金属窒化物層は、他の金属電極に比べて熱的に非常に安定している。このようなMIPS構造を適用すれば、既存の高誘電性物質/poly-Siの積層構造を適用するに当たって大きい問題のうち一つであるゲート空乏の問題が解決できる。図3は、金属窒化物層が多結晶シリコンとゲート絶縁物層との間に介入された構造と、そうでない構造のC-V曲線グラフである。図3で左側の(a)グラフは、nMOSのC-Vグラフであり、右側の(b)グラフは、pMOSのC-Vグラフである。図3に示したように、多結晶シリコン (poly-Si) とゲート絶縁層との間に金属窒化物層が介入されれば、仕事関数が金属窒化物層に従うために、単一の多結晶シリコン構造に比べてしきい電圧のシフト (Vthreshold shift、移動) が観察される。したがって、たとえ、単一層の多結晶シリコン (poly-Si)

40

50

)によるゲートで、製品で要求するしきい電圧V_{t h}を合せるとしても、金属窒化物層を多結晶シリコンとゲート絶縁層との間に介入させれば、しきい電圧を合せることができなくなる。すなわち、半導体素子で要求するnMOSとpMOSそれぞれに適したしきい電圧を合わせ難くなる。

【0020】

しかし、MIPS構造で金属窒化物層の厚さが薄い場合は、金属窒化物層上にある電極の仕事関数に大きく影響される。図4は、MIPS構造でTaNの厚さを増大させた場合、nMOSのしきい電圧及びpMOSのしきい電圧の変化を示す。

【0021】

図4を参照すれば、TaNの厚さを変えればしきい電圧が変わる。すなわち、nMOSのしきい電圧はTaNの厚さが増大するほど増加し、pMOSのしきい電圧はTaNの厚さが増大するほど減少する。

【0022】

これを通じて、TaNをnMOSに適用するに当たって、TaNの厚さを薄くすることが有利であるということが分かる。一方、pMOSの場合は、nMOSに比べて相対的にTaNの厚さがpMOSのしきい電圧V_{t h}に影響を少なく及ぼすが、TaNの厚さが厚いほど有利であることが分かる。

【0023】

図5は、2つの異なる温度で蒸着したTiN薄膜のC-V特性グラフである。TiNは、450及び680の温度で50程度の厚さに蒸着した。図5に示したように450で蒸着されたTiN(450 TiN)の場合、V_{f b}値が-0.391Vであり、680で蒸着されたTiN(680 TiN)の場合には、V_{f b}値が-0.607であった。したがって、相対的に低い温度、例えば、450で蒸着されたTiN(450 TiN)は、相対的に高い温度、例えば、680で蒸着されたTiN(680 TiN)に比べて仕事関数が大きいということが分かる。

【0024】

したがって、デュアルメタルゲートの製造時に、pMOSに高温蒸着TiNを適用する場合に、低いしきい電圧V_{t h}を得られると予想される。他の温度で蒸着されるTiN薄膜の仕事関数の差の原因を分析するために、ToF-SIMS(Time-of-Flight Secondary Ion Mass Spectrometry)分析を実施した。図6に示したように、680で蒸着されたTiN(680 TiN)は、450で蒸着されたTiN(450 TiN)に比べて薄膜内のCl(chlorine)の含有量が少ないことが分かる。このようなClの含有量によって仕事関数が変わったと予想される。このような工程温度別TiNの仕事関数の差等化は、不純物ClだけでなくC、F、N、Oなどの含有量の差によっても仕事関数が変わりうる。

【0025】

図7は、多様な金属窒化物層がHF溶液でウェットエッチングできるかどうかについての結果を示している。450で蒸着したTiNと、680で蒸着したTiNと、500で蒸着したTaNとのサンプルを準備した。図7を通じて、450で蒸着されたTiNは、680で蒸着されたTiNに比べてエッチング速度が速いということが分かる。一方、TaNと熱処理されたHfO₂とは、HF溶液に全くエッチングされないことも、図8を通じて分かる。このような結果は、熱処理されたHfO₂と450で蒸着されたTiNとが相互積層状態に存在する場合、TiN層のみを選択的に除去できるということを意味する。

【0026】

図9Aないし図9Hは、本発明の模範的実施形態によるCMOS半導体素子の製造工程を簡略に示す。この工程によれば、図9Hに示したようなnMOSでは、Gox/680-TiN/poly-Si、pMOSでは、Gox/450-TiN/680-TiN/poly-Siのスタックを持つMIPS構造のデュアルメタルゲートCMOS半導体素子が得られる。以下、図面を参照して本発明によるCMOS半導体素子の製造工程を

10

20

30

40

50

説明する。

【0027】

図9Aに示したように、通例的な先行工程を通じて隔離層1aを介してnMOS領域とpMOS領域とを持つSi基板1を準備する。準備された基板1上に、high-k物質としてHf系酸化物を蒸着して、high-kゲート絶縁膜(HfO₂)2を形成する。ゲート絶縁膜2を蒸着する前に、基板1上に先ず境界層1bを形成させる。境界層1bは、1.5nm以下の厚さを持つものであり、オゾンガスまたはオゾン水を利用した基板1の表面の洗浄により得られる。

【0028】

Hf系酸化物は、ALD(Atomic Layer Deposition)法としてHfCl₄、H₂O反応物を利用するか、アルキルアミド系統のHf前駆体とH₂O、O₃などを利用して蒸着できる。そして、Hf-t-Bu_xO_xiide、Hf-MMPなどのHf前駆体と、O₂、O₃、ラジカル酸素などを使用して、CVD方式によりゲート絶縁膜でHfO₂を蒸着できる。またHfO₂の代りにHfAlOまたはHfSiOを蒸着してもよい。Hf系酸化物による絶縁膜を形成した後、薄膜の緻密化(densification)のために、蒸着後の熱処理(PDA:Post Deposition Annealing)を実施する。PDAは、550以上1050以下でN₂、NO、N₂O、O₂、NH₃のうち一つ、またはその組み合わせを含む雰囲気で実施する。

【0029】

図9Bに示したように、1次TiN3aを任意の低温工程で蒸着する。すなわち、後続する2次TiN3bの蒸着温度に比べて相対的に低い温度、例えば、450で1次TiNを1~200の厚さに蒸着する。この時、前駆体としてはTiCl₄及びNH₃を利用し、蒸着方法としては、ALDとCVD方式がいずれも可能である。

【0030】

図9Cに示したように、前記1次TiN3aを蒸着した後に、特定領域(例えば、nMOS領域)を開放するフォトレジストマスク(PR mask)4をpMOS領域の1次TiN3a上に形成する。

【0031】

図9Dに示したように、マスク4に覆われていない開放されたnMOS領域の1次TiN3aを部分的に除去する。この時、除去する方法としては、ウェットまたはドライのエッティング法いずれも適用でき、ドライエッティング時のプラズマ損傷を避けるためにウェットエッティングが望ましい。

【0032】

図9Eに示したように、1次TiN3aのパターニングに利用されたマスク4を除去する。この時の除去方法は、通常のアッシング工程及びストリップ工程を利用する。この時、アッシング工程はO₂アッシングだけでなく、N₂アッシングまたはフッ素及び水素を含む物質を追加的に含むN₂アッシング工程になりうる。一方、前記1次TiN3aのパターニングには、前記のようなフォトレジストマスクではないハードマスクを使用するCVD-TiNの除去方法も利用されうる。ハードマスクを適用する場合は、SiO₂、SiN、poly-Siなどを使用でき、TiN物質との優れた選択比を持つウェット化学剤の選定が必要である。

【0033】

図9Fに示したように、1次TiN3aをnMOS領域から除去した後、前述した1次TiN3aに比べて高い工程温度、例えば、680の工程温度で2次TiN3bを約1~200の厚さに蒸着する。前記の1次TiN3aと2次TiN3bとの工程温度差は、50~300程度でなければならない。

【0034】

図9Gに示したように、2次TiNを蒸着した後に、その上にpoly-Siを蒸着してキャッピング層5を形成し、後続する通例的CMOS工程フローにより、図9Hに示したように目的とするCMOS半導体素子を得る。ここで、前記2次TiNと1次TiNと

10

20

30

40

50

の厚さ差は、少なくとも 10 以上であることが望ましい。

【0035】

前記の実施形態で、1次 TiN と 2 次 TiN との工程温度を差等化するのは、各 TiN に対する Cl のような不純物量を調節し、これを通じて仕事関数を調節するためである。したがって、本発明の他の実施形態によれば、1次 TiN と 2 次 TiN とを形成する方法は、前述した実施形態のような工程温度の差等化以外に、各 TiN に対する不純物含有量を差等化できるいかかる条件の成膜方法でも利用可能である。

【0036】

前記のような本発明の模範的実施形態により製造されうる本発明による CMOS 半導体素子は、poly-Si からなる nMOS 領域及び pMOS 領域の各キャッピング層とこれらそれぞれの下部のゲート絶縁膜との間に金属窒化物層が設けられ、この時に一側領域、本実施形態では pMOS 領域で、金属窒化物層が不純物濃度の異なる二つの積層を備える。不純物、例えば、Cl の濃度の異なる金属窒化物層によれば、目的とする調節された仕事関数のデュアルメタルゲートを得られるようになる。

10

【0037】

前述した実施形態で、例えば、nMOS 領域には一層の TiN が形成され、pMOS 領域には二層の TiN が形成されると説明されたが、本発明の他の実施形態によれば、nMOS 領域及び pMOS 領域で TiN がいずれも複数層で形成され、この時にこれらの各積層数は異ならせててもよい。

20

【0038】

一方、前述した実施形態では TiN についてのみ説明されているが、Ti 以外に Ta、W、Mo、Al、Hf、Zr などの窒化物層も適用でき、前述したような工程温度差等化による nMOS、pMOS 領域での仕事関数差等化が可能である。

20

【0039】

したがって、本発明による CMOS 半導体素子は、図 8H に示したように nMOS 領域及び pMOS 領域を持ち、各領域には poly-Si キャッピング層とこの下部の金属窒化物層とを備えるゲートが設けられ、各領域のゲートの下部にはゲート絶縁層、例えば、Hf₂O のような high-k 酸化物によるゲート絶縁層が設けられる。ここで、本発明を特徴付ける各領域の金属窒化物層は相異なる含有量の不純物を含み、この不純物には C、Cl、F、N、O のうち少なくともいずれか一つが含まれる。そして前記金属窒化物層は、前述したように、Ti、Ta、W、Mo、Al、Hf、Zr のうちいずれか一つの元素を含む。望ましくは、前記 nMOS 領域及び pMOS 領域の金属窒化物層は相異なる厚さを持ち、相対的に厚い金属窒化物層は複層構造を持ち、望ましくは上下二つの単位積層を持ち、上下単位積層は相異なる濃度の不純物を含有する。

30

【産業上の利用可能性】

【0040】

本発明は、半導体素子関連の技術分野に好適に用いられる。

【図面の簡単な説明】

【0041】

【図 1】多結晶シリコン (Poly-Si) 層と高誘電性 (high-k) 物質層との間に金属窒化物層が介在された概略的な MIPs 構造を示す図面である。

40

【図 2】図 1 に示した構造の実際 MIPs 構造物議 TEM イメージを示す図面である。

【図 3】金属窒化物層が多結晶シリコンとゲート絶縁物層との間に介された構造とそうでない構造との C - V 曲線グラフである。

【図 4】MIPs 構造で TaN の厚さを増大させた場合、nMOS のしきい電圧と pMOS のしきい電圧との変化を示す図面である。

【図 5】2 つの異なる温度で蒸着した TiN 薄膜の C - V 特性グラフである。

【図 6】680 で蒸着した TiN と 450 で蒸着した TiN との Cl 不純物量を示すグラフである。

【図 7】多様な金属窒化物層が HF 溶液でウェットエッチングされうるかについての結果

50

を示す図面である。

【図 8】 HfO_2 の HF 溶液に対するエッチング程度を示すグラフである。

【図 9 A】本発明の模範的実施形態による CMOS 半導体素子の製造工程を示す図面である。

【図 9 B】本発明の模範的実施形態による CMOS 半導体素子の製造工程を示す図面である。

【図 9 C】本発明の模範的実施形態による CMOS 半導体素子の製造工程を示す図面である。

【図 9 D】本発明の模範的実施形態による CMOS 半導体素子の製造工程を示す図面である。

【図 9 E】本発明の模範的実施形態による CMOS 半導体素子の製造工程を示す図面である。

【図 9 F】本発明の模範的実施形態による CMOS 半導体素子の製造工程を示す図面である。

【図 9 G】本発明の模範的実施形態による CMOS 半導体素子の製造工程を示す図面である。

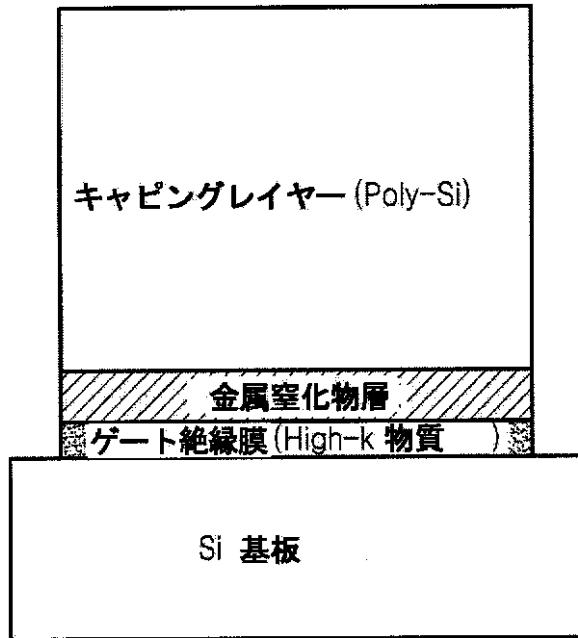
【図 9 H】図 9 A ないし図 9 G の過程を通じて得られた本発明の望ましい実施形態による CMOS 半導体素子の概略的な断面図である。

【符号の説明】

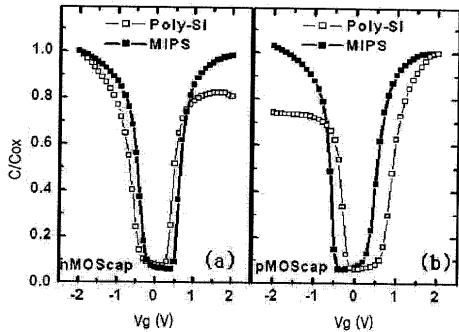
【0042】

- 1 Si 基板
- 1 a 隔離層
- 1 b 境界層
- 2 high-k ゲート絶縁膜 (HfO_2)
- 3 a 1 次 TiN
- 3 b 2 次 TiN
- 5 キャッピング層

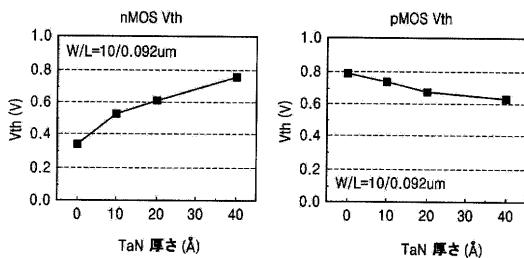
【図1】



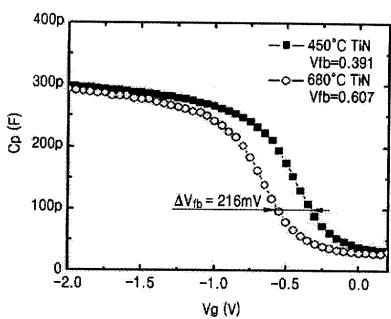
【図3】



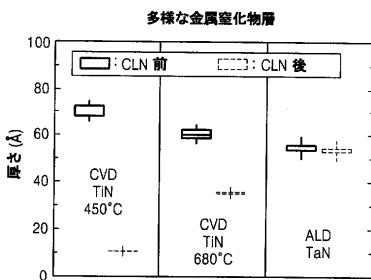
【図4】



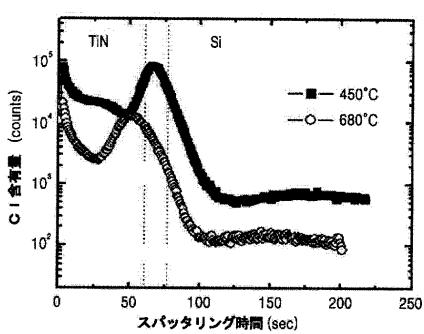
【図5】



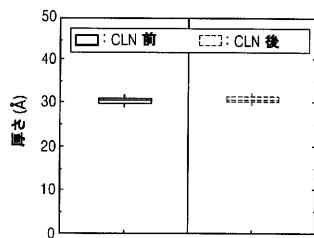
【図7】



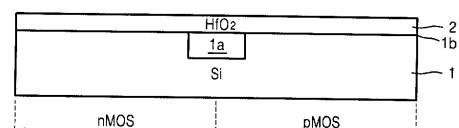
【図6】



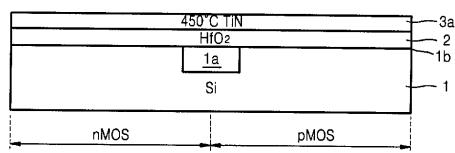
【図8】



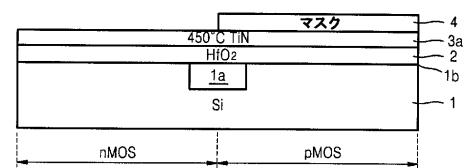
【図9 A】



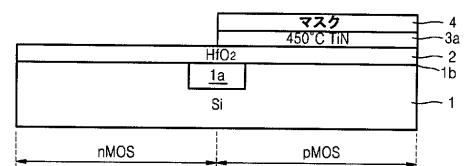
【図9B】



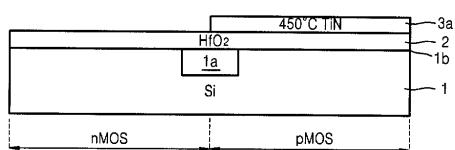
【図9C】



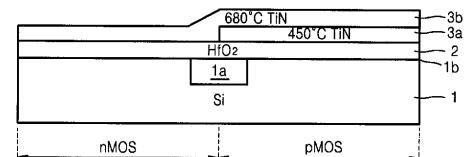
【図9D】



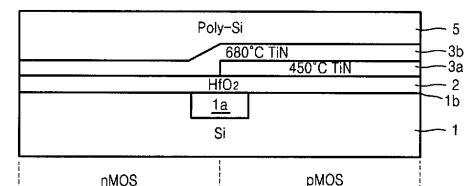
【図9E】



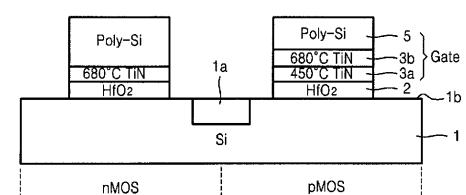
【図9F】



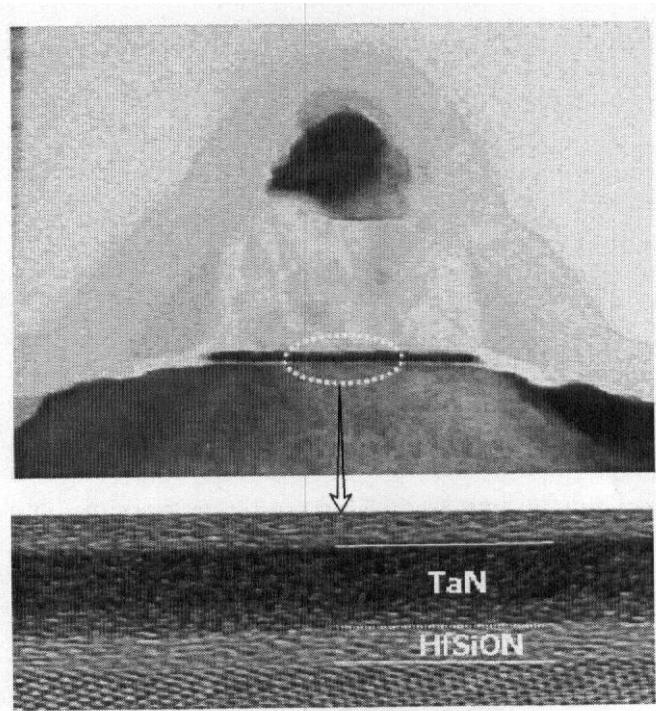
【図9G】



【図9H】



【図2】



フロントページの続き

(51) Int.Cl. F I テーマコード(参考)
H 01 L 29/78 (2006.01)

(74)代理人 100110364
弁理士 実広 信哉
(72)発明者 丁 英洙
大韓民国京畿道龍仁市器興區農書洞山14 - 1番地 三星綜合技術院内
(72)発明者 丁 炯 スク
大韓民国京畿道龍仁市器興區農書洞山14 - 1番地 三星綜合技術院内
(72)発明者 許 成
大韓民国京畿道龍仁市器興區農書洞山14 - 1番地 三星綜合技術院内
(72)発明者 白 賢錫
大韓民国京畿道龍仁市器興區農書洞山14 - 1番地 三星綜合技術院内

F ターム(参考) 4M104 AA01 BB29 BB30 BB31 BB32 BB33 BB36 BB39 CC05 DD34
DD45 DD64 DD94 EE03 EE16 GG09 GG10 GG14
5F048 AC03 BA01 BB05 BB09 BB10 BB11 BB12 BB13 BB14 BG11
5F140 AB03 BA01 BD11 BD17 BE02 BE09 BE10 BE17 BF01 BF10
BF11 BF20 BF38 BG19 BG27 BG28 BG37 BG38 BG41 CB04
CB08