

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2025년 1월 2일 (02.01.2025)



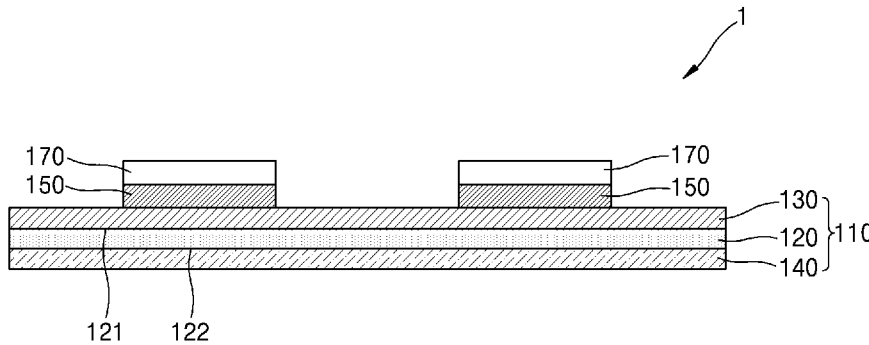
(10) 국제공개번호

WO 2025/005459 A1

- (51) 국제특허분류: H05K 1/03 (2006.01) H05K 3/12 (2006.01)
H05K 1/02 (2006.01) H05K 3/26 (2006.01)
H05K 1/09 (2006.01)
- (21) 국제출원번호: PCT/KR2024/006531
- (22) 국제출원일: 2024년 5월 14일 (14.05.2024)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2023-0084313 2023년 6월 29일 (29.06.2023) KR
10-2023-0084314 2023년 6월 29일 (29.06.2023) KR
10-2023-0084315 2023년 6월 29일 (29.06.2023) KR
10-2023-0095343 2023년 7월 21일 (21.07.2023) KR
10-2023-0114523 2023년 8월 30일 (30.08.2023) KR
10-2024-0061411 2024년 5월 9일 (09.05.2024) KR
- (71) 출원인: (주) 알엔투테크놀로지 (RN2 TECHNOLOGIES CO., LTD.) [KR/KR]; 18487 경기도 화성시 동탄산단9길 11, Gyeonggi-do (KR). 주식회사
- (72) 발명자: 김민수 (KIM, Min Soo); 18487 경기도 화성시 동탄산단9길 11, Gyeonggi-do (KR). 배일석 (BAE, Il Seok); 18487 경기도 화성시 동탄산단9길 11, Gyeonggi-do (KR). 서진원 (SEO, Jin Won); 18487 경기도 화성시 동탄산단9길 11, Gyeonggi-do (KR). 이효중 (LEE, Hyo Jong); 18487 경기도 화성시 동탄산단9길 11, Gyeonggi-do (KR). 육점국 (YOOK, Jeom Gug); 18487 경기도 화성시 동탄산단9길 11, Gyeonggi-do (KR). 문상환 (MOON, Sang Hwan); 18487 경기도 화성시 동탄산단9길 11, Gyeonggi-do (KR). 김병길 (KIM, Byeong Gil); 18487 경기도 화성시 동탄산단9길 11, Gyeonggi-do (KR).
- (74) 대리인: 이인행 등 (LEE, In Haeng et al.); 06739 서울특별시 서초구 남부순환로364길 8-9 가람빌딩 2층 올민국제특허법률사무소, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT,

(54) Title: CERAMIC CIRCUIT BOARD, MANUFACTURING METHOD THEREFOR, AND DOUBLE-SIDED COOLING TYPE POWER MODULE HAVING SAME

(54) 발명의 명칭: 세라믹 회로 기판, 그 제조방법, 및 이를 구비한 양면 냉각형 파워 모듈



(57) Abstract: The present invention provides: a ceramic circuit board comprising a copper structure, and thus has excellent heat dissipation performance; a manufacturing method therefor; and a double-sided cooling type power module having same. The ceramic circuit board according to one embodiment of the present invention comprises: a ceramic substrate including a ceramic layer and a first base copper layer arranged on a first surface of the ceramic layer; a first copper structure, which is arranged in a region of a part of the first base copper layer, is formed by printing, compressing, and sintering a copper-containing paste, has a differential porosity, and includes, on the top side thereof, a region having a porosity lower than the porosity of the bottom side thereof that is relatively adjacent to the first base copper layer; and an element attachment layer which is locally arranged on the surface of the first copper structure, and which is formed by printing, drying, compressing, and sintering a silver-containing paste.

(57) 요약서: 본 발명은 구리 구조체를 포함하여 우수한 방열 성능을 가지는 세라믹 회로 기판, 그 제조방법, 및 이를 구비한 양면 냉각형 파워 모듈을 제공한다. 본 발명의 일 실시예에 따른 세라믹 회로 기판은, 세라믹 층 및 상기 세라믹 층의 제1면 상에 배치된 제1 베이스 구리층을 포함하는 세라믹 기판; 상기 제1 베이스 구리층의 일부 영역 상에 배치되고, 구리함유 페이스트의 인쇄, 압착 및 소결에 의하여 형성되고, 차등 공극률을 가지고, 상기 제1 베이스 구리층에 상대적으로 인접한 하측에 비해 더 낮은 공극률을 가지는 영역을 상측에 포함하는, 제1 구리 구조체; 및 상기 제1 구리 구조체의 표면 상에 국부적으로 배치되고, 은함유 페이스트의 인쇄, 건조, 압착 및 소결에 의하여 형성된 소자 부착층을 포함한다.

AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 세라믹 회로 기판, 그 제조방법, 및 이를 구비한 양면 냉각형 파워 모듈

기술분야

- [1] 본 발명의 기술적 사상은 세라믹 회로 기판에 관한 것으로서, 보다 상세하게는 소자 부착층을 가지는 구리 구조체를 가지는 세라믹 회로 기판, 그 제조방법, 및 이를 구비한 양면 냉각형 파워 모듈에 관한 것이다.

배경기술

- [2] 모바일, 가전 및 자동차 등에 폭넓게 활용되고 있는 파워 반도체 소자(power semiconductor device)는 전력을 변환, 처리, 및 제어하는 역할을 한다. 전력 공급을 위하여 고전류 및 고전압이 인가되는 파워 반도체 소자는 발열량이 매우 크기 때문에, Al_2O_3 , AlN, ZTA(Zirconia Toughened Alumina), Si_3N_4 등과 같은 세라믹 재질로 이루어진 세라믹 회로 기판을 사용한다. 세라믹은 높은 절연성과 기계적 강도 및 비교적 높은 방열 성능을 가지므로, 고전력의 파워 반도체 소자의 기판으로 적합하다. 또한, 세라믹 회로 기판은 세라믹 재질 상에 열전도율이 높은 알루미늄(Al) 또는 구리(Cu)로 이루어진 전도성 패턴을 포함할 수 있다.
- [3] 파워 반도체 소자에서 발생하는 열을 용이하게 방출하기 위하여, 파워 반도체 소자의 양면에 세라믹 회로 기판을 배치하여 양면으로 냉각할 수 있는 양면 냉각형 파워 모듈이 사용되고 있다. 또한, 상기 파워 모듈의 방열을 위하여, 상기 세라믹 회로 기판의 외측에 냉각 핀(cooling fin)을 배치하고, 상기 냉각 핀을 통하여 외부에 설치된 워터 쿨러(water cooler)에 열을 전달할 수 있다.
- [4] 이러한 세라믹 회로 기판을 제작하는 종래 기술은, 전도층의 패턴을 식각 공정을 이용하여 형성하므로, 패턴 형태에 제한이 있다. 특히, 식각 공정을 이용한 종래 기술로는 다양한 형태의 파워 반도체 소자에 대응하기 위하여 두께 단차를 가지는 패턴들을 형성하거나 또는 다중층 패턴을 형성하기 어렵다. 따라서, 종래에는 패턴의 두께 단차를 확보하기 위하여, Mo-Cu 합금으로 이루어진 전도성 스페이서를 이용하였다. 그러나, 상기 Mo-Cu 합금 전도성 스페이서는 열전도도가 낮으며, 세라믹 회로 기판 상에 작은 크기의 스페이서를 개별적으로 실장하는 부가 공정을 요구하는 한계가 있다. 또한, 상기 세라믹 회로 기판의 외측면에 냉각 핀을 부착하면, 상기 세라믹 회로 기판과 상기 냉각 핀 사이의 충분한 열전달이 이루어지지 않는 한계가 있다. 이들 사이의 원활한 열전달을 위해서 접착면에 서멀 그리스(thermal grease)를 도포하는 방법도 있으나, 방열성능 향상에 한계가 있다.
- [5] 또한, 파워 반도체 소자의 부착층으로서 전면적으로 은 도금층을 형성하면, 은 도금층과 몰드층 사이의 접착 계면에서 박리 결함이 발생할 수 있다.
- [6] <선행기술문헌> 한국공개특허 제2014-0127228호

발명의 상세한 설명

기술적 과제

- [7] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제는 구리 구조체를 포함하여 우수한 방열 성능을 가지는 세라믹 회로 기판, 그 제조방법, 및 이를 구비한 양면 냉각형 파워 모듈을 제공하는 것이다.
- [8] 그러나 이러한 과제는 예시적인 것으로, 본 발명의 기술적 사상은 이에 한정되는 것은 아니다.

과제 해결 수단

- [9] 본 발명의 일 관점에 의하면, 구리 구조체를 포함하여 우수한 방열 성능을 가지는 세라믹 회로 기판, 그 제조방법, 및 이를 구비한 양면 냉각형 파워 모듈을 제공한다.
- [10] 본 발명의 일 실시예에 의하면, 상기 세라믹 회로 기판은, 세라믹 층 및 상기 세라믹 층의 제1 면 상에 배치된 제1 베이스 구리층을 포함하는 세라믹 기판; 상기 제1 베이스 구리층의 일부 영역 상에 배치되고, 구리함유 페이스트의 인쇄, 압착 및 소결에 의하여 형성되고, 차등 공극률을 가지고, 상기 제1 베이스 구리층에 상대적으로 인접한 하측에 비해 더 낮은 공극률을 가지는 영역을 상측에 포함하는, 제1 구리 구조체; 및 상기 제1 구리 구조체의 표면 상에 국부적으로 배치되고, 은함유 페이스트의 인쇄, 건조, 압착 및 소결에 의하여 형성된 소자 부착층을 포함할 수 있다.
- [11] 본 발명의 일 실시예에 의하면, 상기 제1 구리 구조체는, 상기 제1 베이스 구리층에 상대적으로 인접한 하측에서 상측을 향하여 공극률이 감소될 수 있다.
- [12] 본 발명의 일 실시예에 의하면, 상기 제1 구리 구조체는, 제1 기저부; 및 상기 제1 기저부 상에 배치되고, 상기 제1 기저부에 비하여 낮은 공극률을 가지는 제1 표면부를 포함할 수 있다.
- [13] 본 발명의 일 실시예에 의하면, 상기 제1 기저부는, 5 부피% 초과 20 부피% 이하 범위의 공극률을 가지고, 상기 제1 표면부는, 0 부피% 초과 5 부피% 이하 범위의 공극률을 가질 수 있다.
- [14] 본 발명의 일 실시예에 의하면, 상기 제1 기저부는, 3 μm 초과 10 μm 이하 범위의 평균 입경을 가지는 구리 입자들을 포함하는 페이스트를 이용하여 형성하고, 상기 제1 표면부는, 100 nm 내지 3 μm 범위의 평균 입경을 가지는 구리 입자들을 포함하는 페이스트를 이용하여 형성할 수 있다.
- [15] 본 발명의 일 실시예에 의하면, 상기 제1 구리 구조체의 적어도 일부 영역 상에 배치되고, 구리함유 페이스트의 인쇄, 압착 및 소결에 의하여 형성되고, 차등 공극률을 가지고, 상기 제1 구리 구조체에 상대적으로 인접한 하측에 비해 더 낮은 공극률을 가지는 영역을 상측에 포함하는, 제2 구리 구조체를 더 포함할 수 있다.
- [16] 본 발명의 일 실시예에 의하면, 상기 제2 구리 구조체의 표면 상에 국부적으로 배치된 소자 부착층을 더 포함할 수 있다.

- [17] 본 발명의 일실시예에 의하면, 상기 제2 구리 구조체는, 상기 제1 구리 구조체에 상대적으로 인접한 하측에서 상측을 향하여 공극률이 감소될 수 있다.
- [18] 본 발명의 일실시예에 의하면, 상기 제2 구리 구조체는, 제2 기저부; 및 상기 제2 기저부 상에 배치되고, 상기 제2 기저부에 비하여 낮은 공극률을 가지는 제2 표면부를 포함할 수 있다.
- [19] 본 발명의 일실시예에 의하면, 상기 제2 기저부는, 5 부피% 초과 20 부피% 이하 범위의 공극률을 가지고, 상기 제2 표면부는, 0 부피% 초과 5 부피% 이하 범위의 공극률을 가질 수 있다.
- [20] 본 발명의 일실시예에 의하면, 상기 제2 기저부는, 3 μm 초과 10 μm 이하 범위의 평균 입경을 가지는 구리 입자들을 포함하는 페이스트를 이용하여 형성하고, 상기 제2 표면부는, 100 nm 내지 3 μm 범위의 평균 입경을 가지는 구리 입자들을 포함하는 페이스트를 이용하여 형성할 수 있다.
- [21] 본 발명의 일실시예에 의하면, 상기 제1 베이스 구리층은, 상기 세라믹 층 상에 구리함유 페이스트의 인쇄, 압착 및 소결에 의하여 형성된 TPC 구리층, 상기 세라믹 층 상에 구리 호일을 고온 산화공정으로 접합하여 형성한 DBC 구리층, 상기 세라믹 층 상에 시드층을 형성한 후에, 상기 시드 층 상에 구리 도금을 하여 형성한 DPC 구리층, 또는 상기 세라믹 층에 활성 금속 호일을 이용하여 접합된 구리 호일로 형성한 AMB 구리층으로 이루어질 수 있다.
- [22] 본 발명의 일실시예에 의하면, 상기 제1 베이스 구리층은, 접합 구리층, 적층 구리층, 및 표층 구리층 중 적어도 어느 하나를 포함할 수 있다.
- [23] 본 발명의 일실시예에 의하면, 상기 접합 구리층은, 글라스 프리트, 무기물 입자들, 산화구리 입자들, 구리 입자들, 용제 및 바인더를 포함하는 구리함유 접합 페이스트를 이용하여 형성되고, 상기 적층 구리층은, 무기물 입자들, 구리 입자들, 용제 및 바인더를 포함하는 구리함유 적층 페이스트를 이용하여 형성되고, 상기 표층 구리층은, 산화구리 입자들, 구리 입자들, 용제 및 바인더를 포함하는 구리함유 표층 페이스트를 이용하여 형성될 수 있다.
- [24] 본 발명의 일실시예에 의하면, 상기 세라믹 기판은, 상기 세라믹 층의 제2 면 상에 배치된 제2 베이스 구리층을 더 포함할 수 있다.
- [25] 본 발명의 일실시예에 의하면, 상기 세라믹 회로 기판의 제조방법은, 세라믹 층 및 상기 세라믹 층의 제1 면 상에 배치된 제1 베이스 구리층을 포함하는 세라믹 기판을 제공하는 단계; 상기 세라믹 기판의 일부 영역 상에 제1 구리 구조체를 형성하는 단계; 상기 제1 구리 구조체의 적어도 일부 영역 상에 하나 이상의 제2 구리 구조체를 형성하는 단계; 및 상기 제1 구리 구조체 및 상기 제2 구리 구조체 중 적어도 어느 하나의 표면 상에 국부적으로 소자 부착층을 형성하는 단계를 포함하고, 상기 소자 부착층을 형성하는 단계는, 상기 제1 구리 구조체 및 상기 제2 구리 구조체 중 적어도 어느 하나의 표면 상에 국부적으로 은함유 페이스트를 인쇄하여 은함유 페이스트층을 형성하는 인쇄 단계; 상기 은함유 페이스트층을 압착

하는 압착 단계; 및 상기 은함유 페이스트층을 500°C 내지 700°C 범위의 온도에서 소결하여 상기 소자 부착층을 형성하는 소결 단계를 포함할 수 있다.

- [26] 본 발명의 일실시예에 의하면, 상기 양면 냉각형 파워 모듈은, 하부 세라믹 층 및 하부 제1 베이스 구리층을 포함하는 하부 세라믹 기판; 상기 하부 세라믹 기판의 일부 영역 상에 배치된 하부 제1 구리 구조체; 상기 하부 제1 구리 구조체의 일부 영역 상에 배치된 하부 제2 구리 구조체; 및 상기 하부 제1 구리 구조체 및 상기 하부 제2 구리 구조체 중 적어도 어느 하나의 표면 상에 국부적으로 배치된 하부 소자 부착층을 포함하는 하부 세라믹 회로 기판; 상부 세라믹 층 및 상부 제1 베이스 구리층을 포함하는 상부 세라믹 기판; 상기 상부 세라믹 기판의 일부 영역 상에 배치된 상부 제1 구리 구조체; 상기 상부 제1 구리 구조체의 일부 영역 상에 배치된 상부 제2 구리 구조체; 및 상기 상부 제1 구리 구조체 및 상기 상부 제2 구리 구조체 중 적어도 어느 하나의 표면 상에 국부적으로 배치된 상부 소자 부착층을 포함하는 상부 세라믹 회로 기판; 상기 하부 제1 구리 구조체와 상기 상부 제1 구리 구조체 사이에 배치되고, 상기 하부 소자 부착층과 상기 상부 소자 부착층에 의하여 부착된 제1 반도체 소자; 상기 하부 제2 구리 구조체와 상기 상부 제2 구리 구조체 사이에 배치되고, 상기 하부 소자 부착층과 상기 상부 소자 부착층에 의하여 부착되고, 상기 제1 반도체 소자에 비하여 작은 두께를 가지는 제2 반도체 소자; 및 상기 하부 세라믹 회로 기판과 상기 상부 세라믹 회로 기판 사이의 공간을 충전하여 상기 제1 반도체 소자 및 상기 제2 반도체 소자를 덮는 몰드층; 을 포함하고, 상기 하부 제1 구리 구조체, 상부 제1 구리 구조체, 하부 제2 구리 구조체 및 상기 상부 제2 구리 구조체 중 적어도 어느 하나는, 차등 공극률을 가지고, 상기 하부 제1 베이스 구리층 또는 상부 제1 베이스 구리층에 상대적으로 인접한 하측에 비해 더 낮은 공극률을 가지는 영역을 상측에 포함할 수 있다.
- [27] 본 발명의 일실시예에 의하면, 상기 하부 세라믹 기판은, 상기 하부 세라믹 층과 상기 하부 제1 베이스 구리층 사이에 개재된 하부 활성 금속 브레이징층을 더 포함하고, 상기 상부 세라믹 기판은, 상기 상부 세라믹 층과 상기 상부 제1 베이스 구리층 사이에 개재된 상부 활성 금속 브레이징층을 더 포함할 수 있다.
- [28] 본 발명의 일실시예에 의하면, 상기 양면 냉각형 파워 모듈은, 하부 세라믹 층 및 하부 제1 베이스 구리층을 포함하는 하부 세라믹 기판; 상기 하부 세라믹 기판의 일부 영역 상에 배치된 하부 제1 구리 구조체; 상기 하부 제1 구리 구조체의 일부 영역 상에 배치된 하부 제2 구리 구조체; 및 상기 하부 제1 구리 구조체 및 상기 하부 제2 구리 구조체 중 적어도 어느 하나의 표면 상에 국부적으로 배치된 하부 소자 부착층을 포함하는 하부 세라믹 회로 기판; 상부 세라믹 층; 상부 제1 베이스 구리층; 및 상기 제1 베이스 구리층의 일부 영역 상에 국부적으로 배치된 상부 소자 부착층을 포함하는 상부 세라믹 기판; 상기 하부 제1 구리 구조체와 상기 상부 제1 베이스 구리층 사이에 배치되고, 상기 하부 소자 부착층과 상기 상부 소자 부착층에 의하여 부착된 제1 반도체 소자; 상기 하부 제2 구리 구조체와 상기 상부 제1 베이스 구리층 사이에 배치되고, 상기 하부 소자 부착층과 상기 상부 소

자 부착층에 의하여 부착되고, 상기 제1 반도체 소자에 비하여 작은 두께를 가지는 제2 반도체 소자; 및 상기 하부 세라믹 회로 기판과 상기 상부 세라믹 기판 사이의 공간을 충전하여 상기 제1 반도체 소자 및 상기 제2 반도체 소자를 덮는 몰드층;을 포함하고, 상기 하부 제1 구리 구조체 및 상기 하부 제2 구리 구조체 중 적어도 어느 하나는, 차등 공극률을 가지고, 상기 하부 제1 베이스 구리층에 상대적으로 인접한 하측에 비해 더 낮은 공극률을 가지는 영역을 상측에 포함할 수 있다.

- [29] 본 발명의 일실시예에 의하면, 상기 하부 세라믹 기판은, 상기 하부 세라믹 층과 상기 하부 제1 베이스 구리층 사이에 개재된 하부 활성 금속 브레이징층을 포함하고, 상기 상부 세라믹 기판은, 상기 상부 세라믹 층과 상기 상부 제1 베이스 구리층 사이에 개재된 상부 활성 금속 브레이징층을 포함할 수 있다.

발명의 효과

- [30] 본 발명에 따른 세라믹 회로 기판은, 기판 위에 실장되는 다양한 형태의 반도체 소자에 대응 가능하도록, 인쇄, 압착 및 소결에 의하여 형성되는 구리 구조체를 스페이서로서 이용하여 세라믹 기판 상에 입체적인 패턴을 형성할 수 있다. 또한, 상기 구리 구조체를 이용하므로 전기전도도와 열전도도가 향상되며, 열 사이클에 대한 내구성이 향상시킬 수 있다.
- [31] 또한, 상기 구리 구조체는 압연재가 아닌 소결재이므로, 압연재에서 나타나는 방향성을 가지지 않는 등의 미세 조직 상의 상이점이 있고, 기공의 포함 정도 및 분포에서 상이점이 있다.
- [32] 종래 기술에 따른 Mo-Cu 스페이서는 공극률이 약 0%이므로 높은 열응력과 낮은 열피로 특성을 가지는 반면, 본 발명에 따른 구리 구조체는 높은 공극률을 가지는 하층을 포함함으로써 낮은 열응력과 향상된 열피로 파괴에 대한 저항성을 제공하고, 이와 더불어 낮은 공극률을 가지는 상층을 포함함으로써, 파워 반도체 소자의 접합 결함을 방지할 수 있다.
- [33] 또한, 상기 구리 구조체는 각뿔대 형상을 가짐에 따라 파워 반도체 소자를 안정적으로 실장시킬 수 있다.
- [34] 또한, 본 발명에 따른 세라믹 회로 기판은, 세라믹 기판의 표면에 전면적으로 도금으로 은층을 형성하는 대신에, 은층으로 형성되는 소자 부착층을 파워 반도체 소자가 실장되는 영역에 국부적으로 형성함에 따라, EMC로 구성된 몰드층은 구리로 구성된 베이스 구리 구조체에만 접촉하고 소자 부착층과는 접촉하지 않으므로, 은층과 몰드층 사이에 발생하는 박리 결함을 방지할 수 있다.
- [35] 본 발명에 따른 세라믹 회로 기판의 제조방법은, 구리 구조체의 소결을 500°C 내지 800°C 범위의 온도에서 수행함에 따라 열에 의한 결함 형성을 방지할 수 있다. 또한, 표면 블라스팅 처리를 수행함에 따라 소결 시에 구리 구조체의 표면에 형성되는 구리 산화물을 제거하여 매끄러운 표면을 제공할 수 있고, 이에 따라

상기 구리 구조체 상에 실장되는 파워 반도체 소자의 접합을 안정적으로 보장할 수 있다.

- [36] 상술한 본 발명의 효과들은 예시적으로 기재되었고, 이러한 효과들에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [37] 도 1 내지 도 4는 본 발명의 일실시예에 따른 세라믹 회로 기판의 단면도들이다.
- [38] 도 5a 및 도 5b는 본 발명의 일실시예에 따른 세라믹 회로 기판의 베이스 구리층과 구리 구리체를 도시하는 단면도들이다.
- [39] 도 6은 본 발명의 일실시예에 따른 세라믹 회로 기판의 구리 구조체의 미세조직을 나타내는 사진이다.
- [40] 도 7a 및 도 7b는 본 발명의 일실시예에 따른 세라믹 회로 기판의 각뿔대 형상의 구리 구조체를 도시하는 단면도 및 사진이다.
- [41] 도 8은 본 발명의 일실시예에 따른 세라믹 회로 기판의 제조방법을 도시하는 흐름도이다.
- [42] 도 9는 본 발명의 일실시예에 따른 세라믹 회로기판의 소결 온도에 따른 결합 발생 여부를 나타내는 초음파 탐상 검사 결과이다.
- [43] 도 10은 본 발명의 일실시예에 따른 세라믹 회로 기판의 구리 구조체의 블라스팅 처리 전후의 표면 상태를 나타내는 사진들이다.
- [44] 도 11은 본 발명의 일실시예에 따른 세라믹 회로 기판의 소자 부착층의 블라스팅 처리 전후의 표면 상태를 나타내는 사진들이다.
- [45] 도 12는 본 발명의 일실시예에 따른 양면 냉각형 파워 모듈을 형성하기 위한 한 쌍의 세라믹 회로 기판을 도시하는 사시도이다.
- [46] 도 13 내지 도 16은 본 발명의 일실시예에 따른 양면 냉각형 파워 모듈을 도시하는 단면도들이다.

발명의 실시를 위한 형태

- [47] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 기술적 사상의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 기술적 사상을 완전하게 전달하기 위하여 제공되는 것이다. 본 명세서에서 동일한 부호는 시종 동일한 요소를 의미한다. 나아가, 도면에서의 다양한 요소와 영역은 개략적으로 그려진 것이다. 따라서, 본 발명의 기술적 사상은 첨부된 도면에 그려진 상대적인 크기나 간격에 의해 제한되지 않는다.
- [48] 본 명세서에서 다른 층 "상에" 형성된 층은 다른 층의 바로 위에 형성된 층을 지칭하거나, 다른 층 상에 형성된 중간층 또는 중간층들 위에 형성된 층을 지칭할

수도 있다. 본 명세서에서 "상측"과 "하측"의 의미는 상대적인 것으로서, 세라믹 기판을 기준으로 위쪽 방향을 "상측"으로 기재하고, 아래쪽 방향을 "하측"으로 기재함에 유의한다.

- [49] 본 명세서에서, 파워 반도체 소자는 예시적이며 다른 반도체 소자로 구성된 경우도 본 발명의 기술적 사상에 포함된다.
- [50] 도 1 내지 도 4는 본 발명의 일실시예에 따른 세라믹 회로 기판의 단면도들이다.
- [51] 도 1 내지 도 4를 참조하면, 세라믹 회로 기판(1)은, 세라믹 기판(110), 제1 구리 구조체(150), 및 소자 부착층(170)을 포함할 수 있다. 세라믹 회로 기판(1a)은, 세라믹 기판(110a), 제1 구리 구조체(150), 소자 부착층(170)을 포함할 수 있다. 세라믹 회로 기판(100)은, 세라믹 기판(110), 제1 구리 구조체(150), 제2 구리 구조체(160), 및 소자 부착층(170)을 포함할 수 있다. 세라믹 회로 기판(100a)은, 세라믹 기판(110a), 제1 구리 구조체(150), 제2 구리 구조체(160), 및 소자 부착층(170)을 포함할 수 있다.
- [52] 이하에서는 도 1 내지 도 4를 참조하여, 세라믹 회로 기판의 구성 요소들을 상세하게 설명하기로 한다.
- [53] 세라믹 기판(110)은, 세라믹 층(120), 제1 베이스 구리층(130) 및 제2 베이스 구리층(140)을 포함할 수 있다.
- [54] 세라믹 기판(110a)은, 세라믹 층(120), 제1 활성 금속 브레이징층(125), 제2 활성 금속 브레이징층(126), 제1 베이스 구리층(130) 및 제2 베이스 구리층(140)을 포함할 수 있다. 세라믹 기판(110)과 비교하면, 세라믹 기판(110a)은, 제1 활성 금속 브레이징층(125) 및 제2 활성 금속 브레이징층(126)을 더 포함하는 상이점이 있다.
- [55] 세라믹 층(120)은 서로 대향하는 제1 면(121) 및 제2 면(122)을 구비할 수 있다. 도 1 내지 도 4에서는 세라믹 층(120)을 기준으로 제1 면(121)이 상면으로 도시되어 있고 제2 면(122)이 하면으로 도시되어 있다. 세라믹 층(120)은 우수한 열전도성 및 전기 절연성을 가질 수 있다. 세라믹 층(120)은, 세라믹 재질로 이루어질 수 있고, 예를 들어 Al_2O_3 , AlN, ZTA(Zirconia Toughened Alumina), 및 Si_3N_4 중 적어도 어느 하나를 포함할 수 있다.
- [56] 제1 베이스 구리층(130)은 세라믹 층(120)의 제1 면(121) 상에 배치될 수 있다. 제1 베이스 구리층(130)은, TPC 기술, DBC 기술, DPC 기술, 또는 AMB 기술을 이용하여 형성할 수 있다. 제1 베이스 구리층(130)은, 예를 들어 100 μm 내지 1000 μm 범위의 전체 두께를 가질 수 있고, 예를 들어 약 300 μm 의 전체 두께를 가질 수 있다.
- [57] 제2 베이스 구리층(140)은 세라믹 층(120)의 제1 면(121)과는 반대인 제2 면(122) 상에 배치될 수 있다. 제2 베이스 구리층(140)은, 제1 베이스 구리층(130)을 형성하는 소결 공정 및 제1 구리 구조체(150) 및 제2 구리 구조체(160)를 형성하는 소결 공정에서, 세라믹 층(120)이 휘는 것을 방지하는 휨 방지층으로 기능할 수 있다. 또한, 제2 베이스 구리층(140)은 파워 반도체 소자로부터 발생한 열을 외

부로 방출하는 경로를 제공할 수 있다. 이를 위하여, 제2 베이스 구리층(140)에는 방열 구조체(미도시)가 부착될 수 있다. 제2 베이스 구리층(140)은 단일 층으로 형성되거나 또는 복수의 층들로 형성될 수 있다.

- [58] 제2 베이스 구리층(140)은 제1 베이스 구리층(130)을 형성하는 방식과 동일한 방식으로 형성할 수 있다. 제2 베이스 구리층(140)은, 상술한 TPC 기술, DBC 기술, DPC 기술, 또는 AMB 기술을 이용하여 형성할 수 있다. 제2 베이스 구리층(140)은 제1 베이스 구리층(130)과 동일한 물질을 포함할 수 있고, 동시에 형성될 수 있다.
- [59] 제1 베이스 구리층(130) 및 제2 베이스 구리층(140)은 TPC(thick printed copper) 기술을 이용하여 형성된 TPC 구리층으로 이루어질 수 있다. 상기 TPC 기술은, 구리함유 페이스트를 이용하여 인쇄, 압착, 및 소결로서 소정의 두께를 가지는 구리층을 형성하는 기술을 지칭할 수 있다. 상기 TPC 구리층은, 세라믹 층(120)의 한 면 또는 양면에 구리함유 페이스트를 인쇄하여 페이스트층을 형성하고, 상기 페이스트층을 압착 및 소결하여 형성할 수 있다. 상기 TPC 기술은 상기 TPC 구리층을 스크린 프린팅 방법을 이용하여 형성하므로, 부가적인 식각 공정을 요구하지 않고, 다양한 패터닝 형상을 자유롭게 구현할 수 있다. 또한, 상기 TPC 기술은 인쇄, 압착, 및 소결의 하나의 공정 사이클에서 형성되는 한 층이 매우 작은 두께를 가질 수 있고, 상기 한 층은 예를 들어 10 μm 내지 100 μm 범위의 두께를 가질 수 있다. 또한, 상기 공정 사이클을 반복하여 수행하여 복수의 층을 형성하여 상기 TPC 구리층의 두께를 증가시킬 수 있으므로, 두께 제어를 용이하게 할 수 있다. 또한, 상기 TPC 구리층은 두께, 표면 품질 등에 대한 균일성을 전체적으로 확보할 수 있다. 또한, 상기 TPC 구리층 상에 니켈(Ni), 은(Ag) 및 금(Au) 등을 도금할 수 있다.
- [60] 또한, 제1 베이스 구리층(130) 및 제2 베이스 구리층(140)은 DBC(direct bonded copper) 기술을 이용하여 형성된 DBC 구리층으로 이루어질 수 있다. 상기 DBC 기술은, 세라믹 층에 구리 호일을 직접적으로 부착하여 구리층을 형성하는 기술을 지칭할 수 있다. 상기 DBC 구리층은, 세라믹 층(120)의 한 면 또는 양면에 구리 호일(copper foil)을 배치하고, 1000°C 내지 1080°C 범위의 온도에서 고온 산화 공정을 수행하여 구리-산소 공정(eutectic) 액상을 이용하여 상기 세라믹 층에 상기 구리 호일을 접합하여 형성할 수 있다. 상기 접합은 구리의 용점인 1083°C 이하의 온도에서 약 30 ppm의 산소를 포함하는 질소 분위기에서 수행될 수 있고, 상기 구리 호일의 표면에 구리 산화층을 형성하여 세라믹 층(120)과의 접합을 구현할 수 있다. 이어서, 필요한 경우, 상기 DBC 구리층을 식각 공정을 이용하여 패터닝할 수 있다. 또한, 상기 DBC 구리층 상에 니켈(Ni), 은(Ag) 및 금(Au) 등을 도금할 수 있다.
- [61] 또한, 제1 베이스 구리층(130) 및 제2 베이스 구리층(140)은 DPC(direct plating copper) 기술을 이용하여 형성된 DPC 구리층으로 이루어질 수 있다. 상기 DPC 기술은, 박막 필름공정, 식각공정 및 도금공정을 활용하여 구리층을 형성하는 기술

을 지칭할 수 있다. 상기 DPC 구리층은, 세라믹 층(120)의 한 면 또는 양면에 티타늄(Ti), 티타늄-텅스텐(TiW) 등의 시드(seed) 층을 형성한 후에, 상기 시드 층 상에 구리(Cu) 도금을 하여 형성할 수 있다. 또한, 상기 시드 층 상에 포토레지스트 패턴을 형성하고, 이어서 상기 포토레지스트 패턴 상에 구리(Cu) 도금을 하고, 상기 포토레지스트 패턴을 제거하여 원하는 패턴을 가지는 상기 DPC 구리층을 형성할 수 있다. 이어서, 필요한 경우, 상기 DPC 구리층을 식각 공정을 이용하여 패턴닝할 수 있다.

- [62] 또한, 제1 베이스 구리층(130) 및 제2 베이스 구리층(140)은 AMB(active metal brazing) 기술을 이용하여 형성된 AMB 구리층으로 이루어질 수 있다. 상기 AMB 기술은, 활성 금속 호일을 이용하여 세라믹층과 구리층을 접합하는 기술을 지칭할 수 있다. 세라믹 층(120)의 한 면 또는 양면에 활성 금속 호일 및 구리 호일을 순차적으로 배치하고, 가열하여 상기 활성 금속 호일을 용융시켜, 도 2에 도시된 바와 같은, 제1 활성 금속 브레이징층(125) 및 제2 활성 금속 브레이징층(126)을 형성함에 의하여 세라믹 층(120)과 상기 구리 호일을 서로 접합시킨다. 따라서, 제1 활성 금속 브레이징층(125)은 세라믹 층(120)과 제1 베이스 구리층(130)을 접합하는 역할을 수행할 수 있다. 제2 활성 금속 브레이징층(126)은 세라믹 층(120)과 제2 베이스 구리층(140)을 접합하는 역할을 수행할 수 있다. 이어서, 필요한 경우, 상기 AMB 구리층을 식각 공정을 이용하여 패턴닝할 수 있다.
- [63] 제1 활성 금속 브레이징층(125) 및 제2 활성 금속 브레이징층(126)은 상기 구리 호일을 구성하는 구리에 비하여 용융점이 낮은 금속 또는 금속 합금을 포함할 수 있고, 예를 들어 산소에 대해 활성인 티타늄, 하프늄, 니켈, 몰리브덴, 지르코늄에 구리, 알루미늄, 니켈 또는 은 등을 첨가하여 용점을 감소시킨 활성 금속합금을 포함할 수 있다. 제1 활성 금속 브레이징층(125) 및 제2 활성 금속 브레이징층(126)은, 예를 들어 은(Ag), 구리(Cu), 및 티타늄(Ti) 중 적어도 어느 하나를 포함하는 합금을 포함할 수 있다. 그러나, 이는 예시적이며, 제1 활성 금속 브레이징층(125) 및 제2 활성 금속 브레이징층(126)은, 알루미늄(Al), 티타늄(Ti), 니켈(Ni), 니오븀(Nb), 및 몰리브덴(Mo) 중 적어도 어느 하나를 포함할 수 있다.
- [64] 도 2에 도시된 바와 같이, 제1 활성 금속 브레이징층(125)은 세라믹 층(120)의 제1 면(121) 상에 배치될 수 있다. 제1 베이스 구리층(130)은 제1 활성 금속 브레이징층(125) 상에 배치될 수 있다. 즉, 세라믹 층(120)과 제1 베이스 구리층(130) 사이에 제1 활성 금속 브레이징층(125)이 개재되어, 세라믹 층(120)과 제1 베이스 구리층(130)을 서로 접합시킬 수 있다.
- [65] 제2 활성 금속 브레이징층(126)은 세라믹 층(120)의 제2 면(122) 상에 배치될 수 있다. 제2 베이스 구리층(140)은 제2 활성 금속 브레이징층(126) 상에 배치될 수 있다. 즉, 세라믹 층(120)과 제2 베이스 구리층(140) 사이에 제2 활성 금속 브레이징층(126)이 개재되어, 세라믹 층(120)과 제2 베이스 구리층(140)을 서로 접합시킬 수 있다.

- [66] 제1 베이스 구리층(130)에 패턴을 형성하기 위하여는, 상기 DBC 기술, DPC 기술, 또는 AMB 기술을 적용하는 경우에는 추가적인 식각 공정을 요구할 수 있다. 따라서, 이러한 식각 공정을 이용하면, 패턴 형태에 제한이 있다는 한계가 있고, 다양한 형태의 반도체 소자에 대응하기 위해서 패턴 간에 두께의 차이를 두거나, 패턴 위에 2차 패턴 및 3차 패턴을 형성하기가 어려울 수 있다. 반면, 상기 제1 베이스 구리층(130)을 형성하기 위하여 TPC 기술을 적용하는 경우에는, 패턴을 인쇄 시에 용이하게 형성할 수 있고, 추가적인 식각 공정이 요구되지 않을 수 있다.
- [67] 도 1 내지 도 4를 참조하면, 제1 구리 구조체(150)는, 세라믹 기판(110)의 일부 영역 상에, 예를 들어 제1 베이스 구리층(130)의 일부 영역 상에 배치될 수 있다. 제1 구리 구조체(150)는 실질적으로 모두 동일한 높이를 가질 수 있다. 상기 높이는 세라믹 기판(110)으로부터의 높이를 지칭할 수 있다.
- [68] 도 3 및 도 4를 참조하면, 제2 구리 구조체(160)는 제1 구리 구조체(150)의 적어도 일부 영역 상에 배치될 수 있다. 제1 구리 구조체(150)의 적어도 일부 영역 상에 제2 구리 구조체(160)가 형성됨에 따라 제2 구리 구조체(160)가 추가로 형성된 부분은 제1 구리 구조체(150)만 형성된 부분에 비해 더 높은 높이를 가질 수 있다.
- [69] 제1 구리 구조체(150) 및 제2 구리 구조체(160)는 인쇄, 압착, 및 소결로서 구리층을 형성하는 상술한 TPC 기술을 이용하여 형성할 수 있다. 따라서 제1 구조체(150) 및 제2 구리 구조체(160)는 실질적으로 동일한 물질로 이루어진 소결체일 수 있다. 제2 구리 구조체(160)는 제1 구리 구조체(150) 상에 하나 이상 적층될 수 있다. 도 3 및 도 4에는 예시적으로 제 1 구리 구조체(150)의 일부 영역 상에 제2 구리 구조체(160)이 1층 적층된 것이다. 그러나 본 발명은 이에 한정되지 않으며, 필요에 따라 구리 구조체의 높이를 조절하기 위하여 제2 구리 구조체(160)을 2층 이상의 복수개의 층으로 형성할 수 있다.
- [70] 제1 구리 구조체(150) 및 제2 구리 구조체(160)는 상기 파워 반도체 소자가 실장되는 공간을 제공할 수 있고, 상기 파워 반도체 소자의 두께 편차를 보정하는 스페이서의 기능을 수행할 수 있다. 제1 구리 구조체(150) 및 제2 구리 구조체(160)의 배치에 의하여 파워 반도체 소자가 배치되는 높이를 변화시킬 수 있다. 즉, 제 1 구리 구조체(150)의 일부 영역 상에 선택적으로 제2 구리 구조체(160)가 형성됨에 따라, 제1 구리 구조체(150) 만을 포함하는 경우에 제공되는 높이에 비하여, 제 1 구리 구조체(150) 및 제2 구리 구조체(160)을 포함하는 경우에 제공되는 높이가 클 수 있다. 상기 높이는 세라믹 기판(110)으로부터의 높이를 지칭할 수 있다. 서로 다른 높이를 가지는 구리 구조체를 형성하게 되며, 이에 따라, 서로 다른 두께의 파워 반도체 소자의 두께 편차를 보정할 수 있다.
- [71] 제1 구리 구조체(150) 및 제2 구리 구조체(160)는 동일한 평면적을 가질 수 있고, 또는 제1 구리 구조체(150)에 비하여 제2 구리 구조체(160)가 작은 평면적을 가질 수 있다.

- [72] 또한, 제1 구리 구조체(150) 및 제2 구리 구조체(160)는 전기적 통로를 제공하는 배선의 기능을 추가적으로 수행할 수 있다. 제1 구리 구조체(150) 및 제2 구리 구조체(160)는 상기 파워 반도체 소자로부터 고전류 또는 고전압이 인가될 수 있다.
- [73] 제1 구리 구조체(150) 및 제2 구리 구조체(160)는 소결에 의하여 일체화될 수 있다.
- [74] 제1 구리 구조체(150) 및 제2 구리 구조체(160) 중 적어도 어느 하나는 블라스팅 처리에 의하여 산화물이 제거된 표면을 가질 수 있다.
- [75] 파워 반도체 소자를 부착하기 위하여, 제1 구리 구조체(150), 제2 구리 구조체(160) 및 세라믹 기판(110) 상에 은을 도금하면, 노출된 표면에 전체적으로 은 도금층이 형성된다. 그러나, 세라믹 기판(110) 상에 전체적으로 형성된 은 도금층은 후속의 공정에서 형성되는 몰드층과 접착되지 않고 계면에서 분리되는 결함이 발생할 있으므로, 은 도금층과 몰드층이 접촉하지 않도록 구성할 필요가 있다.
- [76] 따라서, 본 발명의 기술적 사상은, 제1 구리 구조체(150) 및 제2 구리 구조체(160) 중 적어도 어느 하나의 표면에 국부적으로 배치되고, 은을 포함하는 소자 부착층(170)을 포함하는 것이다.
- [77] 소자 부착층(170)은 제1 구리 구조체(150) 및 제2 구리 구조체(160) 중 적어도 어느 하나의 표면 상에 국부적으로 배치될 수 있다. 소자 부착층(170)에는 파워 반도체 소자가 부착되어 실장될 수 있다.
- [78] 소자 부착층(170)은 제1 구리 구조체(150) 및 제2 구리 구조체(160) 중 적어도 어느 하나의 표면 상에 국부적으로 배치될 수 있다. 또한, 소자 부착층(170)은 파워 반도체 소자가 부착되는 세라믹 기판(110)의 제1 베이스 구리층(130)의 일부 표면 상에 국부적으로 배치될 수 있다. 소자 부착층(170)은 은(Ag), 은 합금, 구리, 또는 구리 합금을 포함할 수 있다. 소자 부착층(170)의 두께는, 예를 들어 1 μm 내지 100 μm 범위일 수 있고, 예를 들어 1 μm 내지 20 μm 범위일 수 있다.
- [79] 도 5a 및 도 5b는 본 발명의 일실시예에 따른 세라믹 회로 기판의 베이스 구리층과 구리 구조체를 도시하는 단면도들이다.
- [80] 도 5a를 참조하면, 제1 베이스 구리층(130)은 DBC 기술 혹은 AMB 기술에 의해 형성된 구리 호일이거나 혹은 DPC 기술에 의해 형성된 구리 도금층일 수 있다. 제1 구리 구조체(150) 및 제2 구리 구조체(160)은 TPC 기술에 의해 형성된 구리함유 페이스트의 소결체일 수 있다.
- [81] 이하에서는, TPC(thick printed copper) 기술을 이용하여 형성한 제1 베이스 구리층(130), 제1 구리 구조체(150), 및 제2 구리 구조체(160)에 대하여 상세하게 설명하기로 한다.
- [82] 도 5b를 참조하면, 제1 베이스 구리층(130)은 TPC 기술에 의해 형성된 구리함유 페이스트의 소결체일 수 있다. 제1 구리 구조체(150) 및 제2 구리 구조체(160)은 TPC 기술에 의해 형성된 구리함유 페이스트의 소결체일 수 있다.

- [83] 제1 베이스 구리층(130), 제1 구리 구조체(150), 및 제2 구리 구조체(160)는 공통적으로 구리함유 페이스트를 인쇄하여 페이스트층을 형성하고, 상기 페이스트층을 압착 및 소결하여 형성할 수 있다.
- [84] 제1 베이스 구리층(130)은, 세라믹 층(120)의 일부 영역 상에 배치될 수 있다. 제1 베이스 구리층(130)은 상술한 바와 같은 TPC 기술을 이용하여 형성할 수 있다.
- [85] 제1 베이스 구리층(130)은 복수의 층들로 이루어질 수 있다. 제1 베이스 구리층(130)은, 예를 들어 접합 구리층(131), 적층 구리층(132), 및 표층 구리층(133) 중 적어도 어느 하나를 포함할 수 있다.
- [86] 제1 베이스 구리층(130)의 두께는 상대적으로 두꺼운 적층 구리층(132)의 두께를 제어하여 변화시킬 수 있다. 적층 구리층(132)은 접합 구리층(131) 및 표층 구리층(133)에 비하여 큰 두께를 가질 수 있다. 접합 구리층(131)과 표층 구리층(133)은 서로 동일한 두께를 가지거나, 서로 다른 두께를 가질 수 있다. 접합 구리층(131)은, 예를 들어 1 μm 내지 100 μm 범위의 두께를, 예를 들어 약 20 μm 의 두께를 가질 수 있다. 적층 구리층(132)은, 예를 들어 100 μm 내지 1000 μm 범위의 두께를 가질 수 있다. 표층 구리층(133)은, 예를 들어 1 μm 내지 100 μm 범위의 두께를, 예를 들어 약 30 μm 의 두께를 가질 수 있다.
- [87] 접합 구리층(131)은 세라믹 층(120)의 적어도 일부 영역 상에 배치될 수 있다. 적층 구리층(132)은 접합 구리층(131) 상에 배치될 수 있다. 표층 구리층(133)은 적층 구리층(132) 상에 배치될 수 있다. 그러나, 이는 예시적이며 본 발명의 기술적 사상은 이에 한정되는 것은 아니다. 예를 들어, 제1 베이스 구리층(130)의 두께가 두껍지 않은 경우에는, 제1 베이스 구리층(130)은, 적층 구리층(132)을 배제하고, 접합 구리층(131) 및 표층 구리층(133)을 포함하여 구성될 수 있다. 또는, 베이스 구리층(140) 상에 파워 반도체 소자가 접합되지 않는 경우에는, 제1 베이스 구리층(130)은, 표층 구리층(133)을 배제하고, 접합 구리층(131) 및 적층 구리층(132)을 포함하도록 구성될 수 있다.
- [88] 접합 구리층(131)은, 세라믹 층(120) 상에 구리함유 접합 페이스트를 스크린 프린팅 방법 등으로 인쇄하여 접합 페이스트층을 형성한 후에, 건조하여 용제를 제거하고, 건조된 상기 접합 페이스트층을 압착한 후에 가열하여 소결하여 형성할 수 있다.
- [89] 적층 구리층(132)은, 접합 구리층(131) 상에 구리함유 적층 페이스트를 스크린 프린팅 방법 등으로 인쇄하여 적층 페이스트층을 형성한 후에, 건조하여 용제를 제거하고, 건조된 상기 적층 페이스트층을 압착한 후에 가열하여 소결하여 형성할 수 있다.
- [90] 표층 구리층(133)은, 적층 구리층(132) 상에 구리함유 표층 페이스트를 스크린 프린팅 방법 등으로 인쇄하여 표층 페이스트층을 형성한 후에, 건조하여 용제를 제거하고, 건조된 상기 표층 페이스트층을 압착한 후에 가열하여 소결하여 형성할 수 있다.

- [91] 상기 압착에 의하여 상기 접합 페이스트층, 상기 적층 페이스트층, 및 상기 표층 페이스트층의 내부 기공을 감소시키고 높이의 균일성을 확보할 수 있다.
- [92] 상술한 상기 인쇄, 압착, 및 상기 소결 단계는 반복하여 수행될 수 있다. 예를 들어, 상기 인쇄 및 압착을 하나의 주기로 한 층의 페이스트층을 형성한 후에, 다시 상기 인쇄 및 압착을 수행하여 기 형성된 상기 페이스트층 상에 후속의 한 층의 페이스트층을 더 형성할 수 있고, 이를 반복하여 복수의 페이스트층을 형성할 수 있다. 상기 복수의 페이스트층을 함께 소결할 수 있다. 또한, 상기 소결을 반복하여 수행함으로써, 상기 구리층을 형성할 수 있다. 즉, 제1 베이스 구리층(130)을 구성하는 하나의 구리층에 대하여 한 회 또는 그 이상의 소결을 수행할 수 있다. 상기 인쇄, 압착, 및 소결의 횟수는 다양하게 변화시킬 수 있다.
- [93] 이하에서는, 제1 베이스 구리층(130)을 형성하는 상술한 페이스트를 구성하는 물질에 대하여 설명하기로 한다.
- [94] 상기 구리함유 접합 페이스트는, 예를 들어 구리 입자들, 글라스 프리트, 무기물 입자들, 산화구리 입자들, 용제 및 바인더를 포함할 수 있다.
- [95] 상기 구리함유 적층 페이스트는, 예를 들어 구리 입자들, 무기물 입자들, 용제 및 바인더를 포함할 수 있다. 상기 구리함유 적층 페이스트는, 상기 구리함유 접합 페이스트와 비교하면, 글라스 프리트 및 산화구리 입자들을 포함하지 않을 수 있다.
- [96] 상기 구리함유 표층 페이스트는, 구리 입자들, 산화구리 입자들, 용제 및 바인더를 포함할 수 있다. 상기 구리함유 표층 페이스트는, 상기 구리함유 접합 페이스트와 비교하면, 글라스 프리트 및 무기물 입자들을 포함하지 않을 수 있다.
- [97] 상기 글라스 프리트(Glass Frit)은 구리(Cu) 입자들의 소결을 돕는 소결 조력제이고, 세라믹 층(120)과 접합 구리층(131) 사이의 더 우수한 접합을 제공할 수 있다.
- [98] 상기 무기물 입자들은, Al_2O_3 , CaO , 및 ZrO_2 중 적어도 어느 하나의 분말을 포함할 수 있다. 상기 무기물 입자들은 상기 페이스트의 수축률을 감소시키는 기능을 수행할 수 있다. 참고로, 상기 수축률은 페이스트를 디스크 형태로 인쇄한 후 건조 및 소결하고, 건조 후와 소결 후의 디스크의 지름을 비교하는 방법으로 측정할 수 있다.
- [99] 상기 산화구리 입자들은 CuO 및 Cu_2O 중 적어도 어느 하나를 포함할 수 있고, 접합되는 구성요소와의 접합 특성을 향상시키는 기능을 수행할 수 있다. 상기 산화구리 입자들은 소결 과정에서 공정 액상을 형성할 수 있다. 예를 들어, 세라믹 층(120)이 알루미나(Al_2O_3)를 포함하는 경우에는, 상기 산화구리가 알루미나와 반응하여 CuAlO_2 , CuAl_2O_4 등을 형성하여 접합 특성을 향상시킬 수 있다.
- [100] 상기 구리 입자들은 구리로 구성될 수 있고, 제1 베이스 구리층(130)을 구성하는 주요 성분일 수 있다. 상기 구리 입자들은 $1\ \mu\text{m}$ 내지 $10\ \mu\text{m}$ 범위의 평균 입경을 가지는 미세 구리 입자들을 포함할 수 있고, 상기 페이스트의 60 중량% 내지 95 중량%로 포함될 수 있다.

- [101] 상기 구리함유 적층 페이스트의 수축률은 상기 구리함유 접합 페이스트의 수축률에 비하여 높을 수 있다. 상기 구리함유 표층 페이스트의 수축률은 상기 구리함유 접합 페이스트의 수축률 및 상기 구리함유 접합 페이스트의 수축률에 비하여 높을 수 있다. 상기 구리함유 접합 페이스트의 수축률은, 예를 들어 0% 내지 3%일 수 있다. 상기 구리함유 적층 페이스트의 수축률은, 예를 들어 3% 내지 9%일 수 있다. 상기 구리함유 표층 페이스트의 수축률은, 예를 들어 10% 내지 15%일 수 있다.
- [102] 상기 구리함유 접합 페이스트, 상기 구리함유 적층 페이스트, 및 상기 구리함유 표층 페이스트는 원하는 열팽창 계수 및 수축률을 구현하기 위하여, 글라스 프릿, 무기물 입자들, 산화구리 입자들, 구리 입자들, 용제 및 바인더의 종류와 함량을 변화시킬 수 있다.
- [103] 상술한 제1 베이스 구리층(130)에 대한 구성 및 페이스트에 대한 설명이 제2 베이스 구리층(140)에 동일하게 적용될 수 있다.
- [104] 제1 구리 구조체(150)는 제1 베이스 구리층(130)의 일부 영역 상에 배치될 수 있다. 제1 구리 구조체(150)는 그 위에 실장되는 파워 반도체 소자와의 열팽창 계수 차이를 줄이기 위하여, 예를 들어 $5 \times 10^{-6}/^{\circ}\text{C}$ 내지 $20 \times 10^{-6}/^{\circ}\text{C}$ 범위의 열팽창 계수를 가질 수 있다.
- [105] 제1 구리 구조체(150)는 내부에 기공을 가지는 다공성 기공 구조체일 수 있다. 제1 구리 구조체(150)는 차등 공극률을 가질 수 있다. 이는 제1 구리 구조체(150)는, 제1 베이스 구리층(130)에 상대적으로 인접한 하측에 비해 더 낮은 공극률을 가지는 영역을 상측에 포함함을 의미한다.
- [106] 예를 들어, 제1 구리 구조체(150)는 제1 베이스 구리층(130)에 상대적으로 인접한 하측에서 상측을 향하여 공극률이 감소될 수 있다.
- [107] 예를 들어, 제1 구리 구조체(150)는 복수의 층들로 이루어질 수 있고, 제1 기저부(151) 및 제1 기저부(151) 상에 배치되고 제1 기저부(151)에 비하여 낮은 공극률을 가지는 제1 표면부(152)를 포함할 수 있다. 제1 기저부(151)는, 예를 들어 5 부피% 초과 20 부피% 이하 범위의 공극률을 가질 수 있다. 제1 표면부(152)는, 예를 들어 0 부피% 초과 5 부피% 이하 범위의 공극률을 가질 수 있다.
- [108] 제1 기저부(151)가 상대적으로 높은 공극률을 가짐에 따라, 기공이 열 충격에 대한 버퍼 기능을 수행하게 되고, 이에 따라 열응력이 감소될 수 있고, 반복되는 열이력 하에서 열응력에 의한 열피로 파괴에 대한 저항성이 증가될 수 있다.
- [109] 반면, 제1 표면부(152)가 상대적으로 낮은 공극률을 가짐에 따라, 매끄러운 표면을 가질 수 있고, 이에 따라 그 상에 실장되는 파워 반도체 소자의 접합이 향상시킬 수 있다. 제1 표면부(152)가 높은 공극률을 가지는 경우에는, 기공에 의하여 접합 면에 보이드(void) 결함이 잔존하게 되어, 파워 반도체 소자의 접합이 불량해질 수 있다. 따라서, 제1 표면부(152)는 가능한 기공이 존재하지 않거나 낮은 기공율을 가지도록 제어하는 것이 바람직하다.

- [110] 이러한 공극률의 제어를 위하여, 페이스트에 포함된 구리 입자의 입경 및 분율을 제어할 수 있다. 상기 구리 입자의 입경이 크거나 분율이 낮으면, 공극률이 증가될 수 있고, 상기 구리 입자의 입경이 작거나 분율이 크면, 공극률이 감소될 수 있다.
- [111] 제1 기저부(151)를 형성하는 제1 페이스트는 $3\ \mu\text{m}$ 초과 $10\ \mu\text{m}$ 이하 범위의 평균 입경을 가지는 구리 입자들을 포함할 수 있다. 제1 표면부(152)를 형성하는 제2 페이스트는 $100\ \text{nm}$ 내지 $3\ \mu\text{m}$ 범위의 평균 입경을 가지는 구리 입자들을 포함할 수 있다. 즉, 상기 제2 페이스트에 포함된 구리 입자의 평균 입경이 상기 제1 페이스트에 포함된 구리 입자의 평균 입경에 비하여 작을 수 있다. 이러한 구리 입자의 평균 입경의 차이에 의하여, 제1 기저부(151)에 비하여 제1 표면부(152)가 치밀한 미세구조를 가질 수 있고, 낮은 공극률을 가질 수 있다.
- [112] 제1 구리 구조체(150)는, 예를 들어 $100\ \mu\text{m}$ 내지 $2000\ \mu\text{m}$ 범위의 전체 두께를 가질 수 있다. 제1 기저부(151)는 제1 표면부(152)에 비하여 큰 두께를 가질 수 있다. 제1 기저부(151)는, 예를 들어 $100\ \mu\text{m}$ 내지 $1900\ \mu\text{m}$ 범위의 두께를 가질 수 있다. 제1 표면부(152)는, 예를 들어 $1\ \mu\text{m}$ 내지 $100\ \mu\text{m}$ 범위의 두께를, 예를 들어 약 $20\ \mu\text{m}$ 의 두께를 가질 수 있다.
- [113] 제1 구리 구조체(150)는 상술한 바와 같은 TPC 기술을 이용하여 형성할 수 있다. 제1 구리 구조체(150)는, 구리 입자들, 무기물 입자들, 용제 및 바인더를 포함하는 구리 함유 페이스트를 사용하여 형성할 수 있다. 상기 구리 함유 페이스트는 산화구리 입자들을 더 포함할 수 있다. 제1 구리 구조체(150)는, 구리 함유 페이스트를 스크린 프린팅 방법 등으로 인쇄하여 페이스트층을 형성한 후에, 건조하여 용제를 제거하고, 건조된 상기 페이스트층을 압착한 후에 가열하여 소결하여 형성할 수 있다.
- [114] 상술한 상기 인쇄, 압착, 및 소결 단계는 반복하여 수행될 수 있다. 예를 들어, 상기 인쇄 및 압착을 하나의 주기로 한 층의 페이스트층을 형성한 후에, 다시 상기 인쇄 및 압착을 수행하여 기 형성된 상기 페이스트층 상에 후속의 한 층의 페이스트층을 더 형성할 수 있고, 이를 복수 횟수로 반복하여 복수의 페이스트층을 형성할 수 있다. 상기 복수의 페이스트층을 함께 소결할 수 있다. 또한, 상기 소결을 반복하여 수행함으로써, 상기 구리층을 형성할 수 있다. 즉, 제1 구리 구조체(150)를 구성하는 하나의 구리층에 대하여 한 회 또는 그 이상의 소결을 수행할 수 있다. 상기 인쇄, 압착, 및 상기 소결의 횟수는 다양하게 변화시킬 수 있다.
- [115] 제2 구리 구조체(160)는, 제1 구리 구조체(150)의 적어도 일부 영역 상에 배치될 수 있다. 제2 구리 구조체(160)는, 상술한 바와 같은 TPC 기술을 이용하여 형성할 수 있다. 제2 구리 구조체(160)는 그 위에 실장되는 파워 반도체 소자와의 열팽창 계수 차이를 줄이기 위하여, 예를 들어 $5 \times 10^{-6}/^{\circ}\text{C}$ 내지 $20 \times 10^{-6}/^{\circ}\text{C}$ 범위의 열팽창 계수를 가질 수 있다.
- [116] 제2 구리 구조체(160)는 내부에 기공을 가지는 다공성 기공 구조체일 수 있다. 제2 구리 구조체(160)는 차등 공극률을 가질 수 있다. 이는 제2 구리 구조체(160)

는 제1 구리 구조체(150)에 상대적으로 인접한 하측에 비해 더 낮은 공극률을 가지는 영역을 상측에 포함함을 의미한다.

- [117] 예를 들어, 제2 구리 구조체(160)는 제1 구리 구조체(150)에 상대적으로 인접한 하측에서 상측을 향하여 공극률이 감소될 수 있다.
- [118] 예를 들어, 제2 구리 구조체(160)는 복수의 층들로 이루어질 수 있고, 제2 기저부(161) 및 제2 기저부(161) 상에 배치되고 제2 기저부(161)에 비하여 낮은 공극률을 가지는 제2 표면부(162)를 포함할 수 있다. 제2 기저부(161)는, 예를 들어 5 부피% 초과 20 부피% 이하 범위의 공극률을 가질 수 있다. 제2 표면부(162)는, 예를 들어 0 부피% 초과 5 부피% 이하 범위의 공극률을 가질 수 있다.
- [119] 제2 기저부(161)를 형성하는 제1 페이스트는 3 μm 초과 10 μm 이하 범위의 평균 입경을 가지는 구리 입자들을 포함할 수 있다. 제2 표면부(162)를 형성하는 제2 페이스트는 100 nm 내지 3 μm 범위의 평균 입경을 가지는 구리 입자들을 포함할 수 있다.
- [120] 제2 구리 구조체(160)는, 예를 들어 100 μm 내지 2000 μm 범위의 전체 두께를 가질 수 있다. 제2 기저부(161)는 제2 표면부(162)에 비하여 큰 두께를 가질 수 있다. 제2 기저부(161)는, 예를 들어 100 μm 내지 1900 μm 범위의 두께를 가질 수 있다. 제2 표면부(162)는, 예를 들어 1 μm 내지 100 μm 범위의 두께를, 예를 들어 약 20 μm 의 두께를 가질 수 있다.
- [121] 제2 구리 구조체(160)는 상술한 바와 같은 TPC 기술을 이용하여 형성할 수 있다. 제2 구리 구조체(160)는, 구리 입자들, 무기물 입자들, 용제 및 바인더를 포함하는 구리 함유 페이스트를 사용하여 형성할 수 있다.
- [122] 제2 기저부(161)은 제1 기저부(151)와 동일 또는 유사할 수 있고, 제2 표면부(162)는 제1 표면부(152)와 동일 또는 유사할 수 있다.
- [123] 그러나, 이는 예시적이며, 제2 구리 구조체(160)가 제1 구리 구조체(150)와는 다른 구조를 가지거나, 다른 구성 물질을 가지거나, 또는 다른 제조방법으로 형성된 경우도 본 발명의 기술적 사상에 포함된다.
- [124] 도 6은 본 발명의 일실시예에 따른 세라믹 회로 기판의 구리 구조체의 미세조직을 나타내는 사진이다.
- [125] 도 6을 참조하면, 제1 구리 구조체(150)의 제1 기저부(151)와 제1 표면부(152)의 내부 기공들이 나타나 있다. 제1 기저부(151)에 비하여, 제1 표면부(152)는 낮은 공극률을 가지고, 각각의 기공의 크기도 작다. 즉, 제1 표면부(152)는 치밀한 미세조직을 가진다.
- [126] 공극률이 0%인 경우에는 220 MPa의 높은 열응력을 나타낸 반면, 공극률이 7.7%인 경우에는 136 MPa, 공극률이 17.2%인 경우에는 114 MPa의 열응력을 나타내었다. 즉, 공극률이 증가되면, 열응력이 감소됨을 알 수 있다. 또한, 공극률이 7.7%인 경우에는 1000 사이클의 열피로 파괴 특성을 나타내었고, 공극률이 17.2%인 경우에는 2000 사이클의 향상된 열피로 파괴 특성을 나타내었다. 즉, 공극률이 증가되면, 열피로 파괴에 대한 저항성이 향상됨을 알 수 있다.

- [127] 종래 기술에 따른 Mo-Cu 스페이서는 실질적으로 내부에 기공을 포함하지 않는 금속가공재로서 공극률이 약 0%이므로 높은 열응력과 낮은 열피로 파괴 특성을 가진다. 반면, 본 발명에 따른 구리 구조체는 높은 공극률을 가지는 하층을 포함함으로써 낮은 열응력과 향상된 열피로 파괴에 대한 저항성을 제공하고, 이와 더불어 낮은 공극률을 가지는 상층을 포함함으로써, 파워 반도체 소자의 접합 결함을 방지할 수 있다.
- [128] 도 7a 및 도 7b는 본 발명의 일실시예에 따른 세라믹 회로 기판의 각뿔대 형상의 구리 구조체를 도시하는 단면도 및 사진이다.
- [129] 도 7a를 참조하면, 제1 구리 구조체(150)는, 제1 베이스 구리층(130)에 상대적으로 인접한 하층에서 상층을 향하여 평면적이 감소됨에 따라, 하층에 비하여 상층의 평면적이 작은, 각뿔대(truncated pyramid) 형상을 가질 수 있다. 즉, 제1 구리 구조체(150)는, 사다리꼴 수직 단면 형상을 가질 수 있다. 또한, 제1 구리 구조체(150)는, 수평 단면의 형상이 삼각형, 사각형, 오각형, 육각형 등의 다각형이거나 정원형, 타원형, 반원형 등의 원형일 수 있다.
- [130] 제1 구리 구조체(150)는 각뿔대 형상을 가짐에 따라, 파워 반도체 소자를 안정적으로 실장할 수 있다. 또한, 식각에 의하여 형성되는 언더 컷 현상을 방지할 수 있다.
- [131] 이러한 각뿔대 형상은 하기와 같이 형성될 수 있다.
- [132] 제1 기저부(151)의 제1 층(151_1)을 인쇄 및 압착한 후에 소결하면, 용매의 증발 및 구리 입자의 소결에 의한 부피 축소에 의하여 자연적으로 수축될 수 있다. 이때 제1 층(151_1)의 하층은 제1 베이스 구리층(130)에 부착되므로 수축이 작게 발생하고, 반면 상층은 수축이 크게 발생하게 된다. 이어서 제2 층(151_2)을 인쇄하면, 수축된 상층에 면적이 상응하게 되어, 제2 층(150_2)의 하층 면적이 축소된다. 제2 층(151_2)을 소결하면, 제1 층(150_1)과 동일하게 하층에 비하여 상층이 더 축소되게 된다. 이러한 방식으로, 하층에 비하여 작은 면적을 가지는 상층을 가지는 복수의 층을 형성한다. 이어서, 제n 층(150_n) 상에 하층에 비하여 작은 면적을 가지는 상층을 가지는 제1 표면부(152)를 형성한다. 이에 따라, 각뿔대 형상을 가지는 제1 구리 구조체(150)를 형성할 수 있다.
- [133] 또한, 제1 구리 구조체(150)를 형성하는 단계에서, TPC 기술을 이용하여 인쇄 시 도포되는 페이스트의 도포 면적을 하층에서 상층을 향하여 감소시켜 상기 각뿔대 형상을 구현할 수 있다. 최초로 형성되는 최초 층을 기준으로 후속의 층을, 예를 들어 제1 층(151_1)을 기준으로 제2 층(151_2)을 형성할 때에, 도포 면적을 1 면적% 내지 10 면적%로, 예를 들어 3 면적% 내지 5 면적%로 감소시킬 수 있다.
- [134] 또한, 제1 구리 구조체(150)와 유사하게, 제2 구리 구조체(160)는 제1 구리 구조체(150)에 상대적으로 인접한 하층에서 상층을 향하여 평면적이 감소되는 각뿔대 형상을 가질 수 있다.
- [135] 도 7b를 참조하면, 이러한 각뿔대 형상의 구리 구조체를 실제로 구현한 사진들이 나타나 있다.

- [136] 이하에서는, 본 발명의 일실시예에 따른 세라믹 회로 기판을 제조하는 방법에 대하여 설명하기로 한다.
- [137] 도 8은 본 발명의 일실시예에 따른 세라믹 회로 기판의 제조방법을 도시하는 흐름도이다.
- [138] 도 8을 참조하면, 세라믹 회로 기판의 제조방법(S100)은, 세라믹 층 및 상기 세라믹 층의 제1 면 상에 배치된 제1 베이스 구리층을 포함하는 세라믹 기판을 제공하는 단계(S110); 상기 세라믹 기판의 일부 영역 상에 제1 구리 구조체를 형성하는 단계(S120); 및 상기 제1 구리 구조체의 적어도 일부 영역 상에 하나 이상의 제2 구리 구조체를 형성하는 단계(S130)를 포함할 수 있다.
- [139] 또한, 세라믹 회로 기판의 제조방법(S100)은, 상기 제1 구리 구조체 및 상기 제2 구리 구조체 중 적어도 어느 하나의 표면 상에 국부적으로 소자 부착층을 형성하는 단계(S140)를 더 포함할 수 있다. 상기 소자 부착층은 평평한 표면을 가지거나, 트렌치를 구비할 수 있다.
- [140] 또한, 세라믹 회로 기판의 제조방법(S100)은, 상기 소자 부착층의 표면을 블라스팅 처리하는 단계(S150)를 더 포함할 수 있다. 또한, 블라스팅 처리하는 단계는 상기 베이스 구리층의 표면, 상기 제1 구리 구조체의 표면 또는 상기 제2 구리 구조체의 표면에 대하여도 수행될 수 있다.
- [141] 상기 세라믹 기판을 제공하는 단계(S110)는, 세라믹 층 및 상기 세라믹 층의 제1 면 상에 배치된 제1 베이스 구리층을 포함하는 세라믹 기판을 제공하여 이루어질 수 있다. 또한, 상기 세라믹 기판은, 상기 세라믹 층의 제1 면과는 반대인 제2 면 상에 배치된 제2 베이스 구리층을 더 포함할 수 있다.
- [142] 이하에서 베이스 구리층은 상기 제1 베이스 구리층 및 상기 제2 베이스 구리층을 의미하는 것으로 이해하여야 한다.
- [143] 상기 세라믹 기판을 제공하는 단계(S110)에서, 상기 제1 베이스 구리층은 TPC 구리층, DBC 구리층, DPC 구리층, 또는 AMB 구리층일 수 있다.
- [144] 상기 제1 구리 구조체를 형성하는 단계(S120)는, 상기 제1 베이스 구리층 상의 일부 영역 상에 구리함유 페이스트를 인쇄하여 페이스트층을 형성하는 인쇄 단계; 상기 페이스트층을 압착하는 압착 단계; 및 상기 페이스트층을 소결하여 상기 제1 구리 구조체를 형성하는 소결 단계를 포함할 수 있다.
- [145] 상기 인쇄 단계에서는, 상기 세라믹 층에 구리함유 페이스트를 스크린 프린팅 방법으로 수행하여 페이스트층을 형성할 수 있다. 상기 인쇄 단계는 대기중에서 10°C 내지 100°C 범위의 온도로 유지하여 상기 페이스트층에 함유된 용매를 전부 또는 일부 제거하는, 의도적으로 수행하는 건조 단계를 포함할 수 있다. 또는, 상기 건조는 의도하지 않고 자연 건조로 이루어질 수 있다.
- [146] 상기 압착 단계에서는, 상기 페이스트층을 압착하여 균일한 두께로 형성할 수 있다. 상기 페이스트층의 경계부는 구리함유 페이스트의 흐름 속도가 감소하여 중심부에 비해서 점도가 높을 수 있고, 두꺼운 두께로 형성될 수 있다. 상기 페이

스트층을 압착함으로써, 이러한 두께 편차를 감소시킬 수 있다. 또한, 상기 페이스트층의 내부 기공을 제거 또는 감소시킬 수 있다.

- [147] 상기 소결 단계에서는, 상기 페이스트층에 함유된 구리 입자를 소결할 수 있다. 상기 소결 단계는, 질소 분위기, 아르곤 분위기 등과 같은 불활성 분위기에서 수행될 수 있고, 대기 분위기에서 수행될 수 있다. 상기 소결 단계는, 머플 타입 열처리로와 같은 연속식 열처리로에서 수행되거나, 박스 오븐과 같은 배치 타입 열처리로에서 수행될 수 있다.
- [148] 상기 제2 구리 구조체를 형성하는 단계(S130)는, 상기 제1 구리 구조체의 일부 영역 상에 구리함유 페이스트를 인쇄하여 페이스트층을 형성하는 인쇄 단계; 상기 페이스트층을 압착하는 압착 단계; 및 상기 페이스트층을 소결하여 상기 제2 구리 구조체를 형성하는 소결 단계를 포함할 수 있다.
- [149] 상기 제1 구리 구조체를 형성하는 소결 단계 및 상기 제2 구리 구조체를 형성하는 소결 단계 중 적어도 어느 하나는, 예를 들어 900°C 미만의 온도에서 수행될 수 있고, 예를 들어 500°C 내지 800°C 범위의 온도에서 10 분 내지 120 분 동안 수행될 수 있다.
- [150] 예를 들어, 세라믹 기판이 활성 금속 브레이징층을 포함하는 경우에는, 상기 제1 구리 구조체 또는 상기 제2 구리 구조체를 형성하는 상기 소결 단계에 의하여 활성 금속 브레이징층이 용융되지 않도록 하는 것이 중요하며, 따라서 상기 소결 온도는 상기 활성 금속 브레이징층의 용융 온도에 비하여 낮은 것이 바람직하고, 예를 들어 50°C 내지 100°C 범위로 낮은 것이 바람직하다.
- [151] 또한, 상기 소결은 상기 페이스트층에 함유된 바인더를 제거하기 위해서 질소 분위기에 수증기나 산소를 소량 공급하여 300°C 내지 500°C 범위의 온도에서 베이킹 아웃(bake out) 단계 및 상기 페이스트층에 함유된 구리 입자들을 액상 소결하는 단계를 포함하여 이루어질 수 있다. 그러나, 이는 예시적이며 본 발명의 기술적 사상은 이에 한정되는 것은 아니고, 베이킹 아웃 단계를 생략할 수 있다.
- [152] 상기 제1 구리 구조체를 형성하는 단계(S120)는 상기 제1 구리 구조체가 차등 공극률을 가지도록 수행될 수 있다. 상기 제1 구리 구조체는, 상기 제1 베이스 구리층에 상대적으로 인접한 하측에 비해 더 낮은 공극률을 가지는 영역을 상측에 포함할 수 있다.
- [153] 상기 제1 구리 구조체를 형성하는 단계(S120)는, 제1 기저부를 형성하는 단계; 및 상기 제1 기저부 상에 상기 제1 기저부에 비하여 낮은 공극률을 가지는 제1 표면부를 형성하는 단계를 포함할 수 있다. 상기 제1 기저부를 형성하는 단계는, 3 μm 초과 10 μm 이하 범위의 평균 입경을 가지는 구리 입자들을 포함하는 페이스트를 이용하여 수행할 수 있다. 상기 제1 표면부를 형성하는 단계는, 상기 제1 기저부 상에, 100 nm 내지 3 μm 범위의 평균 입경을 가지는 구리 입자들을 포함하는 페이스트를 이용하여 수행할 수 있다. 상기 제1 기저부는, 5 부피% 초과 20 부피% 이하 범위의 공극률을 가질 수 있다. 상기 제1 표면부는, 0 부피% 초과 5 부피% 이하 범위의 공극률을 가질 수 있다.

- [154] 상기 제2 구리 구조체를 형성하는 단계(S130)는 상기 제2 구리 구조체가 차등 공극률을 가지도록 수행될 수 있다. 상기 제2 구리 구조체는, 상기 제1 구리 구조체에 상대적으로 인접한 하측에 비해 더 낮은 공극률을 가지는 영역을 상측에 포함할 수 있다.
- [155] 상기 제2 구리 구조체를 형성하는 단계(S130)는, 제2 기저부를 형성하는 단계; 및 상기 제2 기저부 상에 상기 제2 기저부에 비하여 낮은 공극률을 가지는 제2 표면부를 형성하는 단계를 포함할 수 있다. 상기 제2 기저부를 형성하는 단계는, 3 μm 초과 10 μm 이하 범위의 평균 입경을 가지는 구리 입자들을 포함하는 페이스트를 이용하여 수행할 수 있다. 상기 제2 표면부를 형성하는 단계는, 상기 제2 기저부 상에, 100 nm 내지 3 μm 범위의 평균 입경을 가지는 구리 입자들을 포함하는 페이스트를 이용하여 수행할 수 있다. 상기 제2 기저부는, 5 부피% 초과 20 부피% 이하 범위의 공극률을 가질 수 있다. 상기 제2 표면부는, 0 부피% 초과 5 부피% 이하 범위의 공극률을 가질 수 있다.
- [156] 상기 제1 구리 구조체, 및 제2 구리 구조체를 형성하기 위한 상기 인쇄 단계, 상기 압착 단계, 및 상기 소결 단계는 반복하여 수행될 수 있다. 예를 들어, 상기 인쇄 단계와 상기 압착 단계를 하나의 주기로 한 층의 페이스트층을 형성한 후에, 다시 상기 인쇄 단계와 상기 압착 단계를 수행하여 기 형성된 상기 페이스트층 상에 후속의 한 층의 페이스트층을 더 형성하는 방식으로 반복하여 복수의 페이스트층을 형성할 수 있다. 상기 복수의 페이스트층을 함께 소결할 수 있다. 또한, 상기 소결 단계를 반복하여 수행함으로써, 상기 구리층을 형성할 수 있다. 즉, 상기 제1 구리 구조체, 및 제2 구리 구조체를 구성하는 하나의 구리층에 대하여 한 회 또는 그 이상의 소결 단계를 수행할 수 있다. 상기 인쇄 단계, 상기 압착 단계, 및 상기 소결 단계의 횟수는 다양하게 변화시킬 수 있다.
- [157] 또한, 상기 세라믹 층의 일면에만 페이스트층을 형성하여 소결하면, 소결 도중에 상기 세라믹 층이 휘어지는 현상이 발생할 수 있다. 이를 방지하기 위하여, 상기 세라믹 층의 양면에 페이스트층을 각각 형성하고 함께 소결하여 상기 제1 베이스 구리층과 상기 제2 베이스 구리층을 동시에 형성할 수 있다. 또한, 상기 제1 구리 구조체, 및 제2 구리 구조체와 동시에 상기 제2 베이스 구리층을 추가로 더 형성할 수 있다. 상기 세라믹 층을 기준으로 양면에 형성되어 동시에 소결되는 상기 페이스트층들은 동일한 체적을 가지는 것이 바람직하고, 또는 체적비는, 예를 들어 90% 내지 100%일 수 있다. 상기 체적비는 작은 체적을 가지는 상기 페이스트층의 체적을 큰 체적을 가지는 상기 페이스트층의 체적으로 나눈 백분율일 수 있다. 또한, 상기 체적은 상기 페이스트층의 중량으로부터 산출할 수 있다.
- [158] 상기 제1 구리 구조체를 형성하는 단계(S120)는, 상기 인쇄하는 단계를 수행할 때에, 상기 제1 베이스 구리층에 상대적으로 인접한 하측에서 상측을 향하여 상기 구리함유 페이스트의 도포 면적을 감소시킴에 따라 상기 제1 구리 구조체가 각뿔대 형상을 가지게 할 수 있다.

- [159] 상기 제2 구리 구조체를 형성하는 단계(S130)에서, 상기 인쇄하는 단계를 수행할 때에, 상기 제1 구리 구조체에 상대적으로 인접한 하측에서 상측을 향하여 상기 구리함유 페이스트의 도포 면적을 감소시킴에 따라 상기 제2 구리 구조체가 각뿔대 형상을 가지게 할 수 있다.
- [160] 상기 소자 부착층을 형성하는 단계(S140)는, 상기 제1 구리 구조체 및 상기 제2 구리 구조체의 적어도 어느 하나의 표면 상에 국부적으로 은함유 페이스트를 인쇄하여 은함유 페이스트층을 형성하는 인쇄 단계; 상기 은함유 페이스트층을 압착하는 압착 단계; 및 상기 은함유 페이스트층을 500°C 내지 700°C 범위의 온도에서 소결하여 상기 소자 부착층을 형성하는 소결 단계를 포함할 수 있다. 상기 소결 단계는 은함유 페이스트가 금속화(metalizing)되는 단계일 수 있다.
- [161] 상기 인쇄 단계에서는, 상기 제1 구리 구조체 및 상기 제2 구리 구조체의 적어도 어느 하나의 표면 상에 국부적으로 은함유 페이스트를 스크린 프린팅 방법으로 수행하여 은함유 페이스트층을 형성할 수 있다. 상기 인쇄 단계는 대기중에서 10°C 내지 100°C 범위의 온도로 유지하여 상기 은함유 페이스트층에 함유된 용매를 전부 또는 일부 제거하는, 의도적으로 수행하는 건조 단계를 포함할 수 있다. 또는, 상기 건조는 의도하지 않고 자연 건조로 이루어질 수 있다.
- [162] 상기 압착 단계에서는, 상기 은함유 페이스트층을 압착하여 균일한 두께로 형성할 수 있다. 상기 은함유 페이스트층의 경계부는 구리함유 페이스트의 흐름 속도가 감소하여 중심부에 비해서 점도가 높을 수 있고, 두꺼운 두께로 형성될 수 있다. 상기 은함유 페이스트층을 압착함으로써, 이러한 두께 편차를 감소시킬 수 있다. 또한, 상기 은함유 페이스트층의 내부 기공을 제거 또는 감소시킬 수 있다.
- [163] 상기 소결 단계는, 예를 들어 900°C 미만의 온도에서 수행될 수 있고, 예를 들어 500°C 내지 700°C 범위의 온도에서 10 분 내지 120 분 동안 수행될 수 있다. 상기 소결 단계는 질소 분위기, 아르곤 분위기 등과 같은 불활성 분위기에서 수행될 수 있고, 대기 분위기에서 수행될 수 있다.
- [164] 상기 은함유 페이스트는 은 또는 은 합금을 포함할 수 있다. 종래에는, 은 페이스트를 소결하기 위하여 산화 분위기에서 수행하였다. 그러나, 산화 분위기에서 소결하면, 상기 제1 구리 구조체 및 상기 제2 구리 구조체를 구성하는 구리가 산화되어 금속 특성을 상실하게 된다. 반면, 이러한 구리 산화를 방지하기 위하여 질소 분위기에서 소결하면, 은이 금속 특성을 상실할 수 있다. 반면, 미세 은 입자로 구성된 은 페이스트를 이용하면 질소 분위기에서 소결하여도 은이 금속 특성을 유지할 수 있다. 따라서, 상기 은함유 페이스트는, 예를 들어 100 nm 내지 10 μm 범위의 입경을 가지는 은 입자를 포함할 수 있다.
- [165] 상기 소자 부착층을 형성하는 단계(S140)에서, 상기 소자 부착층을 형성하기 위한 상기 인쇄 단계, 상기 압착 단계, 및 상기 소결 단계는 반복하여 수행될 수 있다. 이러한 반복에 대하여는 상술한 바와 같다.
- [166] 참고로, 종래에는, 양면 냉각형 파워 모듈에 사용되는 세라믹 회로 기판에 몰리브덴-구리(Mo-Cu) 스페이서에 은 도금층을 형성한 후에, 상기 스페이서를 세라

믹 회로 기판에 은 도금층을 소결에 의하여 부착하여 사용하였다. 이러한 경우, 상기 스페이서를 개별적으로 부착하여야 하므로 공정이 복잡하고 공정 시간이 많이 소요될 수 있다. 또한, 본 발명에 의한 세라믹 회로 기판은, 스페이서 기능을 수행하는 상기 제1 구리 구조체 및 상기 제2 구리 구조체가 세라믹 기판에 형성된 일체형 구조를 가진다. 상기 세라믹 회로 기판에 은 도금을 수행하면, 전면적으로 은 도금층이 형성되고, 상기 제1 구리 구조체 및 상기 제2 구리 구조체에 국한하여 형성되지는 않는다. 후속의 공정에서 EMC 몰딩층을 형성하면, 은 도금층과 EMC 몰딩층이 접촉하는 영역에서 층 분리가 발생하여 신뢰성을 저하시키게 된다. 또한, 반도체 공정에서 통상적으로 사용되는 리소그래피 공정을 이용하여 상기 제1 구리 구조체 및 상기 제2 구리 구조체에 국한하여 은층을 형성할 수 있으나, 포토레지스트 공정과 마스크 공정은 고가의 장비가 요구되고, 공정 비용이 높으며, 또한, 상기 제1 구리 구조체 및 상기 제2 구리 구조체에 의하여 돌출부가 형성되므로 포토레지스트 공정을 적용하기 어려울 수 있다.

[167] 상기 블라스팅 처리하는 단계(S150)는, 상기 베이스 구리층, 상기 제1 구리 구조체, 상기 제2 구리 구조체, 및 상기 소자 부착층 중 적어도 어느 하나의 표면을 샌드와 같은 세라믹 입자를 블라스팅하여 처리할 수 있다.

[168] 상기 제1 구리 구조체 및 상기 제2 구리 구조체 상에는 상기 소자 부착층이 형성되고 파워 반도체 소자가 실장된다. 상기 베이스 구리층, 상기 제1 구리 구조체, 상기 제2 구리 구조체, 및 상기 소자 부착층 등을 소결하는 과정은 대기 중에서 고온으로 열처리하므로 표면에 구리 산화층 또는 은 산화층과 같은 불순물이 형성될 수 있다. 또한, 상기 소결을 불활성 분위기에서 수행하는 경우에도 산소에 의한 산화가 발생할 수 있다. 상기 구리 산화층 또는 은 산화층은 상기 제1 구리 구조체 및 상기 제2 구리 구조체에 대한 상기 소자 부착층의 부착성을 감소시키고, 또한 상기 소자 부착층에 대한 파워 반도체 소자의 부착성을 감소시킬 수 있다. 따라서, 상기 제1 구리 구조체 및 상기 제2 구리 구조체를 형성한 후에, 미세한 입径의 세라믹 입자를 상기 제1 구리 구조체 및 상기 제2 구리 구조체의 표면 상에 블라스팅(blasting)하여 상기 구리 산화층을 제거할 수 있다. 또한, 상기 소자 부착층을 형성한 후에, 미세한 입径의 세라믹 입자를 상기 소자 부착층의 표면 상에 블라스팅(blasting)하여 상기 은 산화층을 제거할 수 있다. 상기 블라스팅은 샌드 블라스팅으로 지칭할 수 있다. 또한, 베이스 구리층을 블라스팅 처리하는 경우도 본 발명의 기술적 사상에 포함된다.

[169] 도 9는 본 발명의 일실시예에 따른 세라믹 회로 기판의 소결 온도에 따른 결합 발생 여부를 나타내는 초음파 탐상 검사 결과이다.

[170] 도 9를 참조하면, 세라믹 회로 기판을 형성하기 위하여 구리 구조체의 소결을 900°C로 수행한 경우에는, 화살표로 표시된 바와 같은 세라믹 층과 베이스 구리층 사이에 부착 결합이 발생하였다. 상기 부착 결합은 상기 구리 구조체의 소결 공정에서 900°C의 고온에 노출됨에 따라 발생한 것으로 분석되며, 이러한 고온 노출이 반복될수록 두드러지게 발생하였다. 특히, 세라믹 회로 기판이 활성 금속

브레이징층을 포함하는 경우에는, 900°C의 소결 온도가 활성 금속 브레이징층의 용점에 가까워지거나 또는 초과하므로, 상기 활성 금속 브레이징층이 용융됨에 따라 상기 부착 결함이 더 발생하게 된다.

- [171] 반면, 구리 구조체들의 소결을 600°C로 수행한 경우에는 상기 부착 결함이 발생하지 않았다. 따라서, 베이스 구리층, 제1 구리 구조체, 및 제2 구리 구조체의 소결 온도는 900°C 미만의 온도가 바람직하며, 예를 들어 500°C 내지 800°C 범위의 온도가 바람직하다.
- [172] 도 10은 본 발명의 일실시예에 따른 세라믹 회로 기판의 구리 구조체의 블라스팅 처리 전후의 표면 상태를 나타내는 사진들이다.
- [173] 도 10을 참조하면, 블라스팅 처리하기 전과 후의 구리 구조체의 표면 상태를 나타낸다. 블라스팅 처리를 수행하지 않은 경우에는, 상기 구리 구조체의 표면 상에 구리 산화물이 존재하고, 거친 표면을 가짐을 알 수 있다. 반면, 블라스팅 처리에 의하여 상기 구리 산화물이 제거되고, 매끄러운 표면을 가지게 되고, 블라스팅 횟수가 증가될수록 더 매끄러운 표면을 가지게 됨을 알 수 있다. 따라서, 블라스팅 처리 후에는, 구리 구조체 상에 실장되는 파워 반도체 소자를 더 안정적으로 접합시킬 수 있다.
- [174] 도 11은 본 발명의 일실시예에 따른 세라믹 회로 기판의 소자 부착층의 블라스팅 처리 전후의 표면 상태를 나타내는 사진들이다.
- [175] 도 11을 참조하면, 블라스팅 처리 전과 처리 후의 은으로 구성된 소자 부착층의 표면 상태를 나타낸다. 블라스팅 처리 전의 경우에는(No blasting), 은으로 구성된 소자 부착층의 표면이 도금 형태가 아니고 은 분말을 혼합하여 형성한 페이스트를 인쇄, 건조, 압착 및 소성하여 형성함에 따라 은 분말의 입자 경계가 구분되어 나타난다. 반면, 블라스팅 처리 후의 경우에는(Blasting treated), 블라스팅에 의하여 상기 은 분말의 입자 경계가 대부분 제거됨을 알 수 있다.
- [176] 도 12는 본 발명의 일실시예에 따른 양면 냉각형 파워 모듈을 형성하기 위한 한 쌍의 세라믹 회로 기판을 도시하는 사시도이다.
- [177] 도 12를 참조하면, 양면 냉각형 파워 모듈을 형성하는 하부 세라믹 회로 기판(100_D)과 상부 세라믹 회로 기판(100_U)이 도시되어 있다. 도 12에서, 소자 부착층은 생략되어 있다.
- [178] 하부 세라믹 회로 기판(100_D)은, 하부 세라믹 기판(110_D), 하부 제1 구리 구조체(150_D) 및 하부 제2 구리 구조체(160_D)를 포함할 수 있다. 하부 세라믹 기판(110_D)은, 하부 세라믹 층(120_D), 하부 제1 베이스 구리층(130_D) 및 하부 제2 베이스 구리층(140_D)을 포함할 수 있다.
- [179] 상부 세라믹 회로 기판(100_U)은, 상부 세라믹 기판(110_U), 상부 제1 구리 구조체(150_U) 및 상부 제2 구리 구조체(160_U)를 포함할 수 있다. 상부 세라믹 기판(110_U)은, 상부 세라믹 층(120_U), 상부 제1 베이스 구리층(130_U) 및 상부 제2 베이스 구리층(140_U)을 포함할 수 있다.

- [180] 도 13 내지 도 16은 본 발명의 일실시예에 따른 양면 냉각형 파워 모듈을 도시하는 단면도들이다.
- [181] 도 13을 참조하면, 양면 냉각형 파워 모듈(10)은, 하부 세라믹 회로 기판(100_D), 상부 세라믹 회로 기판(100_U), 제1 파워 반도체 소자(20), 제2 파워 반도체 소자(30), 및 몰드층(50)을 포함할 수 있다.
- [182] 하부 세라믹 회로 기판(100_D)은, 하부 세라믹 기판(110_D), 하부 제1 구리 구조체(150_D), 하부 제2 구리 구조체(160_D), 및 하부 소자 부착층(170_D)을 포함할 수 있다. 하부 세라믹 기판(110_D)은, 하부 세라믹 층(120_D), 하부 제1 베이스 구리층(130_D), 및 하부 제2 베이스 구리층(140_D)을 포함할 수 있다.
- [183] 상부 세라믹 회로 기판(100_U)은, 상부 세라믹 기판(110_U), 상부 제1 구리 구조체(150_U), 상부 제2 구리 구조체(160_U), 및 상부 소자 부착층(170_U)을 포함할 수 있다. 상부 세라믹 기판(110_U)은, 상부 세라믹 층(120_U), 상부 제1 베이스 구리층(130_U), 및 상부 제2 베이스 구리층(140_U)을 포함할 수 있다.
- [184] 하부 세라믹 회로 기판(100_D) 및 상부 세라믹 회로 기판(100_U)은 서로 대면하여 배치될 수 있다.
- [185] 하부 세라믹 회로 기판(100_D)과 상부 세라믹 회로 기판(100_U) 사이에 제1 파워 반도체 소자(20) 및 제2 파워 반도체 소자(30)가 배치될 수 있다. 하부 세라믹 회로 기판(100_D) 및 상부 세라믹 회로 기판(100_U)은 제1 파워 반도체 소자(20) 및 제2 파워 반도체 소자(30)에서 발생한 열을 외부로 배출하는 기능을 수행할 수 있다. 이러한 방열을 위하여 하부 세라믹 회로 기판(100_D) 및 상부 세라믹 회로 기판(100_U) 중 적어도 어느 하나의 외측 표면에 방열 구조체(미도시)가 배치될 수 있다.
- [186] 제1 파워 반도체 소자(20) 및 제2 파워 반도체 소자(30)는, 예를 들어, GTO(gate turn-off thyristor) 반도체 소자나 IGBT(insulated gate bipolar mode transistor) 반도체 소자 동일 수 있고, 배터리 등의 전원 공급부로부터 공급되는 전원을 스위칭 동작을 통해 모터를 구동하기 위한 전원으로 변환하여 공급하는 동작을 수행할 수 있다. 또한, 제1 파워 반도체 소자(20) 및 제2 파워 반도체 소자(30)는, 상부 또는 하부에 형성된 전극 부재들을 포함할 수 있다.
- [187] 제1 파워 반도체 소자(20)는 하부 제1 구리 구조체(150_D)와 상부 제1 구리 구조체(150_U) 사이에 배치될 수 있다. 제1 파워 반도체 소자(20)는 하부 소자 부착층(170_D)과 상부 소자 부착층(170_U)에 의하여 부착될 수 있다. 제1 파워 반도체 소자(20)의 일면이 하부 소자 부착층(170_D)에 의하여 하부 제1 구리 구조체(150_D)에 부착되고, 다른 면이 상부 소자 부착층(170_U)에 의하여 상부 제1 구리 구조체(150_U)에 부착될 수 있다.
- [188] 제2 파워 반도체 소자(30)는 하부 제2 구리 구조체(160_D)와 상부 제2 구리 구조체(160_U) 사이에 배치될 수 있다. 제2 파워 반도체 소자(30)는 하부 소자 부착층(170_D)과 상부 소자 부착층(170_U)에 의하여 부착될 수 있다. 제2 파워 반도체 소자(30)의 일면이 하부 소자 부착층(170_D)에 의하여 하부 제2 구리 구조체

- (160_D)에 부착되고, 다른 면이 상부 소자 부착층(170_U)에 의하여 상부 제2 구리 구조체(160_U)에 부착될 수 있다.
- [189] 제2 파워 반도체 소자(30)는 제1 파워 반도체 소자(20)에 비하여 작은 두께를 가질 수 있다. 따라서, 제2 파워 반도체 소자(30)의 상측과 하측에 제2 구리 구조체(160)를 더 배치하여 제2 파워 반도체 소자(30)와 제1 파워 반도체 소자(20)의 두께 편차를 보정할 수 있다.
- [190] 하부 소자 부착층(170_D) 및 상부 소자 부착층(170_U)은, 예를 들어 900°C 미만의 온도에서, 예를 들어 500°C 내지 700°C 범위의 온도에서, 예를 들어 약 600°C에서 열처리되어 제1 파워 반도체 소자(20) 및 제2 파워 반도체 소자(30)와 부착될 수 있다.
- [191] 몰드층(50)은 하부 세라믹 회로 기판(100_D)과 상부 세라믹 회로 기판(100_U) 사이의 공간을 충전할 수 있다. 이에 따라 제1 파워 반도체 소자(20) 및 제2 파워 반도체 소자(30)는 몰드층(50)에 의하여 덮일 수 있다. 몰드층(50)은 제1 파워 반도체 소자(20) 및 제2 파워 반도체 소자(30)를 절연시킬 수 있다. 몰드층(50)은, 예를 들어 EMC(epoxy molding compound)로 구성될 수 있다.
- [192] 몰드층(50)은 구리로 구성된 하부 제1 베이스 구리 구조체(130_D) 및 상부 제1 베이스 구리 구조체(130_U)와 접촉하는 바, 구리와 EMC는 친화력이 우수하므로 박리 결함을 방지할 수 있다. 또한, EMC로 구성된 몰드층(50)은 은으로 구성된 하부 소자 부착층(170_D) 및 상부 소자 부착층(170_U)과는 접촉하지 않거나, 측면 접촉 수준으로 최소한으로 접촉하므로, 몰드층(50)의 박리 결함을 방지할 수 있다.
- [193] 하부 제1 구리 구조체(150_D), 상부 제1 구리 구조체(150_U), 하부 제2 구리 구조체(160_D) 및 상부 제2 구리 구조체(160_U) 중 적어도 어느 하나는, 차등 공극률을 가지고, 하부 제1 베이스 구리층(130_D) 또는 상부 제1 베이스 구리층(130_U)에 상대적으로 인접한 하측에 비해 더 낮은 공극률을 가지는 영역을 상측에 포함할 수 있다.
- [194] 양면 냉각형 파워 모듈(10)은 제1 파워 반도체 소자(20) 및 제2 파워 반도체 소자(30)를 기준으로 대칭적인 구조를 가질 수 있다. 즉, 하부 제1 구리 구조체(150_D), 하부 제2 구리 구조체(160_D), 상부 제1 구리 구조체(150_U) 및 상부 제2 구리 구조체(160_U)가 대칭적으로 배치될 수 있다. 그러나, 이는 예시적이며 본 발명의 기술적 사상은 이에 한정되는 것은 아니다. 예를 들어, 하부 제1 구리 구조체(150_D)와 상부 제1 구리 구조체(150_U)는 다른 높이를 가질 수 있다. 또한, 하부 제2 구리 구조체(160_D)와 상부 제2 구리 구조체(160_U)는 다른 높이를 가질 수 있다.
- [195] 이하에서, 도 13의 실시예와 동일 또는 유사한 구성요소에 대한 설명은 생략하기로 한다.

- [196] 도 14를 참조하면, 양면 냉각형 파워 모듈(10a)은, 하부 세라믹 회로 기판(100a_D), 상부 세라믹 회로 기판(100a_U), 제1 파워 반도체 소자(20), 제2 파워 반도체 소자(30), 및 몰드층(50)을 포함할 수 있다.
- [197] 하부 세라믹 회로 기판(100a_D)은, 하부 세라믹 기판(110a_D), 하부 제1 구리 구조체(150_D), 하부 제2 구리 구조체(160_D), 및 하부 소자 부착층(170_D)을 포함할 수 있다. 하부 세라믹 기판(110a_D)은, 하부 세라믹 층(120_D), 하부 제1 활성 금속 브레이징층(125_D), 하부 제2 활성 금속 브레이징층(126_D), 하부 제1 베이스 구리층(130_D), 및 하부 제2 베이스 구리층(140_D)을 포함할 수 있다.
- [198] 상부 세라믹 회로 기판(100a_U)은, 상부 세라믹 기판(110a_U), 상부 제1 구리 구조체(150_U), 상부 제2 구리 구조체(160_U), 및 상부 소자 부착층(170_U)을 포함할 수 있다. 상부 세라믹 기판(110a_U)은, 상부 세라믹 층(120_U), 상부 제1 활성 금속 브레이징층(125_U), 상부 제2 활성 금속 브레이징층(126_U), 상부 제1 베이스 구리층(130_U), 및 상부 제2 베이스 구리층(140_U)을 포함할 수 있다.
- [199] 하부 세라믹 회로 기판(100a_D) 및 상부 세라믹 회로 기판(100a_U)은 서로 대면하여 배치될 수 있다.
- [200] 제1 파워 반도체 소자(20)는 하부 제1 구리 구조체(150_D)와 상부 제1 구리 구조체(150_U) 사이에 배치될 수 있다. 제2 파워 반도체 소자(30)는 하부 제2 구리 구조체(160_D)와 상부 제2 구리 구조체(160_U) 사이에 배치될 수 있다. 제2 파워 반도체 소자(30)는 제1 파워 반도체 소자(20)에 비하여 작은 두께를 가질 수 있다.
- [201] 하부 제1 구리 구조체(150_D), 상부 제1 구리 구조체(150_U), 하부 제2 구리 구조체(160_D) 및 상부 제2 구리 구조체(160_U) 중 적어도 어느 하나는, 차등 공급률을 가지고, 하부 제1 베이스 구리층(130_D) 또는 상부 제1 베이스 구리층(130_U)에 상대적으로 인접한 하측에 비해 더 낮은 공급률을 가지는 영역을 상측에 포함할 수 있다.
- [202] 양면 냉각형 파워 모듈(10a)은 제1 파워 반도체 소자(20) 및 제2 파워 반도체 소자(30)를 기준으로 대칭적인 구조를 가질 수 있다. 즉, 하부 제1 구리 구조체(150_D), 하부 제2 구리 구조체(160_D), 상부 제1 구리 구조체(150_U) 및 상부 제2 구리 구조체(160_U)가 대칭적으로 배치될 수 있다. 그러나, 이는 예시적이며 본 발명의 기술적 사상은 이에 한정되는 것은 아니다. 예를 들어, 하부 제1 구리 구조체(150_D)와 상부 제1 구리 구조체(150_U)는 다른 높이를 가질 수 있다. 또한, 하부 제2 구리 구조체(160_D)와 상부 제2 구리 구조체(160_U)는 다른 높이를 가질 수 있다.
- [203] 도 13의 양면 냉각형 파워 모듈(10)과 비교하면, 도 14의 양면 냉각형 파워 모듈(10a)은, 하부 세라믹 층(120_D)과 하부 제1 베이스 구리층(130_D) 사이에 개재된 하부 제1 활성 금속 브레이징층(125_D), 하부 세라믹 층(120_D)과 하부 제2 베이스 구리층(140_D) 사이에 개재된 하부 제2 활성 금속 브레이징층(126_D), 상부 세라믹 층(120_U)과 상부 제1 베이스 구리층(130_U) 사이에 개재된 상부 제1 활성 금속 브레이징층(125_U), 및 상부 세라믹 층(120_U)과 상부 제2 베이스 구리

- 층(140_U) 사이에 개재된 상부 제2 활성 금속 브레이징층(126_U)을 더 포함하는 상이점이 있다.
- [204] 도 15를 참조하면, 양면 냉각형 파워 모듈(10b)은, 하부 세라믹 회로 기판(100_D), 상부 세라믹 기판(110_U), 제1 파워 반도체 소자(20), 제2 파워 반도체 소자(30), 및 몰드층(50)을 포함할 수 있다.
- [205] 하부 세라믹 회로 기판(100_D)은, 하부 세라믹 기판(110_D), 하부 제1 구리 구조체(150_D), 하부 제2 구리 구조체(160_D), 하부 소자 부착층(170_D)을 포함할 수 있다. 하부 세라믹 기판(110_D)은, 하부 세라믹 층(120_D), 하부 제1 베이스 구리층(130_D), 및 하부 제2 베이스 구리층(140_D)을 포함할 수 있다.
- [206] 상부 세라믹 기판(110_U)은, 상부 세라믹 층(120_U), 상부 제1 베이스 구리층(130_U), 및 상부 제2 베이스 구리층(140_U)을 포함할 수 있다. 상부 세라믹 기판(110_U)은, 상부 제1 베이스 구리층(130_U)의 일부 표면 상에 국부적으로 배치된 상부 소자 부착층(170_U)을 더 포함할 수 있다.
- [207] 하부 세라믹 회로 기판(100_D) 및 상부 세라믹 기판(110_U)은 서로 대면하여 배치될 수 있다.
- [208] 제1 파워 반도체 소자(20)는 하부 제1 구리 구조체(150_D)와 상부 제1 베이스 구리층(130_U) 사이에 배치될 수 있다. 제2 파워 반도체 소자(30)는 하부 제2 구리 구조체(160_D)와 상부 제1 베이스 구리층(130_U) 사이에 배치될 수 있다. 제2 파워 반도체 소자(30)는 제1 파워 반도체 소자(20)에 비하여 작은 두께를 가질 수 있다.
- [209] 하부 제1 구리 구조체(150_D) 및 하부 제2 구리 구조체(160_D) 중 적어도 어느 하나는, 차등 공극률을 가지고, 하부 제1 베이스 구리층(130_D)에 상대적으로 인접한 하측에 비해 더 낮은 공극률을 가지는 영역을 상측에 포함할 수 있다.
- [210] 도 13의 양면 냉각형 파워 모듈(10)과 비교하면, 도 15의 양면 냉각형 파워 모듈(10b)은, 상부 세라믹 회로 기판(100_U)을 대신하여 상부 세라믹 기판(110_U)을 포함하는 상이점이 있다. 즉, 양면 냉각형 파워 모듈(10b)은 상부 제1 구리 구조체(150_U) 및 상부 제2 구리 구조체(160_U)를 포함하지 않는다. 또한, 상부 소자 부착층(170_U)이 상부 제1 베이스 구리층(130_U)의 일부 표면 상에 국부적으로 배치되어 있다. 따라서, 양면 냉각형 파워 모듈(10b)은 제1 파워 반도체 소자(20) 및 제2 파워 반도체 소자(30)를 기준으로 비대칭적인 구조를 가질 수 있다.
- [211] 도 16을 참조하면, 양면 냉각형 파워 모듈(10c)은, 하부 세라믹 회로 기판(100a_D), 상부 세라믹 기판(110a_U), 제1 파워 반도체 소자(20), 제2 파워 반도체 소자(30), 및 몰드층(50)을 포함할 수 있다.
- [212] 하부 세라믹 회로 기판(100a_D)은, 하부 세라믹 기판(110a_D), 하부 제1 구리 구조체(150_D) 및 하부 제2 구리 구조체(160_D)를 포함할 수 있다. 하부 세라믹 기판(110a_D)은, 하부 세라믹 층(120_D), 하부 제1 활성 금속 브레이징층(125_D), 하부 제2 활성 금속 브레이징층(126_D), 하부 제1 베이스 구리층(130_D), 및 하부 제2 베이스 구리층(140_D)을 포함할 수 있다.

- [213] 상부 세라믹 기판(110a_U)은, 상부 세라믹 층(120_U), 상부 제1 활성 금속 브레이징층(125_U), 상부 제2 활성 금속 브레이징층(126_U), 상부 제1 베이스 구리층(130_U), 및 상부 제2 베이스 구리층(140_U)을 포함할 수 있다. 상부 세라믹 기판(110_U)은, 상부 제1 베이스 구리층(130_U)의 일부 표면 상에 국부적으로 배치된 상부 소자 부착층(170_U)을 더 포함할 수 있다.
- [214] 하부 세라믹 회로 기판(100a_D) 및 상부 세라믹 기판(110a_U)은 서로 대면하여 배치될 수 있다.
- [215] 제1 파워 반도체 소자(20)는 하부 제1 구리 구조체(150_D)와 상부 제1 베이스 구리층(130_U) 사이에 배치될 수 있다. 제2 파워 반도체 소자(30)는 하부 제2 구리 구조체(160_D)와 상부 제1 베이스 구리층(130_U) 사이에 배치될 수 있다. 제2 파워 반도체 소자(30)는 제1 파워 반도체 소자(20)에 비하여 작은 두께를 가질 수 있다.
- [216] 하부 제1 구리 구조체(150_D) 및 하부 제2 구리 구조체(160_D) 중 적어도 어느 하나는, 차등 공극률을 가지고, 하부 제1 베이스 구리층(130_D)에 상대적으로 인접한 하측에 비해 더 낮은 공극률을 가지는 영역을 상측에 포함할 수 있다.
- [217] 도 15의 양면 냉각형 파워 모듈(10b)과 비교하면, 도 16의 양면 냉각형 파워 모듈(10c)은, 하부 세라믹 층(120_D)과 하부 제1 베이스 구리층(130_D) 사이에 개재된 하부 제1 활성 금속 브레이징층(125_D), 하부 세라믹 층(120_D)과 하부 제2 베이스 구리층(140_D) 사이에 개재된 하부 제2 활성 금속 브레이징층(126_D), 상부 세라믹 층(120_U)과 상부 제1 베이스 구리층(130_U) 사이에 개재된 상부 제1 활성 금속 브레이징층(125_U), 및 상부 세라믹 층(120_U)과 상부 제2 베이스 구리층(140_U) 사이에 개재된 상부 제2 활성 금속 브레이징층(126_U)을 더 포함하는 상이점이 있다.
- [218] 도 14의 양면 냉각형 파워 모듈(10a)과 비교하면, 도 16의 양면 냉각형 파워 모듈(10c)은, 상부 세라믹 회로 기판(100a_U)을 대신하여 상부 세라믹 기판(110a_U)을 포함하는 상이점이 있다. 즉, 양면 냉각형 파워 모듈(10c)은 상부 제1 구리 구조체(150_U) 및 상부 제2 구리 구조체(160_U)를 포함하지 않는다. 또한, 상부 소자 부착층(170_U)이 상부 제1 베이스 구리층(130_U)의 일부 표면 상에 국부적으로 배치되어 있다. 따라서, 양면 냉각형 파워 모듈(10c)은 제1 파워 반도체 소자(20) 및 제2 파워 반도체 소자(30)를 기준으로 비대칭적인 구조를 가질 수 있다.
- [219] 본 발명의 일실시예에 따른, 양면 냉각형 파워 모듈의 제조방법은, 하부 세라믹 층 및 하부 제1 베이스 구리층을 포함하는 하부 세라믹 기판; 상기 하부 세라믹 기판의 일부 영역 상에 배치된 하부 제1 구리 구조체; 상기 하부 제1 구리 구조체의 적어도 일부 영역 상에 배치된 하나 이상의 하부 제2 구리 구조체; 및 상기 하부 제1 구리 구조체 및 상기 하부 제2 구리 구조체 중 적어도 어느 하나의 표면 상에 배치된 하부 소자 부착층을 포함하는 하부 세라믹 회로 기판을 제공하는 단계; 상기 하부 제1 구리 구조체 상에 제1 파워 반도체 소자를 실장하는 단계; 상기

하부 제2 구리 구조체 상에 상기 제1 파워 반도체 소자에 비하여 작은 두께를 가지는 제2 파워 반도체 소자를 실장하는 단계; 상기 하부 세라믹 회로 기판 상에, 상부 세라믹 층 및 상부 제1 베이스 구리층을 포함하는 상부 세라믹 기판; 상기 상부 세라믹 기판의 일부 영역 상에 배치된 상부 제1 구리 구조체; 상기 상부 제1 구리 구조체의 적어도 일부 영역 상에 배치된 하나 이상의 상부 제2 구리 구조체; 및 상기 상부 제1 구리 구조체 및 상기 상부 제2 구리 구조체 중 적어도 어느 하나의 표면 상에 배치된 상부 소자 부착층을 포함하는 상부 세라믹 회로 기판을 상기 하부 세라믹 회로 기판에 대향하여 배치하는 단계; 및 상기 하부 세라믹 회로 기판과 상기 상부 세라믹 회로 기판 사이의 공간을 충전하여 상기 제1 파워 반도체 소자 및 상기 제2 파워 반도체 소자를 덮는 몰드층을 형성하는 단계;를 포함할 수 있다.

- [220] 본 발명의 일실시예에 따른, 양면 냉각형 파워 모듈의 제조방법은, 하부 세라믹 층 및 하부 제1 베이스 구리층을 포함하는 하부 세라믹 기판; 상기 하부 세라믹 기판의 일부 영역 상에 배치된 하부 제1 구리 구조체; 상기 하부 제1 구리 구조체의 적어도 일부 영역 상에 배치된 하나 이상의 하부 제2 구리 구조체; 및 상기 하부 제1 구리 구조체 및 상기 하부 제2 구리 구조체 중 적어도 어느 하나의 표면 상에 배치된 하부 소자 부착층을 포함하는 하부 세라믹 회로 기판을 제공하는 단계; 상기 하부 제1 구리 구조체 상에 제1 파워 반도체 소자를 실장하는 단계; 상기 하부 제2 구리 구조체 상에 상기 제1 파워 반도체 소자에 비하여 작은 두께를 가지는 제2 파워 반도체 소자를 실장하는 단계; 상기 하부 세라믹 회로 기판 상에 상부 세라믹 층 및 상부 제1 베이스 구리층; 및 상기 상부 제1 베이스 구리층의 일부 표면 상에 배치된 상부 소자 부착층을 포함하는 상부 세라믹 기판을 상기 하부 세라믹 회로 기판에 대향하여 배치하는 단계; 및 상기 하부 세라믹 회로 기판과 상기 상부 세라믹 기판 사이의 공간을 충전하여 상기 제1 파워 반도체 소자 및 상기 제2 파워 반도체 소자를 덮는 몰드층을 형성하는 단계;를 포함할 수 있다.
- [221] 상기 하부 제1 구리 구조체, 상기 상부 제1 구리 구조체, 상기 하부 제2 구리 구조체, 및 상기 상부 제2 구리 구조체 중 적어도 어느 하나는 구리함유 페이스트의 인쇄, 압착 및 500°C 내지 800°C 범위의 소결에 의하여 형성될 수 있다.
- [222] 상기 하부 소자 부착층 및 상기 상부 소자 부착층은 은함유 페이스트의 인쇄, 건조, 압착 및 500°C 내지 700°C 범위의 온도의 소결에 의하여 형성될 수 있다.
- [223] 상기 하부 제1 구리 구조체, 상기 상부 제1 구리 구조체, 상기 하부 제2 구리 구조체, 및 상기 상부 제2 구리 구조체 중 적어도 어느 하나의 표면은 블라스팅 처리될 수 있다. 또한, 상기 하부 소자 부착층의 표면 및 상기 상부 소자 부착층의 표면 중 적어도 어느 하나는 블라스팅 처리될 수 있다.
- [224] 상기 하부 제1 구리 구조체, 상기 상부 제1 구리 구조체, 상기 하부 제2 구리 구조체, 및 상기 상부 제2 구리 구조체 중 적어도 어느 하나는 차등 공극률을 가질 수 있고, 상기 상부 제1 베이스 구리층 또는 하부 제1 베이스 구리층에 상대적으로 인접한 하측에 비해 더 낮은 공극률을 가지는 영역을 상측에 포함할 수 있다.

- [225] 이상에서 설명한 본 발명의 기술적 사상이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명의 기술적 사상이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

청구범위

- [청구항 1] 세라믹 층 및 상기 세라믹 층의 제1 면 상에 배치된 제1 베이스 구리층을 포함하는 세라믹 기판;
상기 제1 베이스 구리층의 일부 영역 상에 배치되고, 구리함유 페이스트의 인쇄, 압착 및 소결에 의하여 형성되고, 차등 공극률을 가지고, 상기 제1 베이스 구리층에 상대적으로 인접한 하측에 비해 더 낮은 공극률을 가지는 영역을 상측에 포함하는, 제1 구리 구조체; 및
상기 제1 구리 구조체의 표면 상에 국부적으로 배치되고, 은함유 페이스트의 인쇄, 건조, 압착 및 소결에 의하여 형성된 소자 부착층을 포함하는, 세라믹 회로 기판.
- [청구항 2] 제 1 항에 있어서,
상기 제1 구리 구조체는,
상기 제1 베이스 구리층에 상대적으로 인접한 하측에서 상측을 향하여 공극률이 감소되는,
세라믹 회로 기판.
- [청구항 3] 제 1 항에 있어서,
상기 제1 구리 구조체는,
제1 기저부; 및
상기 제1 기저부 상에 배치되고, 상기 제1 기저부에 비하여 낮은 공극률을 가지는 제1 표면부를 포함하는,
세라믹 회로 기판.
- [청구항 4] 제 3 항에 있어서,
상기 제1 기저부는, 5 부피% 초과 20 부피% 이하 범위의 공극률을 가지고,
상기 제1 표면부는, 0 부피% 초과 5 부피% 이하 범위의 공극률을 가지는,
세라믹 회로 기판.
- [청구항 5] 제 3 항에 있어서,
상기 제1 기저부는, 3 μm 초과 10 μm 이하 범위의 평균 입경을 가지는 구리 입자들을 포함하는 페이스트를 이용하여 형성하고,
상기 제1 표면부는, 100 nm 내지 3 μm 범위의 평균 입경을 가지는 구리 입자들을 포함하는 페이스트를 이용하여 형성하는,
세라믹 회로 기판.
- [청구항 6] 제 1 항에 있어서,
상기 제1 구리 구조체의 적어도 일부 영역 상에 배치되고, 구리함유 페이스트의 인쇄, 압착 및 소결에 의하여 형성되고, 차등 공극률을 가지고, 상기 제1 구리 구조체에 상대적으로 인접한 하측에 비해 더 낮은 공극률을 가지는 영역을 상측에 포함하는, 제2 구리 구조체를 더 포함하는,

- 세라믹 회로 기판.
 [청구항 7] 제 6 항에 있어서,
 상기 제2 구리 구조체의 표면 상에 국부적으로 배치된 소자 부착층을 더 포함하는,
 세라믹 회로 기판.
- [청구항 8] 제 6 항에 있어서,
 상기 제2 구리 구조체는,
 상기 제1 구리 구조체에 상대적으로 인접한 하측에서 상측을 향하여 공극률이 감소되는,
 세라믹 회로 기판.
- [청구항 9] 제 6 항에 있어서,
 상기 제2 구리 구조체는,
 제2 기저부; 및
 상기 제2 기저부 상에 배치되고, 상기 제2 기저부에 비하여 낮은 공극률을 가지는 제2 표면부를 포함하는,
 세라믹 회로 기판.
- [청구항 10] 제 9 항에 있어서,
 상기 제2 기저부는, 5 부피% 초과 20 부피% 이하 범위의 공극률을 가지고,
 상기 제2 표면부는, 0 부피% 초과 5 부피% 이하 범위의 공극률을 가지는,
 세라믹 회로 기판.
- [청구항 11] 제 9 항에 있어서,
 상기 제2 기저부는, 3 μm 초과 10 μm 이하 범위의 평균 입경을 가지는 구리 입자들을 포함하는 페이스트를 이용하여 형성하고,
 상기 제2 표면부는, 100 nm 내지 3 μm 범위의 평균 입경을 가지는 구리 입자들을 포함하는 페이스트를 이용하여 형성하는,
 세라믹 회로 기판.
- [청구항 12] 제 1 항에 있어서,
 상기 제1 베이스 구리층은,
 상기 세라믹 층 상에 구리함유 페이스트의 인쇄, 압착 및 소결에 의하여 형성된 TPC 구리층,
 상기 세라믹 층 상에 구리 호일을 고온 산화공정으로 접합하여 형성한 DBC 구리층,
 상기 세라믹 층 상에 시드층을 형성한 후에, 상기 시드 층 상에 구리 도금을 하여 형성한 DPC 구리층,
 또는 상기 세라믹 층에 활성 금속 호일을 이용하여 접합된 구리 호일로 형성한 AMB 구리층으로 이루어진,
 세라믹 회로 기판.

- [청구항 13] 제 1 항에 있어서,
 상기 제1 베이스 구리층은,
 접합 구리층, 적층 구리층, 및 표층 구리층 중 적어도 어느 하나를 포함하
 는,
 세라믹 회로 기판.
- [청구항 14] 제 13 항에 있어서,
 상기 접합 구리층은, 글라스 프리트, 무기물 입자들, 산화구리 입자들, 구리
 입자들, 용제 및 바인더를 포함하는 구리함유 접합 페이스트를 이용하여
 형성되고,
 상기 적층 구리층은, 무기물 입자들, 구리 입자들, 용제 및 바인더를 포함
 하는 구리함유 적층 페이스트를 이용하여 형성되고,
 상기 표층 구리층은, 산화구리 입자들, 구리 입자들, 용제 및 바인더를 포
 함하는 구리함유 표층 페이스트를 이용하여 형성된,
 세라믹 회로 기판.
- [청구항 15] 제 1 항에 있어서,
 상기 세라믹 기판은,
 상기 세라믹 층의 제2 면 상에 배치된 제2 베이스 구리층을 더 포함하는,
 세라믹 회로 기판.
- [청구항 16] 세라믹 층 및 상기 세라믹 층의 제1 면 상에 배치된 제1 베이스 구리층을
 포함하는 세라믹 기판을 제공하는 단계;
 상기 세라믹 기판의 일부 영역 상에 제1 구리 구조체를 형성하는 단계;
 상기 제1 구리 구조체의 적어도 일부 영역 상에 하나 이상의 제2 구리 구
 조체를 형성하는 단계; 및
 상기 제1 구리 구조체 및 상기 제2 구리 구조체 중 적어도 어느 하나의 표
 면 상에 국부적으로 소자 부착층을 형성하는 단계를 포함하고,
 상기 소자 부착층을 형성하는 단계는,
 상기 제1 구리 구조체 및 상기 제2 구리 구조체 중 적어도 어느 하나의 표
 면 상에 국부적으로 은함유 페이스트를 인쇄하여 은함유 페이스트층을
 형성하는 인쇄 단계;
 상기 은함유 페이스트층을 압착하는 압착 단계; 및
 상기 은함유 페이스트층을 500°C 내지 700°C 범위의 온도에서 소결하여
 상기 소자 부착층을 형성하는 소결 단계를 포함하는,
 세라믹 회로 기판의 제조방법.
- [청구항 17] 하부 세라믹 층 및 하부 제1 베이스 구리층을 포함하는 하부 세라믹 기판;
 상기 하부 세라믹 기판의 일부 영역 상에 배치된 하부 제1 구리 구조체;
 상기 하부 제1 구리 구조체의 일부 영역 상에 배치된 하부 제2 구리 구조체;
 및 상기 하부 제1 구리 구조체 및 상기 하부 제2 구리 구조체 중 적어도 어

느 하나의 표면 상에 국부적으로 배치된 하부 소자 부착층을 포함하는 하부 세라믹 회로 기판;

상부 세라믹 층 및 상부 제1 베이스 구리층을 포함하는 상부 세라믹 기판; 상기 상부 세라믹 기판의 일부 영역 상에 배치된 상부 제1 구리 구조체; 상기 상부 제1 구리 구조체의 일부 영역 상에 배치된 상부 제2 구리 구조체; 및 상기 상부 제1 구리 구조체 및 상기 상부 제2 구리 구조체 중 적어도 어느 하나의 표면 상에 국부적으로 배치된 상부 소자 부착층을 포함하는 상부 세라믹 회로 기판;

상기 하부 제1 구리 구조체와 상기 상부 제1 구리 구조체 사이에 배치되고, 상기 하부 소자 부착층과 상기 상부 소자 부착층에 의하여 부착된 제1 반도체 소자;

상기 하부 제2 구리 구조체와 상기 상부 제2 구리 구조체 사이에 배치되고, 상기 하부 소자 부착층과 상기 상부 소자 부착층에 의하여 부착되고, 상기 제1 반도체 소자에 비하여 작은 두께를 가지는 제2 반도체 소자; 및 상기 하부 세라믹 회로 기판과 상기 상부 세라믹 회로 기판 사이의 공간을 충전하여 상기 제1 반도체 소자 및 상기 제2 반도체 소자를 덮는 몰드층; 을 포함하고,

상기 하부 제1 구리 구조체, 상부 제1 구리 구조체, 하부 제2 구리 구조체 및 상기 상부 제2 구리 구조체 중 적어도 어느 하나는, 차등 공극률을 가지고, 상기 하부 제1 베이스 구리층 또는 상부 제1 베이스 구리층에 상대적으로 인접한 하측에 비해 더 낮은 공극률을 가지는 영역을 상측에 포함하는,

양면 냉각형 파워 모듈.

[청구항 18]

제 17 항에 있어서,

상기 하부 세라믹 기판은, 상기 하부 세라믹 층과 상기 하부 제1 베이스 구리층 사이에 개재된 하부 활성 금속 브레이징층을 더 포함하고,

상기 상부 세라믹 기판은, 상기 상부 세라믹 층과 상기 상부 제1 베이스 구리층 사이에 개재된 상부 활성 금속 브레이징층을 더 포함하는,

양면 냉각형 파워 모듈.

[청구항 19]

하부 세라믹 층 및 하부 제1 베이스 구리층을 포함하는 하부 세라믹 기판; 상기 하부 세라믹 기판의 일부 영역 상에 배치된 하부 제1 구리 구조체; 상기 하부 제1 구리 구조체의 일부 영역 상에 배치된 하부 제2 구리 구조체; 및 상기 하부 제1 구리 구조체 및 상기 하부 제2 구리 구조체 중 적어도 어느 하나의 표면 상에 국부적으로 배치된 하부 소자 부착층을 포함하는 하부 세라믹 회로 기판;

상부 세라믹 층; 상부 제1 베이스 구리층; 및 상부 제1 베이스 구리층의 일부 영역 상에 국부적으로 배치된 상부 소자 부착층을 포함하는 상부 세라믹 기판;

상기 하부 제1 구리 구조체와 상기 상부 제1 베이스 구리층 사이에 배치되고, 상기 하부 소자 부착층과 상기 상부 소자 부착층에 의하여 부착된 제1 반도체 소자;

상기 하부 제2 구리 구조체와 상기 상부 제1 베이스 구리층 사이에 배치되고, 상기 하부 소자 부착층과 상기 상부 소자 부착층에 의하여 부착되고, 상기 제1 반도체 소자에 비하여 작은 두께를 가지는 제2 반도체 소자; 및 상기 하부 세라믹 회로 기판과 상기 상부 세라믹 기판 사이의 공간을 충전하여 상기 제1 반도체 소자 및 상기 제2 반도체 소자를 덮는 몰드층;을 포함하고,

상기 하부 제1 구리 구조체 및 상기 하부 제2 구리 구조체 중 적어도 어느 하나는, 차등 공극률을 가지고, 상기 하부 제1 베이스 구리층에 상대적으로 인접한 하측에 비해 더 낮은 공극률을 가지는 영역을 상측에 포함하는, 양면 냉각형 파워 모듈.

[청구항 20]

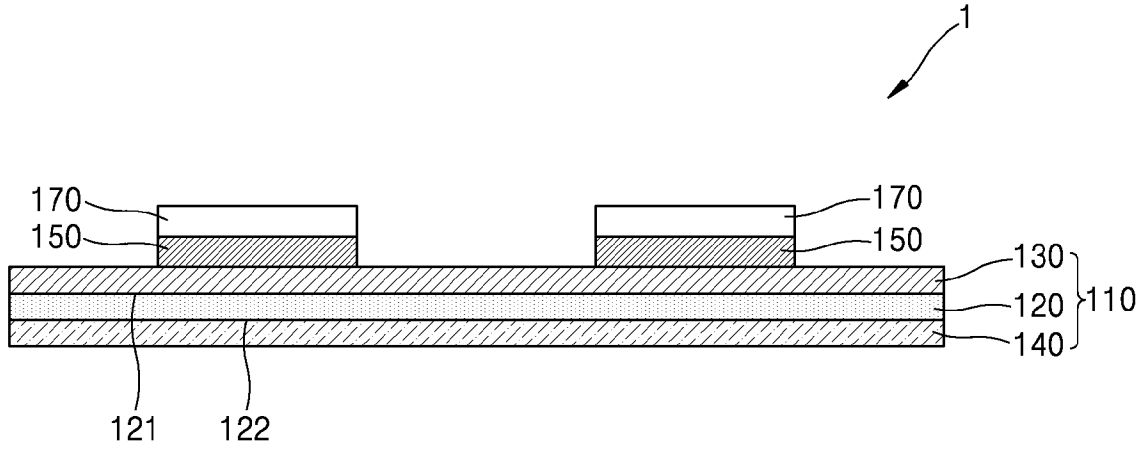
제 19 항에 있어서,

상기 하부 세라믹 기판은, 상기 하부 세라믹 층과 상기 하부 제1 베이스 구리층 사이에 개재된 하부 활성 금속 브레이징층을 포함하고,

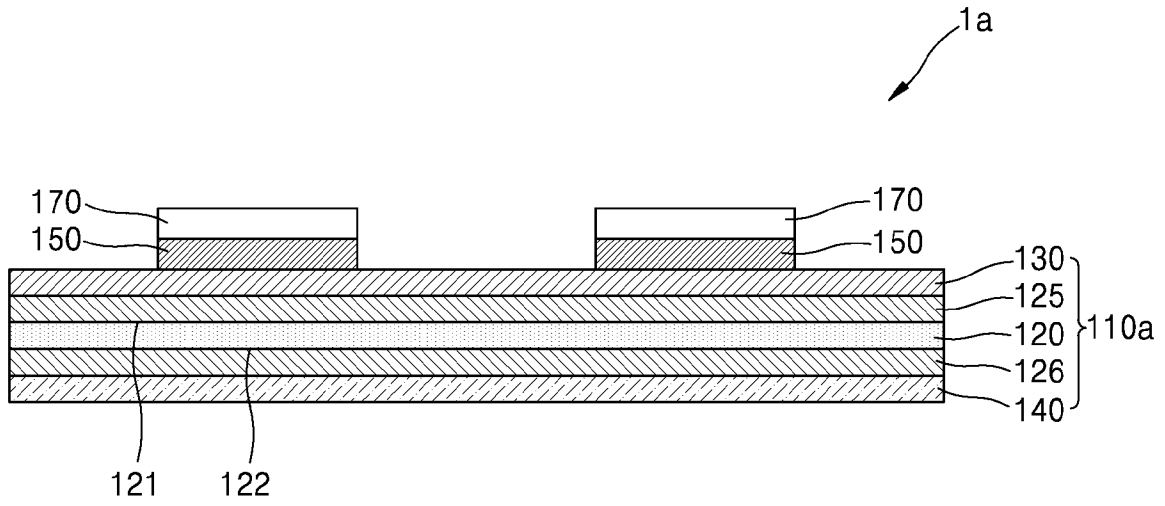
상기 상부 세라믹 기판은, 상기 상부 세라믹 층과 상기 상부 제1 베이스 구리층 사이에 개재된 상부 활성 금속 브레이징층을 포함하는,

양면 냉각형 파워 모듈.

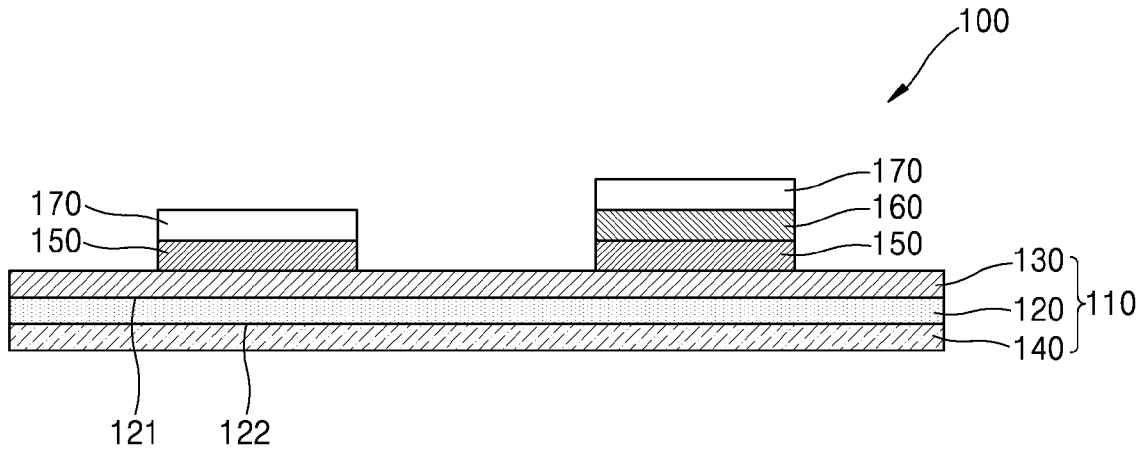
[도1]



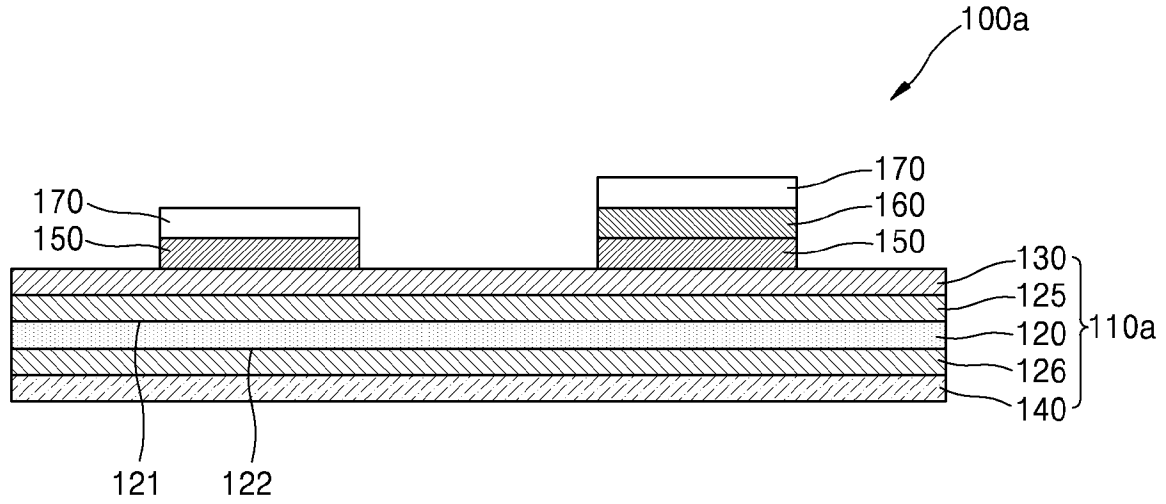
[도2]



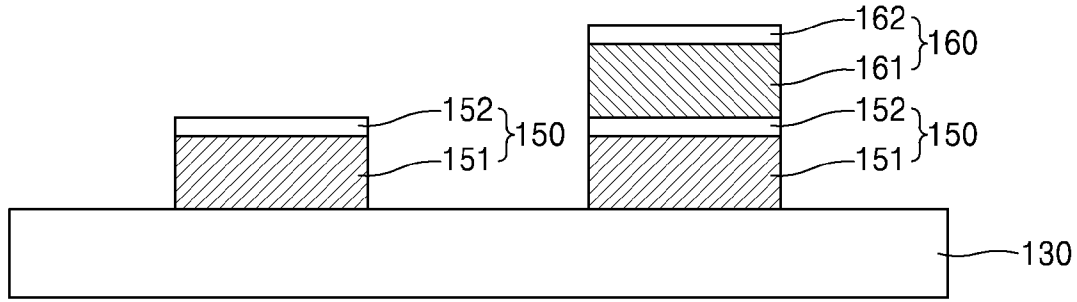
[도3]



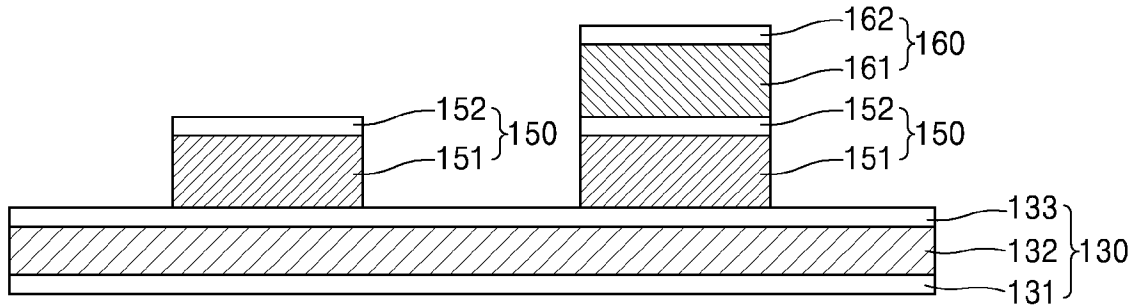
[도4]



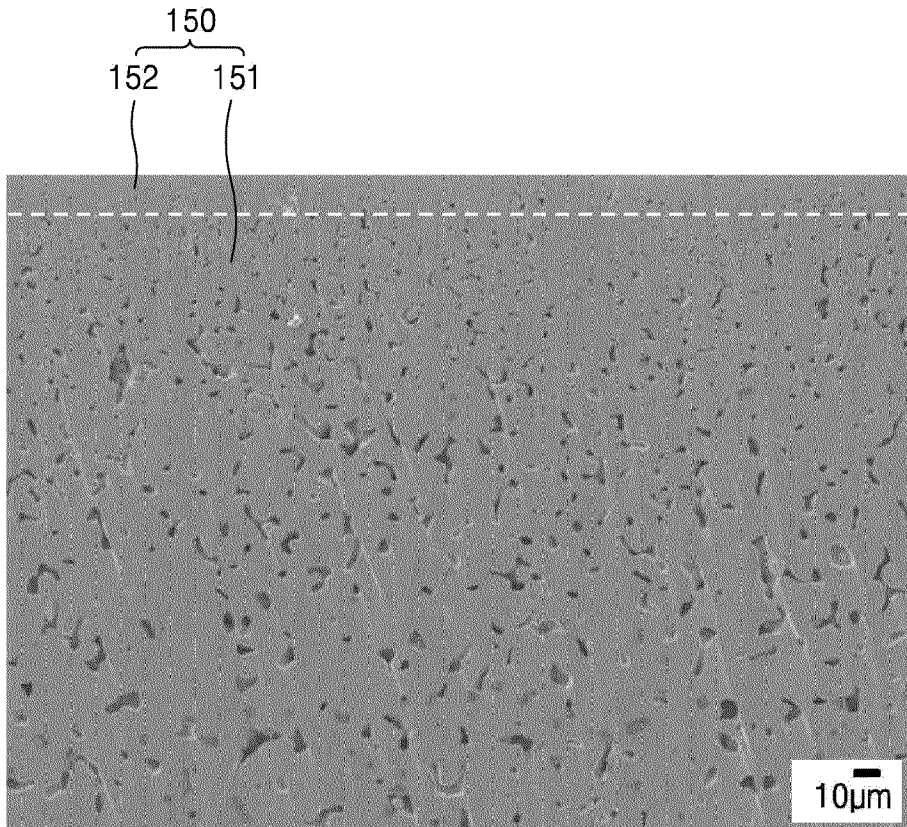
[도5a]



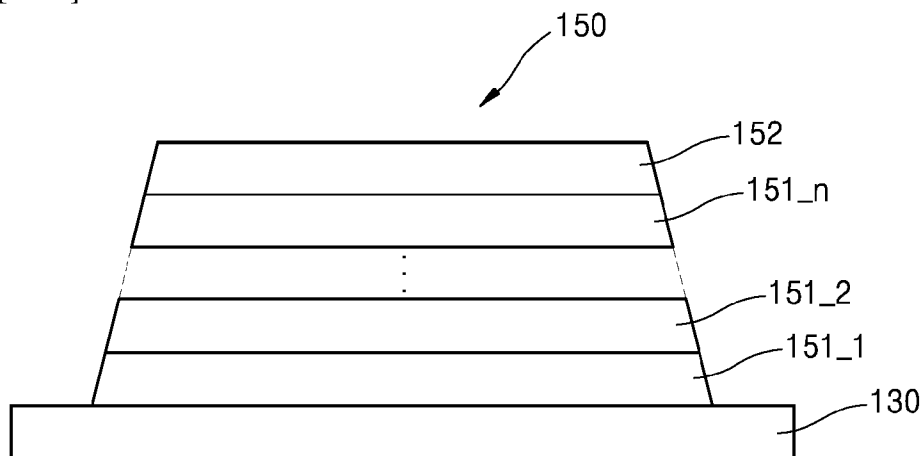
[도5b]



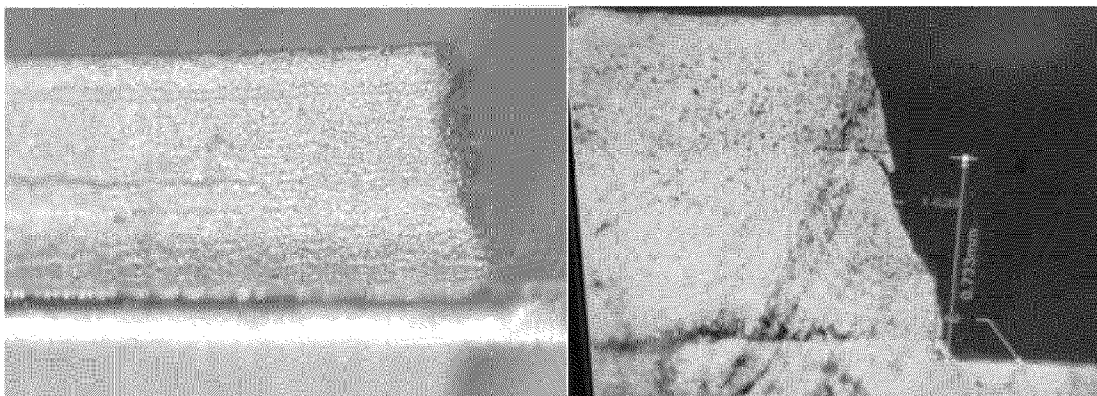
[도6]



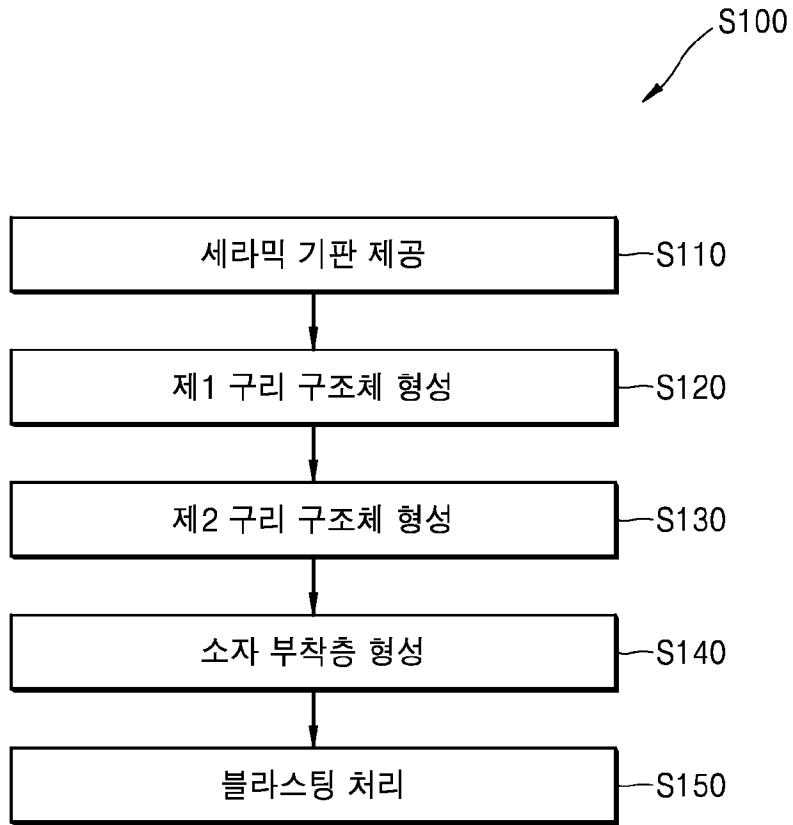
[도7a]



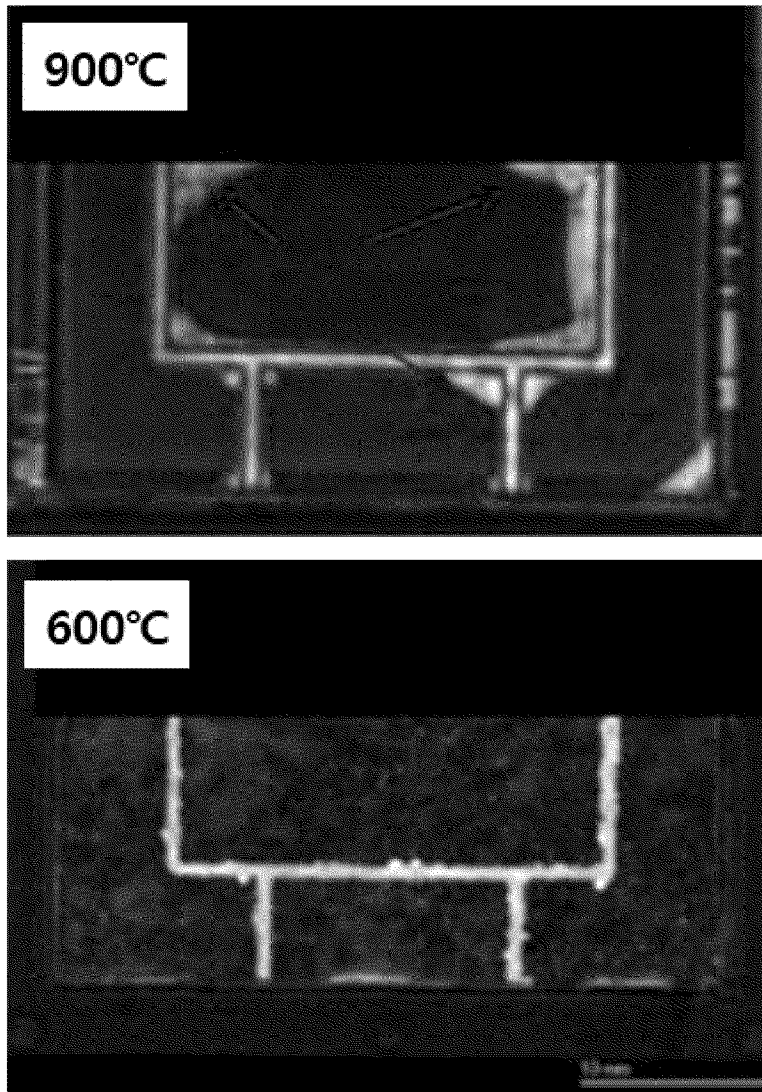
[도7b]



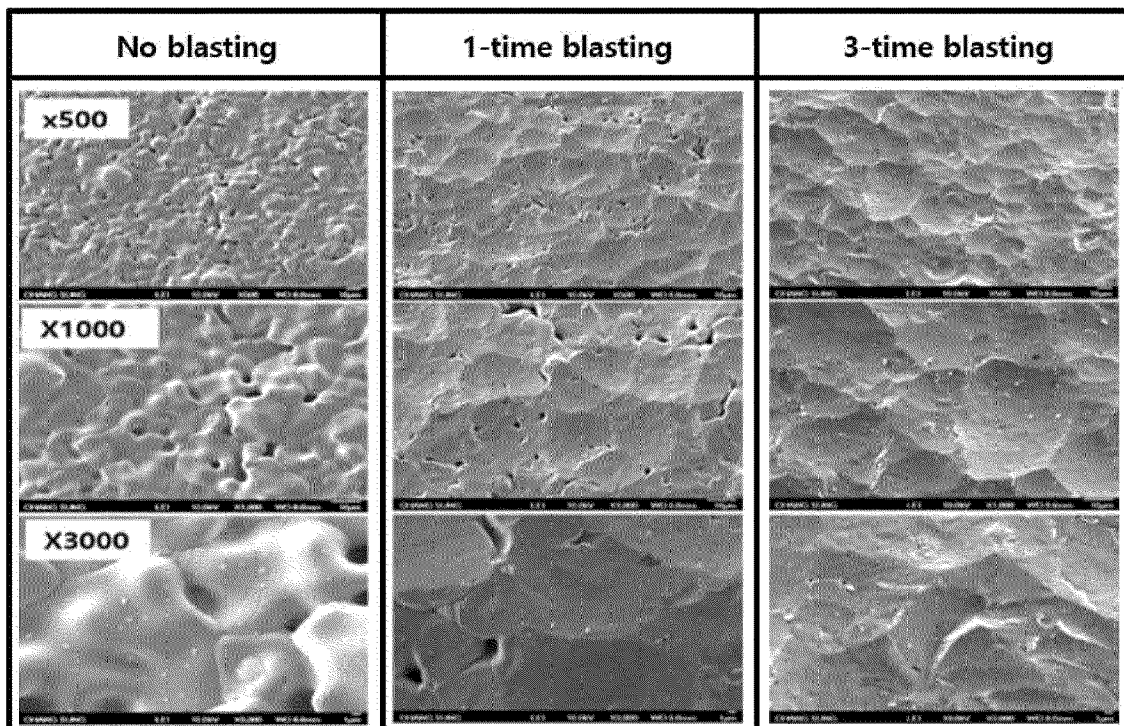
[도8]



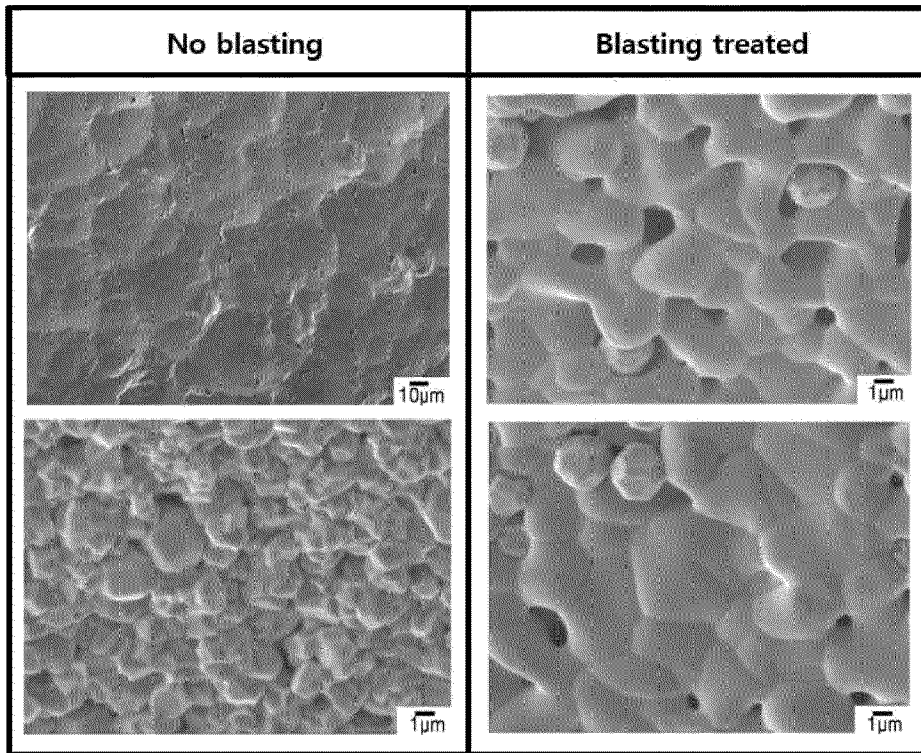
[도9]



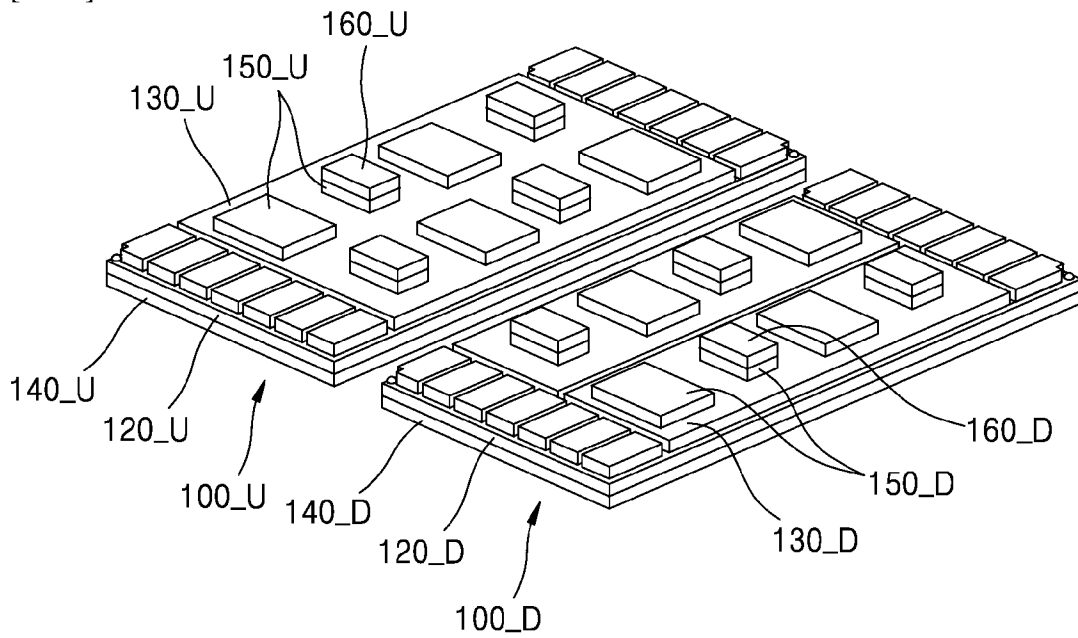
[도10]



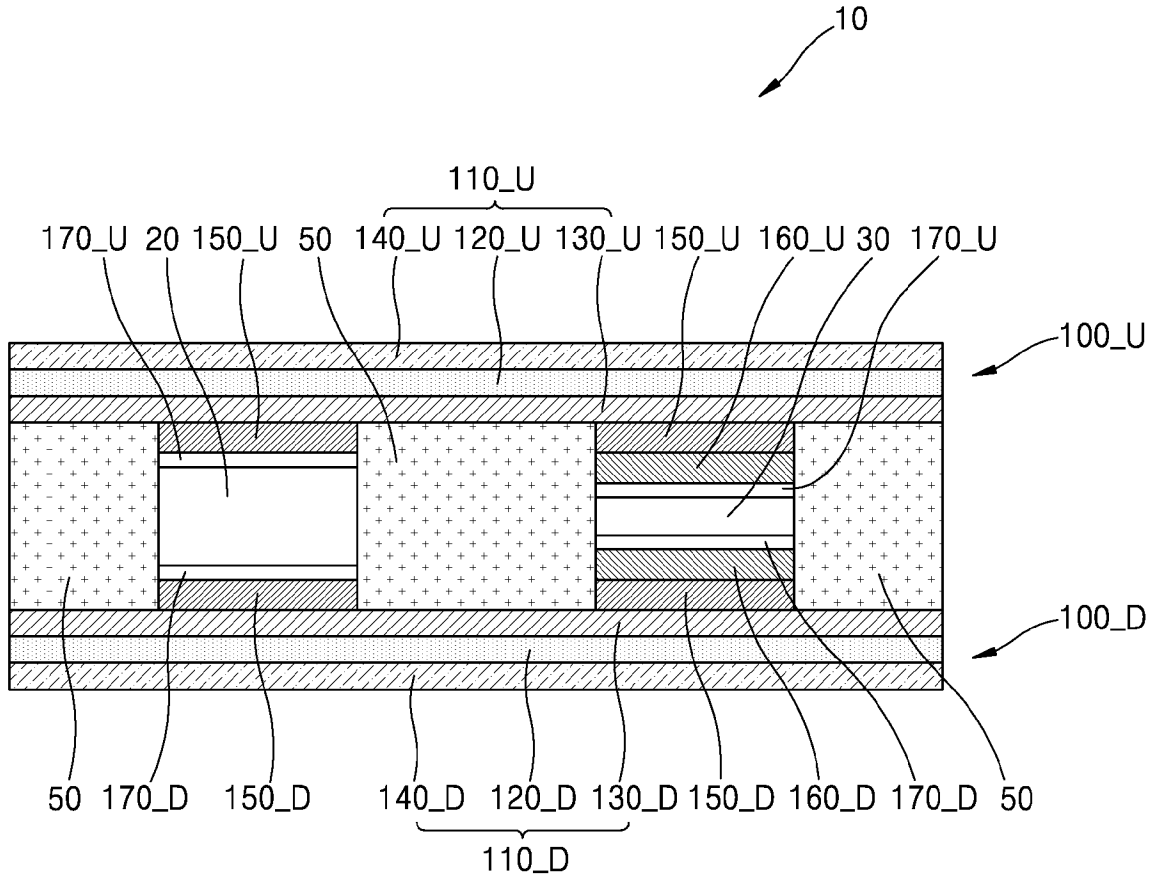
[도11]



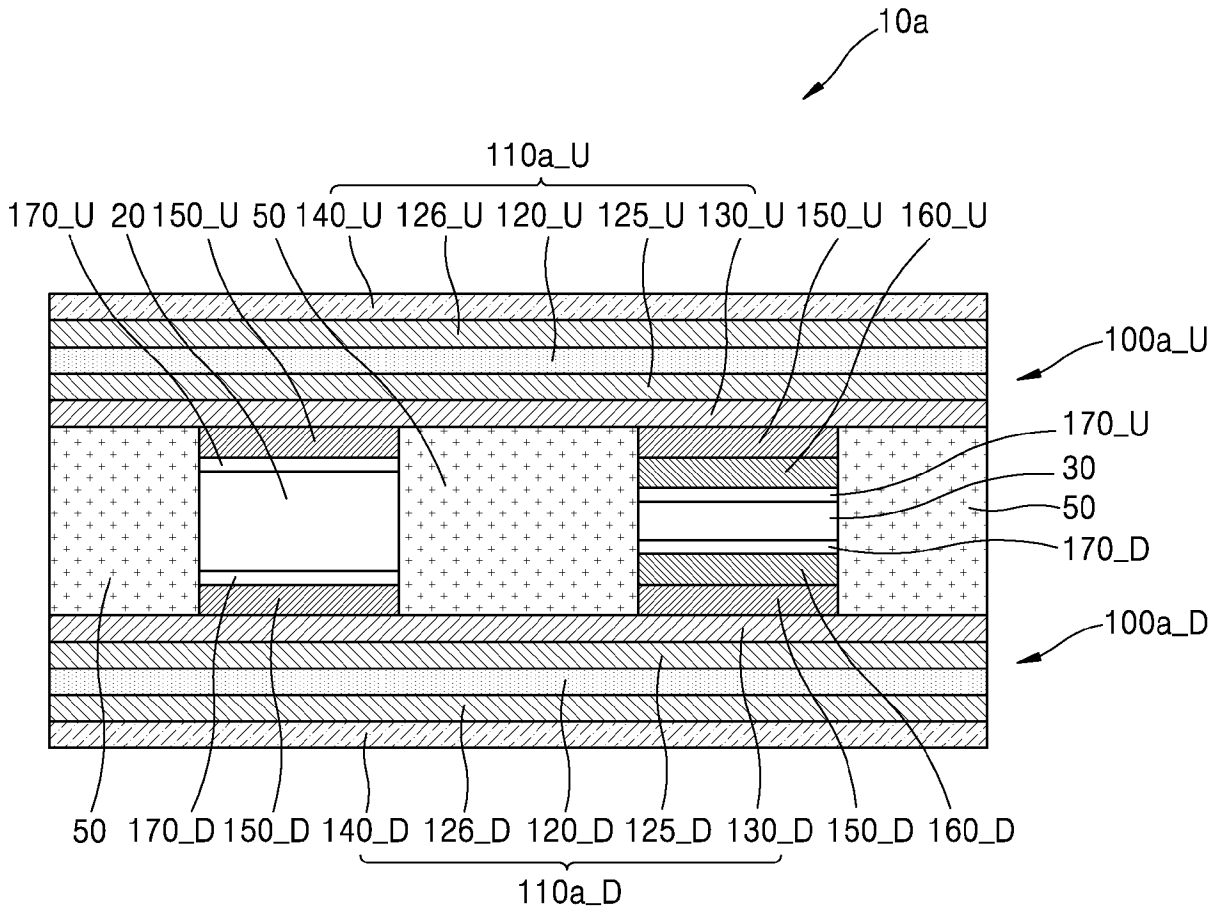
[도12]



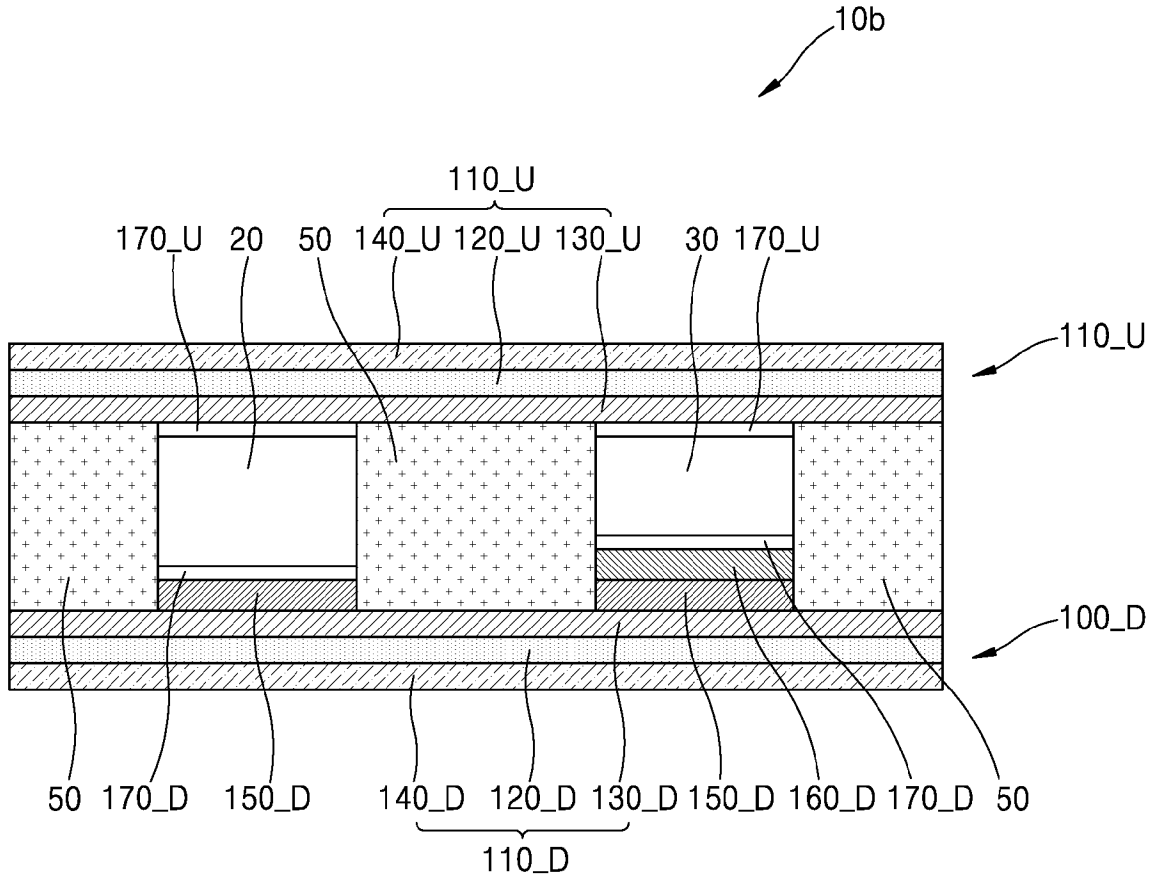
[도13]



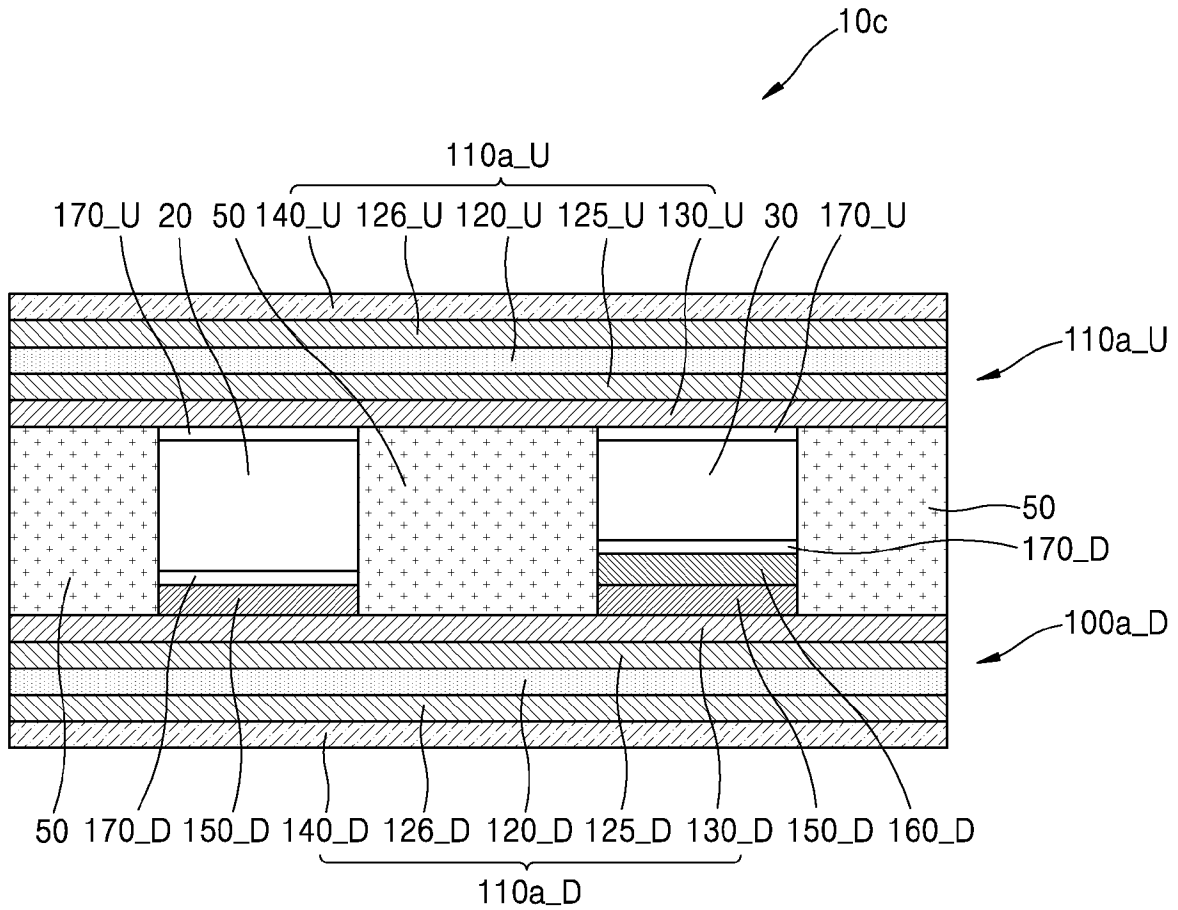
[도14]



[도15]



[도16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2024/006531

A. CLASSIFICATION OF SUBJECT MATTER		
H05K 1/03(2006.01)i; H05K 1/02(2006.01)i; H05K 1/09(2006.01)i; H05K 3/12(2006.01)i; H05K 3/26(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H05K 1/03(2006.01); H01L 21/52(2006.01); H01L 23/373(2006.01); H01L 25/07(2006.01); H01Q 1/38(2006.01); H02M 7/00(2006.01); H02M 7/44(2006.01); H05K 3/26(2006.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 세라믹 회로 기판(ceramic circuit board), 베이스 구리층(base copper layer), 구리함유 페이스트(copper-containing paste), 차등 공극률(graded porosity), 은함유 페이스트(silver-containing paste)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2293181 B1 (COMET NETWORK CO., LTD.) 25 August 2021 (2021-08-25) See paragraphs [0031]-[0085], claim 10 and figures 1-3.	1-20
Y	KR 10-2022-0050945 A (ASAHI KASEI KABUSHIKI KAISHA) 25 April 2022 (2022-04-25) See paragraph [0040], claims 1-2 and figure 1.	1-15,17-20
Y	KR 10-2048478 B1 (LG ELECTRONICS INC.) 25 November 2019 (2019-11-25) See paragraphs [0048] and [0085]-[0087] and figures 2-5.	1-16
Y	KR 10-2018-0101202 A (DOWA METALTECH CO., LTD.) 12 September 2018 (2018-09-12) See paragraph [0023] and figures 1a-1b.	18,20
A	JP 2014-096545 A (MITSUBISHI MATERIALS CORP.) 22 May 2014 (2014-05-22) See paragraphs [0027]-[0028] and figures 1-2.	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 26 August 2024		Date of mailing of the international search report 27 August 2024
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2024/006531

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2293181	B1	25 August 2021	CN	115700012	A	03 February 2023
				WO	2022-045694	A1	03 March 2022
KR	10-2022-0050945	A	25 April 2022	CN	114451071	A	06 May 2022
				EP	4056365	A1	14 September 2022
				JP	7312270	B2	20 July 2023
				TW	202125535	A	01 July 2021
				TW	I764362	B	11 May 2022
				US	2022-0408558	A1	22 December 2022
				WO	2021-090893	A1	14 May 2021
KR	10-2048478	B1	25 November 2019	CN	111903049	A	06 November 2020
				CN	111903049	B	23 April 2024
				EP	3771084	A1	27 January 2021
				JP	2021-516869	A	08 July 2021
				JP	7204770	B2	16 January 2023
				KR	10-2019-0110376	A	30 September 2019
				US	11810887	B2	07 November 2023
				US	2021-0057372	A1	25 February 2021
				US	2024-0030177	A1	25 January 2024
				WO	2019-182216	A1	26 September 2019
KR	10-2018-0101202	A	12 September 2018	CN	108541149	A	14 September 2018
				CN	108541149	B	14 June 2022
				EP	3370488	A1	05 September 2018
				EP	3370488	B1	08 April 2020
				JP	2018-145047	A	20 September 2018
				JP	6799479	B2	16 December 2020
				US	10834823	B2	10 November 2020
				US	2018-0255645	A1	06 September 2018
JP	2014-096545	A	22 May 2014	JP	6070092	B2	01 February 2017

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H05K 1/03(2006.01)i; H05K 1/02(2006.01)i; H05K 1/09(2006.01)i; H05K 3/12(2006.01)i; H05K 3/26(2006.01)i		
B. 조사된 분야		
조사된 최소문헌(국제특허분류를 기재) H05K 1/03(2006.01); H01L 21/52(2006.01); H01L 23/373(2006.01); H01L 25/07(2006.01); H01Q 1/38(2006.01); H02M 7/00(2006.01); H02M 7/44(2006.01); H05K 3/26(2006.01)		
조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC		
국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 세라믹 회로 기판(ceramic circuit board), 베이스 구리층(base copper layer), 구리함유 페이스트(copper-containing paste), 차등 공극률(graded porosity), 은함유 페이스트(silver-containing paste)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2293181 B1 (주식회사 코벳네트웍) 2021.08.25 단락 [31]-[85], 청구항 10 및 도면 1-3	1-20
Y	KR 10-2022-0050945 A (아사히 가세이 가부시카이가이사) 2022.04.25 단락 [40], 청구항 1-2 및 도면 1	1-15,17-20
Y	KR 10-2048478 B1 (엔지전자 주식회사) 2019.11.25 단락 [48], [85]-[87] 및 도면 2-5	1-16
Y	KR 10-2018-0101202 A (도와 메탈테크 가부시카이가이사) 2018.09.12 단락 [23] 및 도면 1a-1b	18,20
A	JP 2014-096545 A (MITSUBISHI MATERIALS CORP.) 2014.05.22 단락 [27]-[28] 및 도면 1-2	1-20
<input type="checkbox"/> 추가 문헌이 C(계속)에 기재되어 있습니다. <input checked="" type="checkbox"/> 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2024년08월26일 (26.08.2024)	국제조사보고서 발송일 2024년08월27일 (27.08.2024)	
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	심사관 이강하 전화번호 +82-42-481-5687	

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2293181 B1	2021/08/25	CN 115700012 A	2023/02/03
		WO 2022-045694 A1	2022/03/03
KR 10-2022-0050945 A	2022/04/25	CN 114451071 A	2022/05/06
		EP 4056365 A1	2022/09/14
		JP 7312270 B2	2023/07/20
		TW 202125535 A	2021/07/01
		TW I764362 B	2022/05/11
		US 2022-0408558 A1	2022/12/22
		WO 2021-090893 A1	2021/05/14
KR 10-2048478 B1	2019/11/25	CN 111903049 A	2020/11/06
		CN 111903049 B	2024/04/23
		EP 3771084 A1	2021/01/27
		JP 2021-516869 A	2021/07/08
		JP 7204770 B2	2023/01/16
		KR 10-2019-0110376 A	2019/09/30
		US 11810887 B2	2023/11/07
		US 2021-0057372 A1	2021/02/25
		US 2024-0030177 A1	2024/01/25
WO 2019-182216 A1	2019/09/26		
KR 10-2018-0101202 A	2018/09/12	CN 108541149 A	2018/09/14
		CN 108541149 B	2022/06/14
		EP 3370488 A1	2018/09/05
		EP 3370488 B1	2020/04/08
		JP 2018-145047 A	2018/09/20
		JP 6799479 B2	2020/12/16
		US 10834823 B2	2020/11/10
US 2018-0255645 A1	2018/09/06		
JP 2014-096545 A	2014/05/22	JP 6070092 B2	2017/02/01