



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2008년12월10일
 (11) 등록번호 10-0872882
 (24) 등록일자 2008년12월02일

(51) Int. Cl.

H01L 21/82 (2006.01) *H01L 23/62* (2006.01)

(21) 출원번호 10-2007-0040031

(22) 출원일자 2007년04월24일

심사청구일자 2007년04월24일

(65) 공개번호 10-2007-0105871

(43) 공개일자 2007년10월31일

(30) 우선권주장

11/411,341 2006년04월26일 미국(US)

(56) 선행기술조사문헌

US2005/277232 A1*

(뒷면에 계속)

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

인피니언 테크놀로지스 노쓰 아메리카 코포레이션

미국 캘리포니아 95035, 밀피타스, 엔.맥카씨 블러바드 640

(72) 벌명자

고영건

미국, 12524 뉴욕, 피쉬킬, 제퍼슨 블러바드 115

구자홍

경기 성남시 분당구 정자동 파크뷰아파트 603-1003

(뒷면에 계속)

(74) 대리인

특허법인가산

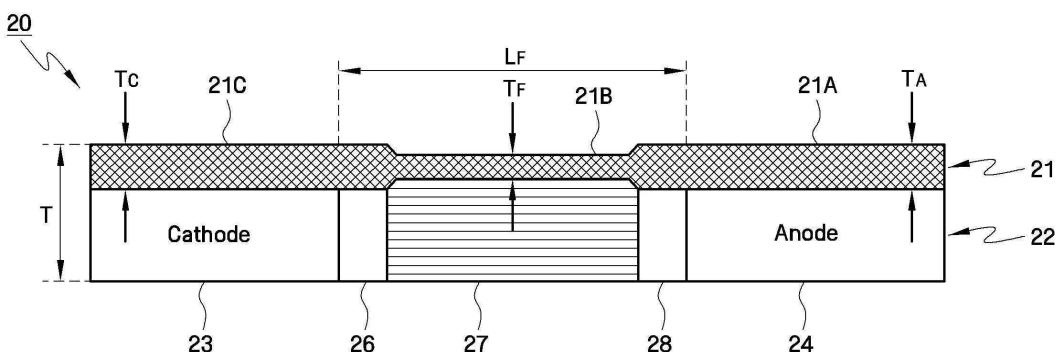
전체 청구항 수 : 총 38 항

심사관 : 김상걸

(54) 저전력 어플리케이션을 위한 전기적으로 프로그램 가능한 집적 퓨즈 장치 및 그 형성 방법

(57) 요약

저전력 어플리케이션을 위한 전기적으로 프로그램 가능한 집적 퓨즈 장치 및 그 형성 방법이 제공된다. 집적 퓨즈 장치는 양극, 음극 및 양극과 음극 사이에 형성된 퓨즈 링크를 포함하는 폴리실리콘층으로, 퓨즈 링크는 제1 불순물 농도를 갖는 제1 도핑 폴리실리콘 영역과, 상기 제1 불순물 농도보다 더 큰 제2 불순물 농도를 갖는 제2 도핑 폴리실리콘 영역을 포함하는 폴리실리콘층, 및 상기 폴리실리콘층 상에 형성된 도전층으로, 상기 퓨즈 링크 상의 도전층의 두께는 변화하고, 상기 제1 도핑 폴리실리콘 영역 상의 도전층 부분은 제1 두께를 갖고, 상기 제2 도핑 폴리실리콘 영역 상의 도전층 부분은 상기 제1 두께보다 작은 제2 두께를 갖는 도전층을 포함한다.

대표도 - 도2c

(72) 발명자

선민철

미국, 12524 뉴욕, 피쉬킬, 제퍼슨 블러바드 1003

바이저, 로버트

오스트리아, 란트스크론, 주두페스트리트 75/1014
에이-9523

(56) 선행기술조사문현

US05882998 A1*

JP2004228369 A

KR100276097 B1

KR1019990082361 A

KR1019990063840 A

*는 심사관에 의하여 인용된 문현

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

양극, 음극 및 양극과 음극 사이에 형성된 퓨즈 링크를 포함하는 폴리실리콘층으로, 퓨즈 링크는 제1 불순물 농도를 갖는 제1 도핑 폴리실리콘 영역과, 상기 제1 불순물 농도보다 더 큰 제2 불순물 농도를 갖는 제2 도핑 폴리실리콘 영역을 포함하는 폴리실리콘층; 및

상기 폴리실리콘층 상에 형성된 도전층으로, 상기 퓨즈 링크 상의 도전층의 두께는 변화하고, 상기 제1 도핑 폴리실리콘 영역 상의 도전층 부분은 제1 두께를 갖고, 상기 제2 도핑 폴리실리콘 영역 상의 도전층 부분은 상기 제1 두께보다 작은 제2 두께를 갖는 도전층을 포함하되,

제2 도핑 폴리실리콘 영역은 전기적으로 중성으로 도핑된 폴리실리콘 영역이고, 제1 도핑 폴리실리콘 영역은 n형 불순물 또는 p형 불순물을 포함하는 반도체 집적 퓨즈 장치.

청구항 4

제3항에 있어서,

상기 제2 도핑 폴리실리콘 영역은 중성종(neutral species)으로 도핑된 폴리실리콘인 반도체 집적 퓨즈 장치.

청구항 5

제4항에 있어서,

상기 중성종은 실리콘, 게르마늄, 아르곤, 산소, 질소 또는 불소인 반도체 집적 퓨즈 장치.

청구항 6

양극, 음극 및 양극과 음극 사이에 형성된 퓨즈 링크를 포함하는 폴리실리콘층으로, 퓨즈 링크는 제1 불순물 농도를 갖는 제1 도핑 폴리실리콘 영역과, 상기 제1 불순물 농도보다 더 큰 제2 불순물 농도를 갖는 제2 도핑 폴리실리콘 영역을 포함하는 폴리실리콘층; 및

상기 폴리실리콘층 상에 형성된 도전층으로, 상기 퓨즈 링크 상의 도전층의 두께는 변화하고, 상기 제1 도핑 폴리실리콘 영역 상의 도전층 부분은 제1 두께를 갖고, 상기 제2 도핑 폴리실리콘 영역 상의 도전층 부분은 상기 제1 두께보다 작은 제2 두께를 갖는 도전층을 포함하되,

상기 퓨즈 링크는 상기 제2 도핑 폴리실리콘 영역의 상기 제2 불순물 농도보다 작은 제3 불순물 농도를 갖는 제3 도핑 폴리실리콘 영역을 더 포함하고, 상기 제2 도핑 폴리실리콘 영역은 상기 제1 및 제3 도핑 폴리실리콘 영역 사이에 배치된 반도체 집적 퓨즈 장치.

청구항 7

제6항에 있어서,

상기 제1 도핑 폴리실리콘 영역은 제1 불순물형(dopant type)을 포함하고, 상기 제3 도핑 폴리실리콘 영역은 상기 제1 불순물형과 반대되는 제2 불순물형을 포함하는 반도체 집적 퓨즈 장치.

청구항 8

제7항에 있어서,

상기 제2 도핑 폴리실리콘 영역은 상기 제1 및 제3 도핑 폴리실리콘 영역의 오버랩 영역이고, 상기 제2 도핑 폴리실리콘 영역은 n형 및 P형 불순물 모두를 포함하는 반도체 집적 퓨즈 장치.

청구항 9

제6항에 있어서,

상기 제3 도핑 폴리실리콘 영역 상의 도전층의 부분은 상기 제2 두께보다 큰 제3 두께를 갖는 반도체 집적 퓨즈 장치.

청구항 10

제9항에 있어서,

상기 제1 및 제3 두께는 동일한 반도체 집적 퓨즈 장치.

청구항 11

양극, 음극 및 양극과 음극 사이에 형성된 퓨즈 링크를 포함하는 폴리실리콘층으로, 퓨즈 링크는 제1 불순물 농도를 갖는 제1 도핑 폴리실리콘 영역과, 상기 제1 불순물 농도보다 더 큰 제2 불순물 농도를 갖는 제2 도핑 폴리실리콘 영역을 포함하는 폴리실리콘층; 및

상기 폴리실리콘층 상에 형성된 도전층으로, 상기 퓨즈 링크 상의 도전층의 두께는 변화하고, 상기 제1 도핑 폴리실리콘 영역 상의 도전층 부분은 제1 두께를 갖고, 상기 제2 도핑 폴리실리콘 영역 상의 도전층 부분은 상기 제1 두께보다 작은 제2 두께를 갖는 도전층을 포함하되,

상기 퓨즈 링크는 제4 도핑되지 않은 폴리실리콘 영역을 포함하고, 상기 제4 도핑되지 않은 폴리실리콘 영역 상의 도전층의 부분은 제1 및 제2 두께보다 더 큰 제4 두께를 갖는 반도체 집적 퓨즈 장치.

청구항 12

제11항에 있어서,

상기 제2 도핑된 폴리실리콘 영역과 제4 도핑되지 않은 폴리실리콘 영역은 인접하여 배치된 반도체 집적 퓨즈 장치.

청구항 13

제12항에 있어서,

상기 제4 도핑되지 않은 폴리실리콘 영역은 상기 제1 및 제2 도핑 폴리실리콘 영역 사이에 배치된 반도체 집적 퓨즈 장치.

청구항 14

제13항에 있어서,

상기 퓨즈 링크의 상기 제1 도핑 폴리실리콘 영역은 상기 양극 또는 음극에 인접하여 배치된 반도체 집적 퓨즈 장치.

청구항 15

양극, 음극 및 양극과 음극 사이에 형성된 퓨즈 링크를 포함하는 폴리실리콘층으로, 퓨즈 링크는 제1 불순물 농도를 갖는 제1 도핑 폴리실리콘 영역과, 상기 제1 불순물 농도보다 더 큰 제2 불순물 농도를 갖는 제2 도핑 폴리실리콘 영역을 포함하는 폴리실리콘층; 및

상기 폴리실리콘층 상에 형성된 도전층으로, 상기 퓨즈 링크 상의 도전층의 두께는 변화하고, 상기 제1 도핑 폴리실리콘 영역 상의 도전층 부분은 제1 두께를 갖고, 상기 제2 도핑 폴리실리콘 영역 상의 도전층 부분은 상기 제1 두께보다 작은 제2 두께를 갖는 도전층을 포함하되,

상기 퓨즈 링크는 상기 제1 불순물 농도보다 큰 제5 불순물 농도를 갖는 제5 도핑 폴리실리콘 영역을 포함하고, 상기 제1 도핑 폴리실리콘 영역은 상기 제2 및 제5 도핑 폴리실리콘 영역 사이에 배치되고, 상기 제5 도핑 폴리실리콘 영역 상의 상기 도전층의 부분은 상기 제1 두께보다 작은 제5 두께를 갖는 반도체 집적 퓨즈 장치.

청구항 16

제15항에 있어서,

상기 도전층의 제2 및 제5 두께는 동일한 반도체 집적 퓨즈 장치.

청구항 17

제15항에 있어서,

상기 제2 및 제5 도핑 폴리실리콘 영역은 전기적으로 중성 영역인 반도체 집적 퓨즈 장치.

청구항 18

제17항에 있어서,

상기 제1 도핑 폴리실리콘 영역은 p형 또는 n형 불순물을 포함하는 반도체 집적 퓨즈 장치.

청구항 19

제15항에 있어서,

상기 제1 도핑 폴리실리콘 영역은 상기 양극 및 음극 사이의 상기 퓨즈 링크의 가운데(centre) 영역에 배치되는 반도체 집적 퓨즈 장치.

청구항 20

제3항, 제6항, 제11항, 제15항 중 어느 한 항에 있어서,

상기 제2 도핑 폴리실리콘 영역은 상기 양극과 음극 사이의 상기 퓨즈 링크의 가운데 영역에 배치되는 반도체 집적 퓨즈 장치.

청구항 21

제3항, 제6항, 제11항, 제15항 중 어느 한 항에 있어서,

상기 양극의 폭 W_A 와 상기 음극의 폭 W_C 는 상기 퓨즈 링크의 폭 W_F 보다 큰 반도체 집적 퓨즈 장치.

청구항 22

제3항, 제6항, 제11항, 제15항 중 어느 한 항에 있어서,

상기 음극의 폭 W_C 는 상기 양극의 폭 W_A 보다 큰 반도체 집적 퓨즈 장치.

청구항 23

제3항, 제6항, 제11항, 제15항 중 어느 한 항에 있어서,

상기 도전층은 금속 실리사이드층인 반도체 집적 퓨즈 장치.

청구항 24

제3항, 제6항, 제11항, 제15항 중 어느 한 항에 있어서,

상기 음극은 N형 불순물로 도핑된 폴리실리콘이고, 상기 양극은 P형 불순물로 도핑된 폴리실리콘인 반도체 집적 퓨즈 장치.

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

양극과 음극, 상기 양극과 상기 음극 사이를 연결하는 퓨즈 링크를 포함하는 폴리실리콘층; 및
상기 폴리실리콘층 상에 형성된 도전층을 포함하고,
상기 퓨즈 링크 상에 형성된 상기 도전층의 제1 부분은 제1 두께 T1을 갖고,
상기 퓨즈 링크 상에 형성된 상기 도전층의 제2 부분은 제2 두께 T2를 갖고,
상기 T2는 T1보다 작아서, 상기 도전층의 제2 부분은 퓨징 이벤트가 시작되어 집적 퓨즈 장치를 프로그램하는
고저항 영역을 제공하고,
상기 도전층의 제2 부분은 전기적으로 중성인 상기 퓨즈 링크의 도핑 폴리실리콘 영역 상에 배치된 반도체 집적
퓨즈 장치.

청구항 29

양극과 음극, 상기 양극과 상기 음극 사이를 연결하는 퓨즈 링크를 포함하는 폴리실리콘층; 및
상기 폴리실리콘층 상에 형성된 도전층을 포함하고,
상기 퓨즈 링크 상에 형성된 상기 도전층의 제1 부분은 제1 두께 T1을 갖고,
상기 퓨즈 링크 상에 형성된 상기 도전층의 제2 부분은 제2 두께 T2를 갖고,
상기 T2는 T1보다 작아서, 상기 도전층의 제2 부분은 퓨징 이벤트가 시작되어 집적 퓨즈 장치를 프로그램하는
고저항 영역을 제공하고,
상기 도전층의 제1 부분은 상기 퓨즈 링크의 도핑되지 않은 폴리실리콘 영역 상에 배치된 반도체 집적 퓨즈 장
치.

청구항 30

삭제

청구항 31

반도체 기판 상에 폴리실리콘층을 형성하되, 상기 폴리실리콘층은 양극, 음극, 및 상기 양극과 상기 음극 사이
에 형성된 퓨즈 링크를 포함하고,
상기 퓨즈 링크 내에 제1 불순물 농도를 갖는 제1 도핑 폴리실리콘 영역을 형성하고,
상기 퓨즈 링크 내에 상기 제1 불순물 농도보다 큰 제2 불순물 농도를 갖는 제2 도핑 폴리실리콘 영역을 형성하
고,
상기 폴리실리콘층 상에 도전층을 형성하되, 상기 퓨즈 링크 상에 형성된 도전층은 변화하는 두께를 갖도록 형
성되고, 상기 제1 도핑 폴리실리콘 영역 상의 상기 도전층의 부분은 제1 두께를 갖고, 상기 제2 도핑 폴리실리
콘 영역 상의 상기 도전층의 부분은 상기 제1 두께보다 작은 제2 두께를 갖도록 형성하는 것을 포함하고,
상기 퓨즈 링크 내의 상기 제2 도핑 폴리실리콘 영역은 전기적으로 중성인 반도체 집적 퓨즈 장치의 형성 방법.

청구항 32

제31항에 있어서,

상기 제2 도핑 폴리실리콘 영역의 제2 불순물 농도보다 작은 제3 불순물 농도를 갖는 제3 도핑 폴리실리콘 영역
을 형성하는 것을 더 포함하되, 상기 제2 도핑 폴리실리콘 영역은 상기 제1 및 제3 도핑 폴리실리콘 영역 사이
에 형성하는 반도체 집적 퓨즈 장치의 형성 방법.

청구항 33

제32항에 있어서,

상기 제1 도핑 폴리실리콘 영역은 N형 불순물로 도핑되고, 상기 제3 도핑 폴리실리콘 영역은 P형 불순물로 도핑된 반도체 집적 퓨즈 장치의 형성 방법.

청구항 34

제32항에 있어서,

상기 제3 도핑 폴리실리콘 영역 상의 상기 도전층의 부분은 상기 제2 두께보다 두꺼운 제3 두께를 갖도록 형성되는 반도체 집적 퓨즈 장치의 형성 방법.

청구항 35

제34항에 있어서,

상기 제1 및 제3 두께는 동일한 반도체 집적 퓨즈 장치의 형성 방법.

청구항 36

반도체 기판 상에 폴리실리콘층을 형성하되, 상기 폴리실리콘층은 양극, 음극, 및 상기 양극과 상기 음극 사이에 형성된 퓨즈 링크를 포함하고,

상기 퓨즈 링크 내에 제1 불순물 농도를 갖는 제1 도핑 폴리실리콘 영역을 형성하고,

상기 퓨즈 링크 내에 상기 제1 불순물 농도보다 큰 제2 불순물 농도를 갖는 제2 도핑 폴리실리콘 영역을 형성하고,

상기 폴리실리콘층 상에 도전층을 형성하되, 상기 퓨즈 링크 상에 형성된 도전층은 변화하는 두께를 갖도록 형성되고, 상기 제1 도핑 폴리실리콘 영역 상의 상기 도전층의 부분은 제1 두께를 갖고, 상기 제2 도핑 폴리실리콘 영역 상의 상기 도전층의 부분은 상기 제1 두께보다 작은 제2 두께를 갖도록 형성하는 것을 포함하고,

상기 퓨즈 링크 내에 제4 도핑되지 않은 폴리실리콘 영역을 형성하는 것을 더 포함하되, 상기 제4 도핑되지 않은 폴리실리콘 영역 상에 상기 도전층의 부분은 상기 제1 및 제2 두께보다 두꺼운 제4 두께를 갖도록 형성되는 반도체 집적 퓨즈 장치의 형성 방법.

청구항 37

제36항에 있어서,

상기 제2 도핑 폴리실리콘 영역과 상기 제4 도핑되지 않은 폴리실리콘 영역은 인접하여 형성된 반도체 집적 퓨즈 장치의 형성 방법.

청구항 38

제37항에 있어서,

상기 제4 도핑되지 않은 폴리실리콘 영역은 상기 제1 및 제2 도핑 폴리실리콘 영역 사이에 형성된 반도체 집적 퓨즈 장치의 형성 방법.

청구항 39

반도체 기판 상에 폴리실리콘층을 형성하되, 상기 폴리실리콘층은 양극, 음극, 및 상기 양극과 상기 음극 사이에 형성된 퓨즈 링크를 포함하고,

상기 퓨즈 링크 내에 제1 불순물 농도를 갖는 제1 도핑 폴리실리콘 영역을 형성하고,

상기 퓨즈 링크 내에 상기 제1 불순물 농도보다 큰 제2 불순물 농도를 갖는 제2 도핑 폴리실리콘 영역을 형성하고,

상기 폴리실리콘층 상에 도전층을 형성하되, 상기 퓨즈 링크 상에 형성된 도전층은 변화하는 두께를 갖도록 형

성되고, 상기 제1 도핑 폴리실리콘 영역 상의 상기 도전층의 부분은 제1 두께를 갖고, 상기 제2 도핑 폴리실리콘 영역 상의 상기 도전층의 부분은 상기 제1 두께보다 작은 제2 두께를 갖도록 형성하는 것을 포함하고,

상기 퓨즈 링크 내에 상기 제1 불순물 농도보다 큰 제5 불순물 농도를 갖는 제5 도핑 폴리실리콘 영역을 형성하는 것을 더 포함하되, 상기 제1 도핑 폴리실리콘 영역은 상기 제2 및 제5 도핑 폴리실리콘 영역 사이에 형성되고, 상기 제5 도핑 폴리실리콘 영역 상의 상기 도전층의 부분은 상기 제1 두께보다 작은 제5 두께를 갖도록 형성되는 반도체 집적 퓨즈 장치의 형성 방법.

청구항 40

제39항에 있어서,

상기 제2 및 제5 도핑 폴리실리콘 영역은 전기적으로 중성인 반도체 집적 퓨즈 장치의 형성 방법.

청구항 41

제31항, 제36항, 제39항 중 어느 한 항에 있어서,

상기 폴리실리콘층 상에 도전층을 형성하는 것은,

상기 폴리실리콘층 상에 금속물질층을 형성하고,

어닐링 공정을 수행하여 상기 금속물질층을 이용한 실리사이드층을 형성하되, 상기 퓨즈 링크 상의 실리사이드층은 상기 퓨즈 링크의 폴리실리콘층의 불순물 농도가 변함에 따라 두께가 변하는 반도체 집적 퓨즈 장치의 형성 방법.

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

제3항, 제6항, 제11항, 제15항 중 어느 한 항에 있어서,

상기 제1 도핑 폴리실리콘 영역은 P형 또는 n형 불순물로 도핑되고, 제2 도핑 폴리실리콘 영역은 p형 또는 n형 불순물로 도핑되는 반도체 집적 퓨즈 장치.

청구항 46

제28항 또는 제29항에 있어서,

상기 도전층의 제1 및 제2 부분은 서로 인접하여, 상기 도전층은 전류 밀집이 발생하는 T1에서 T2로의 전이 영역을 갖는 반도체 집적 퓨즈 장치.

청구항 47

제28항 또는 제29항에 있어서,

상기 도전층은 금속 실리사이드층인 반도체 집적 퓨즈 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <9> 본 발명은 프로그램 가능한 고체 상태의 퓨즈와 관련되고, 보다 상세하게는 저전력 어플리케이션을 위해 디자인되어 낮은 프로그램 전류/전압을 이용하여 신뢰성있고 효과적으로 프로그램할 수 있는 전기적으로 프로그램 가능한 폴리실리콘 퓨즈와 그 형성 방법에 관련된 것이다.
- <10> 반도체 집적 퓨즈(semiconductor integrated fuses)는 다양한 종류의 집적 회로 디자인 및 어플리케이션에 사용된다. 예를 들어, 집적 퓨즈는 메모리 장치(예를 들어, PRAMs, SRAMs 등)의 프로그램 가능한 소자, 로직 장치를 위한 리던던시(redundancy), 프로그램 가능한 특징 선택 등에 사용된다. 집적 퓨즈는 충분한 크기의 전기적 전류를 충분한 시간동안 제공함으로써, 저저항 상태에서 고저항 상태로 프로그램할 수 있고, 또한 그와 같은 방식에 의해 퓨즈에 열을 가해 퓨징 이벤트(fusing event)(즉, 퓨즈 블로잉)를 일으킨다.
- <11> 현재, 집적 회로 장치는 크리티컬 디멘션(critical dimension)이 줄어들고 집적도가 높아질수록 저전력 어플리케이션을 구현할 수 있도록 발전된다. 이에 따라 요구되는 내부 전원 공급 전압과 전류는 점점 작아지고 있다. 그러나, 전압/전류가 작아짐에 따라, 폴리실리콘 퓨즈와 같은 퓨즈를 확실하게 끊어내는 것은 점점 어려워진다. 따라서, 집적 퓨즈 구조체는 작은 전압/전류를 이용하여 퓨즈가 프로그램될 수 있도록 개발되고 있다.
- <12> 도 1은 종래의 집적 퓨즈 장치의 개념적인 레이아웃이다. 구체적으로, 도 1에서 집적 폴리실리콘 퓨즈(10)는 길이(LF)와 폭(W_F)을 갖는 퓨즈 링크(11)를 포함하고, 이는 양극(12)과 음극(13) 사이를 연결한다. 폴리실리콘 퓨즈(10)는 기판 상에 형성되고 예를 들어 N형(N+) 또는 P형(P+) 불순물로 도핑된 폴리실리콘층을 패터닝하여 형성될 수 있다.
- <13> 작은 전압/전류에서 프로그램하려면, 폴리실리콘 퓨즈(10)에서 퓨즈 링크(11)의 폭(W_F)은 양극 및 음극(12, 13)의 폭(W_C)보다 상당히 작도록 디자인되어야 한다. 퓨즈 링크(11)의 폭이 작을수록 양극 및 음극(12, 13) 사이의 패스(path)는 고저항을 갖게 되고, 양극 및 음극(12, 13), 퓨즈 링크(11) 사이의 단면이 줄어든 것은 소위 "전류 밀집(current crowding)"을 일으킨다. 도 1에서, 퓨즈를 프로그램하기 위해 바이어스가 인가될 때, 이러한 효과는 더 넓은 영역을 갖는 음극(13)에서부터 더 좁은 영역을 갖는 퓨즈 링크(11)로 흐르는 전류는, 퓨즈 링크(11)와 음극(13) 사이의 인터페이스 영역에서 밀집되는 것으로 도시된다. 퓨즈 링크(11)의 증가한 저항과 전류 밀집 현상은, 국부적으로 발생하는 열을 증가시킨다. 이러한 열은 퓨즈가 더 작은 전압과 전류를 이용하여 끊어지도록 한다. 이러한 디자인이 작은 전압/전류를 이용하여 프로그램 가능하도록 함에도 불구하고, 유사한 구조의 퓨즈에서 퓨징 위치가 변화하게 되므로 프로그램 신뢰성을 떨어뜨린다.

발명이 이루고자 하는 기술적 과제

- <14> 본 발명이 이루고자 하는 기술적 과제는, 저전력 어플리케이션을 위해 디자인되어 낮은 프로그램 전류/전압을 이용하여 신뢰성있고 효과적으로 프로그램할 수 있는 반도체 집적 퓨즈 장치를 제공하는 데 있다.
- <15> 본 발명이 이루고자 하는 기술적 과제는, 저전력 어플리케이션을 위해 디자인되어 낮은 프로그램 전류/전압을 이용하여 신뢰성있고 효과적으로 프로그램할 수 있는 반도체 집적 퓨즈 장치의 형성 방법을 제공하는 데 있다.
- <16> 본 발명의 기술적 과제는 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

- <17> 상기 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따른 반도체 집적 퓨즈 장치는 양극, 음극 및 양극과 음극 사이에 형성된 퓨즈 링크를 포함하는 폴리실리콘층으로, 퓨즈 링크는 제1 불순물 농도를 갖는 제1 도핑 폴리실리콘 영역과, 상기 제1 불순물 농도보다 더 큰 제2 불순물 농도를 갖는 제2 도핑 폴리실리콘 영역을 포함하는 폴리실리콘층, 및 상기 폴리실리콘층 상에 형성된 도전층으로, 상기 퓨즈 링크 상의 도전층의 두께는 변화하고, 상기 제1 도핑 폴리실리콘 영역 상의 도전층 부분은 제1 두께를 갖고, 상기 제2 도핑 폴리실리콘 영역 상의 도전층 부분은 상기 제1 두께보다 작은 제2 두께를 갖는 도전층을 포함한다.
- <18> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 태양에 따른 반도체 집적 퓨즈 장치는 양극과 음극, 상기 양극과 상기 음극 사이를 연결하는 퓨즈 링크를 포함하는 폴리실리콘층, 및 상기 폴리실리콘층 상에 형성된 도전층을 포함하고, 상기 퓨즈 링크 상에 형성된 상기 도전층의 제1 부분은 제1 두께 T1을 갖고, 상기 퓨즈 링크 상에 형성된 상기 도전층의 제2 부분은 제2 두께 T2를 갖고, 상기 T2는 T1보다 작아서, 상기 도전층의 제2 부분은

퓨징 이벤트가 시작되어 상기 집적 퓨즈 장치를 프로그램하는 고저항 영역을 제공한다.

- <19> 상기 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따른 반도체 집적 퓨즈 장치의 형성 방법은 반도체 기판 상에 폴리실리콘층을 형성하되, 상기 폴리실리콘층은 양극, 음극, 및 상기 양극과 상기 음극 사이에 형성된 퓨즈 링크를 포함하고, 상기 퓨즈 링크 내에 제1 불순물 농도를 갖는 제1 도핑 폴리실리콘 영역을 형성하고, 상기 퓨즈 링크 내에 상기 제1 불순물 농도보다 큰 제2 불순물 농도를 갖는 제2 도핑 폴리실리콘 영역을 형성하고, 상기 폴리실리콘 영역 상에 도전층을 형성하되, 상기 퓨즈 링크 상에 형성된 도전층은 변화하는 두께를 갖도록 형성되고, 상기 제1 도핑 폴리실리콘 영역 상의 상기 도전층의 부분은 제1 두께를 갖고, 상기 제2 도핑 폴리실리콘 영역 상의 상기 도전층의 부분은 상기 제1 두께보다 작은 제2 두께를 갖도록 형성하는 것을 포함한다.
- <20> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 태양에 따른 반도체 집적 퓨즈 장치의 형성 방법은 반도체 기판 상에 폴리실리콘층을 형성하되, 상기 폴리실리콘층은 양극, 음극, 및 상기 양극과 상기 음극 사이에 형성된 퓨즈 링크를 포함하는 폴리실리콘층을 형성하고, 상기 폴리실리콘층 상에 도전층을 형성하되, 상기 퓨즈 링크 상의 상기 도전층의 제1 부분은 제1 두께 T1을 갖도록 형성되고, 상기 퓨즈 링크 상의 상기 도전층의 제2 부분은 제2 두께 T2를 갖도록 형성되고, T2는 T1보다 작도록 형성되어 상기 도전층의 제2 부분은 퓨징 이벤트가 시작되어 상기 집적 퓨즈 장치를 프로그램하는 고저항 영역을 제공한다.
- <21> 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.
- <22> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참고하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참고 부호는 동일 구성 요소를 지칭한다.
- <23> 도 2a~2c, 3a~3b, 4a~4b는 본 발명의 예시적 실시예에 따른 전기적으로 프로그램 가능한 반도체 집적 퓨즈 구조를 개념적으로 도시한 것이다. 이러한 디자인은 저전력 어플리케이션에 대해 프로그램 효율과 신뢰성을 증가시킨다. 일반적으로, 도 2a~2c, 3a~3b, 4a~4b에서, 집적 퓨즈는 양극과 음극 영역, 양극과 음극 영역을 연결하는 퓨즈 링크 영역을 갖는 폴리실리콘 퓨즈층과, 그 위에 형성된 도전층(예를 들어, 실리사이드층)을 포함하는 스택 구조를 갖는다.
- <24> 예시적인 집적 퓨즈 구조는 전류 스트레스를 만들어 낼 수 있는 충분한 크기의 프로그램 전류를 제공함으로써, 전기적으로 프로그램된다. 여기서, 전류 스트레스는 퓨즈 온도를 증가시키고 퓨즈 도전층의 응집(agglomeration)이 일어나도록 하여 그 결과 퓨즈를 고저항 상태로 프로그램하게 된다(퓨징 이벤트(fusing event)). 퓨징 이벤트는 도전층의 퓨징 위치(fusing location)에서 불연속 또는 보이드(void)가 형성된 것일 수도 있고, 또는, 퓨징 위치에서의 도전층이 녹거나 불로잉(blowing)된 것일 수 있다. 본 발명의 예시적인 실시예들에서, 집적 퓨즈는 하나 이상의 국부적인 고전압 퓨즈 영역을 제공하는 구조로 디자인되고, 이는 집적 퓨즈를 낮은 프로그램 전류/전압과 적절한 퓨징 위치를 이용하여 효과적이고 일정하게 프로그램할 수 있도록 한다.
- <25> 도면에서 다양한 소자들, 층들, 영역들이 정확하게 표현된 것이 아니고, 명확하게 표현하기 위해서 다소 과장된 것으로 이해해야 한다. 또한, 여기에서 어떤 층이 다른 층 또는 기판 "상(on or over)"에 있다고 표현된 것은, 어떤 층이 다른 층 또는 기판 상에 직접 있을 수도 있고, 그 사이에 다른 층이 개재되어 있을 수도 있다. 또한, 도면들에 사용된 동일한 도면 부호는 동일하거나 유사한 소자이거나, 동일하거나 유사한 기능을 갖는 소자를 나타낸다.
- <26> 도 2a~2c는 본 발명의 예시적 실시예들에 따른 반도체 집적 퓨즈를 개념적으로 도시한 것이다. 좀 더 자세하게는, 도 2a~2c는 폴리실리콘층(22) 상에 형성된 도전층(21)을 포함하는 전기적으로 프로그램 가능한 집적 퓨즈 구조(20)를 개념적으로 도시한다. 도 2a 및 도 2b는 본 발명의 예시적 실시예들에 따라, 도전층(21) 및 폴리실리콘층(22) 각각의 레이아웃 패턴을 개념적으로 도시한 것이다. 도 2c는 도 2a 및 도 2b에서 2C-2C 라인을 따라 퓨즈 구조(20)를 절단한 단면도이다.
- <27> 도 2b, 도 2c에 도시된 바와 같이, 폴리실리콘층(22)은 도핑된 음극(23) 영역, 양극(24) 영역, 음극(23) 영역과 양극(24) 영역을 연결하는 퓨즈 링크(25) 영역을 포함한다. 폴리실리콘층(22)의 퓨즈 링크(25) 영역은 다르게 도핑된 폴리 영역(26, 27, 28)을 포함한다. 도핑된 폴리 영역(26, 28)은 퓨즈 링크(25) 영역의 양 끝, 음극(23)과 양극(24) 영역에 각각 인접하도록 배치된다. 도핑된 폴리 영역(27)은 폴리 영역(26, 28) 사이에 배치된다. 아래

에서 설명하는 바와 같이, 폴리실리콘층(22)의 도핑 프로파일은 다른 영역(23, 24, 25)을 따라 변한다. 이는 전/후(pre/post) 퓨즈 저항을 제어하고 퓨즈 링크(25)를 따라 바람직한 영역에서의 퓨징 이벤트를 국부화하는 수단으로 사용된다.

<28> 도 2b에 도시된 바와 같이, 폴리실리콘 음극(23)영역은 폭(W_C)을 갖고, 폴리실리콘 양극(24)은 폭(W_A)을 갖고, 폴리실리콘 퓨즈 링크(25) 영역은 폭(W_F)와 길이(L_F)를 갖는다. 예시적 실시예에서, 퓨즈 링크(25) 영역의 폭(W_F)은, 음극(23)의 폭(W_C), 양극(24)의 폭(W_A)보다 작다.

<29> 도 2a에 도시된 바와 같이, 폴리실리콘층(22) 상에 형성된 도전층(21)은 폴리실리콘층(22)의 레이아웃 패턴과 유사한 레이아웃 패턴을 갖는다. 이 점에서, 도전층(21)은 서로 다른 폭을 갖는 다른 부분(21A, 21B, 21C)으로 형성된다. 보다 자세하게는, 폴리실리콘 양극(24)과 폴리실리콘 음극(23) 상에 각각 형성된 도전층(21)의 부분(21A, 21C)의 폭은, 폴리실리콘 퓨즈 링크(25) 영역 상에 형성된 도전층(21)의 부분(21B)보다 넓다. 종래의 디자인에서, 양극(24)/음극(23)과 퓨즈 링크(25) 사이에서의 도전층(21)의 폭의 단계적 감소(step reduction)는 수평 방향의 "전류 밀집" 현상을 일으킨다.

<30> 본 발명의 예시적 실시예에 따르면, 도전층(21)의 두께에서의 단계적 감소에 의해 프로그램 효율이 증가된다. 예를 들어, 도 2c에 도시된 바와 같이, 폴리실리콘 양극(24)과 도핑된 영역(28) 상에 형성된 도전층(21)의 부분(21A)은 두께 T_A 를 갖고, 폴리실리콘 음극(23)과 도핑된 영역(26) 상에 형성된 도전층(21)의 부분(21C)은 두께 T_C 를 갖고, 폴리실리콘 퓨즈 링크(25)의 도핑된 폴리 영역(27) 상에 형성된 도전층(21)의 부분(21B)은 줄어든 두께 T_F 를 갖는다. 이와 같이 줄어든 두께 영역(21B)는 수직 방향의 "전류 밀집" 현상을 일으킨다. 따라서, 퓨즈 링크(25) 상의 도전층(21)에서 더 높은 저항의 국부화된 영역을 제공하고, 거기에서 퓨징 이벤트를 국부화시킬 수 있고, 퓨즈가 낮은 프로그램 전류 및 전압을 이용하여 프로그램되도록 할 수 있다.

<31> 본 발명의 일 실시예에서, 도전층(21)은 알려진 방법을 이용하여 폴리실리콘층(22) 상에 형성된 실리사이드층이다. 실리사이드층(21)은 티타늄 실리사이드, 니켈 실리사이드, 플래티넘 실리사이드 또는 코발트 실리사이드를 포함할 수 있다. 실리사이드 도전층(21)의 다양한 두께는 다양한 형태의 불순물 및/또는 불순물 농도를 갖는 도핑된 폴리실리콘 영역을 형성함으로써 얻을 수 있다. 도 2c의 예시적 실시예에서, 도핑된 폴리 영역(27)은 다른 도핑된 영역(23, 26, 28, 24)과 비교해서 실리사이드 형성이 제한되는 방법을 이용하여 형성된다. 그 결과, 줄어든 두께(T_F)를 갖는 실리사이드 도전층(21)의 부분(21B)을 형성하게 된다. 도핑된 폴리 영역(27)은 중성 종(neutral species)의 이온 임플란트 또는 N 및/또는 P 불순물 종의 이온 임플란트에 의해 형성될 수 있다.

<32> 보다 구체적으로, 본 발명의 일 실시예에 따르면, 도전층(21)을 형성하는 실리사이드 공정 동안, 높은 도핑 농도 영역의 폴리실리콘층(22) 상에 실리사이드를 형성하는 것이 제한될 수 있다. 도 2c의 실시예에서, 퓨즈 링크(25) 영역 내에서의 도핑된 폴리 영역(27)은 인접한 도핑된 폴리 영역(26, 28)에 비해서 더 높은 도핑 농도로 형성된다. 그 결과, 실리사이드층(21)의 부분(21B)은 낮은 도핑된 영역 상에 형성된 실리사이드층(21)의 부분과 비교하여 줄어든 두께로 형성된다. 예를 들어, 폴리실리콘 영역(23, 26)은 p형 불순물로 도핑될 수 있고, 폴리실리콘 영역(24, 28)은 n형 불순물로 도핑될 수 있다. 반대로, 폴리실리콘 영역(23, 26)은 n형 불순물로 도핑되고, 폴리실리콘 영역(24, 28)은 P형 불순물로 도핑될 수 있다. 도핑된 폴리 영역(27)은 높게 도핑되나, 전기적으로 중성 영역일 수 있다. 도핑된 영역(23, 26)과 도핑된 영역(24, 28)을 각각 이온 도핑할 때, 영역(27) 내로 N 및 P 불순물 모두를 임플란트함으로써 영역(27)은 중성 영역으로 형성될 수 있다. 이러한 방법으로, 도핑된 영역(27)은 도핑 영역(23, 26), 도핑 영역(24, 28)의 오버랩 영역이 되고, P, N 이온 임플란트 모두의 대상이 된다.

<33> 본 발명의 다른 예시적인 실시예들에서, 전기적으로 중성인, 도핑된 폴리실리콘 영역(27)은 중성 종(neutral species)을 임플란트함으로써 형성될 수 있다. 예를 들어, 중성 종은 실리콘, 게르마늄, 아르곤, 산소, 질소, 불소 등을 포함할 수 있다.

<34> 퓨즈(20)를 프로그램하기 위해서, 프로그램 전압이 인가되어 도전층(21) 내에 열적 스트레스와 전류 흐름을 발생시킨다. 예를 들어, 음극(23)은 n형으로 도핑되고, 양극(24)은 p형으로 도핑되고, 음극(23)은 음으로 바이어스 되고(negatively biased), 양극(24)은 양으로 바이어스 되었다고(positively biased) 가정하자. 이러한 경우, 전자는 영역(21C)로부터 영역(21B)을 통해서 영역(21A)로 흘러갈 것이다. 도핑된 영역(27) 상에 도전층(21)의 도전 부분(21B)의 줄어든 두께 T_F 와 줄어든 폭 W_F 는 도전 부분(21B)에서 전자의 흐름을 빠르게 시작하게 하는 수평/수직적인 전류 밀집을 유발한다. 또한, 전기적으로 중성 도핑된 영역(27)은 영역(26)과 영역(27) 사이

의 정션에서 전자가 도전층(21)으로(윗방향으로) 흘러가는 전류 흐름을 유발하는 고저항 영역을 제공한다. 이것은 퓨즈 링크 영역(25)의 부분(21B)에서 수직 밀집(vertical crowding)과 물질 이동(material migration)을 유발한다. 결과적으로, 전류 스트레스는 실리사이드 물질의 응집(agglomeration)을 유발하고, 퓨즈 링크 영역(25)의 도전층 부분(21B)의 전부 또는 일부가 녹거나, 고저항 상태(즉, 퓨즈가 프로그램되는 것)로 응집되는 것을 유발한다. 이렇게 프로그램된 상태에서, 전류는 더 높은 저항, 즉 중성으로 도핑된 영역(27)(도전 부분(21B)에 마주보는 영역)을 통해서 전도되기 때문에, 집적 퓨즈(20)는 상당히 큰 저항을 갖는다.

<35> 본 발명의 다른 예시적 실시예에서, 도핑 영역(27)은 (다른 도핑 영역(23, 26, 28, 24)에 비교하여) 높게 도핑된 N 또는 P영역일 수 있고, 도핑된 영역(27)은 전기적으로 중성이 아니다. 도핑된 폴리 영역(27)의 고농도는, 도핑된 폴리 영역(27) 상에 형성되는 실리사이드층(21B)을 얇게 형성되도록 하고, 이는 퓨즈 블로우(fuse blow)를 국부화하도록 동작한다. 이 실시예에서, 프로그램 전압은 폴리실리콘층(22)에 역으로 바이어스가 걸리도록 인가되고, 역바이어스는 도핑 영역(27)과 영역(26, 28)의 정션에서 공핍 영역이 증가되도록 한다. 또한, 이는 공핍 영역 부근의 실리사이드 도전층(21)의 부분(21B)의 응집이 증가되도록 도와준다. 따라서, 퓨즈 블로우를 국부화하도록 한다.

<36> 도 2a~2c를 참조하여 전술한 구조를 갖는 집적 퓨즈 장치는 통상 알려진 반도체 제조 방법을 이용하여 형성될 수 있다. 일반적으로, 집적 퓨즈(20)는 반도체 기판 상에 폴리 실리콘의 도핑되지 않는(undoped) 층을 도포하고, 폴리실리콘층을 에칭하여 폴리 퓨즈 레이아웃 패턴(예를 들어, 도 2b에 도시된 바와 같음)을 형성함으로써 형성될 수 있다. 이후, 폴리실리콘층의 다른 도핑 영역은, 적절한 이온 임플란트 마스크와 개별적인 이온 임플란트 공정을 이용하여, 적절한 도즈와 농도로 불순물종(P 및/또는 N) 및/또는 중성종을 임플란트하여 형성할 수 있다.

<37> 그 이후, 실리사이드층은 코발트, 니켈, 티타늄, 플래티늄 및/또는 다른 실리사이드 물질과 같은 금속 물질을 도포하고, 적절한 열처리를 함으로써 형성될 수 있다. 예시적 실시예에서, 금속 물질은 약 10nm에서 약 30nm의 두께로 도포될 수 있다. 실리사이드 후, 비실리사이드 물질(non-silicide material)을 제거/에칭함으로써(즉, 남겨져 있는 금속 물질을 제거함으로써) 집적 퓨즈를 정의한다. 도 2c의 예시적 실시예에서, 10~30nm의 초기 금속층 두께는, 약 10~20nm 정도의 두께 T_F 가 된다(여기서, 실리사이드 형성은 도핑 영역(27)에 의해 방해받고, 두께 $T_A=T_C=50\text{nm}$ 인 영역(도핑 영역(23, 26, 28, 24))에 실리사이드가 형성되는 것이 많이 방해받지 않았다.).

<38> 도 3a 및 도 3b는 본 발명의 다른 예시적 실시예에 따른 반도체 집적 퓨즈를 개념적으로 도시한 것이다. 일반적으로, 도 3a 및 3b는 폴리실리콘층(32) 상에 형성된 도전층(31)을 포함하는 전기적으로 프로그램 가능한 집적 퓨즈 구조(30)를 도시한 것이다. 도 3a는 폴리실리콘층(32)의 레이아웃 패턴을 개념적으로 도시한 것이고, 도 3b는 도 3a에서 3B-3B 라인을 따라 절단한 예시적 퓨즈 구조(30)의 개념적 단면도이다.

<39> 도 3a 및 도 3b에 도시된 바와 같이, 폴리실리콘층(32)은 음극(33) 영역, 양극(34) 영역, 및 양극(34)와 음극(33)영역을 연결하는 퓨즈 링크(35) 영역을 포함하는 다수의 폴리실리콘 영역을 포함한다. 폴리실리콘층(32)의 퓨즈 링크(35) 영역은 서로 다르게 도핑된 폴리 영역(36, 37-1, 37-2, 38)을 포함한다. 도핑된 폴리 영역(36, 38)은 퓨즈 링크(35) 영역의 양끝, 음극(33) 및 양극(34)영역에 각각 인접하도록 배치된다. 도핑된 폴리 영역(37-1, 37-2)는 고농도로 도핑되고, 전기적으로 중성인 영역이고, 도핑된 영역(39)에 의해 분리되어 있다.

<40> 도 3b의 예시적 실시예에 도시된 바와 같이, 폴리실리콘층(32)의 도핑 프로파일은 다른 영역(33, 34, 35)을 따라 변화되어, 다른 두께를 갖는 실리사이드층(31)을 형성한다. 도 3b에서, 퓨즈 링크(35) 영역에서 도핑된 폴리 영역(37-1, 37-2)은, 인접한 도핑 폴리 영역(36, 38, 39)에 비교하여 더 높은 도핑 농도를 갖는다. 그 결과, 실리사이드층(31)의 부분(31B)은, 낮은 도핑 영역(33, 36, 39, 38, 34) 상에 형성된 실리사이드층(31)의 부분(31A, 31C, 31D)에 비교하여 더 줄어든 두께(T_{F1})으로 형성된다.

<41> 보다 상세하게는, 본 발명의 예시적인 실시예에서, 폴리실리콘 영역(34, 38)이 n 도핑된 반면, 폴리실리콘 영역(33, 36)은 p도핑될 수 있다. 반대로, 폴리실리콘 영역(34, 38)은 p 도핑된 반면, 폴리실리콘 영역(33, 36)은 n 도핑될 수 있다. 도핑된 폴리 영역(39)은 p도핑될 수도 있고, n 도핑될 수도 있다. 도핑된 폴리 영역(37-1, 37-2)은 고농도로 도핑되나, 도 2a~도 2c를 참조하여 전술한 도핑 영역(27)과 같이 중성종 또는 PN 불순물종을 이온 임플란트함으로써 형성될 수 있는 전기적 중성 영역이다.

<42> 도 3b에서 집적 퓨즈(30)는 도 2c의 집적 퓨즈(20)와 유사하고, 전술한 방법에 의해 프로그램될 수 있다. 도 3b의 예시적 구조에서, 더 낮은 저항 폴리와 도전 영역(39, 31D)은 프로그램 전류가 좀 더 일정한(uniform) 분포를 갖도록 한다. 더 높은 저항 도전 영역(31B)은 도전 영역(31B)의 전체 길이를 따라서 응집이 일어나도록

한다. 도 2c의 퓨즈 구조에서, 프로그램 컨디션과 퓨즈 길이 LF에 따라, 응집은 도전 영역(31B)의 길이 전체를 따라서 일어날 수도 있고, 일어나지 않을 수도 있다. 달리 표현하면, 도 3b의 집적 퓨즈 구조는 퓨징 위치와 퓨징되는 정도를 좀더 세부적으로 조절할 수 있다.

<43> 도 4a 및 도 4b는 본 발명의 다른 예시적 실시예에 따른 반도체 집적 퓨즈를 개념적으로 도시한 것이다. 도 4a 및 도 4b는 폴리실리콘층(42) 상에 형성된 도전층(41)을 포함하는 전기적으로 프로그램 가능한 집적 퓨즈 구조체(40)를 나타낸다. 도 4a는 폴리실리콘층(42)의 레이아웃 패턴을 개념적으로 도시한 평면도이고, 도 4b는 도 4a에서 4B-4B 라인을 따라 예시적 퓨즈 구조체(40)를 절단한 단면도이다.

<44> 도 4a 및 도 4b를 참조하면, 폴리실리콘층(42)은 도핑된 음극(43) 및 양극(44) 영역과, 양극(44)과 음극(43) 영역을 연결하는 퓨즈 링크(45) 영역을 포함한다. 폴리실리콘층(42)의 퓨즈 링크(45) 영역은 서로 다른 도핑된 폴리 영역(46, 47, 48)을 포함하고, 도핑되지 않은(undoped) 폴리 영역(49)을 포함한다. 도핑된 폴리 영역(46, 48)은 퓨즈 링크(45) 영역의 양 끝, 음극(43)과 양극(44) 영역에 각각 인접하도록 배치된다. 도핑된 폴리 영역(47)은 고농도로 도핑되고, 전기적으로 중성인 영역이다.

<45> 도 4b의 예시적 실시예에 도시된 바와 같이, 폴리실리콘층(42)의 도핑 프로파일은 다른 영역(43, 44, 45)을 따라 변화되어, 다른 두께를 갖는 실리사이드층(41)을 형성한다. 도 4b에서, 퓨즈 링크(45) 영역에서 도핑된 폴리 영역(47)은, 인접한 도핑 폴리 영역(46, 48, 49)에 비교하여 더 높은 도핑 농도를 갖는다. 그 결과, 실리사이드층(41)의 부분(41B)은, 낮은 도핑 영역(43, 46, 48, 44)과 도핑되지 않은 영역(49) 상에 형성된 실리사이드층(41)의 부분(41A, 41C, 41D)에 비교하여 더 줄어든 두께(T_{F1})으로 형성된다.

<46> 보다 상세하게는, 본 발명의 예시적인 실시예에서, 폴리실리콘 영역(44, 48)이 n 도핑된 반면, 폴리실리콘 영역(43, 46)은 p 도핑될 수 있다. 반대로, 폴리실리콘 영역(44, 48)은 p 도핑된 반면, 폴리실리콘 영역(43, 46)은 n 도핑될 수 있다. 도핑된 폴리 영역(47)은 고농도로 도핑되나, 도 2a~도 2c를 참조하여 전술한 도핑 영역(27)과 같이 중성층 또는 PN 불순물층 모두를 이온 임플란트함으로써 형성될 수 있는 전기적 중성 영역이다. 도핑되지 않은 영역(49)는 실리사이드 도전층(41)의 더 두꺼운 부분(41D)를 제공하게 되고, 이와 같은 부분은 수직 방향으로 전류가 밀집되도록 하고, 퓨즈 프로그램하는 동안, 도전층 부분(41D)로부터 도전층 부분(41B)으로 전류가 흐를 때, 도핑되고 중성 영역(47) 상에 배치된 실리사이드층(41)의 도전 부분(41B)을 따라 응집이 생기게 한다. 고집적, 작은 피치 퓨즈 레이아웃 디자인에 있어서, 도전층 부분(41D)의 수평 방향의 폭 WF를 더 작게 유지하는 반면, 증가된 수직 방향의 두께는 전류 밀집 현상을 통해서 퓨즈 블로우를 국부화하는 수단을 제공한다.

<47> 이상 첨부된 도면을 참고하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

<48> 상기한 바와 같은 집적 퓨즈 장치 및 그 형성 방법에 따르면, 저전력 어플리케이션에 적합하고, 낮은 프로그램 전류/전압을 이용하여 신뢰성있고 효과적으로 프로그램할 수 있다.

도면의 간단한 설명

<1> 도 1은 종래의 반도체 집적 퓨즈를 개념적으로 도시한 것이다.

<2> 도 2a, 도 2b, 도 2c는 본 발명의 예시적 실시예에 따른 반도체 집적 퓨즈를 개념적으로 도시한 것이다.

<3> 도 3a, 도 3b는 본 발명의 다른 예시적 실시예에 따른 반도체 집적 퓨즈를 개념적으로 도시한 것이다.

<4> 도 4a, 도 4b는 본 발명의 또 다른 예시적 실시예에 따른 반도체 집적 퓨즈를 개념적으로 도시한 것이다.

<5> (도면의 주요부분에 대한 부호의 설명)

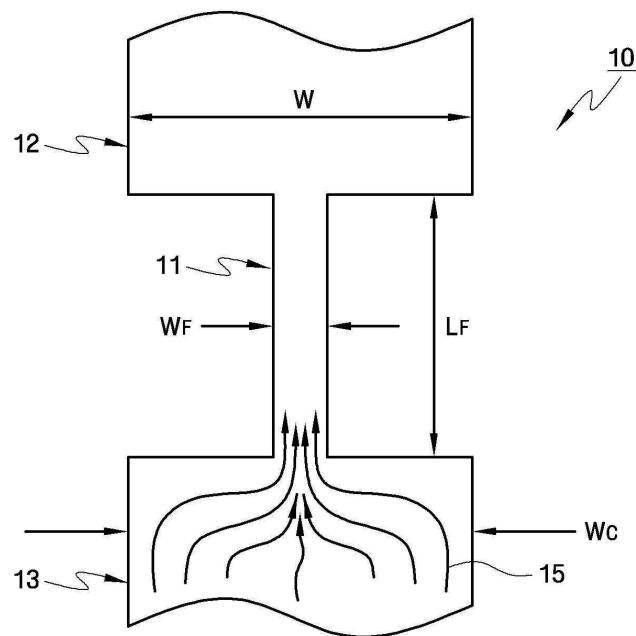
<6> 20 : 집적 퓨즈 구조 21 : 도전층

<7> 22 : 폴리실리콘층 23 : 음극

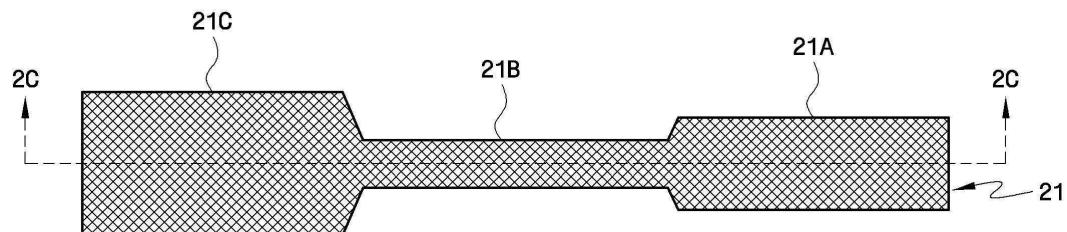
<8> 24 : 양극 25 : 퓨즈 링크

도면

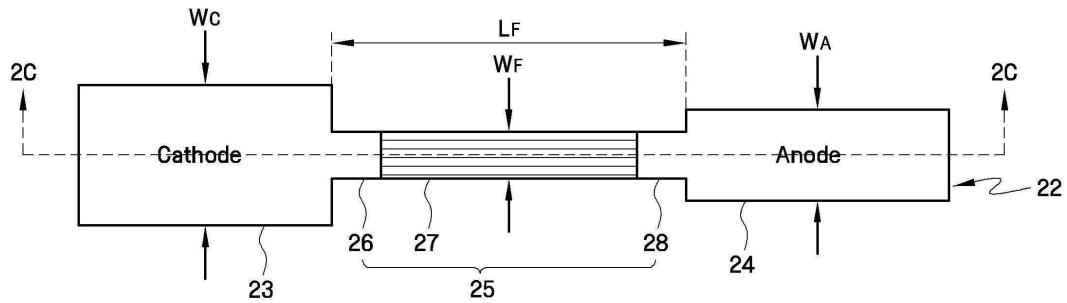
도면1



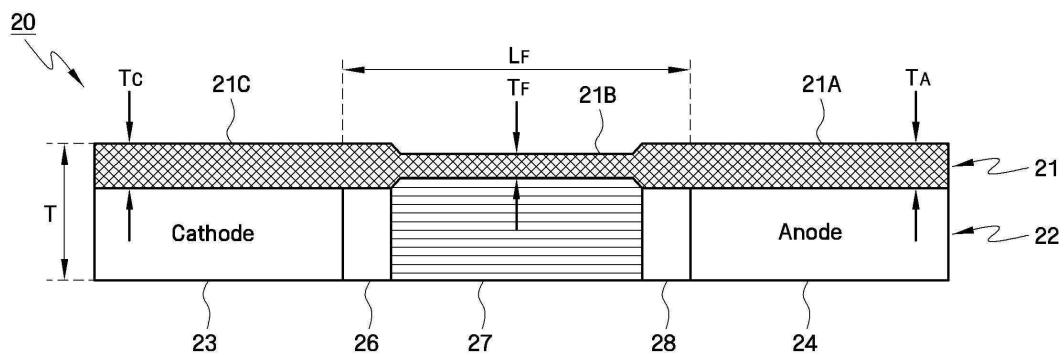
도면2a



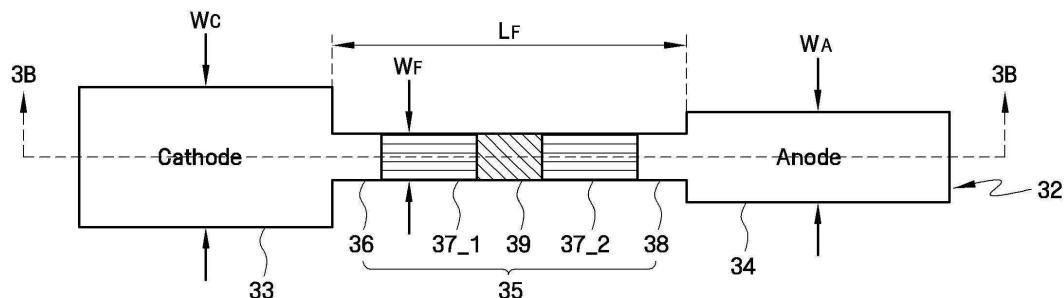
도면2b



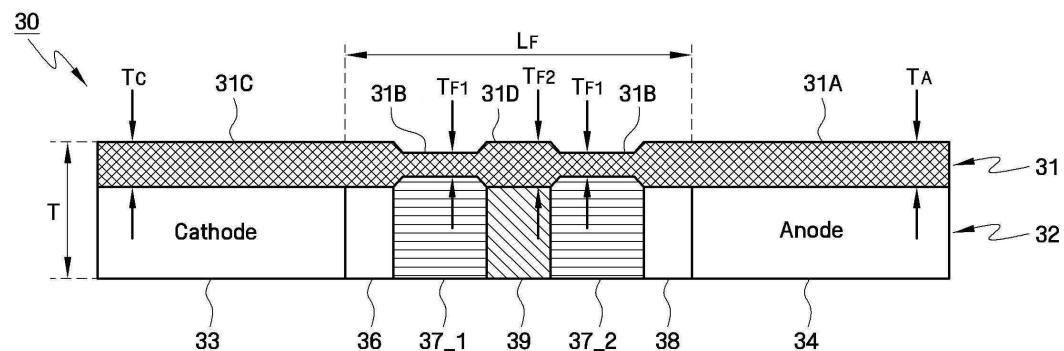
도면2c



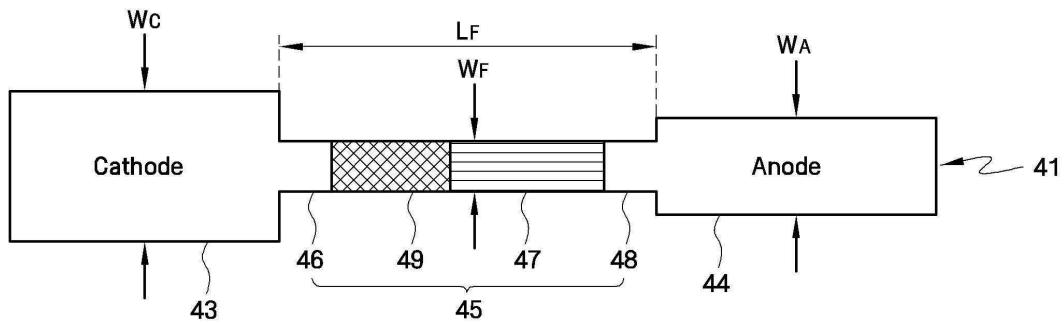
도면3a



도면3b



도면4a



도면4b

