



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년11월14일
 (11) 등록번호 10-1461127
 (24) 등록일자 2014년11월06일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/28* (2006.01)
 (21) 출원번호 10-2008-0044144
 (22) 출원일자 2008년05월13일
 심사청구일자 2013년05월08일
 (65) 공개번호 10-2009-0118395
 (43) 공개일자 2009년11월18일
 (56) 선행기술조사문헌
 JP06235939 A
 KR1020070103231 A
 KR1020040066286 A
 KR100269328 B1

(73) 특허권자
삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성2로 95 (농서동)
 (72) 발명자
이재훈
 서울특별시 양천구 목동중앙남로 51-10, 대일빌라 401호 (목동)
김도현
 서울 영등포구 선유동2로 56, 204동 1002호 (당산동5가, 유원제일2차아파트)
인태형
 서울특별시 양천구 목동중앙남로3가길 8-4, 501호 (목동)
 (74) 대리인
박영우

전체 청구항 수 : 총 14 항

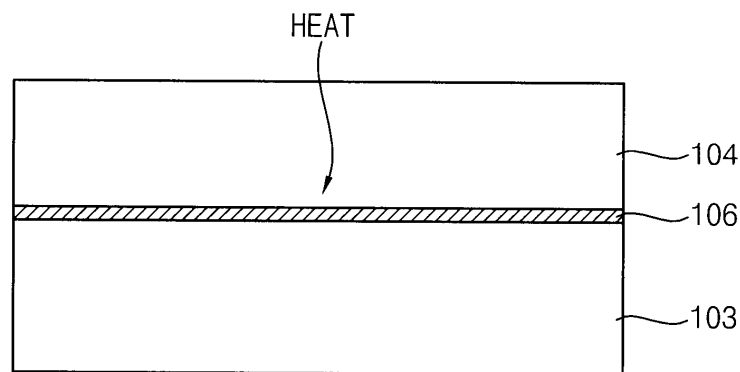
심사관 : 설관식

(54) 발명의 명칭 **반도체 장치 및 이의 제조 방법**

(57) 요약

반도체 장치 및 이의 제조 방법에서, 반도체 장치는 산화물 또는 질화물 반도체층을 포함하고, 금속 배선층과의 접촉 저항을 낮추기 위한 저 저항 콘택층을 포함한다. 산화물 또는 질화물 반도체층을 기판 위에 형성하고, 제1 금속원소와 제2 금속 원소가 포함된 제1 전도층을, 제2 금속 원소가 포함된 제2 전도층을 반도체층 위에 형성한다. 제1 금속 원소의 깃스 자유 에너지는 제2 금속 원소 또는 반도체층 내의 어떤 금속 원소의 산소 또는 질소에 대한 깃스 자유 에너지 보다 낮도록 설계한다. 반도체층과 제1 전도층 사이의 계면에 제1 원소로 구성된 저 저항 콘택층을 형성한다.

대표도 - 도1b



특허청구의 범위

청구항 1

산화물 반도체층을 형성하는 단계;

상기 산화물 반도체층 위에 합금 박막층 원소와 상기 합금 박막층 원소보다 산화물 형성에 대한 깃스 자유에너지가 높은 금속 배선층 금속을 포함한 제1 전도층을 형성하는 단계;

상기 금속 배선층 금속을 포함한 제2 전도층을 상기 제1 전도층 위에 형성하는 단계; 및

상기 제1 전도층과 상기 제2 전도층 사이의 계면 영역에서 상기 합금 박막층 원소를 산화시키는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 2

제 1항에 있어서, 상기 합금 박막층 원소는 열처리에 의해 상기 산화시키는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3

제 1항에 있어서, 상기 합금 박막층 원소는 레이저 조사에 의해 상기 산화시키는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4

제 1항에 있어서, 상기 제2 전도층은 제1 전도층 보다 높은 결정성을 유지하도록 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5

제 1항에 있어서, 상기 합금 박막층 원소는 알루미늄(Al), 티타늄(Ti), 구리(Cu), 백금(Au), 은(Ag), 몰리브덴(Mo), 니켈(Ni), 탄탈륨(Ta), 지르코늄(Zr), 크롬(Cr), 코발트(Co) 및 텅스텐(W)으로 이루어진 그룹에서 선택된 어느 하나 또는 2개 이상의 결합으로 이루어진 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6

제 1항에 있어서, 상기 산화물 반도체는 아연 산화물, 카드뮴 산화물, 인듐 산화물, 주석 산화물, 하프늄 산화물로 이루어진 그룹에서 선택된 어느 하나 또는 2개 이상의 결합으로 이루어진 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7

제 1항에 있어서, 상기 산화물 반도체는 리튬(Li), 나트륨(Na), 칼륨(K), 루비듐(Rb), 세슘(Cs), 베릴륨(Be), 마그네슘(Mg), 칼슘(Ca), 붕소(B), 갈륨(Ga), 인듐(In), 티타늄(Ti), 탄소(C), 규소(Si), 게르마늄(Ge), 주석(Sn), 납(Pb), 질소(N), 인(P), 비소(As), 안티몬(Sb), 비스무트(Bi), 불소(F), 염소(Cl), 브롬(Br) 및 요오드(I)로 이루어진 그룹으로부터 선택된 어느 하나 또는 2개 이상의 결합으로 이루어진 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8

질화물 반도체층을 형성하는 단계;

상기 질화물 반도체층 위에 합금 박막층 원소와 상기 합금 박막층 원소보다 산화물 형성에 대한 깃스 자유에너지가 높은 금속 배선층 금속을 포함한 제1 전도층을 형성하는 단계;

상기 금속 배선층 금속을 포함한 제2 전도층을 상기 제1 전도층 위에 형성하는 단계; 및

상기 제1 전도층과 상기 제2 전도층 사이의 계면 영역에서 상기 합금 박막층 원소를 질화시키는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 9

제 8항에 있어서, 상기 합금 박막층 원소는 열처리에 의해 상기 질화시키는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10

제 8항에 있어서, 상기 합금 박막층 원소는 레이저 조사에 의해 상기 질화시키는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 11

제 8항에 있어서, 상기 제2 전도층은 제1 전도층보다 높은 결정성을 유지하도록 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 12

제 8항에 있어서, 상기 합금 박막층 원소는 알루미늄(Al), 티타늄(Ti), 구리(Cu), 백금(Au), 은(Ag), 몰리브덴(Mo), 니켈(Ni), 탄탈륨(Ta), 지르코늄(Zr), 크롬(Cr), 코발트(Co) 및 텅스텐(W)으로 이루어진 그룹에서 선택된 어느 하나 또는 2개 이상의 결합으로 이루어진 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 13

제 8항에 있어서, 상기 질화물 반도체는 아연 질화물, 카드뮴 산화물, 갈륨 질화물 및 이트륨 질화물로 이루어진 그룹으로부터 선택된 어느 하나 또는 2개 이상의 결합으로 이루어진 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 14

제 8항에 있어서, 상기 질화물 반도체는 리튬(Li), 나트륨(Na), 칼륨(K), 루비듐(Rb), 세슘(Cs), 베릴륨(Be), 마그네슘(Mg), 칼슘(Ca), 붕소(B), 갈륨(Ga), 인듐(In), 티타늄(Ti), 탄소(C), 규소(Si), 게르마늄(Ge), 주석(Sn), 납(Pb), 질소(N), 인(P), 비소(As), 안티몬(Sb), 비스무트(Bi), 불소(F), 염소(Cl), 브롬(Br) 및 요오드(I)로 이루어진 그룹으로부터 선택된 어느 하나 또는 2개 이상의 결합으로 이루어진 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 장치 및 이의 제조 방법에 관한 것으로, 보다 상세하게는 저 저항 컨택층을 갖는 산화물 반도체 박막 트랜지스터 및 산화물 반도체 박막 트랜지스터에서 저 저항 컨택층을 형성하는 방법에 관한 것이다.

배경기술

[0002] 액정 표시 소자 또는 유기 발광 표시 소자 등에서 박막 트랜지스터는 픽셀 또는 픽셀의 일부를 선택 구동하는 스위칭 소자로서 사용되며, 비정질 실리콘 또는 결정질 실리콘 반도체를 포함한다. 결정질 실리콘 반도체층을 이용한 박막트랜지스터는 비정질 실리콘 반도체층을 이용한 박막트랜지스터 보다 10에서 100배 높은 전자 이동을 가진다. 그러나, 결정질 실리콘 반도체층의 경우 550oC 이상의 높은 재결정 열처리 공정으로 인해 고비용, 저수율의 비효율성 문제가 제기되며 용점이 낮은 고분자 물질로 구성된 플렉서블 기판을 적용할 수 없게 된다.

[0003] 비정질 또는 결정질 실리콘 반도체를 대체하기 위해 ZnO와 같은 산화물 반도체가 최근 개발되고 있다. 산화물 반도체는 결정질 실리콘 반도체와 유사하게 비정질 실리콘 반도체의 전자 이동도 0.2~1.0cm²/Vs 보다 10에서 100배 정도 향상된 전자 이동을 가지며, 투명성, 외부 광원에 대한 안정성 등의 추가적인 장점으로 인해 많은 기대를 받고 있다.

발명의 내용

해결하고자하는 과제

[0004] 이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하는 것으로, 본 발명은 전기적 특성이 향상된 반도체 장치를 제공한다.

[0005] 또한, 본 발명은 상기 반도체 장치의 제조방법을 제공한다.

과제 해결수단

[0006] 상기한 본 발명의 기술적 과제를 해결하기 위하여, 실시예에 따른 반도체 장치는 산화물 반도체층, 제1 전도층, 제2 전도층 및 제1 성분의 산화물층을 포함한다. 상기 제1 전도층은 상기 산화물 반도체층 위에 형성된 제1 성분과 상기 제1 성분 보다 산화물 형성 깃스 자유에너지가 높은 제2 성분을 포함한다. 상기 제2 전도층은 상기 제1 전도층 위에 형성된 상기 제2 성분을 포함한다. 상기 제1 성분의 산화물층은 상기 제1 전도층과 상기 제2 전도층 사이의 계면 영역에 형성된다.

[0007] 본 발명에서는, 산화물 반도체층과 배선 금속층 사이에 비화학양론적 산화물로 이루어진 저 저항 컨택층이 삽입된 반도체 장치를 제공한다. 상기 비화학양론적 산화물은 열처리 또는 레이저 조사에 의해 형성된다.

[0008] 본 발명에 있어서, 비화학양론적 산화물을 형성하는 활성 금속 원소의 깃스 자유 에너지는 금속 배선층의 금속 원소 또는 산화물 반도체층 내의 어떤 금속 원소의 산소 또는 질소에 대한 깃스 자유 에너지 보다 낮게 설계한다. 상기 활성 금속 원소는 알루미늄(Al), 티타늄(Ti), 구리(Cu), 백금(Au), 은(Ag), 몰리브덴(Mo), 니켈(Ni), 탄탈륨(Ta), 지르코늄(Zr), 크롬(Cr), 코발트(Co), 니오브(Nb) 및 텅스텐(W)으로 이루어진 그룹에서 선택된 어느 하나일 수 있다.

[0009] 본 발명에 있어서, 상기 산화물 반도체층은 Zn-O, In-O, Sn-O, Ga-O 또는 Hf-O 이원계 산화물 조성계 중 적어도

어느 하나를 포함할 수 있다. 상기 산화물 반도체층은 리튬(Li), 나트륨(Na), 칼륨(K), 루비듐(Rb), 세슘(Cs), 베릴륨(Be), 마그네슘(Mg), 칼슘(Ca), 붕소(B), 갈륨(Ga), 인듐(In), 티타늄(Ti), 탄소(C), 규소(Si), 게르마늄(Ge), 주석(Sn), 납(Pb), 질소(N), 인(P), 비소(As), 안티몬(Sb), 비스무트(Bi), 불소(F), 염소(Cl), 브롬(Br) 및 요오드(I)로 이루어진 그룹으로부터 선택된 적어도 어느 하나의 이온화된 금속 원소를 더 포함할 수 있다. 상기 산화물 반도체층은 비정질상 또는 결정상 또는 비정질상 및 결정상을 포함하는 동질이상 구조일 수 있다.

[0010] 본 발명에 있어서, 상기 산화물 반도체층, 저 저항 컨택층, 금속 배선층으로 이루어진 접합구조를 포함하는 박막트랜지스터와 같은 반도체 장치 및 상기 반도체 장치의 제조 방법을 제공한다.

[0011] 상기 박막 트랜지스터와 같은 반도체 장치의 제조방법에서, 산화물 반도체층이 형성되고, 상기 산화물 반도체층 위에 소스, 드레인 역할을 하도록 금속으로 이루어진 제2 전도층이 형성되며, 그 사이에 형성된 활성 금속 및 배선 금속으로 이루어진 제1 전도층이 형성되며, 이러한 접합 구조를 덮는 게이트 절연층이 형성된다. 상기 활성 금속 원소는 Al, Ti, Cu, Au, Ag, Mo, Ni, Ta, Zr, Cr, Co, Nb 및 W로 이루어진 그룹으로부터 선택된 적어도 어느 하나를 포함할 수 있다.

[0012] 또한, 이와 다르게 게이트가 형성되고, 상기 게이트 위에 게이트 절연층, 게이트 절연층 위에 산화물 반도체 박막층이 형성되고, 상기 산화물 반도체층 위에 소스, 드레인 역할을 배선 금속으로 이루어진 제2 전도층, 그 사이에 형성된 활성 금속 및 배선 금속으로 이루어진 제1 전도층이 형성되어 반도체 장치가 제조될 수 있다. 상기 활성 금속 원소는 Al, Ti, Cu, Au, Ag, Mo, Ni, Ta, Zr, Cr, Co, Nb 및 W로 이루어진 그룹으로부터 선택된 적어도 어느 하나를 포함할 수 있다.

효 과

[0013] 본 발명에 따른 반도체 장치 및 이의 제조방법에 의하면, 고 이동도 산화물 반도체와 금속 배선층의 접합에 있어 쇼트키 장벽을 낮출 수 있다. 따라서 산화물 또는 질화물 반도체 장치의 저 저항 컨택층을 도핑 공정을 통하지 않고, 용이하게 형성할 수 있다.

[0014] 따라서 실리콘 반도체를 사용하면 도판트 농도를 높은 n+층을 비교적 용이하게 제조할 수 있는 것과는 다르게 산화물 반도체의 경우는 결정 격자 구조의 특성으로 인해 전기적 전도도를 높일 수 있는 도판트 주입이 매우 제한적이었던 단점을 극복할 수 있다.

발명의 실시를 위한 구체적인 내용

[0015] 이하, 첨부한 도면들을 참조하여 본 발명의 예시적인 실시예들을 상세히 설명한다.

[0016] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0017] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 고안의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다.

[0018] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0019] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0020] 또한, 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형

식적인 의미로 해석되지 않는다.

- [0021] 실시예 1
- [0022] 도 1a, 1b는 실시예 1에 따른 반도체 장치에서 이종 접합 반도체 장치에서 산화물 반도체와 금속 배선층 사이를 연결하는 저 저항 컨택층을 형성하는 방법을 설명하는 단면도들이다.
- [0023] 도 1a 및 도 1b를 참조하면, 실리콘 반도체 박막의 경우, 금속 배선층(104)과 접합을 만들 때 도핑이 많이 된 실리콘층, n+ Si을 쇼트키 장벽을 극복하는 저 저항 컨택층(106)으로 사용해왔다. 이는 식 1이 나타내듯이 접촉 저항이 도핑 농도가 높을 때 낮아지는 물리적 특성을 이용한 것이다.
- [0024] $R_c = A \exp[(2\Phi_{Bn} (N/m^* \epsilon_s)^{1/2}) / \{h \coth(qh/2kT(N/m^* \epsilon_s)^{1/2})\}] \dots\dots\dots$ (식1)
- [0025] 여기서, R_c 는 접촉저항, N 은 도핑 농도, Φ_{Bn} 은 전자 이동에 대한 에너지 장벽의 높이, T 는 절대 온도를 나타낸다.
- [0026] 그러나, 실리콘 반도체가 n+ Si층을 금속 배선층(104) 사이에 저 저항 컨택층(106)으로 사용한 것처럼 산화물 반도체 장치에서는 도핑 농도를 높인 산화물 반도체층(103)을 저 저항 컨택층(106)으로 활용하기 어렵다. 이는 산화물 반도체(103)를 구성하는 조성계에서 전자 이동도를 생성하는 도판트의 고용량이 제한적이기 때문이다.
- [0027] 본 발명의 실시예에서는 전도성이 높은 비화학양론적 산화물층을 이용해 산화물 반도체층(103)과 금속 배선층(104) 사이에 형성된 에너지 장벽을 낮추는 방법을 나타내었다. 산화물 반도체층(103)은 Zn-O, In-O, Sn-O, Ga-O 또는 Hf-O 조성계로 이루어진 비정질 상태, 결정질 상태 또는 비정질 상태와 결정질 상태가 공존하는 미세 결정질 상태 중 어느 하나의 상태로 존재한다.
- [0028] 전도층을 보다 향상하기 위하여 이종 양이온을 산화물 반도체층(103) 내에 첨가하는 경우, 이때의 양이온은 Li, Na, K, Rb 또는 Cs을 포함하는 주기율표 1 족, B, Ga, In 또는 Ti을 포함하는 13족, C, Si, Ge, Sn 또는 Pb를 포함하는 14족, N, P, As, Sb 또는 Bi를 포함하는 15족 또는 F, Cl, Br, I를 포함하는 17족 중 적어도 어느 하나의 족 내의 원소로 이루어진다.
- [0029] 도판트의 주입 없이도 비정질 상태, 결정질 상태 또는 비정질 상태와 결정질 상태가 공존하는 미세 결정질 상태의 ZnO, In-O, Sn-O, Ga-O 또는 Hf-O 중 어느 하나의 결정계가 사용될 수 있다. InGaO₃(ZnO)₅, Mg_xZn_{1-x}O, Cd_xZn_{1-x}O, CdO 또는 In-Ga-Zn-O 기반의 비정질 산화물 반도체(103) a-IGZO 역시 도판트 주입 없이 적용될 수 있다.
- [0030] 산화물 반도체층(103)은 스퍼터링법에 의해 예를 들어 챔버내 진공 압력은 0.4Pa, 가스 혼합비는 Ar(argon):O₂=50:5에서 25nm에서 500nm 두께로 형성한 다음 0.05% 농도의 플로린계 산성액으로 에칭하여 제조한다. 산화물 반도체층(103)은 스퍼터링 공정 챔버 내에서의 산화 반응을 염려하지 않아도 되므로 비정질 실리콘층을 사용한 반도체층에 대비하여 값 비싼 고 진공 분위기가 요구되지는 않는다.
- [0031] 산화물 반도체층(103) 증착 후 그 위에 저 저항 금속 배선층(104)으로 Ag, Al, Au, Cu 또는 이들의 합금 박막층(105)이 스퍼터링 법 등에 의해 형성된다. 그러나, 스퍼터링 법 등에 의한 증착 공정 초기에 적어도 하나 이상의 합금 박막층(105) 원소가 첨가된다.
- [0032] 예를 들어, Ta 또는 Nb 합금 박막층(105)이 금속 배선층(104)에 첨가될 때 적어도 Ta 또는 Nb 스퍼터링 타겟 중 하나가 Al 스퍼터링 타겟과 함께 스퍼터 챔버 내에 배치된다.
- [0033] 그 다음, Ta 또는 Nb 스퍼터링 타겟을 노출하는 셔터를 증착 공정 초기에 짧은 시간 동안 열어 둔다. 그 짧은 시간 동안 Ta 또는 Nb 그리고 금속 배선층(104) 금속 Al이 동시에 기판에 스퍼터링 증착되어 5에서 50nm 두께의 합금 박막층(105) 박막을 형성하고, 연속하여 금속 배선층(104) 금속 Al이 50에서 500nm 두께로 증착된다.
- [0034] 합금 박막층(105) 원소는 금속 배선층(104) 금속 또는 산화물 반도체(103)를 구성하는 구성 원소를 고려하여 결정되는 게 바람직하다. 예를 들어, 식 2와 같이 깎스 형성 자유 에너지로 대표되는 산소 원소에 대한 상대적 친화성이 디자인 룰이 될 수 있다.
- [0035] $\Delta G_{MOx} \leq \Delta G_{AOx} \text{ or } \Delta G_{COx} \dots\dots\dots$ (식2)
- [0036] 여기서, M은 합금 박막층(105) 원소, A는 금속 배선층(104) 금속, C는 산화물 반도체(103)를 구성하는 양이온 또는 불순물에 해당한다. G는 화학적 반응에 대한 열역학적 포텐셜을 나타내는 깎스 자유 에너지를 나타낸다. 깎스 자유에너지가 낮은 값일수록 산화물을 형성하려는 경향이 강하다. 산화물 형성에 대한 깎스 자유 에너지를

'The Oxide handbook, G V Samsonov New York 1982.'를 참조하여 표 1에 나타내었다.

[0037] 예를 들어, ZnO 산화물 반도체(103) 위에 금속 배선층(104) 금속으로 Al을 적용할 경우, Al과 ZnO 사이 계면에 첨가할 합금 박막층(105) 원소로 Ta 또는 Nb가 적당하다. 표 1에서 나타내었듯이, Al₂O₃을 형성하는 깃스 자유 에너지가 -1492, ZnO를 형성하는 깃스 자유 에너지가 -324 이며, Ta₂O₅와 Nb₂O₅에 대한 깃스 자유 에너지가 각각 -1910.991 그리고 -1765로 식 2를 만족한다. 즉, Al₂O₃이 형성되는 것 보다 Ta₂O₅ 또는 Nb₂O₅를 형성하려는 힘이 강하다는 의미이다. 식 2를 이용하여 물질을 선택할 경우, 깃스 자유 에너지는 온도의 함수이므로 동일 온도에서 비교되어야 함을 주의하여야 한다.

[0038] (표 1)

		$\Delta G_f(\text{at } 298\text{k}): \text{kJ/mol}$
산화물 반도체의 조성	ZnO	-324
	In ₂ O ₃	-830
	Ga ₂ O ₃	-998
	SnO ₂	-520
	HfO ₂	-1088
	Y ₂ O ₃	-1816
배선층	Al ₂ O ₃	-1492
	CuO	-128
	Cu ₂ O	-147
	Ag ₂ O	-11.2
합금 성분	V ₂ O ₅	-1419
	TiO ₂ (Rutile)	-889.406
	TiO ₂ (Anatase)	-883.266
	Ta ₂ O ₅	-1910.991
	Co ₃ O ₅	-794.901
	MoO ₃	-667.993
	Nb ₂ O ₅	-1765
	Mn ₂ O ₃	-881.114
	ZrO ₂	-1039.724
	MgO	-568.943
	Cr ₂ O ₃	-1058.067

[0039]

[0040] 도 1B에서 나타내었듯이, 산화물 반도체(103)와 금속 배선층(104)의 접합체는 약 400oC 또는 그 이하의 온도에서 열처리된다. 열처리하는 질소 분위기 또는 산소 분위기의 가열로, RTA, 가열판 또는 레이저 장치를 이용하여 이루어질 수 있다.

[0041] 산화물 반도체층(103)의 결정성은 열처리에 의해 증가된다. 특히 깃스 자유에너지 물에 의해 디자인 된 것처럼, 산화물 반도체층(103) 내부의 산소 원자는 금속 배선층(104) 물질 원소 또는 산화물 반도체(103)를 내부 금속 원자 보다 비화학양론적 산화물을 유도한 합금 박막층(105) 원소 쪽으로 결합된다.

[0042] 저 저항 컨택층(106), 비화학양론적 산화물 MO_x는 0.5에서 50nm의 두께로 얇게 형성되어, 소위 터널링 효과를 통해 산소 공공을 통해 전자를 반대쪽층으로 이동시킨다.

[0043] 도 2a 및 도 2b는 도 1a 및 도 1b에서 도시된 저 저항 컨택층을 통한 터널링 효과를 설명하는 밴드 다이어그램이다.

[0044] 여기서 Evac은 진공의 에너지 수준을, EF는 페르미 에너지 수준으로 전자 충전 확률이 50%가 되는 에너지 수준을 의미한다.

[0045] 도 2a 및 도 2b를 참조하면, Al층이 ZnO층을 전기적으로 접촉하게 되면, 도 2A에 나타난 것과 같이 Al과 ZnO 각

각의 고유한 페르미 에너지 수준 차이로 인해 접촉 경계 면에서 쇼트키 에너지 장벽이 발생한다. 반도체 에너지 밴드가 굽은 형상이 되며, 전자가 접촉 계면에 형성된 쇼트키 에너지 장벽을 통과하는 현상이 억제된다. 그러나, Ta 원소가 접촉 계면에서 열처리에 의해 비화학양론적 산화물 TaO_x로 산화되면, 전자가 쉽게 에너지 장벽을 통과할 수 있도록 에너지 우물이 형성된다.

- [0046] 실시예 2
- [0047] 실시예 2는 저 저항 접촉층이 형성되고, 박막 결정성이 향상되는 질화물 반도체 장치 및 그 제조 방법에 관한 것이다. 실시예 2는 산화물 반도체층 대신 질화물 반도체층이 형성된 것을 제외하고 실시예 1과 실질적으로 동등하다.
- [0048] 본 발명의 기술적 특징은 전도성이 높은 비화학양론적 질화물 반도체를 질화물 반도체와 금속 배선층(104) 사이에 삽입하여 식 1에서 나타난 에너지 장벽, Φ_{Bn} 을 낮추는데 있다.
- [0049] 질화물 반도체 박막은 Ga-N, In-N, Zn-N 또는 Al-N 조성 시스템으로 이루어진 비정질 상태, 결정질 상태 또는 비정질 상태와 결정질 상태가 공존하는 미세 결정질 상태 중 어느 하나의 상태로 존재한다. 전도층을 보다 향상하기 위하여 이종 양이온을 산화물 반도체층(103) 내에 첨가하는 경우,
- [0050] 이때의 양이온은 Li, Na, K, Rb 또는 Cs을 포함하는 주기율표 1 족, B, Ga, In 또는 Ti을 포함하는 13족, C, Si, Ge, Sn 또는 Pb를 포함하는 14족, N, P, As, Sb 또는 Bi를 포함하는 15족 또는 F, Cl, Br, I을 포함하는 17족 중 적어도 어느 하나의 족 내의 원소로 이루어진다. 도판트의 주입 없이도 비정질 상태, 결정질 상태 또는 비정질 상태와 결정질 상태가 공존하는 미세 결정질 상태의 Ga-N, In-N, Zn-N 또는 Al-N 중 어느 하나의 결정계가 사용될 수 있다.
- [0051] 질화물 반도체층은 스퍼터링법에 의해 예를 들어 챔버내 진공 압력은 0.4Pa, 가스 혼합비는 Ar(argon):N₂=50:5에서 25nm에서 500nm 두께로 형성한 다음 0.05% 농도의 플로린계 산성액으로 에칭하여 제조한다. 질화물 반도체층은 스퍼터링 공정 챔버 내에서의 질화 반응을 염려하지 않아도 되므로 비정질 실리콘층을 사용한 반도체층에 대비하여 값 비싼 고 진공 분위기가 요구되지는 않는다.
- [0052] 질화물 반도체층 증착 후 그 위에 저 저항 금속 배선층(104)으로 Ag, Al, Au, Cu 또는 이들의 합금 박막층(105)이 스퍼터링 법 등에 의해 형성된다. 그러나, 스퍼터링 법 등에 의한 증착 공정 초기에 적어도 하나 이상의 합금 박막층(105) 원소가 첨가된다.
- [0053] 예를 들어, Ta 또는 Nb 합금 박막층(105)이 금속 배선층(104)에 첨가될 때 적어도 Ta 또는 Nb 스퍼터링 타겟 중 하나가 Al 스퍼터링 타겟과 함께 스퍼터 챔버 내에 배치된다. 그 다음, Ta 또는 Nb 스퍼터링 타겟을 노출하는 셔터를 증착 공정 초기에 짧은 시간 동안 열어 둔다. 그 짧은 시간 동안 Ta 또는 Nb 그리고 금속 배선층(104) 금속 Al이 동시에 기판에 스퍼터링 증착하여 5nm에서 50nm 두께의 합금 박막층(105) 박막을 형성하고, 연속하여 금속 배선층(104) 금속 Al이 50에서 500nm 두께로 증착한다. 합금 박막층(105) 원소는 금속 배선층(104) 금속 또는 질화물 반도체를 구성하는 구성 원소를 고려하여 결정되는 게 바람직하다. 예를 들어, 식 2와 같이 깃스 형성 자유 에너지로 대표되는 깃스 원소에 대한 상대적 친화성이 디자인 룰이 될 수 있다.
- [0054] $\Delta G_{MOx} \leq \Delta G_{AOx} \text{ or } \Delta G_{COx} \dots\dots\dots$ (식2)
- [0055] 여기서, M은 합금 박막층(105) 원소, A는 금속 배선층(104) 금속, C는 질화물 반도체를 구성하는 양이온 또는 불순물에 해당한다. G는 화학적 반응에 대한 열역학적 포텐셜을 나타내는 깃스 자유 에너지를 나타낸다.
- [0056] 깃스 자유에너지가 낮은 값일수록 질화물을 형성하려는 경향이 강하다. 질화물 형성에 대한 깃스 자유 에너지를 The Oxide handbook, G V Samsonov New York 1982.를 참조하여 표 1에 나타내었다.
- [0057] 예를 들어, GaN 질화물 반도체 위에 금속 배선층(104)으로 Al을 적용할 경우, Al과 GaN 사이 계면에 첨가할 합금 박막층(105) 원소로 Ta 또는 Nb가 적당하다. 표 2에서 나타내었듯이, AlN을 형성하는 깃스 자유 에너지가 -286.997, GaN를 형성하는 깃스 자유 에너지가 -77.7이며, TiN, ZrN 또는 Mg₃N₂에 대한 깃스 자유 에너지가 각각 -309.155, -336, -400.498로 식 2를 만족한다.
- [0058] 즉, AlN가 형성되는 것 보다 TiN, ZrN 또는 Mg₃N₂를 형성하려는 힘이 강하다는 의미이다. 식 2를 이용하여 물질을 선택할 경우, 깃스 자유 에너지는 온도의 함수이므로 동일 온도에서 비교되어야 함을 주의하여야 한다.

[0059] (표 2)

		$\Delta G_f(\text{at } 298\text{k}): \text{kJ/mol}$
질화물 반도체	Zn ₃ N ₂	39.3
	InN	15.6
	GaN	-77.7
	YN	-268
배선층	AlN	-286.997
합금 성분	VN	-191
	TiN	-309.155
	TaN	-226.575
	Mo ₂ N	-54.81
	Nb ₂ N	-220
	Mn ₄ N	-104.527
	ZrN	-336
	Mg ₃ N ₂	-400.498
	Cr ₂ N	-102

[0060]

[0061]

도 1B에서 나타내었듯이, 질화물 반도체와 금속 배선층(104)의 접합체는 약 400°C 또는 그 이하의 온도에서 열처리된다. 열처리는 질소 분위기 또는 산소 분위기의 가열로, RTA, 가열판 또는 레이저 장치를 이용하여 이루어질 수 있다. 질화물 반도체층의 결정성은 열처리에 의해 증가된다. 특히 깁스 자유에너지 룰에 의해 디자인된 것처럼, 질화물 반도체층 내부의 질소 원자는 금속 배선층(104) 물질 원소 또는 질화물 반도체를 내부 금속 원자 보다 비화학양론적 질화물을 유도한 합금 박막층(105) 원소 쪽으로 결합된다.

[0062]

저 저항 컨택층(106), 비화학양론적 질화물 MN_x는 0.5에서 50nm의 두께로 얇게 형성되어, 소위 터널링 효과를 통해 산소 공공을 통해 전자를 반대쪽층으로 이동시킨다. 도 2A와 도 2B는 비화학양론적 질화물 MN_x 삽입층에 의한 터널링 효과를 설명하는 에너지 밴드 다이어그램을 나타낸다. 여기서 Evac은 진공의 에너지 수준을, EF는 페르미 에너지 수준으로 전자 충전 확률이 50%가 되는 에너지 수준을 의미한다. Al층이 GaN층을 전기적으로 접촉하게 되면, 도 2A에 나타난 것과 같이 Al과 GaN 각각의 고유한 페르미 에너지 수준 차이로 인해 접촉 경계 면에서 쇼트키 에너지 장벽이 발생한다. 반도체 에너지 밴드가 굽은 형상이 되며, 전자가 접촉 계면에 형성된 쇼트키 에너지 장벽을 통과하는 현상이 억제된다. 그러나, Ti 원소가 접촉 계면에서 열처리에 의해 비화학양론적 질화물 TiN으로 질화되면, 전자가 쉽게 에너지 장벽을 통과할 수 있도록 에너지 우물이 형성된다.

[0063]

실시예 3

[0064]

박막 트랜지스터를 포함하는 반도체 장치에 관한 실시예이다. 도 3a 내지 도 3h는 도 1a 내지 도 2b에서 설명된 반도체 장치의 제조 방법의 공정도들이다.

[0065]

본 실시예에서 바륨 보론실리케이트 글라스, 알루미늄 보론실리케이트 글라스, 플라스틱 또는 PET, PEN, PES, 아크릴, 폴리이미드와 같은 레진 계통의 기판이 사용될 수 있다.

[0066]

이산화 실리콘층, 질화 실리콘층 또는 이들의 적층된 구조로 이루어진 절연층이 베이스층(102)으로 사용될 수 있다. 베이스층(102)은 스퍼터링 법 또는 CVD법 등이 사용된다. 베이스층(102)은 필수적인 것은 아니며, 용점이 낮은 기판을 사용할수록 필요하게 된다.

[0067]

산화물 반도체(103)는 스퍼터링법에 의해 25nm에서 500nm 두께로 베이스 필름 위에 형성된다. 예를 들어 아연 산화물(ZnO), InGaO₃(ZnO)₅, 마그네슘 아연 산화물(MgxZn1-xO), 카드뮴 아연 산화물(CdxZn1-xO), 카드뮴 산화물(CdO), 또는 In-Ga-Zn-O 기반의 비정질 산화물 반도체(a-IGZO)가 사용된다. 비정질 상태, 결정질 상태 또는 비정질과 결정질이 공존하는 마이크로 결정질 상태로 존재한다. 베이스 산화물로는 Zn-O계뿐만 아니라, In-O, Sn-O, Ga-O 또는 Hf-O 조성계가 사용될 수 있다.

[0068]

은(Ag), 알루미늄(Al), 금(Au), 구리(Cu) 또는 이들의 합금 박막층(105)으로 이루어진 금속 배선층(104)이 산화물 반도체층(103) 위에 형성된다. 짧은 시간 동안 스퍼터링법에 의해 동시 증착하여 매우 얇은 혼합 합금 박막

층(105)을 형성하고, 진공을 유지한 상태에서 연속적으로 금속 배선층(104) 금속을 50nm에서 500nm사이의 두께로 혼합 합금 박막층(105) 위에 증착된다.

- [0069] 적층 구조는 질소 충전 분위기의 가열로, RTA 또는 레이저 방법에 의해 약 400°C 온도로 가열한다. 금속 배선층(104) 또는 합금 박막층(105) 원소는 비화학양론적 비정질 산화물층을 형성하여 터널링 효과에 의한 전자 이동을 용이하게 한다.
- [0070] 게이트 절연층(107)은 두께 50nm에서 500nm 사이의 두께로 산화물 반도체(103) 위에 형성된다. 게이트 절연층(107)은 실리콘 산화물 또는 실리콘 질화물을 포함한 단일층 또는 이들의 적층 구조로 스퍼터링 법 또는 플라즈마 CVD등의 다양한 CVD법에 의해 형성된다. 게이트 절연층(107)으로는 알루미늄(Al₂O₃), 알루미늄 질화물(AlN), 타이타늄 산화물(TiO₂), 지르코니아(ZrO₂), 리튬 산화물(Li₂O), 칼륨 산화물(K₂O), 나트륨 산화물(Na₂O), 인듐 산화물(In₂O₃), 이트륨 산화물(Y₂O₃), 또는 칼슘 지르코늄 산화물(CaZrO₃) 단일층 또는 이들 중 적어도 둘 이상의 복합층으로 형성될 수 있다.
- [0071] 다음 제조 공정 단계에서, 게이트 전극(108)을 100nm에서 200nm 사이의 두께로 스퍼터링법에 의해 게이트 절연층(107) 위에 형성할 수 있다. 게이트 전극(108)은 (Ag), 알루미늄(Al), 금(Au), 구리(Cu) 또는 탄탈륨(Ta), 텅스텐(W), 타이타늄(Ti), 몰리브덴(Mo), 크로뮴(Cr), 니오븀(Nb) 또는 이 중 둘 이상의 합금 박막층(105) 또는 복합층으로 구성할 수 있다. 또는 인(P), 아르세닉(As)등이 도핑된 다결정 실리콘 반도체 물질로 형성될 수 있다.
- [0072] 형성된 TFT를 보호하기 위한 보호층(109)은 플라즈마 CVD, 스퍼터링법에 의해 실리콘 질화물, 실리콘 산화물, 실리콘 질소산화물, 실리콘 산소질화물, 알루미늄 산소질화물, 알루미늄 산화물, 다이아몬드상 탄소(DLC), 질화탄소 등의 절연층에 의해 형성된다. 보호층(109)은 단일층뿐 아니라 둘 이상의 복합층으로 형성되는 것도 가능하다.
- [0073] 실시예 4
- [0074] 도 4a 내지 도 4f는 일 실시예에 따른 예시적인 박막 장치를 내포한 디스플레이 장치의 구조를 나타낸 단면도이다.
- [0075] 도 4a 내지 도 4f를 참조하면, 실시예 4는 액정 표시 장치를 제조하는 방법을 나타낸다. 좀 더 자세하게는 스토리지 전극과 픽셀 전극이 연결된 역 스테거 타입의 TFT를 나타낸다. 회로 기관의 금속 배선층(104)에 전기적으로 연결하기 위한 기관 끝단 부에 위치한 터미널 (201)을 동시에 제조하는 방법이 도시되었다.
- [0076] 바륨 보론실리케이트 글라스, 알루미늄 보론실리케이트 글라스, 플라스틱 또는 PET, PEN, PES, 아크릴, 폴리이미드와 같은 레진 계통의 기관이 사용될 수 있다.
- [0077] 기관 위 전면에 도전층을 형성한 다음 제1 리소그래피가 실시된다. 레지스터 마스크를 형성하고 불필요한 영역을 에칭함에 의해 금속 배선층(104)과 전극(게이트 전극, 유지전극, 터미널 전극)이 형성된다.
- [0078] 게이트 전극(108)을 100nm에서 200nm 사이의 두께로 스퍼터링법에 의해 게이트 절연층(107) 위에 형성할 수 있다. 게이트 전극(108)은 은 (Ag), 알루미늄(Al), 금(Au), 구리(Cu) 또는 탄탈륨(Ta), 텅스텐(W), 타이타늄(Ti), 몰리브덴(Mo), 크로뮴(Cr), 니오븀(Nb) 또는 이 중 둘 이상의 합금 박막층(105) 또는 복합층으로 구성할 수 있다. 또는 인(P), 아르세닉(As)등이 도핑된 다결정 실리콘 반도체 물질로 형성될 수 있다.
- [0079] 게이트 절연층(107)은 두께 50nm에서 500nm 사이의 두께로 산화물 반도체(103) 위에 형성된다. 게이트 절연층(107)은 실리콘 산화물 또는 실리콘 질화물을 포함한 단일층 또는 이들의 적층 구조로 스퍼터링 법 또는 플라즈마 CVD등의 다양한 CVD법에 의해 형성된다. 게이트 절연층(107)으로는 알루미늄(Al₂O₃), 알루미늄 질화물(AlN), 타이타늄 산화물(TiO₂), 지르코니아(ZrO₂), 리튬 산화물(Li₂O), 칼륨 산화물(K₂O), 나트륨 산화물(Na₂O), 인듐 산화물(In₂O₃), 이트륨 산화물(Y₂O₃), 또는 칼슘 지르코늄 산화물(CaZrO₃) 단일층 또는 이들 중 적어도 둘 이상의 복합층으로 형성될 수 있다.
- [0080] 다음 제조 방법으로 산화물 반도체(103)는 스퍼터링법에 의해 25nm에서 500nm 두께로 베이스 필름 위에 형성할 수 있다. 예를 들어 아연 산화물(ZnO), InGaO₃(ZnO)₅, 마그네슘 아연 산화물(MgxZn_{1-x}O), 카드뮴 아연 산화물(CdxZn_{1-x}O), 카드뮴 산화물(CdO), 또는 In-Ga-Zn-O 기반의 비정질 산화물 반도체(a-IGZO)가 사용된다, 비정질 상태, 결정질 상태 또는 비정질과 결정질이 공존하는 마이크로 결정질 상태로 존재한다. 베이스 산화물로는 Zn-O계 뿐만 아니라, In-O, Sn-O, Ga-O 또는 Hf-O 조성계가 사용될 수 있다.

- [0081] 은(Ag), 알루미늄(Al), 금(Au), 구리(Cu) 또는 이들의 합금 박막층(105)으로 이루어진 금속 배선층(104)이 산화물 반도체층 위에 형성된다. 짧은 시간 동안 스퍼터링법에 의해 동시 증착하여 매우 얇은 혼합 합금 박막층(105)을 형성하고, 진공을 유지한 상태에서 연속적으로 금속 배선층(104) 금속을 50nm에서 500nm사이의 두께로 혼합 합금 박막층(105) 위에 증착된다.
- [0082] 제2 리소그래피 공정을 실시한다. 레지스터 마스크를 형성하고 불필요한 영역을 식각하여 금속 배선층(104)과 전극(소스전극)이 형성된다. 습식 식각 또는 건식 식각이 일반적으로 사용된다. 실시예 3에서는 산화물 반도체층(103), 저 저항 컨택층(106), 도전층을 식각하여 TFT 영역에 형성하고, Al 또는 Cu층을 SiCl₄, Cl₂, and BC13 반응 가스 또는 이 중 둘 이상의 혼합 가스에 의해 식각된다. 레지스터 마스크를 제거한 후, 인듐 산화물(In₂O₃) 또는 ITO(In₂O₃SnO₂)와 같은 투명한 전도층을 스퍼터링 법 또는 진공 증발 증착등에 의해 전면 형성된다.
- [0083] 세 번째 리소그래피 공정을 실시한다. 레지스터 마스크에 의해 의 일부를 동시에 식각하여 반도체 영역(103), 소스 전극(208), 드레인 전극(209), 픽셀 전극(210)이 형성된다.
- [0084] 실시예 4에서는 ITO로 이루어진 픽셀 전극이 첫번째로 질산, 염산 또는 이들의 혼합 용액에 의해 선택적으로 습식 식각 되고, 전도층, 저 저항 컨택층(106) 그리고 산화물 반도체층(103)의 일부분이 건식 식각되어 오픈 부가 형성된다. 그러나, 적절한 반응 가스를 선택함에 의해 건식 식각으로만 공정을 진행할 수도 있고, 적절한 반응액을 선택함에 의해 습식 식각으로만 공정을 진행할 수도 있다.
- [0085] 오픈 부는 비정질 반도체층의 중간 영역까지 식각되어 비정질 반도체층의 오목한 영역을 형성한다. 전도층은 오픈 부에 의해 소스 전극(208)과 드레인 전극(209)이 분리되어 형성되고, 저 저항 컨택층(106)도 소스 부, 드레인 부 영역이 구별되게 된다. 소스 전극과 접촉하고 있는 투명 전도층은 소스 전극(208)을 덮고, 이어지는 타 제조 공정에서, 특히 러빙 공정에서 정전기를 방지하는 역할을 한다.
- [0086] 투명 전도층은 상기 언급된 ITO층을 식각하는 동안 제거된다. 한편, 스토리지 배선(203)이 세 번째 리소그래피 공정에 의해 형성된다. 스토리지배선(203)과 픽셀 전극(210) 사이에 스토리지배선(203) 위에 형성된 절연층을 유전체로 하여 축전 용량이 형성된다. 터미널(201)부의 투명전극도 세 번째 리소그래피 공정에 의해 형성된다. 레지스터 마스크를 제거한 다음, 다시 터미널 (201) 영역에 부분적인 레지스터 마스크를 형성하여 터미널 (201) 부를 덮고 있는 절연층을 선택적으로 제거한다 (도 4e).
- [0087] 도 5는 본 발명의 예시적인 박막 장치를 내포한 디스플레이 장치의 픽셀 구조를 나타낸 평면도이다.
- [0088] 레지스터 마스크는 웨도우 마스크를 이용하거나 스크린 프린팅법에 의해 형성한다. 도 4E는 도 5에 도시된 AA'와 BB' 라인을 따라 절단된 단면을 나타낸다. 이상 세 번의 리소그래피를 통해 역 스테거 타입의 n 채널형 TFT와 스토리지 전극이 완성된다. 각 픽셀에 해당하는 매트릭스 위치에 TFT를 배치함으로써, 액티브 매트릭스 액정 표시 장치를 제조할 수 있게 된다. 이후 공정에서 폴리이미드 레진 성분을 포함한 배향층(220)이 액티브 매트릭스 기판 위에 형성된다.
- [0089] 액티브 매트릭스 기판과 대향 전극(231)과 대향 배향층(232)이 형성된 대향 기판(230) 사이에 액정(240)을 주입하고 스페이서에 의해 일정한 셀갭을 유지하며 실런트 접합한다. TN 액정 또는 VA 액정이 주입된다. 플렉서블 인쇄 회로(FPC)는 터미널 (201)에 연결된다. 플렉서블 인쇄 회로(FPC)는 폴리이미드 등의 레진 기판 위에 인쇄된 배선으로 형성되고, 이방성 전도 필름(229)을 통해 터미널(201)에 연결된다. 이방성 전도 필름(229)은 수백 um 크기의 전도성 표면을 지닌 입자(227)들을 포함하여 접착제(225), 에 의해 고정된다. 입자(227)들은 터미널(201) 이방성 전도 필름 위에 형성된 구리 배선(228)을 전기적으로 연결된다. 기계적 강도를 향상하기 위해 레진(226)이 전도성 입자(227)와 함께 형성되기도 한다.
- [0090] 상기에 기술된 액정 디스플레이 장치에 관한 실시예 4는 반도체 장치 실시예 1 또는 2와 결합될 수 있다.

산업이용 가능성

- [0091] 본 발명에 따른 어레이 기판 및 이를 갖는 표시장치에 의하면 단위 화소의 개구율 및 시야각이 향상된다. 따라서 본 발명은 표시장치의 표시품질을 향상시키는 기술에 적용될 수 있다.
- [0092] 앞서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예들을 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할

수 있을 것이다.

도면의 간단한 설명

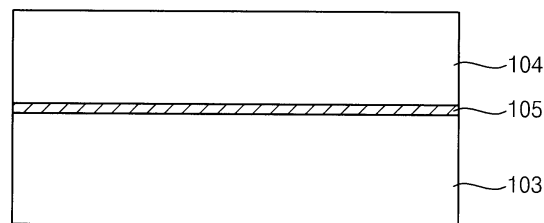
- [0093] 도 1a, 1b는 일 실시예에 따른 반도체 장치에서 이중 집합 반도체 장치에서 산화물 반도체와 금속 배선층 사이를 연결하는 저 저항 컨택층을 형성하는 방법을 설명하는 단면도들이다.
- [0094] 도 2a 및 도 2b는 도 1a 및 도 1b에서 도시된 저 저항 컨택층을 통한 터널링 효과를 설명하는 밴드 다이어그램이다.
- [0095] 도 3a 내지 도 3h는 도 1a 내지 도 2에서 설명된 반도체 장치의 제조 방법의 공정도들이다.
- [0096] 도 4a 내지 도 4f는 일 실시예에 따른 예시적인 박막 장치를 내포한 디스플레이 장치의 구조를 나타낸 단면도이다.
- [0097] 도 5는 본 발명의 예시적인 박막 장치를 내포한 디스플레이 장치의 픽셀 구조를 나타낸 평면도이다.

<도면의 주요부분에 대한 부호의 설명>

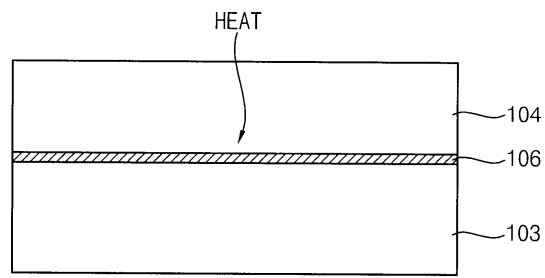
- [0099] 101 : 기판 102 : 베이스층
- [0100] 103 : 산화물 반도체 104 : 금속 배선층
- [0101] 105 : 합금 박막층
- [0102] 106 : 저 저항 컨택층 107 : 게이트 절연층
- [0103] 108 : 게이트 전극 109 : 보호층
- [0104] 201 : 터미널 202 : 게이트 배선
- [0105] 203 : 스토리지 배선 204 : 데이터 배선
- [0106] 205 : 투명 전도층 208 : 제 1 레지스터 마스크
- [0107] 213 : 제 3 레지스터 마스크 206 : 소스 영역
- [0108] 207 : 드레인 영역 208 : 소스 전극
- [0109] 209 : 드레인 전극 210 : 픽셀 전극
- [0110] 220 : 제 1 배향층 230 : 대향 기판
- [0111] 225 : 접착제 226 : 레진
- [0112] 227 : 도전 입자 228 : 구리 배선
- [0113] 229 : 이방성 전도 필름 231 : 대향 전극
- [0114] 232 : 제 2 배향층 240 : 액정

도면

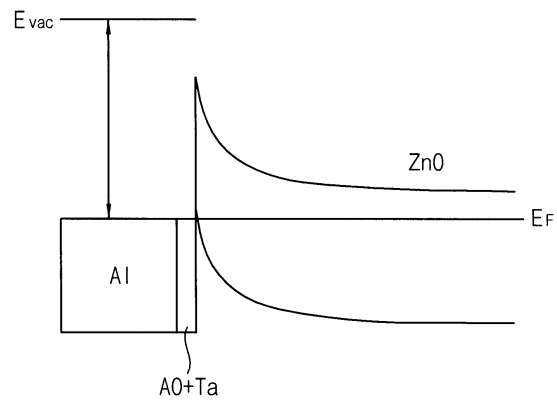
도면1a



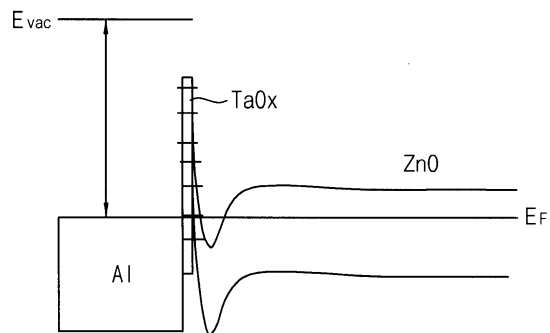
도면1b



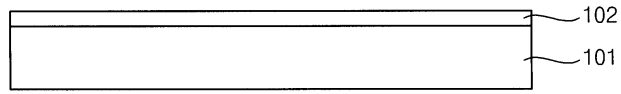
도면2a



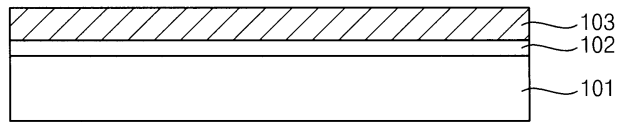
도면2b



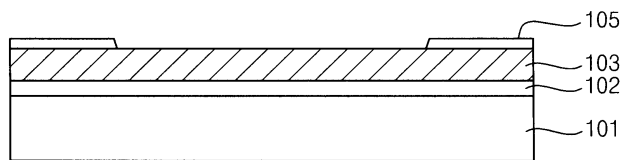
도면3a



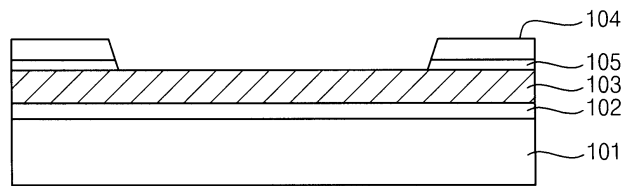
도면3b



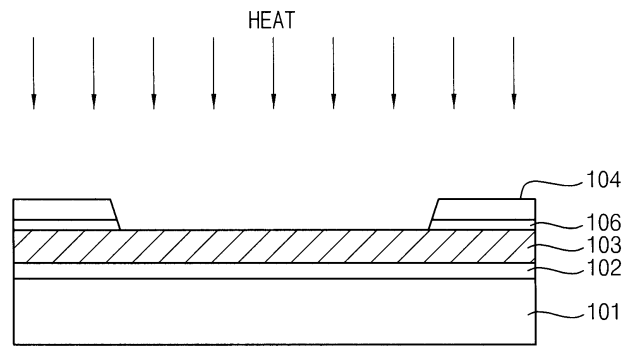
도면3c



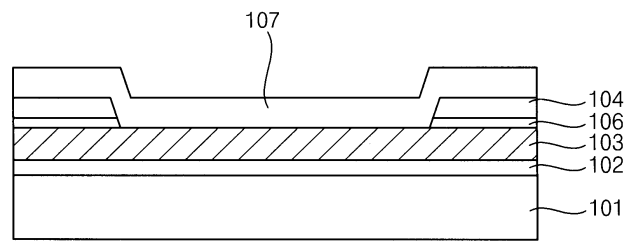
도면3d



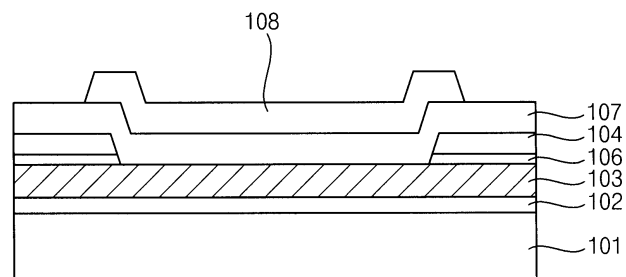
도면3e



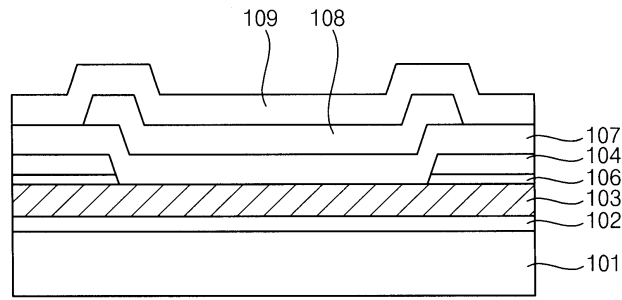
도면3f



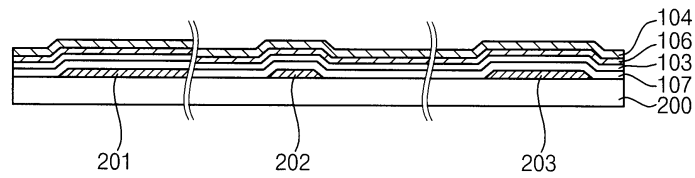
도면3g



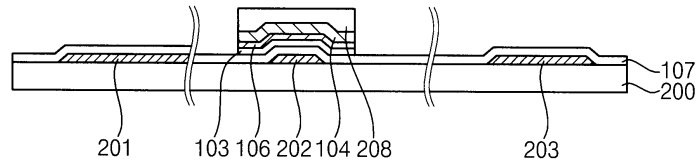
도면3h



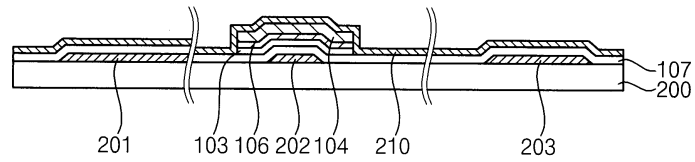
도면4a



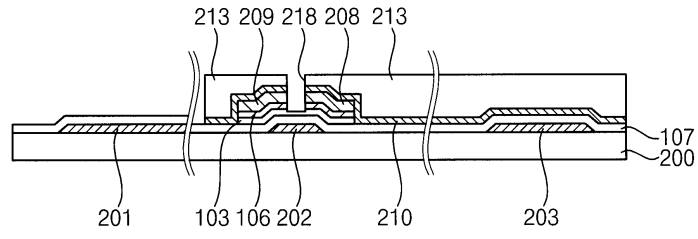
도면4b



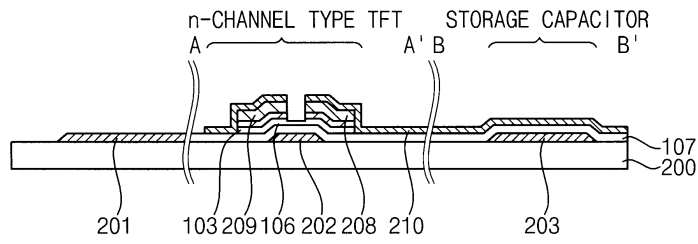
도면4c



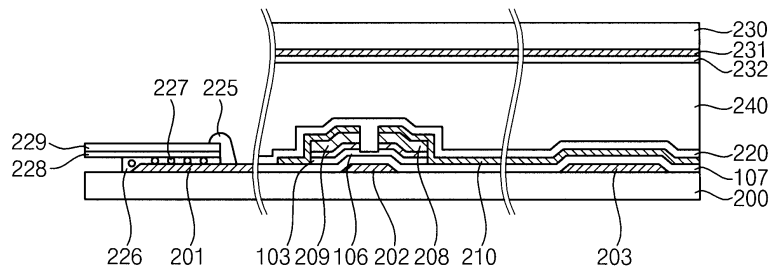
도면4d



도면4e



도면4f



도면5

