



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

215 706

(11) (B 1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 19 12 79
(21) PV 9041-79

(51) Int. Cl.³

H 03 K 13/02

(40) Zveřejněno 31 08 81
(45) Vydáno 15 03 84

(75)
Autor vynálezu

VLČEK JIŘÍ ing.,
LUSKA JAROMÍR ing.CSc., PRAHA

(54) Zapojení převodníku napětí na binární kód

1

Vynález se týká zapojení převodníku, který převádí vstupní analogové napětí jedné nebo obou polarit na binární kód. Vstup převodníku je galvanicky oddělen od výstupní digitální části.

Jsou známá zapojení převodníků založená na váhovém principu. Mají však tu nevýhodu, že se nedají snadno galvanicky oddělit a je zapotřebí více oddělujících prvků elektro-mechanických - relé - nebo elektronických - transformátory, optoelektronické vazební členy apod. Jiná známá zapojení, která používají principu dvojí integrace a umožňují zpracovávat vstupní napětí jedné nebo obou polarit se sice dají lépe galvanicky oddělit, jsou však náročná na počet a přesnost použitých součástí. Jiná známá zapojení jsou založená na principu vyvážených nábojů, ale mohou z principiálních důvodů zpracovávat vstupní napětí jen jedné polarity.

Zapojení převodníku napětí na binární kód uvedené nevýhody odstraňuje. Podle podstaty vynálezu se toho dosáhne tím, že obě vstupní svorky, připojené na zdroj vstupního napětí, jsou připojeny na vstupy symetrického zesilovače. K jeho neinvertujícímu vstupu je současně připojen přes první odpor přepínač, který je při vstupním napětí obou polarit přepojen na zdroj vztažného nulového napětí a při vstupním napětí jedné polarity přepojen jednak na zdroj referenčního napětí, jednak na neinvertující vstup integrátoru, na jehož invertující vstup je přes druhý odpor připojen výstup symetrického zesilovače. Výstup integrátoru je připojen na první vstup komparátoru, jehož

výstup je připojen na první vstup prvního klopného obvodu. Jeho první výstup je spojen se spínačem, který je připojen přes třetí odpor k invertujícímu vstupu integrátoru a ke zdroji normálového napětí. Druhý výstup prvního klopného obvodu je připojen na nulovací vstup druhého klopného obvodu. Zdroj řídicí frekvence je přes první galvanicky oddělující obvod, který je zdrojem normálového napětí a zdrojem stejnosměrného napětí pro napájení symetrického zesilovače, integrátoru, komparátoru a obou klopných obvodů, připojen na hodinové vstupy obou klopných obvodů. Zároveň je připojen na nastavovací vstup druhého klopného obvodu, jehož první vstup je připojen k druhému vstupu komparátoru a současně ke zdroji vztažného nulového napětí. Zdroj řídicí frekvence je dále připojen k čítacímu vstupu děliče, jehož výstup je připojen k blokovacímu vstupu čítače. Na čítací vstup čítače je přes druhý galvanicky oddělující obvod připojen výstup druhého klopného obvodu. Na uvolňovací vstup čítače a nulovací vstup děliče je připojen zdroj vzorkovací frekvence. Paralelní výstupy čítače jsou výstupními svorkami převodníku.

Zapojení podle vynálezu má malý počet oddělujících členů, umožňuje díky svému symetrickému vstupu a způsobu digitálního vyhodnocení vysoké potlačení nežádoucích signálů a obsahuje malý počet přesných součástí. Převodník podle vynálezu je řízen jedinou frekvencí, na jejíž stabilitě nezávisí přesnost převodu a která slouží též k získání napájecího napětí galvanicky oddělené části převodníku.

Příklad zapojení podle vynálezu je dále popsán pomocí přiloženého výkresu. Vstupní analogové napětí je přivedeno ze zdroje U1 na vstupní svorky 1, 2 a odtud přes vysokoohmové odpory R4, 45 do symetrického zesilovače Z1, aby se potlačily nežádoucí signály, které se naindukují na přívozech od zdroje U1 vstupního napětí vůči zemi. Symetrický zesilovač Z1 plní funkci impedančního přizpůsobení. Je přemostěn odporem R6. Jeho výstupní proud je stejný pro vstupní napětí jedné nebo obou polarit při přepnutí přepínače P se dvěma polohami a současně změně druhého odporu R2. Na invertující vstup integrátoru Z2 se přes druhý odpor R2 přivádí proud z výstupu symetrického zesilovače Z1 a na neinvertující vstup integrátoru Z2 se přivádí napětí ze zdroje U3 referenčního napětí. Směr integrace se mění spínačem S1, který je řízen z prvního výstupu 11 prvního klopného obvodu D1. Spínač S1 je přes třetí odpor R3 připojen na neinvertující vstup integrátoru Z2, který je přemostěn kondenzátorem C. První klopný obvod D1 se přepíná v rytmu řídicí frekvence f1 v závislosti na výstupu komparátoru Z3, který určuje průchody výstupního napětí z integrátoru Z2 ze zdroje U2 vztažného nulového napětí. Druhý výstup 12 prvního klopného obvodu D1 je připojen na nulovací vstup r2 druhého klopného obvodu D2, na jehož nastavovací vstup s2 a hodinový vstup c2 je přivedena řídicí frekvence f1 ze zdroje F1 řídicí frekvence. Vstup d2 druhého klopného obvodu D2 je připojen na zdroj U2 vztažného nulového napětí. Na výstupu 22 druhého klopného obvodu D2 se získá sled impulsů v rytmu řídicí frekvence f1, jejichž výstupní frekvence f0 je úměrná vstupnímu napětí a to v rozsahu od 0 až do f1.

Výstupní frekvence f0 je přes druhý galvanicky oddělující obvod T a neznázorněný tvarovač přivedena na čítací vstup čítače B. Vstupní řídicí frekvence f1 je vedena ze zdroje F1 řídicí frekvence jednak přímo na vstup děliče A, jednak přes první galvanicky oddělující obvod N na hodinové vstupy c1, c2 klopných obvodů D1, D2 a nastavovací vstup s2 druhého klopného obvodu D2. V galvanicky oddělujícím obvodu N je vstupní frekvence f1 též zesílena a po galvanickém oddělení usměrněna. Z galvanicky oddělujícího obvodu N se pak ze

zdroje U_5 stejnosměrného napětí napájí symetrický zesilovač Z_1 , integrátor Z_2 , komparátor Z_3 a oba klopné obvody D_1, D_2 . Tak je dosaženo galvanického oddělení vstupu převodníku od jeho logických obvodů, které zpracovávají výstupní frekvenci f_0 na žádaný binární kód.

S výhodou lze volit řídicí frekvenci f_1 tak, aby frekvence f_m byla stejná jako rušící frekvence např. síťová nebo její celý podíl, čímž se dosáhne dalšího potlačení rušení vstupního napětí. Dělič A je nulován vzorkovací frekvencí f . Výstupní čítač B , který počítá do čísla 2^b , je ovládán na svém čítacím vstupu výstupní frekvencí f_0 a je zastavován prostřednictvím frekvence f_m , přiváděné na jeho blokovací vstup. Po zablokování čítače B je možno na jeho paralelních výstupech b_1, b_2, b_3, b_4, b_b odebírat výsledný binární kód o b bitech, který je pro vstupní napětí záporné polarizace v doplnku +1. Vzorkovací frekvence f pak uvolní vstup čítače B a vynuluje dělič A . Pak výstupní čítač B začne opět počítat podle příchozí výstupní frekvence f_0 . Musí platit $f < f_m$, aby v čítači B byl výstupní kód po dobu $t = 1/f - 1/f_m$, která je potřebná pro jeho zpracování.

Zapojení převodníku podle vynálezu lze s výhodou použít všude tam, kde je nutný převod analogové hodnoty napětí na digitální hodnotu a kde je nebezpečí vzniku velkých rušivých proudů nebo napětí na straně vstupů a kde se tudíž požaduje galvanické oddělení vstupů od logických obvodů pro další zpracování.

P R Ě D M Ě T V Y N Á L E Z U

Zapojení převodníku napětí na binární kód s galvanicky odděleným vstupem, se vstupním symetrickým zesilovačem, integrátorem, komparátorem, spínačem a prvním klopným obvodem, vyznačené tím, že obě vstupní svorky (1, 2), připojené na zdroj (U_1) vstupního napětí, jsou připojeny na vstupy symetrického zesilovače (Z_1), k jehož neinvertujícímu vstupu je současně připojen přes první odpor (R_1) přepínač (P), který je pro vstupní napětí obou polarit přepojen na zdroj (U_2) vztažného nulového napětí a pro vstupní napětí jedné polarizace přepojen jednak na zdroj (U_3) referenčního napětí, jednak na neinvertující vstup integrátoru (Z_2), na jehož invertující vstup je přes druhý odpor (R_2) připojen výstup symetrického zesilovače (Z_1), přičemž výstup integrátoru (Z_2) je připojen na první vstup komparátoru (Z_3), jehož výstup je připojen na první vstup (d_1) prvního klopného obvodu (D_1), jehož první výstup (1_1) je spojen se spínačem (S_1), který je připojen přes třetí odpor (R_3) k invertujícímu vstupu integrátoru (Z_2) a ke zdroji (U_4) normálního napětí, druhý výstup (1_2) prvního klopného obvodu (D_1) je připojen na nulovací vstup (r_2) druhého klopného obvodu (D_2), zatímco zdroj (F_1) řídicí frekvence je přes první galvanicky oddělující obvod (N), který je zdrojem (U_4) normálního napětí, zdrojem (U_3) referenčního napětí a zdrojem (U_5) stejnosměrného napětí pro napájení symetrického zesilovače (Z_1), integrátoru (Z_2), komparátoru (Z_3) a obou klopných obvodů (D_1, D_2), připojen na hodinové vstupy (c_1, c_2) obou klopných obvodů (D_1, D_2) a zároveň na nastavovací vstup (s_2) druhého klopného obvodu (D_2), jehož první vstup (d_2) je připojen k druhému vstupu komparátoru (Z_3) a současně ke zdroji (U_2) vztažného nulového napětí, a zdroj (F_1) řídicí frekvence je dále připojen k čítacímu vstupu děliče (A), jehož výstup je připojen k blokovacímu vstupu čítače (B), na jehož čítací vstup je přes druhý galvanicky oddělující obvod (7) připojen výstup (2_2) druhého klopného obvodu (D_2), přičemž na uvolňovací vstup čítače (B) a nulovací vstup děliče (A) je připojen zdroj (F_2) vzorkovací frekvence, a paralelní výstupy (b_1, b_2, b_3, b_4, b_b) čítače (B) výstupními svorkami převodníku.

