

(21)申請案號：100142592

(22)申請日：中華民國 100 (2011) 年 11 月 21 日

(51)Int. Cl. : **H01L21/50 (2006.01)**

(30)優先權：2010/11/22 美國

61/415,862

2011/10/07 美國

13/267,946

(71)申請人：鈺橋半導體股份有限公司 (中華民國) BRIDGE SEMICONDUCTOR CORPORATION (TW)

臺北市北投區立德路 157 號 3 樓

(72)發明人：林文強 LIN, CHARLES W. C. (US) ; 王家忠 WANG, CHIA CHUNG (TW)

(74)代理人：蘇建太

申請實體審查：有 申請專利範圍項數：37 項 圖式數：10 共 99 頁

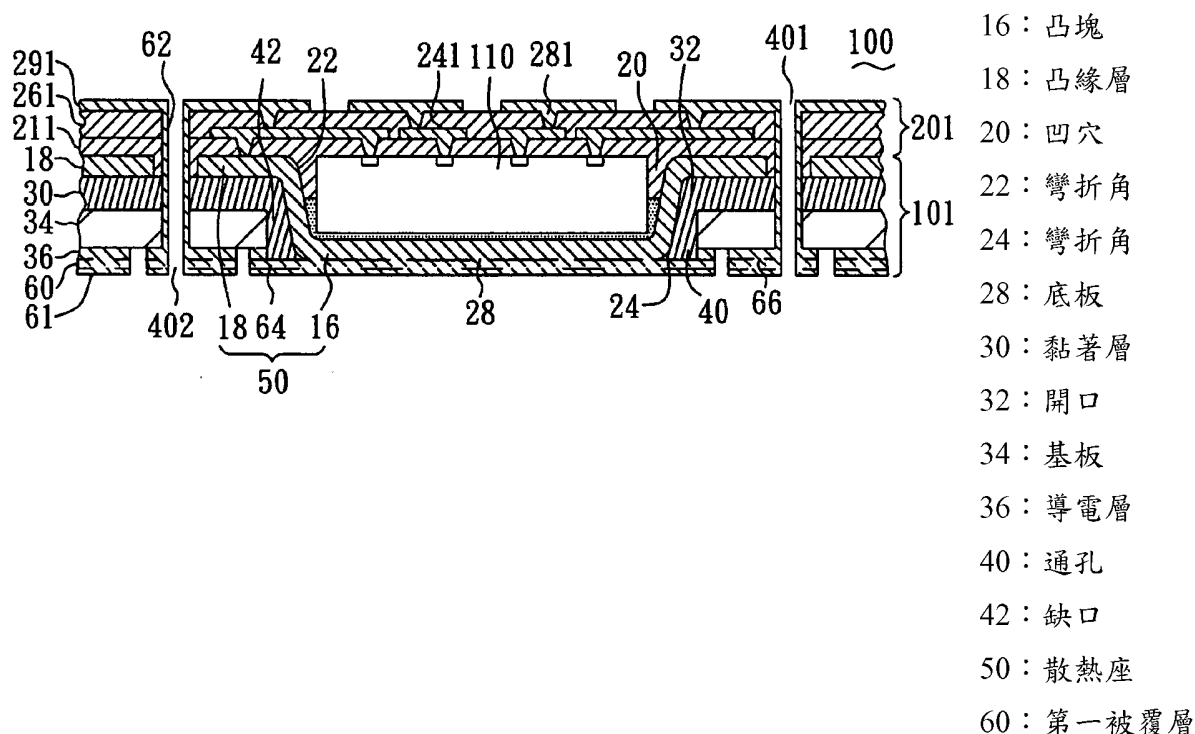
(54)名稱

具有凸塊 / 基座 / 凸緣層散熱座及增層電路之堆疊式半導體組體製法

METHOD OF MAKING STACKABLE SEMICONDUCTOR ASSEMBLY WITH BUMP/BASE/FLANGE HEAT SPREADER AND BUILD-UP CIRCUITRY

(57)摘要

一種堆疊式半導體組體之製法，其中該組體包括半導體元件、散熱座、黏著層、端子、被覆穿孔及增層電路。該散熱座包括一凸塊、一基座及一凸緣層。該凸塊定義出一凹穴。該半導體元件設置於凸塊上且位於凹穴處，並電性連接至該增層電路，並與凸塊熱連結。該凸塊自基座延伸進入黏著層之開口，且該基座自凸塊朝相反於凹穴之方向垂直延伸，同時該凸緣層於凹穴入口處自凸塊側向延伸。該增層電路可提供半導體元件之訊號路由。該被覆穿孔可提供增層電路與端子間之訊號路由。該散熱座可為半導體元件提供散熱作用。



61：第二被覆層
62：連接層
64：基座
66：端子
100：半導體組體
101：導熱板
110：半導體晶片
201：增層電路
211：第一介電層
241：第一導線
261：第二介電層
281：第二盲孔
291：第二導線
401：穿孔
402：被覆穿孔

(21)申請案號：100142592

(22)申請日：中華民國 100 (2011) 年 11 月 21 日

(51)Int. Cl. : **H01L21/50 (2006.01)**

(30)優先權：2010/11/22 美國

61/415,862

2011/10/07 美國

13/267,946

(71)申請人：鈺橋半導體股份有限公司 (中華民國) BRIDGE SEMICONDUCTOR CORPORATION (TW)

臺北市北投區立德路 157 號 3 樓

(72)發明人：林文強 LIN, CHARLES W. C. (US) ; 王家忠 WANG, CHIA CHUNG (TW)

(74)代理人：蘇建太

申請實體審查：有 申請專利範圍項數：37 項 圖式數：10 共 99 頁

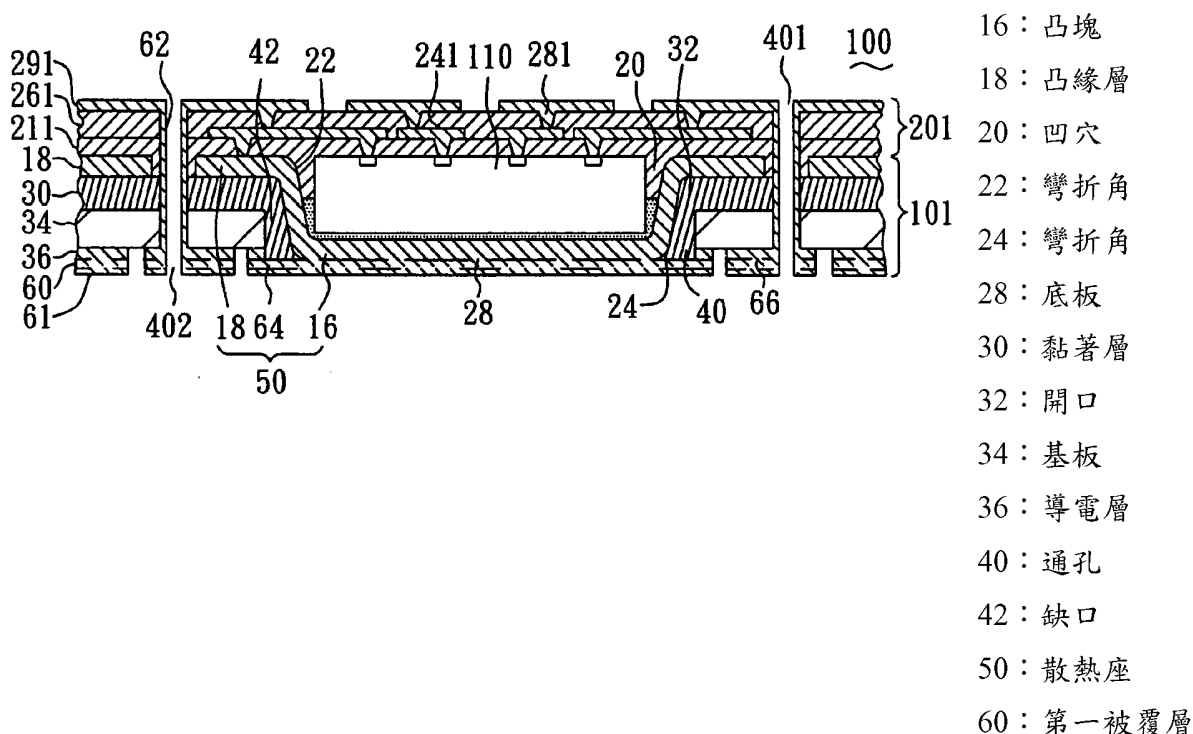
(54)名稱

具有凸塊 / 基座 / 凸緣層散熱座及增層電路之堆疊式半導體組體製法

METHOD OF MAKING STACKABLE SEMICONDUCTOR ASSEMBLY WITH BUMP/BASE/FLANGE HEAT SPREADER AND BUILD-UP CIRCUITRY

(57)摘要

一種堆疊式半導體組體之製法，其中該組體包括半導體元件、散熱座、黏著層、端子、被覆穿孔及增層電路。該散熱座包括一凸塊、一基座及一凸緣層。該凸塊定義出一凹穴。該半導體元件設置於凸塊上且位於凹穴處，並電性連接至該增層電路，並與凸塊熱連結。該凸塊自基座延伸進入黏著層之開口，且該基座自凸塊朝相反於凹穴之方向垂直延伸，同時該凸緣層於凹穴入口處自凸塊側向延伸。該增層電路可提供半導體元件之訊號路由。該被覆穿孔可提供增層電路與端子間之訊號路由。該散熱座可為半導體元件提供散熱作用。



六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體組體之製法，尤指一種堆疊式半導體組體之製法，其中該組體包括半導體元件、散熱座、黏著層、被覆穿孔及增層電路。

【先前技術】

改善效能及降低尺寸與重量仍是電子系統領域持續追求之目標。目前已提出許多符合上述需求之技術方案，其藉由使用不同結構、材料、設備、製程節點及製作方法，以兼顧提高效能、即時上市及降低成本之考量。於所有技術方案中，封裝層級之技術創新被認為是最符合經濟效益且最不耗時之選擇。此外，當欲進一步將晶片尺寸降至奈米等級以下時，材料、設備及製程開發等昂貴費用將導致該技術面臨極大瓶頸，故目前已著重於封裝技術，以因應更智慧且更微小裝置之需求。

如球閘陣列封裝(BGA)及方形扁平無引腳封裝(QFN)之塑膠封裝通常是每一封裝體中包含一枚晶片。為了提供更多功能並將訊號延遲現象降至最低，目前可行之方式是將多枚晶片堆疊於一封裝體中，以縮短連線長度並維持最小足印(footprint)。例如，疊置具有各自記憶體晶片之行動處理器晶粒，以改善元件速度、足印及功率消耗。此外，於模組中疊置多枚晶片之方式，可於不同製程節點提供包括邏輯、記憶、類比、RF、整合型被動元件(IPC)及微機電

系統(MEMS)等不同功能晶片，如28奈米高速邏輯及130奈米類比。

雖然文獻已報導許多三維封裝結構，但仍有許多效能相關之缺失尚待改善。例如，於有限空間中疊置多個元件往往會面臨到元件間雜訊干擾(如電磁干擾)等不理想狀況。據此，當元件進行高頻率電磁波訊號傳輸或接收時，上述問題將不利於堆疊元件之訊號完整性。此外，由於半導體元件於高溫操作下易產生效能衰退甚至立即故障之問題，因此包裹於熱絕緣材料(如介電材)內之晶片所產生的熱聚集會對組體造成嚴重損害。據此，目前亟需發展一種可解決電磁干擾問題、加速散熱效果並維持低製作成本之堆疊式半導體組體。

Eichelberger之美國專利案號5,111,278揭露一種三維堆疊式之多晶片模組，其係將半導體晶片設置於平坦基板上，並使用封裝材進行密封，其中該封裝材具有形成於連接墊上之盲孔。設置於封裝材上之導電圖案係延伸至顯露之打線墊，俾從模組上表面連接該些半導體晶片。該模組佈有被覆穿孔，以連接上下電路，進而達到嵌埋式晶片之三維堆疊結構。然而，大部分塑膠材料的導熱性偏低，故該塑膠組體會有熱效能差且無法對嵌埋晶片提供電磁屏蔽保護作用之缺點。

Mowatt等人之美國專利案號5,432,677、Miura等人之美國專利案號5,565,706、Chen等人之美國專利案號6,680,529及Sakamoto等人之美國專利案號7,842,887揭露多種嵌埋式

模組，以解決製作良率及可靠度問題。然而，該些專利案所提出的方案皆無法對散熱問題提出適當的解決方式，或者無法對嵌埋式晶片提供有效的電磁屏蔽保護作用。

Hsu之美國專利案號7,242,092及Wong之美國專利案號7,656,015揭露一種組體，其係將半導體晶片容置於底部具有金屬層之凹穴中，以加速嵌埋晶片之散熱效果。除了該結構底部金屬層散熱效果有限之問題外，由於基板上之凹穴係藉由對基板進行雷射或電漿蝕刻而形成，故其主要缺點還包括形成凹穴時導致產量偏低及成本偏高之問題。

Enomoto之美國專利案號7,777,328揭露一種散熱增益型組體，其係藉由微加工或磨除部分金屬之方式，形成設置晶粒用之凹穴。金屬板下凹深度控制不一致之現象易造成量產時產量及良率偏低之問題。此外，由於厚金屬板會阻擋垂直連接至底表面之電性連接路徑，故必須先形成佈有通孔之樹脂，接著再於金屬塊中形成金屬化鍍覆通孔。但此繁複的製程會導致製作良率過低及成本過高。

Ito等人之美國專利案號7,957,154揭露一種組體，其係於開口內表面上形成金屬層，俾可保護嵌埋之半導體晶片免於電磁干擾。與其他形成開口之方法一樣，樹脂開孔形成不一致之現象將導致此組體面臨製備產量差及良率低之問題。此外，由於金屬係藉由電鍍製程形成於開口中，故其厚度有限，對封裝之熱效能沒什麼改善效果。

有鑑於現有高功率及高效能半導體元件封裝種種發展情形及限制，目前仍需發展一種符合成本效益、產品可靠、

適於生產、多功能、提供良好訊號完整性、具有優異散熱性之堆疊式半導體組體。

【發明內容】

本發明提供一種堆疊式半導體組體之製法，其中該組體包括一半導體元件、一散熱座、一黏著層、一端子、一被覆穿孔及一增層電路。該堆疊式半導體組體之製法可包括以下步驟：提供一凸塊、一凸緣層、一黏著層及一具有通孔之導電層，其中該凸塊定義出面朝第一垂直方向之一凹穴，且於相反於第一垂直方向之第二垂直方向上覆蓋凹穴，同時該凸塊鄰接凸緣層並與凸緣層一體成型，且自凸緣層朝第二垂直方向延伸，而凸緣層則自凸塊朝垂直於該等垂直方向之側面方向側向延伸；然後藉由該黏著層將凸緣層及凸塊黏附至導電層，其中該黏著層介於凸緣層與導電層之間及凸塊與導電層之間，此步驟包括將凸塊對準該通孔；然後將包含一或多個接觸墊之半導體元件設置於凸塊上且位於凹穴處；提供一增層電路於半導體元件及凸緣層上，其中增層電路自半導體元件及凸緣層朝第一垂直方向延伸，且電性連接至半導體元件；提供一基座，其鄰接凸塊並自凸塊朝第二垂直方向延伸，且於第二垂直方向上覆蓋凸塊並自凸塊側向延伸，同時該基座包括鄰接該通孔且與凸塊保持距離之該導電層一選定部位；提供一端子，其與基座及凸塊保持距離，並朝第二垂直方向延伸於黏著層外，同時該端子包括與該通孔及凸塊保持距離之該導電

層一選定部位；以及提供一被覆穿孔，其朝該等垂直方向延伸貫穿黏著層，以提供增層電路與端子間之電性連接。

將凸緣層及凸塊黏附至導電層之步驟可包括：將未固化之黏著層設置於凸緣層與導電層之間，此步驟包括將該凸塊對準黏著層之開口及導電層之通孔；然後使黏著層流入通孔內介於凸塊與導電層間之一缺口；以及固化黏著層。

將黏著層設置於凸緣層與導電層間之步驟可包括：將黏著層設置於凸緣層上，此步驟包括將凸塊對準黏著層之開口；以及將導電層設置於黏著層上，此步驟包括將凸塊對準導電層之通孔。

將導電層設置於黏著層上之步驟可包括：將導電層單獨設置於黏著層上，俾使導電層接觸黏著層，而該通孔僅延伸貫穿導電層。或者，將導電層設置於黏著層上之步驟可包括：將一層壓結構設置於黏著層上，其中該層壓結構包括該導電層及一基板，俾使基板接觸並介於導電層與黏著層之間，導電層則與黏著層保持距離，且該通孔延伸貫穿導電層及基板。抑或，將導電層設置於黏著層上之步驟可包括：將導電層及一載體設置於黏著層上，俾使導電層接觸並介於黏著層與載體之間，然後待黏著層固化後再移除該載體。

本發明亦提供更包括一基板之堆疊式半導體組體製法。該堆疊式半導體組體之製法可包括以下步驟：提供一凸塊、一凸緣層、一黏著層及一具有通孔之基板，其中凸塊定義出面朝第一垂直方向之一凹穴，且於相反於第一垂

直方向之第二垂直方向上覆蓋凹穴，同時凸塊鄰接凸緣層並與凸緣層一體成型，且自凸緣層朝第二垂直方向延伸，而凸緣層則自凸塊朝垂直於該等垂直方向之側面方向側向延伸；然後藉由該黏著層將凸緣層及凸塊黏附至基板，其中黏著層介於凸緣層與基板之間及凸塊與基板之間，此步驟包括將凸塊對準通孔；然後將包含一或多個接觸墊之半導體元件設置於凸塊上且位於凹穴處；提供一增層電路於半導體元件及凸緣層上，其中該增層電路自半導體元件及凸緣層朝第一垂直方向延伸，且電性連接至半導體元件；提供一基座，其鄰接凸塊並自凸塊朝第二垂直方向延伸，且於第二垂直方向上覆蓋凸塊並自凸塊側向延伸；提供一端子，其與基座及凸塊保持距離，並自基板朝第二垂直方向延伸；以及提供一被覆穿孔，其朝該等垂直方向延伸貫穿該黏著層，以提供增層電路與端子間之電性連接。

將凸緣層及凸塊黏附至基板之步驟可包括：將未固化之黏著層設置於凸緣層與基板之間，此步驟包括將凸塊對準黏著層之開口及基板之通孔；然後使黏著層流入通孔內介於凸塊與基板間之一缺口；以及固化黏著層。

將黏著層設置於凸緣層與基板間之步驟可包括：將黏著層設置於凸緣層上，此步驟包括將凸塊對準黏著層之開口；以及將基板設置於黏著層上，此步驟包括將凸塊對準基板之通孔。

將基板設置於黏著層上之步驟包括：將一層壓結構設置於黏著層上，其中該層壓結構包括基板及一導電層，俾

使基板接觸並介於導電層與黏著層之間，而導電層則與黏著層保持距離，同時該通孔延伸貫穿導電層及基板，且基座包括鄰接該通孔且與凸塊保持距離之該導電層一選定部位，而端子包括與該通孔及凸塊保持距離之該導電層一選定部位。

使黏著層流入缺口之步驟可包括：加熱熔化黏著層；並使凸緣層及基板(或導電層)彼此靠合，藉此使凸塊於通孔中朝第二垂直方向移動，並對凸緣層與基板(或導電層)間之熔化黏著層施加壓力，其中該壓力迫使熔化黏著層朝第二垂直方向流入通孔內介於凸塊與基板(或導電層)間之缺口。

固化黏著層之步驟可包括：加熱固化該熔化黏著層，藉此將凸塊及凸緣層機械性黏附至基板(或導電層)。

該增層電路可包括介電層、一或多個盲孔及一或多條導線。據此，提供增層電路之步驟可包括：提供一介電層於半導體元件及凸緣層上，其中介電層自半導體元件及凸緣層朝第一垂直方向延伸，且介電層包括一或多個盲孔，而盲孔係對準接觸墊，且可選擇性對準凸緣層；以及提供一或多條導線於該介電層上，其中導線自介電層朝第一垂直方向延伸，並於介電層上側向延伸，同時朝第二垂直方向穿過盲孔而延伸至接觸墊，且可選擇性延伸至凸緣層，俾使半導體元件電性連接至導線，且使凸緣層選擇性電性連接至導線。

若需其他訊號路由，增層電路亦可包括額外的介電層、盲孔及導線層。例如，該增層電路可更包括一第二介

電層、一或多個第二盲孔及一或多條第二導線。據此，提供增層電路之步驟可更包括：提供一第二介電層於介電層及導線上，其中第二介電層自介電層及導線朝第一垂直方向延伸，且第二介電層包括一或多個對準導線之第二盲孔；以及提供一或多條第二導線於第二介電層上，其中第二導線自第二介電層朝第一垂直方向延伸，並於第二介電層上側向延伸，同時朝第二垂直方向穿過第二盲孔而延伸至導線，俾使導線電性連接至第二導線。

增層電路可延伸於凹穴之內外。例如，增層電路之介電層可延伸進入並填滿凹穴之剩餘空間。或者，增層電路可與凹穴保持距離，並延伸於凹穴外。例如，固晶材料可填滿凹穴，俾使介電層不延伸進入凹穴且與凹穴保持距離。

根據本發明之一實施態樣，該堆疊式半導體組體之製法可包括：提供一凸塊、一凸緣層、一黏著層及一導電層，其中(i)該凸塊定義出面朝第一垂直方向之一凹穴，且於相反於第一垂直方向之第二垂直方向上覆蓋該凹穴，同時該凸塊鄰接凸緣層並與凸緣層一體成型，且自凸緣層朝第二垂直方向垂直延伸，並延伸進入黏著層之開口，且對準導電層之通孔，(ii)該凸緣層自凸塊朝垂直於該等垂直方向之側面方向側向延伸，(iii)該黏著層位於凸緣層與導電層之間且未固化，且(iv)該導電層係設置於黏著層上；然後使黏著層流入通孔內介於凸塊與導電層間之缺口；固化該黏著層；然後將包含一或多個接觸墊之半導體元件設置於凸塊上，藉此將半導體元件機械黏附且熱連結至該凸塊；提供

一介電層於半導體元件及凸緣層上，其中該介電層自半導體元件及凸緣層朝第一垂直方向延伸，且該介電層包括一或多個盲孔，而盲孔係對準顯露接觸墊，且可選擇性對準顯露凸緣層；提供一或多條導線於該介電層上，其中導線自介電層朝第一垂直方向延伸，並於介電層上側向延伸，同時朝第二垂直方向穿過盲孔而延伸至接觸墊，且可選擇性延伸至凸緣層，俾使半導體元件電性連接至導線，且使凸緣層選擇性電性連接至導線；提供一基座，其鄰接該凸塊並自凸塊朝第二垂直方向延伸，且於第二垂直方向上覆蓋凸塊，同時該基座自凸塊側向延伸，並包括鄰接通孔且與凸塊保持距離之導電層一選定部位；提供一散熱座，其包括該凸塊、該基座及該凸緣層，其中該半導體元件藉由凸塊熱連結至該基座；提供一端子，其與基座及凸塊保持距離，並朝第二垂直方向延伸於黏著層外，同時該端子包括與該通孔及凸塊保持距離之該導電層一選定部位；以及提供一被覆穿孔，其朝該等垂直方向延伸貫穿該黏著層，以提供導線與端子間之電性連接。

根據本發明之另一實施態樣，該堆疊式半導體組體之製法可包括：提供一凸塊及一凸緣層，其中該凸塊定義出面朝第一垂直方向之一凹穴，且鄰接凸緣層並與凸緣層一體成型，並自凸緣層朝與第一垂直方向相反之第二垂直方向垂直延伸，而該凸緣層則自凸塊朝垂直於該等垂直方向之側面方向側向延伸，且該凹穴於第二垂直方向上係由凸塊覆蓋；提供一黏著層，其中一開口延伸貫穿該黏著層；

提供一導電層，其中一通孔延伸貫穿該導電層；將黏著層設置於凸緣層上，此步驟包括將凸塊插入該開口；將導電層設置於黏著層上，此步驟包括將凸塊對準該通孔，其中黏著層係位於凸緣層與導電層之間且未固化；然後加熱熔化黏著層；使凸緣層及導電層彼此靠合，藉此使凸塊於通孔中朝第二垂直方向移動，並對凸緣層與導電層間之熔化黏著層施加壓力，其中該壓力迫使熔化黏著層朝第二垂直方向流入通孔內介於凸塊與導電層間之缺口；加熱固化該熔化黏著層，藉此將凸塊及凸緣層機械性黏附至導電層；然後將包含一或多個接觸墊之半導體元件設置於凸塊上，藉此將半導體元件機械黏附且熱連結至該凸塊，其中半導體元件延伸進入該凹穴；提供一介電層於半導體元件及凸緣層上，其中該介電層自半導體元件及凸緣層朝第一垂直方向延伸，且該介電層包括一或多個盲孔，而盲孔係對準顯露接觸墊，且可選擇性對準顯露凸緣層；提供一或多條導線於該介電層上，其中導線自介電層朝第一垂直方向延伸，並於介電層上側向延伸，同時朝第二垂直方向穿過盲孔而延伸至接觸墊，且可選擇性延伸至凸緣層，俾使半導體元件電性連接至導線，且使凸緣層選擇性電性連接至導線；提供一基座，其鄰接該凸塊並自凸塊朝第二垂直方向延伸，且於第二垂直方向上覆蓋凸塊，同時該基座自凸塊側向延伸，並包括鄰接通孔且與凸塊保持距離之導電層一選定部位；提供一散熱座，其包括該凸塊、該基座及該凸緣層，其中該半導體元件藉由凸塊熱連結至該基座；提供

一端子，其與基座及凸塊保持距離，並朝第二垂直方向延伸於黏著層外，同時該端子包括與該通孔及凸塊保持距離之該導電層一選定部位；以及提供一被覆穿孔，其朝該等垂直方向延伸貫穿該黏著層，以提供導線與端子間之電性連接。

根據本發明之再一實施態樣，該堆疊式半導體組體之製法可包括：提供一凸塊、一凸緣層、一黏著層及一層壓結構，該層壓結構包括一導電層及一基板，其中(i)該凸塊定義出面朝第一垂直方向之一凹穴，且於相反於第一垂直方向之第二垂直方向上覆蓋該凹穴，同時該凸塊鄰接凸緣層並與凸緣層一體成型，且自凸緣層朝第二垂直方向垂直延伸，並延伸進入黏著層之開口，且對準層壓結構之通孔，(ii)該凸緣層自凸塊朝垂直於該等垂直方向之側面方向側向延伸，(iii)該黏著層位於凸緣層與層壓結構之間且未固化，且(iv)該層壓結構係設置於黏著層上，俾使基板位於黏著層與導電層之間；然後使黏著層流入通孔內介於凸塊與層壓結構間之缺口；固化該黏著層；然後將包含一或多個接觸墊之半導體元件設置於凸塊上，藉此將半導體元件機械黏附且熱連結至該凸塊；提供一介電層於半導體元件及凸緣層上，其中該介電層自半導體元件及凸緣層朝第一垂直方向延伸，且該介電層包括一或多個盲孔，而盲孔係對準顯露接觸墊，且可選擇性對準顯露凸緣層；提供一或多條導線於該介電層上，其中導線自介電層朝第一垂直方向延伸，並於介電層上側向延伸，同時朝第二垂直方向穿過

盲孔而延伸至接觸墊，且可選擇性延伸至凸緣層，俾使半導體元件電性連接至導線，且使凸緣層選擇性電性連接至導線；提供一基座，其鄰接該凸塊並自凸塊朝第二垂直方向延伸，且於第二垂直方向上覆蓋凸塊，同時該基座自凸塊側向延伸，並包括鄰接通孔且與凸塊保持距離之導電層一選定部位；提供一散熱座，其包括該凸塊、該基座及該凸緣層，其中該半導體元件藉由凸塊熱連結至該基座；提供一端子，其與基座及凸塊保持距離，並自基板朝第二垂直方向延伸，同時該端子包括與該通孔及凸塊保持距離之該導電層一選定部位；以及提供一被覆穿孔，其朝該等垂直方向延伸貫穿該黏著層及基板，以提供導線與端子間之電性連接。

根據本發明之又一實施態樣，該堆疊式半導體組體之製法可包括：提供一凸塊及一凸緣層，其中該凸塊定義出面朝第一垂直方向之一凹穴，且鄰接凸緣層並與凸緣層一體成型，並自凸緣層朝與第一垂直方向相反之第二垂直方向垂直延伸，而該凸緣層則自凸塊朝垂直於該等垂直方向之側面方向側向延伸，且該凹穴於第二垂直方向上係由凸塊覆蓋；提供一黏著層，其中一開口延伸貫穿該黏著層；提供包括一導電層及一基板之一層壓結構，其中一通孔延伸貫穿該導電層及該基板；將黏著層設置於凸緣層上，此步驟包括將凸塊插入該開口；將層壓結構設置於黏著層上，此步驟包括將凸塊對準該通孔，其中黏著層係位於凸緣層與層壓結構之間且未固化，而基板係位於黏著層與導

電層之間；然後加熱熔化黏著層；使凸緣層及層壓結構彼此靠合，藉此使凸塊於通孔中朝第二垂直方向移動，並對凸緣層與層壓結構間之熔化黏著層施加壓力，其中該壓力迫使熔化黏著層朝第二垂直方向流入通孔內介於凸塊與層壓結構間之缺口；加熱固化該熔化黏著層，藉此將凸塊及凸緣層機械性黏附至導電層及基板；然後將包含一或多個接觸墊之半導體元件設置於凸塊上，藉此將半導體元件機械黏附且熱連結至該凸塊，其中半導體元件延伸進入該凹穴；提供一介電層於半導體元件及凸緣層上，其中該介電層自半導體元件及凸緣層朝第一垂直方向延伸，且該介電層包括一或多個盲孔，而盲孔係對準顯露接觸墊，且可選擇性對準顯露凸緣層；提供一或多條導線於該介電層上，其中導線自介電層朝第一垂直方向延伸，並於介電層上側向延伸，同時朝第二垂直方向穿過盲孔而延伸至接觸墊，且可選擇性延伸至凸緣層，俾使半導體元件電性連接至導線，且使凸緣層選擇性電性連接至導線；提供一基座，其鄰接該凸塊並自凸塊朝第二垂直方向延伸，且於第二垂直方向上覆蓋凸塊，同時該基座自凸塊側向延伸，並包括鄰接通孔且與凸塊保持距離之導電層一選定部位；提供一散熱座，其包括該凸塊、該基座及該凸緣層，其中該半導體元件藉由凸塊熱連結至該基座；提供一端子，其與基座及凸塊保持距離，並自基板朝第二垂直方向延伸，同時該端子包括與該通孔及凸塊保持距離之該導電層一選定部位；以及提供一被覆穿孔，其朝該等垂直方向延伸貫穿該黏著

層及基板，以提供導線與端子間之電性連接。

設置半導體元件之步驟可包括：使用位於凹穴內之固晶材料，將半導體元件機械黏附且熱連結至凸塊。

提供該導線之步驟可包括：沉積一被覆層於該介電層上，且該被覆層穿過該盲孔而延伸至該接觸墊，並可選擇性延伸至凸緣層，然後再使用一定義該導線之蝕刻阻層，以移除該被覆層之選定部位。

提供該基座及該端子之步驟可包括：沉積一被覆層於凸塊、黏著層及導電層上，其中該被覆層於第二垂直方向上覆蓋凸塊，並自凸塊側向延伸至導電層；然後使用一定義該基座及該端子之蝕刻阻層，以移除被覆層及導電層之選定部位。

提供導線、基座及端子之步驟可包括：於第一垂直方向之介電層上沉積第一被覆層，並同時於第二垂直方向之凸塊、黏著層及導電層外沉積第二被覆層。

提供該被覆穿孔之步驟可包括：形成一穿孔，其朝該等垂直方向延伸貫穿該黏著層(若具有基板則貫穿黏著層及基板)；然後沉積一連接層於該穿孔之一內側壁上。

提供基座、端子及被覆穿孔之步驟可包括：於第二垂直方向之凸塊、黏著層及導電層外沉積第二被覆層，並同時於穿孔之內側壁上沉積連接層。

可於提供增層電路之期間提供該被覆穿孔，或者於設置半導體元件前並於凸塊及凸緣層黏附至導電層或基板後提供該被覆穿孔。舉例說明，提供被覆穿孔之步驟可包括：

於提供介電層後，形成於垂直方向延伸貫穿一或多層介電層、黏著層、基板及導電層之穿孔；而後，於沉積導線期間，於穿孔內側壁上沉積一連接層。或者，提供被覆穿孔之步驟可包括：於設置半導體元件前並於固化黏著層後，形成於垂直方向貫穿凸緣層、黏著層、基板及導電層之穿孔，而後再沉積一連接層於該穿孔之內側壁上。

提供介電層、導線、基座、端子及被覆穿孔之步驟可包括：形成一穿孔，其朝該等垂直方向延伸貫穿該黏著層(若有基板則延伸貫穿黏著層及基板)；然後沉積一連接層於該穿孔之一內側壁上；沉積一內被覆層於第一垂直方向上之凸塊及凸緣層及第二垂直方向上之凸塊、黏著層及導電層上；然後移除第一垂直方向上之凸緣層及內被覆層選定部位，以定義出一內部接墊，俾使該內部接墊鄰接該連接層且與凸緣層保持距離；然後形成介電層於半導體元件、凸緣層及內部接墊上；然後形成該盲孔及另一盲孔於介電層中，其中該另一盲孔係對準顯露內部接墊；然後沉積一第一被覆層於介電層上，其中該第一被覆層穿過該盲孔而延伸至接觸墊，並可選擇性延伸至凸緣層，且同時穿過該另一盲孔而延伸至內部接墊；沉積一第二被覆層於該內被覆層上；移除第一被覆層之選定部位，以定義出導線；以及移除第二被覆層、內被覆層及導電層之選定部位，以定義出基座及端子。或者，提供介電層、導線、基座、端子及被覆穿孔之步驟可包括：形成介電層於半導體元件及凸緣層上；然後形成該盲孔於介電層中；形成一穿孔，其朝

該等垂直方向延伸貫穿介電層及黏著層(若有基板則延伸貫穿介電層、黏著層及基板)；沉積一連接層於該穿孔之一內側壁上；沉積一第一被覆層於介電層上，其中該第一被覆層穿過該盲孔而延伸至接觸墊，並可選擇性延伸至凸緣層；沉積一第二被覆層於凸塊、黏著層及導電層上；移除第一被覆層之選定部位，以定義出導線；以及移除第二被覆層及導電層之選定部位，以定義出基座及端子。

移除第一被覆層選定部位之步驟可包括：形成一定義導線之蝕刻阻層於第一被覆層上；然後蝕刻第一被覆層，以形成蝕刻阻層所定義之圖案；然後移除蝕刻阻層。

移除第二被覆層、內被覆層及導電層選定部位之步驟可包括：形成一定義基座及端子之蝕刻阻層於第二被覆層上；然後蝕刻第二被覆層，以形成蝕刻阻層所定義之圖案；然後移除蝕刻阻層。

本發明之製法於固化黏著層後且沉積被覆層前，可包括一步驟：研磨凸塊、黏著層及導電層，使凸塊、黏著層及導電層於面朝第二垂直方向之一側向表面上彼此側向對齊。此研磨步驟可包括：研磨黏著層而不研磨凸塊；而後研磨凸塊、黏著層及導電層。

於一較佳具體實施例中，該堆疊式半導體組體之製法可包括：提供一凸塊、一凸緣層、一黏著層及一層壓結構，其中(i)該凸塊定義出面朝第一垂直方向之一凹穴，且該凸塊鄰接凸緣層並與凸緣層一體成型，同時該凸塊自凸緣層朝與第一垂直方向相反之第二垂直方向垂直延伸，且該凹

穴於第二垂直方向上係由該凸塊覆蓋，(ii)該凸緣層自凸塊朝垂直於該等垂直方向之側面方向側向延伸，(iii)該黏著層包括一開口，其延伸貫穿該黏著層，且(iv)該層壓結構包括一導電層及一基板，而一通孔延伸貫穿該層壓結構；將黏著層設置於凸緣層上，此步驟包括將凸塊插入該開口；將層壓結構設置於黏著層上，此步驟包括將凸塊插入該通孔，其中基板接觸並介於導電層與黏著層之間，導電層則與黏著層保持距離，而黏著層接觸並介於凸緣層與基板之間且未固化；然後加熱熔化該黏著層；使凸緣層及層壓結構彼此靠合，藉此使凸塊於通孔中朝第二垂直方向移動，並對凸緣層與層壓結構間之熔化黏著層施加壓力，其中該壓力迫使熔化黏著層朝第二垂直方向流入通孔內介於凸塊與層壓結構間之一缺口；加熱固化該熔化黏著層，藉此將凸塊與凸緣層機械性黏附至導電層及基板；然後研磨凸塊、黏著層及導電層，使凸塊、黏著層及導電層於面朝第二垂直方向之一側向表面上彼此側向對齊；然後使用一固晶材料，將包含一或多個接觸墊之一半導體元件設置於該凸塊上，藉此將該半導體元件機械黏附且熱連結至該凸塊，其中半導體元件延伸進入凹穴，而凸塊為半導體元件提供一凹形晶粒座；然後形成一介電層於半導體元件及凸緣層上，其中該介電層自半導體元件及凸緣層朝該第一垂直方向延伸，並延伸進入且填滿凹穴之剩餘空間；然後形成一或多個盲孔，其延伸貫穿該介電層，且對準顯露該接觸墊，並可選擇性對準顯露凸緣層；沉積一第一被覆層於

介電層上，並移除該第一被覆層之選定部位，以形成一第一蝕刻阻層所定義之圖案，其中一或多條導線包括該第一被覆層之一選定部位，其自介電層朝第一垂直方向延伸，並於介電層上側向延伸，同時朝第二垂直方向穿過該盲孔而延伸至該接觸墊並選擇性延伸至凸緣層，藉此將半導體元件電性連接至導線，並可選擇性將凸緣層電性連接至導線；沉積一第二被覆層於凸塊、黏著層及導電層上，並移除第二被覆層及導電層之選定部位，以形成一第二蝕刻阻層所定義之圖案，其中(i)一基座包括該第二被覆層一選定部位，其鄰接凸塊、黏著層及導電層，且於第二垂直方向上覆蓋凸塊，同時該基座亦包括導電層一選定部位，其鄰接基板及該通孔並與凸塊保持距離，俾使該基座鄰接凸塊並自凸塊朝第二垂直方向延伸，同時於第二垂直方向上覆蓋凸塊且自凸塊側向延伸，且(ii)一端子包括該第二被覆層一選定部位，其鄰接導電層並與凸塊及黏著層保持距離，同時該端子亦包括該導電層之一選定部位，其鄰接該基板並與該凸塊及該通孔保持距離，俾使該端子鄰接穿孔，並與基座、通孔及凸塊保持距離，同時該端子自基板朝第二垂直方向延伸；提供一散熱座，其包括該凸塊、該基座及該凸緣層，其中半導體元件藉由凸塊熱連結至基座；形成一穿孔，其朝該等垂直方向延伸貫穿基板、黏著層及介電層；以及沉積一連接層於該穿孔之一內側壁上，其中該被覆穿孔包括該穿孔及該連接層，而該連接層提供導線與端子間之電性連接。

根據上述較佳具體實施例，該製法可更包括：形成一第二介電層於該介電層及該導線上，其中該第二介電層自介電層及導線朝第一垂直方向延伸，且與半導體元件、凸緣層及凹穴保持距離；然後形成一或多個第二盲孔，其延伸貫穿該第二介電層，且對準顯露該導線；然後形成一或多條第二導線，其自第二介電層朝第一垂直方向延伸，並於第二介電層上側向延伸，同時朝第二垂直方向穿過第二盲孔而延伸至該導線，藉此將導線電性連接至第二導線。

提供該凸塊之步驟可包括：對一金屬板進行機械沖壓，俾於金屬板上形成凸塊以及於凸塊中形成凹穴，該凸塊係金屬板上一受沖壓之部份，而凸緣層則為金屬板上一未受沖壓之部份。此金屬板可由銅、鋁、鎳、鐵或其合金製成。

提供該黏著層之步驟可包括：提供一未固化環氧樹脂之膠片。使該黏著層流入缺口之步驟可包括：熔化該未固化環氧樹脂，並擠壓凸緣層與導電層間或凸緣層與基板間之該未固化環氧樹脂。固化該黏著層之步驟可包括：固化該未固化環氧樹脂。

使黏著層流入缺口之步驟可包括：使該黏著層填滿缺口，並迫使黏著層朝第二垂直方向超出凸塊及導電層，俾使黏著層接觸凸塊與導電層面向第二垂直方向之表面。

提供該介電層之步驟可包括：形成該介電層於半導體元件、凸塊、凸緣層及黏著層上並與之接觸，且該黏著層分隔介電層與基板(或導電層)。

沉積第一被覆層與第二被覆層之步驟可包括：藉由無電電鍍法及電解電鍍法，同時沉積第一被覆層及第二被覆層。

該些介電層可藉由各種技術形成並可延伸至組體之外圍邊緣，其包括膜壓合、輥輪塗佈、旋轉塗佈及噴塗沉積法。該些盲孔可藉由各種技術貫穿介電層，其包括雷射鑽孔、電漿蝕刻及微影技術。該穿孔可藉由各種技術形成，其包括機械鑽孔、雷射鑽孔及電漿蝕刻及微影技術並進行或未進行濕蝕刻。該些被覆層及連接層可藉由各種技術沉積形成單層或多層結構，其包括電鍍、無電電鍍、蒸鍍、濺鍍及其組合。該些被覆層可藉由各種技術圖案化，以定義出該些導線，其包括濕蝕刻、電化學蝕刻、雷射輔助蝕刻及其組合。

藉由上述製法，該堆疊式半導體組體之散熱座可包括一凸塊、一基座及一凸緣層，其中(i)該凸塊鄰接基座及凸緣層，且與凸緣層一體成型，該凸塊自基座朝第一垂直方向延伸，並自凸緣層朝與該第一垂直方向相反之第二垂直方向延伸；(ii)該基座自凸塊朝第二垂直方向延伸，並自凸塊朝垂直於該等垂直方向之側面方向側伸而出；(iii)該凸緣層自凸塊側向延伸，且與基座保持距離；且(iv)該凸塊具有面朝第一垂直方向之凹穴，而該凹穴於第二垂直方向上係由該凸塊覆蓋，該凸塊分隔該凹穴與該基座，且該凹穴於凸緣層處設有一入口。

該散熱座可由任何導熱性材料製成。較佳為，該散熱

座可由金屬製成。舉例說明，該散熱座基本上可由銅、鋁、鎳、鐵或其合金製成。無論何種態樣，該散熱座皆可提供散熱作用，將半導體元件之熱能擴散至下一層組體。

該凸塊可與凸緣層一體成型。例如，凸塊與凸緣層可為單一金屬體，或於界面處包含單一金屬體，其中該單一金屬體可為銅。此外，該凸塊與該黏著層可於基座處呈共平面。該凸塊可包含一鄰接基座之第一彎折角與一鄰接凸緣層之第二彎折角。該凸塊亦可具有沖壓而成之特有不規則厚度。此外，該凸塊於凸緣層處之直徑或尺寸可大於該凸塊於基座處之直徑或尺寸。例如，該凸塊可呈平頂錐柱形或金字塔形，其直徑或尺寸自基座沿著第一垂直方向朝凸緣層處遞增。據此，由於黏著層朝第二垂直方向延伸進入凸塊與基板間及凸塊與基座間之缺口，故鄰接凸塊處之黏著層厚度呈遞增趨勢。該凸塊亦可為直徑固定之圓柱形。據此，黏著層於凸塊與基板間或凸塊與基座間之缺口處具有固定厚度。該凸塊亦可為該半導體元件提供一凹形晶粒座。

凸塊凹穴入口處之直徑或尺寸可大於該凹穴底板處之直徑或尺寸。例如，該凹穴可呈平頂錐柱形或金字塔形，其直徑或尺寸自其底板沿著第一垂直方向朝其入口處遞增。或者，該凹穴亦可為一直徑固定之圓柱形。該凹穴之入口及底板亦可具有圓形、正方形或矩形之周緣。該凹穴亦可具有與凸塊相符之形狀，並延伸進入該開口及該通孔，同時沿該等垂直及側面方向延伸跨越該凸塊之大部分。

該凸緣層可位於增層電路與黏著層間。該凸緣層亦可具有圓形、正方形或矩形之周緣。此外，該凸緣層可與組體之外圍邊緣保持距離或延伸至組體之外圍邊緣。

該基座可包括鄰接該通孔且與凸塊保持距離之該導電層一選定部位，其同時亦可包括鄰接凸塊、黏著層及導電層之被覆層一選定部位。據此，該基座可於鄰接凸塊處具有第一厚度，並於鄰接基板處具有第二厚度。此外，該基座亦可具有面向第二垂直方向之平坦表面。該基座亦可接觸黏著層與基板，且支撐黏著層、基板及增層電路並延伸至組體之外圍邊緣。

該端子可作為下一層組體或另一電子元件(如半導體晶片、塑膠封裝體或另一半導體組體)之電性接點。此外，該增層電路可包括一或多個由外層導線選定部位定義出且電性連接至接觸墊之連接墊，俾為下一層組體或另一電子元件提供電性接點。無論如何，該端子係自黏著層或基板朝第二垂直方向延伸，並包括面朝第二垂直方向之外露接觸表面，同時該端子可與基座呈共平面。端子與基座可於兩者最接近處具有相同厚度，且於基座鄰接凸塊處具有不同厚度。同樣地，連接墊係自介電層朝第一垂直方向延伸，並包括面朝第一垂直方向之外露接觸表面。據此，該堆疊式半導體組體可包括相互電性連接之電性接點，其係位於面朝相反垂直方向之相對表面上，俾使該半導體組體為可堆疊式之組體。

該被覆穿孔可提供端子與增層電路間之垂直方向訊號

路由。例如，被覆穿孔之第一端可延伸至端子並與端子電性連接，而第二端可延伸至增層電路之外導電層並與外導電層電性連接。或者，被覆穿孔之第二端可延伸至增層電路之內導電層並與內導電層電性連接。抑或，被覆穿孔之第二端可延伸並電性連接至與凸緣層保持距離、共平面且具有相同厚度之內部接墊，並藉由第一盲孔中之第一導線電性連接至增層電路。無論採用何種方式，該被覆穿孔係垂直延伸穿過黏著層（若有基板則延伸穿過黏著層及基板），並與散熱座保持距離，且位於端子與增層電路間之電性傳導路徑上。

承上所述，凸緣層與基板(或導電層)間之黏著層可流入通孔內介於凸塊與基板(或導電層)間之缺口。據此，黏著層可接觸凸塊、基座、凸緣層、基板(若有基板的話)及被覆穿孔，並可自凸塊側向延伸至組體外圍邊緣。此外，該黏著層於鄰接凸緣層處可具有第一厚度(朝垂直方向)，而鄰接凸塊處則具有第二厚度(朝側面方向)，且第二厚度不同於第一厚度。

半導體元件可為封裝或未封裝之半導體晶片。舉例說明，半導體元件可為包含半導體晶片之柵格陣列(land grid array, LGA)封裝或晶圓級封裝(WLP)。或者，半導體元件可為半導體晶片。

該基板可延伸至組體之外圍邊緣，且可由有機材料(如環氧、玻璃-環氧及聚醯亞胺)製成。該基板亦可由導熱性材料(如氧化鋁(Al_2O_3)、氮化鋁(AlN)、氮化矽(SiN)、矽(Si))

等)製成。或者，該基板可為單層結構或多層結構，如層壓電路板或多層陶瓷板。此外，該基板可與一導電層壓合，且該通孔可延伸穿過該基板及導電層。

該組體可為第一級或第二級單晶或多晶裝置。例如，該組體可為包含單一晶片或多枚晶片之第一級封裝體。或者，該組體可為包含單一封裝體或多個封裝體之第二級模組，其中每一封裝體可包含單一晶片或多枚晶片。

本發明具有多項優點。該散熱座可提供優異之散熱效果，並使熱能不流經該黏著層或基板。因此，該黏著層及基板可為低成本介電材且不易脫層。凸塊與凸緣層可一體成型，以對半導體元件提供優異的電磁屏蔽作用並阻隔水氣，進而提高電性效能及環境可靠度。機械形成之凸塊凹穴可提供定義明確之空間，以放置半導體元件。因此，可避免層壓過程中之半導體元件偏移及破裂問題，進而提高製備良率並降低成本。該基座可包含連結於基板之該金屬層之一選定部分，以提高熱效能。該基座之金屬材質可為該基板提供機械性支撐，防止其彎曲變形。該黏著層可位於凸塊與基板之間、基座與基板之間以及凸緣層與基板之間，俾於散熱座與基板之間提供堅固之機械性連結。該增層電路可藉由被覆金屬，以電性連接半導體元件，其無需使用打線或焊接，故可提高可靠度。該增層電路可提供具有簡單電路圖案之訊號路由或具有複雜電路圖案之靈活多層訊號路由。該被覆穿孔可提供增層電路與端子間之垂直訊號路由，俾使該組體具有堆疊功能。

本發明之上述及其他特徵與優點將於下文中藉由各種較佳實施例進一步加以說明。

【實施方式】

參考隨附圖式，本發明可藉由下述較佳實施例之詳細敘述更加清楚明瞭。

《實施例1》

圖1A及1B為本發明一實施例之凸塊與凸緣層製作方法剖視圖，而圖1C及1D分別為圖1B之俯視圖及仰視圖。

圖1A為金屬板10之剖視圖，金屬板10包含相對之主要表面12及14。圖示之金屬板10係一厚度為100微米之銅板。銅具有導熱性高、可撓性佳及低成本等優點。金屬板10可由多種金屬製成，如銅、鋁、鐵鎳合金42、鐵、鎳、銀、金、其混合物及其合金。

圖1B、1C及1D分別為金屬板10形成凸塊16、凸緣層18及凹穴20後之剖視圖、俯視圖及仰視圖。凸塊16及凹穴20係由金屬板10以機械方式沖壓而成。因此，凸塊16為金屬板10受沖壓之部分，而凸緣層18則為金屬板10未受沖壓之部分。

凸塊16鄰接凸緣層18，並與凸緣層18一體成型，且自凸緣層18朝向下方向延伸。凸塊16包含彎折角22及24、漸縮側壁26與底板28。彎折角22及24係因沖壓作業而彎折。彎折角22鄰接凸緣層18與漸縮側壁26，而彎折角24則鄰接漸縮側壁26與底板28。漸縮側壁26係朝向上方向往外延

伸，而底板28則沿著垂直於向上及向下方向之側面方向(如左、右)延伸。因此，凸塊16呈平頂金字塔形(類似一平截頭體)，其直徑自凸緣層18處朝底板28向下遞減，亦即自底板28處朝凸緣層18向上遞增。凸塊16之高度(相對於凸緣層18)為300微米，於凸緣層18處之尺寸為10.5毫米×8.5毫米，於底板28處之尺寸則為10.25毫米×8.25毫米。此外，凸塊16因沖壓作業而具有不規則之厚度。例如，因沖壓而拉長之漸縮側壁26較底板28為薄。為便於圖示，凸塊16在圖中具有均一厚度。

呈平坦狀之凸緣層18係沿側面方向自凸塊16側伸而出，其厚度為100微米。

凹穴20係面朝向上方向，且延伸進入凸塊16，並由凸塊16從下方覆蓋。凹穴20於凸緣層18處設有一入口。此外，凹穴20之形狀與凸塊16相符。因此，凹穴20亦呈平頂金字塔形(類似一平截頭體)，其直徑自其位於凸緣層18之入口處朝底板28向下遞減，亦即自底板28處朝其位於凸緣層18之入口向上遞增。再者，凹穴20沿垂直及側面方向延伸跨越凸塊16之大部分，且凹穴20之深度為300微米。

圖2A及2B圖為本發明一實施例之黏著層製作方法剖視圖，而圖2C及2D分別為圖2B之俯視圖及仰視圖。

圖2A為黏著層30之剖視圖，其中黏著層30為乙階(B-stage)未固化環氧樹脂之膠片，其為未經固化及圖案化之片體，厚150微米。

黏著層30可為多種有機或無機電性絕緣體製成之各種

介電膜或膠片。例如，黏著層30起初可為一膠片，其中樹脂型態之熱固性環氧樹脂摻入一加強材料後部分固化至中期。所述環氧樹脂可為FR-4，但其他環氧樹脂(如多官能與雙馬來醯亞胺-三氫雜苯(BT)樹脂等)亦適用。在特定應用中，亦適用氰酸酯、聚醯亞胺及聚四氟乙烯(PTFE)。該加強材料可為電子級玻璃(E-glass)，亦可為其他加強材料，如高強度玻璃(S-glass)、低誘電率玻璃(D-glass)、石英、克維拉纖維(kevlar aramid)及紙等。該加強材料也可為織物、不織布或無方向性微纖維。可將諸如矽(研粉熔融石英)等填充物加入膠片中，以提升導熱性、熱衝擊抵抗力與熱膨脹匹配性。可利用市售預浸材，如美國威斯康辛州奧克萊W.L. Gore & Associates之SPEEDBOARD C膠片即為一例。

圖2B、2C及2D分別為具有開口32之黏著層30剖視圖、俯視圖及仰視圖。開口32為貫穿黏著層30且尺寸為10.55毫米×8.55毫米之窗口。開口32係以機械方式擊穿該膠片而形成，但亦可以其他技術製作，如雷射切割。

圖3A及3B為本發明一實施例之層壓結構製作方法剖視圖，而圖3C及3D則分別為圖3B之俯視圖及仰視圖。

圖3A係一層壓結構之剖視圖，其包含基板34及導電層36。舉例說明，基板34可為厚度150微米之玻璃-環氧材料，而與基板34接觸且延伸於基板34上方之導電層36可為未經圖案化且厚度30微米之銅板。

圖3B、3C及3D分別為具有通孔40之層壓結構(包括基板34及導電層36)剖視圖、俯視圖及仰視圖。通孔40為一窗

口，其貫穿導電層36及基板34且尺寸為10.55毫米×8.55毫米。通孔40係以機械方式擊穿導電層36與基板34而形成，但亦可以其他技術製作，如雷射切割並進行或未進行濕式蝕刻。開口32與通孔40具有相同尺寸。此外，開口32與通孔40可以相同之衝頭在同一衝床上透過相同方式形成。

基板34在此繪示為一單層介電結構，但基板34亦可為其他電性互連體，如多層印刷電路板或多層陶瓷板。同樣地，基板34可另包含額外的內嵌電路層。

圖4A至4F為本發明一實施例之導熱板製作方法剖視圖，如圖4F所示，該導熱板包含凸塊16、凸緣層18、黏著層30、基板34及導電層36。

圖4A及4B中之結構係呈凹穴向下之倒置狀態，以便利利用重力將黏著層30、基板34及導電層36設置於凸緣層18上，而圖4C至4F中之結構依舊維持凹穴向下。之後，圖5A至5K中之結構則再次翻轉至如圖1A至1D所示之凹穴向上狀態。簡言之，凹穴20在圖4A至4F中朝下，而在圖5A至5K中則朝上。儘管如此，該結構體之相對方位並未改變。無論該結構體是否倒置、旋轉或傾斜，凹穴20始終面朝第一垂直方向，並在第二垂直方向上由凸塊16覆蓋。同樣地，無論該結構體是否倒置、旋轉或傾斜，凸塊16皆是朝第一垂直方向延伸至基板34外，並自凸緣層18朝第二垂直方向延伸。因此，第一與第二垂直方向係相對於該結構體而定向，彼此始終相反，且恆垂直於前述之側面方向。

圖4A為黏著層30設置於凸緣層18上之結構剖視圖。黏著層30係下降至凸緣層18上，使凸塊16向上插入並貫穿開口32，最終則使黏著層30接觸並定位於凸緣層18。較佳為，凸塊16插入且貫穿開口32後係對準開口32且位於開口32內之中央位置而不接觸黏著層30。

圖4B為基板34及導電層36設置於黏著層上之結構剖視圖。將壓合有導電層36之基板34下降至黏著層30上，使凸塊16向上插入通孔40，最終則使基板34接觸並定位於黏著層30。

凸塊16在插入(但並未貫穿)通孔40後係對準通孔40且位於通孔40內之中央位置而不接觸基板34或導電層36。因此，凸塊16與基板34之間具有一位於通孔40內之缺口42。缺口42側向環繞凸塊16，同時被基板34側向包圍。此外，開口32與通孔40係相互對齊且具有相同尺寸。

此時，壓合有導電層36之基板34係安置於黏著層30上並與之接觸，且延伸於黏著層30上方。凸塊16延伸通過開口32後進入通孔40。凸塊16較導電層36之頂面低30微米，且透過通孔40朝向上方向外露。黏著層30接觸凸緣層18與基板34且介於該兩者之間。黏著層30接觸基板34但與導電層36保持距離。在此階段，黏著層30仍為乙階(B-stage)未固化環氧樹脂之膠片，而缺口42中則為空氣。

圖4C為黏著層30流入缺口42中之結構剖視圖。黏著層30經由施加熱及壓力而流入缺口42中。在此圖中，迫使黏著層30流入缺口42之方法係對導電層36施以向下壓力及/

或對凸緣層18施以向上壓力，亦即將凸緣層18與基板34相對壓合，藉以對黏著層30施壓；在此同時亦對黏著層30加熱。受熱之黏著層30可在壓力下任意成形。因此，位於凸緣層18與基板34間之黏著層30受到擠壓後，改變其原始形狀並向上流入缺口42。凸緣層18與基板34持續朝彼此壓合，直到黏著層30填滿缺口42為止。此外，黏著層30仍位於凸緣層18與基板34之間，且持續填滿凸緣層18與基板34間縮小之間隙。

舉例說明，可將凸緣層18及導電層36設置於一壓合機之上、下壓台(圖未示)之間。此外，可將一上擋板及上緩衝紙(圖未示)夾置於導電層36與上壓台之間，並將一下擋板及下緩衝紙(圖未示)夾置於凸緣層18與下壓台之間。以此構成之疊合體由上到下依次為上壓台、上擋板、上緩衝紙、基板34、導電層36、黏著層30、凸緣層18、下緩衝紙、下擋板及下壓台。此外，可利用從下壓台向上延伸並穿過凸緣層18對位孔(圖未示)之工具接腳(圖未示)，將此疊合體定位於下壓台上。

而後，將上、下壓台加熱並相向推進，藉此對黏著層30加熱並施壓。擋板可將壓台之熱分散，使熱均勻施加於凸緣層18與基板34乃至於黏著層30。緩衝紙則將壓台之壓力分散，使壓力均勻施加於凸緣層18與基板34乃至於黏著層30。起初，基板34接觸並向下壓合至黏著層30上。隨著壓台持續動作與持續加熱，凸緣層18與基板34間之黏著層30受到擠壓並開始熔化，因而向上流入缺口42，並於通過

基板34後抵達導電層36。例如，未固化環氧樹脂遇熱熔化後，被壓力擠入缺口42中，但加強材料及填充物仍留在凸緣層18與基板34之間。黏著層30在通孔40內上升之速度大於凸塊16，終至填滿缺口42。黏著層30亦上升至稍高於通孔40之位置，並在壓台停止動作前，溢流至凸塊16頂面及導電層36頂面。若膠片厚度略大於實際所需厚度便可能發生上述狀況。如此一來，黏著層30便在凸塊16頂面及導電層36頂面形成一覆蓋薄層。壓台在觸及凸塊16後停止動作，但仍持續對黏著層30加熱。

黏著層30於缺口42內向上流動之方向如圖中向上粗箭號所示，凸塊16與凸緣層18相對於基板34之向上移動如向上細箭號所示，而基板34相對於凸塊16與凸緣層18之向下移動則如向下細箭號所示。

圖4D為黏著層30已固化之結構剖視圖。

舉例說明，壓台停止移動後仍持續夾合凸塊16與凸緣層18並供熱，藉此將已熔化而未固化之乙階(B-stage)環氧樹脂轉換為丙階(C-stage)固化或硬化之環氧樹脂。因此，環氧樹脂係以類似習知多層壓合之方式固化。環氧樹脂固化後，壓台分離，以便將結構體從壓合機中取出。

固化之黏著層30可在凸塊16與基板34之間以及凸緣層18與基板34之間提供牢固之機械性連結。黏著層30可承受一般操作壓力而不致變形損毀，遇過大壓力時則僅暫時扭曲。再者，黏著層30可吸收凸塊16與基板34之間以及凸緣層18與基板34之間的熱膨脹不匹配。

在此階段，凸塊16與導電層36大致共平面，而黏著層30與導電層36則延伸至面朝向上方向之頂面。例如，凸緣層18與基板34間之黏著層30厚120微米，較其初始厚度150微米減少30微米；亦即凸塊16在通孔40中升高30微米，而基板34則相對於凸塊16下降30微米。凸塊16之高度300微米基本上等同於導電層36(30微米)、基板34(150微米)與下方黏著層30(120微米)之結合高度。此外，凸塊16仍位於開口32與通孔40內之中央位置並與基板34保持距離，而黏著層30則填滿凸緣層18與基板34間之空間並填滿缺口42。黏著層30在缺口42內延伸跨越基板34。換言之，缺口42中之黏著層30係朝向上方向及向下方向延伸並跨越缺口42外側壁之基板34厚度。黏著層30亦包含缺口42上方之薄頂部分，其接觸凸塊16之頂面與導電層36之頂面，並在凸塊16上方延伸10微米。

圖4E為研磨移除凸塊16、黏著層30及導電層36頂部後之結構剖視圖。例如，利用旋轉鑽石砂輪及蒸餾水處理結構體之頂部。起初，鑽石砂輪僅對黏著層30進行研磨。持續研磨時，黏著層30則因受磨表面下移而變薄。最後，鑽石砂輪將接觸凸塊16與導電層36(不一定同時接觸)，因而開始研磨凸塊16與導電層36。持續研磨後，凸塊16、黏著層30及導電層36均因受磨表面下移而變薄。研磨持續至去除所需厚度為止。之後，以蒸餾水沖洗結構體去除污物。

上述研磨步驟將黏著層30之頂部磨去20微米，將凸塊16之頂部磨去10微米，並將導電層36之頂部磨去10微米。

厚度減少對凸塊16或黏著層30均無明顯影響，但導電層36之厚度卻從30微米大幅縮減至20微米。於研磨後，凸塊16、黏著層30及導電層36會於基板34上方面朝向上方向之平滑拼接側頂面上呈共平面。

於此階段中，如圖4E所示，導熱板101包括黏著層30、基板34、導電層36及散熱座50。此時該散熱座50包括凸塊16及凸緣層18。凸塊16於彎折角22處與凸緣層18鄰接，並自凸緣層18朝向上方向延伸，且與凸緣層18一體成型。凸塊16進入開口32及通孔40，並位於開口32與通孔40內之中央位置。此外，凸塊16之頂部與黏著層30之鄰接部分呈共平面。凸塊16與基板34保持距離，並呈尺寸沿向下延伸方向遞增之平頂金字塔形。

凹穴20面朝向上方向，並延伸進入凸塊16、開口32及通孔40，且始終位於凸塊16、開口32及通孔40內之中央位置。此外，凸塊16於向上方向覆蓋凹穴20。凹穴20具有與凸塊16相符之形狀，且沿垂直及側面方向延伸跨越凸塊16之大部分，並維持平頂金字塔形，其尺寸自位於凸緣層18處之入口向上遞減。

凸緣層18自凸塊16側向延伸，同時延伸於黏著層30、基板34、開口32與通孔40下方，並與黏著層30接觸，但與基板34保持距離。

黏著層30在缺口42內與凸塊16及基板34接觸，並位於凸塊16與基板34之間，同時填滿凸塊16與基板34間之空間。此外，黏著層30在缺口42外則與基板34及凸緣層18接

觸。黏著層30沿側面方向覆蓋且包圍凸塊16之漸縮側壁26，並自凸塊16側向延伸至組體外圍邊緣並固化。據此，黏著層30於鄰接凸緣層18處具有第一厚度T1，而於鄰接凸塊16處具有第二厚度T2，其中第一厚度T1與第二厚度T2不同。亦即，凸緣層18與基板34間垂直方向上之距離D1，不同於凸塊16與基板34間側面方向上之距離D2。此外，當黏著層30延伸離開凸緣層18並進入凸塊16與基板34間之缺口42時，由於凸塊16朝凸緣層18延伸時之尺寸呈遞增狀態，故黏著層30於鄰接凸塊16處之厚度亦呈現遞增趨勢。導熱板101可藉由單一凸塊或多個凸塊來容納多個半導體元件，而非僅可容納單一半導體元件。因此，可將多個半導體元件設置於單一凸塊上，或將半導體元件分別設置於不同凸塊上。

若欲在導熱板101上形成複數個凸塊以容納複數個半導體元件，則可在金屬板10上沖壓出額外之凸塊16，並調整黏著層30以包含更多開口32，同時調整基板34及導電層36以包含更多通孔40。

接著，如圖4F所示，於預定位置上形成穿透凸緣層18之開孔181，以利後續製作被覆穿孔。

圖5A至5J為本發明一實施例之半導體組體製作方法剖視圖，其中該半導體組體包括導熱板、半導體元件、端子、被覆穿孔及增層電路。

如圖5J所示，堆疊式半導體組體100包括導熱板101、半導體晶片110、固晶材料113、增層電路201、被覆穿孔402

及防焊層301。半導體晶片110包括頂面111、底面112及接觸墊114。頂面111為包含接觸墊114之作用表面，而底面112為熱接觸表面。導熱板101包括黏著層30、基板34、散熱座50及端子66。散熱座50包括凸塊16、凸緣層18及基座64。增層電路201包括第一介電層211、第一導線241、第二介電層261及包含連接墊341之第二導線291。

圖5A為圖4F反轉後之導熱板101剖視圖。

圖5B為導熱板101藉由固晶材料113將半導體晶片110設置於凸塊16上之剖視圖。將頂面111(即作用表面)含有接觸墊114之半導體晶片110下降至凹穴20中，並留置於固晶材料113上與之接觸。尤其，凸塊16會從下方覆蓋半導體晶片110，並提供用於容置半導體晶片110之凹形晶粒座。固晶材料113會與凸塊16及半導體晶片110接觸，並夾置於凸塊16與半導體晶片110之間。

固晶材料113原為具有高導熱性之含銀環氧樹脂膏，並以網版印刷之方式選擇性印刷於凸塊16之凹穴20內，然後利用一抓取頭及一自動化圖案辨識系統，以步進重複之方式將半導體晶片110放置於該環氧樹脂銀膏上。隨後，加熱該環氧樹脂銀膏，使其於相對低溫(如190℃)下硬化形成固化之固晶材料113。半導體晶片110之厚度為275微米，固晶材料113之厚度為20微米，因此，半導體晶片110與下方固晶材料113之結合高度為295微米，此高度較凹穴20之深度(300微米)少5微米。半導體晶片110之長度為10毫米、寬度為8毫米。

接著，於半導體晶片110及導熱板101上形成增層電路，其步驟如下所述。

圖5C為具有第一介電層211之結構剖視圖。第一介電層211(如環氧樹脂、玻璃-環氧、聚醯亞胺及其類似材料)係設置於半導體晶片頂面111(即作用表面)、接觸墊114、固晶材料113、凸塊16及凸緣層18上。第一介電層211延伸進入凹穴20並填滿凹穴20中之剩餘空間，以與凸塊16、半導體晶片110及固晶材料113接觸，並夾置於凸塊16與半導體晶片110之間。第一介電層211亦於凹穴20外與凸緣層18及黏著層30接觸，並填滿開孔181。可藉由各種方法來製作第一介電層211，其包括膜壓合、輥輪塗佈、旋轉塗佈及噴塗沉積法。亦可對第一介電層211進行電漿蝕刻，或使用附著力促進劑塗佈第一介電層211，以提高黏著力。在此，第一介電層211可具有約50微米之厚度。

圖5D為第一介電層211形成有第一盲孔221之結構剖視圖。第一盲孔221係穿過第一介電層211，以顯露接觸墊114及凸緣層18之選定部位。該些第一盲孔221可藉由各種方法形成，其包括雷射鑽孔、電漿蝕刻或微影製程。可使用脈衝雷射，以提高雷射鑽孔效能。或者，亦可使用雷射掃描光束搭配金屬遮罩。在此，第一盲孔221具有約50微米之直徑。

參見圖5E，將第一導線241形成於第一介電層211上，其中第一導線241自第一介電層211向上延伸，並於第一介電層211上側向延伸，且向下延伸進入第一盲孔221，以與

接觸墊114及凸緣層18形成電性接觸。可藉由各種方法形成單層或多層第一導線240，其包括電鍍、無電電鍍、蒸鍍、濺鍍及其組合。

舉例說明，可先將結構體浸入一活化劑溶液中，因而使第一介電層211可與無電鍍銅產生觸媒反應，接著以無電電鍍方式形成薄銅層，以作為晶種層，然後再以電鍍方式將具有預定厚度之第二銅層鍍於晶種層上，以沉積形成第一導線241(為第一導電層)。或者，於晶種層上沉積電鍍銅層前，可利用濺鍍方式，於第一介電層211上及第一盲孔221內形成作為晶種層之薄膜(如鈦/銅)。一旦達到預定厚度，再對第一導電層(電鍍銅層與晶種層之結合體)進行圖案化，以形成第一導線241。可藉由各種技術進行第一導線241之圖案化步驟，其包括濕蝕刻、電化學蝕刻、雷射輔助蝕刻及其組合，並使用定義第一導線241之蝕刻阻層(圖未示)。

又如圖5E所示，凸塊16、黏著層30及導電層36上更形成有第一被覆層60。可使用製作第一導線241所使用之相同活化劑溶液、無電鍍銅晶種層及電鍍銅層，以沉積第一被覆層60。較佳為，第一被覆層60及第一導線241為相同材料，並以相同方法同時沉積形成相同厚度。第一被覆層60係未經圖案化之銅層，其於凸塊16、黏著層30及導電層36之側向底面上並與之接觸，且從下方覆蓋此三者。為便於圖示，凸塊16、導電層36及第一被覆層60均以單層顯示。由於銅為同質被覆，凸塊16與第一被覆層60間之界線及導電層36與第一被覆層60間之界線(均以虛線繪示)可能不易

察覺甚至無法察覺。然而，黏著層30與第一被覆層60間之界線則清楚可見。

為便於圖示，第一導線241於剖視圖中係繪示為一連續電路跡線。第一導線241可提供X與Y方向之水平訊號路由，並可透過第一盲孔221以提供垂直訊號路由(由上至下)。此外，第一導線241可電性連接半導體晶片110及凸緣層18。

於此階段中，如圖5E所示，導熱板101包括黏著層30、基板34、導電層36、散熱座50及第一被覆層60。其中，散熱座50包括凸塊16及凸緣層18。導熱板101及半導體晶片110上之增層電路包括第一介電層211及第一導線241。

圖5F為形成第二介電層261之結構剖視圖，其中第二介電層261係設置於第一導線241及第一介電層211上。如第一介電層211所述，第二介電層261可為環氧樹脂、玻璃-環氧、聚醯亞胺及其類似材料，並可藉由各種方法形成，其包括膜壓合、旋轉塗佈、輥輪塗佈及噴塗沉積法。第二介電層261厚度為50微米。較佳為，第一介電層211與第二介電層261為相同材料，且以相同方式形成相同厚度。

圖5G為形成穿孔401之結構剖視圖。穿孔401係對應凸緣層18之開孔181，且軸向對準並位於開孔181之中心處。穿孔401沿垂直方向延伸貫穿第二介電層261、第一介電層211、凸緣層18、黏著層30、基板34、導電層36及第一被覆層60。穿孔401係經由機械鑽孔形成，其亦可藉由其他技術形成，如雷射鑽孔及電漿蝕刻。

圖 5H 為第二介電層 261 形成有第二盲孔 281 之結構剖視圖。第二盲孔 281 係穿透第二介電層 261，以顯露第一導線 241 之選定部位。如第一盲孔 221 所述，第二盲孔 281 可藉由各種方法形成，其包括雷射鑽孔、電漿蝕刻或微影製程。第二盲孔 281 具有 50 微米之直徑。較佳為，第一盲孔 221 與第二盲孔 281 係以相同方法形成且具有相同尺寸。

請參見圖 5I，於第二介電層 261 上形成第二導線 291。第二導線 291 自第二介電層 261 向上延伸，並於第二介電層 261 上側向延伸，且向下延伸進入第二盲孔 281，以與第一導線 241 電性接觸。

可藉由各種方法沉積第二導線 291 做為第二導電層，其包括電解電鍍、無電電鍍、濺鍍及其組合。接著，可使用定義第二導線 291 之蝕刻阻層(圖未示)，再藉由各種方法進行圖案化，其包括濕蝕刻、電化學蝕刻、雷射輔助蝕刻及其組合。較佳為，第一導線 241 與第二導線 291 為相同材料，並以相同方式形成相同厚度。

又如圖 5I 所示，結構體上亦沉積有第二被覆層 61 及連接層 62。可使用製作第二導線 291 所使用之相同活化劑溶液、無電鍍銅晶種層及電鍍銅層，以沉積第二被覆層 61 及連接層 62。較佳為，第二被覆層 61、連接層 62 與第二導線 291 為相同材料，並以相同方式同時沉積形成相同厚度。

於穿孔 401 中沉積連接層 62，以形成被覆穿孔 402。連接層 62 為中空管狀，其於側面方向覆蓋穿孔 401 內側壁，並垂直延伸以電性連接端子 66 及第二導線 291。或者，該連接

層62亦可填滿穿孔401，據此，被覆穿孔402為金屬柱，且穿孔401中不具有填充絕緣填充材之空間。

又如圖5I所示，藉由微影製程及濕蝕刻，並使用定義基座64及端子66之蝕刻阻層(圖未示)，對第二被覆層61、第一被覆層60及導電層36進行選擇性圖案化，以形成基座64及端子66。

為便於圖示，凸塊16、導電層36、第一被覆層60及第二被覆層61均以單層顯示。同樣地，為便於圖示，導電層36、第一被覆層60、第二被覆層61、連接層62及第二導線291亦以單層顯示。由於銅為同質被覆，金屬層間之界線(均以虛線繪示)可能不易察覺甚至無法察覺。然而，金屬層與黏著層30、基板34、第一介電層211及第二介電層261間之界線則清楚可見。

於此階段中，如圖5I所示，堆疊式半導體組體100包括導熱板101、半導體晶片110、固晶材料113、增層電路201及被覆穿孔402。導熱板101包括黏著層30、基板34、散熱座50及端子66。其中，散熱座50包括凸塊16、凸緣層18及基座64。增層電路201包括第一介電層211、第一導線241、第二介電層261及第二導線291。此外，被覆穿孔402基本上係由導熱板101及增層電路201所共用。

凸塊16於彎折角22處鄰接凸緣層18，並於彎折角24及底板28處鄰接基座64。凸塊16自基座64朝向上方向延伸，自凸緣層18朝向下方向延伸，並與凸緣層18一體成型。凸塊16延伸進入開口32及通孔40後，仍位於開口32及通孔40

內之中央位置。凸塊16之底部與黏著層30其接觸基座64之相鄰部分共平面。凸塊16亦接觸黏著層30，並與基板34保持距離，同時維持平頂金字塔形，其尺寸自基座64處朝凸緣層18向上遞增。

基座64與凸塊16鄰接，並側向延伸超過開口32與通孔40，且從下方覆蓋凸塊16、開口32與通孔40。基座64接觸黏著層30與基板34，並向下延伸超過黏著層30及基板34。基座64鄰接凸塊16處具有第一厚度(即第一被覆層60與第二被覆層61之結合厚度)，鄰接基板34處則具有大於第一厚度之第二厚度(即導電層36、第一被覆層60與第二被覆層61之結合厚度)，基座64尚具有面朝向下方向之平坦表面。

端子66係自基板34向下延伸，並與基座64保持距離，同時與被覆穿孔402鄰接並一體成型。端子66具有結合導電層36、第一被覆層60及第二被覆層61之厚度。據此，基座64與端子66於最靠近彼此處具有相同厚度，而於基座64鄰接凸塊16處則具有不同厚度。此外，基座64與端子66於面朝下之表面上呈共平面。

黏著層30在缺口42內接觸且介於凸塊16與基板34之間，並填滿凸塊16與基板34間之空間。黏著層30在缺口42外則接觸基板34與凸緣層18，同時亦接觸基座64及連接層62。黏著層30延伸於凸塊16與凸緣層18之間以及凸塊16與基座64之間，同時位於凸緣層18與基座64之間以及凸緣層18與基板34之間。黏著層30亦從凸塊16側向延伸至組體之外圍邊緣。此時黏著層30已固化。黏著層30沿側面方向覆

蓋且包圍凸塊16之漸縮側壁26，且於向上方向覆蓋基座64位於凸塊16周緣外之部分，同時亦於向上方向覆蓋基板34且於向下方向覆蓋凸緣層18。黏著層30鄰接凸緣層18處具有第一厚度，而鄰接凸塊16處則具有第二厚度，其中第一厚度與第二厚度不同。

被覆穿孔402與散熱座50及第一導線241保持距離，並於端子66與第二導線291間之電性傳導路徑上，自端子66穿過基板34、黏著層30、凸緣層18、第一介電層211及第二介電層241而垂直延伸至第二導線291。因此，被覆穿孔402自端子66延伸至增層電路201之外導電層，並與增層電路201之內導電層保持距離。

若需要的話，增層電路201可再包括額外的連線層(即具有第三盲孔之第三介電層及第三導線等)。

散熱座50可為半導體元件110提供散熱及電磁屏蔽作用。該半導體元件110所產生之熱能流入凸塊16，並經由凸塊16進入基座64。熱能再由基座64散出，例如擴散至下方的散熱裝置。

圖5J為防焊層301設置於第二介電層261及第二導線291上之結構剖視圖。防焊層301包括顯露第二導線291選定部位之防焊層開孔311，以定義出連接墊341。連接墊341可用於形成導電接點(如焊料凸塊、錫球、接腳及其類似物)，以與外部元件或印刷電路板電性導通並機械連接。防焊層開孔311可藉由各種方法形成，其包括微影製程、雷射鑽孔及電漿蝕刻。

圖5K為三維堆疊結構剖視圖，其係藉由連接墊341上之焊料凸塊801，將另一半導體元件91接置於堆疊式半導體組體100之增層電路201處。焊料凸塊801可藉由各種方法製作，其包括：藉由網印方式塗上錫膏後再進行回火製程或藉由電鍍。

圖5L為另一三維堆疊結構剖視圖，其係藉由焊料凸塊802，將另一半導體元件92接置於堆疊式半導體組體100之基座64及端子66處。

圖5M為另一三維堆疊結構剖視圖，其係將另一半導體元件93接置於堆疊式半導體組體100之基座64處，並藉由打線803將其電性連接至端子66。半導體元件93可為裸晶片或封裝元件。若採用裸晶片，則必須另外使用封裝材901或密封材料(如成型模料)，以保護裸晶片及打線803。

增層電路291可包括額外的連線層，以使連接墊341位於適當位置。

《實施例2》

圖6A至6F為本發明另一態樣之堆疊式半導體組體製作剖視圖，其中該半導體組體具有連接至增層電路內導電層之被覆穿孔。

圖6A為導熱板101上具有第一介電層211之結構剖視圖，其係藉由如圖1A至5C所示步驟製得。

圖6B為具有穿孔401之結構剖視圖。穿孔401係對應凸緣層18之開孔181，並沿垂直方向延伸穿過第一介電層211、凸緣層18、黏著層30、基板34及導電層36。穿孔401

係以機械鑽孔方式形成，其亦可藉由其他技術形成，如雷射鑽孔及電漿蝕刻。

圖6C為第一介電層211形成有第一盲孔221之結構剖視圖，其中第一盲孔221係穿過第一介電層211，以顯露接觸墊114及凸緣層18之選定部位。

參見圖6D，將第一導線241形成於第一介電層211上，其中第一導線241自第一介電層211向上延伸，並於第一介電層211上側向延伸，且向下延伸進入第一盲孔221，以與接觸墊114及凸緣層18形成電性接觸。

又如圖6D所示，穿孔401外形成有第一被覆層60，而穿孔401內則形成連接層62並填有絕緣填充材63。連接層62於穿孔401中形成被覆穿孔402。連接層62為中空管狀，其於側面方向覆蓋穿孔401內側壁，並延伸以電性連接端子66及第一導線241，而絕緣填充材63則填滿穿孔401剩餘空間。或者，該連接層62亦可填滿穿孔401，據此，連接層62為金屬柱，且穿孔401中不具有填充絕緣填充材63之空間。

圖6E為形成第二介電層261之結構剖視圖，其具有第二盲孔281。第二介電層261係設置於第一導線241及第一介電層211上，而第二盲孔281延伸穿過第二介電層261，以顯露第一導線241之選定部位。

圖6F為形成第二導線291之結構剖視圖，其中第二導線291自第二介電層261向上延伸，並於第二介電層261上側向延伸，同時延伸進入第二盲孔281，以與第一導線241及被覆穿孔402形成電性接觸。第二被覆層61係沉積於第一被覆

層60及絕緣填充材63之側底面上，並於向下方向覆蓋第一被覆層60及絕緣填充材63。為便於圖示，凸塊16、導電層36、第一被覆層60及第二被覆層61均以單層顯示。同樣地，為便於圖示，導電層36、第一被覆層60、第二被覆層61、連接層62及第一導線241亦以單層顯示。由於銅為同質被覆，金屬層間之界線(均以虛線繪示)可能不易察覺甚至無法察覺。然而，金屬層與黏著層30、基板34、絕緣填充材63、第一介電層211及第二介電層261間之界線則清楚可見。基座64與端子66係藉由微影製程及濕蝕刻，對第二被覆層61、第一被覆層60及導電層36進行圖案化而形成。

於此階段中，如圖6F所示，堆疊式半導體組體100包括絕緣填充材63、導熱板101、半導體晶片110、固晶材料113、增層電路201及被覆穿孔402。導熱板101包括黏著層30、基板34、散熱座50及端子66。其中，散熱座50包括凸塊16、凸緣層18及基座64。增層電路201包括第一介電層211、第一導線241、第二介電層261及第二導線291。

被覆穿孔402及絕緣填充材63基本上係由導熱板101及增層電路201所共用。

被覆穿孔402與散熱座50及第二導線291保持距離，並於端子66與第一導線241間之電性傳導路徑上，自端子66穿過基板34、黏著層30、凸緣層18及第一介電層211而垂直延伸至第一導線241。因此，被覆穿孔402自端子66垂直延伸至增層電路201之內導電層，並與增層電路201之外導電層保持距離。

《實施例3》

圖7A至7H為本發明再一態樣之堆疊式半導體組體製作剖視圖，其中該半導體組體具有連接至導熱板內部接墊之被覆穿孔。

圖7A為圖1A至4E所示步驟製得之導熱板101剖視圖。

圖7B為具有穿孔401之結構剖視圖。穿孔401沿垂直方向延伸穿過凸緣層18、黏著層30、基板34及導電層36。穿孔401係以機械鑽孔方式形成，其亦可藉由其他技術形成，如雷射鑽孔及電漿蝕刻。

圖7C為穿孔401外形成第一被覆層60且穿孔401內形成連接層62及絕緣填充材63之結構剖視圖。第一被覆層60於向上方向上覆蓋凸塊16及凸緣層18，並自凸塊16及凸緣層18向上延伸。第一被覆層60亦於向下方向上覆蓋凸塊16、黏著層30及導電層36，並自凸塊16、黏著層30及導電層36向下延伸。

又如圖7C所示，於穿孔401中沉積連接層62，以形成被覆穿孔402。連接層62為中空管狀，其於側面方向覆蓋穿孔401側壁並垂直延伸，以將凸緣層18及其上第一被覆層60電性連接至導電層36及其上第一被覆層60，而絕緣填充材63填滿穿孔401剩餘空間。或者，該連接層62亦可填滿穿孔401，據此，被覆穿孔402為金屬柱，且穿孔401中不具有填充絕緣填充材之空間。

為便於圖示，凸塊16、凸緣層18、第一被覆層60、導電層36及連接層62均以單層顯示。由於銅為同質被覆，金

屬層間之界線 (均以虛線繪示)可能不易察覺甚至無法察覺。然而，黏著層30與第一被覆層60間、黏著層30與連接層62間、基板34與連接層62間之界線則清楚可見。

圖7D為第二被覆層61沉積於第一被覆層60及絕緣填充材63上之結構剖視圖。第二被覆層61為未經圖案化之銅層，其自第一被覆層60及絕緣填充材63向上及向下延伸並覆蓋此兩者。

為便於圖示，凸塊16、凸緣層18、第一被覆層60、第二被覆層61、導電層36及連接層62均以單層顯示。由於銅為同質被覆，金屬層間之界線 (均以虛線繪示)可能不易察覺甚至無法察覺。為便於圖示，增厚凸塊16'及增厚凸緣層18'仍視為凸塊16及凸緣層18。然而，第二被覆層61與絕緣填充材63間、連接層62與黏著層30間、連接層62與基板34間、連接層62與絕緣填充材63間之界線則清楚可見。

圖7E為內部接墊182形成於被覆穿孔402上之結構剖視圖，其中內部接墊182係藉由微影製程及濕蝕刻，對上表面之凸緣層18、第一被覆層60及第二被覆層61進行選擇性圖案化而形成。內部接墊182與被覆穿孔402鄰接並與之電性連接，同時自被覆穿孔402於向上方向上側向延伸且覆蓋被覆穿孔402，並與凸塊16及凸緣層18保持距離。

圖7F為導熱板101藉由固晶材料113將半導體晶片110設置於凸塊16上之剖視圖。

圖7G為具有第一介電層211之結構剖視圖，其中第一介電層211係設置於半導體晶片頂面111(即作用表面)、接觸

墊114、固晶材料113、凸塊16、凸緣層18及內部接墊182上。第一介電層211延伸進入凹穴20，遂而與凸塊16、半導體晶片110及固晶材料113接觸，並夾置於凸塊16與半導體晶片110之間。第一介電層211亦於凹穴20外與凸緣層18、黏著層30及內部接墊182接觸。又如圖7G所示，形成穿過第一介電層211之第一盲孔221，以顯露接觸墊114及內部接墊182。

參見圖7H，將第一導線241形成於第一介電層211上，其中第一導線241自第一介電層211向上延伸，並於第一介電層211上側向延伸，且向下延伸進入第一盲孔221，以與接觸墊114及內部接墊182形成電性接觸。又如圖7H所示，第二被覆層61於向下方向上沉積有第三被覆層65。

為便於圖示，凸塊16、導電層36、第一被覆層60、第二被覆層61、連接層62及第三被覆層65均以單層顯示。由於銅為同質被覆，金屬層間之界線（均以虛線繪示）可能不易察覺甚至無法察覺。然而，金屬層與黏著層30、基板34、絕緣填充材63及第一介電層211間之界線則清楚可見。

基座64及端子66係藉由微影製程及濕蝕刻，對第三被覆層65、第二被覆層61、第一被覆層60及導電層36進行選擇性圖案化而形成。基座64與凸塊16鄰接，並接觸黏著層30及基板34。端子66與基座64及凸塊16保持距離，並鄰接且電性連接至被覆穿孔402。

據此，如圖7H所示，增層電路202包括第一介電層211及第一導線241。導熱板101包括黏著層30、基板34、散熱座50、端子66、內部接墊182及被覆穿孔402。散熱座50包

括凸塊16、凸緣層18及基座64。被覆穿孔402與散熱座50及組體上表面保持距離，並於端子66與第一導線241間之電性傳導路徑上，自端子66穿過基板34及黏著層30而延伸至內部接墊182。

《實施例4-6》

圖8至10為導熱板中不包含基板之堆疊式半導體組體剖視圖。

該些實施例係使用厚導電層36，且未使用基板。例如，導電層36之厚度為130微米(而非30微米)，如此一來便可防止導電層36於使用時彎曲或晃動，而基座64及端子66也因此增厚。導熱板102則未使用基板。據此，基座64於鄰接凸塊16處具有第一厚度，而鄰接黏著層30處則具有大於第一厚度之第二厚度。此外，基座64與端子66於最靠近彼此處具有相同厚度，而於基座64鄰接凸塊16處則具有不同厚度，同時基座64與端子66於面朝下之表面上為共平面。

另外，如上所述，黏著層30於鄰接凸緣層18處具有第一厚度，而於鄰接凸塊16處具有不同於第一厚度之第二厚度。亦即，凸緣層18與導電層36(視為基座64之一部份)間垂直方向上之距離，不同於凸塊16與導電層36間側面方向上之距離。再者，如上所述，當黏著層30向下延伸至凸塊16與導電層36間之缺口時，由於凸塊16向上延伸時之尺寸呈遞增狀態，故黏著層30於鄰接凸塊16處之厚度亦呈現遞增趨勢。

導熱板102之製作方式與導熱板101類似，但必須對導

電層36進行適當調整。例如，先將黏著層30設置於凸緣層18上，再將導電層36單獨設置於黏著層30上，接著對黏著層30加熱及加壓，使黏著層30流動並固化，最後再以研磨方式使凸塊16、黏著層30及導電層36之側向表面成為平面。據此，黏著層30接觸凸塊16、凸緣層18、基座64及端子66，並側向覆蓋、包圍且同形被覆凸塊16之漸縮側壁26。端子66自黏著層30向下延伸並與基座64保持距離。被覆穿孔402自端子穿過黏著層30、凸緣層18、第一介電層211及第二介電層261而延伸至第二導線291(如圖8所示)，或自端子穿過黏著層30、凸緣層18及第一介電層211而延伸至第一導線241(如圖9所示)，或自端子穿過黏著層30而延伸至內部接墊182(如圖10所示)。

上述之半導體組體與導熱板僅為說明範例，本發明尚可透過其他多種實施例實現。此外，上述實施例可基於設計及可靠度之考量，彼此混合搭配使用或與其他實施例混合搭配使用。例如，基板可包括陶瓷材料或環氧類層壓體，且可嵌埋有單層導線或多層導線。導熱板可包含多個凸塊，且該些凸塊係排成一陣列以供多個半導體元件使用。此外，增層電路為配合額外之半導體元件，可包含更多導線。

本案之半導體元件可獨自使用一散熱座，或與其他半導體元件共用一散熱座。例如，可將單一半導體元件設置於一散熱座上，或將多個半導體元件設置於一散熱座上。舉例而言，可將四枚排列成2x2陣列之小型晶片黏附於凸

塊，而增層電路可包括額外的導線，以連接更多的接觸墊。相較每一晶片設置一微小凸塊，此作法更具經濟效益。

本案之半導體元件可為已封裝或未封裝晶片。此外，該半導體元件可為裸晶片、柵格陣列封裝(LGA)或方形扁平無引腳封裝(QFN)等。可利用多種連結媒介將半導體元件機械性連結、電性連結及熱連結至導熱板，包括利用焊接及使用導電及/或導熱黏著劑等方式達成。

本案之散熱座可將半導體元件所產生之熱能迅速、有效且均勻散發至下一層組體而不需使熱流通過黏著層、基板或導熱板之他處。如此一來便可使用導熱性較低之黏著層，進而大幅降低成本。散熱座可為半導體元件提供有效的電磁屏蔽作用。散熱座可包含一體成型之凸塊與凸緣層，以及與該凸塊為冶金連結及熱連結之基座，藉此提高可靠度並降低成本。此外，凸塊可依半導體元件量身訂做，而基座則可依下一層組體量身訂做，藉此加強自半導體元件至下一層組體之熱連結。例如，凸塊之底板可為正方形或矩形，俾與半導體元件熱接點之形狀相同或相似。在上述任一設計中，散熱座均可採用多種不同之導熱金屬結構。

散熱座可與半導體元件電性連接或電性隔離。例如，第一導線延伸進入接觸墊及凸緣層上方之第一盲孔，俾可電性連接半導體元件至凸緣層，進而電性連接半導體元件至基座。爾後，散熱座可進一步電性接地，藉以將半導體元件電性接地並提供半導體元件所需之電磁屏蔽作用。

基座可為該組體提供重要的散熱溝槽。基座之背部可包含向下突伸之鰭片。舉例說明，可利用鑽板機切削基座之外露側向表面以形成側向溝槽，而此等側向溝槽即形成鰭片。在此例中，基座之厚度可為500微米，前述溝槽之深度可為300微米，亦即鰭片之高度可為300微米。該等鰭片可增加基座之表面積，若該等鰭片係曝露於空氣中而非設置於一散熱裝置上，則可提升基座經由熱對流之導熱性。

基座及端子可於黏著層固化後，以多種沉積技術製成，包括以電鍍、無電電鍍、蒸鍍及濺鍍等技術形成單層或多層結構。基座及端子可採用與凸塊相同或不同之金屬材質。此外，基座可跨越通孔並延伸至基板，或坐落於通孔之周緣內。因此，基座可接觸基板或與基板保持距離。在上述任一情況下，基座均鄰接凸塊，並自凸塊朝背向凹穴之方向垂直延伸。

本案之黏著層可在散熱座與基板之間提供堅固之機械性連結。例如，黏著層可自凸塊側向延伸並越過導線，最後到達組體之外圍邊緣。黏著層可填滿散熱座與基板間之空間，且為一具有結合線均勻分佈之無孔洞結構。黏著層亦可吸收散熱座與基板之間因熱膨脹所產生之不匹配現象。黏著層之材料可與基板及介電層相同或不同。此外，黏著層可為低成本之介電材，其無需具備高導熱性。再者，本案之黏著層不易脫層。

另外，可調整黏著層之厚度，使黏著層實質填滿所述缺口，並使幾乎所有黏著劑在固化及/或研磨後均位於結構體內。例如，可藉由試誤法來決定理想之膠片厚度。

基板可為導熱板提供機械性支撐。例如，基板可防止導熱板於金屬研磨、晶片設置及增層電路製作之過程中彎曲變形。基板可選用低成本材料，其無需具備高導熱性。據此，基板可由習知有機材料(如環氧、玻璃-環氧、聚醯亞胺等)製成。此外，亦可使用導熱材料(如氧化鋁(Al_2O_3)、氮化鋁(AlN)、氮化矽(SiN)、矽(Si)等)做為基板材料。在此，基板可為單層結構或多層結構，如層壓電路板或多層陶瓷板。據此，基板可包括額外的嵌埋式電路層。

可先將導電層設置於基板上，再於導電層及基板中形成通孔，接著將導電層及基板設置於黏著層上，俾使導電層於向上方向顯露，而基板則與導電層及黏著層接觸，並介於兩者之間，以分隔導電層及黏著層。此外，凸塊延伸進入通孔，並藉由通孔而朝向上方向顯露。在此例中，該導電層之厚度可為10至50微米，例如30微米，此厚度一方面夠厚，足以提供可靠之訊號傳導，一方面則夠薄，有利於降低重量及成本。此外，該基板恆為導熱板之一部分。

導電層可單獨設置於黏著層上。例如，可先在導電層上形成通孔，然後將該導電層設置於黏著層上，使該導電層接觸該黏著層並朝向上方向外露，在此同時，凸塊則延伸進入該通孔，並透過該通孔朝向上方向外露。在此例中，該導電層之厚度可為100至200微米，例如125微米，此厚度

一方面夠厚，故搬運時不致彎曲晃動，一方面則夠薄，故不需過度蝕刻即可形成圖案。

亦可將導電層與一載體同時設置於黏著層上。例如，可先利用一薄膜將導電層黏附於一諸如雙定向聚對苯二甲酸乙二酯膠膜(Mylar)之載體，然後僅在導電層上形成通孔(即，不在載體上形成通孔)，接著將導電層及載體設置於黏著層上，使載體覆蓋導電層且朝向上方向外露，並使薄膜接觸且介於載體與導電層之間，至於導電層則接觸且介於薄膜與黏著層之間，在此同時，凸塊則對準該通孔，並由載體從上方覆蓋。待黏著層固化後，可利用紫外光分解該薄膜，以便將載體從導電層上剝除，從而使導電層朝向上方向外露，之後便可對導電層進行研磨及圖案化，以形成基座及端子。在此例中，導電層之厚度可為10至50微米，例如30微米，此厚度一方面夠厚，足以提供可靠之訊號傳導，一方面則夠薄，可降低重量及成本；至於載體之厚度可為300至500微米，此厚度一方面夠厚，故搬運時不致彎曲晃動，一方面又夠薄，有助於減少重量及成本。該載體僅為一暫時固定物，並非永久屬於導熱板之一部分。

包含導線之增層電路可作為訊號層、功率層或接地層，其端視其相應半導體元件焊墊之目的而定。導線亦可包含各種導電金屬，例如銅、金、鎳、銀、鈮、錫、其混合物及其合金。理想之組成既取決於外部連結媒介之性質，亦取決於設計及可靠度方面之考量。此外，精於此技藝之人士應可瞭解，在本案半導體組體中所用之銅可為純

銅，但通常係以銅為主之合金，如銅-銻(99.9%銅)、銅-銀-磷-鎂(99.7%銅)及銅-錫-鐵-磷 (99.7%銅)，藉以提高如抗張強度與延展性等機械性能。

在一般情況下，最好設有所述之基板、被覆層、防焊層及額外的增層結構，但於某些實施例中則可省略之。例如，若需使用厚導電層，則可省去基板，以降低成本。同樣地，若第一導線已足以提供半導體元件與被覆穿孔間所需之訊號路由，則無須再形成第二導線。

本案導熱板之作業格式可為單一或多個導熱板，端視製造設計而定。例如，可個別製作單一導熱板。或者，可利用單一金屬板、單一黏著層、單一基板、單一導電層及單一被覆層同時批次製造多個導熱板，而後再行分離。同樣地，針對同一批次中之各導熱板，亦可利用單一金屬板、單一黏著層、單一基板、單一導電層及單一被覆層同時批次製造多組分別供單一半導體元件使用之散熱座與導線。

例如，可在一金屬板上沖壓出多個凸塊；而後將具有對應該等凸塊之開口的未固化黏著層設置於凸緣層上，使每一凸塊均延伸貫穿其對應開口；然後將基板及導電層(其具有對應該等凸塊之通孔)設置於黏著層上，使每一凸塊均延伸貫穿其對應開口並進入對應通孔；而後利用壓台將凸緣層與該基板彼此靠合，迫使黏著層進入該等通孔內介於該等凸塊與基板間之缺口；然後固化黏著層，繼而研磨該等凸塊、黏著層及導電層以形成一側向表面。

本案半導體組體之作業格式可為單一組體或多個組體，其取決於製造設計。例如，可單獨製造單一組體，或者，可同時批次製造多個組體，之後再將各導熱板一一分離。同樣地，亦可將多個半導體元件電性連結、熱連結及機械性連結至批次量產中之每一導熱板。

可透過單一步驟或多道步驟使各導熱板彼此分離。例如，可將多個導熱板批次製成一平板，接著將多個半導體元件設置於該平板上，然後再將該平板所構成之多個半導體組體一一分離。或者，可將多個導熱板批次製成一平板，而後將該平板所構成之多個導熱板分切為多個導熱板條，接著將多個半導體元件分別設置於該等導熱板條上，最後再將各導熱板條所構成之多個半導體組體分離為個體。此外，在分割導熱板時可利用機械切割、雷射切割、分劈或其他適用技術。

在本文中，「鄰接」一詞意指元件係一體成型(形成單一個體)或相互接觸(彼此無間隔或未隔開)。例如，凸塊鄰接基座與凸緣層，但並未鄰接基板。

「重疊」一詞意指位於上方並延伸於一下方元件之周緣內。「重疊」包含延伸於該周緣之內、外或坐落於該周緣內。例如，在凹穴朝上之狀態下，本案之半導體元件係重疊於凸塊，此乃因一假想垂直線可同時貫穿該半導體元件與該凸塊，不論半導體元件與凸塊之間是否存有另一同樣被該假想垂直線貫穿之元件(如固晶材料)，且亦不論是否有另一假想垂直線僅貫穿凸塊而未貫穿半導體元件(亦即

位於半導體元件之周緣外)。同樣地，凸塊係重疊於基座，凸緣層係重疊於黏著層，且基座被凸塊重疊。此外，「重疊」與「位於上方」同義，「被重疊」則與「位於下方」同義。

「接觸」一詞意指直接接觸。例如，基板接觸基座但並未接觸凸塊。

「覆蓋」一詞意指於垂直及/或側面方向上完全覆蓋。例如，在凹穴朝上之狀態下，若基座側向延伸超出通孔外且接觸基板，則該基座係從下方覆蓋凸塊，但該凸塊並未從上方覆蓋該基座。

「層」字包含圖案化及未圖案化之層體。例如，當層壓結構體包括導電層且基板設置於黏著層上時，導電層可為基板上一空白未圖案化之平板；而當半導體元件設置於散熱座上之後，第一導電層可為第一介電層上具有間隔導線之電路圖案。此外，「層」可包含複數疊合層。

「開口」、「通孔」與「穿孔」等詞同指貫穿孔洞。例如，凹穴朝下之狀態下，凸塊插入黏著層之開口後，其係朝向上方向從黏著層中露出。同樣地，凸塊插入層壓結構之通孔後，其係朝向上方向從層壓結構中露出。

「插入」一詞意指元件間之相對移動。例如，「將凸塊插入通孔中」包含：凸緣層固定不動而由基板朝凸緣層移動；基板固定不動而由凸緣層朝基板移動；以及凸緣層與基板兩者彼此靠合。又例如，「將凸塊插入(或延伸至)

通孔內」包含：凸塊貫穿(穿入並穿出)通孔；以及凸塊插入但未貫穿(穿入但未穿出)通孔。

「彼此靠合」一語意指元件間之相對移動。例如，「凸緣層與基板彼此靠合」包含：凸緣層固定不動而由基板朝凸緣層移動；基板固定不動而由凸緣層朝基板移動；以及凸緣層與基板相互靠近。

「對準」一詞意指元件間之相對位置。例如，當黏著層已設置於凸緣層上、基板及導電層已設置於黏著層上、凸塊已插入並對準開口且通孔已對準開口時，無論凸塊係插入通孔或位於通孔下方且與其保持距離，凸塊均已對準通孔。

「設置於」一語包含與單一或多個支撐元件間之接觸與非接觸。例如，一半導體元件係設置於凸塊上，不論此半導體元件係實際接觸該凸塊或與該凸塊以一固晶材料相隔。

「黏著層於缺口內…」一語意指位於缺口中之黏著層。例如，「黏著層於缺口內延伸跨越基板」意指缺口內之黏著層延伸跨越基板。同樣地，「黏著層於缺口內接觸且介於凸塊與基板之間」意指缺口中之黏著層接觸且介於缺口內側壁之凸塊與缺口外側壁之基板之間。

「基座自凸塊側向延伸」一語意指基座於鄰接凸塊處側向延伸而出。例如，在凹穴朝上之狀態下，基座自凸塊側向延伸並因而接觸黏著層，此與基座是否側向延伸至凸塊外、側向延伸至凸緣層或從下方覆蓋凸塊無關。同樣地，

若基座與凸塊於凸塊底板處佔據相同之空間範圍，則基座並未側向延伸超過凸塊。

「電性連接(或連結)」一詞意指直接或間接電性連接(或連結)。例如，「被覆穿孔電性連接(或連結)第一導線」包含：被覆穿孔鄰接第一導線；被覆穿孔藉由第二導線而電性連接(或連結)至第一導線。

「上方」一詞意指向上延伸，且包含鄰接與非鄰接元件以及重疊與非重疊元件。例如，在凹穴朝上之狀態下，凸塊係延伸於基座上方，同時鄰接、重疊於基座並自基座突伸而出。

「下方」一詞意指向下延伸，且包含鄰接與非鄰接元件以及重疊與非重疊元件。例如，在凹穴朝上之狀態下，基座係延伸於凸塊下方，鄰接凸塊，被凸塊重疊，並自凸塊向下突伸而出。同樣地，凸塊即使並未鄰接基板或被基板重疊，其仍可延伸於基板下方。

「第一垂直方向」及「第二垂直方向」並非取決於半導體組體（或導熱板）之定向，凡熟悉此項技藝之人士即可輕易瞭解其實際所指之方向。例如，凸塊係朝第一垂直方向垂直延伸至基座外，並朝第二垂直方向垂直延伸至凸緣層外，此與組體是否倒置及/或組體是否係設置於一散熱裝置上無關。同樣地，凸緣層係沿一側向平面自凸塊「側向」伸出，此與組體是否倒置、旋轉或傾斜無關。因此，該第一及第二垂直方向係彼此相對且垂直於側面方向，此外，側向對齊之元件係在垂直於第一與第二垂直方向之側向平

面上彼此共平面。再者，當凹穴向上時，第一垂直方向為向上方向，第二垂直方向為向下方向；當凹穴向下時，第一垂直方向為向下方向，第二垂直方向為向上方向。

本發明之堆疊式半導體組體具有多項優點。該組體之可靠度高、價格平實且極適合量產。該組體尤其適用於易產生高熱且需優異散熱效果方可有效及可靠運作之高功率半導體元件、大型半導體晶片以及多個半導體元件(例如以陣列方式排列之多枚小型半導體晶片)。

本案之製作方法具有高度適用性，且係以獨特、進步之方式結合運用各種成熟之電性連結、熱連結及機械性連結技術。此外，本案之製作方法不需昂貴工具即可實施。因此，相較於傳統封裝技術，此製作方法可大幅提升產量、良率、效能與成本效益。再者，本案之組體極適合於銅晶片及無鉛之環保要求。

在此所述之實施例係為例示之用，其中該些實施例可能會簡化或省略本技術領域已熟知之元件或步驟，以免模糊本發明之特點。同樣地，為使圖式清晰，圖式亦可能省略重覆或非必要之元件及元件符號。

精於此項技藝之人士針對本文所述之實施例當可輕易思及各種變化及修改之方式。例如，前述之材料、尺寸、形狀、大小、步驟之內容與步驟之順序皆僅為範例。本領域人士可於不悖離如隨附申請專利範圍所定義之本發明精神與範疇之條件下，進行變化、調整與均等技藝。

【圖式簡單說明】

圖1A及1B為本發明一實施例之凸塊與凸緣層剖視圖。

圖1C及1D分別為圖1B之俯視圖及仰視圖。

圖2A及2B為本發明一實施例之黏著層剖視圖。

圖2C及2D分別為圖2B之俯視圖及仰視圖。

圖3A及3B為本發明一實施例之基板與導電層壓合結構剖視圖。

圖3C及3D分別為圖3B之俯視圖及仰視圖。

圖4A至4F為本發明一實施例之導熱板製作方法剖視圖。

圖5A至5J為本發明一實施例之堆疊式半導體組體製作方法剖視圖，其中該組體包括導熱板、半導體元件、端子、被覆穿孔及增層電路。

圖5K為本發明一實施例之三維堆疊結構剖視圖，其包括堆疊式半導體組體及接置於增層電路之半導體元件。

圖5L為本發明一實施例之三維堆疊結構剖視圖，其包括堆疊式半導體組體及接置於基座與端子之半導體元件。

圖5M為本發明一實施例之三維堆疊結構剖視圖，其包括堆疊式半導體組體及接置於基座之半導體元件。

圖6A至6F為本發明另一實施例之堆疊式半導體組體製作方法剖視圖，其中該組體具有連接至增層電路內導電層之被覆穿孔。

圖7A至7H為本發明再一實施例之堆疊式半導體組體製作剖視圖，其中該組體具有連接至導熱板內部接墊之被

覆穿孔。

圖8至10為本發明其他實施例之堆疊式半導體組體剖視圖，其導熱板不含基板。

【主要元件符號說明】

10	金屬板	12,14	表面
16	凸塊	16'	增厚凸塊
18	凸緣層	18'	增厚凸緣層
20	凹穴	22,24	彎折角
26	漸縮側壁	28	底板
30	黏著層	32	開口
34	基板	36	導電層
40	通孔	401	穿孔
402	被覆穿孔	42	缺口
50	散熱座	60	第一被覆層
61	第二被覆層	62	連接層
63	絕緣填充材	64	基座
65	第三被覆層	66	端子
91, 92, 93	半導體元件	100	半導體組體
101,102	導熱板	110	半導體晶片
111	頂面	112	底面
113	固晶材料	114	接觸墊
181	開孔	182	內部接墊

201, 202	增層電路	211	第一介電層
221	第一盲孔	241	第一導線
261	第二介電層	281	第二盲孔
291	第二導線	301	防焊層
311	防焊層開孔	341	連接墊
801, 802	焊料凸塊	803	打線
901	封裝材	D1,D2	距離
T1	第一厚度	T2	第二厚度

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 100142592

※ 申請日： 100.11.21 ※IPC 分類： H01L 21/50 (2006.01)

一、發明名稱：(中文/英文)

具有凸塊/基座/凸緣層散熱座及增層電路之堆疊式半導體組體製法

METHOD OF MAKING STACKABLE
SEMICONDUCTOR ASSEMBLY WITH
BUMP/BASE/FLANGE HEAT SPREADER AND
BUILD-UP CIRCUITRY

二、中文發明摘要：

一種堆疊式半導體組體之製法，其中該組體包括半導體元件、散熱座、黏著層、端子、被覆穿孔及增層電路。該散熱座包括一凸塊、一基座及一凸緣層。該凸塊定義出一凹穴。該半導體元件設置於凸塊上且位於凹穴處，並電性連接至該增層電路，並與凸塊熱連結。該凸塊自基座延伸進入黏著層之開口，且該基座自凸塊朝相反於凹穴之方向垂直延伸，同時該凸緣層於凹穴入口處自凸塊側向延伸。該增層電路可提供半導體元件之訊號路由。該被覆穿孔可提供增層電路與端子間之訊號路由。該散熱座可為半導體元件提供散熱作用。

三、英文發明摘要：

A method of making a stackable semiconductor assembly that includes a semiconductor device, a heat spreader, an adhesive, a terminal, a plated through-hole and build-up circuitry is disclosed. The heat spreader includes a bump, a base and a flange. The bump defines a cavity. The semiconductor device is mounted on the bump at the cavity, electrically connected to the build-up circuitry and thermally connected to the bump. The bump extends from the base into an opening in the adhesive, the base extends vertically from the bump opposite the cavity and the flange extends laterally from the bump at the cavity entrance. The build-up circuitry provides signal routing for the semiconductor device. The plated through-hole provides signal routing between the build-up circuitry and the terminal. The heat spreader provides heat dissipation for the semiconductor device.

四、指定代表圖：

(一)本案指定代表圖為：圖 (5I) 。

(二)本代表圖之元件符號簡單說明：

16	凸塊	18	凸緣層
20	凹穴	22, 24	彎折角
28	底板	30	黏著層
32	開口	34	基板
36	導電層	40	通孔
42	缺口	50	散熱座

七、申請專利範圍：

1. 一種散熱增益型堆疊式半導體組體之製法，其包括以下步驟：

提供一凸塊、一凸緣層、一黏著層及一具有通孔之導電層，其中該凸塊定義出面朝第一垂直方向之一凹穴，且於相反於該第一垂直方向之第二垂直方向上覆蓋該凹穴，同時該凸塊鄰接該凸緣層並與該凸緣層一體成型，且自該凸緣層朝該第二垂直方向延伸，而該凸緣層則自該凸塊朝垂直於該第一及第二垂直方向之側面方向側向延伸；然後

藉由該黏著層將該凸緣層及該凸塊黏附至該導電層，其中該黏著層介於該凸緣層與該導電層之間及該凸塊與該導電層之間，此步驟包括將該凸塊對準該通孔；然後

將包含一接觸墊之一半導體元件設置於該凸塊上且位於該凹穴處；

提供一增層電路於該半導體元件及該凸緣層上，其中該增層電路自該半導體元件及該凸緣層朝該第一垂直方向延伸，且電性連接至該半導體元件；

提供一基座，其鄰接該凸塊並自該凸塊朝該第二垂直方向延伸，且於該第二垂直方向上覆蓋該凸塊並自該凸塊側向延伸，同時該基座包括鄰接該通孔且與該凸塊保持距離之該導電層一選定部位；

提供一端子，其與該基座及該凸塊保持距離，並朝該第二垂直方向延伸於該黏著層外，同時該端子包括與該通孔及該凸塊保持距離之該導電層一選定部位；以及

提供一被覆穿孔，其朝該第一及第二垂直方向延伸貫穿該黏著層，以提供該增層電路與該端子間之電性連接。

2. 如申請專利範圍第1項所述之製法，其中，提供該凸塊之步驟包括：對一金屬板進行機械沖壓。

3. 如申請專利範圍第1項所述之製法，其中，將該凸緣層及該凸塊黏附至該導電層之步驟包括：

將未固化之該黏著層設置於該凸緣層上，此步驟包括將該凸塊對準該黏著層之一開口；

將該導電層設置於該黏著層上，此步驟包括將該凸塊對準該導電層之該通孔，其中該黏著層位於該凸緣層與該導電層之間；然後

使該黏著層流入該通孔內介於該凸塊與該導電層間之一缺口；以及

固化該黏著層。

4. 如申請專利範圍第3項所述之製法，其中：

使該黏著層流入該缺口之步驟包括：加熱熔化該黏著層，並使該凸緣層及該導電層彼此靠合，藉此使該凸塊於該通孔中朝該第二垂直方向移動，並對該凸緣層與該導電層間之該熔化黏著層施加壓力，其中該壓力迫使該熔化黏著層朝該第二垂直方向流入該通孔內介於該凸塊與該導電層間之該缺口；且

固化該黏著層之步驟包括：加熱固化該熔化黏著層，藉此將該凸塊及該凸緣層機械性黏附至該導電層。

5. 如申請專利範圍第3項所述之製法，其中：

提供該黏著層之步驟包括提供一未固化環氧樹脂之膠片；

使該黏著層流入該缺口之步驟包括熔化該未固化環氧樹脂，並擠壓該凸緣層與該導電層間之該未固化環氧樹脂；且

固化該黏著層之步驟包括固化該未固化環氧樹脂。

6. 如申請專利範圍第3項所述之製法，其中，使該黏著層流入該缺口之步驟包括：使該黏著層填滿該缺口，並迫使該黏著層朝該第二垂直方向超出該凸塊及該導電層，俾使該黏著層接觸該凸塊與該導電層面向該第二垂直方向之表面。

7. 如申請專利範圍第3項所述之製法，其中，設置該導電層之步驟包括：將該導電層單獨設置於該黏著層上，俾使該導電層接觸該黏著層，而該通孔僅延伸貫穿該導電層。

8. 如申請專利範圍第3項所述之製法，其中，設置該導電層之步驟包括：將一層壓結構設置於該黏著層上，其中該層壓結構包括該導電層及一基板，俾使該基板接觸並介於該導電層與該黏著層之間，該導電層則與該黏著層保持距離，且該通孔延伸貫穿該導電層及該基板。

9. 如申請專利範圍第1項所述之製法，其中，提供該增層電路之步驟包括：

提供一介電層於該半導體元件及該凸緣層上，其中該介電層自該半導體元件及該凸緣層朝該第一垂直方向延

伸，且該介電層包括一對準該接觸墊之盲孔；以及

提供一導線於該介電層上，其中該導線自該介電層朝該第一垂直方向延伸，並於該介電層上側向延伸，同時朝該第二垂直方向穿過該盲孔而延伸至該接觸墊，俾使該半導體元件電性連接至該導線。

10. 如申請專利範圍第9項所述之製法，其中，提供該導線之步驟包括：沉積一被覆層於該介電層上，且該被覆層穿過該盲孔而延伸至該接觸墊，然後再使用一定義該導線之蝕刻阻層，以移除該被覆層之選定部位。

11. 如申請專利範圍第1項所述之製法，其中，提供該基座及該端子之步驟包括：

沉積一被覆層於該凸塊、該黏著層及該導電層上，其中該被覆層於該第二垂直方向上覆蓋該凸塊，並自該凸塊側向延伸至該導電層；然後

使用一定義該基座及該端子之蝕刻阻層，以移除該被覆層及該導電層之選定部位。

12. 如申請專利範圍第1項所述之製法，其包括：於提供該增層電路期間提供該被覆穿孔，或者於設置該半導體元件前並於該凸塊及該凸緣層黏附至該導電層後提供該被覆穿孔。

13. 如申請專利範圍第1項所述之製法，其中，提供該被覆穿孔之步驟包括：

形成一穿孔，其朝該第一及第二垂直方向延伸貫穿該黏著層；然後

沉積一連接層於該穿孔之一內側壁上。

14. 如申請專利範圍第9項所述之製法，其中，提供該介電層、該導線、該基座、該端子及該被覆穿孔之步驟包括：

形成一穿孔，其朝該第一及第二垂直方向延伸貫穿該黏著層；然後

沉積一連接層於該穿孔之一內側壁上；

沉積一內被覆層於該第一垂直方向上之該凸塊及該凸緣層及該第二垂直方向上之該凸塊、該黏著層及該導電層上；然後

移除該第一垂直方向上之該凸緣層及該內被覆層選定部位，以定義出一內部接墊，俾使該內部接墊鄰接該連接層且與該凸緣層保持距離；然後

形成該介電層於該半導體元件、該凸緣層及該內部接墊上；然後

形成該盲孔及另一盲孔於該介電層中，其中該另一盲孔係對準顯露該內部接墊；然後

沉積一第一被覆層於該介電層上，其中該第一被覆層穿過該盲孔而延伸至該接觸墊，且穿過該另一盲孔而延伸至該內部接墊；

沉積一第二被覆層於該內被覆層上；

移除該第一被覆層之選定部位，以定義出該導線；以及

移除該第二被覆層、該內被覆層及該導電層之選定部

位，以定義出該基座及該端子。

15. 如申請專利範圍第9項所述之製法，其中，提供該介電層、該導線、該基座、該端子及該被覆穿孔之步驟包括：

形成該介電層於該半導體元件及該凸緣層上；然後

形成該盲孔於該介電層中；

形成一穿孔，其朝該第一及第二垂直方向延伸貫穿該黏著層及該介電層；

沉積一連接層於該穿孔之一內側壁上；

沉積一第一被覆層於該介電層上，其中該第一被覆層穿過該盲孔而延伸至該接觸墊；

沉積一第二被覆層於該凸塊、該黏著層及該導電層上；

移除該第一被覆層之選定部位，以定義出該導線；以及

移除該第二被覆層及該導電層之選定部位，以定義出該基座及該端子。

16. 一種散熱增益型堆疊式半導體組體之製法，其包括以下步驟：

提供一凸塊、一凸緣層、一黏著層及一具有通孔之基板，其中該凸塊定義出面朝第一垂直方向之一凹穴，且於相反於該第一垂直方向之第二垂直方向上覆蓋該凹穴，同時該凸塊鄰接該凸緣層並與該凸緣層一體成型，且自該凸緣層朝該第二垂直方向延伸，而該凸緣層則自該凸塊朝垂直於該第一及第二垂直方向之側面方向側向延伸；然後

藉由該黏著層將該凸緣層及該凸塊黏附至該基板，其中該黏著層介於該凸緣層與該基板之間及該凸塊與該基板之間，此步驟包括將該凸塊對準該通孔；然後

將包含一接觸墊之一半導體元件設置於該凸塊上且位於該凹穴處；

提供一增層電路於該半導體元件及該凸緣層上，其中該增層電路自該半導體元件及該凸緣層朝該第一垂直方向延伸，且電性連接至該半導體元件；

提供一基座，其鄰接該凸塊並自該凸塊朝該第二垂直方向延伸，且於該第二垂直方向上覆蓋該凸塊並自該凸塊側向延伸；

提供一端子，其與該基座及該凸塊保持距離，並自該基板朝該第二垂直方向延伸；以及

提供一被覆穿孔，其朝該第一及第二垂直方向延伸貫穿該黏著層，以提供該增層電路與該端子間之電性連接。

17. 如申請專利範圍第16項所述之製法，其中，提供該凸塊之步驟包括：對一金屬板進行機械沖壓。

18. 如申請專利範圍第16項所述之製法，其中，將該凸緣層及該凸塊黏附至該基板之步驟包括：

將未固化之該黏著層設置於該凸緣層上，此步驟包括將該凸塊對準該黏著層之一開口；

將該基板設置於該黏著層上，此步驟包括將該凸塊對準該基板之該通孔，其中該黏著層位於該凸緣層與該基板之間；然後

使該黏著層流入該通孔內介於該凸塊與該基板間之一缺口；以及

固化該黏著層。

19. 如申請專利範圍第18項所述之製法，其中：

使該黏著層流入該缺口之步驟包括：加熱熔化該黏著層，並使該凸緣層及該基板彼此靠合，藉此使該凸塊於該通孔中朝該第二垂直方向移動，並對該凸緣層與該基板間之該熔化黏著層施加壓力，其中該壓力迫使該熔化黏著層朝該第二垂直方向流入該通孔內介於該凸塊與該基板間之該缺口；且

固化該黏著層之步驟包括：加熱固化該熔化黏著層，藉此將該凸塊及該凸緣層機械性黏附至該基板。

20. 如申請專利範圍第18項所述之製法，其中：

提供該黏著層之步驟包括提供一未固化環氧樹脂之膠片；

使該黏著層流入該缺口之步驟包括熔化該未固化環氧樹脂，並擠壓該凸緣層與該基板間之該未固化環氧樹脂；且

固化該黏著層之步驟包括固化該未固化環氧樹脂。

21. 如申請專利範圍第18項所述之製法，其中，設置該基板之步驟包括：將一層壓結構設置於該黏著層上，其中該層壓結構包括該基板及一導電層，俾使該基板接觸並介於該導電層與該黏著層之間，該導電層則與該黏著層保持距離，同時該通孔延伸貫穿該導電層及該基板，且該基座

包括鄰接該通孔且與該凸塊保持距離之該導電層一選定部位，而該端子包括與該通孔及該凸塊保持距離之該導電層一選定部位。

22. 如申請專利範圍第21項所述之製法，其中，使該黏著層流入該缺口之步驟包括：使該黏著層填滿該缺口，並迫使該黏著層朝該第二垂直方向超出該凸塊及該導電層，俾使該黏著層接觸該凸塊與該導電層面向該第二垂直方向之表面。

23. 如申請專利範圍第21項所述之製法，其中，提供該增層電路之步驟包括：

提供一介電層於該半導體元件及該凸緣層上，其中該介電層自該半導體元件及該凸緣層朝該第一垂直方向延伸，且該介電層包括一對準該接觸墊之盲孔；以及

提供一導線於該介電層上，其中該導線自該介電層朝該第一垂直方向延伸，並於該介電層上側向延伸，同時朝該第二垂直方向穿過該盲孔而延伸至該接觸墊，俾使該半導體元件電性連接至該導線。

24. 如申請專利範圍第23項所述之製法，其中，提供該導線之步驟包括：沉積一被覆層於該介電層上，且該被覆層穿過該盲孔而延伸至該接觸墊，然後再使用一定義該導線之蝕刻阻層，以移除該被覆層之選定部位。

25. 如申請專利範圍第21項所述之製法，其中，提供該基座及該端子之步驟包括：

沉積一被覆層於該凸塊、該黏著層及該導電層上，其

中該被覆層於該第二垂直方向上覆蓋該凸塊，並自該凸塊側向延伸至該導電層；然後

使用一定義該基座及該端子之蝕刻阻層，以移除該被覆層及該導電層之選定部位。

26. 如申請專利範圍第16項所述之製法，其包括：於提供該增層電路期間提供該被覆穿孔，或者於設置該半導體元件前並於該凸塊及該凸緣層黏附至該導電層後提供該被覆穿孔。

27. 如申請專利範圍第16項所述之製法，其中，提供該被覆穿孔之步驟包括：

形成一穿孔，其朝該第一及第二垂直方向延伸貫穿該黏著層及該基板；然後

沉積一連接層於該穿孔之一內側壁上。

28. 如申請專利範圍第23項所述之製法，其中，提供該介電層、該導線、該基座、該端子及該被覆穿孔之步驟包括：

形成一穿孔，其朝該第一及第二垂直方向延伸貫穿該黏著層及該基板；然後

沉積一連接層於該穿孔之一內側壁上；

沉積一內被覆層於該第一垂直方向上之該凸塊及該凸緣層及該第二垂直方向上之該凸塊、該黏著層及該導電層上；然後

移除該第一垂直方向上之該凸緣層及該內被覆層選定部位，以定義出一內部接墊，俾使該內部接墊鄰接該連接

層且與該凸緣層保持距離；然後

形成該介電層於該半導體元件、該凸緣層及該內部接墊上；然後

形成該盲孔及另一盲孔於該介電層中，其中該另一盲孔係對準顯露該內部接墊；然後

沉積一第一被覆層於該介電層上，其中該第一被覆層穿過該盲孔而延伸至該接觸墊，且穿過該另一盲孔而延伸至該內部接墊；

沉積一第二被覆層於該內被覆層上；

移除該第一被覆層之選定部位，以定義出該導線；以及

移除該第二被覆層、該內被覆層及該導電層之選定部位，以定義出該基座及該端子。

29. 如申請專利範圍第23項所述之製法，其中，提供該介電層、該導線、該基座、該端子及該被覆穿孔之步驟包括：

形成該介電層於該半導體元件及該凸緣層上；然後

形成該盲孔於該介電層中；

形成一穿孔，其朝該第一及第二垂直方向延伸貫穿該基板、該黏著層及該介電層；然後

沉積一連接層於該穿孔之一內側壁上；

沉積一第一被覆層於該介電層上，其中該第一被覆層穿過該盲孔而延伸至該接觸墊；

沉積一第二被覆層於該凸塊、該黏著層及該導電層上；

移除該第一被覆層之選定部位，以定義出該導線；以及

移除該第二被覆層及該導電層之選定部位，以定義出該基座及該端子。

30. 一種散熱增益型堆疊式半導體組體之製法，其包括以下步驟：

提供一凸塊、一凸緣層、一黏著層及一層壓結構，其中

該凸塊定義出面朝第一垂直方向之一凹穴，且該凸塊鄰接該凸緣層並與該凸緣層一體成型，同時該凸塊自該凸緣層朝與該第一垂直方向相反之第二垂直方向垂直延伸，且該凹穴於該第二垂直方向上係由該凸塊覆蓋，

該凸緣層自該凸塊朝垂直於該第一及第二垂直方向之側面方向側向延伸，

該黏著層包括一開口，其延伸貫穿該黏著層，且

該層壓結構包括一導電層及一基板，而一通孔延伸貫穿該層壓結構；

將該黏著層設置於該凸緣層上，此步驟包括將該凸塊插入該開口；

將該層壓結構設置於該黏著層上，此步驟包括將該凸塊插入該通孔，其中該基板接觸並介於該導電層與該黏著層之間，該導電層則與該黏著層保持距離，而該黏著層接觸並介於該凸緣層與該基板之間且未固化；然後

加熱熔化該黏著層；

使該凸緣層及該層壓結構彼此靠合，藉此使該凸塊於該通孔中朝該第二垂直方向移動，並對該凸緣層與該層壓結構間之該熔化黏著層施加壓力，其中該壓力迫使該熔化黏著層朝該第二垂直方向流入該通孔內介於該凸塊與該層壓結構間之一缺口；

加熱固化該熔化黏著層，藉此將該凸塊與該凸緣層機械性黏附至該導電層及該基板；然後

研磨該凸塊、該黏著層及該導電層，使該凸塊、該黏著層及該導電層於面朝該第二垂直方向之一側向表面上彼此側向對齊；然後

使用一固晶材料，將包含一接觸墊之一半導體元件設置於該凸塊上，藉此將該半導體元件機械黏附且熱連結至該凸塊，其中該半導體元件延伸進入該凹穴，而該凸塊為該半導體元件提供一凹形晶粒座；然後

形成一介電層於該半導體元件及該凸緣層上，其中該介電層自該半導體元件及該凸緣層朝該第一垂直方向延伸，並延伸進入且填滿該凹穴之剩餘空間；然後

形成一盲孔，其延伸貫穿該介電層，且對準顯露該接觸墊；

沉積一第一被覆層於該介電層上，並移除該第一被覆層之選定部位，以形成一第一蝕刻阻層所定義之圖案，其中一導線包括該第一被覆層之一選定部位，其自該介電層朝該第一垂直方向延伸，並於該介電層上側向延伸，同時朝該第二垂直方向穿過該盲孔而延伸至該接觸墊，藉此將

該半導體元件電性連接至該導線；

沉積一第二被覆層於該凸塊、該黏著層及該導電層上，並移除該第二被覆層及該導電層之選定部位，以形成一第二蝕刻阻層所定義之圖案，其中

一基座包括該第二被覆層之一選定部位，其鄰接該凸塊、該黏著層及該導電層，且於該第二垂直方向上覆蓋該凸塊，同時該基座亦包括該導電層之一選定部位，其鄰接該基板及該通孔並與該凸塊保持距離，俾使該基座鄰接該凸塊並自該凸塊朝該第二垂直方向延伸，同時於該第二垂直方向上覆蓋該凸塊且自該凸塊側向延伸，且

一端子包括該第二被覆層之一選定部位，其鄰接該導電層，並與該凸塊及該黏著層保持距離，同時該端子亦包括該導電層之一選定部位，其鄰接該基板並與該凸塊及該通孔保持距離，俾使該端子鄰接該穿孔，並與該基座、該通孔及該凸塊保持距離，同時該端子自該基板朝該第二垂直方向延伸；

提供一散熱座，其包括該凸塊、該基座及該凸緣層，其中該半導體元件藉由該凸塊熱連結至該基座；

形成一穿孔，其朝該第一及第二垂直方向延伸貫穿該基板、該黏著層及該介電層；以及

沉積一連接層於該穿孔之一內側壁上，其中該被覆穿孔包括該穿孔及該連接層，而該連接層提供該導線與該端子間之電性連接。

31. 如申請專利範圍第30項所述之製法，其中，提供該

凸塊之步驟包括：對一金屬板進行機械沖壓，俾於該金屬板上形成該凸塊以及於該凸塊中形成該凹穴，該凸塊係該金屬板上一受沖壓之部份，而該凸緣層則為該金屬板上一未受沖壓之部份。

32. 如申請專利範圍第30項所述之製法，其中：

提供該黏著層之步驟包括提供一未固化環氧樹脂之膠片；

使該黏著層流入該缺口之步驟包括熔化該未固化環氧樹脂，並擠壓該凸緣層與該基板間之該未固化環氧樹脂；
且

固化該黏著層之步驟包括固化該未固化環氧樹脂。

33. 如申請專利範圍第30項所述之製法，其中，使該黏著層流入該缺口之步驟包括：使該黏著層填滿該缺口，並迫使該黏著層朝該第二垂直方向超出該凸塊及該導電層，俾使該黏著層接觸該凸塊與該導電層面向該第二垂直方向之表面。

34. 如申請專利範圍第30項所述之製法，其包括：藉由無電電鍍法及電解電鍍法，同時沉積該第一被覆層及該第二被覆層。

35. 如申請專利範圍第30項所述之製法，其包括：

形成另一盲孔，其延伸貫穿該介電層，且對準顯露該凸緣層；然後

提供具有該第一被覆層一選定部位之該導線，其朝該第二垂直方向穿過該另一盲孔而延伸至該凸緣層，藉此將

該凸緣層電性連接至該導線。

36. 如申請專利範圍第30項所述之製法，其包括：

形成另一盲孔，其延伸貫穿該介電層，且對準顯露該凸緣層；然後

提供另一導線，其包括該第一被覆層之一選定部位，其中該選定部位自該介電層朝該第一垂直方向延伸，並於該介電層上側向延伸，且朝該第二垂直方向穿過該另一盲孔而延伸至該凸緣層，藉此將該凸緣層電性連接至該另一導線。

37. 如申請專利範圍第30項所述之製法，其包括：

形成一第二介電層於該介電層及該導線上，其中該第二介電層自該介電層及該導線朝該第一垂直方向延伸，且與該半導體元件、該凸緣層及該凹穴保持距離；然後

形成一第二盲孔，其延伸貫穿該第二介電層，且對準顯露該導線；然後

形成一第二導線，其自該第二介電層朝該第一垂直方向延伸，並於該第二介電層上側向延伸，同時朝該第二垂直方向穿過該第二盲孔而延伸至該導線，藉此將該導線電性連接至該第二導線。

八、圖式 (請見下頁)：

該凸緣層電性連接至該導線。

36. 如申請專利範圍第30項所述之製法，其包括：

形成另一盲孔，其延伸貫穿該介電層，且對準顯露該凸緣層；然後

提供另一導線，其包括該第一被覆層之一選定部位，其中該選定部位自該介電層朝該第一垂直方向延伸，並於該介電層上側向延伸，且朝該第二垂直方向穿過該另一盲孔而延伸至該凸緣層，藉此將該凸緣層電性連接至該另一導線。

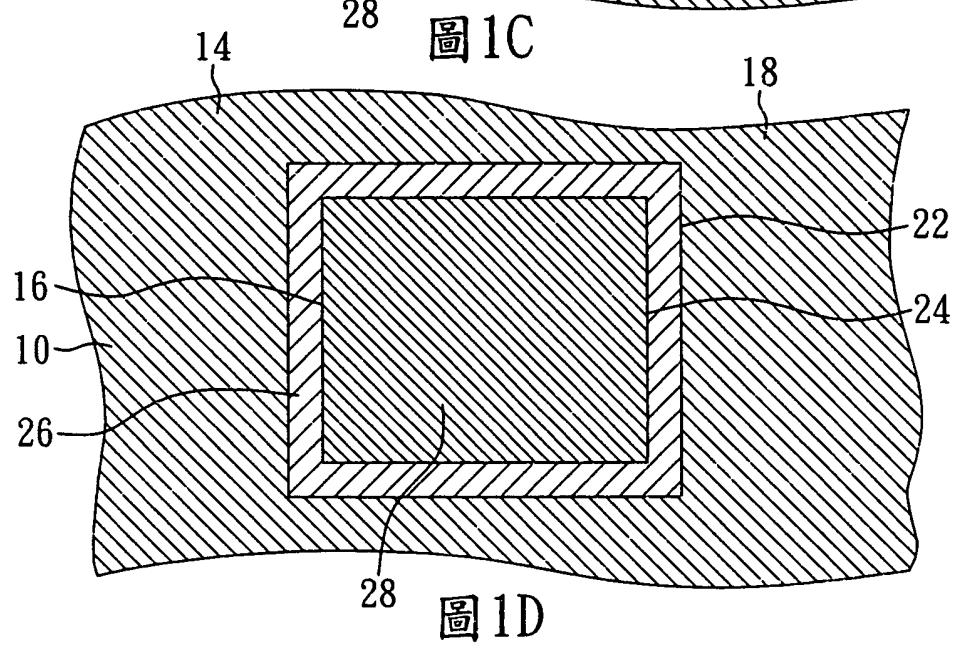
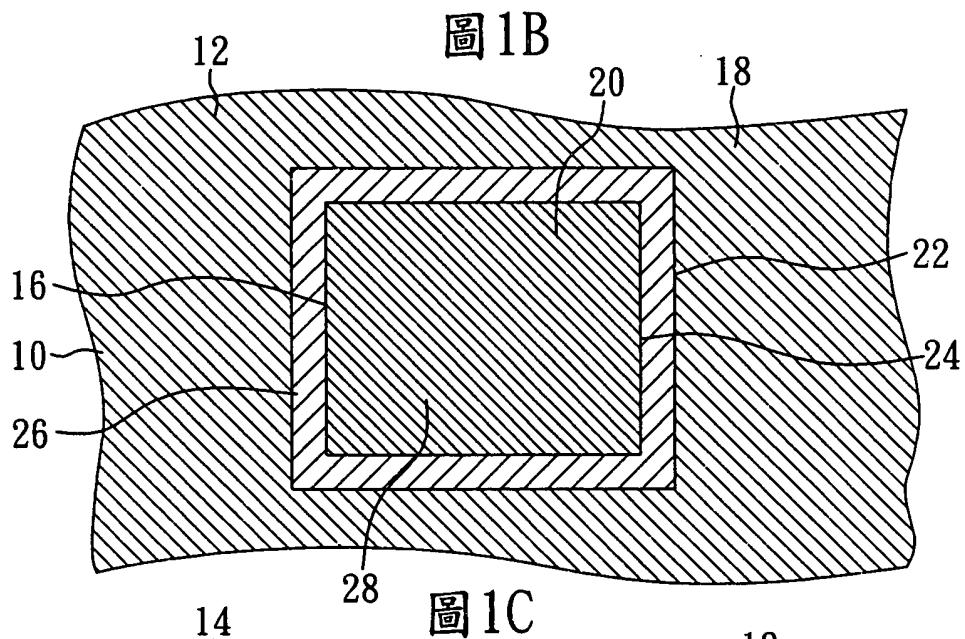
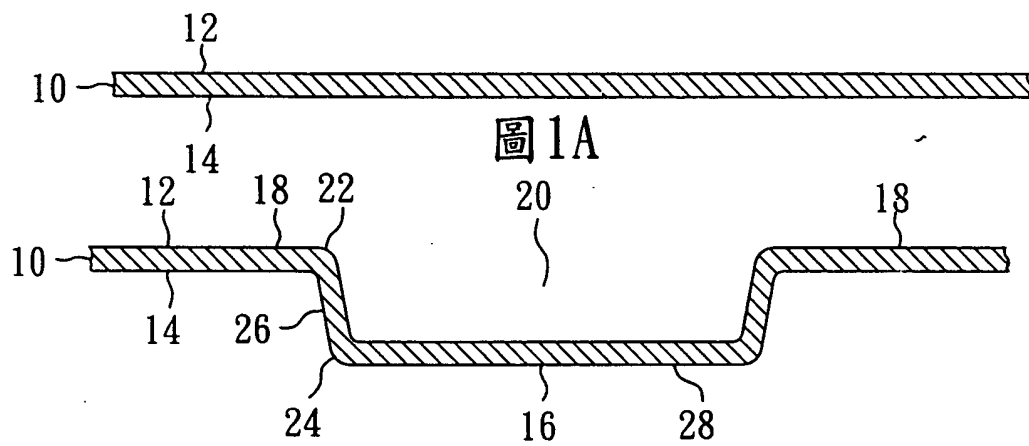
37. 如申請專利範圍第30項所述之製法，其包括：

形成一第二介電層於該介電層及該導線上，其中該第二介電層自該介電層及該導線朝該第一垂直方向延伸，且與該半導體元件、該凸緣層及該凹穴保持距離；然後

形成一第二盲孔，其延伸貫穿該第二介電層，且對準顯露該導線；然後

形成一第二導線，其自該第二介電層朝該第一垂直方向延伸，並於該第二介電層上側向延伸，同時朝該第二垂直方向穿過該第二盲孔而延伸至該導線，藉此將該導線電性連接至該第二導線。

八、圖式 (請見下頁)：



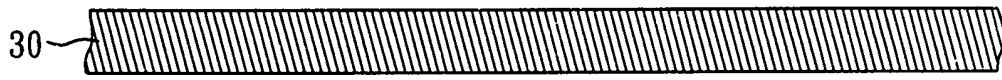


圖 2A

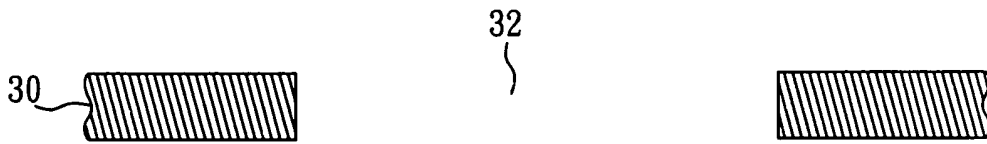


圖 2B

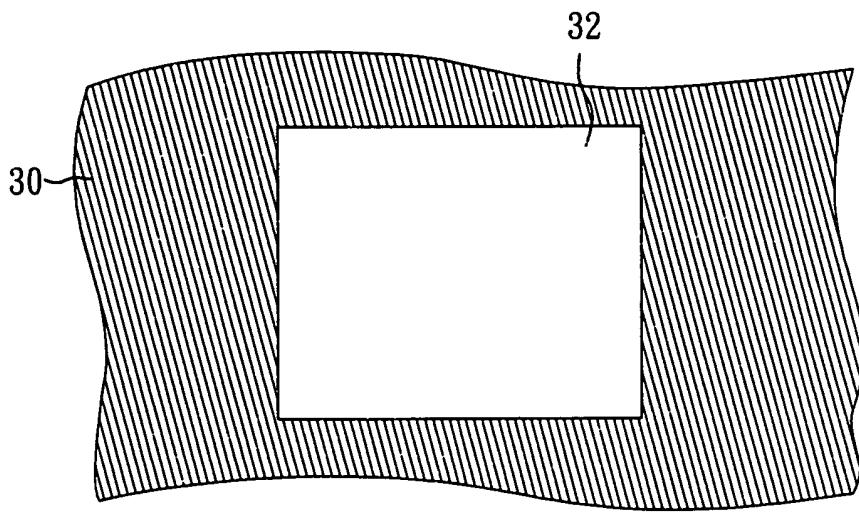


圖 2C

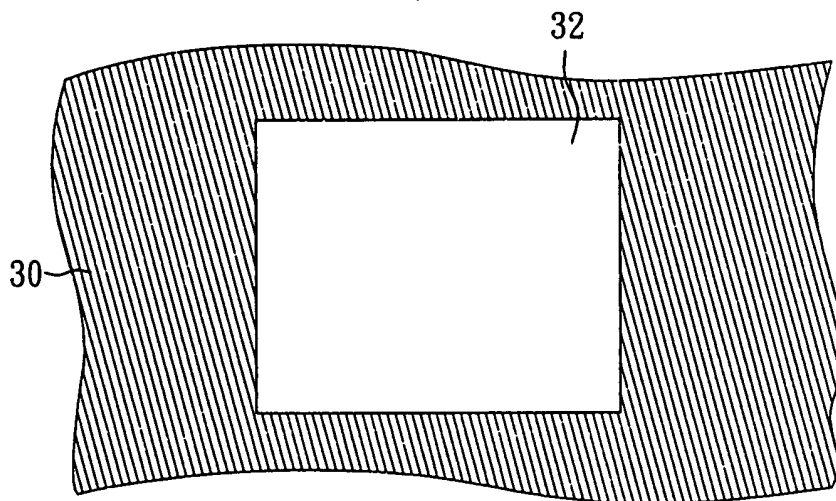


圖 2D

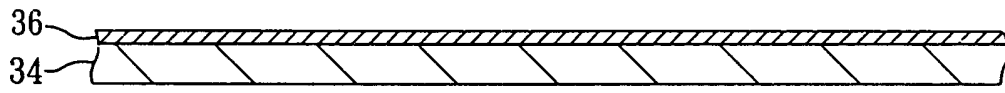


圖 3A

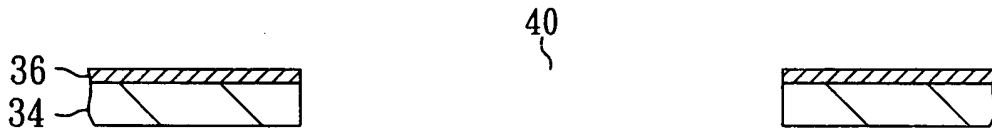


圖 3B

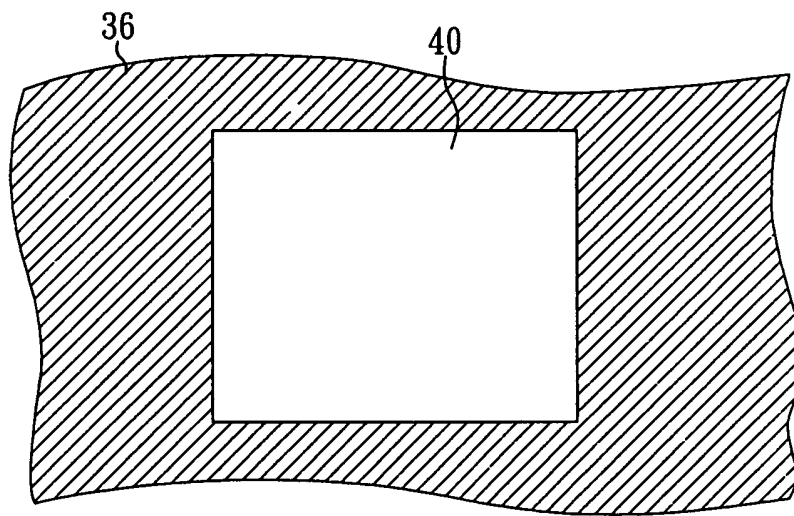


圖 3C

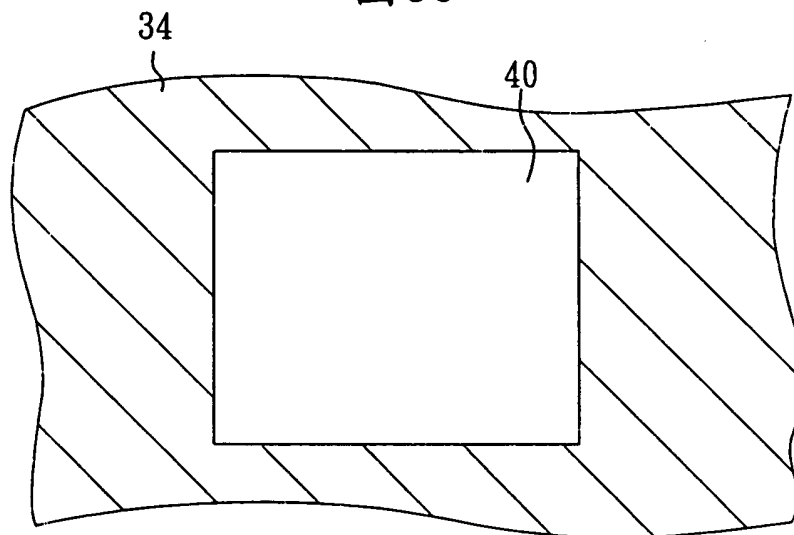


圖 3D

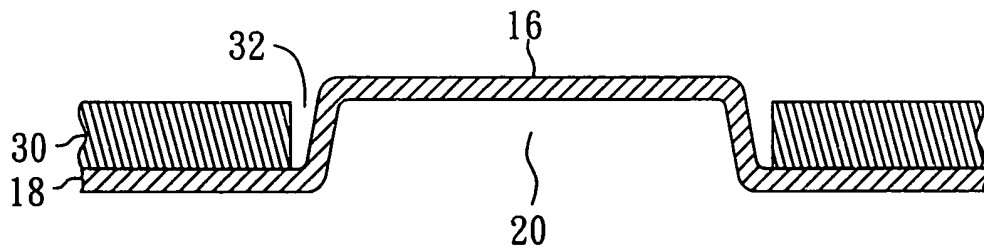


圖 4A

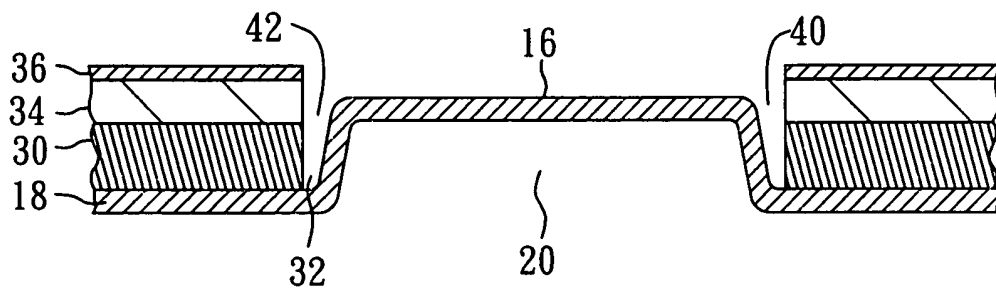


圖 4B

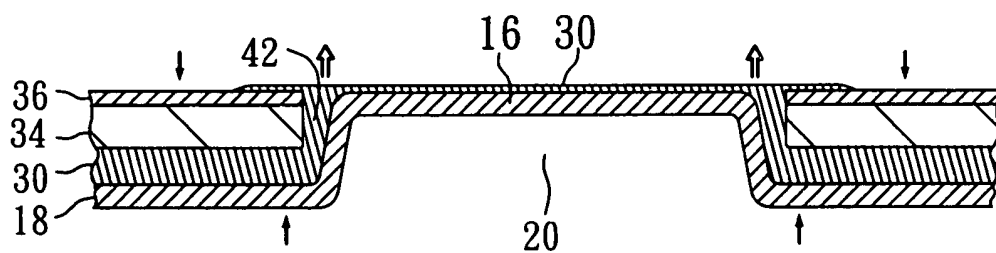


圖 4C

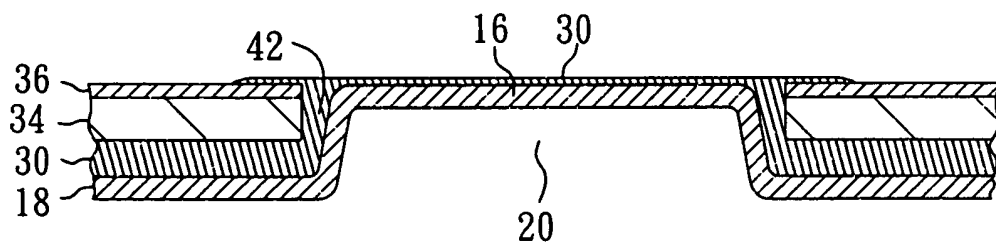


圖 4D

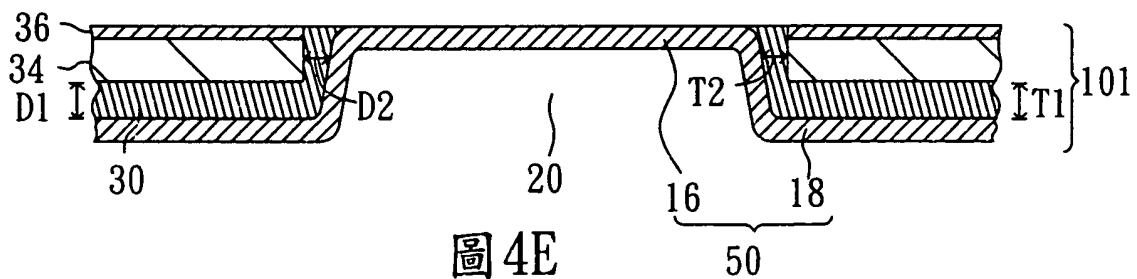
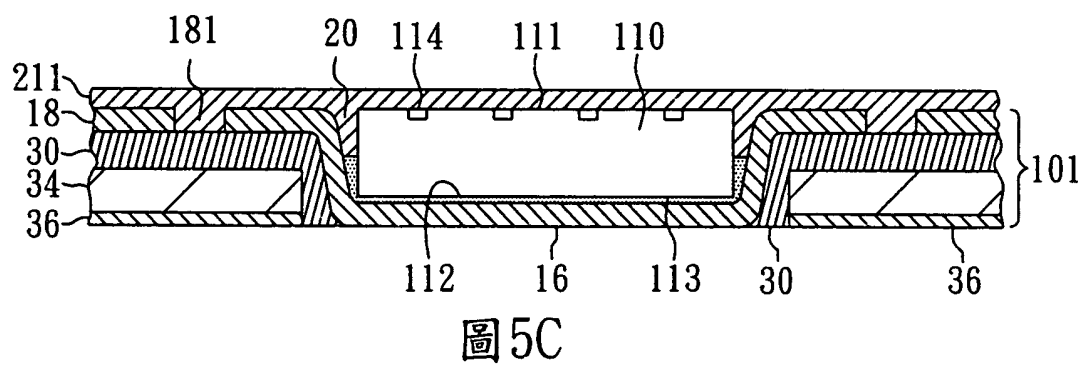
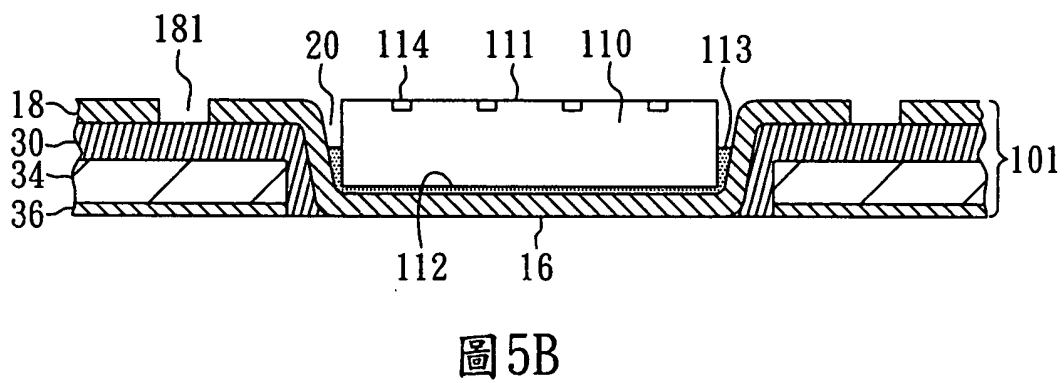
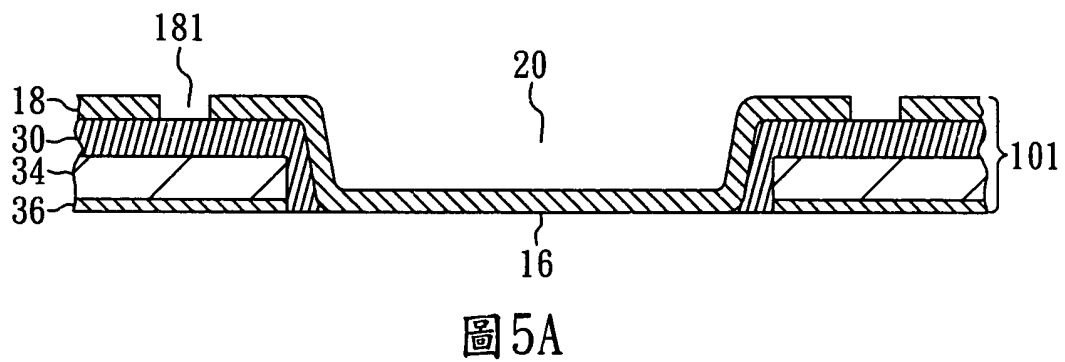
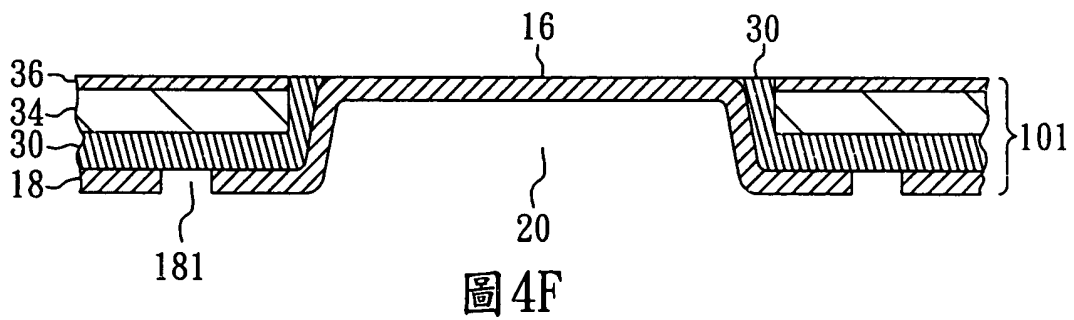


圖 4E



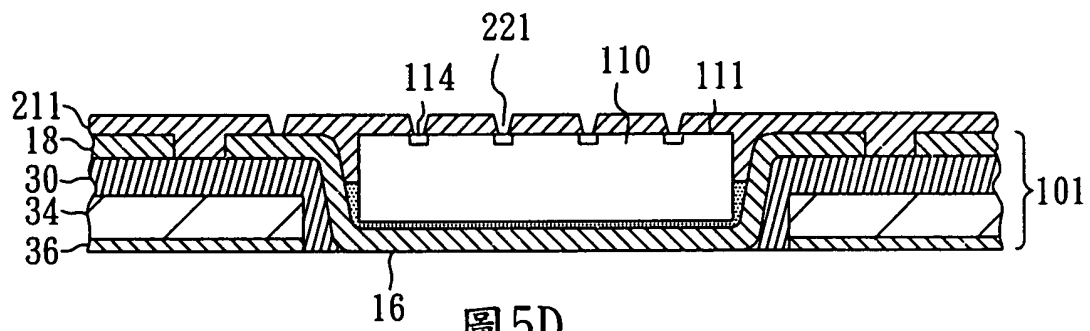


圖 5D

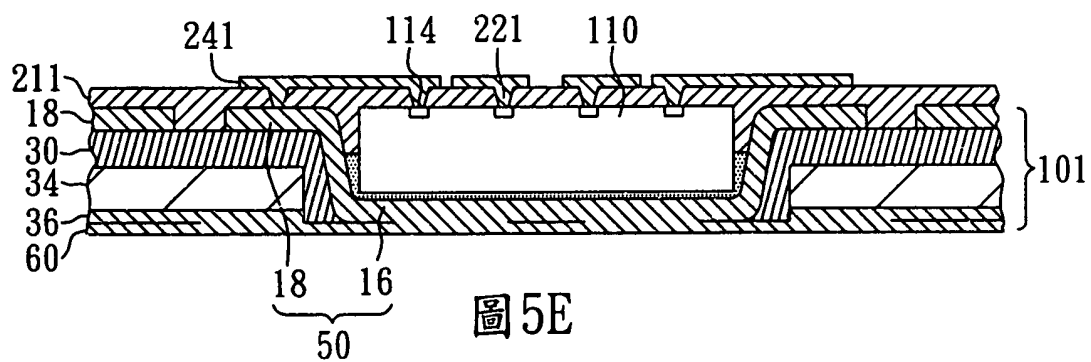


圖 5E

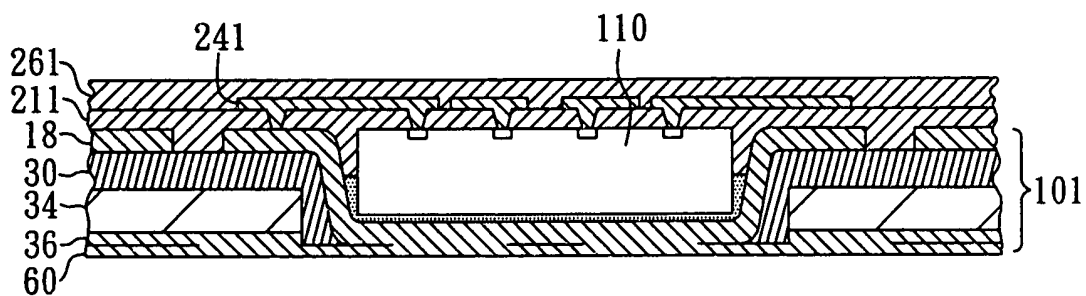


圖 5F

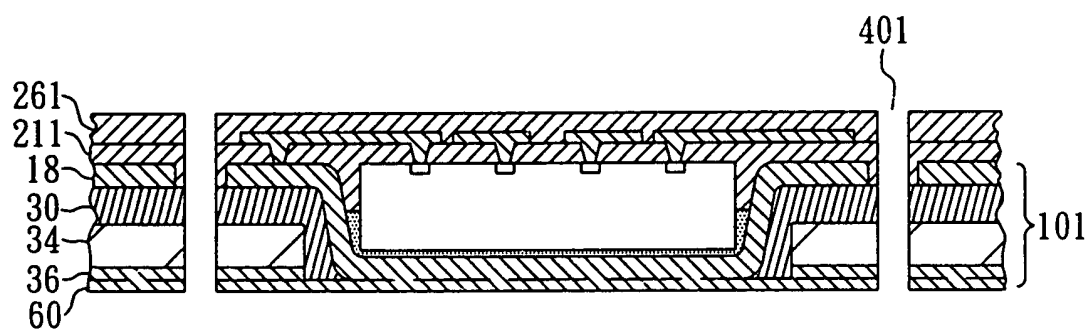


圖 5G

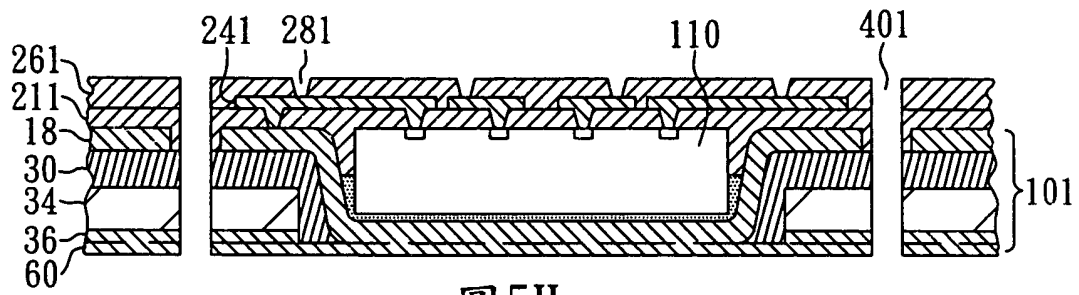


圖5H

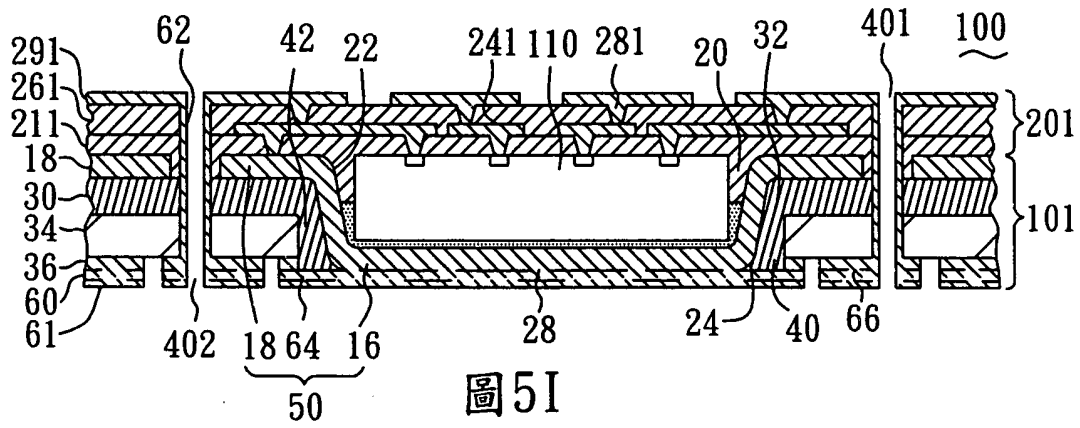


圖5I

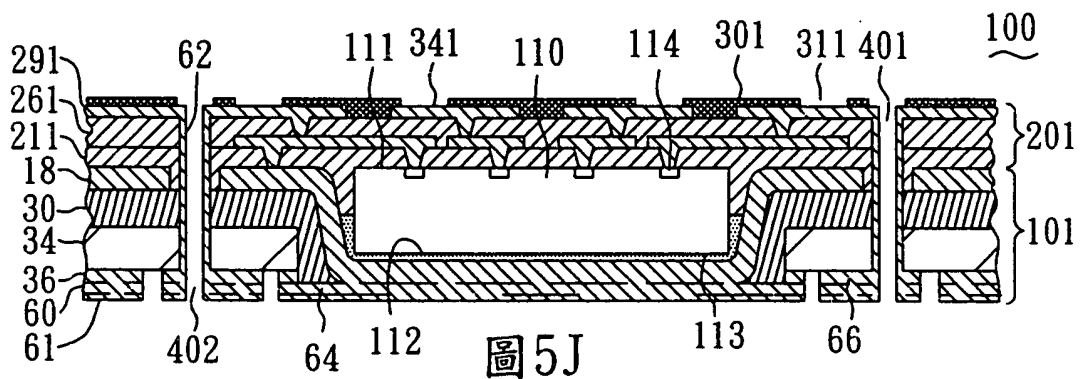
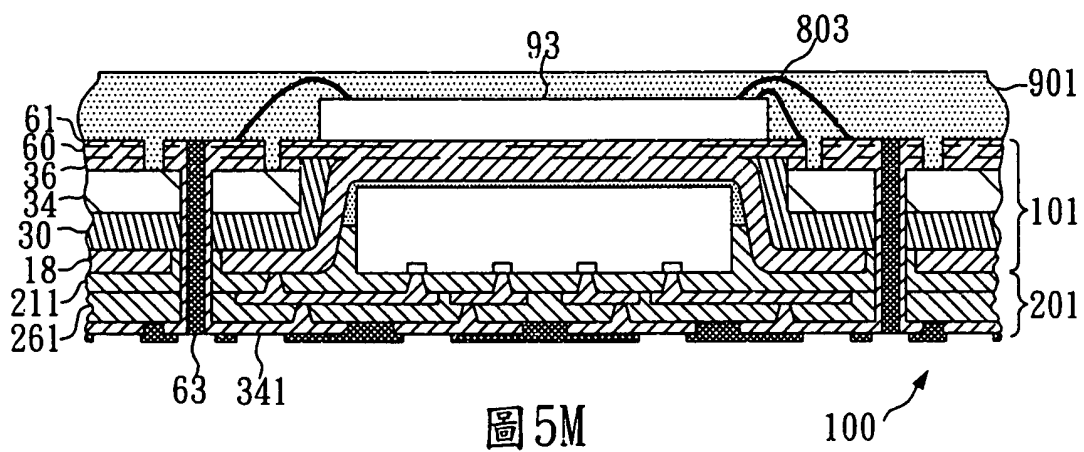
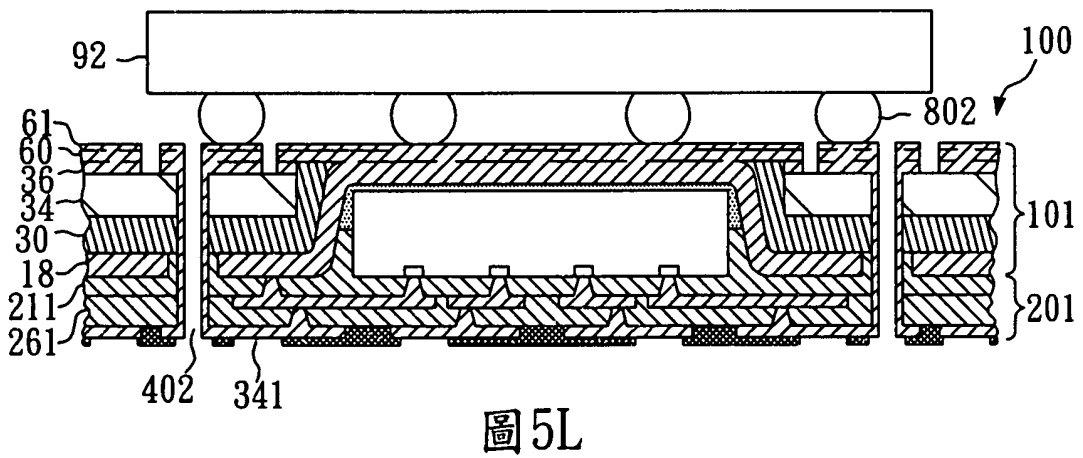
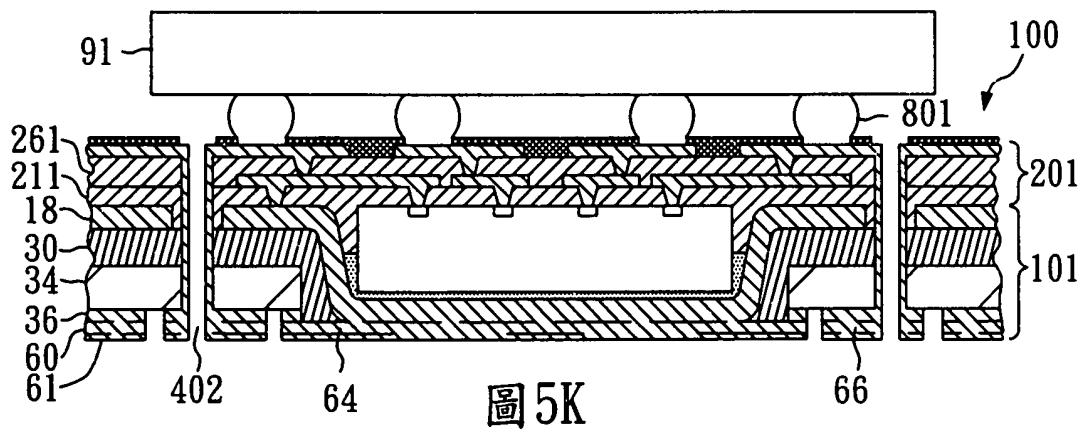


圖5J



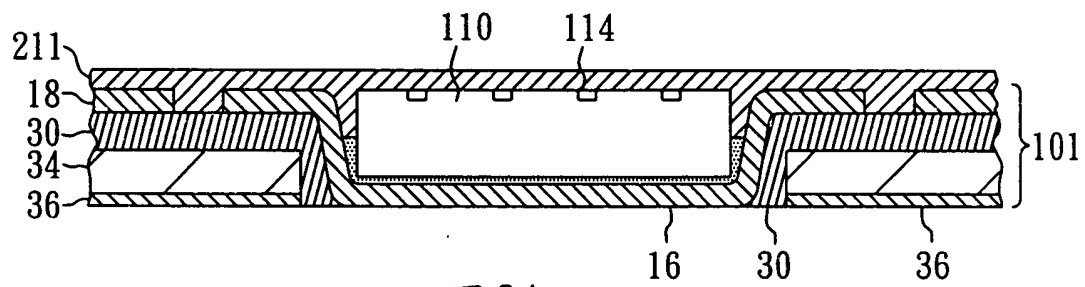


圖6A

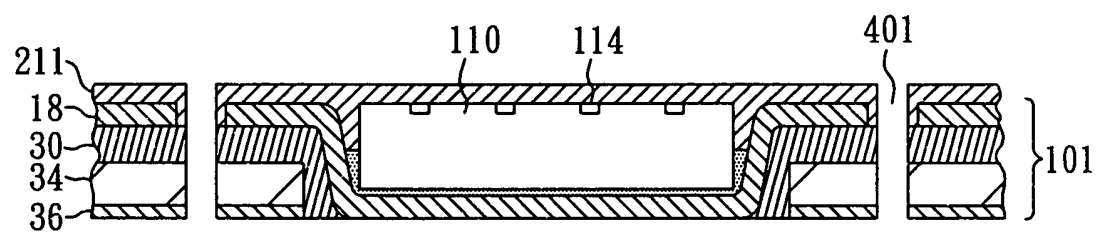


圖6B

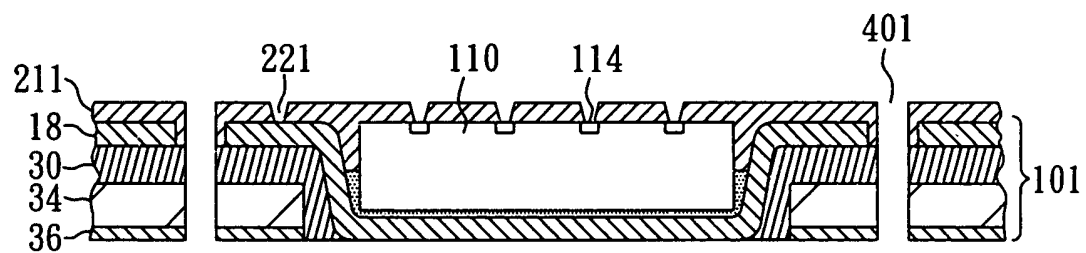


圖6C

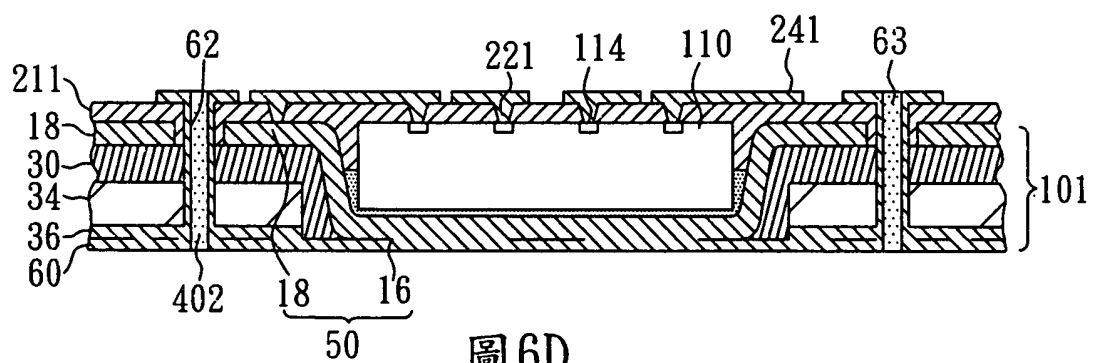


圖6D

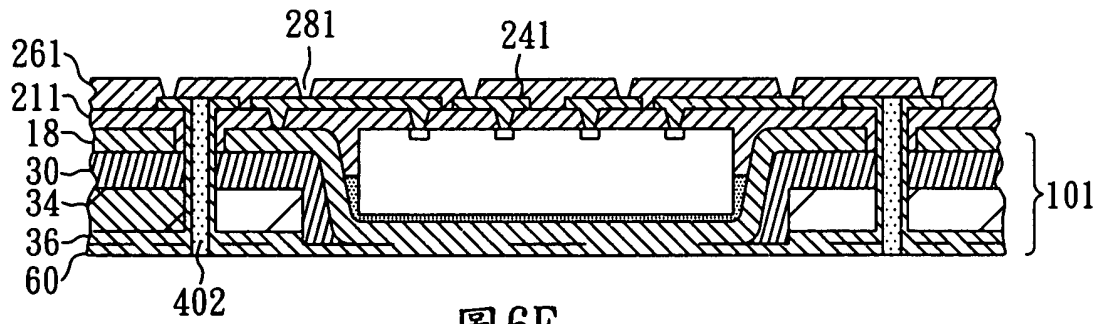


圖 6E

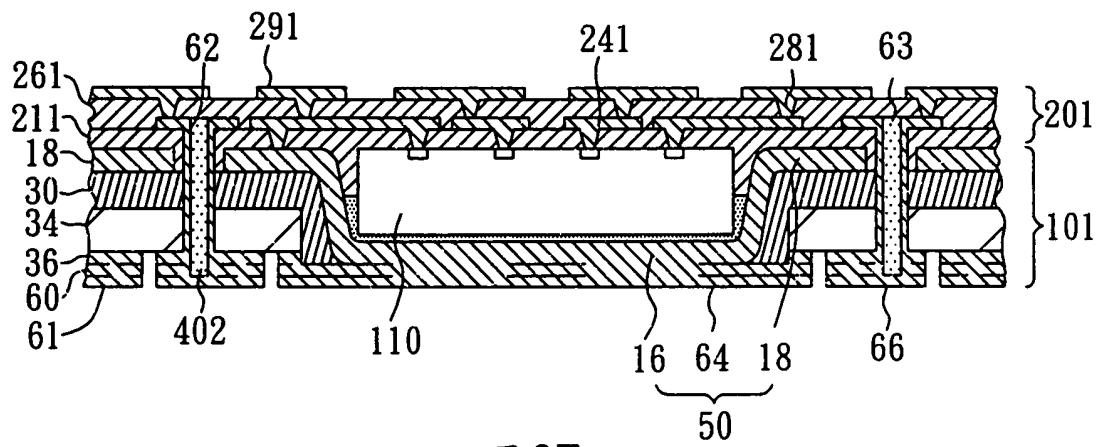


圖 6F

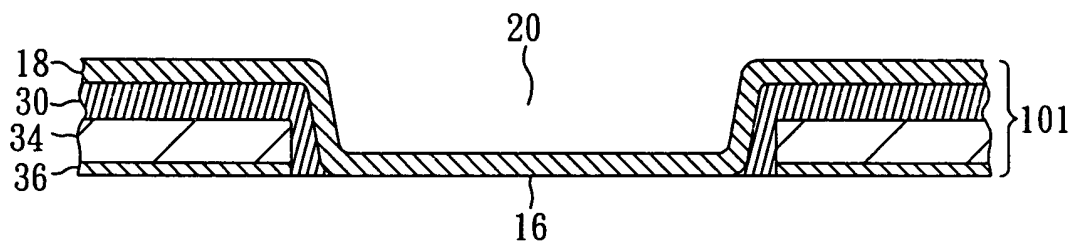


圖 7A

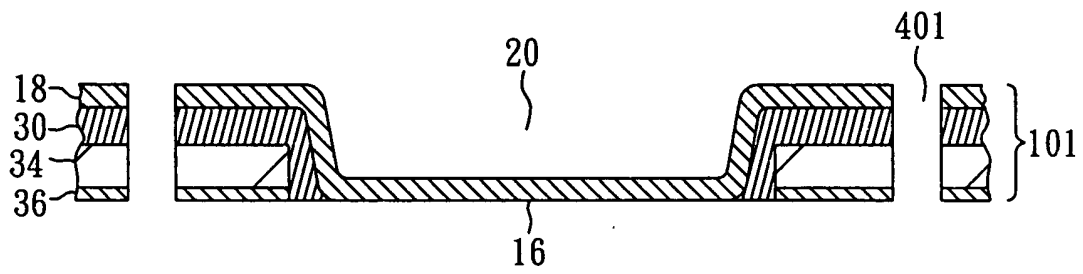


圖 7B

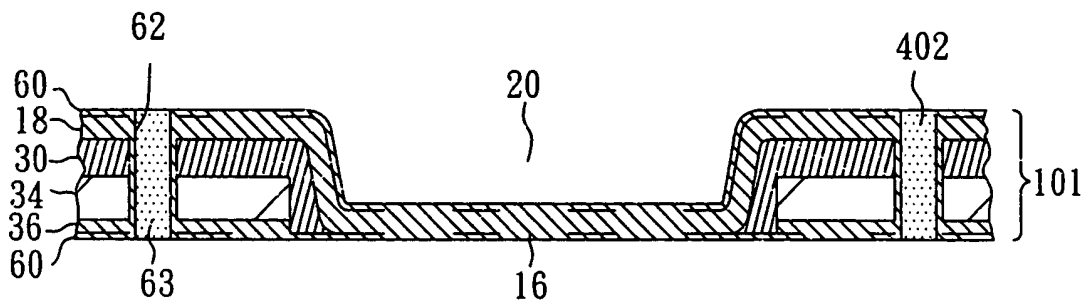


圖 7C

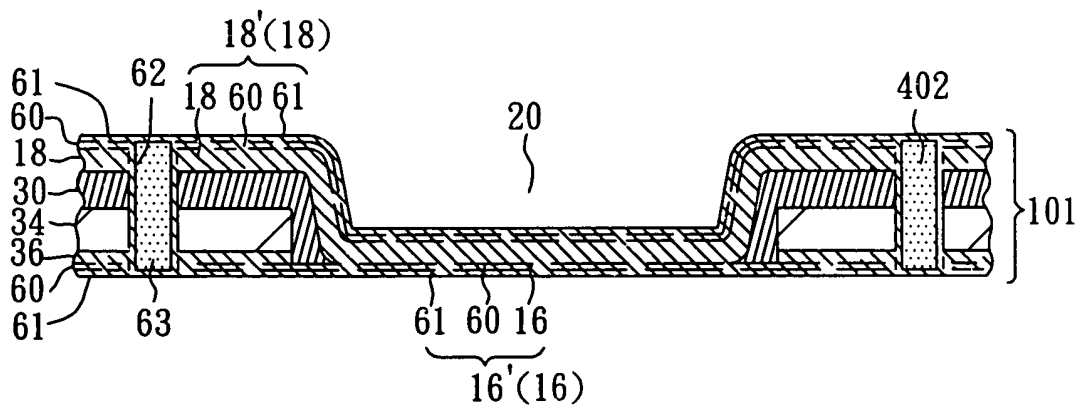


圖 7D

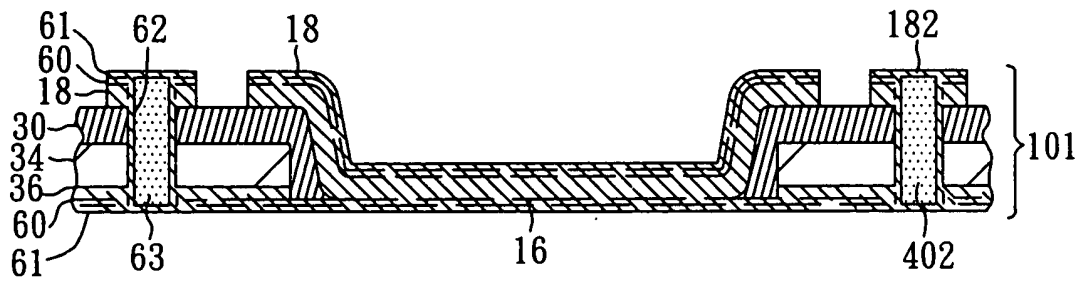


圖 7E

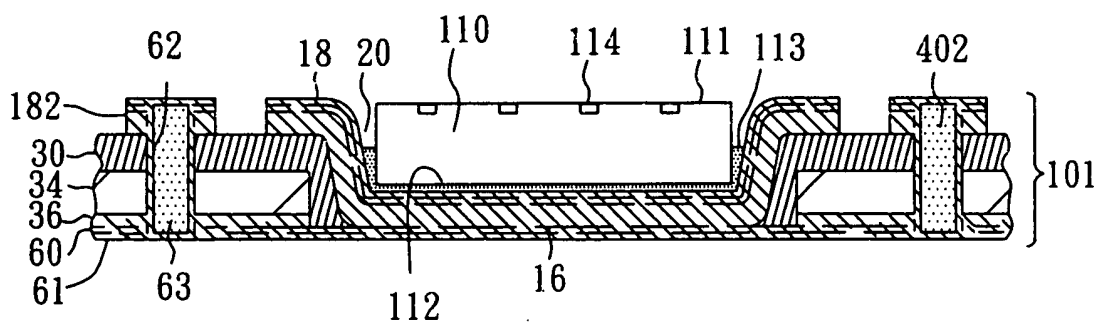


圖 7F

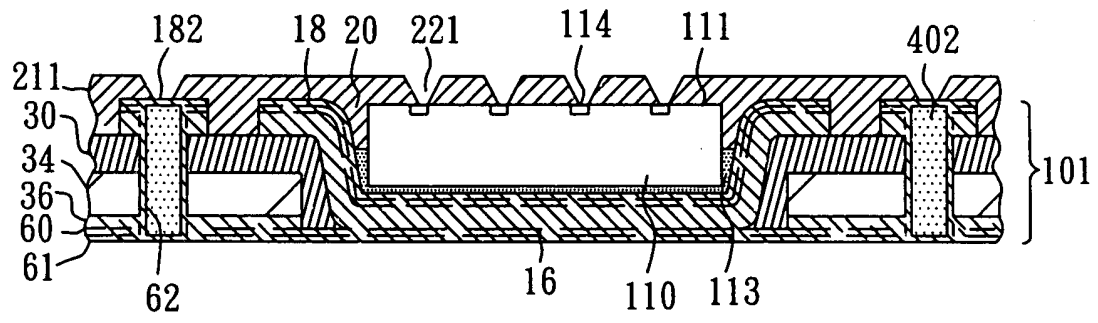


圖 7G

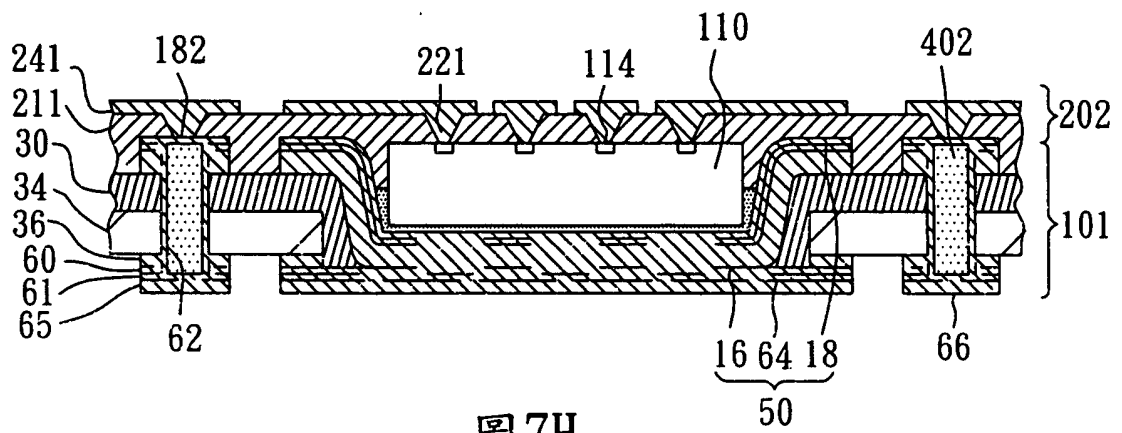


圖 7H

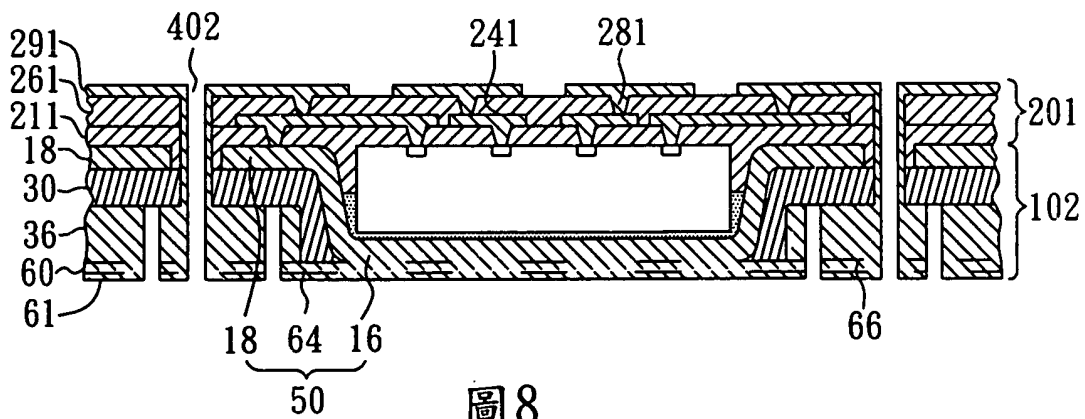


圖8

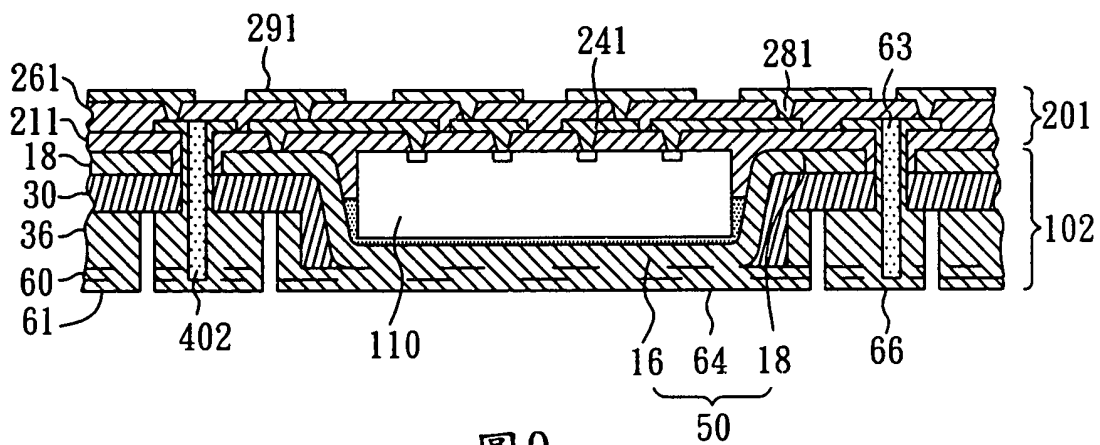


圖9

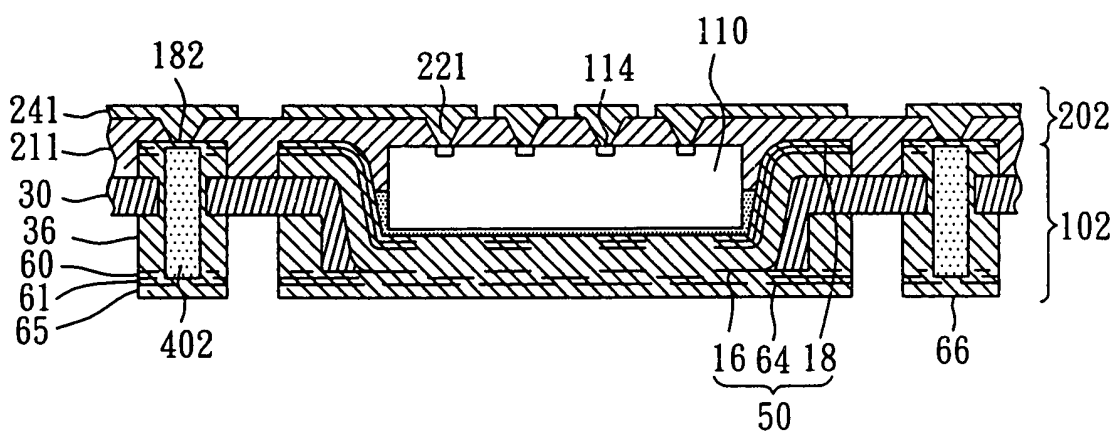


圖10

三、英文發明摘要：

A method of making a stackable semiconductor assembly that includes a semiconductor device, a heat spreader, an adhesive, a terminal, a plated through-hole and build-up circuitry is disclosed. The heat spreader includes a bump, a base and a flange. The bump defines a cavity. The semiconductor device is mounted on the bump at the cavity, electrically connected to the build-up circuitry and thermally connected to the bump. The bump extends from the base into an opening in the adhesive, the base extends vertically from the bump opposite the cavity and the flange extends laterally from the bump at the cavity entrance. The build-up circuitry provides signal routing for the semiconductor device. The plated through-hole provides signal routing between the build-up circuitry and the terminal. The heat spreader provides heat dissipation for the semiconductor device.

四、指定代表圖：

(一)本案指定代表圖為：圖 (5I) 。

(二)本代表圖之元件符號簡單說明：

16	凸塊	18	凸緣層
20	凹穴	22, 24	彎折角
28	底板	30	黏著層
32	開口	34	基板
36	導電層	40	通孔
42	缺口	50	散熱座

60	第一被覆層	61	第二被覆層
62	連接層	64	基座
66	端子	100	半導體組體
101	導熱板	110	半導體晶片
201	增層電路	211	第一介電層
241	第一導線	261	第二介電層
281	第二盲孔	291	第二導線
401	穿孔	402	被覆穿孔

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。