【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】平成17年9月8日(2005.9.8)

【公開番号】特開2000-11190(P2000-11190A)
【公開日】平成12年1月14日(2000.1.14)
【出願番号】特願平10-178559
【国際特許分類第７版】
　Ｇ０６Ｔ　11/00
　Ｇ０６Ｆ　12/00
　Ｇ０６Ｔ　15/00
　Ｇ０９Ｇ　 5/20
　Ｇ０９Ｇ　 5/393
　Ｇ０９Ｇ　 5/395
　Ｈ０１Ｌ　27/10
【ＦＩ】
　Ｇ０６Ｆ　15/72　　３５０
　Ｇ０６Ｆ　12/00　　５８０
　Ｇ０９Ｇ　 5/20
　Ｇ０９Ｇ　 5/36　　５３０Ｅ
　Ｇ０９Ｇ　 5/36　　５３０Ｆ
　Ｈ０１Ｌ　27/10　　４６１
　Ｇ０６Ｆ　15/72　　４５０Ａ

【手続補正書】
【提出日】平成17年3月10日(2005.3.10)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
　複数の記憶モジュールに分割され、各記憶モジュールが異なるピクセルの画像データを記憶する記憶回路と、
　上記記憶回路の記憶データに基づいて、画像データに所定の処理を行うロジック回路とを有し、
　上記記憶回路および上記ロジック回路が一つの半導体チップ内に混載され、かつ、
　上記複数に分割された記憶モジュールが上記ロジック回路の周辺部に配置されている
　画像処理装置。
【請求項２】
　上記ロジック回路は上記記憶モジュール毎に対応して複数のピクセル処理ブロックに分割され、各記憶モジュール毎に対応するピクセル処理ブロックが近接配置されている
　請求項１記載の画像処理装置。
【請求項３】
　上記記憶モジュールの記憶データを記憶可能な２次メモリを有し、当該２次メモリが上記記憶モジュールに近接配置されている
　請求項１記載の画像処理装置。
【請求項４】
　上記ピクセル処理ブロックは、その内部で少なくとも１段以上のパイプライン処理を行

う
請求項２記載の画像処理装置。
【請求項５】
上記各記憶モジュールは、上記ロジック回路を囲むように当該ロジック回路の周辺部に配置され、かつ、入出力端子が上記ロジック回路と対向する内側の縁部に配置されている
請求項１記載の画像処理装置。
【請求項６】
上記複数のピクセル処理ブロックは、それらが同一の機能のモジュールであっても、パスの引き出しのための端子位置を、その記憶モジュールからのパスを使用するピクセル処理ブロックへ、パスが最適に配線できるように、その引き出しの端子位置に変化が与えられている
請求項２記載の画像処理装置。
【請求項７】
全ての記憶モジュールに均等に接続されて上記複数の記憶モジュールの動作を制御する制御ブロックをさらに有し、上記制御ブロックが記憶モジュールで囲まれた中心付近に配置されている
請求項２記載の画像処理装置。
【請求項８】
上記記憶回路は、ロウアドレスおよびカラムアドレスに基づいてアクセスされ、
上記ロジック回路は上記記憶モジュール毎に対応して複数のピクセル処理ブロックに分割され、各記憶モジュール毎に対応するピクセル処理ブロックが近接配置され、かつ、
上記記憶モジュールの記憶データを記憶可能な２次メモリを有し、当該２次メモリが上記記憶モジュールに近接配置され、
上記記憶モジュールの長辺方向がコアのカラム方向になるように配置され、
上記機能ブロックと上記２次メモリが、それぞれ互いに記憶モジュールの長辺側の同一側に近接配置されている
請求項１記載の画像処理装置。
【請求項９】
前記単位図形の頂点について、３次元座標（ｘ，ｙ，ｚ）、Ｒ（赤），Ｇ（緑），Ｂ（青）データ、テクスチャの同次座標（ｓ，ｔ）および同次項ｑを含むポリゴンレンダリングデータを受けてレンダリング処理を行う画像処理装置であって、
複数の記憶モジュールに分割され、各記憶モジュールが異なるピクセルの表示データと少なくとも一つの図形要素が必要とするテクスチャデータを記憶する記憶回路と、
前記単位図形の頂点のポリゴンレンダリングデータを補間して、前記単位図形内に位置する画素の補間データを生成する補間データ生成回路と、前記補間データに含まれるテクスチャの同次座標（ｓ，ｔ）を同次項ｑで除算して「ｓ／ｑ」および「ｔ／ｑ」を生成し、前記「ｓ／ｑ」および「ｔ／ｑ」に応じたテクスチャアドレスを用いて、前記記憶回路からテクスチャデータを読み出し、表示データの図形要素の表面へのテクスチャデータの張り付け処理を行うテクスチャ処理回路とを少なくとも備えたロジック回路とを有し、
前記記憶回路、およびロジック回路が一つの半導体チップ内に混載され、かつ、
上記複数に分割された記憶モジュールが上記ロジック回路の周辺部に配置されている
画像処理装置。
【請求項１０】
上記ロジック回路は上記記憶モジュール毎に対応して複数のピクセル処理ブロックに分割され、各記憶モジュール毎に対応するピクセル処理ブロックが近接配置されている
請求項９記載の画像処理装置。
【請求項１１】
上記記憶モジュールの記憶データを記憶可能な２次メモリを有し、当該２次メモリが上記記憶モジュールに近接配置されている
請求項９記載の画像処理装置。

【請求項１２】
上記ピクセル処理ブロックは、その内部で少なくとも１段以上のパイプライン処理を行う
請求項１０記載の画像処理装置。
【請求項１３】
上記各記憶モジュールは、上記ロジック回路を囲むように当該ロジック回路の周辺部に配置され、かつ、入出力端子が上記ロジック回路と対向する内側の縁部に配置されている
請求項９記載の画像処理装置。
【請求項１４】
上記複数のピクセル処理ブロックは、それらが同一の機能のモジュールであっても、パスの引き出しのための端子位置を、その記憶モジュールからのパスを使用するピクセル処理ブロックへ、パスが最適に配線できるように、その引き出しの端子位置に変化が与えられている
請求項１０記載の画像処理装置。
【請求項１５】
全ての記憶モジュールに均等に接続されて上記複数の記憶モジュールの動作を制御する制御ブロックをさらに有し、上記制御ブロックが記憶モジュールで囲まれた中心付近に配置されている
請求項１０記載の画像処理装置。
【請求項１６】
上記記憶回路は、ロウアドレスおよびカラムアドレスに基づいてアクセスされ、
上記ロジック回路は上記記憶モジュール毎に対応して複数のピクセル処理ブロックに分割され、各記憶モジュール毎に対応するピクセル処理ブロックが近接配置され、かつ、
上記記憶モジュールの記憶データを記憶可能な２次メモリを有し、当該２次メモリが上記記憶モジュールに近接配置され、
上記記憶モジュールの長辺方向がコアのカラム方向になるように配置され、
上記機能ブロックと上記２次メモリが、それぞれ互いに記憶モジュールの長辺側の同一側に近接配置されている
請求項９記載の画像処理装置。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００２０
【補正方法】変更
【補正の内容】
【００２０】
【課題を解決するための手段】
上記目的を達成するため、本発明の画像処理装置は、複数の記憶モジュールに分割され、各記憶モジュールが異なるピクセルの画像データを記憶する記憶回路と、上記記憶回路の記憶データに基づいて、画像データに所定の処理を行うロジック回路とを有し、上記記憶回路および上記ロジック回路が一つの半導体チップ内に混載され、かつ、上記複数に分割された記憶モジュールが上記ロジック回路の周辺部に配置されている。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００２１
【補正方法】変更
【補正の内容】
【００２１】
また、本発明は、前記単位図形の頂点について、３次元座標（ｘ，ｙ，ｚ）、Ｒ（赤），Ｇ（緑），Ｂ（青）データ、テクスチャの同次座標（ｓ，ｔ）および同次項ｑを含むポリゴンレンダリングデータを受けてレンダリング処理を行う画像処理装置であって、複数

の記憶モジュールに分割され、各記憶モジュールが異なるピクセルの表示データと少なくとも一つの図形要素が必要とするテクスチャデータを記憶する記憶回路と、前記単位図形の頂点のポリゴンレンダリングデータを補間して、前記単位図形内に位置する画素の補間データを生成する補間データ生成回路と、前記補間データに含まれるテクスチャの同次座標（ｓ，ｔ）を同次項ｑで除算して「ｓ／ｑ」および「ｔ／ｑ」を生成し、前記「ｓ／ｑ」および「ｔ／ｑ」に応じたテクスチャアドレスを用いて、前記記憶回路からテクスチャデータを読み出し、表示データの図形要素の表面へのテクスチャデータの張り付け処理を行うテクスチャ処理回路とを少なくとも備えたロジック回路とを有し、前記記憶回路、およびロジック回路が一つの半導体チップ内に混載され、かつ、上記複数に分割された記憶モジュールが上記ロジック回路の周辺部に配置されている。

【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００２２
【補正方法】変更
【補正の内容】
【００２２】
　また、本発明では、上記ロジック回路は上記記憶モジュール毎に対応して複数のピクセル処理ブロックに分割され、各記憶モジュール毎に対するピクセル処理ブロックが近接配置されている。

【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００２４
【補正方法】変更
【補正の内容】
【００２４】
　また、本発明では、上記ピクセル処理ブロックは、その内部で少なくとも１段以上のパイプライン処理を行う。

【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００２６
【補正方法】変更
【補正の内容】
【００２６】
　また、本発明では、上記複数のピクセル処理ブロックは、それらが同一の機能のモジュールであっても、パスの引き出しのための端子位置を、その記憶モジュールからのパスを使用するピクセル処理ブロックへ、パスが最適に配線できるように、その引き出しの端子位置に変化が与えられている。

【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】００２７
【補正方法】変更
【補正の内容】
【００２７】
　また、本発明では、全ての記憶モジュールに均等に接続されて上記複数の記憶モジュールの動作を制御する制御ブロックをさらに有し、上記制御ブロックが記憶モジュールで囲まれた中心付近に配置されている。

【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】００２８
【補正方法】変更

【補正の内容】
【００２８】
また、本発明では、上記記憶回路は、ロウアドレスおよびカラムアドレスに基づいてアクセスされ、上記ロジック回路は上記記憶モジュール毎に対応して複数のピクセル処理ブロックに分割され、各記憶モジュール毎に対応するピクセル処理ブロックが近接配置され、かつ、上記記憶モジュールの記憶データを記憶可能な２次メモリを有し、当該２次メモリが上記記憶モジュールに近接配置され、上記記憶モジュールの長辺方向がコアのカラム方向になるように配置され、上記機能ブロックと上記２次メモリが、それぞれ互いに記憶モジュールの長辺側の同一側に近接配置されている。