



(12)发明专利

(10)授权公告号 CN 103403869 B

(45)授权公告日 2016.08.24

(21)申请号 201280009331.0

太田和伸

(22)申请日 2012.02.23

(74)专利代理机构 北京信慧永光知识产权代理
有限责任公司 11290

(30)优先权数据

2011-045269 2011.03.02 JP

2012-011405 2012.01.23 JP

代理人 梁兴龙 陈桂香

(85)PCT国际申请进入国家阶段日

2013.08.16

(51)Int.Cl.

H01L 27/146(2006.01)

H04N 5/359(2006.01)

H04N 5/374(2006.01)

(86)PCT国际申请的申请数据

PCT/JP2012/054390 2012.02.23

(87)PCT国际申请的公布数据

W02012/117931 JA 2012.09.07

(56)对比文件

US 2010201834 A1, 2010.08.12,

US 2010201834 A1, 2010.08.12,

US 2011019050 A1, 2011.01.27,

US 2007284692 A1, 2007.12.13,

(73)专利权人 索尼公司

地址 日本东京

审查员 王俊山

(72)发明人 柳田刚志 押山到 榎本贵幸

池田晴美 伊泽慎一郎 山本敦彦

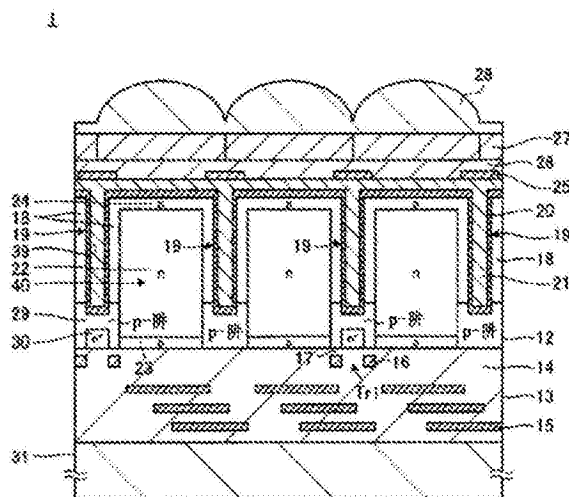
权利要求书1页 说明书22页 附图18页

(54)发明名称

固态成像装置、固态成像装置的制造方法和
电子设备

(57)摘要

本发明涉及一种固态成像装置、固态成像装置的制造方法和电子设备,可以提供诸如光学混色减少等特性改善的固态成像装置。此外,提供了使用所述固态成像装置的电子设备。在具有基板(12)和在基板(12)上形成的多个光电转换部(40)的固态成像装置中,形成有绝缘膜(21)埋入其中的元件隔离部(19)。元件隔离部(19)由具有固定电荷的绝缘膜(20)构成,所述绝缘膜形成为包覆沟部(30)的内壁面,所述沟部(30)从基板(12)的光入射侧在深度方向上形成。



1. 一种固态成像装置,包括:
基板;
在所述基板上形成的多个光电转换部;
从所述基板的光入射侧在深度方向上形成的沟部;和
具有膜且具有中空结构的元件隔离部,所述膜设置成包覆所述沟部的内壁面。
2. 如权利要求1所述的固态成像装置,其中所述元件隔离部具有从所述沟部的内周面侧顺次形成的两层以上的膜。
3. 如权利要求2所述的固态成像装置,其中,在所述元件隔离部的所述两层以上的膜中,由具有更大应力的材料形成的膜配置在更远离所述沟部的内壁面侧的位置。
4. 如权利要求3所述的固态成像装置,其中,在所述元件隔离部的所述两层以上的膜中,由具有更小折射率的材料形成的膜配置在更远离所述沟部的内壁面侧的位置。
5. 如权利要求4所述的固态成像装置,其中接触所述沟部的内壁面的膜是具有固定电荷的绝缘膜。
6. 如权利要求4所述的固态成像装置,其中更远离所述沟部的内壁面侧的所述膜由绝缘材料或金属材料形成。
7. 如权利要求5所述的固态成像装置,其中所述元件隔离部具有由绝缘材料制成的一层以上的膜和由金属材料制成的一层以上的膜的层叠膜。
8. 如权利要求7所述的固态成像装置,其中所述绝缘材料是氧化硅、氮化硅或氧氮化硅。
9. 如权利要求8所述的固态成像装置,其中所述金属材料是钨、铝、钛或它们的氧化物或氮化物。
10. 一种固态成像装置的制造方法,包括:
在基板上形成具有光电转换部的多个像素的步骤;
从所述基板的背面侧在深度方向上形成所需深度的沟部的步骤;和
通过在所述沟部的内壁面上形成膜,使得中空部形成在所述沟部的内部而形成元件隔离部的步骤。

固态成像装置、固态成像装置的制造方法和电子设备

技术领域

[0001] 本发明涉及一种背面照射型的固态成像装置、其制造方法和电子设备。

背景技术

[0002] 近年来,已经提出了一种背面照射型的固态成像装置,它从在基板上形成配线层那侧的相对侧照射光(参照下面的专利文献1)。在背面照射型的固态成像装置中,配线层和电路元件等未形成在光照射侧上,所以在基板上形成的光接收部的开口率可以增加,同时入射光入射到光接收部,而不会被配线层等反射,因此改善了敏感度。

[0003] 专利文献1的固态成像装置在像素边界设置有遮光膜,从而减少了光学混色。

[0004] 引用文献列表

[0005] 专利文献

[0006] 专利文献1:日本未经审查的专利申请公开No.2010-186818

发明内容

[0007] 技术问题

[0008] 在这种固态成像装置中,追求诸如光学混色减少等的进一步性能改善。

[0009] 本发明提供了一种具有光学混色减少等的性能进一步改善的固态成像装置。此外,提供使用这种固态成像装置的电子设备。

[0010] 技术方案

[0011] 根据本发明第一方面的固态成像装置包括基板和在所述基板上形成的多个光电转换部。此外,元件隔离部由具有固定电荷的形成成为包覆沟部的内壁面的绝缘膜构成,所述沟部从所述基板的光入射侧在深度方向上形成。

[0012] 根据本发明第二方面的固态成像装置具有基板和在所述基板上形成的多个光电转换部。此外,设置有从所述基板的光入射侧在深度方向上形成的沟部,和具有膜且具有中空结构的元件隔离部,所述膜设置成包覆所述沟部的内壁面。

[0013] 根据本发明第一方面的固态成像装置的制造方法包括在基板上形成具有光电转换部的多个像素的步骤和从所述基板的背面侧在深度方向上形成所需深度的沟部的步骤。还具有在所述沟部的内壁面上形成具有固定电荷的绝缘膜和形成元件隔离部的步骤。

[0014] 根据本发明第二方面的固态成像装置的制造方法具有在基板上形成具有光电转换部的多个像素的步骤和从所述基板的背面侧在深度方向上形成所需深度的沟部的步骤。还具有通过在所述沟部的内壁面上形成作为所需膜的膜使得中空部形成在所述沟部的内部而形成元件隔离部的步骤。

[0015] 本发明的电子设备具有光学透镜、由所述光学透镜收集的光入射到其中的固态成像装置和处理从所述固态成像装置输出的输出信号的信号处理电路。

[0016] 有益效果

[0017] 根据本发明,在固态成像装置中,可以进一步改善诸如减少混色等特性。此外,通

过使用所述固态成像装置可以获得图像质量改善的电子设备。

附图说明

[0018] [图1]图1是示出涉及本发明第一实施方案的固态成像装置的整体构成图。

[0019] [图2]图2是示出涉及本发明第一实施方案的固态成像装置的要部的截面构成图。

[0020] [图3]图3是涉及本发明第一实施方案的固态成像装置的平面布局。

[0021] [图4]图4的A和图4的B是示出涉及本发明第一实施方案的固态成像装置的制造方法的图。

[0022] [图5]图4的C和图4的D是示出涉及本发明第一实施方案的固态成像装置的制造方法的图。

[0023] [图6]图6是涉及本发明第一实施方案的固态成像装置和常规固态成像装置的要部的电位分布图。

[0024] [图7]图7是涉及第一实施方案的第一变形例的固态成像装置的平面布局。

[0025] [图8]图8是涉及第一实施方案的第二变形例的固态成像装置的平面布局

[0026] [图9]图9是示出涉及本发明第二实施方案的固态成像装置的要部的截面构成图。

[0027] [图10]图10的A~图10的C是示出涉及本发明第二实施方案的固态成像装置的制造方法的图。

[0028] [图11]图11是示出涉及本发明第三实施方案的固态成像装置的要部的截面构成图。

[0029] [图12]图12是示出涉及本发明第四实施方案的固态成像装置的要部的截面构成图。

[0030] [图13]图13的A和图13的B是示出涉及本发明第四实施方案的固态成像装置的制造方法的图。

[0031] [图14]图14的C是示出涉及本发明第四实施方案的固态成像装置的制造方法的图。

[0032] [图15]图15是示出涉及本发明第五实施方案的固态成像装置的要部的截面构成图。

[0033] [图16]图16是示出涉及本发明第六实施方案的固态成像装置的要部的截面构成图。

[0034] [图17]图17是示出涉及本发明第七实施方案的固态成像装置的要部的截面构成图。

[0035] [图18]图18的A和图18的B是示出涉及本发明第七实施方案的固态成像装置的制造方法的图。

[0036] [图19]图19是示出涉及本发明的第八实施方案的固态成像装置的要部的截面构成图。

[0037] [图20]图20的A和图20的B是示出涉及本发明第八实施方案的固态成像装置的制造方法的图。

[0038] [图21]图21是示出涉及变形例的固态成像装置的要部的截面构成图。

[0039] [图22]图22是涉及本发明第九实施方案的电子设备的示意性构成图。

具体实施方式

[0040] 本发明人在专利文献1的固态成像装置中已经发现了以下问题。

[0041] 在背面型的固态成像装置中,在其上形成光电二极管的半导体层与前面照射型的固态成像装置相比形成为更薄。因此,在常规的前面照射型的固态成像装置中,采取其中使在光电二极管处溢出的信号电荷在半导体层的深度方向(纵方向)上溢出的构成,但在背面照射型的固态成像装置中,不可能使得在半导体层的深度方向上溢出。因此,背面照射型的固态成像装置被构造使得在光电二极管处溢出的电子流到浮动扩散部(所谓的横向溢出)。

[0042] 在使用横向溢出构造的情况下,由基板内的电位决定从光电二极管溢出的电子流到浮动扩散侧还是流到相邻的光电二极管侧。因此,通过在电荷累积时设置光电二极管和浮动扩散部之间的电位高于相邻的光电二极管和浮动扩散部之间的电位,溢出的电子可被传输到临时的浮动扩散部。因此,在可以将溢出的电子传输到浮动扩散部的构成的情况下,饱和电荷量(Q_s)的减少成为大问题。另一方面,在饱和电荷量增大的情况下,当长时间累积时从白点像素溢出的电荷泄漏到相邻的像素中,从而发生高光溢出(blooming),成为分辨率劣化和图像质量劣化的原因。

[0043] 此外,如果在像素边界设置有遮光膜的构造中,在倾斜光进入的情况下在遮光膜下方发生的混色不能被完全抑制。

[0044] 在本发明的实施方案中,说明可以抑制混色、改善高光溢出的抑制和饱和特性的固态成像装置。

[0045] 下面,参照图1~图22说明涉及本发明实施方案的固态成像装置、其制造方法和电子设备的例子。本发明的实施方案按以下顺序进行说明。需要注意的是,本发明不限于以下例子。

[0046] 1.第一实施方案:固态成像装置(四个像素共享浮动扩散部的例子)

[0047] 1-1固态成像装置的整体构成

[0048] 1-2要部的构成

[0049] 1-3固态成像装置的制造方法

[0050] 1-4变形例1

[0051] 1-5变形例2

[0052] 2.第二实施方案:固态成像装置(在元件隔离部内形成的遮光膜的例子)

[0053] 3.第三实施方案:固态成像装置(仅有元件隔离部的基板背面侧的端部接触p型半导体区域的例子)

[0054] 4.第四实施方案:固态成像装置(元件隔离部贯通基板的例子)

[0055] 5.第五实施方案:固态成像装置(在元件隔离部内形成的遮光层与配线层连接的例子)

[0056] 6.第六实施方案:固态成像装置(在元件隔离部中形成两层固态电荷膜的例子)

[0057] 7.第七实施方案:固态成像装置(元件隔离部是空的例子)

[0058] 8.第八实施方案:固态成像装置(元件隔离部是中空的结构的例子)

[0059] 8-1变形例

[0060] 9.第九实施方案:电子设备

[0061] <1.第一实施方案:固态成像装置>

[0062] [1-1固态成像装置的整体构成]

[0063] 图1是示出涉及本发明第一实施方案的CMOS型的固态成像装置的整体示意性构成图。

[0064] 本实施方案的固态成像装置1被构造成具有像素区域3(具有在由硅制成的基板11上排列的多个像素2)、垂直驱动电路4、列信号处理电路5、水平驱动电路6、输出电路7和控制电路8等。

[0065] 多个像素2由多个像素晶体管和光电转换部(由光电二极管构成)构成,并且以二维阵列形式规则地排列在基板11上。构成像素2的像素晶体管可以由传输晶体管、复位晶体管、选择晶体管和放大晶体管构成的4个MOS晶体管,或者可以是不包括选择晶体管的3个晶体管。

[0066] 像素区域3具有以二维阵列形式规则地排列的多个像素2。像素区域3由实际上接收光、放大通过光电转换生成的信号电荷并且读出到列信号处理电路5的有效像素区域以及用于输出将要作为黑水平标准的光学黑色的黑色标准像素区域(图未示)构成。黑色标准像素区域通常形成在有效像素区域的外周部上。

[0067] 控制电路8基于垂直同步信号、水平同步信号和主时钟生成作为垂直驱动电路4、列信号处理电路5和水平驱动电路6等的操作标准的时钟信号和控制信号等。由控制电路8生成的时钟信号和控制信号输入到垂直驱动电路4、列信号处理电路5、水平驱动电路6等。

[0068] 垂直驱动电路4例如由移位寄存器构成,并且以行单位在垂直方向上顺次选择性地扫描像素区域3的各像素2。此外,基于根据在各像素2的光电二极管中的光接收量生成的信号电荷的像素信号经由垂直信号线供给到列信号处理电路5。

[0069] 列信号处理电路5例如配置在像素2的每行中,并且针对每列像素使用来自黑色标准像素区域(图未示,但是在有效像素区域的外周部上形成)的信号对从像素2的各行输出的信号进行诸如降噪和信号放大等信号处理。水平选择开关(图未示)设置在列信号处理电路5的输出段和水平信号线10之间。

[0070] 水平驱动电路6例如由移位寄存器构成,通过顺次输出水平扫描脉冲而顺次选择各个列信号处理电路5,并且将来自各个列信号处理电路5的像素信号输出到水平信号线10。

[0071] 输出电路7对经由水平信号线10从各个列信号处理电路5顺次供给的信号进行信号处理并且输出信号。

[0072] [1-2要部的构成]

[0073] 图2示出本实施方案的固态成像装置1的像素区域3的截面构成,图3示出本实施方案的固态成像装置1的像素区域3的平面布局。本实施方案的固态成像装置1以背面照射型的CMOS型固态成像装置作为例子,并且是所谓的4个像素共享成为1个单元的例子,其中所需的像素晶体管由4个光电转换部共享。此外,在以下的说明中,第一导电型作为p型说明,第二导电型作为n型说明。

[0074] 如图2所示,本实施方案的固态成像装置1具有基板12(具有多个像素)、形成在基板12的前面侧上的配线层13和支撑基板31。此外,还设置有在基板12的背面侧上顺次形成

的具有固定电荷的绝缘膜(下面称作固定电荷膜)20、绝缘膜21、遮光膜25、平坦化膜26、滤色层27和片上透镜28。

[0075] 基板12由硅制成的半导体基板构成,并且形成为具有厚度 $1\mu\text{m}\sim 6\mu\text{m}$,例如。由光电二极管形成的多个光电转换部40以及由构成像素电路单元的多个像素晶体管($\text{Tr}1\sim\text{Tr}4$)构成的像素在基板12的像素区域3上以二维矩阵形式形成。此外,相邻的光电转换部40由元件隔离部19电气隔离。此外,尽管图2的图中未示出,但是外围电路部在基板12上形成的像素区域的周边区域中构成。

[0076] 光电转换部40由在基板12的前面侧和背面侧上形成的第一导电型(下面称作p型)半导体区域23和24以及在其间形成的第二导电型(下面称作n型)半导体区域22构成。在光电转换部40中,主光电二极管在p型半导体区域23和24与n型半导体区域22之间的pn结处构成。在光电转换部40中,根据入射光的光量生成信号电荷并在n型半导体区域22中累积。此外,作为在基板12的界面处发生暗电流的原因的电子被吸收到在基板12的前面和背面上形成的p型半导体区域23和24中作为载流子的多个空穴中。

[0077] 此外,各光电转换部40被由p型半导体区域构成的像素隔离层18和形成在像素隔离层18内的元件隔离部19电气隔离。

[0078] 根据本实施方案,如图3所示,像素晶体管由4个晶体管构成,它们是传输晶体管 $\text{Tr}1$ 、复位晶体管 $\text{Tr}2$ 、放大晶体管 $\text{Tr}3$ 和选择晶体管 $\text{Tr}4$ 。

[0079] 如图3所示,传输晶体管 $\text{Tr}1$ 由在以两行两列形式形成的4个光电转换部40的中心部中形成的浮动扩散部30以及传输栅电极16构成。如图2所示,浮动扩散部30由通过n型杂质以高浓度离子注入到在基板12的前面侧上形成的p阱层29中而形成的n型半导体区域构成。此外,传输栅电极16经由栅极绝缘层17形成在光电转换部40和浮动扩散部30之间的基板12前面侧上。

[0080] 在像素晶体管中,复位晶体管 $\text{Tr}2$ 、放大晶体管 $\text{Tr}3$ 和选择晶体管 $\text{Tr}4$ 针对共享浮动扩散部30的每4个光电转换部40形成。如图3所示,这些像素晶体管被配置在由4个光电转换器40构成的组的一侧。

[0081] 复位晶体管 $\text{Tr}2$ 由一对源/漏区域35和36以及在源/漏区域35和36之间形成的复位栅电极32构成。放大晶体管 $\text{Tr}3$ 由一对源/漏区域36和37以及在源/漏区域36和37之间形成的放大栅电极33构成。选择晶体管 $\text{Tr}4$ 由一对源/漏区域37和38以及在源/漏区域37和38之间形成的选择栅电极34构成。

[0082] 复位晶体管 $\text{Tr}2$ 、放大晶体管 $\text{Tr}3$ 和选择晶体管 $\text{Tr}4$ 的截面构成被省略,但是这些像素晶体管构造成与传输晶体管 $\text{Tr}1$ 类似。也就是说,与浮动扩散部30类似地,源/漏区域35~38在形成于基板12的前表面上的p阱层29内的n型高浓度杂质区域中构成。此外,复位栅电极32、放大栅电极33和选择栅电极34经由栅极绝缘膜17在基板12的前面侧上形成。

[0083] 元件隔离部19由在从基板12的背面侧在深度方向上形成的沟部39内顺次埋入形成的固定电荷膜20和绝缘膜21构成,并且雕刻形成在于基板12上形成的像素隔离层18内。也就是说,如图所示,元件隔离部19形成为格子形状,从而包围像素。此外,在像素晶体管形成在相邻的光电转换部40和光电转换部40之间的情况下,配置成与浮动扩散部30或源/漏区重叠。

[0084] 此外,元件隔离部19的形成深度到达其中形成像素晶体管的p阱层29,并且形成深

度未到达浮动扩散部30或源/漏区域。如果浮动扩散部30和源/漏区域的深度小于 $1\mu\text{m}$,那么元件隔离部19的形成深度可以从基板12前面达到大约 $0.25\sim 5.0\mu\text{m}$ 。根据本实施方案,形成深度到达像素晶体管的p阱层29,但是仅必须形成成为使得元件隔离部19在基板12背面侧的端部接触p型半导体层,深度不一定必须到达p阱层29。象本实施方案中那样,在由p型半导体层制成的像素隔离层18内形成的情况下,即使在未到达p阱层29的构成中,也可以获得绝缘隔离的优点。

[0085] 此外,沟部39中形成的固定电荷膜20形成在沟部39的内周面和底面上,也形成在基板12的整个背面上。请注意,在下面的说明中,沟部39的内周面和底面一起描述为“内壁面”。作为固定电荷膜20,使用通过在诸如硅等基板上堆叠而产生固定电荷并加强钉扎(pinning)的材料是优选的,并且可以使用具有负电荷的高折射率材料膜或高导电性膜。作为具体材料,例如,可以使用含有铪(Hf)、铝(Al)、锆(Zr)、钽(Ta)和钛(Ti)中的至少一种元素的氧化物或氮化物材料。作为膜形成法,例如,可以举出化学气相沉积方法(下文中,CVD(Chemical Vapor Deposition)法)、溅射法、原子层沉积法(下文中,ALD(Atomic Layer Deposition)法)等。通过使用ALD法,可以形成降低膜中的界面水平(interface level)的 SiO_2 膜,同时膜厚度为大约 1nm 。此外,作为上述以外的材料,可以举出含有镧(La)、镨(Pr)、铈(Ce)、钕(Nd)、钷(Pm)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铪(Hf)、铪(Hf)、铪(Hf)、铪(Hf)和铪(Hf)中的至少一种元素的氧化物或氮化物材料。此外,上述的固定电荷膜可以用氧氮化铪膜或氧氮化铝膜形成。

[0086] 硅(Si)和氮(N)可以在未损失绝缘性能的范围加到上述固定电荷膜20的膜材料中。其浓度适当地确定为膜不损失绝缘性能的范围。因此,通过加入硅(Si)和氮(N),可以增加膜的耐热性和在加工过程中抑制离子注入的能力。

[0087] 在本实施方案中,具有负电荷的固定电荷膜20形成在沟部39的内壁面和基板12的背面上,从而在接触固定电荷膜20的面上形成反型层。因此,通过反型层钉扎硅界面,所以可以抑制暗电流的发生。此外,当在基板12中形成沟部39的情况下,沟部39的侧壁和底面发生物理损坏,并且存在沟部39的外周部去除钉扎的可能性。针对该问题点,在本实施方案中,通过在沟部39的侧壁和底面上形成具有多固定电荷的固定电荷膜20,可以防止去除钉扎。

[0088] 绝缘膜21埋入在其上形成固定电荷膜20的沟部39内,并且形成在基板12的整个背面侧上。作为绝缘膜21的材料,有利的是使用折射率与固定电荷膜20的材料不同的材料,可以使用例如氧化硅、氮化硅、氧氮化硅、树脂等。此外,具有不带有正固定电荷或带有少的正固定电荷的特征的材料可以用于绝缘膜21。

[0089] 此外,通过绝缘膜21埋入在沟部39中,构成各像素的光电转换部40经由绝缘膜21隔离。因此,信号电荷难于泄漏到相邻的像素,其中在发生超过饱和电荷量(Q_s)的信号电荷的情况下,可以减少泄漏到相邻的光电转换部40的泄漏信号电荷。因此,可以抑制电子混色。

[0090] 此外,在作为基板12的入射面侧的背面侧上形成的固定电荷膜20和绝缘膜21的两层构成由于其折射率的差异而具有防反射膜的功能。因此,可以防止从基板12的背面侧入射的光在基板12的背面侧上的反射。

[0091] 遮光膜25在形成于基板12的背面上的绝缘膜21上的所需区域上形成,并且在像素

区域中,形成格子形状,从而使光电转换部40开口。也就是说,遮光膜25形成在对应于元件隔离部19的位置。构成遮光膜25的材料仅必须是遮光的材料,并且可以使用例如钨(W)、铝(Al)或铜(Cu)。

[0092] 平坦化膜26形成在包括遮光膜25的整个绝缘膜21上,从而使在基板12的背面侧上的面平坦化。例如,诸如树脂等有机材料可以用作平坦化膜26的材料。

[0093] 滤色层27形成在平坦化膜26的上面上,并且例如针对每个像素对应于R(红色)、G(绿色)、B(蓝色)形成。使用滤色层27,所需波长的光透过,并且透过的光入射到在基板12内的光电转换部40中。

[0094] 片上透镜28形成在滤色层27的上面上。使用片上透镜28,照射光被收集,并且收集的光经由滤色层27有效地入射到各光电转换部40。

[0095] 配线层13形成在基板12的前面侧上,并且被构造成具有经由层间绝缘膜14叠置的配线15的多个层(根据本实施方案是3层)。构成像素2的像素晶体管Tr经由在配线层13上形成的配线15被驱动。

[0096] 支撑基板31形成在配线层13面向基板12那侧的相反侧上。支撑基板31被构造成在制造阶段中确保基板12的强度,并且例如由硅基板构成。

[0097] 使用具有上述构成的固态成像装置1,从基板12的背面侧照射光,并且透过片上透镜28和滤色层27的光在光电转换部40中发生光电转换,从而生成信号电荷。然后,在光电转换部40中生成的信号电荷经由在基板12的前面侧上形成的像素晶体管通过由配线层13中的所需配线15形成的垂直信号线作为像素信号输出。

[0098] [1-3固态成像装置的制造方法]

[0099] 接下来,说明本实施方案的固态成像装置的制造方法。图4和图5是示出本实施方案的固态成像装置的制造过程的截面图。

[0100] 首先,如图4的A所示,在基板12上形成光电转换部40、像素晶体管和像素隔离层18后,通过在基板12的前面上交替形成层间绝缘膜14和配线15而形成配线层13。通过使所需的杂质从基板12的前面侧离子注入形成在基板12上形成的光电转换部40等的杂质区域。

[0101] 接着,将硅基板制成的支撑基板31(参照图4的B)贴附到配线层13的最上层并且反转。到现在为止的制造过程与通常的背面照射型的固态成像装置类似。请注意,尽管图中省略了,但是在反转基板12后,一般地,基板12从背面侧研磨并减薄到所需的厚度。

[0102] 接下来,如图4的B所示,在基板12上的各像素的边界,即,在形成像素隔离层18的部分中,从基板12的背面侧在深度方向上进行选择性蚀刻,从而形成所需深度的沟部39。

[0103] 在形成沟部39的过程中,在基板12的背面上形成具有所需的开口的硬掩模(图未示),并且经由该硬掩模进行蚀刻,从而形成沟部。考虑到分光特性,沟部39的深度距基板12的背面有利的是 $0.2\mu\text{m}$ 以上,更有利的是 $1.0\mu\text{m}$ 以上。此外,根据分光特性,沟部39的宽度有利的是 $0.02\mu\text{m}$ 以上。通过设定沟部39的宽度为更宽,可以更容易地处理沟部39,但是沟部39的宽度越宽,分光特性和饱和电荷量下降的越多,因此,优选的是沟部39的宽度为大约 $0.02\mu\text{m}$ 。

[0104] 如图4的B所示,在本实施方案中,沟部39的形成深度到达像素晶体管的p阱层29,并且未到达浮动扩散部30或源/漏区域。请注意,形成沟部39的过程可以与其他基板贯通过程共享,在共享的情况下,可以减少过程数量。

[0105] 接下来,除去用于加工沟部39的硬掩模,并且如图5的C所示,使用CVD法、溅射法、ALD等形成包覆沟部39的侧壁和底面以及基板12的背面的固定电荷膜20。随后,使用CVD法形成将要埋入沟部39内的绝缘膜21,同时在基板12的背面侧上的固定电荷膜20上面形成绝缘膜21。

[0106] 接下来,在绝缘膜21的整个上部形成遮光材料层后,将遮光材料层图案化成所需形状。因此,如图5的D所示,使光电转换部40开口,并且形成在相邻的像素和像素之间遮光的遮光膜25。

[0107] 随后,通过使用通常的方法形成滤色层27和片上透镜28,完成图2中所示的固态成像装置1。

[0108] 通过上述过程,形成固态成像装置1,其中通过由被埋入基板12中的绝缘膜21形成的元件隔离部19进行像素隔离。

[0109] 根据本实施方案的固态成像装置1,各像素的光电转换部40通过由被埋入沟部39中的绝缘膜21形成的元件隔离部19隔离。因此,与仅用杂质区域隔离的情况相比,可以减少在光电转换部40中累积的信号电荷泄漏到相邻的光电转换部40侧。因此,当在光电转换部40中生成大于饱和电荷量的信号电荷的情况下,电荷可以更有效地排放到浮动扩散部30。因此,可以抑制高光溢出的发生。

[0110] 图6示出在电荷累积时的电位分布,并且是说明横型溢出构成(横向溢出构成)的图。本实施方案的固态成像装置1的相邻的两个光电转换部40和在形成传输晶体管Tr1的部分处的基板12的电位分布图示于图6。此外,形成常规固态成像装置(其中仅经由通过离子注入形成的元件隔离区域100隔离相邻的光电转换部)的光电转换部和传输晶体管的部分在基板上的电位分布图一起示于图6。在图6中,对应于图2的部分具有相同的附图标记。

[0111] 如图6所示,在常规固态成像装置中,为了使在电荷累积时超过饱和电荷量的信号电荷在横方向上溢出,传输门的电位设定为比相邻的两个光电转换部40之间的元件隔离区域100的电位深。通过这样做,超过光电转换部40的饱和电荷量的信号电荷不会在相邻的光电转换部40的方向上流动,并且通过传输门排出到浮动扩散部30,因此具有抑制高光溢出的构成。

[0112] 因此,在常规固态成像装置中利用横向溢出的情况下,深度需要设定为比相邻的两个光电转换部40之间的元件隔离区域100的电位深。因此,在电荷累积时预定电位需要供给到传输栅电极,并且传输门的电位设定为很深,从而饱和电荷量(Q_s)的量下降。

[0113] 另一方面,本实施方案的固态成像装置1具有通过元件隔离部19隔离的相邻光电转换部40。因此,在电荷累积时,即使传输门的电位处于浅的状态,超过光电转换部40的饱和电荷量的信号电荷也不会相邻的光电转换部40的方向上流动,而是排出到浮动扩散部30。

[0114] 根据本实施方案的固态成像装置1,光电转换部40通过由绝缘膜21构成的元件隔离部19隔离,从而,与现有技术相比,元件隔离部19的电位变浅量相当于 $\Delta \times 1$ 。因此,在电荷累积时传输门的电位不需要很深。如图6所示,与现有技术相比,传输门的电位变浅量相当于 $\Delta \times 2$,因此,在本实施方案的固态成像装置1中,与现有技术相比,饱和电荷量可以增大。换句话说,在本实施方案的固态成像装置1中,在抑制高光溢出的同时,饱和电荷量可以增大。此外,由于饱和特性改善,光电转换部40内的电场不必须增大,并且构成光电转换部

40的n型半导体区域的浓度可以设定为很低,所以白点可以保持到低水平。

[0115] 此外,在本实施方案的固态成像装置1中,在沟部39中形成具有负电荷的固定电荷膜20。因此,通过固定电荷膜20的负偏压的优势,可以抑制界面水平的发生,并且可以抑制界面水平引起的暗电流的产生。此外,反型层(p型)形成在接触固定电荷膜20的面上,并且诱发正电荷。因此,即使由p型半导体区域构成的p阱层29和像素隔离层18由比常规固态成像装置薄大约1个数量级的p型杂质浓度形成,也可以充分发挥像素隔离功能和暗电流抑制的优点。

[0116] 此外,在本实施方案中,p阱层29和像素隔离层18可以由比常规固态成像装置薄的杂质浓度形成,因此构成光电转换部40的n型半导体区域22不会被p型半导体区域侵蚀。因此,饱和电荷量可以改善。此外,p阱层29和像素隔离层18的p型杂质浓度可以设定为很低,因此可以抑制在p阱层29和像素隔离层18中的强电场的发生,并且可以抑制噪音的发生。

[0117] 此外,元件隔离部19被形成作为接触作为接地电位的p阱层29,因此在元件隔离部19的外周中形成的反型层(p型)被固定和钉扎到接地电位,因此,暗电流的发生被抑制。

[0118] 此外,在本实施方案的固态成像装置1中,元件隔离部19可以形成在与像素晶体管在光入射方向上重叠的区域上。因此,元件隔离部19可以在不以任何方式影响像素晶体管的布局的情况下形成,并且不必单独设置元件隔离部19的区域,所以像素面积不会大幅增加。

[0119] 上面说明了对于4个光电转换部40必要的像素晶体管被共享的4个像素共享成为1个单元的例子,但不应限于此,可以作出各种类型的构成,如2个像素共享成为1个单元的例子或像素晶体管未被共享的情况等。

[0120] [1-4第一变形例]

[0121] 作为涉及本实施方案的第一变形例的固态成像装置,将说明对于2个光电转换部40必要的像素晶体管被共享的2个像素共享成为1个单元的例子。图7是涉及第一变形例的固态成像装置的平面布局。在图7中,对应于图3的部分具有相同的附图标记,并且省略了重复的说明。

[0122] 在第一变形例中,如图7所示,传输晶体管由浮动扩散部30和传输栅电极16构成,浮动扩散部30形成在以一行两列方式形成的2个光电转换部40的中心部。此外,在像素晶体管中,复位晶体管Tr2、放大晶体管Tr3和选择晶体管Tr4针对共享浮动扩散部30的每2个光电转换部40形成。这些复位晶体管Tr2、放大晶体管Tr3和选择晶体管Tr4被配置在由2个光电转换部40构成的组的一侧。

[0123] 此外,在2个像素共享的情况下,元件隔离部19形成格子形状,从而包围各像素的光电转换部40,并且在形成像素晶体管的区域中,配置在与像素晶体管重叠的区域中。

[0124] 此外,包含涉及第一变形例的固态成像装置的传输晶体管Tr1的截面构成与图2中的构成类似。

[0125] 根据2个像素共享成为1个单元的固态成像装置,各像素的光电转换部40被元件隔离部19绝缘,因此光电转换部40生成的信号电荷不容易泄漏到相邻像素的光电转换部40。因此,可以获得与本实施方案类似的优点,如在维持饱和特性的同时能够抑制高光溢出等。

[0126] [1-5第二变形例]

[0127] 作为涉及本实施方案的第二变形例固态成像装置,将说明对于各像素的每个光电

转换部40形成像素晶体管的例子。图8是涉及第二变形例的固态成像装置的平面布局。在图8中,对应于图3的部分具有相同的附图标记,并且省略了重复的说明。

[0128] 在第二变形例中,传输晶体管Tr1、复位晶体管Tr2和放大晶体管Tr3针对每个像素形成,并且没有选择晶体管。此外,针对每个光电转换部40形成的像素晶体管在光电转换部40的一个方向上形成。此外,元件隔离部19形成为格子形状,从而包围各像素的光电转换部40,并且配置在与像素晶体管重叠的区域中。

[0129] 此外,涉及第二变形例的固态成像装置的截面构成从图中省略,但是第二变形例中的固态成像装置具有针对各光电转换部40形成的一个浮动扩散部30。此外,在第二变形例中,各像素的光电转换部40被元件隔离部19绝缘,因此各光电转换部40生成的信号电荷不容易泄漏到相邻像素的光电转换部40。因此,可以获得与本实施方案类似的优点,如在维持饱和特性的同时能够抑制高光溢出等。

[0130] 因此,即使在具有不同布局的固态成像装置中,针对光电转换部40的元件隔离部19的构成在任一种情况下也可以具有类似的构成。

[0131] <2. 第二实施方案:固态成像装置>

[0132] 接下来,将说明涉及本发明第二实施方案的固态成像装置。本实施方案的固态成像装置的整体构成与图1类似,所以省略了图示。图9是示出本实施方案的固态成像装置52的要部的截面构成图。在图9中,对应于图2的部分具有相同的附图标记,并且省略了重复的说明。

[0133] 本实施方案的固态成像装置52是元件隔离部49的构成与第一实施方案不同的例子。

[0134] 在本实施方案的固态成像装置52中,元件隔离部49由在沟部39内顺次埋入的固定电荷膜20、绝缘膜48和遮光层50构成。遮光层50在其中已经形成固定电荷膜20和绝缘膜48的沟部39内在深度方向上形成,并且被构造成与在基板12的背面侧上形成的遮光膜25连接。

[0135] 图10的A~C是示出本实施方案的固态成像装置52的制造过程的截面图。在本实施方案中,直到形成沟部39的过程与图4的A和图4的B中说明的过程类似,所以将说明其后的过程。

[0136] 在包围光电转换部40的区域中形成沟部39后,如图10的A所示,固定电荷膜20形成成为包覆沟部39的内壁面和基板12的背面侧。这里固定电荷膜20的形成与第一实施方案类似。接下来,在沟部39内和基板12的背面侧形成绝缘膜48,从而包覆固定电荷膜20。此时,形成沟部39的绝缘膜48形成至没有填充整个沟部39的厚度。例如,可以使用溅射法形成绝缘膜48。

[0137] 接下来,如图10的B所示,遮光材料层24a形成为包覆基板12的背面侧,同时完全填充沟部39。遮光材料层24a可以与第一实施方案类似地形成,但是特别地,优选使用具有良好埋入性的材料。

[0138] 接下来,如图10的C所示,将遮光材料层24a图案化,使得遮光材料层残留在相邻的像素和像素之间的边界部分中。因此,形成埋在沟部39中的遮光层50和与遮光层50电连接的遮光膜25。

[0139] 随后,通过使用通常的制造方法顺次形成平坦化膜26、滤色层27和片上透镜28,完

成本实施方案的固态成像装置52。

[0140] 在本实施方案的固态成像装置52中,接地电位或负电位被供给到遮光膜25和遮光层50。通过将接地电位或负电位供给到遮光膜25和遮光层50,可以稳定在元件隔离部19表面上的空穴钉扎的效果。此外,在将负电位供给到遮光膜25和遮光层50的情况下,在接触元件隔离部19的基板12的面上容易形成反型层,并且可以增大抑制暗电流的效果。

[0141] 此外,在本实施方案中,遮光层50形成在沟部39内部,因此可以防止倾斜入射的光进入相邻的光电转换部40,并且抑制光学混色。此外,可以获得与第一实施方案相同的优点。

[0142] <3. 第三实施方案:固态成像装置>

[0143] 接下来,将说明涉及本发明第三实施方案的固态成像装置。本实施方案的固态成像装置的整体构成与图1类似,所以省略了图示。图11是本实施方案的固态成像装置55的要部的截面构成图。在图11中,对应于图2的部分具有相同的附图标记,并且省略了重复的说明。

[0144] 本实施方案的固态成像装置55是未形成像素隔离层18(在涉及第一实施方案的固态成像装置1中,由在基板12上形成的p型半导体区域形成)的例子。也就是说,在本实施方案的固态成像装置55中,光电转换部56仅使用元件隔离部19针对每个像素隔离。然而,在这种情况下,元件隔离部19的前面侧的端部还形成为接触像素晶体管的p阱层29。

[0145] 在本实施方案的固态成像装置55中,光电转换部56由在基板12的前面侧上形成的p型半导体区域23和从p型半导体区域23的下部到基板12的背面侧形成的n型半导体区域51构成。也就是说,在本实施方案中,在光电转换部56中作为电荷累积区域的n型半导体区域51形成为比在第一实施方案中作为光电转换部40的电荷累积区域的n型半导体区域22更大。因此,饱和电荷量可以进一步提高。

[0146] 在本实施方案中,未形成将各像素的光电转换部56与p型杂质区域隔离的像素隔离层和在基板12的背面侧上暗电流抑制用的p型半导体区域。然而,具有负固定电荷的绝缘膜20形成在元件隔离部19上,因此在接触固定电荷膜20的面上形成反型层,并且可以抑制暗电流的发生。因此,使用其中元件隔离部19的在基板12的前面侧上的端部接触与n型半导体区域51电气隔离的诸如p阱层29等p型半导体区域的构成,可以充分地抑制在光电转换部56之间的电荷的泄漏。

[0147] 此外,可以获得与第一实施方案类似的优点。

[0148] <4. 第四实施方案:固态成像装置>

[0149] 接下来,将说明涉及本发明第四实施方案的固态成像装置。本实施方案的固态成像装置的整体构成与图1类似,所以省略了图示。图12是本实施方案的固态成像装置57的要部的截面构成图。在图12中,对应于图2的部分具有相同的附图标记,并且省略了重复的说明。

[0150] 本实施方案的固态成像装置57是其中元件隔离部59的一部分贯通基板12的例子。如图12所示,在像素晶体管未被重叠的区域(在图12中,传输晶体管Tr1的浮动扩散部39)中,元件隔离部59形成为贯通基板12。也就是说,在不与像素晶体管重叠的区域中的元件隔离部19由顺次埋在贯通基板12形成的沟部60内的固定电荷膜20和绝缘膜21构成。

[0151] 另一方面,在与像素晶体管重叠的区域中,与第一实施方案类似地,元件隔离部19

的前面侧的端部形成为接触像素晶体管的p阱层29。此时,元件隔离部19的前面侧的端部形成为没有到达构成像素晶体管的浮动扩散部30和源/漏区域。

[0152] 图13和图14是示出本实施方案的固态成像装置57的制造过程的截面图。在本实施方案中,直到形成沟部39和60之前的过程与图4的A中说明的过程类似,所以将说明其后的过程。

[0153] 在本实施方案中,在反转其上形成配线层13和支撑基板31的基板12并减薄到所需厚度之后,如图13的A所示,形成具有不同深度的沟部39和60。在形成贯通基板12的元件隔离部59的区域中,形成贯通基板12的沟部60,在形成未贯通的元件隔离部19的区域中,沟部39形成至到达像素晶体管的p阱层29的深度。可以通过进行被划分为多个阶段的蚀刻处理形成具有不同深度的沟部39和60。

[0154] 接下来,如图13的B所示,通过在具有不同深度的沟部39和60内与图5的C类似地形成固定电荷膜20和绝缘膜21,可以形成具有不同深度的元件隔离部19和59。

[0155] 随后,在绝缘膜21的上部的整个面上形成遮光材料层后,将遮光材料层图案化成所需形状。因此,如图14C所示,使光电转换部40开口,并且形成在相邻的像素和像素之间遮光的遮光膜25。

[0156] 随后,使用通常的方法形成滤色层27和片上透镜28,完成图12中示出的固态成像装置57。

[0157] 在本实施方案的固态成像装置57中,在与像素晶体管重叠的区域之外的区域中,元件隔离部59形成为贯通基板12,因此可以进一步减少在相邻的光电转换部40之间信号电荷的泄漏。因此,可以提高抑制高光溢出的优点。此外,可以获得与第一实施方案类似的优点。

[0158] <5.第五实施方案:固态成像装置>

[0159] 接下来,将说明涉及本发明第五实施方案的固态成像装置。本实施方案的固态成像装置的整体构成与图1类似,所以省略了图示。图15是本实施方案的固态成像装置64的要部的截面构成图。在图15中,对应于图2的部分具有相同的附图标记,并且省略了重复的说明。

[0160] 本实施方案的固态成像装置64是涉及第二实施方案的固态成像装置52的例子,在像素区域的一部分(例如,边缘)中具有贯通基板12的元件隔离部62,并且形成有在元件隔离部62内在基板12的前面侧露出的遮光层63。

[0161] 贯通基板12的元件隔离部62由形成为贯通基板12的沟部60以及在沟部60内顺次形成的固定电荷膜20、绝缘膜48和遮光层63构成,并且遮光层63形成为在基板12的前面侧露出。形成为在基板12的前面侧露出的遮光层63经由在构成配线层13的层间绝缘膜14中形成的接触部61与所需的配线15连接。接地电位或负电位从配线15供给到遮光层63,因此接地电位或负电位被供给到在像素区域中形成的遮光层50和遮光膜25。

[0162] 在制造本实施方案的固态成像装置64的情况下,首先,与图13的A类似地,形成具有不同深度的沟部39和60,接下来,与图10的A类似地,形成固定电荷膜20和绝缘膜48。随后,通过回蚀仅除去在贯通基板12的沟部60的底面上形成的固定电荷膜20和绝缘膜48。此外,在配线层13在贯通基板12的沟部60的底面中处于露出状态下的同时,在沟部39和60中埋入遮光材料,同时在基板12的背面侧形成遮光材料,并且通过图案化成所需的形状,形成

遮光层50和63和遮光膜25。因此,贯通基板12的遮光层50可以引出到配线层13侧,并且所需的电位可以从配线层13的配线15供给到遮光层50。请注意,在本实施方案中,在形成配线层13的过程中,预先形成与遮光层63连接的接触部61。

[0163] 在本实施方案的固态成像装置64中,通过形成贯通基板12的元件隔离部62的一部分,遮光层63可以引出到基板12的配线层13侧。此外,可以在同一过程中进行遮光膜25和遮光层50和63与配线15之间的电连接以及元件隔离部19和62的制造,因此可以减少过程数量。

[0164] 此外,可以获得与涉及第一和第二实施方案的固态成像装置类似的优点。

[0165] <6. 第六实施方案:固态成像装置>

[0166] 接下来,将说明涉及本发明第六实施方案的固态成像装置。本实施方案的固态成像装置的整体构成与图1类似,所以省略了图示。图16是本实施方案的固态成像装置41的要部的截面构成图。在图16中,对应于图2的部分具有相同的附图标记,并且省略了重复的说明。

[0167] 本实施方案的固态成像装置41的元件隔离部42的构成与第一实施方案不同。在本实施方案中,元件隔离部42具有在沟部39中顺次埋入形成的第一固定电荷膜43、第二固定电荷膜44、第一绝缘膜45和第二绝缘膜46。请注意,在本实施方案中,沟部39的侧面形成为锥形形状,并且开口直径在基板12的深度方向上减小。下面将说明在沟部内39和在基板12的背面上形成的各膜及其制造方法。

[0168] 第一固定电荷膜43形成为包覆沟部39的内壁面和基板12的背面,并且使用CVD法或ALD法形成。关于形成第一固定电荷膜43的材料,可以使用与第一实施方案中的固定电荷膜20的材料类似的材料。

[0169] 在使用CVD法或ALD法形成第一固定电荷膜43的情况下,在形成膜中同时形成降低界面水平的SiO₂膜。有利的是SiO₂膜形成为厚度大约1nm。在除去在基板界面处形成的SiO₂膜的厚度的情况下,有利的是第一固定电荷膜43形成为厚度3nm以上,例如,有利的是形成为3nm以上和20nm以下。

[0170] 第二固定电荷膜44形成在沟部39内和基板12的背面上并且包覆第一固定电荷膜43,例如使用PVD(物理气相沉积,Physical Vapor Deposition)法形成。关于形成第二固定电荷膜44的材料,与第一固定电荷膜43类似地,可以使用与第一实施方案中的固定电荷膜20的材料类似的材料。此外,第二固定电荷膜44可以由与第一固定电荷膜43相同的材料形成,或者可以由不同的材料形成。

[0171] 有利的是第二固定电荷膜44在基板12的背面上形成为例如厚度40nm以下和60nm以下。通过形成厚度为40nm以上和60nm以下的第二固定电荷膜44,可以可靠地获得在基板12的背面侧上钉扎的优点和后述的防反射膜的优点。

[0172] 第一绝缘膜45形成在沟部39内和基板12的背面上并且包覆第二固定电荷膜44,形成为利用PVD法或VCD法形成的各向异性氧化膜,并且例如由包含TEOS(Tetra Ethyl Ortho Silicate)材料或硅烷材料的氧化膜形成。有利的是第一绝缘膜45在基板12的背面上形成为例如厚度0nm以上和600nm以下。

[0173] 第二绝缘膜46形成在沟部39内和基板12的背面上并且包覆第一绝缘膜45,在本实施方案中形成为利用ALD法或CVD法形成的各向同性氧化膜,并且例如由氧化硅膜等形成。

在本实施方案中,沟部39被第二绝缘膜46完全填充。此外,有利的是第二绝缘膜46在基板12的背面上形成为例如厚度0nm以上和300nm以下,并且第一绝缘膜45和第二绝缘膜46的膜厚度一起形成为10nm以上和900nm以下,有利的是50nm以上和700nm以下,更有利的是100nm以上和500nm以下。

[0174] 此外,由在基板12的背面侧和沟部39内形成的第一固定电荷膜43、第二固定电荷膜44、第一绝缘膜45和第二绝缘膜46构成的层叠膜也兼用作防反射膜。

[0175] 请注意,在本实施方案中,说明了形成第一绝缘膜45和第二绝缘膜46的两层绝缘膜的情况,但是本发明不限于此,只要形成第一和第二绝缘膜45和46中的一个就是充分的。此外,说明了形成各向异性膜作为第一绝缘膜45和各向同性膜作为第二绝缘膜46的情况,但是相反的情况也可以。

[0176] 此外,沟部39的内周面可以具有其中第一固定电荷膜43、第二固定电荷膜44、第一绝缘膜45和第二绝缘膜46的全部或一部分层叠的构成,或者可以具有其中上述膜不层叠的构成。

[0177] <7. 第七实施方案:固态成像装置>

[0178] 接下来,将说明涉及本发明第七实施方案的固态成像装置。本实施方案的固态成像装置的整体构成与图1类似,所以省略了图示。图17是本实施方案的固态成像装置47的要部的截面构成图。在图17中,对应于图2的部分具有相同的附图标记,并且省略了重复的说明。

[0179] 本实施方案的固态成像装置47与第一实施方案的不同点在于,元件隔离部53具有中空结构。在本实施方案中,如图17所示,元件隔离部53具有在从基板12的背面侧在深度方向上形成的沟部39内顺次埋入形成的固定电荷膜20和绝缘膜54,并且在沟部39内形成中空部(所谓的空隙)58。

[0180] 绝缘膜54形成为包覆在沟部39的内壁面和基板12的背面上形成的固定电荷膜20。此外,为了在沟部39内形成中空部58,绝缘膜54的厚度形成为使得未填充沟部39内部的整个沟部39,并且形成为在沟部39的开口端封闭沟部39。绝缘膜54可以用与第一实施方案中使用的绝缘膜21的材料类似的材料形成。

[0181] 本实施方案的固态成像装置47的制造过程示于图18的A和图18的B。直到形成沟部39的过程与第一实施方案类似,所以省略了重复的说明。在形成沟部39后,如图18的A所示,使用CVD法、溅射法或ALD法等,固定电荷膜20形成为包覆沟部39的内周面和底面和基板12的背面。

[0182] 接下来,如图18的B所示,使用CVD法、溅射法、涂布法等,绝缘膜54形成为包覆在沟部39的内壁面和基板12的背面上形成的固定电荷膜20。在绝缘膜54的膜形成过程中,膜形成条件设置成使得在沟部39的内部用绝缘膜54完全填充之前,沟部39的开口端侧封闭。因此,通过优化膜形成条件,可以形成具有如图18的B所示的中空部58的元件隔离部53。

[0183] 在元件隔离部53中形成的中空部58的内部可以处于填充空气的状态,或者可以处于真空状态。此外,为了防止在入射侧附近的部分中光的混入,从背面的硅面(基板12和固定电荷膜20之间的界面)到上部(光入射侧)存在中空部是更有利的。

[0184] 随后,使用与第一实施方案类似的过程,完成图17中示出的本实施方案的固态成像装置47。在本实施方案中,中空部58的折射率是1,固定电荷膜20和绝缘膜54的折射率是1

以上,因此在元件隔离部53处容易发生光反射,并且可以抑制光学混色。因此,在本实施方案中,在元件隔离部53中可以改善光学遮光性。此外,在本实施方案中,可以获得与第一实施方案类似的优点。

[0185] 在本实施方案中,固定电荷膜20形成在元件隔离部53处,但是不必须形成固定电荷膜20。在这种情况下,作为形成绝缘膜的材料,使用折射率为1以上的绝缘材料,并且绝缘膜形成成为使得在沟部39内部形成中空部,因此可以改善光学遮光性并且可以抑制光学混色。

[0186] <8.第八实施方案:固态成像装置>

[0187] 接下来,将说明涉及本发明第八实施方案的固态成像装置。本实施方案的固态成像装置的整体构成与图1类似,所以省略了图示。图19是本实施方案的固态成像装置65的要部的截面构成图。在图19中,对应于图2的部分具有相同的附图标记,并且省略了重复的说明。

[0188] 本实施方案的固态成像装置65与第七实施方案的相同点在于,元件隔离部66具有中空结构,但是元件隔离部66的膜构成和膜形成法不同。在本实施方案中,如图19所示,元件隔离部66具有在从基板12的背面侧在深度方向上形成的沟部39内部顺次埋入形成的第一膜67和第二膜68,并且在沟部39内形成中空部58。

[0189] 第一膜67形成成为包覆沟部39的内壁面和基板12的背面,第二膜68形成在沟部39的内壁面和基板12的背面上并且层叠在第一膜67上。此外,在沟部39中,在形成有中空部58的状态下,沟部39的开口端侧被第一膜67和第二膜68封闭。

[0190] 如后面说明的,第一膜67使用各向异性膜形成法形成,并且设置成使得在沟部39的开口端侧的开口直径缩窄。另一方面,第二膜68使用各向同性膜形成法形成,并且设置成使得封闭通过第一膜67缩窄的沟部39的开口端。

[0191] 第一膜67和第二膜68例如可以使用诸如氧化硅、氮化硅、氧氮化硅、树脂等绝缘材料形成。此外,第一膜67和第二膜68可以使用相同的材料形成,或者可以使用不同的材料形成。在使用不同的材料形成第一膜67和第二膜68的情况下,有利的是选择具有以下条件的材料,其中第一膜67的膜应力小于第二膜68的膜应力,并且其中第一膜67的折射率大于第二膜68的折射率。本实施方案针对以下情况进行说明,其中作为例子,第一膜67和第二膜68均由氧化硅形成。

[0192] 本实施方案的固态成像装置65的制造过程示于图20的A和图20的B中。直到形成沟部39的过程与第一实施方案类似,所以省略了重复的说明。在形成沟部39后,如图20的A所示,形成由氧化硅制成的第一膜67。使用各向异性膜形成法形成第一膜67,例如等离子体CVD法或PVD法。

[0193] 第一膜67形成成为各向异性的,在沟部39的底面和基板12的背面处的第一膜67的膜厚度比在沟部39的内周面的第一膜67的膜厚度更厚。因此,由于在基板12的背面和沟部39的内周面上的膜形成速率不同,所以如图20的A所示,第一膜67在沟部39的开口端侧处具有垂悬形状,并且沟部39的开口端侧的开口直径比沟部39的底面侧的开口直径小。这里,第一膜67形成至未完全封闭沟部39的厚度。

[0194] 接下来,如图20的B所示,形成由氧化硅制成的第二膜68。第二膜68使用各向同性法形成,例如ALD法。第二膜68形成成为各向同性的,所以在沟部39的内壁面和基板12的背面

上,第二膜68在第一膜67的上部形成为大约相同的厚度。

[0195] 此外,第二膜68形成为厚度在沟部39的开口端侧封闭沟部39。在本实施方案中,由于第一膜67的原因,在沟部39的开口端侧的开口直径比在沟部39的底面侧的开口直径狭窄。因此,在维持沟部39的中空结构的状态下,第二膜68封闭开口端侧。因此,中空部58形成在沟部39内。此外,即使第一膜67变换为各向同性膜和第二膜68变换为各向异性膜,也可以在维持沟部39的中空结构的状态下封闭开口端侧。此外,根据本实施方案,为了防止在入射侧附近的部分中光的混入,有利的是从背面的硅面(基板12和第一膜67之间的界面)到上部(光入射侧)存在中空部。

[0196] 随后,使用与第一实施方案类似的过程,完成图19中示出的本实施方案的固态成像装置65。根据本实施方案,中空部58在元件隔离部66中形成,因此可以获得与第七实施方案类似的优点。

[0197] 在本实施方案中,给出了由第一膜67和第二膜68的两层膜形成元件隔离部66的例子,但是在必要时可以形成三层以上的膜。象在本实施方案中那样,在由两层以上的膜形成元件隔离部66的情况下,如果将要在先形成的膜材料的应力比将要在后形成的膜材料的应力低,那么可以抑制对基板12的应力,并且可以抑制由于应力造成的暗电流和白点。此外,通过使将要在后形成的膜材料的折射率比将要在先形成的膜材料的折射率低,可以抑制光学混色。

[0198] 此外,根据本实施方案,具有负固定电荷的膜(对应于图2中的固定电荷膜20)可以形成在第一膜67和基板12之间。作为固定电荷膜,可以使用与第一实施方案类似的材料。

[0199] 此外,第二膜68可以由诸如钨(W)、铝(Al)、钛(Ti)等金属材料或它们的氧化物或氮化物形成。在由金属材料形成第二膜68的情况下,必须除去在光电转换部40的光入射侧形成的金属材料膜。下面作为变形例说明使用氧化硅形成第一膜67和使用金属材料形成第二膜68的情况。

[0200] [8-1变形例]

[0201] 图21是涉及变形例的固态成像装置70的截面构成图。图21中对应于图19的部分具有相同的附图标记,并且省略了重复的说明。在涉及变形例的固态成像装置70中,构成元件隔离部72的第二膜71不同于本实施方案。

[0202] 在变形例中,第二膜71例如由钨(W)形成,并且形成为包覆沟部39的内壁面和基板12的背面侧的遮光区域中的第一膜67。也就是说,在基板12的背面侧上,第二膜71形成在对应于形成遮光膜25的位置的区域中,并且设置成格子形状,从而使光电转换部40开口。

[0203] 此外,根据变形例,与本实施方案类似地,第二膜71使用各向同性膜形成法形成在第一膜67的表面。此外,在基板12的背面侧上,在第二膜71的上部的整个面上形成将要作为遮光膜25的遮光材料层之后,使遮光材料层和第二膜71同时图案化,因此除去在光电转换部40上部的第二膜71。随后,使用与第一实施方案类似的过程,可以制造图21中示出的固态成像装置70。

[0204] 如变形例所示,在使用金属材料形成在沟部39内形成的膜的情况下,与在基板12的背面侧上形成的遮光膜25的图案化过程的同时进行图案化,因此可以除去在光电转换部40上部的金属材料。此外,在变形例中,例举出形成遮光膜25,但是在仅用第二膜71就充分遮光的情况下,不必单独设置遮光膜25。在这种情况下,可以减少在基板12的光入射面侧

上形成的膜层的数量,因此可以缩短片上透镜28的表面和基板12之间的距离,并且可以改善敏感度。

[0205] 此外,与第二实施方案类似地,涉及变形例的固态成像装置70的构成可以将接地电位或负电位供给到由金属材料制成的第二膜71。通过将接地电位或负电位供给到第二膜71,可以稳定在元件隔离部72表面上的空穴钉扎的效果,并且可以抑制暗电流。

[0206] 在第七实施方案和第八实施方案中,沟部39的开口端侧被在沟部39内形成的膜封闭,但是用在基板12的背面侧上形成的膜封闭沟部39内的中空部58就是充分的。因此,沟部39的开口端侧不必被在沟部39内形成的膜封闭。

[0207] 在涉及上述第一至第八实施方案的固态成像装置中,以CMOS型固态成像装置作为例子进行说明,但是背面照射型的CCD型固态成像装置也可以是适用的。在这种情况下,通过利用在与光入射侧的相对侧的面上形成的沟部中埋入绝缘膜形成电气隔离光电转换部的元件隔离部,可以获得与上述第一至第五实施方案的优点类似的优点。

[0208] 此外,作为横向溢出构成,涉及第一至第八实施方案的固态成像装置的构成被设置成溢出到浮动扩散部的信号电荷溢出。然而,本发明不限于这样的构成,可以构造成溢出到像素晶体管的源/漏区域。例如,可以具有溢出到被供给VDD电位的区域的信号电荷溢出的构成,如复位晶体管的漏区域。

[0209] 此外,在涉及第一至第八实施方案的固态成像装置中,示出了使用负电荷(电子)作为信号电荷的构成,但是本发明也可以适用于使用正电荷(空穴)作为信号电荷的情况。在使用空穴作为信号电荷的情况下,使用具有正固定电荷的材料作为固定电荷膜是充分的,此外,基板内的p型区域和n型区域反转构成是充分的。也就是说,使用与信号电荷相同电荷的固定电荷的材料作为固定电荷膜是充分的。

[0210] 此外,作为元件隔离部,给出了在沟部中形成固定电荷膜并且埋入绝缘膜的构成,但是本发明的构成也包括仅有固定电荷膜埋在沟部中的构成。此外,第一至第八实施方案可以适当地组合。此外,在第一至第八实施方案中,元件隔离部形成包围光电转换部的格子形状,但是除了格子形状之外,可以制作成各种构成。

[0211] 此外,本发明不限于检测作为图像的可见光的入射光量的分布并且使其成像的固态成像装置的应用,其应用也可以是使红外线或X射线或诸如粒子等入射量的分布作为图像成像的固态成像装置。在广泛的意义上,其应用也可以是检测诸如压力和电容等其他物理量的分布并作为图像使其成像的诸如指纹检测传感器等所有固态成像装置(物理量分布检测装置)。

[0212] 此外,本发明不限于逐行顺次扫描图像区域中的各单元像素并从各像素单元中读出像素信号的固态成像装置。其应用也可以是以像素为单位选择任意的像素并以像素为单位从所选的像素中读出信号的X-Y地址型的固态成像装置。

[0213] 请注意,固态成像装置可以配置成单芯片的形式,或者也可以配置成具有像素区域和信号处理单元或包装在一起作为成像功能的光学系统的模块形式。

[0214] 此外,本发明不限于应用于固态成像装置,而是也可以应用于成像装置。这里,成像装置是指诸如数字静态相机或摄相机等相机系统以及诸如移动电话等具有成像功能的电子设备。请注意,存在安装在电子设备上的上述模块形式(即,相机模块)可以是成像装置的情况。

[0215] <9.第九实施方案:电子设备>

[0216] 接下来,将说明涉及本发明的第九实施方案的电子设备。图22是涉及本发明的第九实施方案的电子设备200的示意性构成图。

[0217] 涉及本实施方案的电子设备200具有固态成像装置203、光学透镜201、快门装置202、驱动电路205和信号处理电路204。本实施方案的电子设备200示出在使用上述本发明的第一实施方案中的固态成像装置1作为电子设备(相机)中的固态成像装置203的情况下的实施方案。

[0218] 光学透镜201在固态成像装置203的成像面上从来自被摄体的图像光(入射光)形成图像。由此,信号电荷在固态成像装置203内累积固定时间。快门装置202控制对固态成像装置203的光照射时间和遮光时间。驱动电路205供给驱动信号,从而控制固态成像装置203的传输操作和快门装置202的快门操作。使用从驱动电路205供给的驱动信号(定时信号)进行固态成像装置203的信号传输。信号处理电路204进行各种信号处理。进行过信号处理的画像信号存储在诸如存储器等存储介质中,或者输出到监视器。

[0219] 使用本实施方案的电子设备200,在固态成像装置203中可以实现高光溢出的抑制和饱和特性的改善,因此可以改善图像质量。

[0220] 固态成像装置1可以适用的电子设备200不限于相机,可以适用于数字静态相机,还可以适用于诸如移动设备(例如,移动电话)的相机模块等成像装置。

[0221] 根据本实施方案,第一实施方案中的固态成像装置1被构造成用作电子设备的固态成像装置203,但是也可以使用第二至第八实施方案中制造的固态成像装置。

[0222] 请注意,本发明也可以采用以下构成。

[0223] (1)一种固态成像装置,包括:

[0224] 基板;

[0225] 在所述基板上形成的多个光电转换部;

[0226] 从所述基板的光入射侧在深度方向上设置的沟部;和

[0227] 设置有具有固定电荷的绝缘膜的元件隔离部,所述绝缘膜形成为包覆所述沟部的内壁面。

[0228] (2)如(1)所述的固态成像装置,其中所述元件隔离部形成为包围各光电转换部的格子形状。

[0229] (3)如(1)或(2)所述的固态成像装置,其中在所述沟部内还形成有遮光层。

[0230] (4)如(1)~(3)中任一项所述的固态成像装置,其中所述元件隔离部的沟部的端部形成为接触其上形成有在所述基板的前面侧上的像素晶体管的阱层。

[0231] (5)如(1)~(4)中任一项所述的固态成像装置,其中接触所述元件隔离部的侧面的区域具有与构成所述光电转换部的电荷累积单元的半导体区域相同的导电型。

[0232] (6)如(1)~(5)中任一项所述的固态成像装置,其中所述元件隔离部的一部分形成为贯通所述基板。

[0233] (7)如(3)~(6)中任一项所述的固态成像装置,其中所述元件隔离部的一部分形成为贯通所述基板,和其中所述遮光层贯通所述基板且与在所述基板的前面侧上形成的配线层连接。

[0234] (8)如(1)~(7)中任一项所述的固态成像装置,其中所述遮光层形成在所述基板

的背面侧上,并且与在相邻的光电转换部之间的界面区域中遮光的遮光膜电连接。

[0235] (9)如(1)~(8)中任一项所述的固态成像装置,其中所述固定电荷膜形成在所述沟部的内部,同时形成为包覆所述基板的背面。

[0236] (10)如(1)~(9)中任一项所述的固态成像装置,其中所述元件隔离部还设置有埋入所述沟部内的绝缘膜。

[0237] (11)如(1)~(10)中任一项所述的固态成像装置,其中所述固定电荷膜由多层膜形成。

[0238] (12)一种固态成像装置,包括:

[0239] 基板;

[0240] 在所述基板上形成的多个光电转换部;

[0241] 从所述基板的光入射侧在深度方向上形成的沟部;和

[0242] 具有膜且具有中空结构的元件隔离部,所述膜设置成包覆所述沟部的内壁面。

[0243] (13)如(12)所述的固态成像装置,其中所述元件隔离部具有从所述沟部的内壁面侧顺次形成的两层以上的膜。

[0244] (14)如(13)所述的固态成像装置,其中,在所述元件隔离部中,由具有更大绝对应力值的材料形成的膜配置在更远离所述沟部的内壁面侧的位置。

[0245] (15)如(13)或(14)所述的固态成像装置,其中,在所述元件隔离部中,由具有更小折射率的材料形成的膜配置在更远离所述沟部的内壁面侧的位置。

[0246] (16)如(12)~(15)中任一项所述的固态成像装置,其中接触所述沟部的内壁面的膜是具有固定电荷的绝缘膜。

[0247] (17)如(12)~(16)中任一项所述的固态成像装置,其中所述膜由绝缘材料或金属材料形成。

[0248] (18)如(13)~(16)中任一项所述的固态成像装置,其中所述元件隔离部具有由绝缘材料制成的一层以上的膜和由金属材料制成的一层以上的膜的层叠膜。

[0249] (19)如(17)或(18)所述的固态成像装置,其中所述绝缘材料是氧化硅、氮化硅或氧氮化硅。

[0250] (20)如(17)~(19)中任一项所述的固态成像装置,其中所述金属材料是钨、铝、钛或它们的氧化物或氮化物。

[0251] (21)一种固态成像装置的制造方法,包括:

[0252] 在基板上形成具有光电转换部的多个像素的步骤;

[0253] 从所述基板的背面侧在深度方向上形成所需深度的沟部的步骤;和

[0254] 在所述沟部的内壁面上形成具有固定电荷的绝缘膜和形成元件隔离部的步骤。

[0255] (22)如(21)所述的固态成像装置的制造方法,其中所述元件隔离部形成为包围各光电转换部的格子形状。

[0256] (23)如(21)或(22)所述的固态成像装置的制造方法,其中在所述沟部内还形成有遮光层。

[0257] (24)如(21)~(23)中任一项所述的固态成像装置的制造方法,其中所述元件隔离部的光入射侧的端部形成为接触其上形成有在所述基板的前面侧上的像素晶体管的阱层。

[0258] (25)如(21)~(24)中任一项所述的固态成像装置的制造方法,其中接触所述元件

隔离部的侧面的区域具有与构成所述光电转换部的电荷累积单元的半导体区域相同的导电型。

[0259] (26)如(21)~(25)中任一项所述的固态成像装置的制造方法,其中所述元件隔离部的一部分形成贯通所述基板。

[0260] (27)如(21)~(26)中任一项所述的固态成像装置的制造方法,其中所述元件隔离部的一部分形成贯通所述基板,和其中所述遮光层贯通所述基板且与在所述基板的前面侧上形成的配线层连接。

[0261] (28)如(21)~(27)中任一项所述的固态成像装置的制造方法,其中遮光材料层形成在所述沟部的内部;

[0262] 其中遮光材料层形成成为包覆所述基板的背面侧;和

[0263] 其中,通过图案化在所述基板的背面侧上形成的遮光材料层,形成遮光层和与所述遮光层连接且在相邻的光电转换部之间的界面区域中遮光的遮光膜。

[0264] (29)如(21)~(28)中任一项所述的固态成像装置的制造方法,其中所述固定电荷膜形成在所述沟部的内部,同时形成成为包覆所述基板的背面。

[0265] (30)一种固态成像装置的制造方法,包括:

[0266] 在基板上形成具有光电转换部的多个像素的步骤;

[0267] 从所述基板的背面侧在深度方向上形成所需深度的沟部的步骤;和

[0268] 通过在所述沟部的内壁面上形成作为所需膜的膜使得中空部形成在所述沟部的内部而形成元件隔离部的步骤。

[0269] (31)如(30)所述的固态成像装置的制造方法,其中在形成元件隔离部的步骤中,使用各向异性膜形成法和各向同性膜形成法形成多个膜。

[0270] (32)如(30)或(31)所述的固态成像装置的制造方法,其中所述各向异性膜形成法是CVD法或PVD法,所述各向同性膜形成法是ALD法。

[0271] (33)一种电子设备,包括:

[0272] 光学透镜;

[0273] 由所述光学透镜收集的光入射到其中的固态成像装置,包括

[0274] 基板;

[0275] 在所述基板上形成的多个光电转换部;

[0276] 从所述基板的光入射侧在深度方向上形成的沟部;和

[0277] 设置有具有固定电荷的固定电荷膜的元件隔离部,所述固定电荷膜形成成为包覆所述沟部的内壁面;和

[0278] 处理从所述固态成像装置输出的输出信号的信号处理电路。

[0279] 附图标记说明

[0280] 1,52,55,57,64 固态成像装置

[0281] 2 像素

[0282] 3 像素区域

[0283] 4 垂直驱动电路

[0284] 5 列信号处理电路

[0285] 6 水平驱动电路

[0286]	7	输出电路
[0287]	8	控制电路
[0288]	10	水平信号线
[0289]	11,12	基板
[0290]	13	配线层
[0291]	14	层间绝缘膜
[0292]	15	配线
[0293]	16	传输栅电极
[0294]	17	栅极绝缘膜
[0295]	18	像素隔离层
[0296]	19	元件隔离部
[0297]	20	固定电荷膜
[0298]	21	绝缘膜
[0299]	22	n型半导体区域
[0300]	23,24	p型半导体区域
[0301]	25	遮光膜
[0302]	26	平坦化膜
[0303]	27	滤色层
[0304]	28	片上透镜
[0305]	29	p阱层
[0306]	30	浮动扩散部
[0307]	31	支撑基板
[0308]	32	复位栅电极
[0309]	33	放大栅电极
[0310]	34	选择栅电极
[0311]	35,36,37	源/漏区域
[0312]	39,60	沟部
[0313]	40	光电转换部
[0314]	48	绝缘膜
[0315]	49	元件隔离部
[0316]	50	遮光层
[0317]	51	n型半导体区域
[0318]	51	遮光材料层
[0319]	52	固态成像装置
[0320]	200	电子设备
[0321]	201	光学透镜
[0322]	202	快门装置
[0323]	203	固态成像装置
[0324]	204	信号处理电路

[0325] 205

驱动电路

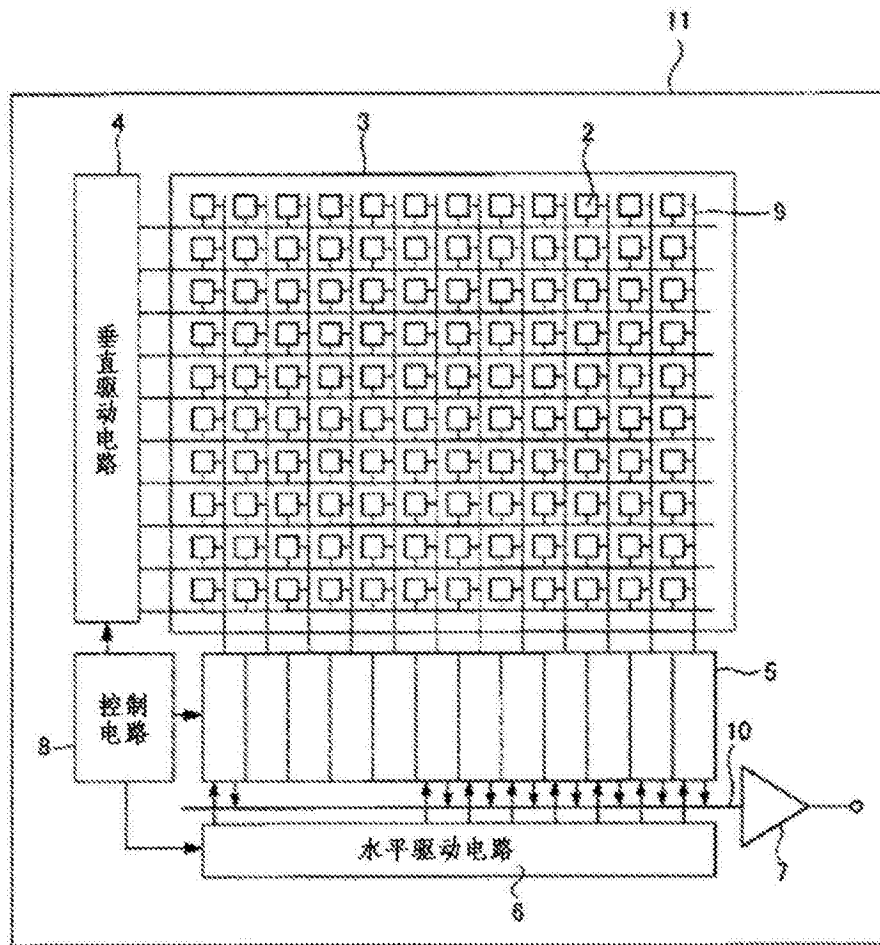


图1

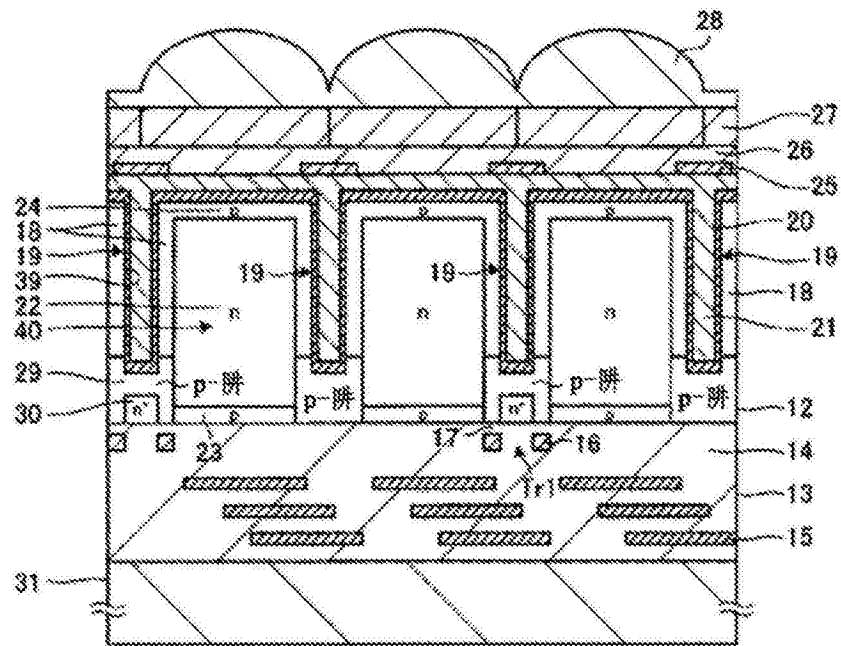
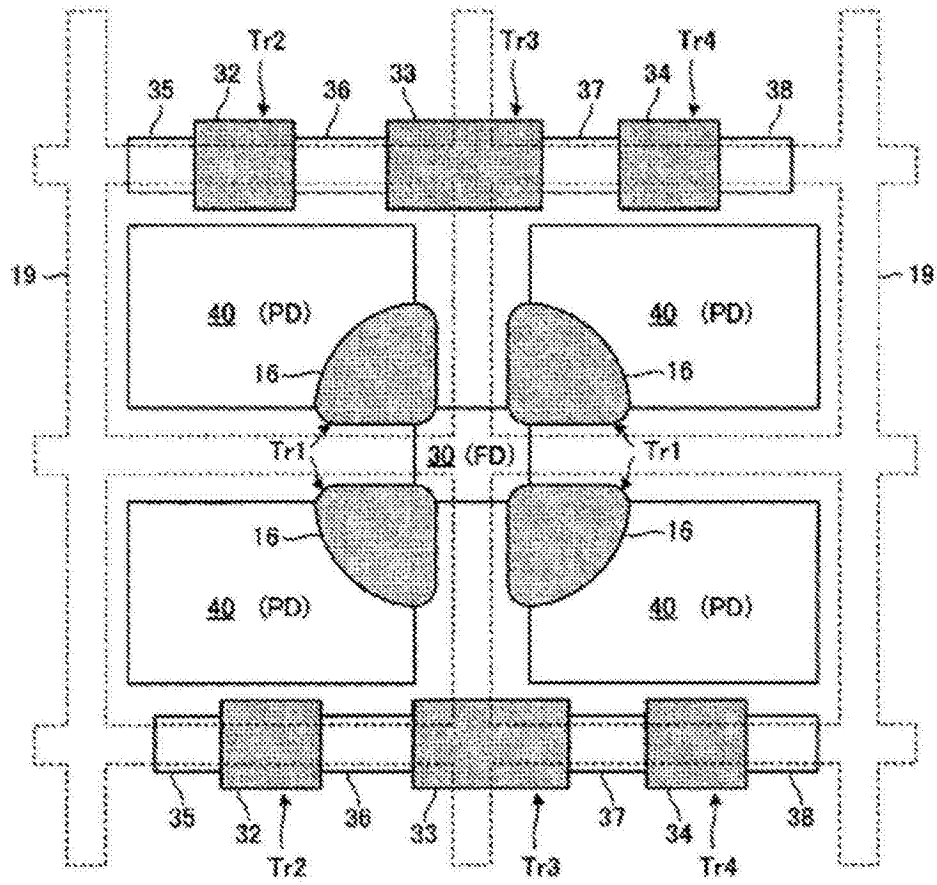


图2



平面布局

图3

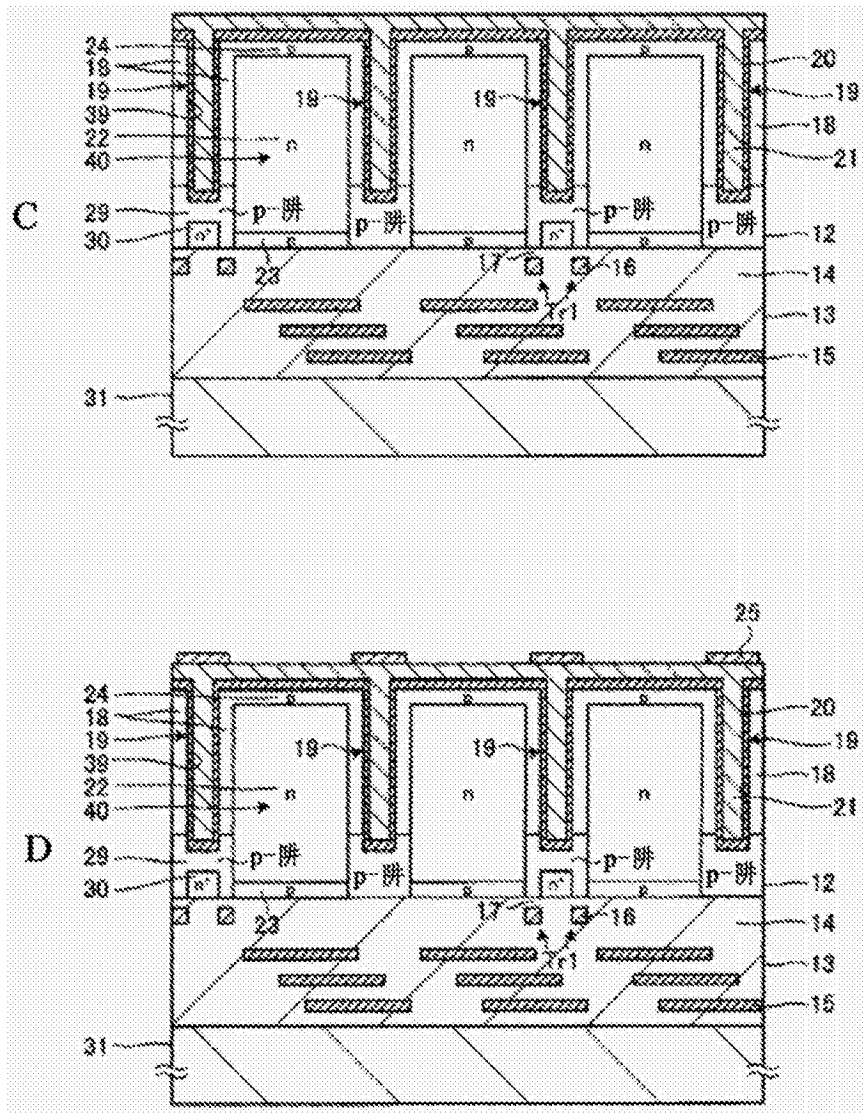


图5

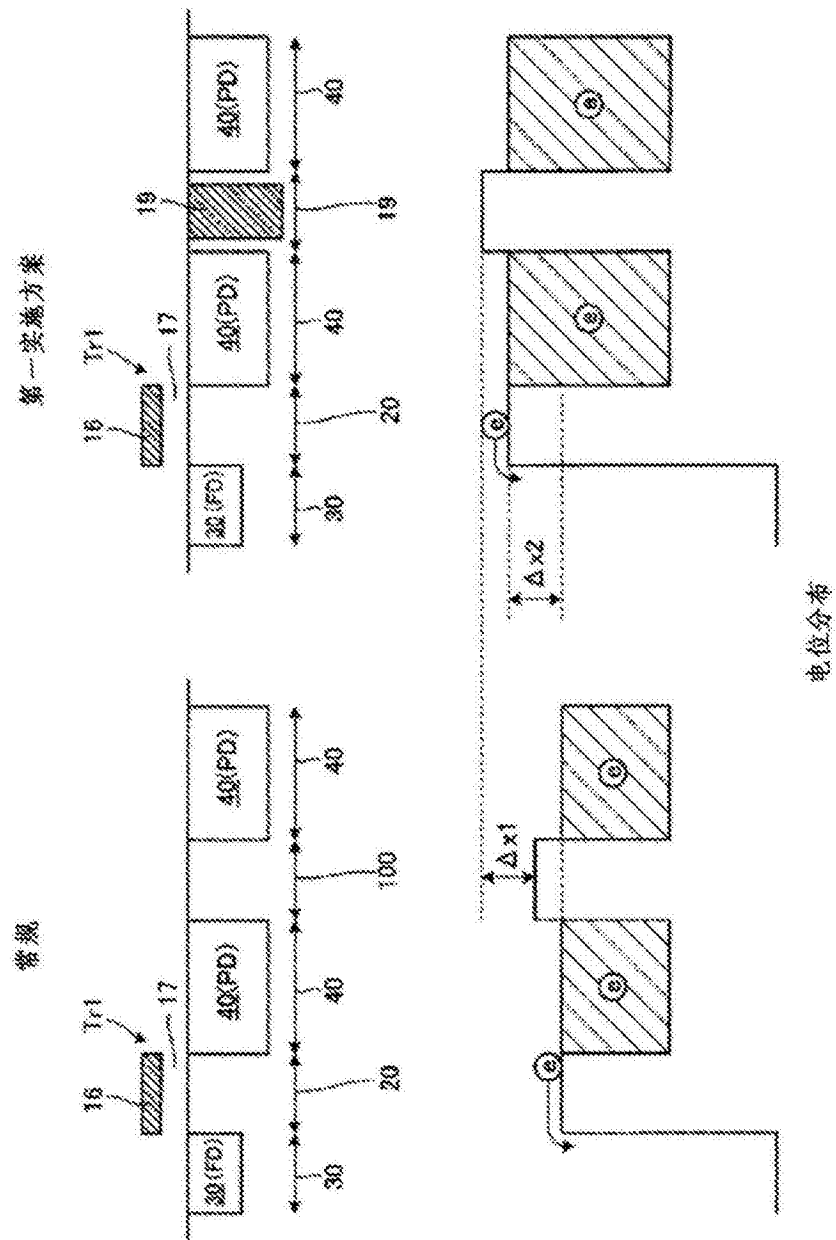


图6

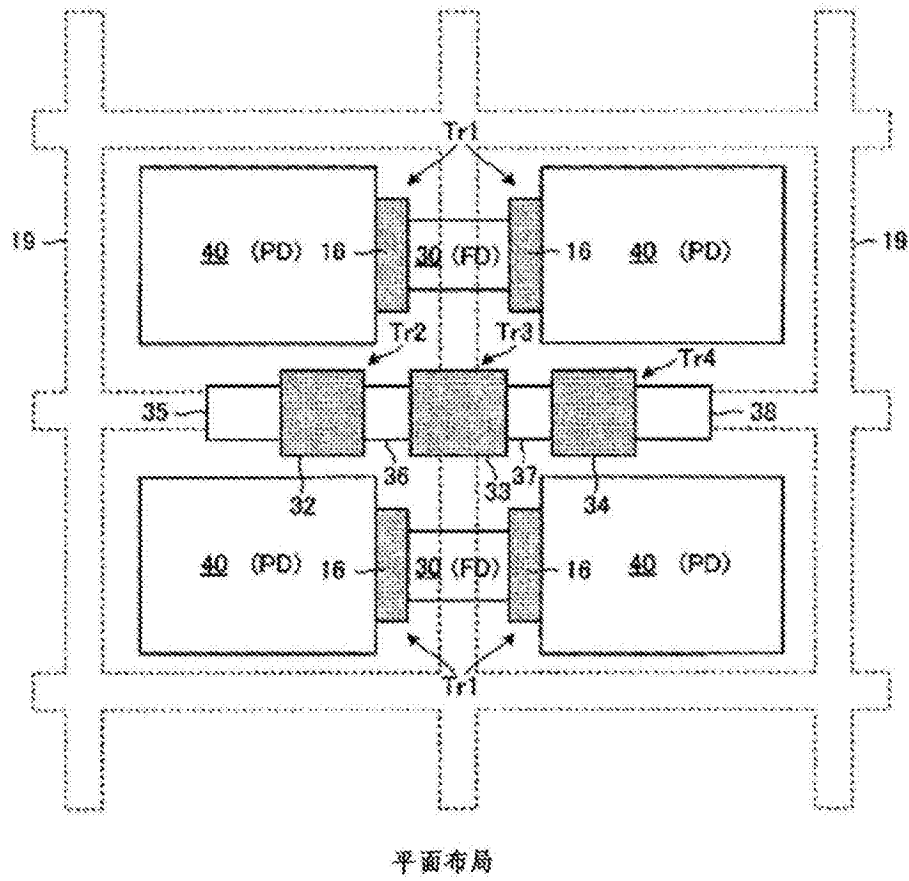


图7

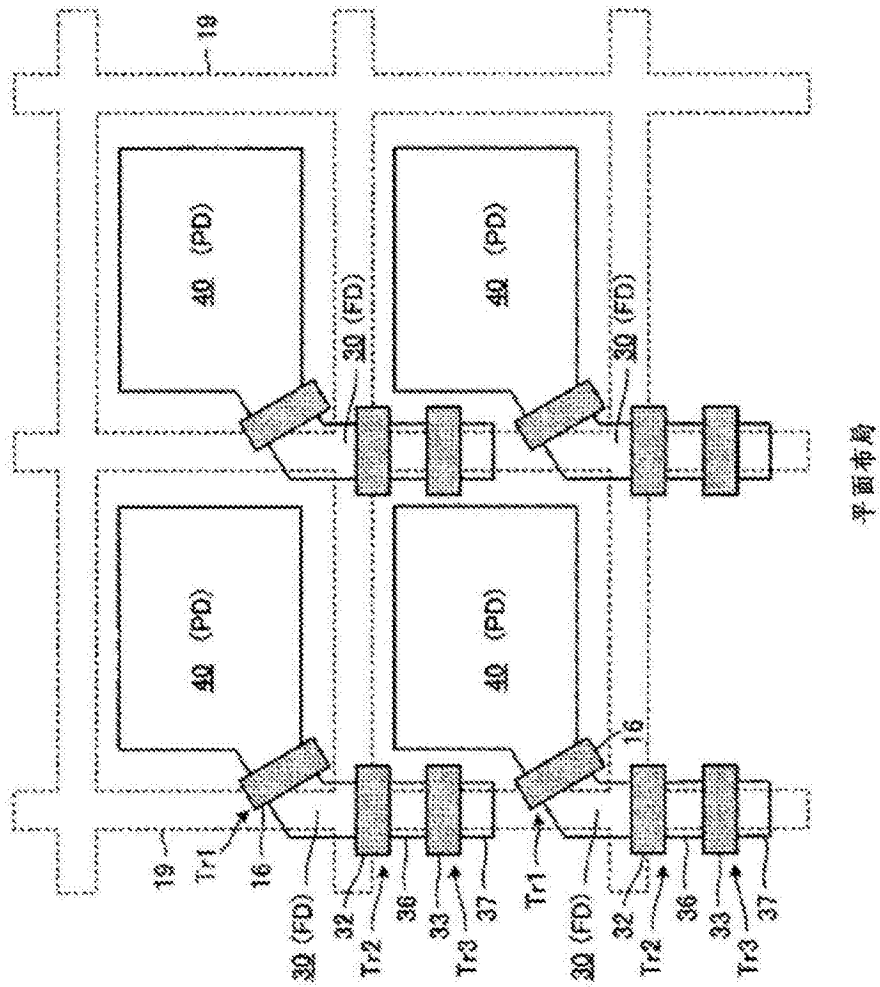


图8

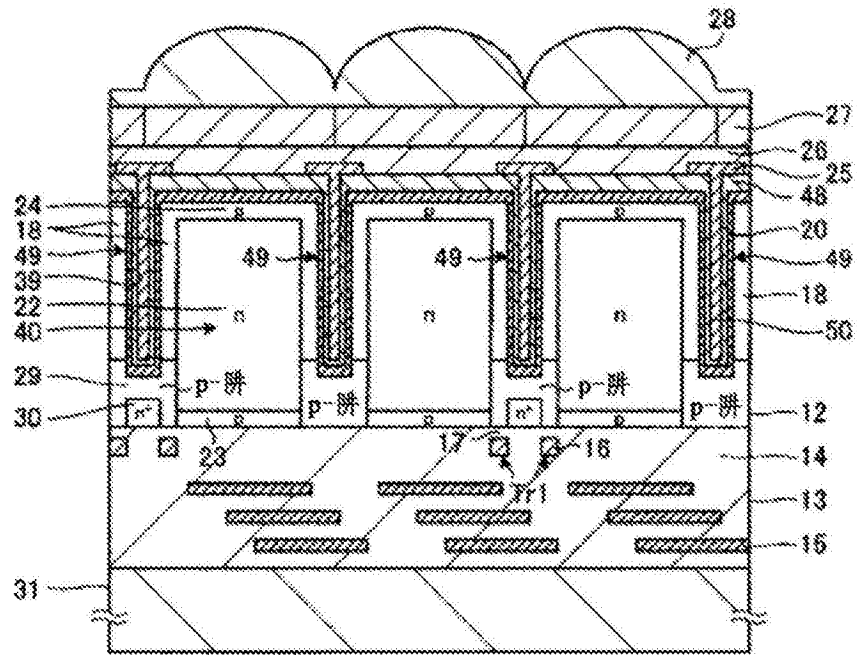


图9

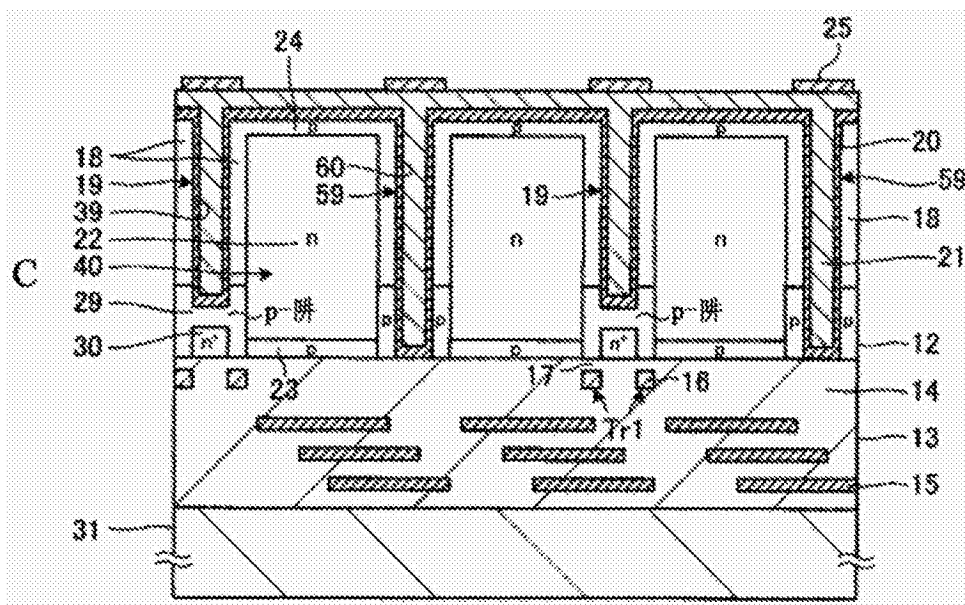


图14

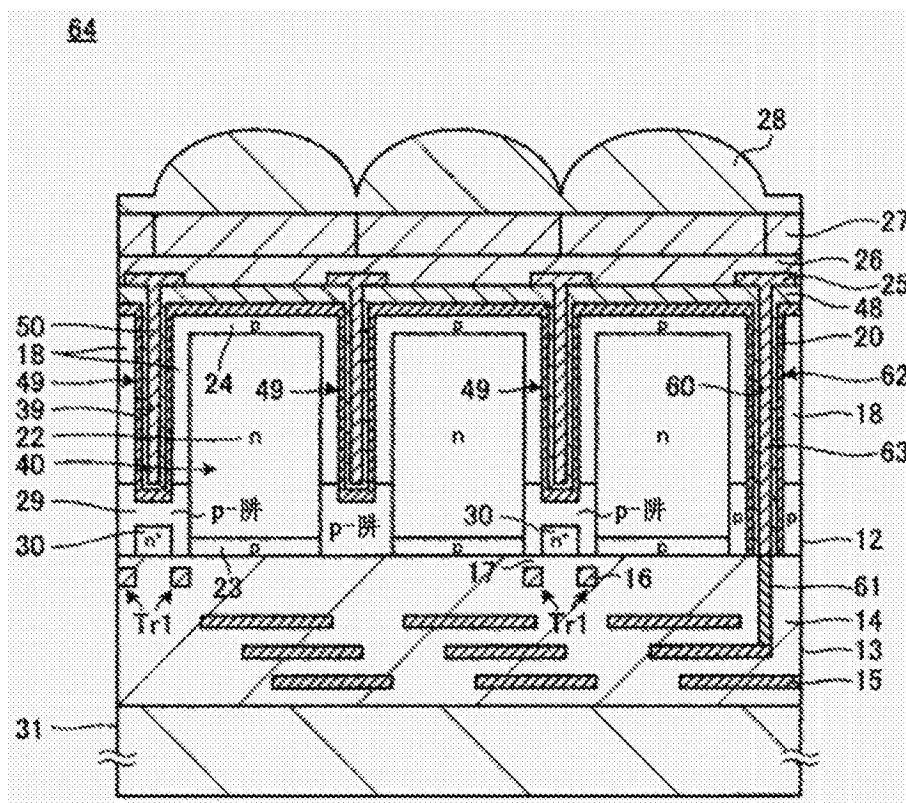


图15

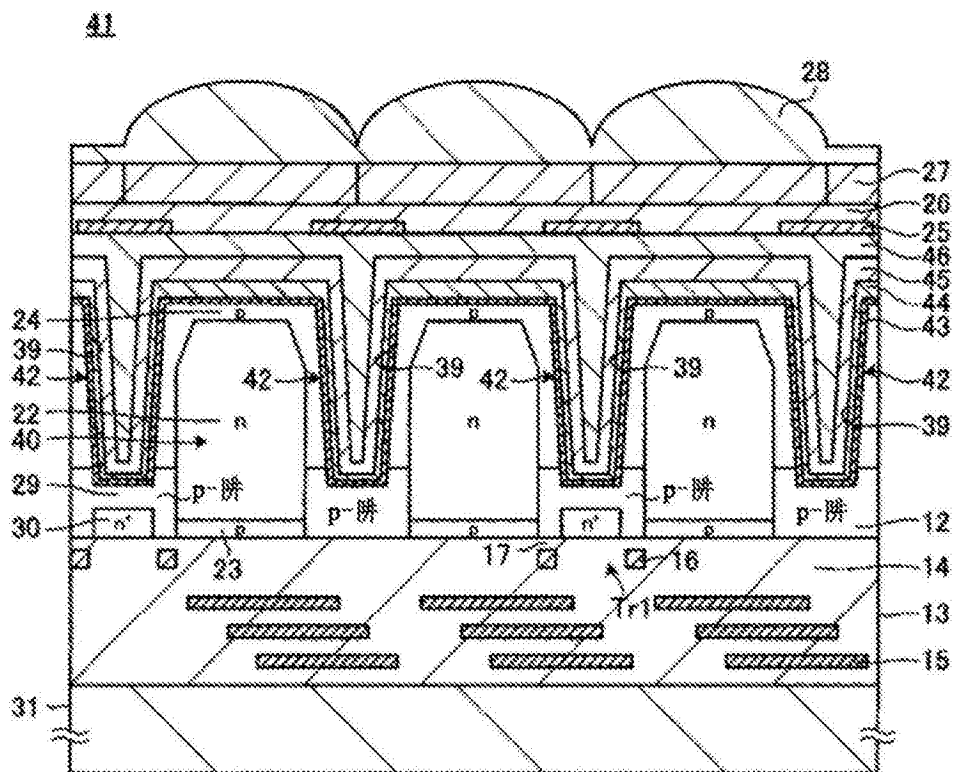


图16

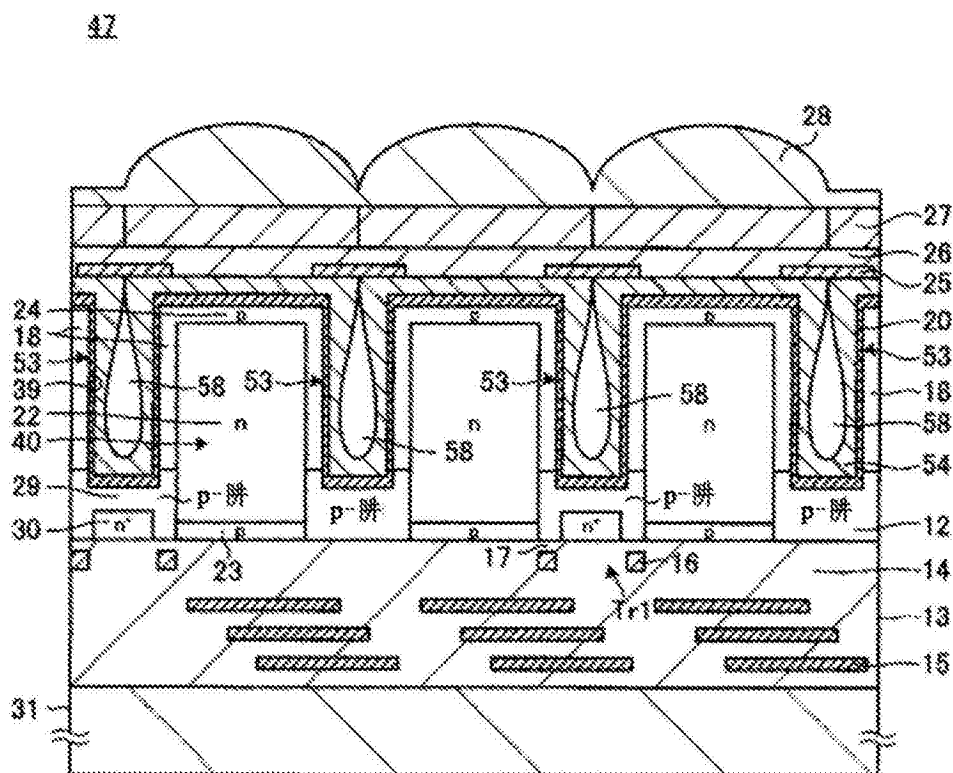


图17

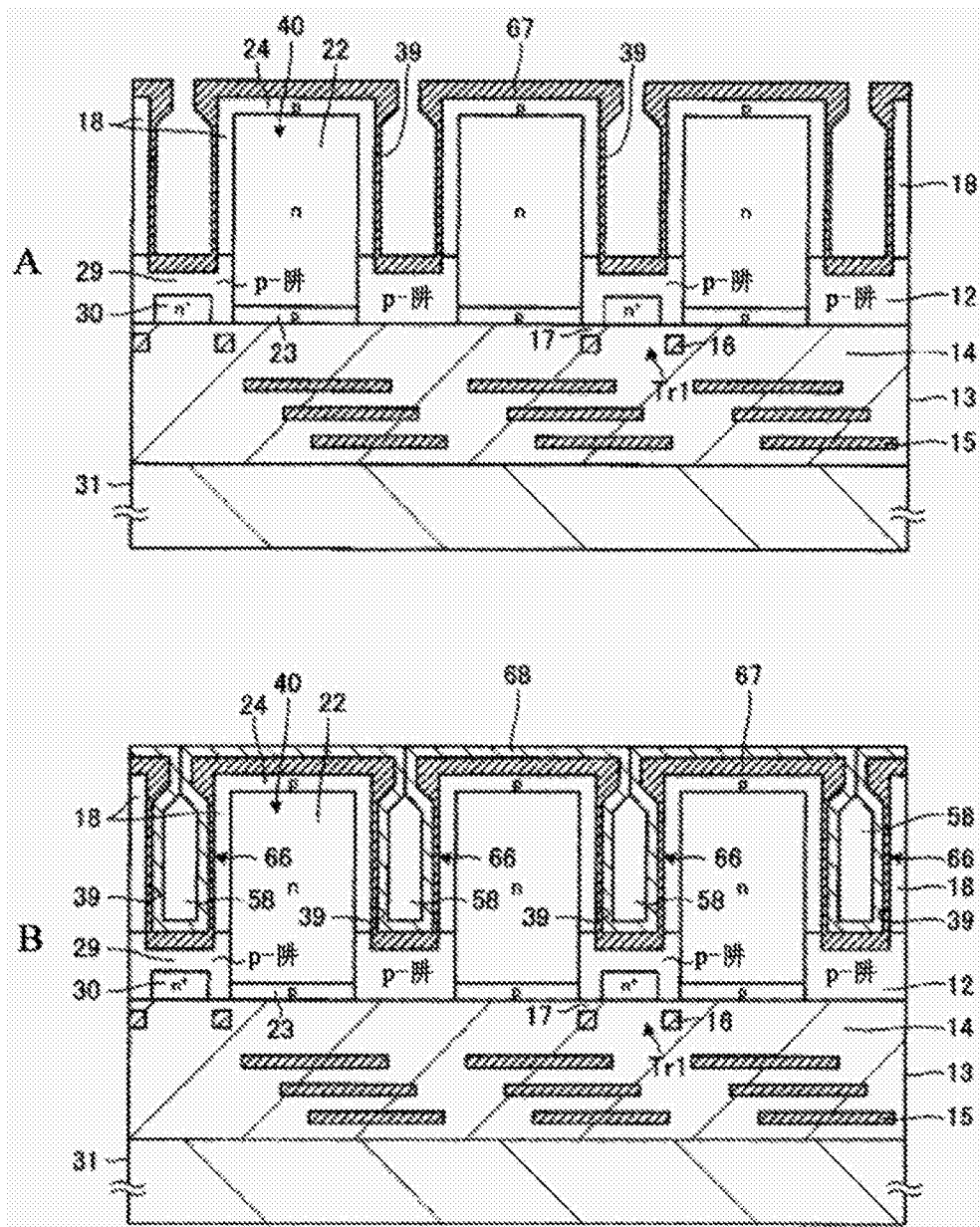


图20

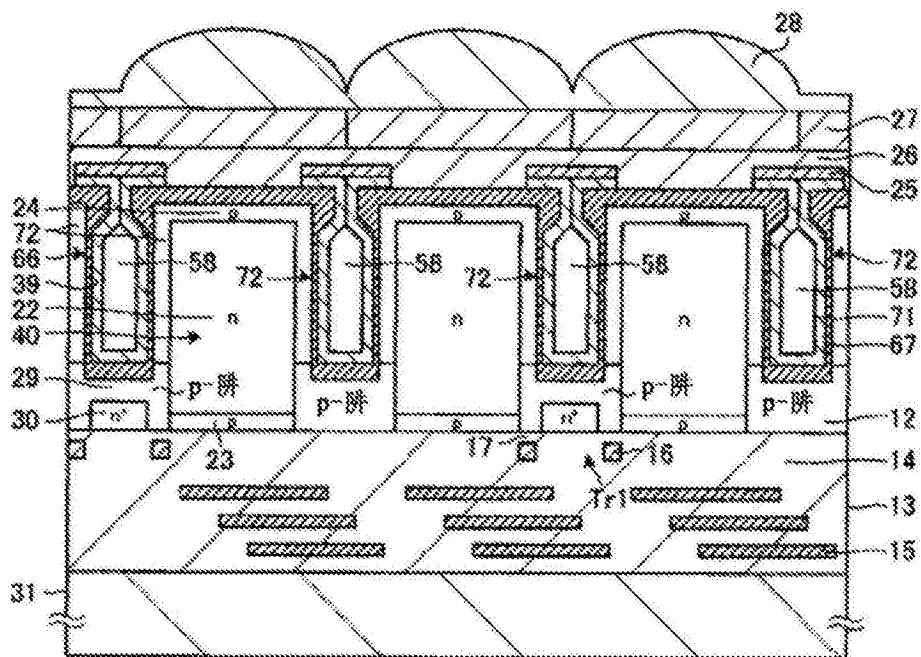


图21

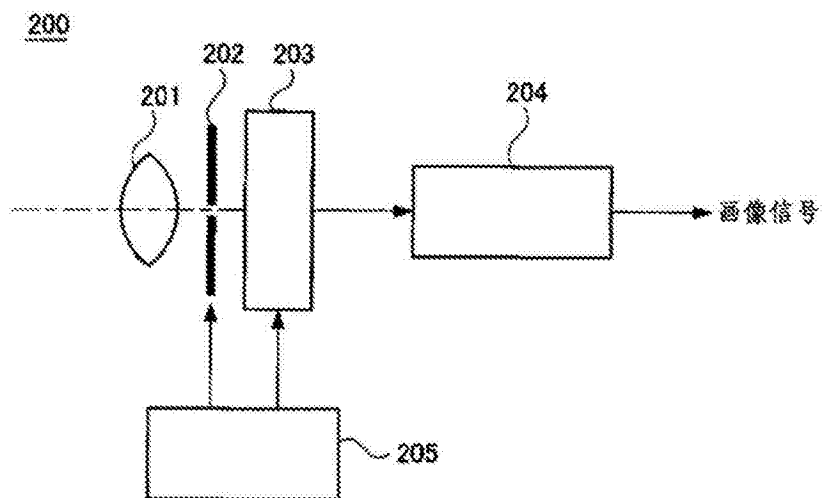


图22