

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 7월 6일 (06.07.2017)



(10) 국제공개번호
WO 2017/116143 A1

- (51) 국제특허분류:
H01L 27/11 (2006.01) H01L 27/06 (2006.01)
H01L 51/05 (2006.01) H01L 21/768 (2006.01)
H01L 27/28 (2006.01) H01L 51/00 (2006.01)
- (21) 국제출원번호: PCT/KR2016/015420
- (22) 국제출원일: 2016년 12월 28일 (28.12.2016)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2015-0188828 2015년 12월 29일 (29.12.2015) KR
- (71) 출원인: 재단법인 나노기반소프트일렉트로닉스연구원
(CENTER FOR ADVANCED SOFT ELECTRONICS)
[KR/KR]; 37673 경상북도 포항시 남구 청암로 77 포스
텍, Gyeongsangbuk-do (KR).
- (72) 발명자: 권지민 (KWON, Jimin); 10905 경기도 파주시
동패로 100 한울마을 3단지 휴먼시아 302-501,
Gyeonggi-do (KR). 정성준 (JUNG, Sungjun); 37673 경
상북도 포항시 남구 지곡로 155 교수아파트 6-101,
Gyeongsangbuk-do (KR). 김재준 (KIM, Jae Joon);
37673 경상북도 포항시 남구 지곡로 155, 8-701,

Gyeongsangbuk-do (KR). 조길원 (CHO, KilWon); 37673
경상북도 포항시 남구 지곡로 155 교수아파트 4-904,
Gyeongsangbuk-do (KR). 경수정 (KYUNG, Sujeong);
54134 전라북도 군산시 하신재길 26-15, Jeollabuk-do
(KR).

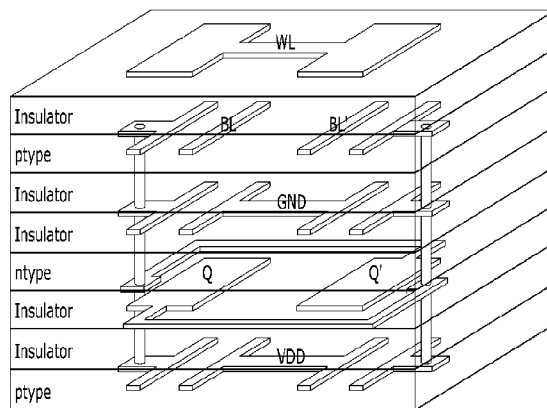
- (74) 대리인: 이수열 (LEE, Soo Yeol); 06657 서울시 서초구
반포대로 23길 13, 아트스페이스빌딩 4층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의
국내 권리의 보호를 위하여): AE, AG, AL, AM, AO,
AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ,
CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM,
DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN,
KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD,
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,
NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU,
RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA,
ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의
역내 권리의 보호를 위하여): ARIPO (BW, GH, GM,
KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG,

[다음 쪽 계속]

(54) Title: 3D STATIC RAM CORE CELL HAVING VERTICALLY STACKED STRUCTURE, AND STATIC RAM CORE CELL ASSEMBLY COMPRISING SAME

(54) 발명의 명칭 : 수직적층구조의 3 차원 정적램 코어 셀 및 그를 포함하는 정적램 코어 셀 어셈블리

[도2]



(57) Abstract: Provided is a 3D static RAM core cell having a vertically stacked structure, the static RAM core cell comprising six thin film transistors, each of which has a gate electrode, a source electrode, and a drain electrode, the static RAM core cell comprising: two thin film transistors for switching, which are each connected to a bit line and a word line and select the recording and reading of data; and four thin film transistors for data storage, which are connected to a power supply voltage (Vdd) or a ground voltage (Vss) and allow the recording and reading of data, the static RAM core cell comprising: a first transistor layer comprising two thin film transistors selected from among the six thin film transistors; a second transistor layer which is positioned on the first transistor layer and comprises two thin film transistors selected from among the other four thin film transistors; and a third transistor layer which is positioned on the second transistor layer and comprises the other two thin film transistors, wherein the one or more kinds of electrodes of the first transistor layer and the one or more kinds of electrodes of the second transistor layer are electrically connected, and the one or more kinds of electrodes of the second transistor layer and the one or more kinds of electrodes of the third transistor layer are electrically

[다음 쪽 계속]



WO 2017/116143 A1



ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서와 함께 (조약 제 21 조(3))
- 청구범위 보장 기한 만료 전의 공개이며, 보정서를 접수하는 경우 그에 관하여 별도 공개함 (규칙 48.2(h))

connected. As such, the 3D static RAM core cell having a vertically stacked structure according to the present invention allows a complex patterning process for forming different types of organic transistors to be omitted during the manufacture of memory elements by disposing the same type of organic transistors on the same plane and vertically stacking same and can improve the degree of integration of a semiconductor circuit by reducing the area taken up by the memory elements.

(57) 요약서: 게이트 전극, 소스 전극 및 드레인 전극을 각각 갖는 6 개의 박막 트랜지스터로 구성되는 정적램 코어 셀이고, 정적램 코어 셀은 비트 라인과 워드 라인에 각각 연결되어 데이터의 기록 및 독출을 선택하는 2 개의 스위칭용 박막 트랜지스터; 및 전원전압(V_{dd}) 또는 접지전압(V_{ss})에 연결되어 데이터가 기록 및 독출되는 4 개의 데이터 저장용 박막 트랜지스터를 포함하고, 정적램 코어셀은 6 개의 박막 트랜지스터 중에서 선택된 2 개의 박막 트랜지스터를 포함하는 제 1 트랜지스터층; 제 1 트랜지스터층 상에 위치하고, 나머지 4 개의 박막 트랜지스터 중에서 선택된 2 개의 박막 트랜지스터를 포함하는 제 2 트랜지스터층; 및 제 2 트랜지스터층 상에 위치하고, 나머지 2 개의 박막 트랜지스터를 포함하는 제 3 트랜지스터층;을 포함하고, 제 1 트랜지스터층의 1 종 이상의 전극과 제 2 트랜지스터층의 1 종 이상의 전극이 전기적 연결되고, 제 2 트랜지스터층의 1 종 이상의 전극과 제 3 트랜지스터층의 1 종 이상의 전극이 전기적 연결된 것인 수직적층구조의 3 차원 정적램 코어 셀이 제공된다. 이에 의하여, 본 발명의 수직적층구조의 3 차원 정적램 코어 셀은 동일한 평면상에 동일한 타입의 유기 트랜지스터를 배치하여 수직으로 적층시킴으로써 메모리 소자 제조시 상이한 타입의 유기 트랜지스터를 형성하기 위한 복잡한 패터닝 공정을 생략할 수 있고, 메모리 소자가 차지하는 면적을 줄여 반도체 회로의 집적도를 향상시킬 수 있다.

명세서

발명의 명칭: 수직적층구조의 3차원 정적램 코어 셀 및 그를 포함하는 정적램 코어 셀 어셈블리

기술분야

- [1] 본 발명은 수직적층구조의 3차원 정적램코어 셀 및 그를 포함하는 정적램 코어 셀 어셈블리에 관한 것으로, 보다 상세하게는, 하나의 층에 동일한 타입의 유기 트랜지스터를 형성하여 수직으로 적층시킨 수직적층구조의 3차원 정적램코어 셀 및 그를 포함하는 정적램 코어 셀 어셈블리에 관한 것이다.

배경기술

- [2] 정적 램(靜的 RAM) 또는 에스램(SRAM)은 반도체 기억 장치의 한 종류이다. 주기적으로 내용을 갱신해 주어야 하는 디램(DRAM, 동적 램)과는 달리 기억 장치에 전원이 공급되는 한 그 내용이 계속 보존된다. SRAM은 임의 접근 기억 장치(램, random access memory)이므로 데이터의 쓰고 읽기가 이루어지는 주소와 관계없이 입출력에 걸리는 시간이 일정하다. SRAM은 DRAM의 일종인 SDRAM과는 전혀 다른 기억 소자이므로 서로 구별되어야 한다. SRAM에서 각각의 비트들은 네 개의 트랜지스터로 이루어진 두 쌍의 인버터에 저장된다. 두 쌍의 인버터가 0과 1의 값을 안정된 상태로 유지하고 두 개의 접근 트랜지스터가 읽기와 쓰기 기능을 수행한다. 따라서 한 개의 비트를 저장하기 위해 일반적으로 여섯 개의 트랜지스터를 필요로 한다.
- [3] 인텔의 공동 창업자인 고든 무어는 1965년 반도체 트랜지스터의 집적도가 18개월 마다 2배씩 증가할 것이라는 무어의 법칙을 주창한다. 그 후 수십년간, 반도체의 직접도는 무어의 법칙에 맞게 증가해 왔으나 최근 원자단위 공정의 물리적인 한계에 다다름에 따라 더 이상 무어의 법칙이 성립하지 않게 되었다. 따라서 단순히 평면 상에서의 직접도를 높이기 보다는 반도체를 수직으로 적층하여 반도체의 직접도를 높이려는 연구가 증가하고 있다.
- [4] 한편, 박막 트랜지스터(Thin Film Transistor, TFT)는 전계효과 트랜지스터(Field Effect Transistor, FET)의 한 종류로 박막(Thin Film)의 형태로 되어 있다. 기본적으로 삼 단자 소자(백 게이트(B)가 존재하지 않음)로 되어 있다. 주로 액정 디스플레이에 응용되고 있다.
- [5] 또한, 유기 전계효과 트랜지스터 (Organic Field-Effect Transistor, OFET)는 트랜지스터의 채널에 유기 반도체 기술을 사용한 전계효과 트랜지스터이다. 유기 전계효과 트랜지스터는 작은 분자의 진공 증착법이나 중합체의 용액 주형법으로 제조할 수 있다. 유기 전계효과 트랜지스터는 큰 면적 전자제품을 낮은 가격으로 제조하기 위해서 개발되었으며 유기 전계효과 트랜지스터는 다양한 소자 구조로 제조되고 있다.
- [6] 최근 개발되는 소프트 재료 기반의 플렉서블 박막 트랜지스터는 실리콘 반도체

보다 전자 이동도가 현저히 낮다. 이러한 이유로 기존 실리콘기반의 반도체 소자와 유사한 수준의 성능을 달성하기 위해서, 반도체 개별소자의 채널을 수백-수만배 크게 만들어야 한다. 또한, 메모리소자를 만들기 위해서는 P-타입과 N-타입의 두 가지 다른 종류의 반도체가 단일 면위에 형성되어 연결되어야 하므로, P-타입 반도체 물질과 N-타입 반도체 물질, 각 타입에 따른 전극 및 절연 재료 등을 패터닝해야 하므로 공정상 불편함이 있었다.

- [7] 이러한 종래의 기술의 문제점들은 단위 면적당 집적되는 소자의 수가 현저히 적고, 공정과정이 복잡하여 소프트 재료 및 공정을 메모리 소자에 적용하는 데에 어려움이 있었다.

발명의 상세한 설명

기술적 과제

- [8] 본 발명의 목적은 상기 문제점을 해결하기 위한 것으로 동일한 평면상에 동일한 타입의 유기 트랜지스터를 배치하여 수직으로 적층시킴으로써 메모리 소자 제조시 상이한 타입의 유기 트랜지스터를 형성하기 위한 복잡한 패터닝 공정을 생략할 수 있고, 메모리 소자가 차지하는 면적을 줄여 반도체 회로의 집적도를 향상시킬 수 있는 정적램 코어 셀 및 그를 포함하는 정적램 코어 셀 어셈블리를 제공하는 데 있다.

과제 해결 수단

- [9] 본 발명의 일 측면에 따르면,
 [10] 게이트 전극, 소스 전극 및 드레인 전극을 각각 갖는 6개의 박막 트랜지스터로 구성되는 정적램 코어 셀이고,
 [11] 상기 정적램 코어 셀은 비트 라인과 워드 라인에 각각 연결되어 데이터의 기록 및 독출을 선택하는 2개의 스위칭용 박막 트랜지스터; 및 전원전압(Vdd) 또는 접지전압(Vss)에 연결되어 데이터가 기록 및 독출되는 4개의 데이터 저장용 박막 트랜지스터를 포함하고,
 [12] 상기 정적램 코어 셀은 상기 6개의 박막 트랜지스터 중에서 선택된 2개의 박막 트랜지스터를 포함하는 제1 트랜지스터층; 상기 제1 트랜지스터층 상에 위치하고, 나머지 4개의 박막 트랜지스터 중에서 선택된 2개의 박막 트랜지스터를 포함하는 제2 트랜지스터층; 및 상기 제2 트랜지스터층 상에 위치하고, 나머지 2개의 박막 트랜지스터를 포함하는 제3 트랜지스터층;을 포함하고,
 [13] 상기 제1 트랜지스터층의 1종 이상의 전극과 상기 제2 트랜지스터층의 1종 이상의 전극이 전기적 연결되고, 상기 제2 트랜지스터층의 1종 이상의 전극과 상기 제3 트랜지스터층의 1종 이상의 전극이 전기적 연결된 것인 수직적층구조의 3차원 정적램 코어 셀이 제공된다.
 [14] 상기 6개의 박막 트랜지스터 중 2개가 n-타입 및 p-타입 중 1종이고, 상기 6개의 박막 트랜지스터 중 나머지 4개가 n-타입 및 p-타입 중 나머지 1종이고, 상기

6개의 박막 트랜지스터 중 동종 타입의 2개가 상기 제1 내지 제3 트랜지스터층 중 1개의 트랜지스터층(a)에 포함되고, 상기 6개의 박막 트랜지스터 중 나머지 동종 타입의 4개가 상기 제1 내지 제3 트랜지스터층 중 나머지 2개의 트랜지스터층(b)에 각각 2개씩 포함될 수 있다.

- [15] 상기 전기적 연결이 전도성 비아홀에 의한 것일 수 있다.
- [16] 상기 2개의 트랜지스터층(b) 중 1개에 포함된 트랜지스터와 상기 트랜지스터층(a)에 포함된 트랜지스터가 상기 게이트 전극을 공유할 수 있다.
- [17] 상기 제1 트랜지스터 층이 제1 소스 전극, 제1 드레인 전극 및 제1 유기 반도체를 포함하는 제1 전극채널막; 상기 제1 전극채널막 상에 형성된 제1 절연막; 및 상기 제1 절연막 상에 형성된 제1 게이트 전극;을 포함하고,
- [18] 상기 제2 트랜지스터층이 제2 소스 전극, 제2 드레인 전극 및 제2 유기 반도체를 포함하는 제2 전극채널막; 상기 제2 전극채널막 상에 형성된 제2 절연막; 및 상기 제2 절연막 상에 형성된 제2 게이트 전극;을 포함하고,
- [19] 상기 제3 트랜지스터 층이 제3 소스 전극, 제3 드레인 전극 및 제3 유기 반도체를 포함하는 제3 전극채널막; 상기 제3 전극채널막 상에 형성된 제3 절연막; 및 상기 제3 절연막 상에 형성된 제3 게이트 전극;을 포함할 수 있다.
- [20] 상기 제1 트랜지스터 층이 기판 상에 위치한 것일 수 있다.
- [21] 상기 제1 게이트 전극 상에 제1 층간 절연막이 추가로 위치하고, 상기 제2 게이트 전극 상에 제2 층간 절연막이 추가로 위치할 수 있다.
- [22] 상기 제2 층간 절연막이 제3 절연막일 수 있다.
- [23] 상기 게이트 전극 및 소스 전극 중 1종 이상이 각각 독립적으로 Au, Al, Ag, Be, Bi, Co, Cu, Cr, Hf, In, Mn, Mo, Mg, Ni, Nb, Pb, Pd, Pt, Rh, Re, Ru, Sb, Ta, Te, Ti, V, W, Zr, Zn 및 PEDOT:PSS 중에서 선택된 1종 이상을 포함할 수 있다.
- [24] 상기 박막 트랜지스터는 유기 전계 효과 박막 트랜지스터일 수 있다.
- [25] 상기 박막 트랜지스터는 플렉서블한 성질을 가질 수 있다.
- [26] 상기 제1 유기 반도체, 제2 유기 반도체, 및 제3 유기 반도체 중 어느 하나의 유기 반도체가 n-타입 유기 반도체 및 p-타입 유기 반도체 중 어느 하나이고, 나머지 유기 반도체가 n-타입 유기 반도체 및 p-타입 유기 반도체 중 나머지 하나이고,
- [27] 상기 n-타입 유기 반도체가, N2200 (poly{[N,N'-bis(2-octyldodecyl)-naphthalene-1,4,5,8-bis(dicarboximide)-2,6-diyl]-alt-5,5'-(2,2'-bithiophene)}), 안트라센(anthracene), 테트라센(tetracene), 헥사센(hexacene), 퀴놀린(quinolone), 나프틸리딘(naphthylidine), 및 퀴나졸린(quinazoline), 안트라디싸이오펜(antrathione), 플루오렌(fullerene), 페릴렌디카르복시마이드(perylene dicarboximide), 나프탈렌 디이미드(naphthalene diimide), 올리고싸이오펜(oligo-thiophene), 6,13-비스(트리아이소프로필실릴에티닐)펜타센(6,13-Bis(triisopropylsilyl ethynyl)pentacene), 5,11-비스(트리아이소프로필실릴에티닐)안트라디싸이오펜(5,11-Bis(triisopropylsilyl ethynyl)an

- thradithiophene),
 2,8-디플로로-5,11-비스(트리에틸실릴에티닐(2,8-Difluoro-5,11-bis(triethylsilylethynyl)anthradithiophene), PCBM, Cu-프탈로시아닌(Cu-Phthalocyanine), 및
 Zn-프탈로시아닌(Zn-Phthalocyanine) 중에서 선택된 1종 이상이고,
 [28] 상기 p-타입 유기 반도체가,
 diF-TES-ADT(2,8-Difluoro-5,11-bis(triethylsilylethynyl)anthradithiophene),
 펜타센(pentacene), 3-헥실싸이오펜 중합체(poly(3-hexylthiophene)),
 3-펜틸싸이오펜 중합체(poly(3-pentylthiophene)), 3-부틸싸이오펜
 중합체(poly(3-butylthiophene)), 벤조다이싸이오펜(benzo[1,2-b:4,5-b']dithiophene)
 중합체, PBDT2FBT-2EHO(poly(4,8-bis(2-ethylhexyloxy)benzo[1,2-b:4,5-b']di
 thiophene-alt-4,7-bis(4-(2-ethylhexyl)-2-thienyl)-5,6-difluoro-2,1,3-benzothiadiazole),
 및 PDPP3T(poly(diketopyrrolopyrrole-terthiophene)) 중에서 선택된 1종 이상일 수
 있다.
 [29] 상기 제1 절연막, 제2 절연막, 및 제3 절연막 중에서 선택된 1종 이상이 각각
 독립적으로, 페릴렌(perylene), 폴리디메틸실록세인(polydimethylsiloxane, PDMS),
 Cytop(CTL-809M, Asahi Glass), PMMA(poly(methyl methacrylate)), PVP (poly(vinyl
 pyrrolidone)), PI(polyimide) 및 산화알루미늄(Al_2O_3) 중에서 선택된 1종 이상을
 포함할 수 있다.
 [30] 상기 기판이 금속 산화물, 반도체, 유리 및 플라스틱 중에서 선택된 1종 이상을
 포함할 수 있다.
 [31] 상기 제1 층간 절연막, 및 제2 층간 절연막 중에서 선택된 1종 이상이 각각
 독립적으로 페릴렌(arylene), 폴리디메틸실록세인(polydimethylsiloxane, PDMS),
 Cytop(CTL-809M, Asahi Glass), PMMA(poly(methyl methacrylate)), PVP (poly(vinyl
 pyrrolidone)), PI(polyimide) 및 산화알루미늄(Al_2O_3) 중에서 선택된 1종 이상일
 수 있다.
 [32] 본 발명의 다른 하나의 측면에 따르면,
 [33] 상기 수직적층구조의 3차원 정적램 코어 셀을 복수로 평면상에 포함하는
 정적램 코어 셀 어셈블리가 제공된다.
 [34] 본 발명의 다른 또 하나의 측면에 따르면,
 [35] 제1항의 수직적층구조의 3차원 정적램 코어 셀을 포함하는 전자기기가
 제공된다.
 [36] 본 발명의 다른 또 하나의 측면에 따르면,
 [37] 2개의 박막 트랜지스터를 포함하는 제1 트랜지스터층을 형성하는 단계; 상기
 제1 트랜지스터층 상에 위치하고, 2개의 박막 트랜지스터를 포함하는 제2
 트랜지스터층을 형성하는 단계; 및 상기 제2 트랜지스터층 상에 위치하고, 2개의
 박막 트랜지스터를 포함하는 제3 트랜지스터층을 형성하는 단계;를 포함하고,
 상기 제1 트랜지스터층의 1종 이상의 전극과 상기 제2 트랜지스터층의 1종
 이상의 전극이 전기적 연결되고, 상기 제2 트랜지스터층의 1종 이상의 전극과

상기 제3 트랜지스터층의 1층 이상의 전극이 전기적 연결된 것인
수직적층구조의 3차원 정적램 코어 셀의 제조방법이 제공된다.

발명의 효과

- [38] 본 발명의 수직적층구조의 3차원 정적램 코어 셀은 동일한 평면상에 동일한 타입의 유기 트랜지스터를 배치하여 수직으로 적층시킴으로써 메모리 소자 제조시 상이한 타입의 유기 트랜지스터를 형성하기 위한 복잡한 패터닝 공정을 생략할 수 있고, 메모리 소자가 차지하는 면적을 줄여 반도체 회로의 집적도를 향상시킬 수 있다.

도면의 간단한 설명

- [39] 이 도면들은 본 발명의 예시적인 실시예를 설명하는데 참조하기 위함이므로, 본 발명의 기술적 사상을 첨부한 도면에 한정해서 해석하여서는 아니 된다.
- [40] 도 1은 6T 정적 랜덤 액세스 메모리의 회로도이다.
- [41] 도 2는 적층 구조 정적 랜덤 액세스 메모리의 예시로서 3층 유기 박막 트랜지스터 구조를 나타낸 것이다.
- [42] 도 3은 P 타입 2개 층과 N 타입 1개 층으로 이루어진 정적 랜덤 액세스 메모리를 나타낸 것이다.
- [43] 도 4는 본 발명의 정적램 코어 셀 어셈블리의 예를 나타낸 것이다.

발명의 실시를 위한 최선의 형태

- [44] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명하도록 한다.
- [45] 그러나, 이하의 설명은 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [46] 본원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [47] 또한, 이하에서 사용될 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

- [48] 또한, 어떤 구성요소가 다른 구성요소 상에 "형성되어" 있다거나 "적층되어" 있다고 언급된 때에는, 그 다른 구성요소의 표면 상의 전면 또는 일면에 직접 부착되어 형성되어 있거나 적층되어 있을 수도 있지만, 중간에 다른 구성요소가 더 존재할 수도 있다고 이해되어야 할 것이다.
- [49]
- [50] 도 1은 6T 정적 랜덤 액세스 메모리의 회로도이고, 도 2는 적층 구조 정적 랜덤 액세스 메모리의 예시(p 타입-n 타입-p 타입 적층구조)로서 3층 유기 박막 트랜지스터 구조를 나타낸 것이며, 도 3은 P 타입 2개 층과 N 타입 1개 층이 순차적으로 적층된 정적 랜덤 액세스 메모리를 나타낸 것이다.
- [51] 이하, 도 1 내지 3을 참조하여 본 발명의 수직적층구조의 3차원 정적램 코어 셀에 대하여 상세히 설명하기로 한다. 다만, 이하 설명은 도 3의 P 타입 1개 층과 N 타입 2개 층이 순차적으로 적층된 정적 랜덤 액세스 메모리를 기준으로 설명할 것이며, 이는 예시로서 제시되는 것으로, 이에 의해 본 발명이 제한되지는 않으며 본 발명은 후술할 청구범위의 범주에 의해 정의될 뿐이다.
- [52] 본 발명의 수직적층구조의 3차원 정적램 코어 셀은 하부로부터 제1 트랜지스터층(100), 제2 트랜지스터층(200) 및 제3 트랜지스터층(300)이 순차적으로 적층된 구조를 포함할 수 있다. 상기 트랜지스터층들(100, 200, 300)은 각각 박막 트랜지스터를 동일한 평면상에 2개씩 쌍으로 포함한다.
- [53] 제1 트랜지스터층(100)은 N 타입의 트랜지스터가 동일한 평면상에 쌍으로 존재하고, 구체적으로, 두 개의 스위칭용 박막 트랜지스터(M5, M6)를 포함한다.
- [54] 두 개의 스위칭용 박막 트랜지스터(M5, M6)는 각각 독립적으로 하부로부터 제1 전극채널막(110), 제1 절연막(120), 및 제1 게이트 전극(130)을 포함한다. 이때, 제1 전극채널막(110)은 제1 드레인 전극(112), 제1 소스 전극(114) 및 제1 유기반도체(116)를 포함할 수 있다.
- [55] 제2 트랜지스터층(200)은 N 타입의 트랜지스터가 동일한 평면상에 쌍으로 존재하고, 구체적으로, 두 개의 저장용 박막 트랜지스터(M1, M3)를 포함한다.
- [56] 두 개의 저장용 박막 트랜지스터(M1, M3)는 각각 독립적으로 하부로부터 제2 전극채널막(210), 제2 절연막(220), 및 제2 게이트 전극(230)을 포함한다. 이때, 제2 전극채널막(210)은 제2 드레인 전극(212), 제2 소스 전극(214) 및 제2 유기반도체(216)를 포함할 수 있다.
- [57] 제3 트랜지스터층(300)은 P 타입의 트랜지스터가 동일한 평면상에 쌍으로 존재하고, 구체적으로, 두 개의 저장용 박막 트랜지스터(M2, M4)를 포함한다.
- [58] 두 개의 저장용 박막 트랜지스터(M2, M4)는 각각 독립적으로 상부로부터 제3 전극채널막(310), 제3 절연막(320), 및 제3 게이트 전극(330)을 포함한다. 이때, 제3 게이트 전극(330)은 제2 게이트 전극(230)일 수 있고, 제3 전극채널막(310)은 제3 드레인 전극(312), 제3 소스 전극(314) 및 제3 유기반도체(316)를 포함할 수 있다.
- [59] 제1 트랜지스터층(100)과 제2 트랜지스터층(200)은 제1 게이트 전극(130)과 제2

- 전극채널막 사이에 제1 층간 절연막(410)을 추가로 포함할 수 있다.
- [60] 또한, 제2 층간 절연막(420)은 제2 트랜지스터층(200)과 제3 트랜지스터층(300) 사이의 위치할 수 있고, 제2 층간 절연막(420)이 제3 절연막(320)일 수 있고, 따라서 제2 층간 절연막(420)이 제3 절연막(320)의 역할을 동시에 수행할 수 있다.
- [61] 또한, 제2 게이트 전극(230)은 제3 게이트 전극(330)일 수 있고, 제2 게이트 전극(230) 또는 제3 게이트(330) 전극은 각각 제2 트랜지스터층(200)과 제3 트랜지스터층(300)의 게이트 전극으로 공유되어 게이트 전극의 역할을 동시에 수행할 수 있으므로, 둘(230, 330) 중에 하나만 형성하여 사용할 수 있다.
- [62] 제2 트랜지스터층(200)에 포함되는 2개의 저장용 박막 트랜지스터(M1, M3)과, 제3 트랜지스터층(300)에 포함되는 2개의 저장용 박막 트랜지스터(M2, M4)는 전원전압(Vdd) 또는 접지전압(Vss)에 연결되어 데이터가 기록 및 독출될 수 있다.
- [63] 한편, 구성요소들의 전기적 연결 상태를 보면, 제1 트랜지스터층(100)의 하나의 스위칭용 박막 트랜지스터(M5)는 비트라인 쌍(BL, $\overline{BL}$) 중 어느 하나(BL)에 자신의 소스 및 드레인 전극인 제1 드레인 전극(112) 및 제1 소스 전극(114)이 연결되고, 워드 라인(WL)에는 자신의 게이트 전극인 제1 게이트 전극(130)이 연결될 수 있다.
- [64] 또한, 제1 트랜지스터층(100)의 다른 하나의 스위칭용 박막 트랜지스터(M6)은 비트라인 쌍(BL, $\overline{BL}$) 중 다른 하나($\overline{BL}$)에 자신의 소스 및 드레인 전극인 제1 드레인 전극(112) 및 제1 소스 전극(114)이 연결 되고, 워드 라인(WL)에는 자신의 게이트 전극인 제1 게이트 전극(130)이 연결될 수 있다.
- [65] 상기 제1 트랜지스터 층은 기판 상에 위치할 수 있다.
- [66] 상기 기판은 금속 산화물, 반도체, 유리, 플라스틱 등일 수 있다.
- [67] 상기 게이트 전극, 소스 전극 및 드레인 전극은 각각 독립적으로 Au, Al, Ag, Be, Bi, Co, Cu, Cr, Hf, In, Mn, Mo, Mg, Ni, Nb, Pb, Pd, Pt, Rh, Re, Ru, Sb, Ta, Te, Ti, V, W, Zr, Zn, PEDOT:PSS 등을 포함할 수 있다.
- [68] 상술한 게이트 전극, 소스 및 드레인 전극의 수직적 연결은 전도성 비아홀을 통해 전기적으로 연결될 수 있다.
- [69] 상기 전도성 비아홀에는 상기 게이트 전극이나 소스 전극에 적용되는 전도성 물질이 채워질 수 있다.
- [70] 상기 박막 트랜지스터는 플렉서블한 성질을 가질 수 있다.
- [71] 제3 트랜지스터층(300)은 p-타입 트랜지스터를 포함하고, 제3 유기반도체(316)은 p-타입 유기 반도체를 포함할 수 있다.
- [72] 구체적으로, p-타입 유기 반도체는 diF-TES-ADT(2,8-Difluoro-5,11-bis(triethylsilylethynyl)anthradithiophene), 펜타센(pentacene), 3-헥실싸이오펜 중합체(poly(3-hexylthiophene)), 3-펜틸싸이오펜 중합체(poly(3-pentylthiophene)), 3-부틸싸이오펜

중합체(poly3-(butylthiophene)), 벤조다이싸이오펜(benzo[1,2-b:4,5-b']dithiophene) 중합체, PBDT2FBT-2EHO(poly(4,8-bis(2-ethylhexyloxy)benzo[1,2-b:4,5-b']dithiophene-alt-4,7-bis(4-(2-ethylhexyl)-2-thienyl)-5,6-difluoro-2,1,3-benzothiadiazole), PDPP3T(poly(diketopyrrolopyrrole-terthiophene)) 등을 적용할 수 있으나 본 발명의 범위가 여기에 한정되지 않는다.

[73] 제1 트랜지스터층(100)과 제2 트랜지스터층(200)은 n-타입 트랜지스터를 포함하고, 따라서 제1 유기반도체(116)와 제2 유기반도체(216)는 각각 n-타입 유기 반도체를 포함할 수 있다.

[74] 구체적으로, n-타입 유기 반도체는 N2200 (poly{[N,N'-bis(2-octyldodecyl)-naphthalene-1,4,5,8-bis(dicarboximide)-2,6-diyl]-alt-5,5'-(2,2'-bithiophene)}), 안트라센(anthracene), 테트라센(tetracene), 헥사센(hexacene), 퀴놀린(quinolone), 나프틸리딘(naphthylidine), 및 퀴나졸린(quinazoline), 안트라디싸이오펜(anthrathienophene), 플루오렌(fullerene), 페릴렌디카르복시마이드(perylene dicarboximide), 나프탈렌 디이미드(naphthalene diimide), 올리고싸이오펜(oligo-thiophene), 6,13-비스(트리이소프로필실릴에티닐)펜타센(6,13-Bis(triisopropylsilyl ethynyl)pentacene), 5,11-비스(트리에틸실릴에티닐)안트라디싸이오펜(5,11-Bis(triethylsilyl ethynyl)anthrathienophene), 2,8-디플로로-5,11-비스(트리에틸실릴에티닐)(2,8-Difluoro-5,11-bis(triethylsilyl ethynyl)anthrathienophene), PCBM, Cu-프탈로시아닌(Cu-Phthalocyanine), Zn-프탈로시아닌(Zn-Phthalocyanine) 등을 적용할 수 있으나 본 발명의 범위가 여기에 한정되지 않는다.

[75] 제1 절연막(120), 제2 절연막(220), 제3 절연막(320), 제1 층간 절연막(410) 및 제2 층간 절연막(420)은 페릴렌(parylene), 폴리디메틸실록세인(polydimethylsiloxane, PDMS), Cytop(CTL-809M, Asahi Glass), PMMA(poly(methyl methacrylate)), PVP (poly(vinyl pyrrolidone)), PI(polyimide), 산화알루미늄(Al₂O₃) 등의 절연물질이 적용될 수 있으나 본 발명의 범위가 여기에 한정되지 않는다.

[76]

[77] 본 발명은 상기 수직적층구조의 3차원 정적램 코어 셀을 복수로 평면상에 포함하는 정적램 코어 셀 어셈블리를 제공한다.

[78] 참고로, 본 발명의 정적램 코어 셀 어셈블리의 예를 도 4에 나타내었다.

[79]

[80] 또한, 본 발명은 상기 수직적층구조의 3차원 정적램 코어 셀을 포함하는 전자기기를 제공한다.

[81] 상기 전자기기는 반도체 메모리 소자를 필요로 하는 컴퓨터, 웨어러블 디바이스 등 다양한 스마트형 전자제품에 적용될 수 있다.

- [82]
- [83] 이하, 본 발명의 수직적층구조의 3차원 정적램 코어 셀의 제조방법에 대해 설명하도록 한다.
- [84] 먼저, 2개의 박막 트랜지스터를 포함하는 제1 트랜지스터층(100)을 형성한다.
- [85] 다음으로, 제1 트랜지스터층(100) 상에 위치하고, 2개의 박막 트랜지스터를 포함하는 제2 트랜지스터층(200)을 형성한다.
- [86] 이후, 제2 트랜지스터층(200) 상에 위치하고, 2개의 박막 트랜지스터를 포함하는 제3 트랜지스터층(300)을 형성한다.
- [87] 상기 제1 비트라인(BL1), 제2 비트라인(BL2)에 따른 층간 전기적 연결은 비아홀을 통해 연결할 수 있다.

[88]

[89] [부호의 설명]

[90] WL: 워드라인 BL: 비트라인 쌍(BL, $\overline{BL}$) 중 어느 하나

[91] $\overline{BL}$: 비트라인 쌍(BL, $\overline{BL}$) 중 다른 하나

[92] Vdd: 전원전압 Vss: 접지전압

[93] M1, M2, M3, M4: 저장용 박막 트랜지스터

[94] M5, M6: 스위칭용 박막 트랜지스터

[95] 100: 제1 트랜지스터층 112: 제1 드레인 전극

[96] 114: 제1 소스 전극 116: 제1 유기반도체

[97] 120: 제1 절연막 130: 제1 게이트 전극

[98] 200: 제2 트랜지스터층 122: 제2 드레인 전극

[99] 214: 제2 소스 전극 216: 제2 유기반도체

[100] 220: 제2 절연막 230: 제2 게이트 전극

[101] 300: 제3 트랜지스터층 322: 제3 드레인 전극

[102] 314: 제3 소스 전극 316: 제3 유기반도체

[103] 320: 제3 절연막 330: 제3 게이트 전극

[104] 410: 제1 층간 절연막 420: 제2 층간 절연막

발명의 실시를 위한 형태

[105] [실시에]

[106] 실시에 1: 3차원 정적램 코어 셀의 제조

[107] 2개의 박막 트랜지스터를 포함하는 제1 트랜지스터층(100) 형성

[108] 나노 입자 잉크 (Silver-nano particle ink)를 프린팅하여 소스 드레인 전극을 기판 위에 도포한다. 열처리 공정을 통해 전극의 전도도를 향상 시키고 표면처리를 함으로써 전하 주입(Charge injection)을 향상시켰다. 메시틸렌 (Mesitylene)에 녹여 만든 p-타입 잉크(diF-TES-ADT)를 프린팅 공정을 이용하여 소스 드레인 전극 사이에 도포한다. 열처리 공정을 통해 용매를 증발시키고 유기물의 특성을 개선한다. 그 위에 Parylene diX-SR을 증착하여 유전층을 형성한다. 그 위에

게이트 전극을 나노 입자 잉크 (Silver-nano particle ink)를 프린팅하여 형성 한다.

[109]

[110] 제1 트랜지스터층(100) 상에 위치하고, 2개의 박막 트랜지스터를 포함하는 제2 트랜지스터층(200) 형성

[111] 나노 입자 잉크 (Silver-nano particle ink)를 프린팅하여 소스 드레인 전극을 기판 위에 도포하였다. 열처리 공정을 통해 전극의 전도도를 향상 시키고 표면처리를 함으로써 전하 주입 (Charge injection)을 향상시켰다. 다이클로벤젠 (1,2-Dichlorobenzene)에 녹여 만든 n-타입 잉크 N2200[P(NDI2OD-T2)]을 프린팅 공정을 이용하여 소스 드레인 전극 사이에 도포하였다. 열처리 공정을 통해 용매를 증발시키고 유기물의 특성을 개선하였다. 그 위에 Parylene diX-SR을 열 증착하여 유전층을 형성하였다. 그 위에 게이트 전극을 나노 입자 잉크 (Silver-nano particle ink)를 프린팅하여 형성하였다.

[112]

[113] 제3 트랜지스터층(200) 상에 위치하고, 2개의 박막 트랜지스터를 포함하는 제3 트랜지스터층(300) 형성

[114] 2층과 게이트를 공유하는 구조를 사용 한다. 공유된 게이트 위에 Parylene diX-SR을 증착하여 유전층을 형성하였다. 나노 입자 잉크 (Silver-nano particle ink)를 프린팅하여 소스 드레인 전극을 기판 위에 도포하였다. 열처리 공정을 통해 전극의 전도도를 향상시키고 표면처리를 함으로써 전하 주입 (Charge injection)을 향상시켰다. 메시틸렌(Mesitylene)에 녹여 만든 p-타입 잉크 (diF-TES-ADT)를 프린팅 공정을 이용하여 소스 드레인 전극 사이에 도포하였다. 열처리 공정을 통해 용매를 증발시키고 유기물의 특성을 개선하였다. 마지막으로 레이저를 이용하여 비아홀을 뚫고 프린팅을 이용하여 비아홀을 채워 넣음으로써 각 층간의 전극 연결을 하였다.

[115]

[116] 실시예 2: 3차원 정적램 코어 셀을 복수로 포함하는 정적램 코어 셀 어셈블리의 제조

[117] 실시예 1에 따라 제조된 3차원 정적램 코어셀의 공정을 배열(Array)에 적용하여 10행 10열 (100개)의 정적램 코어셀 어셈블리를 제조하였다. 각 행의 셀들은 하나의 워드라인을 공유하며, 각 열의 셀들은 두 비트 라인을 공유한다. 각 라인은 나노 입자 잉크를 프린팅함으로써 형성할 수 있다. 워드라인과 비트라인은 각 셀에 데이터를 읽고 (Read), 저장 (Write)하는 역할을 한다.

[118]

[119] 시험예 1: 3차원 정적램 코어셀의 메모리 성능시험

[120] 본 발명의 3차원 정적램 코어셀의 메모리가 우수한 정적잡음여유 (Static Noise Margin, SNM) 특성 ($V_{dd}/2$ 의 약 70%)을 갖는 것을 Cross-coupled Inverter의 나비 곡선 (Butterfly Curve)를 통해 확인하였다.

[121]

- [122] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

산업상 이용가능성

- [123] 본 발명의 수직적층구조의 3차원 정적램 코어 셀은 동일한 평면상에 동일한 타입의 유기 트랜지스터를 배치하여 수직으로 적층시킴으로써 메모리 소자 제조시 상이한 타입의 유기 트랜지스터를 형성하기 위한 복잡한 패터닝 공정을 생략할 수 있고, 메모리 소자가 차지하는 면적을 줄여 반도체 회로의 집적도를 향상시킬 수 있다.

청구범위

- [청구항 1] 게이트 전극, 소스 전극 및 드레인 전극을 각각 갖는 6개의 박막 트랜지스터로 구성되는 정적램 코어 셀이고,
 상기 정적램 코어 셀은
 비트 라인과 워드 라인에 각각 연결되어 데이터의 기록 및 독출을 선택하는 2개의 스위칭용 박막 트랜지스터; 및
 전원전압(Vdd) 또는 접지전압(Vss)에 연결되어 데이터가 기록 및 독출되는 4개의 데이터 저장용 박막 트랜지스터를 포함하고,
 상기 정적램 코어 셀은
 상기 6개의 박막 트랜지스터 중에서 선택된 2개의 박막 트랜지스터를 포함하는 제1 트랜지스터층;
 상기 제1 트랜지스터층 상에 위치하고, 나머지 4개의 박막 트랜지스터 중에서 선택된 2개의 박막 트랜지스터를 포함하는 제2 트랜지스터층; 및
 상기 제2 트랜지스터층 상에 위치하고, 나머지 2개의 박막 트랜지스터를 포함하는 제3 트랜지스터층;을 포함하고,
 상기 제1 트랜지스터층의 1종 이상의 전극과 상기 제2 트랜지스터층의 1종 이상의 전극이 전기적 연결되고, 상기 제2 트랜지스터층의 1종 이상의 전극과 상기 제3 트랜지스터층의 1종 이상의 전극이 전기적 연결된 것인 수직적층구조의 3차원 정적램 코어 셀.
- [청구항 2] 제1항에 있어서,
 상기 6개의 박막 트랜지스터 중 2개가 n-타입 및 p-타입 중 1종이고, 상기 6개의 박막 트랜지스터 중 나머지 4개가 n-타입 및 p-타입 중 나머지 1종이고,
 상기 6개의 박막 트랜지스터 중 동종 타입의 2개가 상기 제1 내지 제3 트랜지스터층 중 1개의 트랜지스터층(a)에 포함되고,
 상기 6개의 박막 트랜지스터 중 나머지 동종 타입의 4개가 상기 제1 내지 제3 트랜지스터층 중 나머지 2개의 트랜지스터층(b)에 각각 2개씩 포함되는 것을 특징으로 하는 수직적층구조의 3차원 정적램 코어 셀.
- [청구항 3] 제2항에 있어서,
 상기 전기적 연결이 전도성 비아홀에 의한 것임을 특징으로 하는 수직적층구조의 3차원 정적램 코어 셀.
- [청구항 4] 제3항에 있어서,
 상기 2개의 트랜지스터층(b) 중 1개에 포함된 트랜지스터와 상기 트랜지스터층(a)에 포함된 트랜지스터가 상기 게이트 전극을 공유하는 것을 특징으로 하는 수직적층구조의 3차원 정적램 코어 셀.
- [청구항 5] 제1항에 있어서,
 상기 제1 트랜지스터 층이 제1 소스 전극, 제1 드레인 전극 및 제1 유기

반도체를 포함하는 제1 전극채널막; 상기 제1 전극채널막 상에 형성된 제1 절연막; 및 상기 제1 절연막 상에 형성된 제1 게이트 전극;을 포함하고,

상기 제2 트랜지스터층이 제2 소스 전극, 제2 드레인 전극 및 제2 유기 반도체를 포함하는 제2 전극채널막; 상기 제2 전극채널막 상에 형성된 제2 절연막; 및 상기 제2 절연막 상에 형성된 제2 게이트 전극;을 포함하고,

상기 제3 트랜지스터 층이 제3 소스 전극, 제3 드레인 전극 및 제3 유기 반도체를 포함하는 제3 전극채널막; 상기 제3 전극채널막 상에 형성된 제3 절연막; 및 상기 제3 절연막 상에 형성된 제3 게이트 전극;을 포함하는 것을 특징으로 하는 수직적층구조의 3차원 정적램 코어 셀.

[청구항 6] 제5항에 있어서,

상기 제1 트랜지스터 층이 기판 상에 위치한 것을 특징으로 하는 수직적층구조의 3차원 정적램 코어 셀.

[청구항 7] 제5항에 있어서,

상기 제1 게이트 전극 상에 제1 층간 절연막이 추가로 위치하고, 상기 제2 게이트 전극 상에 제2 층간 절연막이 추가로 위치한 것을 특징으로 하는 수직적층구조의 3차원 정적램 코어 셀.

[청구항 8] 제7항에 있어서,

상기 제2 층간 절연막이 제3 절연막인 것을 특징으로 하는 수직적층구조의 3차원 정적램 코어 셀.

[청구항 9] 제1항에 있어서,

상기 게이트 전극 및 소스 전극 중 1종 이상이 각각 독립적으로 Au, Al, Ag, Be, Bi, Co, Cu, Cr, Hf, In, Mn, Mo, Mg, Ni, Nb, Pb, Pd, Pt, Rh, Re, Ru, Sb, Ta, Te, Ti, V, W, Zr, Zn 및 PEDOT:PSS 중에서 선택된 1종 이상을 포함하는 것을 특징으로 하는 수직적층구조의 3차원 정적램 코어 셀.

[청구항 10] 제1항에 있어서,

상기 박막 트랜지스터는 유기 전계 효과 박막 트랜지스터인 것을 특징으로 하는 수직적층구조의 3차원 정적램 코어 셀.

[청구항 11] 제1항에 있어서,

상기 박막 트랜지스터는 플렉서블한 성질을 갖는 것을 특징으로 하는 수직적층구조의 3차원 정적램 코어 셀.

[청구항 12] 제5항에 있어서,

상기 제1 유기 반도체, 제2 유기 반도체, 및 제3 유기 반도체 중 어느 하나의유기 반도체가 n-타입 유기 반도체 및 p-타입 유기 반도체 중 어느 하나이고, 나머지 유기 반도체가 n-타입 유기 반도체 및 p-타입 유기 반도체 중 나머지 하나이고,
상기 n-타입 유기 반도체가, N2200

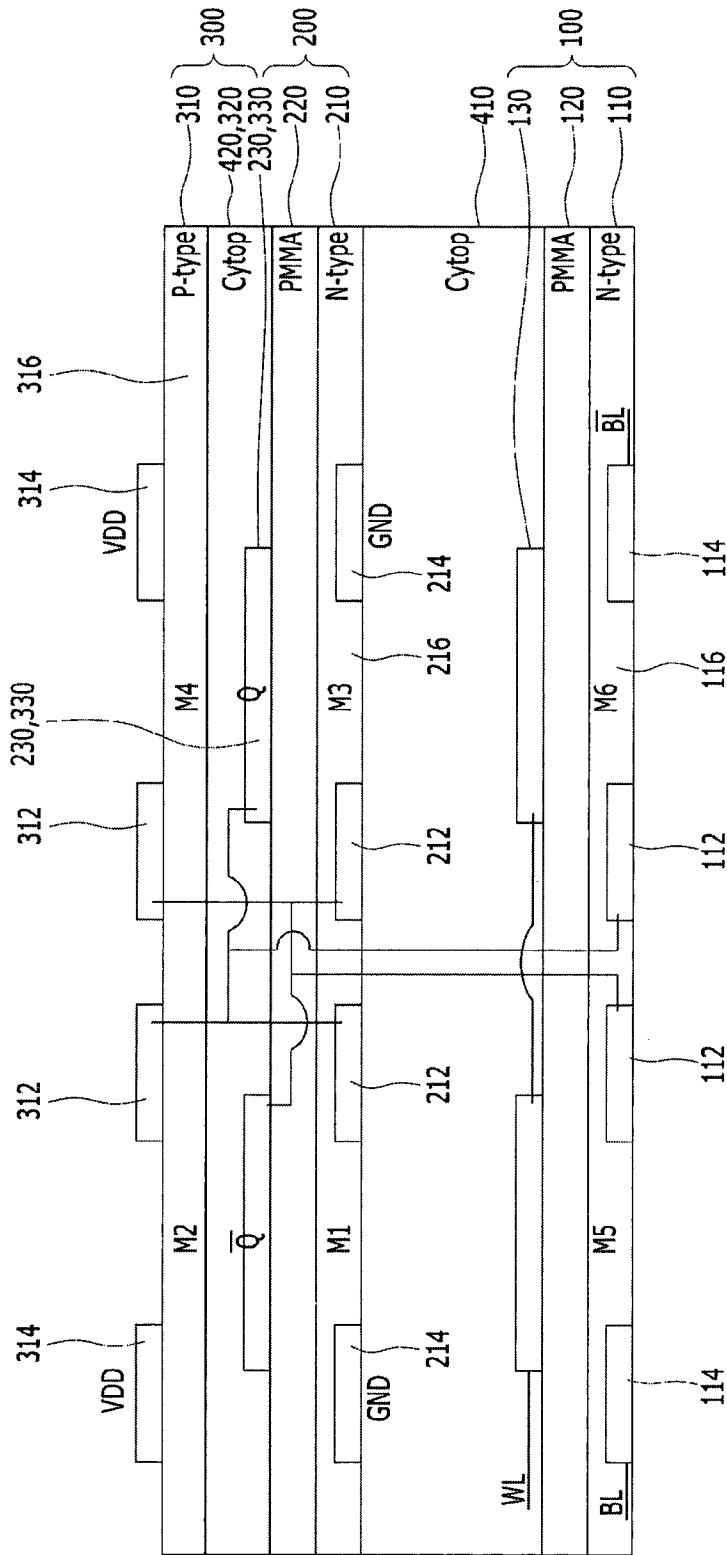
(poly{[N,N'-bis(2-octyldodecyl)-naphthalene-1,4,5,8-bis(dicarboximide)-2,6-diyl]-alt-5,5'-(2,2'-bithiophene)}), 안트라센(anthracene), 테트라센(tetracene), 헥사센(hexacene), 퀴놀린(quinolone), 나프틸리딘(naphthylridine), 및 퀴나졸린(quinazoline), 안트라디싸이오펜(anthrathienophene), 플루오렌(fullerene), 페릴렌디카르복시마이드(perylenedicarboximide), 나프탈렌 디이미드(naphthalene diimide), 올리고싸이오펜(oligo-thiophene), 6,13-비스(트라이소프로필실릴에티닐)펜타센(6,13-Bis(triisopropylsilyl ethynyl)pentacene), 5,11-비스(트리에틸실릴에티닐)안트라디싸이오펜(5,11-Bis(triethylsilyl ethynyl)anthrathienophene), 2,8-디플로로-5,11-비스(트리에틸실릴에티닐(2,8-Difluoro-5,11-bis(triethylsilyl ethynyl)anthrathienophene), PCBM, Cu-프탈로시아닌(Cu-Phthalocyanine), 및 Zn-프탈로시아닌(Zn-Phthalocyanine) 중에서 선택된 1종 이상이고, 상기 p-타입 유기 반도체가, diF-TES-ADT(2,8-Difluoro-5,11-bis(triethylsilyl ethynyl)anthrathienophene), 펜타센(pentacene), 3-헥실싸이오펜 중합체(poly(3-hexylthiophene)), 3-펜틸싸이오펜 중합체(poly(3-pentylthiophene)), 3-부틸싸이오펜 중합체(poly(3-butylthiophene)), 벤조다이싸이오펜(benzo[1,2-b:4,5-b']dithiophene) 중합체, PBDT2FBT-2EHO(poly(4,8-bis(2-ethylhexyloxy)benzo[1,2-b:4,5-b']dithiophene-alt-4,7-bis(4-(2-ethylhexyl)-2-thienyl)-5,6-difluoro-2,1,3-benzothiadiazole), 및 PDPP3T(poly(diketopyrrolopyrrole-terthiophene)) 중에서 선택된 1종 이상인 것을 특징으로 하는 수직적층구조의 3차원 정적램 코어 셀.

- [청구항 13] 제5항에 있어서,
상기 제1 절연막, 제2 절연막, 및 제3 절연막 중에서 선택된 1종 이상이 각각 독립적으로, 페릴렌(ptylene), 폴리디메틸실록세인(polydimethylsiloxane, PDMS), Cytop(CTL-809M, Asahi Glass), PMMA(poly(methyl methacrylate)), PVP (poly(vinyl pyrrolidone)), PI(polyimide) 및 산화알루미늄(Al_2O_3) 중에서 선택된 1종 이상을 포함하는 것을 특징으로 하는 수직적층구조의 3차원 정적램 코어 셀.
- [청구항 14] 제6항에 있어서,
상기 기판이 금속 산화물, 반도체, 유리 및 플라스틱 중에서 선택된 1종 이상을 포함하는 것을 특징으로 하는 수직적층구조의 3차원 정적램 코어 셀.
- [청구항 15] 제7항에 있어서,

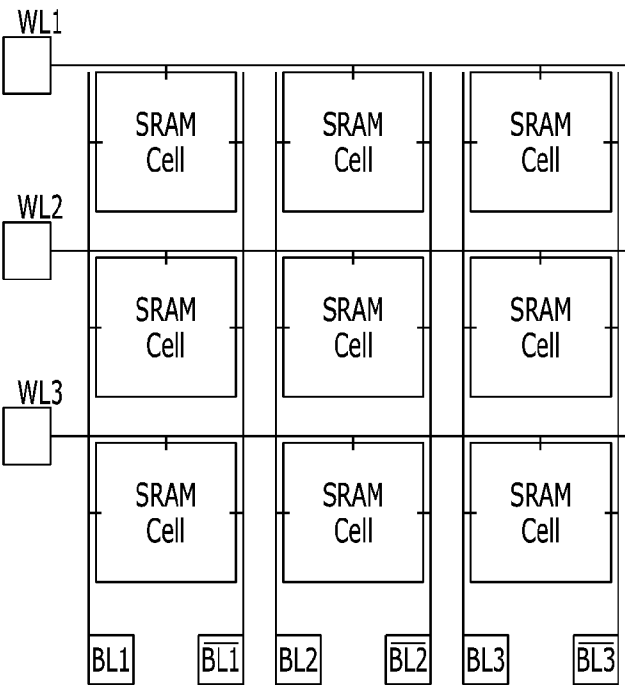
상기 제1 층간 절연막, 및 제2 층간 절연막 중에서 선택된 1종 이상이 각각 독립적으로 페릴렌(parylene), 폴리디메틸실록세인(polydimethylsiloxane, PDMS), Cytop(CTL-809M, Asahi Glass), PMMA(poly(methyl methacrylate)), PVP (poly(vinyl pyrrolidone)), PI(polyimide) 및 산화알루미늄(Al_2O_3) 중에서 선택된 1종 이상을 포함하는 것을 특징으로 하는 수직적층구조의 3차원 정적램 코어 셀.

- [청구항 16] 제1항의 수직적층구조의 3차원 정적램 코어 셀을 복수로 평면상에 포함하는 정적램 코어 셀 어셈블리.
- [청구항 17] 제1항의 수직적층구조의 3차원 정적램 코어 셀을 포함하는 전자기기.
- [청구항 18] 2개의 박막 트랜지스터를 포함하는 제1 트랜지스터층을 형성하는 단계; 상기 제1 트랜지스터층 상에 위치하고, 2개의 박막 트랜지스터를 포함하는 제2 트랜지스터층을 형성하는 단계; 및 상기 제2 트랜지스터층 상에 위치하고, 2개의 박막 트랜지스터를 포함하는 제3 트랜지스터층을 형성하는 단계;를 포함하고, 상기 제1 트랜지스터층의 1종 이상의 전극과 상기 제2 트랜지스터층의 1종 이상의 전극이 전기적 연결되고, 상기 제2 트랜지스터층의 1종 이상의 전극과 상기 제3 트랜지스터층의 1종 이상의 전극이 전기적 연결된 것인 수직적층구조의 3차원 정적램 코어 셀의 제조방법.

[도3]



[도4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/015420**A. CLASSIFICATION OF SUBJECT MATTER****H01L 27/11(2006.01)i, H01L 51/05(2006.01)i, H01L 27/28(2006.01)i, H01L 27/06(2006.01)i, H01L 21/768(2006.01)i, H01L 51/00(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/11; H01L 29/786; H01L 27/00; H01L 21/822; H01L 21/8238; H01L 21/8244; H01L 51/05; H01L 27/28; H01L 27/06; H01L 21/768; H01L 51/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: static RAM, thin film transistor, lamination, transistor layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-318106 A (SEMICONDUCTOR ENERGY LAB. CO., LTD.) 06 December 2007 See paragraphs [0013], [0043]-[0085], [0113], [0284]-[0299], claims 2-3, 11 and figures 4-6, 13, 30-33.	1-3,5-7,9-18
Y		4,8
Y	KR 10-1100426 B1 (SAMSUNG ELECTRONICS CO., LTD.) 30 December 2011 See paragraphs [0045]-[0053] and figures 1-3.	4,8
A	KR 10-1275758 B1 (SAMSUNG ELECTRONICS CO., LTD.) 14 June 2013 See paragraphs [0020]-[0039] and figures 1-2.	1-18
A	KR 10-2008-0067126 A (SAMSUNG ELECTRONICS CO., LTD.) 18 July 2008 See paragraphs [0030]-[0065] and figures 3-13.	1-18
A	WO 2014-185085 A1 (KABUSHIKI KAISHA TOSHIBA et al.) 20 November 2014 See paragraphs [0010]-[0013] and figures 1-2.	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 APRIL 2017 (25.04.2017)

Date of mailing of the international search report

26 APRIL 2017 (26.04.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/015420

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2007-318106 A	06/12/2007	CN 101064287 A	31/10/2007
		CN 101064287 B	06/04/2011
		CN 102169850 A	31/08/2011
		CN 102169850 B	05/02/2014
		JP 5227536 B2	03/07/2013
		US 2007-0254455 A1	01/11/2007
		US 2010-0244250 A1	30/09/2010
		US 2012-0061841 A1	15/03/2012
		US 7785938 B2	31/08/2010
		US 8120159 B2	21/02/2012
		US 8288856 B2	16/10/2012
KR 10-1100426 B1	30/12/2011	US 2006-0267100 A1	30/11/2006
		US 7772711 B2	10/08/2010
KR 10-1275758 B1	14/06/2013	EP 2031031 A1	04/03/2009
		EP 2031031 B1	13/07/2011
		JP 2009-062534 A	26/03/2009
		KR 10-2009-0023272 A	04/03/2009
		US 2009-0020817 A1	22/01/2009
		US 2009-0061239 A1	05/03/2009
		US 2011-0014754 A1	20/01/2011
		US 7825472 B2	02/11/2010
		US 7927932 B2	19/04/2011
KR 10-2008-0067126 A	18/07/2008	NONE	
WO 2014-185085 A1	20/11/2014	JP 2014-222740 A	27/11/2014
		TW 201444027 A	16/11/2014

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 27/11(2006.01)i, H01L 51/05(2006.01)i, H01L 27/28(2006.01)i, H01L 27/06(2006.01)i, H01L 21/768(2006.01)i, H01L 51/00(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 27/11; H01L 29/786; H01L 27/00; H01L 21/822; H01L 21/8238; H01L 21/8244; H01L 51/05; H01L 27/28; H01L 27/06; H01L 21/768; H01L 51/00

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 정적램, 박막 트랜지스터, 적층, 트랜지스터층

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	JP 2007-318106 A (SEMICONDUCTOR ENERGY LAB CO., LTD.) 2007.12.06 단락 [0013], [0043]-[0085], [0113], [0284]-[0299], 청구항 2-3, 11 및 도면 4-6, 13, 30-33 참조.	1-3,5-7,9-18
Y		4,8
Y	KR 10-1100426 B1 (삼성전자주식회사) 2011.12.30 단락 [0045]-[0053] 및 도면 1-3 참조.	4,8
A	KR 10-1275758 B1 (삼성전자주식회사) 2013.06.14 단락 [0020]-[0039] 및 도면 1-2 참조.	1-18
A	KR 10-2008-0067126 A (삼성전자주식회사) 2008.07.18 단락 [0030]-[0065] 및 도면 3-13 참조.	1-18
A	WO 2014-185085 A1 (KABUSHIKI KAISHA TOSHIBA 등) 2014.11.20 단락 [0010]-[0013] 및 도면 1-2 참조.	1-18

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 04월 25일 (25.04.2017)

국제조사보고서 발송일

2017년 04월 26일 (26.04.2017)

ISA/KR의 명칭 및 우편주소



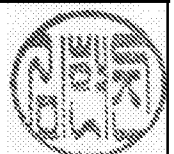
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

김현진

전화번호 +010-4310-7635



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2007-318106 A	2007/12/06	CN 101064287 A CN 101064287 B CN 102169850 A CN 102169850 B JP 5227536 B2 US 2007-0254455 A1 US 2010-0244250 A1 US 2012-0061841 A1 US 7785938 B2 US 8120159 B2 US 8288856 B2	2007/10/31 2011/04/06 2011/08/31 2014/02/05 2013/07/03 2007/11/01 2010/09/30 2012/03/15 2010/08/31 2012/02/21 2012/10/16
KR 10-1100426 B1	2011/12/30	US 2006-0267100 A1 US 7772711 B2	2006/11/30 2010/08/10
KR 10-1275758 B1	2013/06/14	EP 2031031 A1 EP 2031031 B1 JP 2009-062534 A KR 10-2009-0023272 A US 2009-0020817 A1 US 2009-0061239 A1 US 2011-0014754 A1 US 7825472 B2 US 7927932 B2	2009/03/04 2011/07/13 2009/03/26 2009/03/04 2009/01/22 2009/03/05 2011/01/20 2010/11/02 2011/04/19
KR 10-2008-0067126 A	2008/07/18	없음	
WO 2014-185085 A1	2014/11/20	JP 2014-222740 A TW 201444027 A	2014/11/27 2014/11/16