(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년03월21일
(11) 등록번호 10-2784144
(24) 등록일자 2025년03월17일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) *G09G 3/3233* (2016.01)
G09G 3/36 (2006.01) *H10D 30/67* (2025.01)
(52) CPC특허분류
G02F 1/1368 (2013.01)
G09G 3/3233 (2013.01)
(21) 출원번호 10-2021-7009510
(22) 출원일자(국제) 2019년09월09일
심사청구일자 2022년09월05일
(85) 번역문제출일자 2021년03월31일
(65) 공개번호 10-2021-0049905
(43) 공개일자 2021년05월06일
(86) 국제출원번호 PCT/IB2019/057559
(87) 국제공개번호 WO 2020/058798
국제공개일자 2020년03월26일
(30) 우선권주장
JP-P-2018-176865 2018년09월21일 일본(JP)
(56) 선행기술조사문헌
KR1020140080890 A*
KR1020100070663 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
카와시마 스스무
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
쿠스모토 나오토
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
장훈

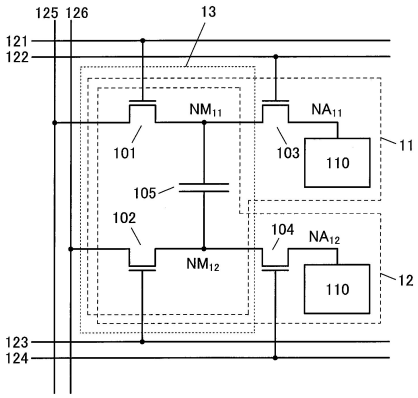
전체 청구항 수 : 총 9 항 심사관 : 이우리

(54) 발명의 명칭 **표시 장치 및 전자 기기**

(57) 요 약

고전압을 표시 디바이스에 공급할 수 있는 표시 장치를 제공한다. 화소는 제 1 데이터를 유지하는 기능을 갖고, 제 1 데이터에 제 2 데이터를 가산하여 제 3 데이터를 생성하고, 제 3 데이터를 표시 디바이스에 공급하는 기능을 갖는다. 데이터의 가산에는 커패시터에 의한 용량 결합을 사용한다. 수직 방향(소스선이 연장되는 방향)의 2개의 화소가 상기 커패시터를 포함하는 요소를 공유하기 때문에, 상기 커패시터에 화소 2개분의 설치 면적을 제공할 수 있어, 용량값을 높일 수 있다. 따라서 용량 결합에 의한 데이터의 가산을 효율적으로 수행할 수 있다.

대 표 도 - 도2



(52) CPC특허분류
G09G 3/36 (2013.01)
H10D 30/6755 (2025.01)

명 세 서

청구범위

청구항 1

삭제

청구항 2

제 1 배선과, 제 2 배선과, 제 1 화소 회로와 제 2 화소 회로를 갖는 표시 장치로서,

상기 제 1 화소 회로는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 1 커패시터와, 제 1 회로를 갖고,

상기 제 2 화소 회로는 상기 제 1 트랜지스터와, 상기 제 2 트랜지스터와, 제 4 트랜지스터와, 상기 제 1 커패시터와, 제 2 회로를 갖고,

상기 제 1 회로 및 상기 제 2 회로의 각각은 표시 디바이스를 갖고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 커패시터의 한쪽 전극에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 배선에 전기적으로 접속되고,

상기 제 1 커패시터의 상기 한쪽 전극은 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 회로에 전기적으로 접속되고,

상기 제 1 커패시터의 다른 쪽 전극은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 상기 한쪽은 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 배선에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 회로에 전기적으로 접속되는, 표시 장치.

청구항 3

제 1 화소 회로와 제 2 화소 회로를 갖는 표시 장치로서,

상기 제 1 화소 회로는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 1 커패시터와, 제 1 회로를 갖고,

상기 제 2 화소 회로는 상기 제 1 트랜지스터와, 상기 제 2 트랜지스터와, 제 4 트랜지스터와, 상기 제 1 커패시터와, 제 2 회로를 갖고,

상기 제 1 회로 및 상기 제 2 회로의 각각은 표시 디바이스를 갖고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 커패시터의 한쪽 전극에 전기적으로 접속되고,

상기 제 1 커패시터의 상기 한쪽 전극은 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 회로에 전기적으로 접속되고,

상기 제 1 커패시터의 다른 쪽 전극은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 상기 한쪽은 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 회로에 전기적으로 접속되고,

상기 제 1 회로 및 상기 제 2 회로는 제 5 트랜지스터와, 제 2 커패시터와, 상기 표시 디바이스로서 발광 디바이스를 갖고,

상기 제 5 트랜지스터의 게이트는 상기 제 3 트랜지스터 또는 상기 제 4 트랜지스터에 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 상기 발광 디바이스의 한쪽 전극에 전기적으로 접속되고,

상기 발광 디바이스의 상기 한쪽 전극은 상기 제 2 커패시터의 한쪽 전극에 전기적으로 접속되고,

상기 제 2 커패시터의 다른 쪽 전극은 상기 제 5 트랜지스터의 상기 게이트에 전기적으로 접속되는, 표시 장치.

청구항 4

제 1 화소 회로와 제 2 화소 회로를 갖는 표시 장치로서,

상기 제 1 화소 회로는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 1 커패시터와, 제 1 회로를 갖고,

상기 제 2 화소 회로는 상기 제 1 트랜지스터와, 상기 제 2 트랜지스터와, 제 4 트랜지스터와, 상기 제 1 커패시터와, 제 2 회로를 갖고,

상기 제 1 회로 및 상기 제 2 회로의 각각은 표시 디바이스를 갖고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 커패시터의 한쪽 전극에 전기적으로 접속되고,

상기 제 1 커패시터의 상기 한쪽 전극은 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 회로에 전기적으로 접속되고,

상기 제 1 커패시터의 다른 쪽 전극은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 상기 한쪽은 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 회로에 전기적으로 접속되고, 상기 제 1 회로 및 상기 제 2 회로는 상기 표시 디바이스로서 액정 디바이스를 갖고,

상기 액정 디바이스의 한쪽 전극은 상기 제 3 트랜지스터 또는 상기 제 4 트랜지스터의 소스 및 드레인 중 상기 다른 쪽에 전기적으로 접속되는, 표시 장치.

청구항 5

제 4 항에 있어서,

제 3 커패시터를 더 갖고,

상기 제 3 커패시터의 한쪽 전극은 상기 액정 디바이스의 상기 한쪽 전극에 전기적으로 접속되는, 표시 장치.

청구항 6

삭제

청구항 7

제 1 화소 회로와 제 2 화소 회로를 갖는 표시 장치로서,

상기 제 1 화소 회로는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 1 커패시터와, 제 2 커패시터와, 제 1 회로를 갖고,

상기 제 2 화소 회로는 상기 제 1 트랜지스터와, 상기 제 2 트랜지스터와, 제 4 트랜지스터와, 상기 제 1 커패시터와, 상기 제 2 커패시터와, 제 2 회로를 갖고,

상기 제 1 회로 및 상기 제 2 회로의 각각은 표시 디바이스를 갖고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 커패시터의 한쪽 전극에 전기적으로 접속되고,

상기 제 1 커패시터의 상기 한쪽 전극은 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 회로에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 회로에 전기적으로 접속되고,

상기 제 1 커패시터 및 상기 제 2 커패시터는 병렬로 접속되고,

상기 제 1 회로 및 상기 제 2 회로는 제 5 트랜지스터와, 제 3 커패시터와, 상기 표시 디바이스로서 발광 디바이스를 갖고,

상기 제 5 트랜지스터의 게이트는 상기 제 3 트랜지스터 또는 상기 제 4 트랜지스터에 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 상기 발광 디바이스의 한쪽 전극에 전기적으로 접속되고,

상기 발광 디바이스의 상기 한쪽 전극은 상기 제 3 커패시터의 한쪽 전극에 전기적으로 접속되고,

상기 제 3 커패시터의 다른 쪽 전극은 상기 제 5 트랜지스터의 상기 게이트에 전기적으로 접속되는, 표시 장치.

청구항 8

제 1 화소 회로와 제 2 화소 회로를 갖는 표시 장치로서,

상기 제 1 화소 회로는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 1 커패시터와, 제 2 커패시터와, 제 1 회로를 갖고,

상기 제 2 화소 회로는 상기 제 1 트랜지스터와, 상기 제 2 트랜지스터와, 제 4 트랜지스터와, 상기 제 1 커패시터와, 상기 제 2 커패시터와, 제 2 회로를 갖고,

상기 제 1 회로 및 상기 제 2 회로의 각각은 표시 디바이스를 갖고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 커패시터의 한쪽 전극에 전기적으로 접속되고,

상기 제 1 커패시터의 상기 한쪽 전극은 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 회로에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 회로에 전기적으로 접속되고,

상기 제 1 커패시터 및 상기 제 2 커패시터는 병렬로 접속되고,

상기 제 1 회로 및 상기 제 2 회로는 상기 표시 디바이스로서 액정 디바이스를 갖고,

상기 액정 디바이스의 한쪽 전극은 상기 제 3 트랜지스터 또는 상기 제 4 트랜지스터의 소스 및 드레인 중 상기 다른 쪽에 전기적으로 접속되는, 표시 장치.

청구항 9

제 8 항에 있어서,

제 4 커패시터를 더 갖고,

상기 제 4 커패시터의 한쪽 전극은 상기 액정 디바이스의 상기 한쪽 전극에 전기적으로 접속되는, 표시 장치.

청구항 10

제 2 항 내지 제 5 항 및 제 7 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 제 1 화소 회로 및 상기 제 2 화소 회로가 갖는 상기 트랜지스터는 채널 형성 영역에 금속 산화물을 포함하고, 상기 금속 산화물은 In과, Zn과, M(M은 Al, Ti, Ga, Ge, Sn, Y, Zr, La, Ce, Nd, 또는 Hf)을 포함하는, 표시 장치.

청구항 11

전자 기기로서,

제 2 항 내지 제 5 항 및 제 7 항 내지 제 9 항 중 어느 한 항에 기재된 표시 장치와, 카메라를 갖는, 전자 기기.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 표시 장치에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 일 형태의 기술분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 따라서 더 구체적으로 본 명세서에서 개시하는 본 발명의 일 형태의 기술분야로서는 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 조명 장치, 축전 장치, 기억 장치, 촬상 장치, 이들의 동작 방법, 또는 이들의 제조 방법을 일례로서 들 수 있다.

[0003] 또한 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터, 반도체 회로는 반도체 장치의 일 형태이다. 또한 기억 장치, 표시 장치, 촬상 장치, 전자 기기는 반도체 장치를 갖는 경우가 있다.

배 경 기 술

[0004] 기판 위에 형성된 금속 산화물을 사용하여 트랜지스터를 구성하는 기술이 주목을 받고 있다. 예를 들어 산화 아연 또는 In-Ga-Zn계 산화물을 사용한 트랜지스터를 표시 장치의 화소의 스위칭 소자 등에 사용하는 기술이 특허문헌 1 및 특허문헌 2에 개시되어 있다.

[0005] 또한 오프 전류가 매우 낮은 트랜지스터를 메모리 셀에 사용하는 구성의 기억 장치가 특허문헌 3에 개시되어 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 공개특허공보 특개2007-123861호

(특허문헌 0002) 일본 공개특허공보 특개2007-96055호

(특허문헌 0003) 일본 공개특허공보 특개2011-119674호

발명의 내용

해결하려는 과제

[0007] 분산형 액정 디바이스 및 탠덤형 발광 디바이스 등의 구동에는, 일반적인 표시 디바이스의 구동 전압보다 높은 전압이 요구되는 경우가 있고, 범용 소스 드라이버보다 고출력의 소스 드라이버를 사용할 필요가 있다. 고출력의 소스 드라이버는 소비전력도 높고, 새로운 드라이버 IC를 개발할 필요가 있는 경우도 있다.

[0008] 따라서 본 발명의 일 형태에서는 고전압을 표시 디바이스에 공급할 수 있는 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 소스 드라이버의 출력 전압 이상의 전압을 표시 디바이스에 공급할 수 있는 표시 장치를 제

공하는 것을 과제 중 하나로 한다. 또는 표시 화상의 휘도를 높일 수 있는 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 화소의 개구율을 높일 수 있는 표시 장치를 제공하는 것을 과제 중 하나로 한다.

[0009] 또는 저소비전력의 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 신뢰성이 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 신규 표시 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는 상기 표시 장치의 구동 방법을 제공하는 것을 과제 중 하나로 한다. 또는 신규 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다.

[0010] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한 이들 이외의 과제는 명세서, 도면, 청구항 등의 기재에서 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재에서 이들 이외의 과제를 추출할 수 있다.

과제의 해결 수단

[0011] 본 발명의 일 형태는 고전압을 표시 디바이스에 공급할 수 있는 표시 장치에 관한 것이다.

[0012] 본 발명의 일 형태는 제 1 화소 회로와 제 2 화소 회로를 갖는 표시 장치이고, 제 1 화소 회로는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 커패시터와, 제 1 표시 디바이스를 갖고, 제 2 화소 회로는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 4 트랜지스터와, 커패시터와, 제 2 표시 디바이스를 갖고, 제 1 트랜지스터, 제 2 트랜지스터, 및 커패시터로 구성되는 회로는 제 1 데이터 및 제 2 데이터를 가산하여 제 3 데이터를 생성하는 기능을 갖고, 제 3 데이터는 제 1 표시 디바이스 또는 제 2 표시 디바이스에 공급되는 표시 장치이다.

[0013] 본 발명의 다른 일 형태는 제 1 화소 회로와 제 2 화소 회로를 갖는 표시 장치이고, 제 1 화소 회로는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 1 커패시터와, 제 1 회로를 갖고, 제 2 화소 회로는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 4 트랜지스터와, 제 1 커패시터와, 제 2 회로를 갖고, 제 1 회로 및 제 2 회로의 각각은 표시 디바이스를 갖고, 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 커패시터의 한쪽 전극에 전기적으로 접속되고, 제 1 커패시터의 한쪽 전극은 제 3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 회로에 전기적으로 접속되고, 제 1 커패시터의 다른 쪽 전극은 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 회로에 전기적으로 접속되는 표시 장치이다.

[0014] 제 1 회로 및 제 2 회로는 제 5 트랜지스터와, 제 2 커패시터와, 표시 디바이스로서 발광 디바이스를 갖고, 제 5 트랜지스터의 게이트는 제 3 트랜지스터 또는 제 4 트랜지스터에 전기적으로 접속되고, 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 발광 디바이스의 한쪽 전극에 전기적으로 접속되고, 발광 디바이스의 한쪽 전극은 제 2 커패시터의 한쪽 전극에 전기적으로 접속되고, 제 2 커패시터의 다른 쪽 전극은 제 5 트랜지스터의 게이트에 전기적으로 접속되는 구성으로 할 수 있다.

[0015] 제 1 회로 및 제 2 회로는 표시 디바이스로서 액정 디바이스를 갖고, 액정 디바이스의 한쪽 전극은 제 3 트랜지스터 또는 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된 구성으로 할 수 있다. 또한 제 3 커패시터를 갖고, 제 3 커패시터의 한쪽 전극은 액정 디바이스의 한쪽 전극에 전기적으로 접속되어도 좋다.

[0016] 제 1 커패시터는 제 5 커패시터 및 제 6 커패시터를 갖고, 상기 제 5 커패시터 및 제 6 커패시터는 병렬로 접속되어도 좋다.

[0017] 제 1 화소 회로 및 제 2 화소 회로가 갖는 트랜지스터는 채널 형성 영역에 금속 산화물을 포함하고, 금속 산화물은 In과, Zn과, M(M은 Al, Ti, Ga, Ge, Sn, Y, Zr, La, Ce, Nd, 또는 Hf)을 포함하는 것이 바람직하다.

발명의 효과

[0018] 본 발명의 일 형태를 사용함으로써, 고전압을 표시 디바이스에 공급할 수 있는 표시 장치를 제공할 수 있다. 또는 소스 드라이버의 출력 전압 이상의 전압을 표시 디바이스에 공급할 수 있는 표시 장치를 제공할 수 있다. 또는 표시 화상의 휘도를 높일 수 있는 표시 장치를 제공할 수 있다. 또는 화소의 개구율을 높일 수 있는 표시 장치를 제공할 수 있다.

[0019] 또는 저소비전력의 표시 장치를 제공할 수 있다. 또는 신뢰성이 높은 표시 장치를 제공할 수 있다. 또는 신규 표시 장치 등을 제공할 수 있다. 또는 상기 표시 장치의 동작 방법을 제공할 수 있다. 또는 신규 반도체 장치

등을 제공할 수 있다.

도면의 간단한 설명

[0020] 도 1은 표시 장치를 설명하는 도면이다.

도 2는 화소 회로를 설명하는 도면이다.

도 3은 화소 회로를 설명하는 도면이다.

도 4는 화소 회로의 동작을 설명하는 타이밍 차트이다.

도 5의 (A) 내지 (D)는 회로를 설명하는 도면이다.

도 6의 (A) 내지 (D)는 회로를 설명하는 도면이다.

도 7은 화소 회로를 설명하는 도면이다.

도 8의 (A)는 시뮬레이션에 사용하는 화소 회로를 설명하는 도면이다. 도 8의 (B)는 화소 회로의 동작을 설명하는 타이밍 차트이다.

도 9는 시뮬레이션의 결과를 설명하는 도면이다.

도 10의 (A) 내지 (C)는 표시 장치를 설명하는 도면이다.

도 11의 (A), (B)는 터치 패널을 설명하는 도면이다.

도 12의 (A), (B)는 표시 장치를 설명하는 도면이다.

도 13은 표시 장치를 설명하는 도면이다.

도 14의 (A), (B)는 표시 장치를 설명하는 도면이다.

도 15의 (A), (B)는 표시 장치를 설명하는 도면이다.

도 16의 (A) 내지 (E)는 표시 장치를 설명하는 도면이다.

도 17의 (A1) 내지 (C2)는 트랜지스터를 설명하는 도면이다.

도 18의 (A1) 내지 (C2)는 트랜지스터를 설명하는 도면이다.

도 19의 (A1) 내지 (C2)는 트랜지스터를 설명하는 도면이다.

도 20의 (A1) 내지 (C2)는 트랜지스터를 설명하는 도면이다.

도 21의 (A) 내지 (F)는 전자 기기를 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0021] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어나지 않고 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한 이하에서 설명하는 발명의 구성에서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 다른 도면 간에서 공통적으로 사용하고, 그 반복되는 설명은 생략하는 경우가 있다. 또한 도면을 구성하는 같은 요소의 해칭을 다른 도면 간에서 적절히 생략하거나 또는 변경하는 경우도 있다.

[0022] 또한 회로도에서는 단일의 요소로서 도시된 경우에도, 기능적으로 문제가 없으면 상기 요소는 복수로 구성되어도 좋다. 예를 들어 스위치로서 동작하는 트랜지스터는 복수가 직렬 또는 병렬로 접속되어도 좋은 경우가 있다. 또한 커패시터(용량 소자라고도 함)를 분할하여 복수의 위치에 배치하여도 좋은 경우가 있다.

[0023] 또한 하나의 도전체가 배선, 전극, 및 단자 등의 복수의 기능을 갖는 경우가 있고, 본 명세서에서는 동일한 요소에 대하여 복수의 호칭을 사용하는 경우가 있다. 또한 회로도에서 요소 간이 직접 접속되어 도시되더라도, 실제로는 상기 요소 간이 복수의 도전체를 통하여 접속되는 경우가 있고, 본 명세서에서는 이러한 구성도 직접 접속의 범주에 포함한다.

[0024] (실시형태 1)

[0025] 본 실시형태에서는 본 발명의 일 형태인 표시 장치에 대하여 도면을 참조하여 설명한다.

[0026] 본 발명의 일 형태는 데이터를 가산하는 기능을 갖는 화소가 제공된 표시 장치이다. 상기 화소는 제 1 데이터를 유지하는 기능을 갖고, 제 1 데이터에 제 2 데이터를 가산하여 제 3 데이터를 생성하고, 제 3 데이터를 표시 디바이스에 공급하는 기능을 갖는다. 따라서 소스 드라이버의 출력 전압 이상의 전압을 표시 디바이스에 공급할 수 있다.

[0027] 데이터의 가산에는 커패시터에 의한 용량 결합을 사용한다. 본 발명의 일 형태에서는, 수직 방향(소스선이 연장되는 방향)의 2개의 화소가 상기 커패시터를 포함하는 요소를 공유하기 때문에, 상기 커패시터에 화소 2개분의 설치 면적을 제공할 수 있어, 용량값을 높일 수 있다. 따라서 용량 결합에 의한 데이터의 가산을 효율적으로 수행할 수 있다.

[0028] 도 1은 본 발명의 일 형태의 표시 장치를 설명하는 도면이다. 표시 장치는 소스 드라이버(14)와, 게이트 드라이버(15a, 15b)와, 화소 어레이(16)를 갖는다. 화소 어레이(16)는 열 방향 및 행 방향으로 배치된 화소(11) 및 화소(12)를 갖는다.

[0029] 소스 드라이버(14)는 화소(11) 및 화소(12)에 전기적으로 접속된다. 게이트 드라이버(15a)는 예를 들어 화소(11)에 전기적으로 접속될 수 있다. 게이트 드라이버(15b)는 예를 들어 화소(12)에 전기적으로 접속될 수 있다. 또한 게이트 드라이버(15a, 15b)는 상기 접속 형태에 한정되지 않고, 화소(11) 및 화소(12)가 갖는 트랜지스터와의 접속 형태는 임의의 것으로 할 수 있다. 또한 게이트 드라이버가 화소 어레이(16)를 개재(介在)하여 대향하도록 2개 제공된 예를 나타내었지만, 하나의 게이트 드라이버에 의하여 화소(11) 및 화소(12)를 구동시켜도 좋다.

[0030] 화소(11) 및 화소(12)는 수직 방향(소스선이 연장되는 방향)으로 인접하여 제공된다. 화소(11) 및 화소(12)는 같은 회로 구성을 갖고, 서로 공유하는 회로(13)를 갖는다.

[0031] 화소(11) 및 화소(12)는 각각 공급된 데이터를 가산하는 기능을 갖는다. 상기 가산 동작은 회로(13)에서 수행할 수 있다.

[0032] 화소(11) 및 화소(12)의 구체적인 예를 도 2에 나타내었다. 화소(11)는 트랜지스터(101)와, 트랜지스터(102)와, 트랜지스터(103)와, 커패시터(105)와, 회로(110)를 갖는다. 화소(12)는 트랜지스터(101)와, 트랜지스터(102)와, 트랜지스터(104)와, 커패시터(105)와, 회로(110)를 갖는다. 또한 회로(110)는 트랜지스터, 커패시터, 및 표시 디바이스 등을 갖는 구성으로 할 수 있고, 각 화소에 제공된다.

[0033] 트랜지스터(101)의 소스 및 드레인 중 한쪽은 커패시터(105)의 한쪽 전극에 전기적으로 접속된다. 커패시터(105)의 한쪽 전극은 트랜지스터(103)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(103)의 소스 및 드레인 중 다른 쪽은 화소(11)의 회로(110)에 전기적으로 접속된다. 커패시터(105)의 다른 쪽 전극은 트랜지스터(102)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(102)의 소스 및 드레인 중 한쪽은 트랜지스터(104)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(104)의 소스 및 드레인 중 다른 쪽은 화소(12)의 회로(110)에 전기적으로 접속된다.

[0034] 화소(11) 및 화소(12)가 갖는 요소와 각종 배선의 접속에 대하여 설명한다. 트랜지스터(101)의 게이트는 배선(121)에 전기적으로 접속된다. 트랜지스터(102)의 게이트는 배선(123)에 전기적으로 접속된다. 트랜지스터(103)의 게이트는 배선(122)에 전기적으로 접속된다. 트랜지스터(104)의 게이트는 배선(124)에 전기적으로 접속된다.

[0035] 트랜지스터(101)의 소스 및 드레인 중 다른 쪽은 배선(125)에 전기적으로 접속된다. 트랜지스터(102)의 소스 및 드레인 중 다른 쪽은 배선(126)에 전기적으로 접속된다.

[0036] 배선(121, 122, 123, 124)은 게이트선으로서의 기능을 갖고, 게이트 드라이버(15a) 또는 게이트 드라이버(15b)에 전기적으로 접속될 수 있다. 배선(125, 126)은 소스선으로서의 기능을 갖고, 소스 드라이버(14)에 전기적으로 접속될 수 있다(도 1 참조).

[0037] 여기서, 트랜지스터(101)의 소스 및 드레인 중 한쪽과, 커패시터(105)의 한쪽 전극과, 트랜지스터(103)의 소스 및 드레인 중 한쪽을 접속하는 배선을 노드(NM_{11})라고 한다. 트랜지스터(102)의 소스 및 드레인 중 한쪽과, 커패시터(105)의 다른 쪽 전극과, 트랜지스터(104)의 소스 및 드레인 중 한쪽을 접속하는 배선을 노드(NM_{12})라고

한다. 또한 트랜지스터(103)와 회로(110)를 접속하는 배선을 노드(NA_{11})라고 한다. 트랜지스터(104)와 회로(110)를 접속하는 배선을 노드(NA_{12})라고 한다.

[0038] 노드(NA_{11}) 및 노드(NA_{12})는 플로팅으로 할 수 있고, 회로(110)가 갖는 표시 디바이스는 노드(NA_{11}) 또는 노드(NA_{12})의 전위에 따라 동작한다.

[0039] 트랜지스터(101), 트랜지스터(102), 및 커패시터(105)는 화소(11) 및 화소(12)가 공유하는 회로(13)에 상당한다. 회로(13)는 데이터를 가산하는 기능을 갖는다. 화소(11)에서는, 노드(NM_{11})에 기록되는 제 1 데이터와, 노드(NM_{12})에 기록되는 제 2 데이터의 용량 결합에 의하여, 노드(NM_{11})에서 제 3 데이터가 생성된다. 또한 화소(12)에서는, 노드(NM_{12})에 기록되는 제 1 데이터와, 노드(NM_{11})에 기록되는 제 2 데이터의 용량 결합에 의하여, 노드(NM_{12})에서 제 3 데이터가 생성된다.

[0040] 화소(11) 및 화소(12)는 커패시터(105)를 공유하기 때문에, 화소마다 커패시터를 제공하여 하나의 회로를 구성하는 경우보다 커패시터의 설치 면적을 넓게 할 수 있다. 즉, 커패시터(105)의 전극 면적을 크게 할 수 있어, 용량값을 높일 수 있다.

[0041] 화소(11)에서는 먼저 노드(NM_{11})에 제 1 데이터(가중치: W)를 기록한다. 이때, 노드(NM_{12})에는 기준 전위 "V_{ref}"를 공급하고, 커패시터(105)에 의하여 전위 "$W-V_{ref}$"를 유지하게 한다. 다음으로, 노드(NM_{11})를 플로팅으로 하고, 노드(NM_{12})에 제 2 데이터(데이터: D)를 공급한다.

[0042] 이때, 커패시터(105)의 용량값을 C_{105}로 하고, 노드(NM_{11})의 용량값(노드(NA_{11})의 용량값을 포함함)을 C_{NM11}로 하면, 노드(NM_{11})의 전위는 $W+(C_{105}/(C_{105}+C_{NM11}))\times(D-V_{ref})$가 된다. 여기서, C_{105}의 값을 크게 하고, C_{NM11}의 값을 무시할 수 있게 되면, 노드(NM_{11})의 전위는 "$W+D-V_{ref}$"가 된다. 본 발명의 일 형태에서는, 상술한 바와 같이 커패시터(105)의 전극 면적을 크게 하여 용량값(C_{105})을 높일 수 있기 때문에, 데이터의 가산을 효율적으로 수행할 수 있다.

[0043] 따라서 "W"="D", "V_{ref}"=0V이고, C_{105}가 C_{NM11}에 비하여 충분히 크면, 노드(NM_{11})의 전위는 "2D"에 가까워진다. 즉, 소스 드라이버(14)의 출력의 약 2배의 전위가 되는 제 3 데이터("2D")를 노드(NM_{11})에 공급할 수 있다.

[0044] 화소(12)에서는 먼저 노드(NM_{12})에 제 1 데이터(가중치: W)를 기록한다. 이때, 노드(NM_{11})에는 기준 전위 "V_{ref}"를 공급하고, 커패시터(105)에 의하여 "$W-V_{ref}$"를 유지하게 한다. 다음으로, 노드(NM_{12})를 플로팅으로 하고, 노드(NM_{11})에 제 2 데이터(데이터: D)를 공급한다.

[0045] 이때, 커패시터(105)의 용량값을 C_{105}로 하고, 노드(NM_{12})의 용량값(노드(NA_{12})의 용량값을 포함함)을 C_{NM12}로 하면, 노드(NM_{12})의 전위는 $W+(C_{105}/(C_{105}+C_{NM12}))\times(D-V_{ref})$가 된다. 여기서, C_{105}의 값을 크게 하고, C_{NM12}의 값을 무시할 수 있게 되면, 노드(NM_{12})의 전위는 "$W+D-V_{ref}$"가 된다.

[0046] 따라서 "W"="D", "V_{ref}"=0V이고, C_{105}가 C_{NM12}에 비하여 충분히 크면, 노드(NM_{12})의 전위는 "2D"에 가까워진다.

[0047] 또한 화소(11, 12) 모두에서 "V_{ref}"가 "-W" 또는 "-D"이고, "-W"="-D"이면, 노드(NM_{11})의 전위는 "3D"에 가깝게 할 수 있다.

[0048] 상기 작용에 의하여, 범용 드라이버 IC를 사용하여도 높은 전압을 생성할 수 있다. 예를 들어 계조 제어에 높은 전압이 요구되는 액정 디바이스 등을 구동시킬 수 있다. 또는 일반적인 액정 디바이스나 발광 디바이스 등을 구동하기 위하여 소스 드라이버(14)로부터 공급되는 전압을 약 1/2 또는 약 1/3로 할 수 있기 때문에, 표시 장치의 소비전력을 저감할 수 있다.

[0049] 노드(NM_{11}), 노드(NM_{12}), 노드(NA_{11}), 노드(NA_{12})는 기억 노드로서 작용한다. 각 노드에 접속되는 트랜지스터를 도통시킴으로써, 데이터를 각 노드에 기록할 수 있다. 또한 상기 트랜지스터를 비도통으로 함으로써, 상기 데이터를 각 노드에서 유지할 수 있다. 상기 트랜지스터로서 오프 전류가 매우 낮은 트랜지스터를 사용함으로써, 누설 전류를 억제할 수 있고, 각 노드의 전위를 장시간 유지할 수 있다. 상기 트랜지스터로서는, 예를 들어 금

속 산화물을 채널 형성 영역에 사용한 트랜지스터(이하, OS 트랜지스터)를 사용할 수 있다.

[0050] 구체적으로는 트랜지스터(101, 102, 103, 104) 중 어느 것 또는 모두로서 OS 트랜지스터를 적용하는 것이 바람직하다. 또한 회로(110)가 갖는 요소에 OS 트랜지스터를 적용하여도 좋다. 또한 누설 전류량의 허용 범위에서 동작을 수행하는 경우에는 Si을 채널 형성 영역에 포함하는 트랜지스터(이하, Si 트랜지스터)를 적용하여도 좋다. 또는 OS 트랜지스터 및 Si 트랜지스터를 병용하여도 좋다. 또한 상기 Si 트랜지스터로서는 비정질 실리콘을 포함하는 트랜지스터, 결정성 실리콘(미결정 실리콘, 저온 폴리실리콘, 단결정 실리콘)을 포함하는 트랜지스터 등을 들 수 있다.

[0051] OS 트랜지스터에 사용하는 반도체 재료로서는 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상인 금속 산화물을 사용할 수 있다. 대표적으로는 인듐을 포함하는 산화물 반도체 등이고, 예를 들어 후술하는 CAAC-OS 또는 CAC-OS 등을 사용할 수 있다. CAAC-OS는 결정을 구성하는 원자가 안정적이고, 신뢰성을 중시하는 트랜지스터 등에 적합하다. 또한 CAC-OS는 이동도 특성이 높기 때문에, 고속 구동을 수행하는 트랜지스터 등에 적합하다.

[0052] OS 트랜지스터는 반도체층의 에너지 갭이 크기 때문에, 수yA/μm(채널 폭 1μm당 전류값)로 매우 낮은 오프 전류 특성을 나타낸다. 또한 OS 트랜지스터는 충격 이온화, 애벌란시(avalanche) 항복, 및 단채널 효과 등이 발생하지 않는다는 등 Si 트랜지스터와는 다른 특징을 갖기 때문에, 내압이 높고 신뢰성이 높은 회로를 형성할 수 있다. 또한 Si 트랜지스터에서 문제가 되는 결정성의 불균일로 인한 전기 특성의 편차도 OS 트랜지스터에서는 일어나기 어렵다.

[0053] OS 트랜지스터가 갖는 반도체층은, 예를 들어 인듐, 아연, 및 M(알루미늄, 타이타늄, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 세륨, 주석, 네오디뮴, 또는 하프늄 등의 금속)을 포함하는 In-M-Zn계 산화물로 표기되는 막으로 할 수 있다. In-M-Zn계 산화물은 대표적으로 스퍼터링법에 의하여 형성할 수 있다. 또는 ALD(Atomic layer deposition)법을 사용하여 형성하여도 좋다.

[0054] In-M-Zn계 산화물을 스퍼터링법에 의하여 형성하는 데 사용되는 스퍼터링 타깃의 금속 원소의 원자수비는 In≥M, Zn≥M을 만족시키는 것이 바람직하다. 이와 같은 스퍼터링 타깃의 금속 원소의 원자수비로서는 In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=3:1:2, In:M:Zn=4:2:3, In:M:Zn=4:2:4.1, In:M:Zn=5:1:6, In:M:Zn=5:1:7, In:M:Zn=5:1:8 등이 바람직하다. 또한 성막되는 반도체층의 원자수비는 각각 상기 스퍼터링 타깃에 포함되는 금속 원소의 원자수비의 ±40%의 변동을 포함한다.

[0055] 반도체층에는 캐리어 밀도가 낮은 산화물 반도체를 사용한다. 예를 들어 반도체층에는 캐리어 밀도가 $1\times10^{17}/cm^3$ 이하, 바람직하게는 $1\times10^{15}/cm^3$ 이하, 더 바람직하게는 $1\times10^{13}/cm^3$ 이하, 더욱 바람직하게는 $1\times10^{11}/cm^3$ 이하, 더욱더 바람직하게는 $1\times10^{10}/cm^3$ 미만이고 $1\times10^{-9}/cm^3$ 이상인 산화물 반도체를 사용할 수 있다. 이와 같은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 한다. 상기 산화물 반도체는 결함 준위 밀도가 낮고, 안정된 특성을 갖는 산화물 반도체라고 할 수 있다.

[0056] 또한 이들에 한정되지 않고, 필요로 하는 트랜지스터의 반도체 특성 및 전기 특성(전계 효과 이동도, 문턱 전압 등)에 따라 적절한 조성의 산화물 반도체를 사용하면 좋다. 또한 필요로 하는 트랜지스터의 반도체 특성을 얻기 위하여, 반도체층의 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자 간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

[0057] 반도체층을 구성하는 산화물 반도체에 14족 원소의 하나인 실리콘이나 탄소가 포함되면, 산소 결손이 증가되어 n형화된다. 그러므로 반도체층에서의 실리콘이나 탄소의 농도(이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 농도)를 $2\times10^{18}atoms/cm^3$ 이하, 바람직하게는 $2\times10^{17}atoms/cm^3$ 이하로 한다.

[0058] 또한 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합되면 캐리어를 생성하는 경우가 있어, 트랜지스터의 오프 전류가 증대되는 경우가 있다. 그러므로 반도체층에서의 알칼리 금속 또는 알칼리 토금속의 농도(SIMS에 의하여 얻어지는 농도)를 $1\times10^{18}atoms/cm^3$ 이하, 바람직하게는 $2\times10^{16}atoms/cm^3$ 이하로 한다.

[0059] 또한 반도체층을 구성하는 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 밀도가 증가되므로 n형화되기 쉽다. 이 결과, 질소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 갖기 쉽다. 그러므로 반도체층에서의 질소 농도(SIMS에 의하여 얻어지는 농도)는 $5\times10^{18}atoms/cm^3$ 이하로 하는 것이

바람직하다.

[0060] 또한 반도체층을 구성하는 산화물 반도체에 수소가 포함되면, 금속 원자와 결합되는 산소와 반응하여 물이 되기 때문에, 산화물 반도체 내에 산소 결손을 형성하는 경우가 있다. 산화물 반도체 내의 채널 형성 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성을 갖는 경우가 있다. 또한 산소 결손에 수소가 들어간 결함은 도너로서 기능하고, 캐리어인 전자를 생성하는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합되는 산소와 결합되어 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소를 많이 포함하는 산화물 반도체를 사용한 트랜지스터는, 노멀리 온 특성을 갖기 쉽다.

[0061] 산소 결손에 수소가 들어간 결함은 산화물 반도체의 도너로서 기능할 수 있다. 그러나 상기 결함을 정량적으로 평가하는 것은 어렵다. 그래서 산화물 반도체는 도너 농도가 아니라 캐리어 농도로 평가되는 경우가 있다. 따라서 본 명세서 등에서는 산화물 반도체의 파라미터로서, 도너 농도 대신에 전계가 인가되지 않는 상태를 상정한 캐리어 농도를 사용하는 경우가 있다. 즉, 본 명세서 등에 기재되는 "캐리어 농도"는 "도너 농도"라고 바꿔 말할 수 있는 경우가 있다.

[0062] 그러므로 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는 SIMS에 의하여 얻어지는 산화물 반도체의 수소 농도를 1×10^{20}atoms/cm^3 미만, 바람직하게는 1×10^{19}atoms/cm^3 미만, 더 바람직하게는 5×10^{18}atoms/cm^3 미만, 더욱 바람직하게는 1×10^{18}atoms/cm^3 미만으로 한다. 수소 등의 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

[0063] 또한 반도체층은 예를 들어 비단결정 구조를 가져도 좋다. 비단결정 구조에는 예를 들어 c축 배향된 결정을 갖는 CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor), 다결정 구조, 미결정 구조, 또는 비정질 구조가 포함된다. 비단결정 구조에서 비정질 구조는 결함 준위 밀도가 가장 높고, CAAC-OS는 결함 준위 밀도가 가장 낮다.

[0064] 비정질 구조를 갖는 산화물 반도체막은 예를 들어 원자 배열이 무질서하고 결정 성분을 갖지 않는다. 또는 비정질 구조를 갖는 산화물막은 예를 들어 완전한 비정질 구조이고 결정부를 갖지 않는다.

[0065] 또한 반도체층은 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역 중 2개 이상을 갖는 혼합막이어도 좋다. 혼합막은 예를 들어 상술한 영역 중 어느 2개 이상을 갖는 단층 구조 또는 적층 구조를 갖는 경우가 있다.

[0066] 이하에서는, 비단결정의 반도체층의 일 형태인 CAC(Cloud-Aligned Composite)-OS의 구성에 대하여 설명한다.

[0067] CAC-OS란, 예를 들어 산화물 반도체를 구성하는 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 그 근방의 크기로 편재(偏在)된 재료의 한 구성을 말한다. 또한 이하에서는 산화물 반도체에서 하나 또는 그 이상의 금속 원소가 편재되고, 상기 금속 원소를 포함하는 영역이 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 그 근방의 크기로 혼합된 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.

[0068] 또한 산화물 반도체는 적어도 인듐을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.

[0069] 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS(CAC-OS 중에서도 In-Ga-Zn 산화물을 특히 CAC-IGZO라고 하여도 좋음)란, 인듐 산화물(이하, InO_{X1}(X1은 0보다 큰 실수(實數))로 함) 또는 인듐 아연 산화물(이하, $In_{X2}Zn_{Y2}O_{Z2}$(X2, Y2, 및 Z2는 0보다 큰 실수)로 함)과, 갈륨 산화물(이하, GaO_{X3}(X3은 0보다 큰 실수)으로 함) 또는 갈륨 아연 산화물(이하, $Ga_{X4}Zn_{Y4}O_{Z4}$(X4, Y4, 및 Z4는 0보다 큰 실수)로 함) 등으로 재료가 분리함으로써 모자이크 패턴이 되고, 모자이크 패턴의 InO_{X1} 또는 $In_{X2}Zn_{Y2}O_{Z2}$가 막 내에 균일하게 분포된 구성(이하, 클라우드상(cloud-like)이라고도 함)을 말한다.

[0070] 즉, CAC-OS는 GaO_{X3}이 주성분인 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역이 혼합된 구성을 갖는 복합 산화물 반도체이다. 또한 본 명세서에서 예를 들어 제 1 영역의 원소 M에 대한 In의 원자수비가, 제 2 영역의 원소 M에 대한 In의 원자수비보다 큰 것을 "제 1 영역은 제 2 영역과 비교하여 In의 농도가 높다"라고 한다.

[0071] 또한 IGZO는 통칭이며, In, Ga, Zn, 및 O로 이루어지는 하나의 화합물을 말하는 경우가 있다. 대표적인 예로서

는, $InGaO_3(ZnO)_{m1}$(m1은 자연수) 또는 $In_{(1+x0)}Ga_{(1-x0)}O_3(ZnO)_{m0}$(-1≤x0≤1, m0은 임의의 수)으로 나타내어지는 결정성 화합물을 들 수 있다.

[0072] 상기 결정성 화합물은 단결정 구조, 다결정 구조, 또는 CAAC 구조를 갖는다. 또한 CAAC 구조란, 복수의 IGZO의 나노 결정이 c축 배향을 갖고, 또한 a-b면에서는 배향하지 않고 연결된 결정 구조를 말한다.

[0073] 한편, CAC-OS는 산화물 반도체의 재료 구성에 관한 것이다. CAC-OS란, In, Ga, Zn, 및 O를 포함하는 재료 구성에서, Ga을 주성분으로 하는 나노 입자상의 영역이 일부에서 관찰되고, In을 주성분으로 하는 나노 입자상의 영역이 일부에서 관찰되고, 각각이 모자이크 패턴으로 무작위로 분산된 구성을 말한다. 따라서 CAC-OS에서 결정 구조는 부차적인 요소이다.

[0074] 또한 CAC-OS는 조성이 다른 2종류 이상의 막의 적층 구조를 포함하지 않는 것으로 한다. 예를 들어 In을 주성분으로 하는 막과, Ga을 주성분으로 하는 막의 2층으로 이루어지는 구조는 포함하지 않는다.

[0075] 또한 GaO_{X3}이 주성분인 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역 사이에서는 명확한 경계가 관찰되지 않는 경우가 있다.

[0076] 또한 갈륨 대신에 알루미늄, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중에서 선택된 1종류 또는 복수 종류가 포함되는 경우, CAC-OS란, 상기 금속 원소를 주성분으로 하는 나노 입자상의 영역이 일부에서 관찰되고, In을 주성분으로 하는 나노 입자상의 영역이 일부에서 관찰되고, 각각이 모자이크 패턴으로 무작위로 분산된 구성을 말한다.

[0077] CAC-OS는 예를 들어 기판을 의도적으로 가열하지 않는 조건에서 스퍼터링법에 의하여 형성할 수 있다. 또한 CAC-OS를 스퍼터링법에 의하여 형성하는 경우, 성막 가스로서 불활성 가스(대표적으로는 아르곤), 산소 가스, 및 질소 가스 중에서 선택된 어느 하나 또는 복수를 사용하면 좋다. 또한 성막 시의 성막 가스의 총유량에 대한 산소 가스의 유량비는 낮을수록 바람직하고, 예를 들어 산소 가스의 유량비를 0% 이상 30% 미만, 바람직하게는 0% 이상 10% 이하로 하는 것이 바람직하다.

[0078] CAC-OS는 X선 회절(XRD: X-ray diffraction) 측정법의 하나인 Out-of-plane법에 의한 θ/2θ 스캔을 사용하여 측정하였을 때, 명확한 피크가 관찰되지 않는다는 특징을 갖는다. 즉, X선 회절 측정으로부터 측정 영역의 a-b면 방향 및 c축 방향의 배향이 보이지 않는다는 것을 알 수 있다.

[0079] 또한 CAC-OS는, 프로브 직경이 1nm인 전자선(나노 빔 전자선이라고도 함)을 조사함으로써 얻어지는 전자선 회절 패턴에서, 링 형상으로 휘도가 높은 영역(링 영역)과 상기 링 영역에서의 복수의 휘점이 관측된다. 따라서 전자선 회절 패턴으로부터 CAC-OS의 결정 구조가 평면 방향 및 단면 방향에서 배향성을 갖지 않는 nc(nano-crystal) 구조를 갖는다는 것을 알 수 있다.

[0080] 또한 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS는, 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 매핑으로부터, GaO_{X3}이 주성분인 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역이 편재되고 혼합된 구조를 갖는다는 것을 확인할 수 있다.

[0081] CAC-OS는 금속 원소가 균일하게 분포된 IGZO 화합물과는 다른 구조이고, IGZO 화합물과는 다른 성질을 갖는다. 즉, CAC-OS는 GaO_{X3} 등이 주성분인 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역으로 서로 상분리(相分離)되어, 각 원소를 주성분으로 하는 영역이 모자이크 패턴인 구조를 갖는다.

[0082] 여기서, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역은 GaO_{X3} 등이 주성분인 영역과 비교하여 도전성이 높다. 즉, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역을 캐리어가 흐름으로써, 산화물 반도체로서의 도전성이 나타난다. 따라서 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역이 산화물 반도체 내에 클라우드상으로 분포됨으로써, 높은 전계 효과 이동도(μ)를 실현할 수 있다.

[0083] 한편, GaO_{X3} 등이 주성분인 영역은 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역과 비교하여 절연성이 높다. 즉, GaO_{X3} 등이 주성분인 영역이 산화물 반도체 내에 분포됨으로써, 누설 전류를 억제하고 양호한 스위칭 동작을 실현할 수 있다.

[0084] 따라서 CAC-OS를 반도체 디바이스에 사용한 경우, GaO_{X3} 등에 기인하는 절연성과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}에 기인

하는 도전성이 상보적으로 작용함으로써, 높은 온 전류(I_{on}) 및 높은 전계 효과 이동도(μ)를 실현할 수 있다.

[0085] 또한 CAC-OS를 사용한 반도체 디바이스는 신뢰성이 높다. 따라서 CAC-OS는 다양한 반도체 장치의 구성 재료로서 적합하다.

[0086] 또한 본 발명의 일 형태의 화소 회로에서는, 복수의 커패시터를 병렬로 접속하여 커패시터(105)를 구성하여도 좋다. 예를 들어 도 3에 나타낸 바와 같이, 게이트 배선(배선(123, 125))을 브리지하는 배선을 사용하여 2개의 커패시터를 병렬로 접속하는 구성으로 할 수 있다. 상기 구성으로 함으로써, 게이트 배선을 분산시켜 설치할 수 있기 때문에, 특히 고정세(高精細)한 소형 패널 등의 표시 품질을 향상시킬 수 있다. 또한 배선 폭에 대하여 화소 크기가 충분히 큰 대형 패널에서는, 도 1 및 도 2에 나타낸 바와 같이, 게이트 배선이 화소 사이에 모여 배치되어도 높은 표시 품질을 얻을 수 있다.

[0087] 다음으로, 도 4에 나타낸 타이밍 차트를 사용하여, 화소(11) 및 화소(12)의 동작에 의하여 소스 드라이버가 출력하는 데이터 전위의 약 2배의 데이터 전위를 표시 디바이스에 공급하는 방법에 대하여 설명한다.

[0088] 또한 이하의 설명에서는 고전위를 "H"로, 저전위를 "L"로 나타낸다. 또한 화소(11)에 공급하는 가중치를 "W1", 화상 데이터를 "D1", 화소(12)에 공급하는 가중치를 "W2", 화상 데이터를 "D2"로 한다. "V_{ref}"로서는 예를 들어 0V, GND 전위, 또는 특정의 기준 전위를 사용할 수 있다.

[0089] 또한 여기서는 전위의 분배, 결합, 또는 손실에서 회로의 구성이나 동작 타이밍 등에 기인하는 자세한 변화는 감안하지 않는다. 또한 커패시터를 사용한 용량 결합에 의한 전위 변화는 상기 커패시터와, 접속되는 요소의 용량비에 의존하지만, 명료하게 설명하기 위하여, 노드(NM_{11}), 노드(NM_{12}), 노드(NA_{11}), 및 노드(NA_{12})의 용량값은 충분히 작은 값으로 가정한다.

[0090] 시각 T1에 배선(125)에 "W1"을 공급하고, 배선(126)에 "V_{ref}"를 공급하고, 배선(121)의 전위를 "H"로, 배선(122)의 전위를 "H"로, 123의 전위를 "H"로, 배선(124)의 전위를 "L"로 하면, 트랜지스터(102)가 도통되고, 노드(NM_{12})의 전위는 "V_{ref}"가 된다. 상기 동작은 추후의 가산 동작(용량 결합 동작)을 수행하기 위한 리셋 동작이다.

[0091] 또한 트랜지스터(101, 103)가 도통되고, 노드(NM_{11}) 및 노드(NA_{11})에 배선(125)의 전위가 기록된다. 상기 동작은 화소(11)에서의 가중치의 기록 동작이고, 노드(NM_{11}) 및 노드(NA_{11})의 전위는 "W1"이 된다.

[0092] 시각 T2에 배선(121)의 전위를 "L"로, 배선(122)의 전위를 "H"로, 배선(123)의 전위를 "H"로, 배선(124)의 전위를 "L"로 하면, 트랜지스터(101)가 비도통이 된다. 이때, 노드(NM_{11}) 및 노드(NA_{11})에 "W1"이 유지된다. 또한 커패시터(105)에는 "W1-V_{ref}"가 유지된다.

[0093] 또한 배선(126)에 "D1"이 공급되면, 노드(NM_{12})의 전위는 "D1"이 되고, 커패시터(105)와 노드(NM_{11})+노드(NA_{11})의 용량비에 따른 "(D1-V_{ref})'"가 노드(NM_{11}) 및 노드(NA_{11})에 부가된다. 상기 동작은 화소(11)에서의 가산 동작이고, 노드(NM_{11}) 및 노드(NA_{11})의 전위는 "W1+(D1-V_{ref})'"가 된다. 이때, "V_{ref}"=0이면, 노드(NM_{11}) 및 노드(NA_{11})의 전위는 "W1+D1'"이 된다. 노드(NA_{11})의 전위는 표시 디바이스에 공급되고, 표시가 수행된다.

[0094] 여기서, W1=D1이고, 노드(NM_{11}) 및 노드(NA_{11})의 용량이 커패시터(105)의 용량보다 충분히 작은 경우에는, "W1+D1'"은 "2D1"에 가까운 값이 된다. 따라서 소스 드라이버가 출력하는 데이터 전위의 약 2배의 데이터 전위를 표시 디바이스에 공급할 수 있다.

[0095] 시각 T3에 배선(122)의 전위를 "L"로 하면, 트랜지스터(103)는 비도통이 되고, 노드(NA_{11})의 전위는 유지되고, 다음 프레임의 동작까지 표시가 계속된다. 여기까지가 화소(11)의 동작에 대한 설명이다.

[0096] 또한 시각 T3에 배선(125)에 "V_{ref}"를 공급하고, 배선(126)에 "W2"를 공급하고, 배선(121)의 전위를 "H"로, 123의 전위를 "H"로, 배선(124)의 전위를 "H"로 하면, 트랜지스터(101)가 도통되고, 노드(NM_{11})의 전위는 "V_{ref}"가 된다. 상기 동작은 추후의 가산 동작(용량 결합 동작)을 수행하기 위한 리셋 동작이다.

[0097] 또한 트랜지스터(102, 104)가 도통되고, 노드(NM_{12}) 및 노드(NA_{12})에 배선(126)의 전위가 기록된다. 상기 동작

은 화소(12)에서의 가중치의 기록 동작이고, 노드(NM_{12}) 및 노드(NA_{12})의 전위는 "W2"가 된다.

[0098] 시각 T4에 배선(121)의 전위를 "H"로, 배선(122)의 전위를 "L"로, 배선(123)의 전위를 "L"로, 배선(124)의 전위를 "H"로 하면, 트랜지스터(102)가 비도통이 된다. 이때, 노드(NM_{12}) 및 노드(NA_{12})에 "W2"가 유지된다. 또한 커패시터(105)에는 "W2-V_{ref}"가 유지된다.

[0099] 또한 배선(125)에 "D2"가 공급되면, 노드(NM_{11})의 전위는 "D2"가 되고, 커패시터(105)와 노드(NM_{12})+노드(NA_{12})의 용량비에 따른 "(D2-V_{ref})'"가 노드(NM_{12}) 및 노드(NA_{12})에 부가된다. 상기 동작은 화소(12)에서의 가산 동작이고, 노드(NM_{12}) 및 노드(NA_{12})의 전위는 "W2+(D2-V_{ref})'"가 된다. 이때, "V_{ref}"=0이면, 노드(NM_{12}) 및 노드(NA_{12})의 전위는 "W2+D2'"가 된다. 노드(NA_{12})의 전위는 표시 디바이스에 공급되고, 표시가 수행된다.

[0100] 여기서, W1=D1이고, 노드(NM_{12}) 및 노드(NA_{12})의 용량이 커패시터(105)의 용량보다 충분히 작은 경우에는, "W2+D2'"는 "2D2"에 가까운 값이 된다. 따라서 소스 드라이버가 출력하는 데이터 전위의 약 2배의 데이터 전위를 표시 디바이스에 공급할 수 있다.

[0101] 시각 T5에 배선(121)의 전위를 "L"로, 배선(124)의 전위를 "L"로 하면, 트랜지스터(104)는 비도통이 되고, 노드(NA_{12})의 전위는 유지되고, 다음 프레임의 동작까지 표시가 계속된다. 여기까지가 화소(12)의 동작에 대한 설명이다.

[0102] 도 5의 (A) 내지 (D)는, 회로(110)에 적용할 수 있고 표시 디바이스로서 발광 디바이스를 포함하는 구성의 예를 나타낸 것이다. 또한 예로서 화소(11)가 갖는 노드(NA_{11})를 도면에 나타내었지만, 화소(12)가 갖는 노드(NA_{12})로 치환하여도 좋다.

[0103] 도 5의 (A)에 나타낸 구성은 트랜지스터(111)와, 커패시터(113)와, 발광 디바이스(114)를 갖는다. 트랜지스터(111)의 소스 및 드레인 중 한쪽은 발광 디바이스(114)의 한쪽 전극에 전기적으로 접속된다. 발광 디바이스(114)의 한쪽 전극은 커패시터(113)의 한쪽 전극에 전기적으로 접속된다. 커패시터(113)의 다른 쪽 전극은 트랜지스터(111)의 게이트에 전기적으로 접속된다. 트랜지스터(111)의 게이트는 노드(NA_{11})에 전기적으로 접속된다.

[0104] 트랜지스터(111)의 소스 및 드레인 중 다른 쪽은 배선(128)에 전기적으로 접속된다. 발광 디바이스(114)의 다른 쪽 전극은 배선(129)에 전기적으로 접속된다. 배선(128, 129)은 전원을 공급하는 기능을 갖는다. 예를 들어 배선(128)은 고전위 전원을 공급할 수 있다. 또한 배선(129)은 저전위 전원을 공급할 수 있다.

[0105] 또는 도 5의 (B)에 나타낸 바와 같이, 발광 디바이스(114)의 한쪽 전극을 배선(128)에 전기적으로 접속하고, 발광 디바이스(114)의 다른 쪽 전극을 트랜지스터(111)와, 소스 및 드레인 중 다른 쪽에 전기적으로 접속하여도 좋다. 상기 구성은 발광 디바이스(114)를 갖는 다른 회로(110)에도 적용할 수 있다.

[0106] 도 5의 (C)는 도 5의 (A)의 구성에 트랜지스터(112)를 부가한 구성을 나타낸 것이다. 트랜지스터(112)의 소스 및 드레인 중 한쪽은 트랜지스터(111)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(112)의 소스 및 드레인 중 다른 쪽은 발광 디바이스(114)에 전기적으로 접속된다. 트랜지스터(112)의 게이트는 배선(127)에 전기적으로 접속된다. 배선(127)은 트랜지스터(112)의 도통을 제어하는 신호선으로서의 기능을 가질 수 있다.

[0107] 상기 구성에서는 노드(NA_{11})의 전위가 트랜지스터(111)의 문턱 전압 이상이고 트랜지스터(112)가 도통되었을 때 발광 디바이스(114)에 전류가 흐른다. 따라서 가중치(W)와 데이터(D)의 가산 동작 후의 임의의 타이밍에 발광 디바이스(114)의 발광을 시작할 수 있다.

[0108] 도 5의 (D)는 도 5의 (A)의 구성에 트랜지스터(115)를 부가한 구성을 나타낸 것이다. 트랜지스터(115)의 소스 및 드레인 중 한쪽은 트랜지스터(111)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(115)의 소스 및 드레인 중 다른 쪽은 배선(131)에 전기적으로 접속된다. 트랜지스터(115)의 게이트는 배선(132)에 전기적으로 접속된다. 배선(132)은 트랜지스터(115)의 도통을 제어하는 신호선으로서의 기능을 가질 수 있다.

[0109] 배선(131)은 기준 전위 등의 특정 전위의 공급원에 전기적으로 접속될 수 있다. 배선(131)으로부터 트랜지스터(111)의 소스 및 드레인 중 한쪽에 특정 전위를 공급함으로써, 화상 데이터의 기록을 안정화시킬 수도 있다.

또한 발광 디바이스(114)의 발광의 타이밍을 제어할 수도 있다.

[0110] 또한 배선(131)은 회로(120)에 접속될 수 있고, 모니터선으로서의 기능을 가질 수도 있다. 회로(120)는 상기 특정 전위의 공급원, 트랜지스터(111)의 전기 특성을 취득하는 기능, 및 보정 데이터를 생성하는 기능 중 하나 이상을 가질 수 있다.

[0111] 도 6의 (A) 내지 (D)는, 회로(110)에 적용할 수 있고 표시 디바이스로서 액정 디바이스를 포함하는 구성의 예를 나타낸 것이다.

[0112] 도 6의 (A)에 나타낸 구성은 커패시터(116) 및 액정 디바이스(117)를 갖는다. 액정 디바이스(117)의 한쪽 전극은 커패시터(116)의 한쪽 전극에 전기적으로 접속된다. 커패시터(116)의 한쪽 전극은 노드(NA_{11})에 전기적으로 접속된다.

[0113] 커패시터(116)의 다른 쪽 전극은 배선(133)에 전기적으로 접속된다. 액정 디바이스(117)의 다른 쪽 전극은 배선(134)에 전기적으로 접속된다. 배선(133, 134)은 전원을 공급하는 기능을 갖는다. 예를 들어 배선(133, 134)은 GND나 0V 등의 기준 전위나 임의의 전위를 공급할 수 있다.

[0114] 또한 도 6의 (B)에 나타낸 바와 같이, 커패시터(116)를 생략한 구성으로 하여도 좋다. 상술한 바와 같이, 노드(NA_{11})에 접속되는 트랜지스터로서 OS 트랜지스터를 사용할 수 있다. OS 트랜지스터는 누설 전류가 매우 낮기 때문에, 유지 용량으로서 기능하는 커패시터(116)를 생략하여도 표시가 비교적 장시간 유지될 수 있다. 또한 트랜지스터의 구성에 한정되지 않고, 필드 시퀀셜 구동과 같이 고속 동작으로 표시 기간을 짧게 할 수 있는 경우에도 커패시터(116)를 생략하는 것이 유효하다. 커패시터(116)를 생략함으로써 개구율을 향상시킬 수 있다. 또는 화소의 투과율을 향상시킬 수 있다.

[0115] 도 6의 (C)는 도 6의 (A)의 구성에 트랜지스터(118)를 부가한 구성을 나타낸 것이다. 트랜지스터(118)의 소스 및 드레인 중 한쪽은 커패시터(116)의 한쪽 전극에 전기적으로 접속된다. 트랜지스터(118)의 소스 및 드레인 중 다른 쪽은 노드(NA_{11})에 전기적으로 접속된다. 트랜지스터(118)의 게이트는 배선(130)에 전기적으로 접속된다. 배선(130)은 트랜지스터(118)의 도통을 제어하는 신호선으로서의 기능을 가질 수 있다.

[0116] 상기 구성에서는 트랜지스터(118)의 도통에 따라 액정 디바이스(117)에 노드(NA_{11})의 전위가 인가된다. 따라서 가중치(W)와 데이터(D)의 가산 동작 후의 임의의 타이밍에 액정 디바이스의 동작을 시작할 수 있다.

[0117] 또한 트랜지스터(118)가 비도통인 상태에서는 커패시터(116) 및 액정 디바이스(117)에 공급된 전위가 계속 유지되므로, 화상 데이터를 재기록하기 전에 커패시터(116) 및 액정 디바이스(117)에 공급된 전위를 리셋하는 것이 바람직하다. 상기 리셋은, 예를 들어 배선(125)(도 2 참조)에 리셋 전위를 공급하여, 트랜지스터(104) 및 트랜지스터(118)를 동시에 도통시키면 좋다.

[0118] 도 6의 (D)는 도 6의 (C)의 구성에 트랜지스터(119)를 부가한 구성을 나타낸 것이다. 트랜지스터(119)의 소스 및 드레인 중 한쪽은 액정 디바이스(117)의 한쪽 전극에 전기적으로 접속된다. 트랜지스터(119)의 소스 및 드레인 중 다른 쪽은 배선(131)에 전기적으로 접속된다. 트랜지스터(119)의 게이트는 배선(135)에 전기적으로 접속된다. 배선(135)은 트랜지스터(119)의 도통을 제어하는 신호선으로서의 기능을 가질 수 있다.

[0119] 배선(131)에 전기적으로 접속되는 회로(120)는 앞의 도 5의 (C)에서의 설명과 같고, 또한 커패시터(116) 및 액정 디바이스(117)에 공급된 전위를 리셋하는 기능을 가져도 좋다.

[0120] 또한 본 발명의 일 형태에서는 도 7에 예시된 바와 같이, 트랜지스터에 백 게이트를 제공한 구성으로 하여도 좋다. 도 7은 백 게이트가 프런트 게이트에 전기적으로 접속된 구성을 나타낸 것이고, 온 전류를 높이는 효과를 갖는다. 또는 백 게이트가 정전위를 공급할 수 있는 배선에 전기적으로 접속된 구성이어도 좋다. 상기 구성에서는, 트랜지스터의 문턱 전압을 제어할 수 있다. 또한 회로(110)가 갖는 트랜지스터에도 백 게이트를 제공하여도 좋다.

[0121] 다음으로, 화소의 동작에 관한 시뮬레이션 결과에 대하여 설명한다. 도 8의 (A)에, 시뮬레이션에 사용한 화소의 구성을 나타내었다. 화소수는 2개(P1, P2)이고, 회로(110)에는 도 6의 (B)에 나타낸 구성(액정 디바이스만)을 사용하였다. 입력 전압을 약 3배로 하는 동작에서의 각 화소의 노드(NA)(노드(NA_{11}), 노드(NA_{12}))의 전압 변화에 대하여 시뮬레이션을 수행하였다. 또한 회로 시뮬레이션 소프트웨어로서는 SPICE를 사용하였다.

[0122] 시뮬레이션에 사용한 파라미터는 다음과 같고, 트랜지스터의 크기는 모두 L/W=3μm/30μm로 하고, 커패시터(C

1)의 용량값은 10pF로 하고, 액정 디바이스(C1c)의 용량값은 2pF로 하였다. 또한 트랜지스터의 게이트에 인가하는 전압은 "H"로서 +15V로, "L"로서 -10V로 하고, 코먼 전위(VCOM)는 0V로 하였다.

[0123] 도 8의 (B)는 시뮬레이션에 사용한 타이밍 차트이다. W1은 화소(P1)에 대한 가중치이고, D1은 화소(P1)에 대한 데이터이고, $V_{ref}1$은 화소(P1)에 대한 기준 전위이고, W2는 화소(P2)에 대한 가중치이고, D2는 화소(P2)에 대한 데이터이고, $V_{ref}2$는 화소(P2)에 대한 기준 전위이다.

[0124] 시뮬레이션에서는 양극성 동작의 검증과 음극성 동작의 검증을 교대로 수행하였다. 양극성 동작에서는, W1, W2를 +5V로, D1, D2를 +5V로, $V_{ref}1$, $V_{ref}2$를 -5V로 하였다. 음극성 동작에서는, W1, W2를 -5V로, D1, D2를 -5V로, $V_{ref}1$, $V_{ref}2$를 +5V로 하였다.

[0125] 도 9는 양극성 동작, 음극성 동작의 각각의 시뮬레이션 결과를 나타낸 것이고, 가로축이 시간(초)을, 세로축이 노드(NA)(노드(NA_{11}), 노드(NA_{12}))의 전압(V)을 나타낸다. 용량비의 관계 때문에 입력 전압의 3배에는 도달하지 않았지만, 양극성 동작 및 음극성 동작 모두 입력 전압에 대하여 높은 전압을 생성할 수 있다는 것이 확인되었다.

[0126] 상술한 시뮬레이션 결과로부터, 본 발명의 일 형태의 효과를 확인할 수 있었다.

[0127] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0128] (실시형태 2)

[0129] 본 실시형태에서는, 액정 디바이스를 사용한 표시 장치의 구성예와, 발광 디바이스를 사용한 표시 장치의 구성예에 대하여 설명한다. 또한 본 실시형태에서는 실시형태 1에서 설명한 표시 장치의 요소, 동작, 및 기능의 설명은 생략한다.

[0130] 본 실시형태에서 설명하는 표시 장치에는, 실시형태 1에서 설명한 화소를 사용할 수 있다. 또한 이하에서 설명하는 주사선 구동 회로는 게이트 드라이버에 상당하고, 신호선 구동 회로는 소스 드라이버에 상당한다.

[0131] 도 10의 (A) 내지 (C)는 본 발명의 일 형태를 사용할 수 있는 표시 장치의 구성을 나타낸 도면이다.

[0132] 도 10의 (A)에서는, 제 1 기판(4001) 위에 제공된 표시부(215)를 둘러싸도록 밀봉재(4005)가 제공되고, 밀봉재(4005) 및 제 2 기판(4006)으로 표시부(215)가 밀봉되어 있다.

[0133] 도 10의 (A)에서, 주사선 구동 회로(221a), 신호선 구동 회로(231a), 신호선 구동 회로(232a), 및 공통선 구동 회로(241a)는 각각이 인쇄 기판(4041) 위에 제공된 집적 회로(4042)를 복수로 갖는다. 집적 회로(4042)는 단결정 반도체 또는 다결정 반도체로 형성되어 있다. 공통선 구동 회로(241a)는 실시형태 1에서 설명한 배선(128, 129, 133, 134) 등에 규정의 전위를 공급하는 기능을 갖는다.

[0134] 주사선 구동 회로(221a), 공통선 구동 회로(241a), 신호선 구동 회로(231a), 및 신호선 구동 회로(232a)에 공급되는 각종 신호 및 전위는 FPC(Flexible printed circuit)(4018)를 통하여 공급된다.

[0135] 주사선 구동 회로(221a) 및 공통선 구동 회로(241a)가 갖는 집적 회로(4042)는 표시부(215)에 선택 신호를 공급하는 기능을 갖는다. 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)가 갖는 집적 회로(4042)는 표시부(215)에 화상 데이터를 공급하는 기능을 갖는다. 집적 회로(4042)는 제 1 기판(4001) 위의 밀봉재(4005)로 둘러싸여 있는 영역과는 다른 영역에 실장되어 있다.

[0136] 또한 집적 회로(4042)의 접속 방법은 특별히 한정되는 것은 아니고, 와이어 본딩법, COG(Chip On Glass)법, TCP(Tape Carrier Package)법, COF(Chip On Film)법 등을 사용할 수 있다.

[0137] 도 10의 (B)는 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)에 포함되는 집적 회로(4042)를 COG법에 의하여 실장하는 예를 나타낸 것이다. 또한 구동 회로의 일부 또는 전체를 표시부(215)와 같은 기판 위에 일체로 형성함으로써, 시스템 온 패널(system-on-panel)을 형성할 수 있다.

[0138] 도 10의 (B)에는 주사선 구동 회로(221a) 및 공통선 구동 회로(241a)를 표시부(215)와 같은 기판 위에 형성하는 예를 나타내었다. 구동 회로를 표시부(215) 내의 화소 회로와 동시에 형성함으로써, 부품 점수를 삭감할 수 있다. 따라서 생산성을 높일 수 있다.

[0139] 또한 도 10의 (B)에서는 제 1 기판(4001) 위에 제공된 표시부(215)와, 주사선 구동 회로(221a) 및 공통선 구동

회로(241a)를 둘러싸도록 밀봉재(4005)가 제공되어 있다. 또한 표시부(215), 주사선 구동 회로(221a), 및 공통선 구동 회로(241a) 위에 제 2 기판(4006)이 제공되어 있다. 따라서 표시부(215), 주사선 구동 회로(221a), 및 공통선 구동 회로(241a)는 제 1 기판(4001)과 밀봉재(4005)와 제 2 기판(4006)으로 표시 디바이스와 함께 밀봉되어 있다.

[0140] 또한 도 10의 (B)에는 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)를 별도로 형성하고 제 1 기판(4001)에 실장한 예를 나타내었지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하고 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부를 별도로 형성하고 실장하여도 좋다. 또한 도 10의 (C)에 나타낸 바와 같이, 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)를 표시부(215)와 같은 기판 위에 형성하여도 좋다.

[0141] 또한 표시 장치는 표시 디바이스가 밀봉된 상태에 있는 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등이 실장된 상태에 있는 모듈을 포함하는 경우가 있다.

[0142] 또한 제 1 기판 위에 제공된 표시부 및 주사선 구동 회로는 트랜지스터를 복수로 갖는다. 상기 트랜지스터로서, 실시형태 1에서 설명한 OS 트랜지스터 또는 Si 트랜지스터를 적용할 수 있다.

[0143] 주변 구동 회로가 갖는 트랜지스터와, 표시부의 화소 회로가 갖는 트랜지스터의 구조는 같아도 좋고 달라도 좋다. 주변 구동 회로가 갖는 트랜지스터는 모두 같은 구조의 트랜지스터이어도 좋고, 2종류 이상의 구조의 트랜지스터를 가져도 좋다. 마찬가지로 화소 회로가 갖는 트랜지스터는 모두 같은 구조의 트랜지스터이어도 좋고, 2종류 이상의 구조의 트랜지스터를 가져도 좋다.

[0144] 또한 제 2 기판(4006) 위에는 입력 장치(4200)를 제공할 수 있다. 도 10의 (A) 내지 (C)에 나타낸 표시 장치에 입력 장치(4200)를 제공한 구성은 터치 패널로서 기능시킬 수 있다.

[0145] 본 발명의 일 형태의 터치 패널이 갖는 검지 디바이스(센서 소자라고도 함)에 한정은 없다. 손가락이나 스타일러스 등의 피검지체의 근접 또는 접촉을 검지할 수 있는 다양한 센서를 검지 디바이스로서 적용할 수 있다.

[0146] 센서의 방식으로서는, 예를 들어 정전 용량 방식, 저항막 방식, 표면 탄성파 방식, 적외선 방식, 광학 방식, 감압 방식 등 다양한 방식을 사용할 수 있다.

[0147] 본 실시형태에서는 정전 용량 방식의 검지 디바이스를 갖는 터치 패널을 예로 들어 설명한다.

[0148] 정전 용량 방식으로서는 표면형 정전 용량 방식, 투영형 정전 용량 방식 등이 있다. 또한 투영형 정전 용량 방식으로서는 자기 용량 방식, 상호 용량 방식 등이 있다. 상호 용량 방식을 사용하면, 여러 지점을 동시에 검지할 수 있기 때문에 바람직하다.

[0149] 본 발명의 일 형태의 터치 패널에는, 따로 제작된 표시 장치와 검지 디바이스를 접합시키는 구성, 표시 디바이스를 지지하는 기판 및 대향 기판 중 한쪽 또는 양쪽에 검지 디바이스를 구성하는 전극 등을 제공하는 구성 등, 다양한 구성을 적용할 수 있다.

[0150] 도 11의 (A), (B)에 터치 패널의 일례를 나타내었다. 도 11의 (A)는 터치 패널(4210)의 사시도이다. 도 11의 (B)는 입력 장치(4200)의 사시 개략도이다. 또한 명료화를 위하여 대표적인 구성 요소만을 나타내었다.

[0151] 터치 패널(4210)은 따로 제작된 표시 장치와 검지 디바이스를 접합시킨 구성을 갖는다.

[0152] 터치 패널(4210)은 입력 장치(4200)와 표시 장치를 갖고, 이들이 중첩되어 제공되어 있다.

[0153] 입력 장치(4200)는 기판(4263), 전극(4227), 전극(4228), 복수의 배선(4237), 복수의 배선(4238), 및 복수의 배선(4239)을 갖는다. 예를 들어 전극(4227)은 배선(4237) 또는 배선(4239)에 전기적으로 접속될 수 있다. 또한 전극(4228)은 배선(4239)에 전기적으로 접속될 수 있다. FPC(4272b)는 복수의 배선(4237) 및 복수의 배선(4238)의 각각에 전기적으로 접속된다. FPC(4272b)에는 IC(4273b)를 제공할 수 있다.

[0154] 또는 표시 장치의 제 1 기판(4001)과 제 2 기판(4006) 사이에 터치 센서를 제공하여도 좋다. 제 1 기판(4001)과 제 2 기판(4006) 사이에 터치 센서를 제공하는 경우에는 정전 용량 방식의 터치 센서 외에, 광전 변환 소자를 사용한 광학식 터치 센서를 적용하여도 좋다.

[0155] 도 12의 (A), (B)는 도 10의 (B)에서 N1-N2의 쇄선으로 나타낸 부분의 단면도이다. 도 12의 (A), (B)에 나타낸 표시 장치는 전극(4015)을 갖고, 전극(4015)은 이방성 도전층(4019)을 통하여 FPC(4018)가 갖는 단자에 전기적으로 접속되어 있다. 또한 도 12의 (A), (B)에서, 전극(4015)은 절연층(4112), 절연층(4111), 및 절연층

(4110)에 형성된 개구에서 배선(4014)에 전기적으로 접속되어 있다.

[0156] 전극(4015)은 제 1 전극층(4030)과 같은 도전층으로 형성되고, 배선(4014)은 트랜지스터(4010) 및 트랜지스터(4011)의 소스 전극 및 드레인 전극과 같은 도전층으로 형성되어 있다.

[0157] 또한 제 1 기판(4001) 위에 제공된 표시부(215)와 주사선 구동 회로(221a)는 트랜지스터를 복수로 갖고, 도 12의 (A), (B)에는 표시부(215)에 포함되는 트랜지스터(4010) 및 주사선 구동 회로(221a)에 포함되는 트랜지스터(4011)를 예시하였다. 또한 도 12의 (A), (B)에는 트랜지스터(4010) 및 트랜지스터(4011)로서 보텀 게이트형 트랜지스터를 예시하였지만, 톱 게이트형 트랜지스터이어도 좋다.

[0158] 도 12의 (A), (B)에서는 트랜지스터(4010) 및 트랜지스터(4011) 위에 절연층(4112)이 제공되어 있다. 또한 도 12의 (B)에서는 절연층(4112) 위에 격벽(4510)이 형성되어 있다.

[0159] 또한 트랜지스터(4010) 및 트랜지스터(4011)는 절연층(4102) 위에 제공되어 있다. 또한 트랜지스터(4010) 및 트랜지스터(4011)는 절연층(4111) 위에 형성된 전극(4017)을 갖는다. 전극(4017)은 백 게이트 전극으로서 기능할 수 있다.

[0160] 또한 도 12의 (A), (B)에 나타낸 표시 장치는 커패시터(4020)를 갖는다. 커패시터(4020)가 트랜지스터(4010)의 게이트 전극과 같은 공정에서 형성된 전극(4021)과, 절연층(4103)과, 소스 전극 및 드레인 전극과 같은 공정에서 형성된 전극을 갖는 예를 나타내었다. 커패시터(4020)의 구성은 이에 한정되지 않고, 이 외의 도전층 및 절연층으로 형성되어도 좋다.

[0161] 표시부(215)에 제공된 트랜지스터(4010)는 표시 디바이스에 전기적으로 접속된다. 도 12의 (A)는 표시 디바이스로서 액정 디바이스를 사용한 액정 표시 장치의 일례를 나타낸 것이다. 도 12의 (A)에서 표시 디바이스인 액정 디바이스(4013)는 제 1 전극층(4030), 제 2 전극층(4031), 및 액정층(4008)을 포함한다. 또한 배향막으로서 기능하는 절연층(4032), 절연층(4033)이 액정층(4008)을 끼우도록 제공되어 있다. 제 2 전극층(4031)은 제 2 기판(4006) 측에 제공되고, 제 1 전극층(4030)과 제 2 전극층(4031)은 액정층(4008)을 개재하여 중첩된다.

[0162] 액정 디바이스(4013)로서는, 다양한 모드가 적용된 액정 디바이스를 사용할 수 있다. 예를 들어 VA(Vertical Alignment) 모드, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Bend) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, ECB(Electrically Controlled Birefringence) 모드, VA-IPS 모드, 게스트 호스트 모드 등이 적용된 액정 디바이스를 사용할 수 있다.

[0163] 또한 본 실시형태에서 설명하는 액정 표시 장치에 노멀리 블랙형 액정 표시 장치, 예를 들어 수직 배향(VA) 모드를 채용한 투과형 액정 표시 장치를 적용하여도 좋다. 수직 배향 모드로서는, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드 등을 사용할 수 있다.

[0164] 또한 액정 디바이스는 액정의 광학 변조 작용에 의하여 광의 투과 또는 비투과를 제어하는 소자이다. 액정의 광학적 변조 작용은 액정에 가해지는 전계(수평 방향의 전계, 수직 방향의 전계, 또는 비스듬한 방향의 전계를 포함함)에 의하여 제어된다. 액정 디바이스에 사용되는 액정으로서는, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC: Polymer Dispersed Liquid Crystal), 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이들 액정 재료는 조건에 따라 콜레스테릭상, 스멕틱상, 큐빅상, 키랄 네마틱상, 등방상 등을 나타낸다.

[0165] 도 12의 (A)에는 수직 전계 방식의 액정 디바이스를 갖는 액정 표시 장치의 예를 나타내었지만, 본 발명의 일 형태에는 수평 전계 방식의 액정 디바이스를 갖는 액정 표시 장치를 적용할 수 있다. 수평 전계 방식을 채용하는 경우에는, 배향막을 사용하지 않는 블루상을 나타내는 액정을 사용하여도 좋다. 블루상은 액정상 중 하나이고, 콜레스테릭 액정을 승온시키면 콜레스테릭상으로부터 등방상으로 전이(轉移)하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서만 발현하기 때문에, 온도 범위를 개선하기 위하여 5중량% 이상의 키랄제를 혼합시킨 액정 조성물을 액정층(4008)에 사용한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 응답 속도가 빠르고 광학적 등방성을 나타낸다. 또한 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 배향 처리가 불필요하고 시야각 의존성이 작다. 또한 배향막을 제공할 필요가 없으므로 러빙 처리도 불필요하게 되어, 러빙 처리에 기인한 정전 파괴를 방지할 수 있고, 제작 공정 중에서의 액정 표시 장치의 불량 또는 파손을 경감할 수 있다.

[0166] 또한 스페이서(4035)는 절연층을 선택적으로 에칭함으로써 얻어지는 기둥 형상의 스페이서이고, 제 1 전극층(4030)과 제 2 전극층(4031) 사이의 간격(셀 갭)을 제어하기 위하여 제공되어 있다. 또한 구(球) 형상의 스페이서를 사용하여도 좋다.

[0167] 또한 필요에 따라, 블랙 매트릭스(차광층), 착색층(컬러 필터), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기판) 등을 적절히 제공하여도 좋다. 예를 들어 편광 기판 및 위상차 기판에 의한 원편광을 사용하여도 좋다. 또한 광원으로서 백라이트, 사이드 라이트 등을 사용하여도 좋다. 또한 상기 백라이트 및 사이드 라이트로서 마이크로 LED 등을 사용하여도 좋다.

[0168] 도 12의 (A)에 나타낸 표시 장치에서는, 기판(4006)과 제 2 전극층(4031) 사이에 차광층(4132), 착색층(4131), 절연층(4133)이 제공되어 있다.

[0169] 차광층에 사용할 수 있는 재료로서는 카본 블랙, 타이타늄 블랙, 금속, 금속 산화물, 복수의 금속 산화물의 고용체를 포함하는 복합 산화물 등을 들 수 있다. 차광층은 수지 재료를 포함하는 막이어도 좋고, 금속 등의 무기 재료의 박막이어도 좋다. 또한 차광층에 착색층의 재료를 포함하는 막의 적층막을 사용할 수도 있다. 예를 들어 어떤 색의 광을 투과시키는 착색층에 사용하는 재료를 포함하는 막과, 다른 색의 광을 투과시키는 착색층에 사용하는 재료를 포함하는 막의 적층 구조를 사용할 수 있다. 착색층과 차광층의 재료를 공통화함으로써, 장치를 공통화할 수 있을 뿐만 아니라 공정도 간략화할 수 있어 바람직하다.

[0170] 착색층에 사용할 수 있는 재료로서는 금속 재료, 수지 재료, 안료 또는 염료가 포함된 수지 재료 등을 들 수 있다. 차광층 및 착색층은 예를 들어 잉크젯법 등을 사용하여 형성할 수 있다.

[0171] 또한 도 12의 (A), (B)에 나타낸 표시 장치는 절연층(4111)과 절연층(4104)을 갖는다. 절연층(4111)과 절연층(4104)으로서는 불순물 원소를 투과시키기 어려운 절연층을 사용한다. 절연층(4111)과 절연층(4104) 사이에 트랜지스터의 반도체층을 끼우면, 외부로부터의 불순물의 침입을 방지할 수 있다.

[0172] 또한 표시 장치에 포함되는 표시 디바이스로서 발광 디바이스를 사용할 수 있다. 발광 디바이스로서는, 예를 들어 일렉트로루미네선스를 이용하는 EL 디바이스를 적용할 수 있다. EL 디바이스는 한 쌍의 전극 사이에 발광성 화합물을 포함하는 층("EL층"이라고도 함)을 갖는다. EL 디바이스의 문턱 전압보다 큰 전위차를 한 쌍의 전극 사이에 발생시키면, EL층에 양극 측으로부터 정공이 주입되고, 음극 측으로부터 전자가 주입된다. 주입된 전자와 정공은 EL층에서 재결합하고, EL층에 포함되는 발광성 화합물이 발광한다.

[0173] EL 디바이스로서는, 예를 들어 유기 EL 디바이스 또는 무기 EL 디바이스를 사용할 수 있다. 또한 발광 재료로서 화합물 반도체를 사용하는 LED(마이크로 LED를 포함함)를 사용할 수도 있다.

[0174] 또한 EL층은 발광성 화합물 이외에 정공 주입성이 높은 물질, 정공 수송성이 높은 물질, 정공 블록 재료, 전자 수송성이 높은 물질, 전자 주입성이 높은 물질, 또는 양극성 물질(전자 수송성 및 정공 수송성이 높은 물질) 등을 포함하여도 좋다.

[0175] EL층은 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 도포법 등의 방법으로 형성할 수 있다.

[0176] 무기 EL 디바이스는 그 소자 구성에 따라 분산형 무기 EL 디바이스와 박막형 무기 EL 디바이스로 분류된다. 분산형 무기 EL 디바이스는 발광 재료의 입자를 바인더 내로 분산시킨 발광층을 갖는 것이고, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 디바이스는 발광층을 유전체층 사이에 끼우고, 또한 그것을 전극 사이에 끼운 구조를 갖고, 발광 메커니즘은 금속 이온의 내각 전자 전이(inner-shell electron transition)를 이용하는 국재형 발광이다. 또한 여기서는 발광 디바이스로서 유기 EL 디바이스를 사용하여 설명한다.

[0177] 발광 디바이스는 발광을 추출하기 위하여 적어도 한 쌍의 전극 중 한쪽이 투명하면 좋다. 그리고 기판 위에 트랜지스터 및 발광 디바이스를 형성하고, 상기 기판과는 반대 측의 면으로부터 발광을 추출하는 상면 사출(top emission) 구조나, 기판 측의 면으로부터 발광을 추출하는 하면 사출(bottom emission) 구조나, 양쪽 면으로부터 발광을 추출하는 양면 사출(dual emission) 구조가 있고, 어느 사출 구조의 발광 디바이스도 적용할 수 있다.

[0178] 도 12의 (B)는 표시 디바이스로서 발광 디바이스를 사용한 발광 표시 장치("EL 표시 장치"라고도 함)의 일례를 나타낸 것이다. 표시 디바이스인 발광 디바이스(4513)는 표시부(215)에 제공된 트랜지스터(4010)에 전기적으로 접속되어 있다. 또한 발광 디바이스(4513)의 구성은 제 1 전극층(4030), 발광층(4511), 제 2 전극층(4031)의 적층 구조이지만, 이 구성에 한정되지 않는다. 발광 디바이스(4513)로부터 추출하는 광의 방향 등에 따라 발광

디바이스(4513)의 구성을 적절히 변경할 수 있다.

[0179] 격벽(4510)은 유기 절연 재료 또는 무기 절연 재료를 사용하여 형성한다. 특히 감광성 수지 재료를 사용하여 제 1 전극층(4030) 위에 개구부를 형성하고, 그 개구부의 측면이 연속된 곡률을 갖는 경사면이 되도록 형성하는 것이 바람직하다.

[0180] 발광층(4511)은 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다.

[0181] 발광 디바이스(4513)의 발광색은 발광층(4511)을 구성하는 재료에 따라 백색, 적색, 녹색, 청색, 시안, 마젠타, 또는 황색 등으로 할 수 있다.

[0182] 컬러 표시를 실현하는 방법으로서는, 발광색이 백색인 발광 디바이스(4513)와 착색층을 조합하는 방법과, 화소마다 발광색이 다른 발광 디바이스(4513)를 제공하는 방법이 있다. 전자의 방법은 후자의 방법보다 생산성이 높다. 한편, 후자의 방법에서는 화소마다 발광층(4511)을 나누어 형성할 필요가 있기 때문에, 전자의 방법보다 생산성이 떨어진다. 다만 후자의 방법은 전자의 방법보다 색 순도가 높은 발광색을 얻을 수 있다. 또한 후자의 방법에서, 발광 디바이스(4513)에 마이크로캐비티 구조를 부여함으로써, 색 순도를 더 높일 수 있다.

[0183] 또한 발광층(4511)은 퀀텀닷(quantum dot) 등의 무기 화합물을 포함하여도 좋다. 예를 들어 퀀텀닷을 발광층에 사용함으로써, 발광 재료로서 기능시킬 수도 있다.

[0184] 산소, 수소, 수분, 이산화 탄소 등이 발광 디바이스(4513)에 들어가지 않도록, 제 2 전극층(4031) 및 격벽(4510) 위에 보호층을 형성하여도 좋다. 보호층으로서는 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, DLC(Diamond Like Carbon) 등을 형성할 수 있다. 또한 제 1 기판(4001), 제 2 기판(4006), 및 밀봉재(4005)로 밀봉된 공간에는 충전재(4514)가 제공되어 밀봉되어 있다. 이와 같이, 외기에 노출되지 않도록, 기밀성이 높고 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버 재료로 패키징(봉입)하는 것이 바람직하다.

[0185] 충전재(4514)로서는 질소나 아르곤 등의 불활성 가스 이외에, 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있고, PVC(폴리바이닐클로라이드), 아크릴계 수지, 폴리이미드, 에폭시계 수지, 실리콘(silicone)계 수지, PVB(폴리바이닐뷰티랄), 또는 EVA(에틸렌바이닐아세테이트) 등을 사용할 수 있다. 또한 충전재(4514)에 건조제가 포함되어도 좋다.

[0186] 밀봉재(4005)에는 유리 프릿 등의 유리 재료나, 2액 혼합형 수지 등 상온에서 경화되는 경화 수지, 광 경화성 수지, 열 경화성 수지 등의 수지 재료를 사용할 수 있다. 또한 밀봉재(4005)에 건조제가 포함되어도 좋다.

[0187] 또한 필요에 따라 발광 디바이스의 사출면에 편광판 또는 원 편광판(타원 편광판을 포함함), 위상차판(λ/4판, λ/2판), 컬러 필터 등의 광학 필름을 적절히 제공하여도 좋다. 또한 편광판 또는 원 편광판에 반사 방지막을 제공하여도 좋다. 예를 들어 표면의 요철에 의하여 반사광을 확산시켜 눈부심을 저감할 수 있는 안티글레어 처리를 실시할 수 있다.

[0188] 또한 발광 디바이스를 마이크로캐비티 구조로 함으로써, 색 순도가 높은 광을 추출할 수 있다. 또한 마이크로캐비티 구조와 컬러 필터를 조합함으로써, 눈부심이 저감되어 표시 화상의 시인성을 높일 수 있다.

[0189] 표시 디바이스에 전압을 인가하는 제 1 전극층 및 제 2 전극층(화소 전극층, 공통 전극층, 대향 전극층 등이라고도 함)에서는, 추출하는 광의 방향, 전극층이 제공되는 장소, 및 전극층의 패턴 구조에 따라 투광성, 반사성을 선택하면 좋다.

[0190] 제 1 전극층(4030), 제 2 전극층(4031)에는, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 인듐 주석 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등 투광성을 갖는 도전성 재료를 사용할 수 있다.

[0191] 또한 제 1 전극층(4030), 제 2 전극층(4031)은 텅스텐(W), 몰리브데넘(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 나이오븀(Nb), 탄탈럼(Ta), 크로뮴(Cr), 코발트(Co), 니켈(Ni), 타이타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 그 합금, 또는 그 금속 질화물 중에서 1종류 이상을 사용하여 형성될 수 있다.

[0192] 또한 제 1 전극층(4030), 제 2 전극층(4031)은 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 사용하여 형성될 수 있다. 도전성 고분자로서는 소위 π전자 공액 도전성 고분자를 사용할 수 있다. 예를 들어 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리싸이오펜 또는 그 유도체, 혹은 아닐린, 피

롤, 및 싸이오펜 중 2종류 이상으로 이루어지는 공중합체 또는 그 유도체 등이 있다.

[0193] 또한 트랜지스터는 정전기 등으로 인하여 파괴되기 쉽기 때문에, 구동 회로 보호용의 보호 회로를 제공하는 것이 바람직하다. 보호 회로는 비선형 소자를 사용하여 구성되는 것이 바람직하다.

[0194] 또한 도 13에 나타낸 바와 같이, 트랜지스터나 커패시터가 높이 방향으로 중첩되는 영역을 갖는 적층 구조로 하여도 좋다. 예를 들어 구동 회로를 구성하는 트랜지스터(4011) 및 트랜지스터(4022)를 중첩시켜 배치하면, 내로 베젤의 표시 장치로 할 수 있다. 또한 화소 회로를 구성하는 트랜지스터(4010), 트랜지스터(4023), 커패시터(4020) 등이 일부라도 중첩되는 영역을 갖도록 배치하면 개구율이나 해상도를 향상시킬 수 있다. 또한 도 13에는 도 12의 (A)에 나타낸 액정 표시 장치에 적층 구조를 응용한 예를 나타내었지만, 도 12의 (B)에 나타낸 EL 표시 장치에 응용하여도 좋다.

[0195] 또한 화소 회로에서 전극이나 배선에 가시광에 대한 투광성이 높은 도전막을 사용함으로써, 화소 내의 광의 투과율을 높일 수 있어, 실질적으로 개구율을 향상시킬 수 있다. 또한 OS 트랜지스터를 사용하는 경우에는 반도체층도 투광성을 갖기 때문에 개구율을 더 높일 수 있다. 이들은 트랜지스터 등을 적층 구조로 하지 않는 경우에도 유효하다.

[0196] 또한 액정 표시 장치와 발광 장치를 조합하여 표시 장치를 구성하여도 좋다.

[0197] 발광 장치는 표시면의 반대쪽 또는 표시면의 단부에 배치된다. 발광 장치는 표시 디바이스에 광을 공급하는 기능을 갖는다. 발광 장치는 백라이트라고 부를 수도 있다.

[0198] 여기서 발광 장치는 판 형상 또는 시트 형상의 도광부(도광판이라고도 함)와, 상이한 색의 광을 나타내는 복수의 발광 디바이스를 가질 수 있다. 상기 발광 디바이스를 도광부의 측면 근방에 배치하면, 도광부의 측면으로부터 내부로 광을 방출할 수 있다. 도광부는 광로를 변경하는 기구(광 추출 기구라고도 함)를 갖고, 이에 의하여 발광 장치는 표시 패널의 화소부에 광을 균일하게 조사할 수 있다. 또는 도광부를 제공하지 않고 화소 직하에 발광 장치를 배치하는 구성으로 하여도 좋다.

[0199] 발광 장치는 적색(R), 녹색(G), 청색(B)의 3색의 발광 디바이스를 갖는 것이 바람직하다. 또한 백색(W)의 발광 디바이스를 가져도 좋다. 이들 발광 디바이스로서 발광 다이오드(LED: Light Emitting Diode)를 사용하는 것이 바람직하다.

[0200] 또한 발광 디바이스는 그 발광 스펙트럼의 반치전폭(FWHM: Full Width at Half Maximum)이 50nm 이하, 바람직하게는 40nm 이하, 더 바람직하게는 30nm 이하, 더욱 바람직하게는 20nm 이하인, 색 순도가 매우 높은 발광 디바이스인 것이 바람직하다. 또한 발광 스펙트럼의 반치전폭은 작으면 작을수록 좋지만, 예를 들어 1nm 이상으로 할 수 있다. 이에 의하여, 컬러 표시를 수행할 때, 색 재현성이 높고 선명한 표시를 수행할 수 있다.

[0201] 또한 적색의 발광 디바이스로서는 발광 스펙트럼의 피크 파장이 625nm 이상 650nm 이하의 범위 내에 위치하는 소자를 사용하는 것이 바람직하다. 또한 녹색의 발광 디바이스로서는 발광 스펙트럼의 피크 파장이 515nm 이상 540nm 이하의 범위 내에 위치하는 소자를 사용하는 것이 바람직하다. 청색의 발광 디바이스로서는 발광 스펙트럼의 피크 파장이 445nm 이상 470nm 이하의 범위 내에 위치하는 소자를 사용하는 것이 바람직하다.

[0202] 표시 장치는 3색의 발광 디바이스를 순차적으로 점멸시키면서 이와 동기시켜 화소를 구동하고, 계시 가법 혼색법에 의거하여 컬러 표시를 수행할 수 있다. 상기 구동 방법은 필드 시퀀셜 구동이라고 부를 수도 있다.

[0203] 필드 시퀀셜 구동에서는 선명한 컬러 화상을 표시할 수 있다. 또한 매끄러운 동영상을 표시할 수 있다. 또한 상기 구동 방법을 사용하면, 하나의 화소를 복수의 상이한 색의 부화소로 구성할 필요가 없어, 하나의 화소의 유효 반사 면적(유효 표시 면적, 개구율이라고도 함)을 크게 할 수 있기 때문에 밝은 표시를 수행할 수 있다. 또한 화소에 컬러 필터를 제공할 필요가 없기 때문에 화소의 투과율도 향상시킬 수 있어 더 밝은 표시를 수행할 수 있다. 또한 제작 공정을 간략화할 수 있어 제작 비용을 절감할 수 있다.

[0204] 도 14의 (A), (B)는 필드 시퀀셜 구동이 가능한 표시 장치의 단면 개략도의 일례이다. 상기 표시 장치의 제 1 기판(4001) 측에는 RGB 각 색의 발광이 가능한 백라이트 유닛이 제공된다. 또한 필드 시퀀셜 구동에서는 RGB 각 색의 시분할 발광으로 색을 표현하기 때문에 컬러 필터는 불필요하다.

[0205] 도 14의 (A)에 나타낸 백라이트 유닛(4340a)은 화소 직하에 확산판(4352)을 개재하여 발광 디바이스(4342)가 복수로 제공된 구성을 갖는다. 확산판(4352)은 발광 디바이스(4342)로부터 제 1 기판(4001) 측으로 사출된 광을 확산시키고 표시부 면내의 휘도를 균일하게 하는 기능을 갖는다. 발광 디바이스(4342)와 확산판(4352) 사이에

는 필요에 따라 편광판을 제공하여도 좋다. 또한 확산판(4352)은 불필요하면 제공하지 않아도 된다. 또한 차광층(4132)을 생략한 구성으로 하여도 좋다.

[0206] 백라이트 유닛(4340a)은 발광 디바이스(4342)가 많이 탑재될 수 있기 때문에 밝은 표시가 가능해진다. 또한 도광판이 불필요하고 발광 디바이스(4342)의 광 효율이 저하되기 어렵다는 이점이 있다. 또한 필요에 따라 발광 디바이스(4342)에 광 확산용의 렌즈(4344)를 제공하여도 좋다.

[0207] 도 14의 (B)에 나타낸 백라이트 유닛(4340b)은 화소 직하에 확산판(4352)을 개재하여 도광판(4341)이 제공된 구성을 갖는다. 도광판(4341)의 단부에는 발광 디바이스(4342)가 복수로 제공된다. 도광판(4341)은 확산판(4352)과는 반대쪽에 요철 형상을 갖고, 도파한 광을 상기 요철 형상으로 산란시켜 확산판(4352)의 방향으로 사출할 수 있다.

[0208] 발광 디바이스(4342)는 인쇄 기판(4347)에 고정될 수 있다. 또한 도 14의 (B)에서는 RGB 각 색의 발광 디바이스(4342)가 중첩되도록 나타내었지만, 깊이 방향으로 RGB 각 색의 발광 디바이스(4342)를 나란히 배치할 수도 있다. 또한 도광판(4341)에서 발광 디바이스(4342)와는 반대쪽의 측면에는 가시광을 반사하는 반사층(4348)을 제공하여도 좋다.

[0209] 백라이트 유닛(4340b)은 발광 디바이스(4342)를 적게 할 수 있기 때문에, 비용을 절감하고 박형으로 할 수 있다.

[0210] 또한 액정 디바이스로서는 광 산란형 액정 디바이스를 사용하여도 좋다. 광 산란형 액정 디바이스로서는 액정과 고분자의 복합 재료를 포함하는 소자를 사용하는 것이 바람직하다. 예를 들어 고분자 분산형 액정 디바이스를 사용할 수 있다. 또는 고분자 네트워크형 액정(PNLC(Polymer Network Liquid Crystal)) 소자를 사용하여도 좋다.

[0211] 광 산란형 액정 디바이스는 한 쌍의 전극 사이에 끼워지는 수지부의 3차원 네트워크 구조 내에 액정부가 제공된 구조를 갖는다. 액정부에 사용하는 재료로서는 예를 들어 네마틱 액정을 사용할 수 있다. 또한 수지부에는 광경화 수지를 사용할 수 있다. 광 경화 수지로서는, 예를 들어 아크릴레이트, 메타크릴레이트 등의 단관능(單官能) 모노머, 다이아크릴레이트, 트라이아크릴레이트, 다이메타크릴레이트, 트라이메타크릴레이트 등의 다관능 모노머, 또는 이들을 혼합시킨 중합성 화합물을 사용할 수 있다.

[0212] 광 산란형 액정 디바이스는 액정 재료의 굴절률의 이방성을 이용하여 광을 투과 또는 산란시킴으로써 표시를 수행한다. 또한 수지부도 굴절률의 이방성을 가져도 좋다. 광 산란형 액정 디바이스에 인가되는 전압에 따라 액정 분자가 일정 방향으로 배열될 때 액정부와 수지부의 굴절률의 차이가 작아지는 방향이 발생되고, 상기 방향을 따라 입사하는 광은 액정부에서 산란되지 않고 투과한다. 따라서 광 산란형 액정 디바이스는 상기 방향으로부터는 투명한 상태로 시인된다. 한편, 인가되는 전압에 따라 액정 분자가 무작위하게 배열될 때는 액정부와 수지부의 굴절률의 차이에 큰 변화가 생기지 않으므로 입사하는 광은 액정부에서 산란된다. 따라서 광 산란형 액정 디바이스는 시인 방향에 상관없이 불투명한 상태가 된다.

[0213] 도 15의 (A)는 도 14의 (A)의 표시 장치의 액정 디바이스(4013)를 광 산란형 액정 디바이스(4016)로 바꾼 구성을 나타낸 것이다. 광 산란형 액정 디바이스(4016)는 액정부 및 수지부를 갖는 복합층(4009), 그리고 전극층(4030, 4031)을 갖는다. 필드 시퀀셜 구동에 관한 요소는 도 14의 (A)와 동일하지만, 광 산란형 액정 디바이스(4016)를 사용하는 경우에는 배향막 및 편광판이 불필요하다. 또한 스페이서(4035)는 구 형상으로 나타내었지만 기둥 형상이어도 좋다.

[0214] 도 15의 (B)는 도 14의 (B)의 표시 장치의 액정 디바이스(4013)를 광 산란형 액정 디바이스(4016)로 바꾼 구성을 나타낸 것이다. 도 14의 (B)에 나타낸 구성은, 광 산란형 액정 디바이스(4016)에 전압을 인가하지 않는 경우에 광을 투과시키고, 전압을 인가한 경우에 광을 산란시키는 모드로 동작하는 구성인 것이 바람직하다. 상기 구성으로 함으로써 노멀 상태(표시시키지 않는 상태)에서 투명한 표시 장치로 할 수 있다. 이 경우에는 광을 산란시키는 동작을 수행하였을 때 컬러 표시를 수행할 수 있다.

[0215] 도 15의 (B)에 나타낸 표시 장치의 변형예를 도 16의 (A) 내지 (E)에 나타내었다. 또한 도 16의 (A) 내지 (E)에서는 명료화를 위하여 도 15의 (B)의 일부 요소를 사용하고 다른 요소를 생략하여 나타내었다.

[0216] 도 16의 (A)에는 기판(4001)이 도광판으로서의 기능을 갖는 구성을 나타내었다. 기판(4001)의 외측 면에는 요철 형상을 제공하여도 좋다. 상기 구성에서는 도광판을 별도로 제공할 필요가 없기 때문에 제조 비용을 절감할 수 있다. 또한 상기 도광판으로 인한 광의 감쇠도 발생하지 않기 때문에 발광 디바이스(4342)가 사출하는 광을

효율적으로 이용할 수 있다.

[0217] 도 16의 (B)에는 복합층(4009)의 단부 근방으로부터 광이 입사하는 구성을 나타내었다. 복합층(4009)과 기판(4006)의 계면 및 복합층(4009)과 기판(4001)의 계면에서의 전반사를 이용하여 광 산란형 액정 디바이스로부터 외부로 광을 사출할 수 있다. 복합층(4009)의 수지부에는 기판(4001) 및 기판(4006)보다 굴절률이 큰 재료를 사용한다.

[0218] 또한 발광 디바이스(4342)는 표시 장치의 1변에 제공할 뿐만 아니라 도 16의 (C)에 나타낸 바와 같이 대향하는 2변에 제공하여도 좋다. 또한 3변 또는 4변에 제공하여도 좋다. 발광 디바이스(4342)를 복수의 변에 제공함으로써 광의 감쇠를 보완할 수 있고, 대면적 표시 디바이스에도 대응할 수 있다.

[0219] 도 16의 (D)에는 발광 디바이스(4342)로부터 사출되는 광이 미러(4345)를 통하여 표시 장치에 도광되는 구성을 나타내었다. 상기 구성에 의하여 표시 장치에 대하여 일정 각도로부터의 도광을 수행하기 쉬워지기 때문에 전반사광(total reflection light)을 효율적으로 얻을 수 있다.

[0220] 도 16의 (E)에는 복합층(4009) 위에 층(4003)과 층(4004)의 적층을 갖는 구성을 나타내었다. 층(4003) 및 층(4004) 중 한쪽은 유리 기판 등의 지지체이고, 다른 쪽은 무기막, 유기 수지의 코팅막, 또는 필름 등으로 형성할 수 있다. 복합층(4009)의 수지부에는 층(4004)보다 굴절률이 큰 재료를 사용한다. 또한 층(4004)에는 층(4003)보다 굴절률이 큰 재료를 사용한다.

[0221] 복합층(4009)과 층(4004) 사이에는 첫 번째 계면이 형성되고, 층(4004)과 층(4003) 사이에는 두 번째 계면이 형성된다. 상기 구성에 의하여, 첫 번째 계면에서 전반사되지 않고 투과한 광을 두 번째 계면에서 전반사시켜 복합층(4009)으로 되돌릴 수 있다. 따라서 발광 디바이스(4342)가 사출하는 광을 효율적으로 이용할 수 있다.

[0222] 또한 도 15의 (B) 및 도 16의 (A) 내지 (E)에서의 구성은 서로 조합할 수 있다.

[0223] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0224] (실시형태 3)

[0225] 본 실시형태에서는, 앞의 실시형태에서 설명한 각 트랜지스터 대신에 사용할 수 있는 트랜지스터의 일례에 대하여 도면을 사용하여 설명한다.

[0226] 본 발명의 일 형태의 표시 장치는 보텀 게이트형 트랜지스터나 톱 게이트형 트랜지스터 등 다양한 형태의 트랜지스터를 사용하여 제작할 수 있다. 따라서 기존의 제조 라인에 맞추어, 사용하는 반도체층의 재료나 트랜지스터 구조를 용이하게 바꿀 수 있다.

[0227] [보텀 게이트형 트랜지스터]

[0228] 도 17의 (A1)은 보텀 게이트형 트랜지스터의 일종인 채널 보호형 트랜지스터(810)의 채널 길이 방향의 단면도이다. 도 17의 (A1)에서, 트랜지스터(810)는 기판(771) 위에 형성되어 있다. 또한 트랜지스터(810)는 기판(771) 위에 절연층(772)을 개재하여 전극(746)을 갖는다. 또한 전극(746) 위에 절연층(726)을 개재하여 반도체층(742)을 갖는다. 전극(746)은 게이트 전극으로서 기능할 수 있다. 절연층(726)은 게이트 절연층으로서 기능할 수 있다.

[0229] 또한 반도체층(742)의 채널 형성 영역 위에 절연층(741)을 갖는다. 또한 반도체층(742)의 일부와 접하여 절연층(726) 위에 전극(744a) 및 전극(744b)을 갖는다. 전극(744a)은 소스 전극 및 드레인 전극 중 한쪽으로서 기능할 수 있다. 전극(744b)은 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능할 수 있다. 전극(744a)의 일부 및 전극(744b)의 일부는 절연층(741) 위에 형성된다.

[0230] 절연층(741)은 채널 보호층으로서 기능할 수 있다. 채널 형성 영역 위에 절연층(741)을 제공함으로써, 전극(744a) 및 전극(744b)의 형성 시에 반도체층(742)이 노출되는 것을 방지할 수 있다. 따라서 전극(744a) 및 전극(744b)의 형성 시에 반도체층(742)의 채널 형성 영역이 에칭되는 것을 방지할 수 있다. 본 발명의 일 형태에 의하여 전기 특성이 양호한 트랜지스터를 실현할 수 있다.

[0231] 또한 트랜지스터(810)는 전극(744a), 전극(744b), 및 절연층(741) 위에 절연층(728)을 갖고, 절연층(728) 위에 절연층(729)을 갖는다.

[0232] 반도체층(742)에 산화물 반도체를 사용하는 경우, 전극(744a) 및 전극(744b)에서 적어도 반도체층(742)과 접하는 부분에, 반도체층(742)의 일부로부터 산소를 빼앗아 산소 결손을 발생시킬 수 있는 재료를 사용하는 것이 바

람직하다. 반도체층(742)에서 산소 결손이 발생한 영역은 캐리어 농도가 증가되므로, 상기 영역은 n형화되어 n형 영역(n^+ 영역)이 된다. 따라서 상기 영역은 소스 영역 또는 드레인 영역으로서 기능할 수 있다. 반도체층(742)에 산화물 반도체를 사용하는 경우, 반도체층(742)으로부터 산소를 빼앗아 산소 결손을 발생시킬 수 있는 재료의 일례로서는 텅스텐, 타이타늄 등을 들 수 있다.

[0233] 반도체층(742)에 소스 영역 및 드레인 영역이 형성됨으로써, 전극(744a) 및 전극(744b)과 반도체층(742)의 접촉 저항을 저감할 수 있다. 따라서 전계 효과 이동도나 문턱 전압 등의 트랜지스터의 전기 특성을 양호하게 할 수 있다.

[0234] 반도체층(742)에 실리콘 등의 반도체를 사용하는 경우에는, 반도체층(742)과 전극(744a) 사이 및 반도체층(742)과 전극(744b) 사이에 n형 반도체 또는 p형 반도체로서 기능하는 층을 제공하는 것이 바람직하다. n형 반도체 또는 p형 반도체로서 기능하는 층은 트랜지스터의 소스 영역 또는 드레인 영역으로서 기능할 수 있다.

[0235] 절연층(729)은 외부로부터 트랜지스터로의 불순물의 확산을 방지하거나 또는 저감하는 기능을 갖는 재료를 사용하여 형성되는 것이 바람직하다. 또한 필요에 따라 절연층(729)을 생략할 수도 있다.

[0236] 도 17의 (A2)에 나타낸 트랜지스터(811)는 절연층(729) 위에 백 게이트 전극으로서 기능할 수 있는 전극(723)을 갖는다는 점에서 트랜지스터(810)와 다르다. 전극(723)은 전극(746)과 같은 재료 및 방법으로 형성할 수 있다.

[0237] 일반적으로 백 게이트 전극은 도전층으로 형성되고, 게이트 전극과 백 게이트 전극 사이에 반도체층의 채널 형성 영역을 끼우도록 배치된다. 따라서 백 게이트 전극은 게이트 전극과 같은 식으로 기능할 수 있다. 백 게이트 전극의 전위는 게이트 전극과 같은 전위로 하여도 좋고, 접지 전위(GND 전위)나 임의의 전위로 하여도 좋다. 또한 백 게이트 전극의 전위를 게이트 전극과 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터의 문턱 전압을 변화시킬 수 있다.

[0238] 또한 전극(746) 및 전극(723)은 모두 게이트 전극으로서 기능할 수 있다. 따라서 절연층(726), 절연층(728), 및 절연층(729)은 각각 게이트 절연층으로서 기능할 수 있다. 또한 전극(723)은 절연층(728)과 절연층(729) 사이에 제공되어도 좋다.

[0239] 또한 전극(746) 및 전극(723) 중 한쪽을 "게이트 전극"이라고 하는 경우, 다른 쪽을 "백 게이트 전극"이라고 한다. 예를 들어 트랜지스터(811)에서 전극(723)을 "게이트 전극"이라고 하는 경우, 전극(746)을 "백 게이트 전극"이라고 한다. 또한 전극(723)을 "게이트 전극"으로서 사용하는 경우에는, 트랜지스터(811)를 톱 게이트형 트랜지스터의 일종으로 생각할 수 있다. 또한 전극(746) 및 전극(723) 중 어느 한쪽을 "제 1 게이트 전극"이라고 하고, 다른 쪽을 "제 2 게이트 전극"이라고 하는 경우가 있다.

[0240] 반도체층(742)을 사이에 끼워 전극(746) 및 전극(723)을 제공함으로써, 또한 전극(746) 및 전극(723)을 같은 전위로 함으로써, 반도체층(742)에서 캐리어가 흐르는 영역이 막 두께 방향에서 더 커지기 때문에, 캐리어의 이동량이 증가된다. 이 결과, 트랜지스터(811)의 온 전류가 커짐과 함께, 전계 효과 이동도가 높아진다.

[0241] 따라서 트랜지스터(811)는 점유 면적에 대하여 온 전류가 큰 트랜지스터이다. 즉, 요구되는 온 전류에 대하여 트랜지스터(811)의 점유 면적을 작게 할 수 있다. 본 발명의 일 형태에 의하여 트랜지스터의 점유 면적을 작게 할 수 있다. 그러므로 본 발명의 일 형태에 의하여 집적도가 높은 반도체 장치를 실현할 수 있다.

[0242] 또한 게이트 전극과 백 게이트 전극은 도전층으로 형성되기 때문에, 트랜지스터의 외부에서 발생하는 전계가 채널이 형성되는 반도체층에 작용하지 않도록 하는 기능(특히, 정전기 등에 대한 전계 차폐 기능)을 갖는다. 또한 백 게이트 전극을 반도체층보다 크게 형성하여 백 게이트 전극으로 반도체층을 덮음으로써 전계 차폐 기능을 높일 수 있다.

[0243] 또한 백 게이트 전극을 차광성을 갖는 도전막으로 형성함으로써, 백 게이트 전극 측으로부터 반도체층에 광이 입사하는 것을 방지할 수 있다. 따라서 반도체층의 광 열화를 방지하고, 트랜지스터의 문턱 전압이 시프트되는 등의 전기 특성의 열화를 방지할 수 있다.

[0244] 본 발명의 일 형태에 의하여 신뢰성이 양호한 트랜지스터를 실현할 수 있다. 또한 신뢰성이 양호한 반도체 장치를 실현할 수 있다.

[0245] 도 17의 (B1)은 도 17의 (A1)과는 구성이 다른 채널 보호형 트랜지스터(820)의 채널 길이 방향의 단면도이다. 트랜지스터(820)는 트랜지스터(810)와 거의 같은 구조를 갖지만, 절연층(741)이 반도체층(742)의 단부를 덮는다는 점에서 다르다. 또한 반도체층(742)과 중첩되는 절연층(741)의 일부를 선택적으로 제거하여 형성한 개구부

에서, 반도체층(742)과 전극(744a)이 전기적으로 접속되어 있다. 또한 반도체층(742)과 중첩되는 절연층(741)의 일부를 선택적으로 제거하여 형성한 다른 개구부에서, 반도체층(742)과 전극(744b)이 전기적으로 접속되어 있다. 절연층(741)에서 채널 형성 영역과 중첩되는 영역은 채널 보호층으로서 기능할 수 있다.

[0246] 도 17의 (B2)에 나타낸 트랜지스터(821)는, 절연층(729) 위에 백 게이트 전극으로서 기능할 수 있는 전극(723)을 갖는다는 점에서 트랜지스터(820)와 다르다.

[0247] 절연층(741)을 제공함으로써, 전극(744a) 및 전극(744b)의 형성 시에 반도체층(742)이 노출되는 것을 방지할 수 있다. 따라서 전극(744a) 및 전극(744b)의 형성 시에 반도체층(742)이 얇아지는 것을 방지할 수 있다.

[0248] 또한 트랜지스터(820) 및 트랜지스터(821)는, 트랜지스터(810) 및 트랜지스터(811)보다 전극(744a)과 전극(746) 사이의 거리와, 전극(744b)과 전극(746) 사이의 거리가 길다. 따라서 전극(744a)과 전극(746) 사이에 발생하는 기생 용량을 작게 할 수 있다. 또한 전극(744b)과 전극(746) 사이에 발생하는 기생 용량을 작게 할 수 있다. 본 발명의 일 형태에 의하여 전기 특성이 양호한 트랜지스터를 실현할 수 있다.

[0249] 도 17의 (C1)은 보텀 게이트형 트랜지스터의 하나인 채널 에칭형 트랜지스터(825)의 채널 길이 방향의 단면도이다. 트랜지스터(825)에서는 절연층(729)을 사용하지 않고 전극(744a) 및 전극(744b)을 형성한다. 그러므로 전극(744a) 및 전극(744b)의 형성 시에 노출되는 반도체층(742)의 일부가 에칭되는 경우가 있다. 한편, 절연층(729)을 제공하지 않기 때문에, 트랜지스터의 생산성을 높일 수 있다.

[0250] 도 17의 (C2)에 나타낸 트랜지스터(826)는, 절연층(729) 위에 백 게이트 전극으로서 기능할 수 있는 전극(723)을 갖는다는 점에서 트랜지스터(820)와 다르다.

[0251] 도 18의 (A1) 내지 (C2)는 각각 트랜지스터(810, 811, 820, 821, 825, 826)의 채널 폭 방향의 단면도이다.

[0252] 도 18의 (B2), (C2)에 나타낸 구조에서는, 게이트 전극과 백 게이트 전극이 접속되고, 게이트 전극과 백 게이트 전극의 전위가 같은 전위가 된다. 또한 반도체층(742)은 게이트 전극과 백 게이트 전극 사이에 끼워져 있다.

[0253] 게이트 전극 및 백 게이트 전극의 각각의 채널 폭 방향의 길이는 반도체층(742)의 채널 폭 방향의 길이보다 길고, 반도체층(742)의 채널 폭 방향 전체는 절연층(726, 741, 728, 729)을 개재하여 게이트 전극 및 백 게이트 전극으로 덮여 있다.

[0254] 상기 구성으로 함으로써, 트랜지스터에 포함되는 반도체층(742)을 게이트 전극 및 백 게이트 전극의 전계에 의하여 전기적으로 둘러쌀 수 있다.

[0255] 트랜지스터(821) 및 트랜지스터(826)와 같이, 게이트 전극 및 백 게이트 전극의 전계에 의하여, 채널 형성 영역이 형성되는 반도체층(742)을 전기적으로 둘러싸는 트랜지스터의 디바이스 구조를 Surrounded channel(S-channel) 구조라고 부를 수 있다.

[0256] S-channel 구조로 함으로써, 게이트 전극 및 백 게이트 전극 중 한쪽 또는 양쪽에 의하여 채널을 유발시키기 위한 전계를 반도체층(742)에 효과적으로 인가할 수 있기 때문에, 트랜지스터의 전류 구동 능력이 향상되고 높은 온 전류 특성을 얻을 수 있다. 또한 온 전류를 높일 수 있기 때문에, 트랜지스터를 미세화할 수 있다. 또한 S-channel 구조로 함으로써, 트랜지스터의 기계적 강도를 높일 수 있다.

[0257] [톱 게이트형 트랜지스터]

[0258] 도 19의 (A1)에 예시한 트랜지스터(842)는 톱 게이트형 트랜지스터의 하나이다. 전극(744a) 및 전극(744b)은 절연층(728) 및 절연층(729)에 형성한 개구부에서 반도체층(742)에 전기적으로 접속된다.

[0259] 또한 전극(746)과 중첩되지 않는 절연층(726)의 일부를 제거하고, 전극(746)과 나머지 절연층(726)을 마스크로서 사용하여 불순물을 반도체층(742)에 도입함으로써, 반도체층(742) 내에 자기 정합(self-aligned)적으로 불순물 영역을 형성할 수 있다. 트랜지스터(842)는 절연층(726)이 전극(746)의 단부를 넘어 연장되는 영역을 갖는다. 반도체층(742)에서 절연층(726)을 통하여 불순물이 도입된 영역의 불순물 농도는, 절연층(726)을 통하지 않고 불순물이 도입된 영역보다 낮다. 따라서 반도체층(742)은 절연층(726)과 중첩되는 영역이고, 전극(746)과 중첩되지 않는 영역에 LDD(Lightly Doped Drain) 영역이 형성된다.

[0260] 도 19의 (A2)에 나타낸 트랜지스터(843)는 전극(723)을 갖는다는 점에서 트랜지스터(842)와 다르다. 트랜지스터(843)는 기판(771) 위에 형성된 전극(723)을 갖는다. 전극(723)은 절연층(772)을 개재하여 반도체층(742)과 중첩되는 영역을 갖는다. 전극(723)은 백 게이트 전극으로서 기능할 수 있다.

[0261] 또한 도 19의 (B1)에 나타낸 트랜지스터(844) 및 도 19의 (B2)에 나타낸 트랜지스터(845)에서와 같이, 전극(746)과 중첩되지 않는 영역의 절연층(726)을 모두 제거하여도 좋다. 또한 도 19의 (C1)에 나타낸 트랜지스터(846) 및 도 19의 (C2)에 나타낸 트랜지스터(847)에서와 같이 절연층(726)을 남겨도 좋다.

[0262] 트랜지스터(842) 내지 트랜지스터(847)에서도, 전극(746)을 형성한 후에 전극(746)을 마스크로서 사용하여 불순물을 반도체층(742)에 도입함으로써, 반도체층(742)에 자기 정합적으로 불순물 영역을 형성할 수 있다. 본 발명의 일 형태에 의하여 전기 특성이 양호한 트랜지스터를 실현할 수 있다. 또한 본 발명의 일 형태에 의하여 집적도가 높은 반도체 장치를 실현할 수 있다.

[0263] 도 20의 (A1) 내지 (C2)는 각각 트랜지스터(842, 843, 844, 845, 846, 847)의 채널 폭 방향의 단면도이다.

[0264] 트랜지스터(843), 트랜지스터(845), 및 트랜지스터(847)는 각각 앞에서 설명한 S-channel 구조를 갖는다. 다만 이에 한정되지 않고, 트랜지스터(843), 트랜지스터(845), 및 트랜지스터(847)를 S-channel 구조로 하지 않아도 된다.

[0265] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0266] (실시형태 4)

[0267] 본 발명의 일 형태에 따른 표시 장치를 사용할 수 있는 전자 기기로서, 표시 기기, 퍼스널 컴퓨터, 기록 매체를 갖는 화상 기억 장치 또는 화상 재생 장치, 휴대 전화기, 휴대용을 포함한 게임기, 휴대용 정보 단말기, 전자책 단말기, 비디오 카메라, 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 21의 (A) 내지 (F)에 나타내었다.

[0268] 도 21의 (A)는 디지털 카메라를 나타낸 것이고, 하우징(961), 셔터 버튼(962), 마이크로폰(963), 스피커(967), 표시부(965), 조작 키(966), 줌 레버(968), 렌즈(969) 등을 갖는다. 표시부(965)에 본 발명의 일 형태의 표시 장치를 사용할 수 있다.

[0269] 도 21의 (B)는 휴대용 정보 단말기를 나타낸 것이고, 하우징(911), 표시부(912), 스피커(913), 조작 버튼(914), 카메라(919) 등을 갖는다. 표시부(912)가 갖는 터치 패널 기능에 의하여 정보를 입출력할 수 있다. 표시부(912)에 본 발명의 일 형태의 표시 장치를 사용할 수 있다.

[0270] 도 21의 (C)는 휴대 전화기를 나타낸 것이고, 하우징(951), 표시부(952), 조작 버튼(953), 외부 접속 포트(954), 스피커(955), 마이크로폰(956), 카메라(957) 등을 갖는다. 상기 휴대 전화기는 표시부(952)에 터치 센서를 갖는다. 전화를 걸거나, 또는 문자를 입력하는 등의 다양한 조작을 손가락이나 스타일러스 등으로 표시부(952)를 터치함으로써 수행할 수 있다. 또한 하우징(901) 및 표시부(952)는 가요성을 갖고, 도시된 바와 같이 굴곡시켜 사용할 수 있다. 표시부(952)에 본 발명의 일 형태의 표시 장치를 사용할 수 있다.

[0271] 도 21의 (D)는 비디오 카메라를 나타낸 것이고, 제 1 하우징(901), 제 2 하우징(902), 표시부(903), 조작 키(904), 렌즈(905), 접속부(906), 스피커(907) 등을 갖는다. 조작 키(904) 및 렌즈(905)는 제 1 하우징(901)에 제공되고, 표시부(903)는 제 2 하우징(902)에 제공되어 있다. 표시부(903)에 본 발명의 일 형태의 표시 장치를 사용할 수 있다.

[0272] 도 21의 (E)는 텔레비전을 나타낸 것이고, 하우징(971), 표시부(973), 조작 버튼(974), 스피커(975), 통신용 접속 단자(976), 광 센서(977) 등을 갖는다. 표시부(973)에는 터치 센서가 제공되고, 입력 조작을 수행할 수도 있다. 표시부(973)에 본 발명의 일 형태의 표시 장치를 사용할 수 있다.

[0273] 도 21의 (F)는 디지털 사이니지를 나타낸 것이고, 대형의 표시부(922)를 갖는다. 디지털 사이니지에서는 예를 들어 기둥(921)의 측면에 대형의 표시부(922)가 장착된다. 표시부(922)에 본 발명의 일 형태의 표시 장치를 사용할 수 있다.

[0274] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.

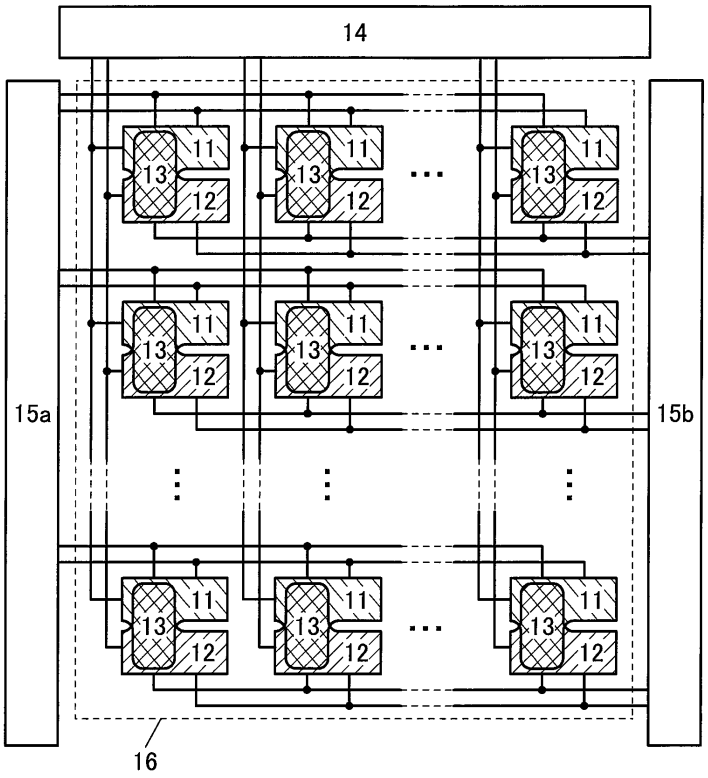
부호의 설명

[0275] 11: 화소, 12: 화소, 13: 회로, 14: 소스 드라이버, 15a: 게이트 드라이버, 15b: 게이트 드라이버, 16: 화소 어레이, 101: 트랜지스터, 102: 트랜지스터, 103: 트랜지스터, 104: 트랜지스터, 105: 커패시터, 110: 회로,

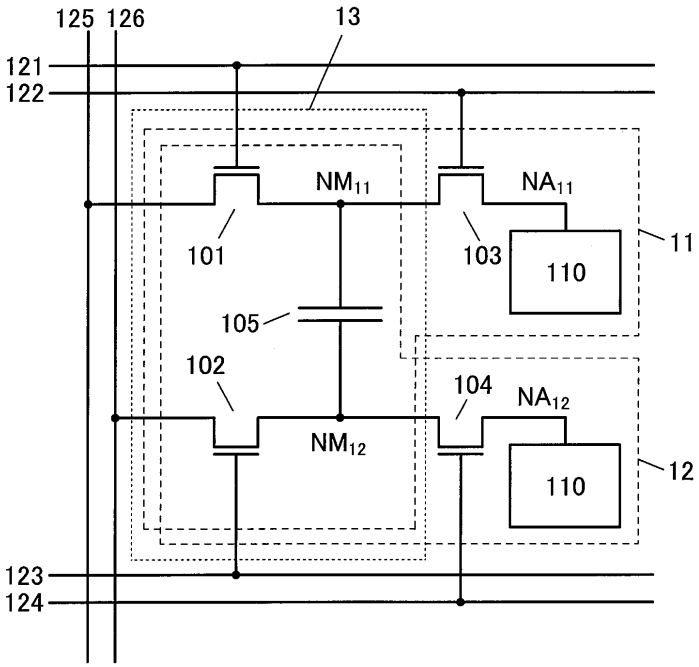
111: 트랜지스터, 112: 트랜지스터, 113: 커패시터, 114: 발광 디바이스, 115: 트랜지스터, 116: 커패시터, 117: 액정 디바이스, 118: 트랜지스터, 119: 트랜지스터, 120: 회로, 121: 배선, 122: 배선, 123: 배선, 124: 배선, 125: 배선, 126: 배선, 127: 배선, 128: 배선, 129: 배선, 130: 배선, 131: 배선, 132: 배선, 133: 배선, 134: 배선, 135: 배선, 215: 표시부, 221a: 주사선 구동 회로, 231a: 신호선 구동 회로, 232a: 신호선 구동 회로, 241a: 공통선 구동 회로, 723: 전극, 726: 절연층, 728: 절연층, 729: 절연층, 741: 절연층, 742: 반도체층, 744a: 전극, 744b: 전극, 746: 전극, 771: 기판, 772: 절연층, 810: 트랜지스터, 811: 트랜지스터, 820: 트랜지스터, 821: 트랜지스터, 825: 트랜지스터, 826: 트랜지스터, 842: 트랜지스터, 843: 트랜지스터, 844: 트랜지스터, 845: 트랜지스터, 846: 트랜지스터, 847: 트랜지스터, 901: 제 1 하우징, 902: 제 2 하우징, 903: 표시부, 904: 조작 키, 905: 렌즈, 906: 접속부, 907: 스피커, 911: 하우징, 912: 표시부, 913: 스피커, 914: 조작 버튼, 919: 카메라, 921: 기둥, 922: 표시부, 951: 하우징, 952: 표시부, 953: 조작 버튼, 954: 외부 접속 포트, 955: 스피커, 956: 마이크로폰, 957: 카메라, 961: 하우징, 962: 셔터 버튼, 963: 마이크로폰, 965: 표시부, 966: 조작 키, 967: 스피커, 968: 줌 레버, 969: 렌즈, 971: 하우징, 973: 표시부, 974: 조작 버튼, 975: 스피커, 976: 통신용 접속 단자, 977: 광 센서, 4001: 기판, 4003: 층, 4004: 층, 4005: 밀봉재, 4006: 기판, 4008: 액정층, 4009: 복합층, 4010: 트랜지스터, 4011: 트랜지스터, 4013: 액정 디바이스, 4014: 배선, 4015: 전극, 4016: 광 산란형 액정 디바이스, 4017: 전극, 4018: FPC(Flexible printed circuit), 4019: 이방성 도전층, 4020: 커패시터, 4021: 전극, 4022: 트랜지스터, 4023: 트랜지스터, 4030: 전극층, 4031: 전극층, 4032: 절연층, 4033: 절연층, 4035: 스페이서, 4041: 인쇄 기판, 4042: 집적 회로, 4102: 절연층, 4103: 절연층, 4104: 절연층, 4110: 절연층, 4111: 절연층, 4112: 절연층, 4131: 착색층, 4132: 차광층, 4133: 절연층, 4200: 입력 장치, 4210: 터치 패널, 4227: 전극, 4228: 전극, 4237: 배선, 4238: 배선, 4239: 배선, 4263: 기판, 4272b: FPC, 4273b: IC, 4340a: 백라이트 유닛, 4340b: 백라이트 유닛, 4341: 도광판, 4342: 발광 디바이스, 4344: 렌즈, 4345: 미러, 4347: 인쇄 기판, 4348: 반사층, 4352: 확산판, 4510: 격벽, 4511: 발광층, 4513: 발광 디바이스, 4514: 충전재

도면

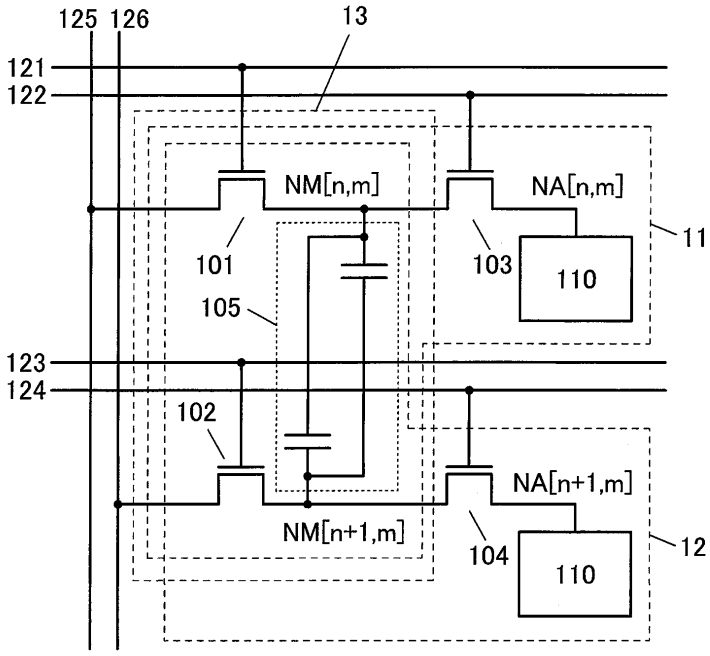
도면1



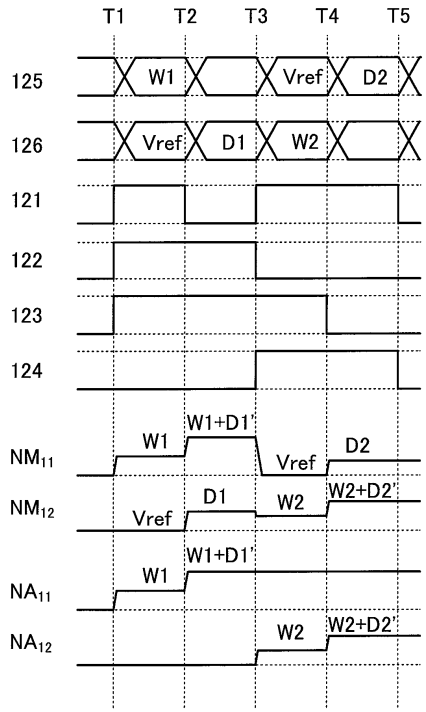
도면2


125
126
13
121
122
NM11
NA11
101
103
110
11
105
102
104
NA12
NM12
110
12
123
124

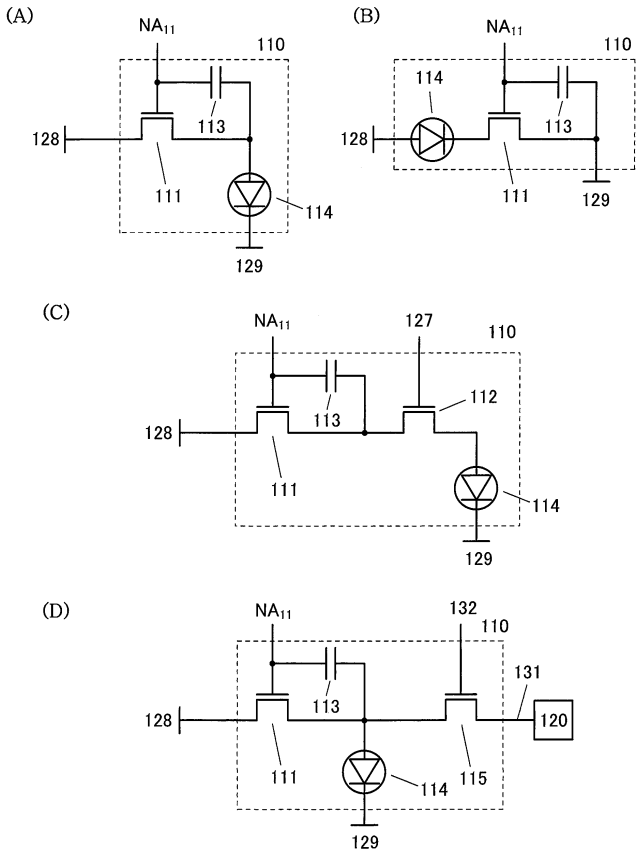
도면3


125
126
13
121
122
NM[n,m]
NA[n,m]
101
103
110
11
105
123
124
102
NA[n+1,m]
NM[n+1,m]
104
110
12

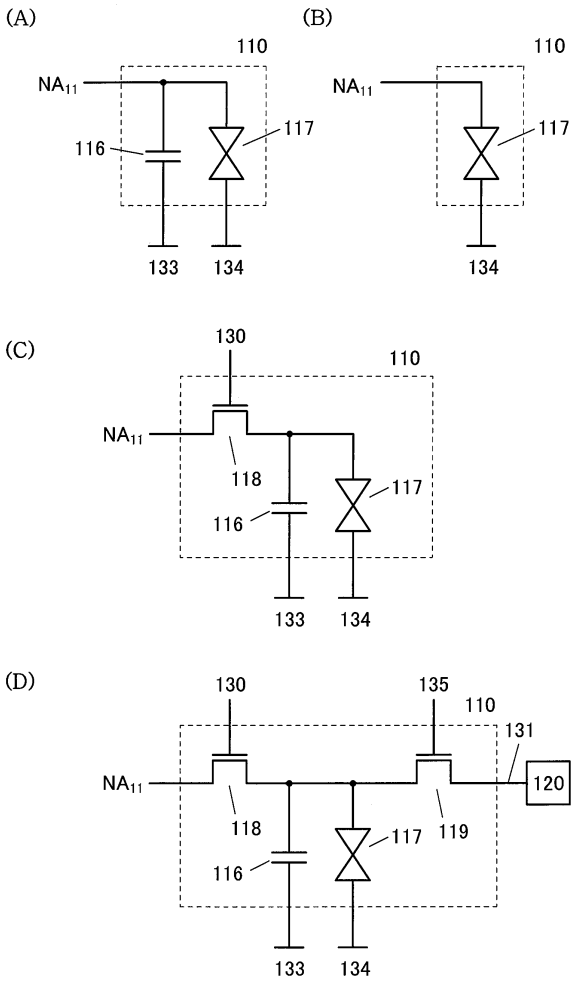
도면4


T1
T2
T3
T4
T5
125
W1
Vref
D2
126
Vref
D1
W2
121
122
123
124
NM11
W1
W1+D1'
Vref
D2
NM12
Vref
D1
W2
W2+D2'
NA11
W1
W1+D1'
NA12
W2
W2+D2'

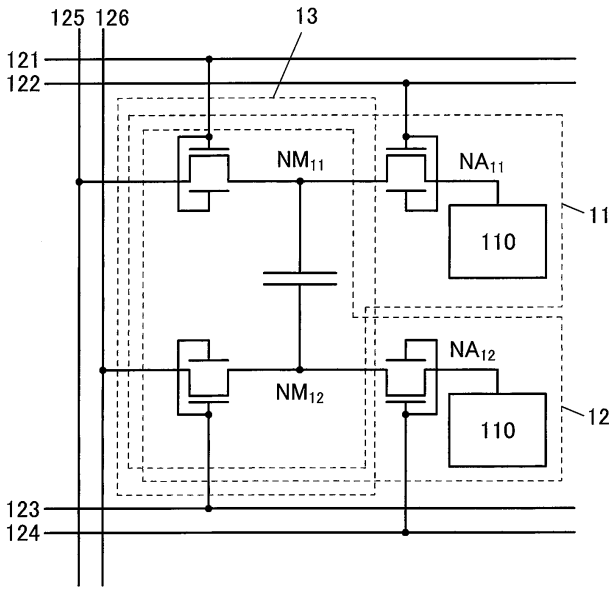
도면5


(A)
NA11
110
113
128
111
114
129
(B)
NA11
110
114
113
128
111
129
(C)
NA11
127
110
112
113
128
111
114
129
(D)
NA11
132
110
131
113
128
120
111
114
115
129

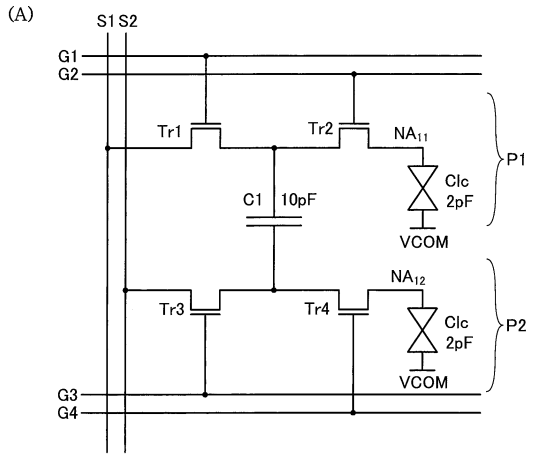
도면6

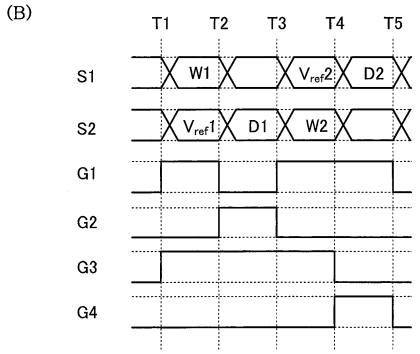

(A)
110
NA11
116
117
133
134
(B)
110
NA11
117
134
(C)
130
110
NA11
118
117
116
133
134
(D)
130
135
110
131
NA11
120
118
117
119
116
133
134

도면7

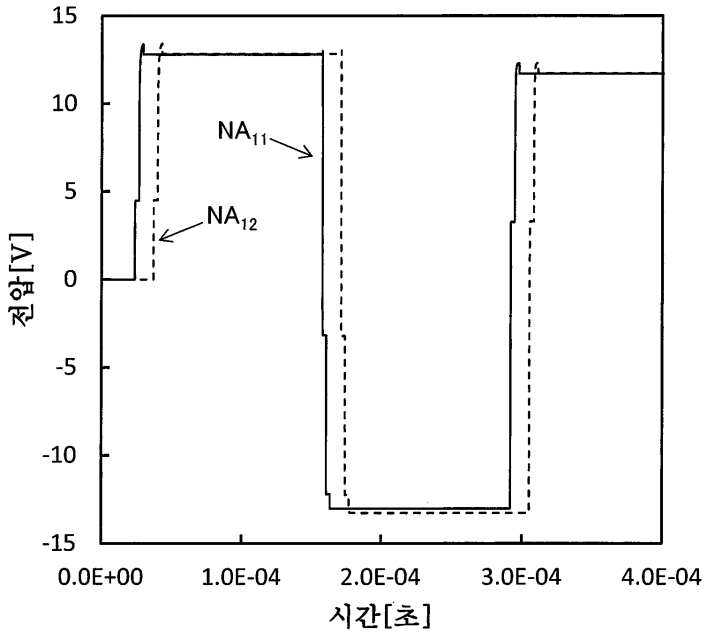

125 126
13
121
122
NM11
NA11
11
110
NA12
NM12
12
110
123
124

도면8

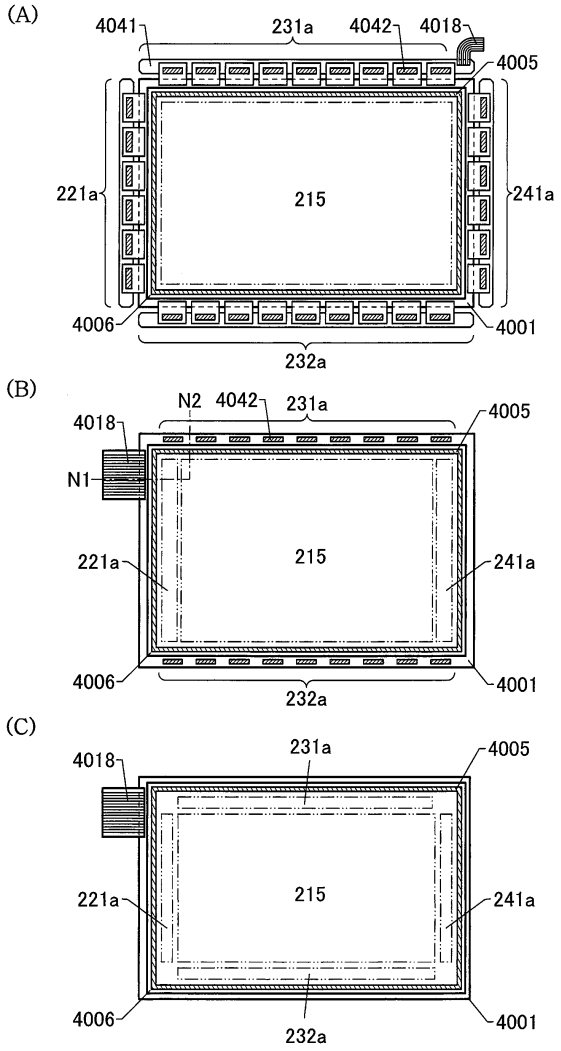

(A)
S1 S2
G1
G2
Tr1
Tr2
NA11
P1
Clc
2pF
C1
10pF
VCOM
NA12
Tr3
Tr4
Clc
2pF
P2
VCOM
G3
G4


(B)
T1
T2
T3
T4
T5
S1
W1
Vref2
D2
S2
Vref1
D1
W2
G1
G2
G3
G4

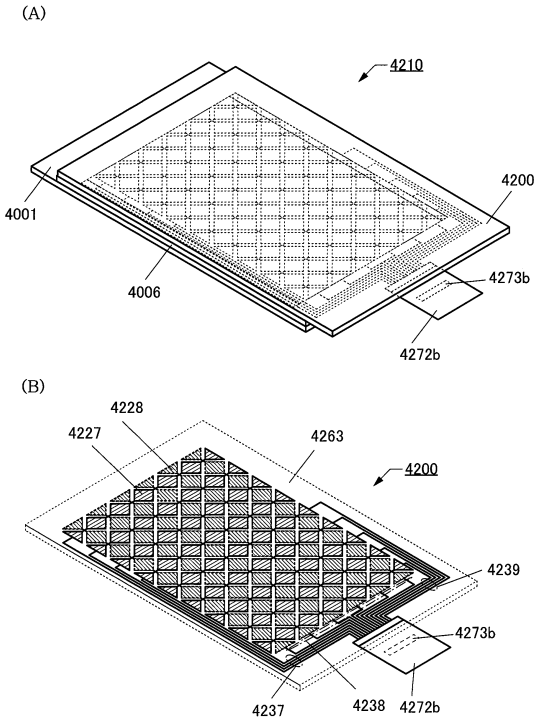
도면9


15
10
5
0
-5
-10
-15
전압[V]
NA11
NA12
0.0E+00
1.0E-04
2.0E-04
3.0E-04
4.0E-04
시간[초]

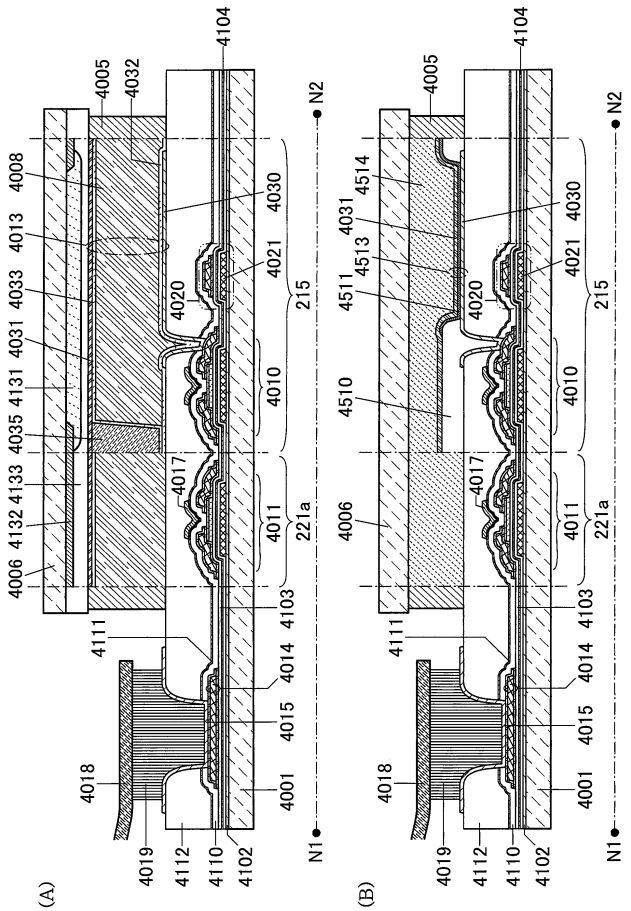
도면10


(A)
4041
231a
4042
4018
4005
221a
215
241a
4006
4001
232a
(B)
N2
4042
231a
4018
4005
N1
221a
215
241a
4006
4001
232a
(C)
231a
4018
4005
221a
215
241a
4006
4001
232a

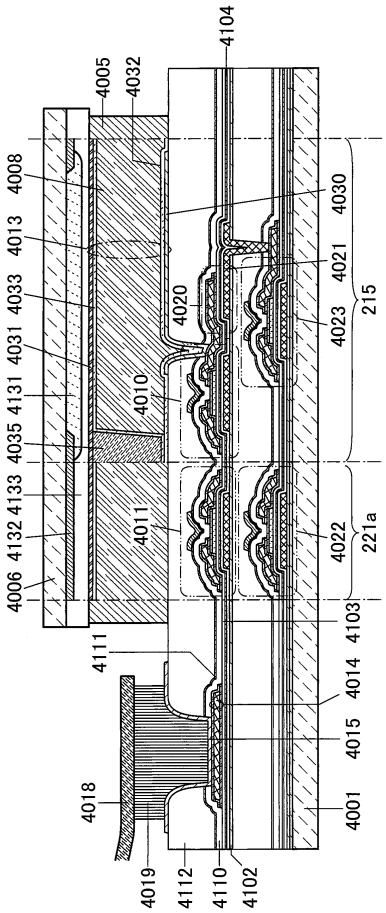
도면11


(A)
4210
4200
4001
4006
4273b
4272b
(B)
4228
4227
4263
4200
4239
4273b
4237
4238
4272b

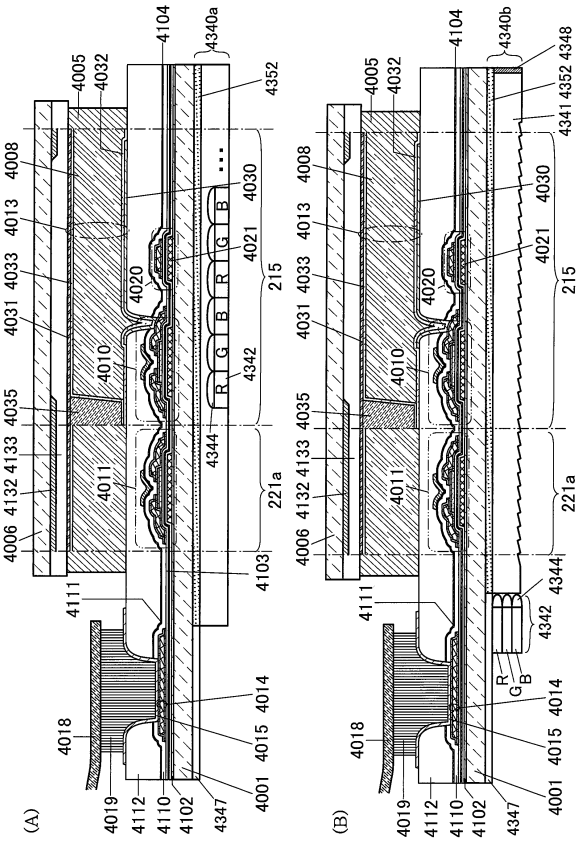
도면12


4104
4005
4032
N2
4008
4013
4033
4031
4131
4035
4133
4132
4006
4030
4021
4020
215
4010
4017
4011
221a
4103
4111
4014
4015
4018
4001
4019
4112
4110
4102
N1
(A)
(B)
4514
4513
4511
4510

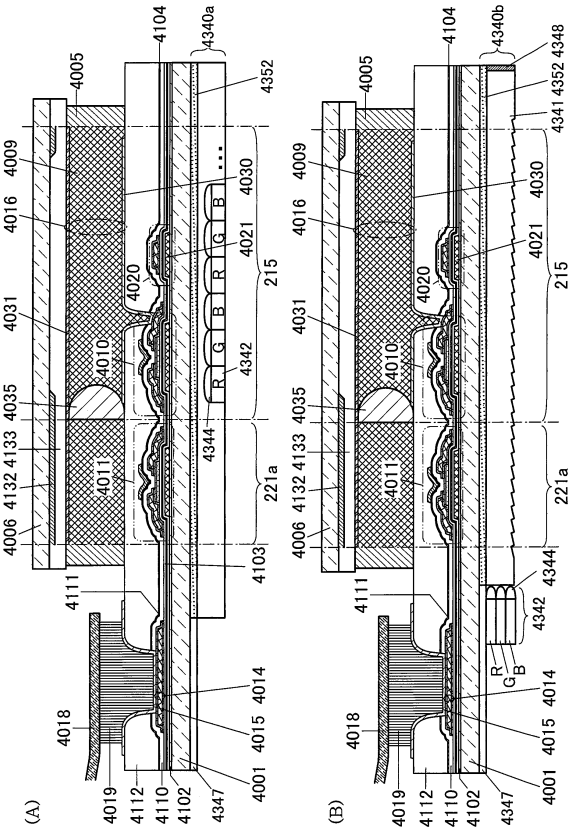
도면13


4104
4005
4032
4008
4030
4013
4021
4033
4020
4023
215
4031
4010
4131
4035
4133
4011
4022
221a
4132
4006
4103
4111
4014
4015
4018
4001
4019
4112
4110
4102

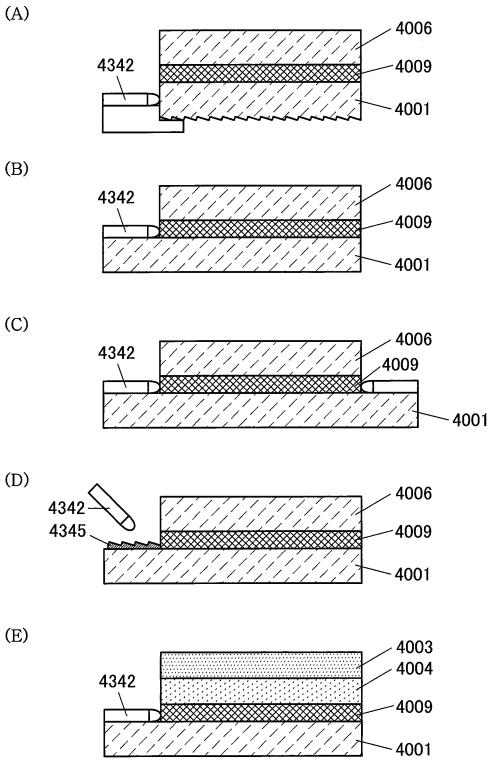
도면14


(A)
(B)
4104
4340a
4340b
4005
4032
4352
4348
4341
4008
4013
4033
4031
4035
4133
4132
4006
4030
4021
215
4020
4010
4342
4344
4011
221a
4103
4111
4014
4015
4018
4019
4112
4110
4102
4347
4001
R
G
B

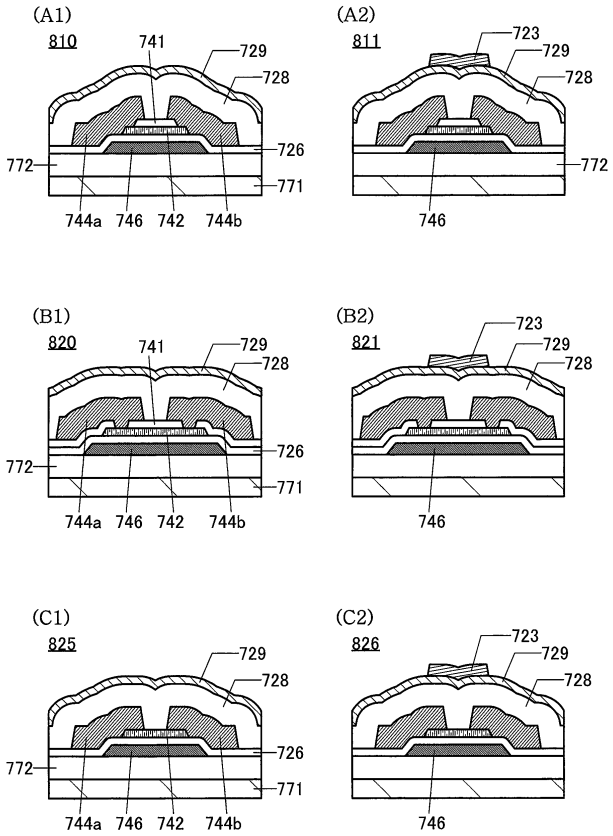
도면15


(A)
(B)
4005
4104
4340a
4340b
4352
4348
4341
4009
4016
4030
4021
4020
215
4031
4010
4035
4133
4132
4011
4006
4111
4342
4344
4103
221a
4014
4015
4018
4001
4019
4112
4110
4102
4347
R
G
B

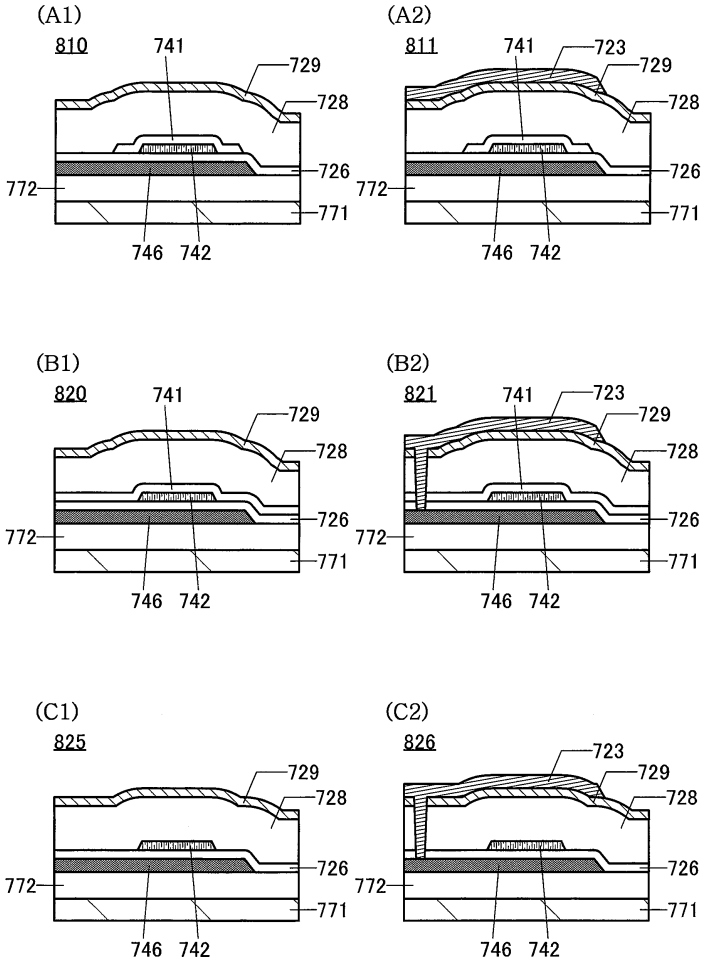
도면16


(A)
(B)
(C)
(D)
(E)
4342
4345
4006
4009
4001
4003
4004

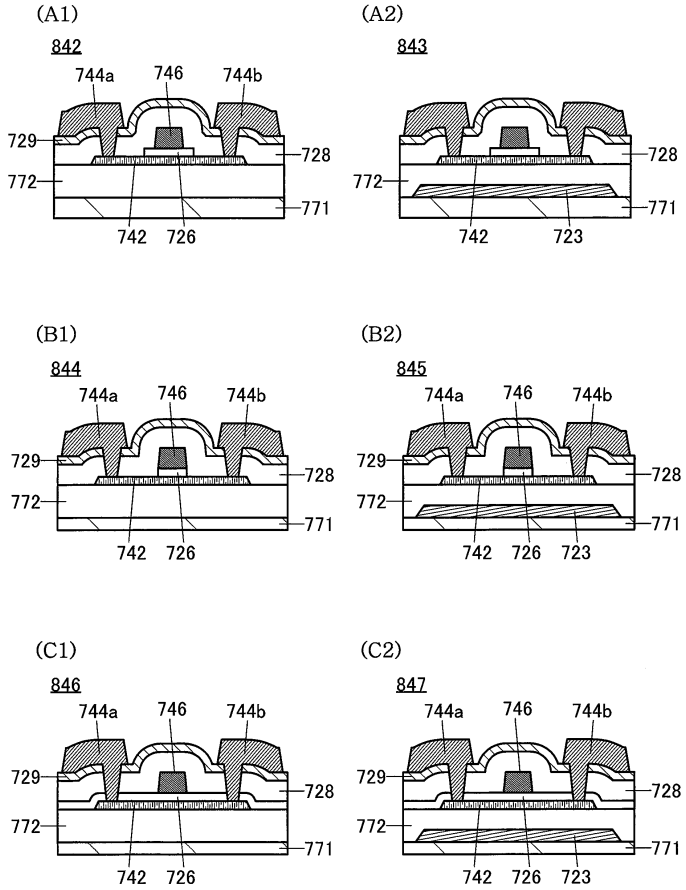
도면17


(A1)
810
741
729
728
726
772
771
744a
746
742
744b
(A2)
811
723
729
728
772
746
(B1)
820
741
729
728
726
772
771
744a
746
742
744b
(B2)
821
723
729
728
746
(C1)
825
729
728
726
772
771
744a
746
742
744b
(C2)
826
723
729
728
746

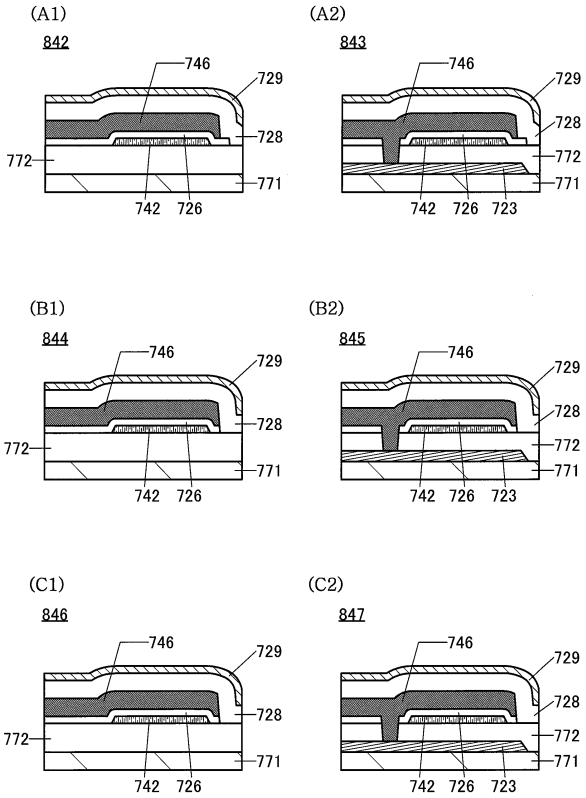
도면18


(A1)
810
741
729
728
726
772
771
746
742
(A2)
811
741
723
729
728
726
772
771
746
742
(B1)
820
741
729
728
726
772
771
746
742
(B2)
821
741
723
729
728
726
772
771
746
742
(C1)
825
729
728
726
772
771
746
742
(C2)
826
723
729
728
726
772
771
746
742

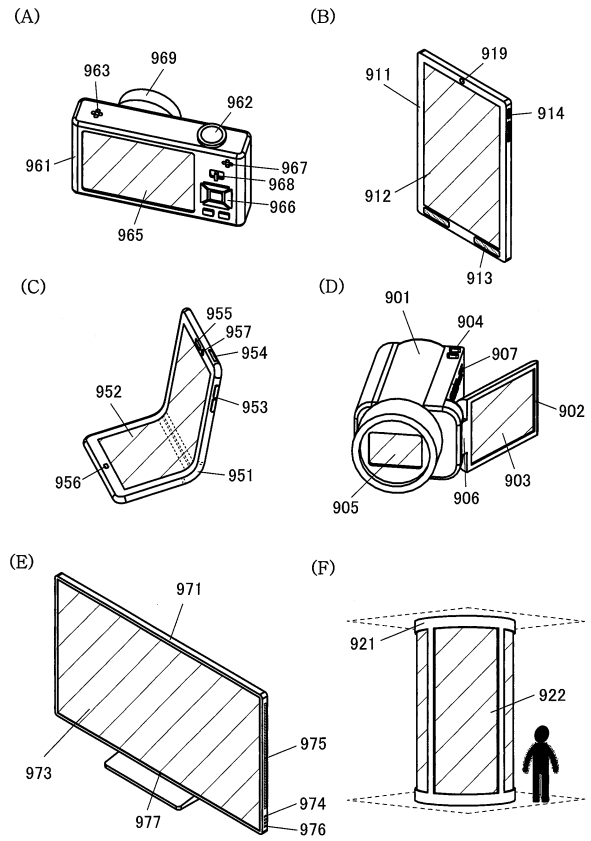
도면19


(A1)
842
744a
746
744b
729
728
772
771
742
726
(A2)
843
728
772
771
742
723
(B1)
844
744a
746
744b
729
728
772
771
742
726
(B2)
845
744a
746
744b
729
728
772
771
742
726
723
(C1)
846
744a
746
744b
729
728
772
771
742
726
(C2)
847
744a
746
744b
729
728
772
771
742
726
723

도면20


(A1)
842
746
729
728
772
771
742
726
(A2)
843
746
729
728
772
771
742
726
723
(B1)
844
746
729
728
772
771
742
726
(B2)
845
746
729
728
772
771
742
726
723
(C1)
846
746
729
728
772
771
742
726
(C2)
847
746
729
728
772
771
742
726
723

도면21


(A)
963
969
962
961
967
968
966
965
(B)
919
911
914
912
913
(C)
955
957
954
952
953
956
951
(D)
901
904
907
902
903
905
906
(E)
971
973
975
974
977
976
(F)
921
922