(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年12月21日(21.12.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/242664 A1

(51) 国際特許分類:
H10B 12/00 (2023.01) *H01L 27/06* (2006.01)
H01L 21/3205 (2006.01) *H01L 27/088* (2006.01)
H01L 21/336 (2006.01) *H01L 27/092* (2006.01)
H01L 21/768 (2006.01) *H01L 29/786* (2006.01)
H01L 21/822 (2006.01) *H01L 29/788* (2006.01)
H01L 21/8234 (2006.01) *H01L 29/792* (2006.01)
H01L 21/8238 (2006.01) *H10B 41/70* (2023.01)
H01L 23/522 (2006.01) *H10B 53/20* (2023.01)
H01L 27/04 (2006.01) *H10B 53/30* (2023.01)

(21) 国際出願番号: PCT/IB2023/055668

(22) 国際出願日: 2023年6月2日(02.06.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-098103 2022年6月17日(17.06.2022) JP
特願 2022-113447 2022年7月14日(14.07.2022) JP
特願 2023-076110 2023年5月2日(02.05.2023) JP

(71) 出願人: 株式会社半導体エネルギー研究所 (**SEMICONDUCTOR ENERGY LABORATORY CO., LTD.**) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

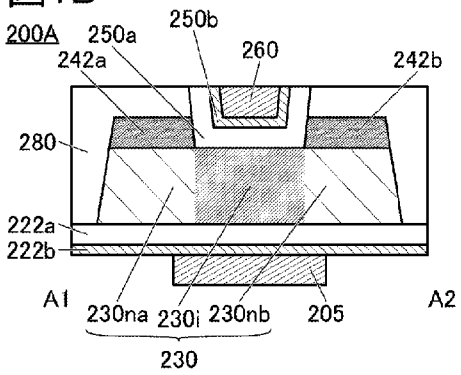
(72) 発明者: 國武寛司 (**KUNITAKE, Hitoshi**); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 澤井寛美(**SAWAI, Hiromi**); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 沼田至優(**NUMATA, Shiyuu**); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 大嶋和晃(**OHSHIMA, Kazuaki**); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) **Title:** SEMICONDUCTOR DEVICE AND STORAGE DEVICE

(54) 発明の名称: 半導体装置、記憶装置

図1B



(57) **Abstract:** Provided is a semiconductor device having favorable electrical characteristics. This semiconductor device has: a first layered body; a semiconductor layer having a channel-forming region under the first layered body; and a second layered body under the semiconductor layer. The first layered body and the second layered body each have at least a first insulator and a second insulator. At such a time, the first insulator of the first layered body and the first insulator of the second layered body have regions that overlap each other with the channel-forming region therebetween, and the second insulator of the first layered body and the second insulator of the second layered body have regions that overlap each other with the first insulator of the first layered body, the channel-forming region, and the first insulator of the second layered body therebetween. Furthermore, the first insulator included in the first layered body and the first insulator included in the second layered body share a function, and the second insulator included in the first layered body and the second insulator included in the second layered body share a function.

WO 2023/242664 A1

[続葉有]

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

— 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

(57) 要約:良好な電気特性を有する半導体装置を提供する。 半導体装置は、第１の積層体と、第１の積層体下のチャネル形成領域を有する半導体層と、半導体 層下の第２の積層体と、を有する。第１の積層体及び第２の積層体はそれぞれ、少なくとも第１の 絶縁体と第２の絶縁体とを有する。このとき、第１の積層体が有する第１の絶縁体と、第２の積層 体が有する第１の絶縁体とはチャネル形成領域を介して互いに重なる領域を有し、第１の積層体が 有する第２の絶縁体と、第２の積層体が有する第２の絶縁体とは、第１の積層体が有する第１の絶 縁体、チャネル形成領域、及び第２の積層体が有する第１の絶縁体を介して互いに重なる領域を有 する。また、第１の積層体に含まれる第１の絶縁体と第２の積層体に含まれる第１の絶縁体とは、 共通の機能を有し、第１の積層体に含まれる第２の絶縁体と第２の積層体に含まれる第２の絶縁体 とは、共通の機能を有する。

明細書

発明の名称

半導体装置、記憶装置

技術分野

［０００１］

本発明の一態様は、半導体装置、記憶装置、及び電子機器に関する。また、本発明の一態様は、半導体装置、及び記憶装置の作製方法に関する。

［０００２］

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらの駆動方法、またはそれらの製造方法を一例として挙げることができる。

［０００３］

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有するといえる場合がある。

背景技術

［０００４］

近年、半導体装置の開発が進められ、ＬＳＩ（Ｌａｒｇｅ　Ｓｃａｌｅ　Ｉｎｔｅｇｒａｔｉｏｎ）、ＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）、メモリなどが主に半導体装置に用いられている。ＣＰＵは、半導体ウエハを加工し、チップ化された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

［０００５］

ＬＳＩ、ＣＰＵ、メモリなどの半導体回路（ＩＣチップ）は、回路基板、例えばプリント配線基板に実装され、様々な電子機器の部品の一つとして用いられる。

［０００６］

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（ＩＣ）、画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

［０００７］

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、特許文献１には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用した低消費電力のＣＰＵなどが開示されている。また、例えば、特許文献２には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用して、長期にわたり記憶内容を保持できる記憶装置などが、開示されている。

［先行技術文献］

［特許文献］

［０００８］

［特許文献１］特開２０１２－２５７１８７号公報

［特許文献２］特開２０１１－１５１３８３号公報

発明の概要

発明が解決しようとする課題

［０００９］

本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一とする。または、信頼性が高い半導体装置を提供することを課題の一とする。または、トランジスタの電気特性のばらつきが少ない半導体装置を提供することを課題の一とする。または、微細化または高集積化が可能な半導体装置を提供することを課題の一とする。または、動作速度が速い半導体装置を提供することを課題の一とする。または、オン電流が大きい半導体装置を提供することを課題の一とする。または、消費電力が低い半導体装置を提供することを課題の一とする。または、新規の半導体装置を提供することを課題の一とする。または、生産性の高い半導体装置の作製方法を提供することを課題の一とする。または、新規の半導体装置の作製方法を提供することを課題の一とする。

［００１０］

または、本発明の一態様は、記憶容量が大きい記憶装置を提供することを課題の一とする。または、動作速度が速い記憶装置を提供することを課題の一とする。または、消費電力が低い記憶装置を提供することを課題の一とする。または、新規な記憶装置を提供することを課題の一とする。または、新規の記憶装置の作製方法を提供することを課題の一とする。

［００１１］

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

［００１２］

本発明の一態様は、第１の積層体と、第１の積層体下の半導体層と、半導体層下の第２の積層体と、を有する半導体装置である。半導体層は、第１の領域と、第１の領域を挟むように設けられる第２の領域及び第３の領域と、を有する。第１の積層体と、第２の積層体とは、第１の領域を基準として対称に設けられている。第１の積層体は、第１の絶縁体と、第１の絶縁体上の第２の絶縁体と、を有する。第２の積層体は、第３の絶縁体と、第３の絶縁体下の第４の絶縁体と、を有する。第２の絶縁体は、第１の絶縁体よりも水素を透過し難い。第４の絶縁体は、第３の絶縁体よりも水素を透過し難い。第１の絶縁体及び第３の絶縁体のそれぞれは、シリコンと、酸素と、を有する。第２の絶縁体及び第４の絶縁体のそれぞれは、シリコンと、窒素と、を有する。

［００１３］

上記半導体装置において、第３の絶縁体は、島状であり、断面視において、第３の絶縁体の側端部は、半導体層の側端部と一致することが好ましい。

［００１４］

また、上記半導体装置において、第１の積層体は、第１の絶縁体下に第５の絶縁体をさらに有し、第２の積層体は、第３の絶縁体上に第６の絶縁体をさらに有し、第５の絶縁体は、第１の絶縁体よ

りも酸素を透過し難く、第６の絶縁体は、第２の絶縁体よりも酸素を透過し難く、第５の絶縁体及び第６の絶縁体のそれぞれは、アルミニウムを有することが好ましい。

［００１５］

また、上記半導体装置において、第３の絶縁体と、第６の絶縁体とは、積層構造であり、積層構造は、島状であり、断面視において、積層構造の側端部は、半導体層の側端部と一致することが好ましい。

［００１６］

本発明の別の一態様は、第１の積層体と、第１の積層体下の半導体層と、半導体層下の第２の積層体と、を有する半導体装置である。半導体層は、第１の領域と、第１の領域を挟むように設けられる第２の領域及び第３の領域と、を有する。第１の積層体と、第２の積層体とは、第１の領域を基準として対称に設けられている。第１の積層体は、第１の絶縁体と、第１の絶縁体上の第２の絶縁体と、第２の絶縁体上の第３の絶縁体と、を有する。第２の積層体は、第１の金属酸化物と、第１の金属酸化物下の第４の絶縁体と、第４の絶縁体下の第５の絶縁体と、を有する。第１の絶縁体は、第２の絶縁体よりも酸素を透過し難い。第３の絶縁体は、第２の絶縁体よりも水素を透過し難い。第１の金属酸化物は、第４の絶縁体よりも酸素を透過し難い。第５の絶縁体は、第４の絶縁体よりも水素を透過し難い。第１の絶縁体及び第１の金属酸化物のそれぞれは、ガリウム及びアルミニウムの少なくとも一方を有する。第２の絶縁体及び第４の絶縁体のそれぞれは、シリコンと、酸素と、を有する。第３の絶縁体及び第５の絶縁体のそれぞれは、シリコンと、窒素と、を有する。

［００１７］

上記半導体装置において、半導体層は、第２の金属酸化物を有し、第１の金属酸化物及び第２の金属酸化物のそれぞれは、インジウムを有し、第１の金属酸化物における、インジウムに対するガリウム及びアルミニウムの少なくとも一方の原子数比は、第２の金属酸化物における、インジウムに対するガリウム及びアルミニウムの少なくとも一方の原子数比より大きいことが好ましい。

［００１８］

また、上記半導体装置において、第４の絶縁体と第５の絶縁体との間に、第６の絶縁体をさらに有し、第６の絶縁体は、水素を捕獲する又は固着する機能を有することが好ましい。

［００１９］

また、上記半導体装置において、第２の絶縁体と第３の絶縁体との間に、第７の絶縁体をさらに有し、第７の絶縁体は、水素を捕獲する又は固着する機能を有することが好ましい。

［００２０］

また、上記半導体装置において、第１の導電体と、第２の導電体とをさらに有し、第１の導電体は、第１の積層体の上方に位置し、第２の導電体は、第２の積層体の下方に位置することが好ましい。

［００２１］

また、上記半導体装置において、第３の導電体と、第４の導電体とをさらに有し、第２の領域は、第３の導電体と重なり、第３の領域は、第４の導電体と重なることが好ましい。

［００２２］

本発明の一態様は、上記半導体装置と、容量素子と、を有する記憶装置である。容量素子は、強誘電体キャパシタである。

発明の効果

［００２３］

本発明の一態様により、良好な電気特性を有する半導体装置を提供できる。または、信頼性が高い半導体装置を提供できる。または、トランジスタの電気特性のばらつきが少ない半導体装置を提供できる。または、微細化または高集積化が可能な半導体装置を提供できる。または、動作速度が速い半導体装置を提供できる。または、オン電流が大きい半導体装置を提供できる。または、消費電力が低い半導体装置を提供できる。または、新規の半導体装置を提供できる。または、生産性の高い半導体装置の作製方法を提供できる。または、新規の半導体装置の作製方法を提供できる。

［００２４］

または、本発明の一態様により、記憶容量が大きい記憶装置を提供できる。または、動作速度が速い記憶装置を提供できる。または、消費電力が低い記憶装置を提供できる。または、新規な記憶装置を提供できる。または、新規の半導体装置の作製方法を提供できる。

［００２５］

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

［００２６］

図１Ａは半導体装置の一例を示す上面図である。図１Ｂ及び図１Ｃは半導体装置の一例を示す断面図である。

図２Ａ及び図２Ｂは半導体装置の一例を示す断面図である。

図３Ａは半導体装置の一例を示す上面図である。図３Ｂ及び図３Ｃは半導体装置の一例を示す断面図である。

図４Ａ乃至図４Ｄは半導体装置の一例を示す断面図である。

図５Ａ乃至図５Ｄは半導体装置の一例を示す断面図である。

図６Ａは半導体装置の一例を示す上面図である。図６Ｂ及び図６Ｃは半導体装置の一例を示す断面図である。

図７Ａ乃至図７Ｄは半導体装置の一例を示す断面図である。

図８Ａは半導体装置の一例を示す上面図である。図８Ｂ及び図８Ｃは半導体装置の一例を示す断面図である。

図９Ａ乃至図９Ｆは半導体装置の一例を示す断面図である。

図１０Ａ乃至図１０Ｆは半導体装置の一例を示す断面図である。

図１１Ａ乃至図１１Ｄは半導体装置の一例を示す断面図である。

図１２Ａ乃至図１２Ｄは半導体装置の一例を示す断面図である。

図１３Ａ乃至図１３Ｆは半導体装置の一例を示す断面図である。

図１４Ａ乃至図１４Ｆは半導体装置の一例を示す断面図である。

図１５Ａは半導体装置の一例を示す上面図である。図１５Ｂ乃至図１５Ｄは半導体装置の一例を示す断面図である。

図１６Ａ及び図１６Ｂは半導体装置の一例を示す断面図である。

図１７Ａ及び図１７Ｂは半導体装置の一例を示す断面図である。

図１８Ａ及び図１８Ｂは半導体装置の一例を示す断面図である。

図１９Ａは半導体装置の一例を示す上面図である。図１９Ｂ及び図１９Ｃは半導体装置の一例を示す断面図である。

図２０Ａは半導体装置の一例を示す上面図である。図２０Ｂは半導体装置の一例を示す断面図である。

図２１は半導体装置の一例を示す断面図である。

図２２は半導体装置の一例を示す断面図である。

図２３Ａは半導体装置の一例を示す上面図である。図２３Ｂは半導体装置の一例を示す断面図である。

図２４Ａは半導体装置の一例を示す上面図である。図２４Ｂは半導体装置の一例を示す断面図である。

図２５Ａは半導体装置の一例を示す上面図である。図２５Ｂは半導体装置の一例を示す断面図である。

図２６は記憶装置の一例を示す断面図である。

図２７は記憶装置の一例を示す断面図である。

図２８Ａは本発明の一態様に係る記憶装置の構成例を示すブロック図である。図２８Ｂは本発明の一態様に係る記憶装置の構成例を示す斜視図である。

図２９Ａ乃至図２９Ｉは本発明の一態様に係る記憶装置の構成例を示す回路図である。

図３０は記憶装置の一例を示す断面図である。

図３１Ａは、メモリセルの回路構成例を説明する図である。図３１Ｂは、ヒステリシス特性の一例を示すグラフである。図３１Ｃは、メモリセルの駆動方法例を示すタイミングチャートである。

図３２Ａおよび図３２Ｂは本発明の一態様に係る半導体装置の模式図である。

図３３Ａ乃至図３３Ｅは、記憶装置の一例を説明するための図である。

図３４Ａ及び図３４Ｂは、電子部品の一例を示す図である。

図３５Ａ及び図３５Ｂは、電子機器の一例を示す図であり、図３５Ｃ乃至図３５Ｅは、大型計算機の一例を示す図である。

図３６は、宇宙用機器の一例を示す図である。

図３７は、データセンターに適用可能なストレージシステムの一例を示す図である。

図３８は、ＧＩＸＲＤ測定結果を示す図である。

図３９Ａ及び図３９Ｂは、ＡＦＭを用いて表面観察を行った結果を示す図である。図３９Ｃ及び図３９Ｄは、画像解析を行った結果を示す図である。図３９Ｅ及び図３９Ｆは、粒径分布を評価した結果を示す図である。

図４０Ａは、入力電圧波形を示す図である。図４０ＢはＰ－Ｅ特性を示す図である。

図４１Ａは、入力電圧波形を示す図である。図４１Ｂは、疲労特性を示す図である。

図４２Ａ及び図４２Ｂは、疲労特性を示す図である。

図４３Ａ及び図４３Ｂは、リテンション測定の方法を示す図である。

図４４は、リテンション測定の結果を示す図である。

図４５は、Ｊ－Ｖ特性を示す図である。

図４６は、作製した試料の断面ＳＴＥＭ像である。

図４７Ａは、メモリセル回路を説明する図である。図４７Ｂは、光学顕微鏡写真である。

図４８は、ソースフォロワの特性を示す図である。

図４９Ａ及び図４９Ｂは、正の分極の書き込みと読み出し評価の手法を説明する図である。
図５０Ａ及び図５０Ｂは、正の分極の書き込みと読み出し評価の手法を説明する図である。
図５１は、電圧波形を示す図である。
図５２は、ΔV_{BL}の推移を示す図である。
図５３は、ΔV_{BL}の推移を示す図である。
図５４Ａ及び図５４Ｂは、疲労特性を示す図である。
図５５Ａ及び図５５Ｂは、リテンション測定の結果を示す図である。
図５６Ａは、試料の模式図であり、図５６Ｂは、試料の断面図である。
図５７は、作製した試料の断面ＳＴＥＭ像である。
図５８は、試料のＩｄ－Ｖｇ特性を示す図である。
図５９は、しきい値電圧を示す図である。
図６０は、試料のＩｄ－Ｖｇ特性を示す図である。
図６１Ａは、試料のしきい値電圧を示す図である。図６１Ｂは、試料のシート抵抗を示す図である。
図６１Ｃは、試料のコンタクト抵抗を示す図である。
図６２は、試料のＩｄ－Ｖｇ特性を示す図である。
図６３Ａ乃至図６３Ｃは、試料のコンタクト抵抗を示す図である。
図６４Ａは、試料の回路構成を示す回路図である。図６４Ｂは、リーク電流の測定結果を示す図である。
図６５Ａは、試料の回路構成を示す回路図である。図６５Ｂは、試料の$I_d - V_{CWL}$特性を示す回路図である。図６５Ｃは、試料の電位Ｖｓｈを示す図である。
図６６Ａは、試料のデータ保持評価試験の結果を示す図である。図６６Ｂは、試料のデータ書き換え評価試験の結果を示す図である。
図６７Ａは、コンタクト抵抗を示す図である。図６７Ｂは、シート抵抗を示す図である。
図６８は、実施例に係る断面ＳＴＥＭ像である。
図６９Ａ及び図６９Ｂは、ドレイン耐圧試験の結果を示す図である。
図７０は、ドレイン耐圧試験の結果を示す図である。
図７１は、Ｐ－Ｖ特性を示す図である。
図７２は、疲労特性を示す図である。
図７３は、ΔV_{BL}の推移を示す図である。
図７４は、リテンション測定の結果を示す図である。

発明を実施するための形態

［００２７］

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

［００２８］

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

［００２９］

また、図面において示す各構成の、位置、大きさ、及び、範囲などは、理解の簡単のため、実際の位置、大きさ、及び、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び、範囲などに限定されない。

［００３０］

なお、本明細書等において、「第１」、「第２」という序数詞は、便宜上用いるものであり、構成要素の数、または、構成要素の順序（例えば、工程順、または積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、または特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

［００３１］

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能である。また、「導電体」という用語は、場合によっては、または、状況に応じて、「導電層」という用語、または「導電膜」という用語に、互いに入れ替えることが可能である。また、「絶縁体」という用語は、場合によっては、または、状況に応じて、「絶縁層」という用語、または「絶縁膜」という用語に、互いに入れ替えることが可能である。

［００３２］

開口とは、例えば、溝、スリットなども含まれる。また、開口が形成された領域を開口部と記す場合がある。

［００３３］

また、本実施の形態で用いる図面において、絶縁体の開口部における、絶縁体の側壁が、基板面または被形成面に対して概略垂直である場合を示すが、テーパー形状であってもよい。

［００３４］

なお、本明細書等において、テーパー形状とは、構造の側面の少なくとも一部が、基板面または被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面または被形成面とがなす角（以下、テーパー角と呼ぶ場合がある）が９０°未満である領域を有すると好ましい。なお、構造の側面及び基板面は、必ずしも完全に平坦である必要はなく、微細な曲率を有する略平面状、または微細な凹凸を有する略平面状であってもよい。

［００３５］

本明細書等において、「高さが一致」とは、断面視において、基準となる面（例えば、基板表面等の平坦な面）からの高さが等しい構成を示す。例えば、半導体装置の製造プロセスにおいて、平坦化処理（代表的にはＣＭＰ（Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）処理）を行うことで、単層又は複数の層の表面を露出する場合がある。この場合、ＣＭＰ処理の被処理面は、基準となる面からの高さが等しい構成となる。ただし、ＣＭＰ処理の際の処理装置、処理方法、又は被処理面の材料によって、複数の層の高さが異なる場合がある。本明細書等においては、この場合も「高さが一致」として扱う。例えば、基準面に対して、２つの高さを有する層（ここでは第１の層と、第２の層とする）を有する場合であって、第１の層の上面の高さと、第２の層の上面の高さとの差が２０ｎｍ以下である場合も、「高さが一致」という。

［００３６］

本明細書等において、「端部が一致」とは、上面視において、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、又は一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重ならず、上層の輪郭が下層の輪郭より内側に位置すること、又は、上層の輪郭が下層の輪郭より外側に位置することもあり、この場合も「端部が一致」という。

［００３７］

なお、一般に、「完全一致」と「概略一致」の差を明確に区分けするのは困難である。このため、本明細書等において「一致」とは、完全に一致している場合と、概略一致している場合のいずれも含むものとする。

［００３８］

また、本明細書等では、オフ電流と同じ意味で、リーク電流と記載する場合がある。また、本明細書等において、オフ電流とは、例えば、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

［００３９］

（実施の形態１）

本実施の形態では、図１Ａ乃至図２５Ｂを用いて、本発明の一態様である半導体装置の構成例について説明する。なお、本発明の一態様である半導体装置は、トランジスタを有する。

［００４０］

＜構成例１＞

図１Ａ乃至図１Ｃを用いて、本発明の一態様である半導体装置の構成例を説明する。図１Ａは半導体装置の上面図であり、図１Ｂ及び図１Ｃは半導体装置の断面図である。ここで、図１Ｂは、図１ＡにＡ１－Ａ２の一点鎖線で示す部位の断面図である。また、図１Ｃは、図１ＡにＡ３－Ａ４の一点鎖線で示す部位の断面図である。なお、図１Ａの上面図では、図の明瞭化のために一部の要素を省いている。

［００４１］

図１Ａ乃至図１Ｃに示す半導体装置は、トランジスタ２００Ａを有する。よって、図１Ｂは、トランジスタ２００Ａのチャネル長方向の断面図ともいえる。また、図１Ｃは、トランジスタ２００Ａのチャネル幅方向の断面図ともいえる。

［００４２］

トランジスタ２００Ａは、導電体２０５と、導電体２０５上の絶縁体２２２（絶縁体２２２ｂ及び絶縁体２２２ａ）と、絶縁体２２２上の酸化物２３０と、酸化物２３０上の、導電体２４２ａ及び導電体２４２ｂと、酸化物２３０上の絶縁体２５０（絶縁体２５０ａ及び絶縁体２５０ｂ）と、絶縁体２５０上の導電体２６０と、を有する。

［００４３］

絶縁体２２２、導電体２４２ａ、及び導電体２４２ｂ上には、絶縁体２８０が設けられている。絶縁体２８０の上面は、平坦化されていてもよい。また、絶縁体２８０に形成された開口部を埋め込むように、絶縁体２５０及び導電体２６０が設けられている。

［００４４］

酸化物２３０は、チャネル形成領域として機能する領域を有する。導電体２６０は、第１のゲート電極（上側のゲート電極）として機能する領域を有する。絶縁体２５０は、第１のゲート絶縁体

として機能する領域を有する。導電体２０５は、第２のゲート電極（下側のゲート電極）として機能する領域を有する。絶縁体２２２は、第２のゲート絶縁体として機能する領域を有する。導電体２４２ａは、ソース電極及びドレイン電極の一方として機能する領域を有する。導電体２４２ｂは、ソース電極及びドレイン電極の他方として機能する領域を有する。

［００４５］

酸化物２３０は、チャネル形成領域として機能する領域を有するため、本明細書等では、酸化物２３０を、トランジスタ２００Ａの半導体層と言い換えることができる。また、半導体層を、酸化物２３０と言い換えることができる。

［００４６］

酸化物２３０は、図１Ｂに示すように、領域２３０ｉと、領域２３０ｉを挟むように設けられる領域２３０ｎａ及び領域２３０ｎｂと、を有する。ここで、領域２３０ｉはチャネル形成領域として機能する。また、領域２３０ｎａは、ソース領域及びドレイン領域の一方として機能し、領域２３０ｎｂは、ソース領域及びドレイン領域の他方として機能する。領域２３０ｉの少なくとも一部は、導電体２６０及び導電体２０５と重なる。領域２３０ｎａは導電体２４２ａと重なり、領域２３０ｎｂは導電体２４２ｂと重なる。

［００４７］

領域２３０ｉは、領域２３０ｎａ及び領域２３０ｎｂよりも、酸素欠損が少ない、または不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。よって、領域２３０ｉは、ｉ型（真性）または実質的にｉ型であるということができる。

［００４８］

領域２３０ｎａ及び領域２３０ｎｂは、領域２３０ｉよりも、酸素欠損が多い、または水素、窒素、金属元素などの不純物濃度が高いため、キャリア濃度が高い低抵抗領域である。すなわち、領域２３０ｎａ及び領域２３０ｎｂは、領域２３０ｉと比較してキャリア濃度が高い、ｎ型の領域（低抵抗領域）である。

［００４９］

なお、領域２３０ｉのキャリア濃度は、$1\times10^{18}cm^{-3}$以下、$1\times10^{17}cm^{-3}$未満、$1\times10^{16}cm^{-3}$未満、$1\times10^{15}cm^{-3}$未満、$1\times10^{14}cm^{-3}$未満、$1\times10^{13}cm^{-3}$未満、$1\times10^{12}cm^{-3}$未満、$1\times10^{11}cm^{-3}$未満、または、$1\times10^{10}cm^{-3}$未満であることが好ましい。また、領域２３０ｉのキャリア濃度の下限値については、特に限定は無いが、例えば、$1\times10^{-9}cm^{-3}$とすることができる。

［００５０］

酸化物２３０のキャリア濃度を低くするには、酸化物２３０中の不純物濃度を低くし、欠陥準位密度を低くする。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、キャリア濃度の低い酸化物半導体（または金属酸化物）を、高純度真性または実質的に高純度真性な酸化物半導体（または金属酸化物）と呼ぶ場合がある。

［００５１］

トランジスタ２００Ａの電気特性を安定にするためには、酸化物２３０中の不純物濃度を低減することが有効である。また、酸化物２３０の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。なお、酸化物２３０中の不純物とは、例えば、酸化物２３

０を構成する主成分以外をいう。例えば、濃度が０．１原子％未満の元素は不純物といえる。

［００５２］

また、酸化物２３０において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、並びに、水素、及び窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、領域２３０ｉに近い領域であるほど、水素、及び窒素などの不純物元素の濃度が減少していてもよい。

［００５３］

酸化物２３０は、単層構造であってもよく、積層構造であってもよい。

［００５４］

酸化物２３０には、半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。

［００５５］

半導体として機能する金属酸化物のバンドギャップは、２ｅＶ以上が好ましく、２．５ｅＶ以上がより好ましい。バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減できる。このように、チャネル形成領域に金属酸化物を有するトランジスタをＯＳトランジスタと呼ぶ。ＯＳトランジスタは、オフ電流が小さいため、半導体装置の消費電力を十分に低減できる。また、ＯＳトランジスタの周波数特性が高いため、半導体装置を高速に動作させることができる。

［００５６］

酸化物２３０は、金属酸化物（酸化物半導体）を有することが好ましい。酸化物２３０に用いることができる金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。金属酸化物は、少なくともインジウム（Ｉｎ）または亜鉛（Ｚｎ）を含むことが好ましい。また、金属酸化物は、インジウムと、元素Ｍと、亜鉛と、の中から選ばれる二または三を有することが好ましい。なお、元素Ｍは、酸素との結合エネルギーが高い金属元素又は半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素又は半金属元素である。元素Ｍとして、具体的には、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンなどが挙げられる。金属酸化物が有する元素Ｍは、上記元素のいずれか一種または複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた一種または複数種であることがより好ましく、ガリウムがさらに好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

［００５７］

酸化物２３０は、例えば、インジウム亜鉛酸化物（Ｉｎ－Ｚｎ酸化物）、インジウムスズ酸化物（Ｉｎ－Ｓｎ酸化物）、インジウムチタン酸化物（Ｉｎ－Ｔｉ酸化物）、インジウムガリウム酸化物（Ｉｎ－Ｇａ酸化物）、インジウムガリウムアルミニウム酸化物（Ｉｎ－Ｇａ－Ａｌ酸化物）、インジウムガリウムスズ酸化物（Ｉｎ－Ｇａ－Ｓｎ酸化物）、ガリウム亜鉛酸化物（Ｇａ－Ｚｎ酸化物、ＧＺＯとも記す）、アルミニウム亜鉛酸化物（Ａｌ－Ｚｎ酸化物、ＡＺＯとも記す）、インジウムアルミニウム亜鉛酸化物（Ｉｎ－Ａｌ－Ｚｎ酸化物、ＩＡＺＯとも記す）、インジウムスズ

亜鉛酸化物（Ｉｎ－Ｓｎ－Ｚｎ酸化物）、インジウムチタン亜鉛酸化物（Ｉｎ－Ｔｉ－Ｚｎ酸化物）、インジウムガリウム亜鉛酸化物（Ｉｎ－Ｇａ－Ｚｎ酸化物、ＩＧＺＯとも記す）、インジウムガリウムスズ亜鉛酸化物（Ｉｎ－Ｇａ－Ｓｎ－Ｚｎ酸化物、ＩＧＺＴＯとも記す）、インジウムガリウムアルミニウム亜鉛酸化物（Ｉｎ－Ｇａ－Ａｌ－Ｚｎ酸化物、ＩＧＡＺＯまたはＩＡＧＺＯとも記す）などを用いることができる。または、シリコンを含むインジウムスズ酸化物、ガリウムスズ酸化物（Ｇａ－Ｓｎ酸化物）、アルミニウムスズ酸化物（Ａｌ－Ｓｎ酸化物）などを用いることができる。

［００５８］

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。

［００５９］

なお、金属酸化物は、インジウムに代えて、又は、インジウムに加えて、元素周期表における周期番号が大きい金属元素の一種または複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、元素周期表における周期番号が大きい金属元素を含むことで、トランジスタの電界効果移動度を高めることができる場合がある。元素周期表における周期番号が大きい金属元素として、第５周期に属する金属元素、及び第６周期に属する金属元素などが挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウムなどが挙げられる。なお、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

［００６０］

また、金属酸化物は、非金属元素の一種または複数種を有してもよい。金属酸化物が非金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素などが挙げられる。

［００６１］

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

［００６２］

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Mの原子数の割合を高くすることにより、金属酸化物に酸素欠損が形成されるのを抑制できる。したがって、酸素欠損に起因するキャリア生成が抑制され、オフ電流の小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

［００６３］

また、金属酸化物に含まれる全ての金属元素の原子数の和に対するＩｎの原子数の割合を高くすることにより、トランジスタは大きいオン電流、及び高い周波数特性を得ることができる。

［００６４］

上述したように、酸化物２３０に適用する金属酸化物の組成により、トランジスタの電気特性、

及び信頼性が異なる。したがって、トランジスタに求められる電気特性、及び信頼性に応じて金属酸化物の組成を異ならせることにより、優れた電気特性と高い信頼性を両立した半導体装置とすることができる。

［００６５］

具体的には、酸化物２３０として、Ｉｎ：Ｍ：Ｚｎ＝１：１：１［原子数比］もしくはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：１：１．２［原子数比］もしくはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：１：２［原子数比］もしくはその近傍の組成、またはＩｎ：Ｍ：Ｚｎ＝４：２：３［原子数比］もしくはその近傍の組成の金属酸化物を用いることができる。なお、近傍の組成とは、所望の原子数比の±３０％の範囲を含む。また、元素Ｍとして、ガリウム及びアルミニウムの少なくとも一方を用いることが好ましい。

［００６６］

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

［００６７］

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネル形成領域に不純物及び酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、V_OHと呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネル形成領域では、不純物、酸素欠損、及びV_OHはできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネル形成領域は、キャリア濃度が低減され、ｉ型（真性化）または実質的にｉ型であることが好ましい。

［００６８］

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損及びV_OHを低減できる。ただし、領域２３０ｎａ又は領域２３０ｎｂに過剰な量の酸素が供給されると、トランジスタ２００Ａのオン電流の低下、または電界効果移動度の低下を引き起こすおそれがある。さらに、領域２３０ｎａ又は領域２３０ｎｂに供給される酸素の量が基板面内でばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。また、当該絶縁体から酸化物半導体に供給する酸素が、ゲート電極、ソース電極、及びドレイン電極などの導電体に拡散すると、当該導電体が酸化されてしまい、導電性が損なわれることなどにより、トランジスタの電気特性及び信頼性に悪影響を及ぼす場合がある。

［００６９］

よって、酸化物半導体中において、領域２３０ｉは、キャリア濃度が低減され、ｉ型または実質的にｉ型であることが好ましいが、領域２３０ｎａ及び領域２３０ｎｂは、キャリア濃度が高く、ｎ型であることが好ましい。つまり、領域２３０ｉの酸素欠損及びV_OHを低減することが好ましい。また、領域２３０ｎａ及び領域２３０ｎｂには過剰な量の酸素が供給されないようにすること、及び領域２３０ｎａ及び領域２３０ｎｂのV_OHの量が過剰に低減しないようにすることが好まし

い。また、導電体２６０、導電体２４２ａ、及び導電体２４２ｂなどの導電率が低下することを抑制する構成にすることが好ましい。例えば、導電体２６０、導電体２４２ａ、及び導電体２４２ｂなどが酸化されることを抑制する構成にすることが好ましい。なお、酸化物半導体中の水素はV_OHを形成しうるため、V_OHの量を低減するには、水素濃度を低減する必要がある。

［００７０］

そこで、本実施の形態では、半導体装置を、領域２３０ｉに酸素を供給し、かつ、領域２３０ｉへの水素の拡散を抑制する構成とする。また、半導体装置を、導電体２４２ａ、導電体２４２ｂ、及び導電体２６０が酸化されることを抑制する構成とする。また、半導体装置を、領域２３０ｉの水素濃度を低減する構成とする。

［００７１］

図１Ｃに示すように、トランジスタ２００Ａのチャネル幅方向の断面視において、導電体２６０は、酸化物２３０の側面及び上面を覆う。このような構成にすることで、ゲート電極の電界によって、チャネル形成領域を電気的に取り囲むことができる。なお、本明細書等において、少なくとも第１のゲート電極の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、ｓｕｒｒｏｕｎｄｅｄ　ｃｈａｎｎｅｌ（Ｓ－ｃｈａｎｎｅｌ）構造とよぶ。トランジスタ２００ＡをＳ－ｃｈａｎｎｅｌ構造とすることで、酸化物２３０とゲート絶縁体との界面又は界面近傍に形成されるチャネル形成領域を、酸化物２３０のバルク全体とすることができる。したがって、トランジスタに流れる電流密度を向上させることが可能となるため、トランジスタのオン電流の向上、またはトランジスタの電界効果移動度を高めることが期待できる。

［００７２］

上述したように、トランジスタ２００Ａは、チャネル形成領域がゲート電極の電界で取り囲まれる構成を有する。そこで、チャネル形成領域全体（チャネル形成領域の上面、側面、及び底面）に、酸素を均一に供給し、かつ、水素が拡散することを抑制する構成にすることが好ましい。例えば、チャネル形成領域を取り囲むように、酸素を透過しやすい材料を含む第１の絶縁体を設け、さらにチャネル形成領域及び第１の絶縁体を取り囲むように、水素の拡散を抑制する機能を有する第２の絶縁体を設けることが好ましい。具体的には、領域２３０ｉの上下にそれぞれ第１の絶縁体を設け、さらにその上下にそれぞれ第２の絶縁体を設けることが好ましい。ここで、チャネル形成領域上の第１の絶縁体と、第１の絶縁体上の第２の絶縁体との積層体を第１の積層体と呼ぶ。また、領域２３０ｉ下の第１の絶縁体と、第１の絶縁体下の第２の絶縁体との積層体を第２の積層体と呼ぶ。このとき、第１の積層体と、第２の積層体とは、チャネル形成領域を基準又は軸として対称に設けられている。別言すると、第１の積層体と、第２の積層体とは、チャネル形成領域を通る面又は線に対して対称に設けられている。また、第１の積層体と、第２の積層体とは、チャネル形成領域を中心に対称に設けられている。

［００７３］

なお、本明細書等において、第１の積層体と第２の積層体とが、構造体を基準として対称に設けられている構成とは、第１の積層体及び第２の積層体が当該構造体を挟むように設けられ、第１の積層体に含まれる層の積層順と第２の積層体に含まれる層の積層順とが当該構造体を基準としたとき同じである構成を指す。別言すると、第１の積層体及び第２の積層体が当該構造体を挟むように設けられ、当該構造体を介して第１の積層体から第２の積層体に向かう方向に対して、第１の積層体に含まれる層の積層順が第２の積層体に含まれる層の積層順と逆になる構成を指す。なお、第１

の積層体、当該構造体、及び第２の積層体はこの順に、基板面に対して垂直方向に配置されてもよいし、基板面に対して水平方向に配置されてもよい。第１の積層体、当該構造体、及び第２の積層体がこの順に、基板面に対して垂直方向に配置される場合、第１の積層体と第２の積層体とは、当該構造体の上下に設けられているといえる。

［００７４］

なお、第１の積層体及び第２の積層体はそれぞれ、２つ以上の層を有するものとする。また、第１の積層体に含まれる層の数と、第２の積層体に含まれる層の数は同じであることが好ましい。なお、第１の積層体に含まれる１つの層が、第２の積層体に含まれる複数の層の機能を併せ持つ場合があり、その逆もまた同様である。また、第１の積層体に含まれる、複数の層で構成された構造体が、第２の積層体に含まれる１つの層の機能を有する場合があり、その逆もまた同様である。よって、第１の積層体に含まれる層の数と、第２の積層体に含まれる層の数は、異なってもよい場合がある。また、第１の積層体に含まれる、１つの層と別の層とは、必ずしも輪郭が重ならなくてもよい。第２の積層体についてもまた同様である。

［００７５］

本実施の形態に示す半導体装置は、第１の積層体と、第１の積層体下のチャネル形成領域を有する金属酸化物と、当該金属酸化物下の第２の積層体と、を有する。第１の積層体及び第２の積層体はそれぞれ、少なくとも第１の絶縁体と第２の絶縁体とを有する。このとき、第１の積層体が有する第１の絶縁体と、第２の積層体が有する第１の絶縁体とはチャネル形成領域を介して互いに重なる領域を有し、第１の積層体が有する第２の絶縁体と、第２の積層体が有する第２の絶縁体とは、第１の積層体が有する第１の絶縁体、チャネル形成領域、及び第２の積層体が有する第１の絶縁体を介して互いに重なる領域を有する。

［００７６］

なお、第１の積層体に含まれる第１の絶縁体と第２の積層体に含まれる第１の絶縁体とが、共通の性質又は機能を有するのであれば、膜厚、材料、形成方法などは異なってもよい。具体的には、第１の積層体に含まれる第１の絶縁体と第２の積層体に含まれる第１の絶縁体とは、酸素を透過しやすい性質を有すればよく、膜厚、材料、形成方法などは異なってもよい。なお、共通の性質又は機能は、１つであってもよいし複数であってもよい。第１の積層体に含まれる第２の絶縁体と第２の積層体に含まれる第２の絶縁体とについても同様であり、具体的には、第１の積層体に含まれる第２の絶縁体と第２の積層体に含まれる第２の絶縁体とは、水素の拡散を抑制する機能を有すればよく、膜厚、材料、形成方法などは異なってもよい。

［００７７］

図１Ｂ及び図１Ｃに示すように、絶縁体２５０は、絶縁体２５０ａと、絶縁体２５０ａ上の絶縁体２５０ｂの積層構造を有することが好ましい。また、絶縁体２２２は、絶縁体２２２ａと、絶縁体２２２ａ下の絶縁体２２２ｂの積層構造を有することが好ましい。つまり、酸化物２３０の領域２３０ｉを挟むように、絶縁体２５０ａ及び絶縁体２２２ａを設け、絶縁体２５０ａ、領域２３０ｉ、及び絶縁体２２２ａを挟むように、絶縁体２５０ｂ及び絶縁体２２２ｂを設けることが好ましい。別言すると、絶縁体２５０ａと絶縁体２２２ａとは、領域２３０ｉを介して互いに重なる領域を有し、絶縁体２５０ｂと絶縁体２２２ｂとは、絶縁体２５０ａ、領域２３０ｉ、及び絶縁体２２２ａを介して互いに重なる領域を有する。

［００７８］

図１Ｂ及び図１Ｃに示す構成において、絶縁体２５０は上述の第１の積層体に対応し、絶縁体２２２は上述の第２の積層体に対応している。また、絶縁体２５０ａ及び絶縁体２２２ａは上述の第１の絶縁体に対応し、絶縁体２５０ｂ及び絶縁体２２２ｂは上述の第２の絶縁体に対応している。このとき、導電体２６０は、第１の積層体の上方に位置するといえる。また、導電体２０５は、第２の積層体の下方に位置するといえる。

［００７９］

また、図１Ｂ及び図１Ｃに示すように、絶縁体２５０ａと絶縁体２２２ａとは酸化物２３０と重ならない領域において接する領域を有することが好ましい。このような構成にすることで、酸化物２３０を、絶縁体２５０ａと絶縁体２２２ａとで取り囲むことができる。

［００８０］

絶縁体２５０ａ及び絶縁体２２２ａは、酸素を透過しやすい絶縁体を用いることが好ましい。このような構成にすることで、絶縁体２８０に含まれる酸素を、絶縁体２５０ａ及び絶縁体２２２ａを介して領域２３０ｉに供給できる。また、絶縁体２５０ａ及び絶縁体２２２ａは、過剰酸素を含む絶縁体を用いてもよい。このような構成にすることで、絶縁体２５０ａ及び絶縁体２２２ａに含まれる酸素を領域２３０ｉに供給できる。

［００８１］

絶縁体２５０ａ及び絶縁体２２２ａとして、例えば、酸化シリコン、酸化窒化シリコン、又は窒化酸化シリコンを用いることができる。また、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、又は炭素および窒素を添加した酸化シリコンを用いることができる。また、例えば、空孔を有する酸化シリコンなどを用いることができる。また、これらの酸化シリコンは、窒素を含んでもよい。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。この場合、絶縁体２５０ａ及び絶縁体２２２ａは、少なくとも酸素と、シリコンと、を有する。

［００８２］

なお、本明細書等において、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い材料を指す。例えば、酸化窒化シリコンと記載した場合は、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンと記載した場合は、その組成として、酸素よりも窒素の含有量が多い材料を示す。

［００８３］

また、絶縁体２５０ａ及び絶縁体２２２ａ中の、水、水素などの不純物の濃度は低減されていることが好ましい。

［００８４］

絶縁体２５０ｂ及び絶縁体２２２ｂは、水素に対するバリア性を有することが好ましい。これにより、導電体２６０及び導電体２０５に含まれる水素などの不純物の、領域２３０ｉへの拡散を抑制できる。絶縁体２５０ｂ及び絶縁体２２２ｂとして、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、又は窒化酸化シリコンなどを用いることが好ましい。特に、窒化シリコンは水素バリア性が高いため、絶縁体２５０ｂ及び絶縁体２２２ｂとして用いると好適である。この場合、絶縁体２５０ｂ及び絶縁体２２２ｂは、少なくとも窒素と、シリコンと、を有する。

［００８５］

なお、絶縁体２５０ｂは、例えば絶縁体２５０ａよりも水素を透過し難ければよい。また、絶縁体２５０ｂとして、例えば絶縁体２５０ａよりも水素を透過し難い材料を用いればよい。同様に、絶縁体２２２ｂは、例えば絶縁体２２２ａよりも水素を透過し難ければよい。また、絶縁体２２２ｂとして、例えば絶縁体２２２ａよりも水素を透過し難い材料を用いればよい。

［００８６］

なお、本明細書等において、バリア性とは、対応する物質が拡散し難い性質（対応する物質が透過し難い性質、対応する物質の透過性が低い性質、又は、対応する物質の拡散を抑制する機能ともいう）とする。または、対応する物質を、捕獲する又は固着する（ゲッタリングともいう）機能とする。また、本明細書等において、バリア性を有する絶縁体を、バリア絶縁体と呼ぶことがある。

［００８７］

絶縁体２５０ｂ及び絶縁体２２２ｂは、さらに酸素に対するバリア性を有することが好ましい。絶縁体２５０ｂは、絶縁体２５０ａと導電体２６０の間に設けられている。したがって、絶縁体２５０ａに含まれる酸素の導電体２６０への拡散を防ぎ、導電体２６０が酸化されることを抑制できる。また、領域２３０ｉへ供給する酸素量の減少を抑制できる。また、絶縁体２２２ｂは、絶縁体２２２ａと導電体２０５の間に設けられている。したがって、絶縁体２２２ａに含まれる酸素の導電体２０５への拡散を防ぎ、導電体２０５が酸化されることを抑制できる。また、領域２３０ｉへ供給する酸素量の減少を抑制できる。

［００８８］

なお、絶縁体２５０ｂは、例えば絶縁体２５０ａよりも酸素を透過し難ければよい。また、絶縁体２５０ｂとして、例えば絶縁体２５０ａよりも酸素を透過し難い材料を用いればよい。同様に、絶縁体２２２ｂは、例えば絶縁体２２２ａよりも酸素を透過し難ければよい。また、絶縁体２２２ｂとして、例えば絶縁体２２２ａよりも酸素を透過し難い材料を用いればよい。

［００８９］

窒化シリコンは酸素に対するバリア性を有するため、絶縁体２５０ｂ及び絶縁体２２２ｂとして好適に用いることができる。

［００９０］

上述した構成にすることで、トランジスタ２００の電気特性及び信頼性を良好にすることができる。よって、良好な電気特性を有する半導体装置、信頼性が高い半導体装置を実現できる。絶縁体２５０ａと絶縁体２２２ａとは同じ機能を有し、絶縁体２５０ｂと絶縁体２２２ｂとは同じ機能を有する。よって、第１の積層体と第２の積層体とを、チャネル形成領域を基準として対称に設けることができる。

［００９１］

絶縁体２８０は層間膜として機能する。絶縁体２８０は、誘電率が低い材料を用いることが好ましい。絶縁体２８０は、例えば、絶縁体２５０ｂよりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。

［００９２］

なお、真空の誘電率に対する媒質の誘電率の比は比誘電率と呼ばれる。つまり、比誘電率は、誘電率を電気定数で無次元化されたものである。よって、誘電率は、比誘電率と言い換えることができる。

［００９３］

例えば、絶縁体２８０は、絶縁体２５０ａ及び絶縁体２２２ａに適用できる絶縁体を用いることができる。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、過剰酸素を含む領域を容易に形成することができるため好ましい。

［００９４］

絶縁体２８０中の水、水素などの不純物の濃度は低減されていることが好ましい。例えば、絶縁体２８０は、酸化シリコン、酸化窒化シリコンなどのシリコンを含む酸化物を有することが好ましい。

［００９５］

導電体２６０及び絶縁体２５０は、絶縁体２８０に形成された開口部を埋め込むように配置される。導電体２６０は、当該開口部において、絶縁体２５０を介して、酸化物２３０の側面の少なくとも一部及び上面の少なくとも一部を覆うように設けられる。また、導電体２６０は、その上面が、絶縁体２５０の上面、及び絶縁体２８０の上面と高さが一致するように配置される。

［００９６］

なお、導電体２６０及び絶縁体２５０が配置される、絶縁体２８０に形成された開口部において、絶縁体２８０の側壁は、絶縁体２２２の上面に対して概略垂直であってもよく、テーパー形状であってもよい。当該開口部における絶縁体２８０の側壁をテーパー形状にすることで、当該開口部に設ける絶縁体２５０などの被覆性が向上し、鬆などの欠陥を低減できる。

［００９７］

導電体２６０は、図１Ａ及び図１Ｃに示すように、チャネル幅方向に延在していることが好ましい。このような構成にすることで、複数のトランジスタを設ける場合に、導電体２６０は配線として機能する。

［００９８］

導電体２６０、導電体２４２ａ、導電体２４２ｂ、及び導電体２０５として、それぞれ、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。当該導電性材料として、例えば、窒素を含む導電性材料、及び酸素を含む導電性材料が挙げられる。これにより、導電体２６０、導電体２４２ａ、導電体２４２ｂ、及び導電体２０５の導電率が低下することを抑制できる。導電体２６０、導電体２４２ａ、導電体２４２ｂ、及び導電体２０５として、金属及び窒素を含む導電性材料を用いる場合、導電体２６０、導電体２４２ａ、導電体２４２ｂ、及び導電体２０５は、少なくとも当該金属と、窒素と、を有する。

［００９９］

導電体２６０は、単層構造であってもよく、積層構造であってもよい。また、導電体２４２ａ及び導電体２４２ｂは、単層構造であってもよく、積層構造であってもよい。

［０１００］

導電体２４２ａ及び導電体２４２ｂとしては、窒素を含む導電性材料を用いることが好ましく、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタル及びアルミニウムを含む窒化物、チタン及びアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、ルテニウム、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化されにくい

導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

［０１０１］

なお、酸化物２３０などに含まれる水素が、導電体２４２ａまたは導電体２４２ｂに拡散する場合がある。特に、導電体２４２ａ及び導電体２４２ｂに、タンタルを含む窒化物を用いることで、酸化物２３０などに含まれる水素は、導電体２４２ａまたは導電体２４２ｂに拡散しやすく、拡散した水素は、導電体２４２ａまたは導電体２４２ｂが有する窒素と結合することがある。つまり、酸化物２３０などに含まれる水素は、導電体２４２ａまたは導電体２４２ｂに吸い取られる場合がある。

［０１０２］

導電体２０５は、酸化物２３０及び導電体２６０と重なるように配置する。また、導電体２０５は、図１Ａ及び図１Ｃに示すように、チャネル幅方向に延在して設けられることが好ましい。このような構成にすることで、複数のトランジスタを設ける場合に、導電体２０５は配線として機能する。

［０１０３］

導電体２０５は、単層構造であってもよく、積層構造であってもよい。

［０１０４］

導電体２０５は、第２のゲート電極として機能することができる。その場合、導電体２０５に印加する電位を、導電体２６０に印加する電位と連動させず、独立して変化させることで、トランジスタ２００のしきい値電圧（Ｖｔｈ）を制御できる。特に、導電体２０５に負の電位を印加することにより、トランジスタ２００のＶｔｈをより大きくし、オフ電流を小さくすることができる。したがって、導電体２０５に負の電位を印加したほうが、印加しない場合よりも、導電体２６０に印加する電位が０Ｖのときのドレイン電流を小さくすることができる。

［０１０５］

なお、導電体２０５に印加する電位を、導電体２６０に印加する電位と同じにしてもよい。このとき、導電体２６０及び導電体２０５の電界を酸化物２３０のチャネル形成領域全体に作用させることができる。よって、トランジスタのサイズを大きくすることなく、チャネル幅を大きくすることができる。したがって、トランジスタの微細化を図りつつ、トランジスタのオン電流を増大させることができる。また、トランジスタのオン電流が増大することで、周波数特性を向上させることができる。

［０１０６］

図１Ｂ及び図１Ｃでは、第２のゲート絶縁体として絶縁体２２２ｂと絶縁体２２２ａとの積層構造を用いる構成を示しているが、本発明はこれに限られない。例えば、第２のゲート絶縁体として、絶縁体２２２と、絶縁体２２２上の島状の絶縁体との積層体を用いてもよい。別言すると、絶縁体２２２と酸化物２３０との間に、島状の絶縁体を設けてもよい。

［０１０７］

なお、本明細書等において、島状とは、同一工程で形成され、同一材料を用いた２以上の層が、物理的に分離されている状態であることを示す。

［０１０８］

図１Ｂ及び図１Ｃに示す構成とは異なる構成の一例を図２Ａ及び図２Ｂに示す。図２Ａ及び図２Ｂは、トランジスタ２００Ａを有する半導体装置の断面図である。ここで、図２Ａはトランジスタ

２００Ａのチャネル長方向の断面図であり、図２Ｂはトランジスタ２００Ａのチャネル幅方向の断面図である。なお、図２Ａ及び図２Ｂに示す半導体装置の上面図は、図１Ａを参照できる。

［０１０９］

図２Ａ及び図２Ｂに示すトランジスタ２００Ａは、絶縁体２２２が単層である点、及び島状の絶縁体２２４を有する点で、図１Ｂ及び図１Ｃに示すトランジスタ２００Ａと主に異なる。

［０１１０］

図２Ａ及び図２Ｂに示すトランジスタ２００Ａでは、絶縁体２２２と酸化物２３０との間に、島状の絶縁体２２４が設けられている。図２Ａ及び図２Ｂに示すように、トランジスタ２００Ａの断面視において、絶縁体２２４の側端部は、酸化物２３０の側端部と一致する。

［０１１１］

絶縁体２２２及び絶縁体２２４のそれぞれは、第２のゲート絶縁体として機能する領域を有する。

［０１１２］

絶縁体２５０ａは、絶縁体２２２の上面に接する領域と、絶縁体２２４の側面に接する領域と、酸化物２３０の側面に接する領域と、酸化物２３０の上面に接する領域とを有する。このとき、酸化物２３０の領域２３０ｉは、絶縁体２５０ａと絶縁体２２４とで取り囲まれる。

［０１１３］

絶縁体２２２は、上述した絶縁体２２２ｂに適用できる材料を用いることが好ましい。また、絶縁体２２４は、上述した絶縁体２２２ａに適用できる材料を用いることが好ましい。このような構成において、絶縁体２２２と島状の絶縁体２２４からなる積層体を第２の積層体とみなすことができる。このとき、図２Ａ及び図２Ｂに示すトランジスタ２００Ａは、第１の積層体と第２の積層体とが、チャネル形成領域を基準として対称に設けられた構成を有するといえる。

［０１１４］

＜構成例２＞

上述のトランジスタ２００Ａと異なる構成例を、図３Ａ乃至図３Ｃに示す。図３Ａは半導体装置の上面図であり、図３Ｂ及び図３Ｃは半導体装置の断面図である。ここで、図３Ｂは、図３ＡにＡ１－Ａ２の一点鎖線で示す部位の断面図である。また、図３Ｃは、図３ＡにＡ３－Ａ４の一点鎖線で示す部位の断面図である。なお、図３Ａの上面図では、図の明瞭化のために一部の要素を省いている。

［０１１５］

図３Ａ乃至図３Ｃに示す半導体装置は、トランジスタ２００Ｂを有する。よって、図３Ｂは、トランジスタ２００Ｂのチャネル長方向の断面図ともいえる。また、図３Ｃは、トランジスタ２００Ｂのチャネル幅方向の断面図ともいえる。

［０１１６］

図３Ｂ及び図３Ｃに示すトランジスタ２００Ｂは、絶縁体２２２及び絶縁体２５０のそれぞれが３層積層構造を有する点で、図１Ｂ及び図１Ｃに示すトランジスタ２００Ａと主に異なる。具体的には、図３Ｂ及び図３Ｃに示すトランジスタ２００Ｂは、絶縁体２５０が絶縁体２５０ａ下に絶縁体２５０ｃをさらに有する点、並びに、絶縁体２２２が絶縁体２２２ａ上に絶縁体２２２ｃをさらに有する点で、図１Ｂ及び図１Ｃに示すトランジスタ２００Ａと主に異なる。以降では、上述の構成例１と異なる部分について主に説明し、重複する部分については説明を省略する。

［０１１７］

絶縁体２５０は、絶縁体２５０ｃと、絶縁体２５０ｃ上の絶縁体２５０ａと、絶縁体２５０ａ上の絶縁体２５０ｂと、を有する。また、絶縁体２２２は、絶縁体２２２ｂと、絶縁体２２２ｂ上の絶縁体２２２ａと、絶縁体２２２ａ上の絶縁体２２２ｃと、を有する。このとき、絶縁体２５０ｃと絶縁体２２２ｃとは、領域２３０ｉを介して互いに重なる領域を有し、絶縁体２５０ａと絶縁体２２２ａとは、絶縁体２５０ｃ、領域２３０ｉ、及び絶縁体２２２ｃを介して互いに重なる領域を有し、絶縁体２５０ｂと絶縁体２２２ｂとは、絶縁体２５０ａ、絶縁体２５０ｃ、領域２３０ｉ、絶縁体２２２ｃ、及び絶縁体２２２ａを介して互いに重なる領域を有する。また、絶縁体２５０ｃは絶縁体２５０ａと領域２３０ｉとの間に位置し、絶縁体２２２ｃは絶縁体２２２ａと領域２３０ｉとの間に位置しているといえる。

［０１１８］

絶縁体２５０ｃ及び絶縁体２２２ｃは、酸素に対するバリア性を有することが好ましい。絶縁体２５０ｃは、導電体２４２ａの側面と接する領域、及び導電体２４２ｂの側面と接する領域を有する。絶縁体２５０ｃが酸素に対するバリア性を有することで、導電体２４２ａ及び導電体２４２ｂの側面が酸化され、当該側面に酸化膜が形成されることを抑制できる。これにより、トランジスタ２００Ｂのオン電流が小さくなること、または電界効果移動度の低下を起こすことを抑制できる。酸素に対するバリア絶縁体としては、例えば、アルミニウム及びハフニウムの一方または双方を含む酸化物、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）、酸化マグネシウム、酸化ガリウム、ガリウム亜鉛酸化物、インジウムガリウム亜鉛酸化物、窒化シリコン、並びに、窒化酸化シリコンなどが挙げられる。また、アルミニウム及びハフニウムの一方または双方を含む酸化物として、例えば、酸化アルミニウム、酸化ハフニウム、並びに、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）が挙げられる。

［０１１９］

絶縁体２５０ｃ及び絶縁体２２２ｃはそれぞれ、上記酸素に対するバリア絶縁体の単層構造または積層構造であると好ましい。なお、絶縁体２５０ｃは、例えば絶縁体２５０ａよりも酸素を透過し難ければよい。また、絶縁体２５０ｃとして、例えば絶縁体２５０ａよりも酸素を透過し難い材料を用いればよい。同様に、絶縁体２２２ｃは、例えば絶縁体２２２ａよりも酸素を透過し難ければよい。また、絶縁体２２２ｃとして、例えば絶縁体２２２ａよりも酸素を透過し難い材料を用いればよい。

［０１２０］

絶縁体２５０ｃは、酸化物２３０の上面及び側面、並びに絶縁体２２２ｃの上面に接して設けられる。つまり、領域２３０ｉは、絶縁体２５０ｃ及び絶縁体２２２ｃで取り囲まれている。絶縁体２５０ｃ及び絶縁体２２２ｃが酸素に対するバリア性を有することで、熱処理などを行った際に、領域２３０ｉから酸素が脱離することを抑制できる。よって、領域２３０ｉに酸素欠損が形成されることを抑制できる。

［０１２１］

また、絶縁体２５０ｃ及び絶縁体２２２ｃを設けることにより、絶縁体２８０に過剰な量の酸素が含まれていても、当該酸素が領域２３０ｉに過剰に供給されることを抑制し、適量の酸素を領域２３０ｉに供給することができる。よって、領域２３０ｎａ及び領域２３０ｎｂが過剰に酸化され、トランジスタ２００Ｂのオン電流が小さくなること、または電界効果移動度の低下を起こすことを抑制できる。

［０１２２］

また、絶縁体２２２ｃは、絶縁体２２２ａと、領域２３０ｎａ又は領域２３０ｎｂとの間に設けられている。よって、絶縁体２２２ｃの下方から領域２３０ｎａ及び領域２３０ｎｂへの酸素の拡散を抑制できる。さらに、領域２３０ｎａ上には導電体２４２ａが設けられ、領域２３０ｎｂ上には導電体２４２ｂが設けられている。したがって、本実施の形態では、領域２３０ｎａ及び領域２３０ｎｂには過剰な量の酸素が供給されない構成となる。

［０１２３］

絶縁体２５０ｃ及び絶縁体２２２ｃとして、アルミニウム及びハフニウムの一方または双方を含む酸化物を含む絶縁体を用いることが好ましい。本実施の形態では、絶縁体２５０ｃ及び絶縁体２２２ｃとして、酸化アルミニウムを用いる。この場合、絶縁体２５０ｃ及び絶縁体２２２ｃのそれぞれは、少なくとも酸素と、アルミニウムと、を有する。

［０１２４］

上述した構成にすることで、絶縁体２５０ｃと絶縁体２２２ｃとは同じ機能を有する。よって、第１の積層体と第２の積層体とを、チャネル形成領域を基準として対称に設けることができる。

［０１２５］

なお、図２Ａ及び図２Ｂに示す構成と同様に、第２のゲート絶縁体は、絶縁体２２２と島状の絶縁体２２４との積層体で構成されてもよい。

［０１２６］

図３Ｂ及び図３Ｃに示す構成とは異なる構成の一例を図４Ａ及び図４Ｂに示す。図４Ａ及び図４Ｂは、トランジスタ２００Ｂを有する半導体装置の断面図である。ここで、図４Ａはトランジスタ２００Ｂのチャネル長方向の断面図であり、図４Ｂはトランジスタ２００Ｂのチャネル幅方向の断面図である。なお、図４Ａ及び図４Ｂに示す半導体装置の上面図は、図３Ａを参照できる。

［０１２７］

図４Ａ及び図４Ｂに示すトランジスタ２００Ｂは、絶縁体２２２が２層積層構造である点、及び島状の絶縁体２２４を有する点で、図３Ｂ及び図３Ｃに示すトランジスタ２００Ｂと主に異なる。

［０１２８］

図４Ａ及び図４Ｂに示すトランジスタ２００Ｂでは、絶縁体２２２が、絶縁体２２２ｂと、絶縁体２２２ｂ上の絶縁体２２２ａとの積層構造を有する。また、絶縁体２２２と酸化物２３０との間に、島状の絶縁体２２４が設けられている。

［０１２９］

絶縁体２５０ｃは、絶縁体２２２ａの上面に接する領域と、絶縁体２２４の側面に接する領域と、酸化物２３０の側面に接する領域と、酸化物２３０の上面に接する領域とを有する。このとき、酸化物２３０の領域２３０ｉは、絶縁体２５０ｃと絶縁体２２４とで取り囲まれる。

［０１３０］

絶縁体２２４は、上述した絶縁体２２２ｃに適用できる材料を用いることが好ましい。

［０１３１］

なお、絶縁体２２２及び絶縁体２２４の構成は、図４Ａ及び図４Ｂに示す構成に限られない。図４Ａ及び図４Ｂに示す構成とは異なる構成の一例を図４Ｃ及び図４Ｄに示す。図４Ｃ及び図４Ｄは、トランジスタ２００Ｂを有する半導体装置の断面図である。ここで、図４Ｃはトランジスタ２００Ｂのチャネル長方向の断面図であり、図４Ｄはトランジスタ２００Ｂのチャネル幅方向の断面図で

ある。なお、図４Ｃ及び図４Ｄに示す半導体装置の上面図は、図３Ａを参照できる。

［０１３２］

図４Ｃ及び図４Ｄに示すように、絶縁体２２２が単層構造であり、絶縁体２２４が、絶縁体２２４ａと、絶縁体２２４ａ上の絶縁体２２４ｃとの積層構造であってもよい。このとき、絶縁体２２２は、上述した絶縁体２２２ｂに適用できる材料を用いることが好ましい。また、絶縁体２２４ａは、上述した絶縁体２２２ａに適用できる材料を用い、絶縁体２２４ｃは、上述した絶縁体２２２ｃに適用できる材料を用いることが好ましい。

［０１３３］

上述した構成にすることで、絶縁体２２２と絶縁体２２４からなる積層体を第２の積層体とみなすことができる。このとき、図４Ａ及び図４Ｂに示すトランジスタ２００Ｂ、並びに図４Ｃ及び図４Ｄに示すトランジスタ２００Ｂは、第１の積層体と第２の積層体とが、チャネル形成領域を基準として対称に設けられた構成を有するといえる。

［０１３４］

なお、図４Ａ及び図４Ｂでは、領域２３０ｉと絶縁体２２２ａとの間に、酸素に対するバリア性を有する絶縁体２２４を設ける構成を示しているが、本発明はこれに限られない。図４Ａ及び図４Ｂに示す構成とは異なる構成の一例を図５Ａ及び図５Ｂに示す。

［０１３５］

図５Ａ及び図５Ｂは、トランジスタ２００Ｂを有する半導体装置の断面図である。ここで、図５Ａはトランジスタ２００Ｂのチャネル長方向の断面図であり、図５Ｂはトランジスタ２００Ｂのチャネル幅方向の断面図である。なお、図５Ａ及び図５Ｂに示す半導体装置の上面図は、図３Ａを参照できる。

［０１３６］

図５Ａ及び図５Ｂに示すトランジスタ２００Ｂは、絶縁体２２２が２層積層構造である点、絶縁体２２４を有さない点、及び酸化物２３０が２層積層構造である点で、図４Ａ及び図４Ｂに示すトランジスタ２００Ｂと主に異なる。

［０１３７］

図５Ａ及び図５Ｂに示すように、絶縁体２２２は、絶縁体２２２ｂと、絶縁体２２２ｂ上の絶縁体２２２ａとの積層構造を有する。また、酸化物２３０は、酸化物２３０ａと、酸化物２３０ａ上の酸化物２３０ｂとの積層構造を有する。酸化物２３０ａは、酸素に対するバリア性を有する半導体材料を用い、酸化物２３０ｂは、上述した酸化物２３０に適用できる材料を用いることが好ましい。

［０１３８］

なお、酸化物２３０ａは、例えば絶縁体２２２ａよりも酸素を透過し難ければよい。また、酸化物２３０ａとして、例えば絶縁体２２２ａよりも酸素を透過し難い材料を用いればよい。

［０１３９］

例えば、酸化物２３０ａとして、少なくとも元素Ｍを有する金属酸化物を用いることが好ましい。なお、酸化物２３０ｂは元素Ｍを有してもよいし、有さなくてもよい。この場合、酸化物２３０ａにおける、主成分である金属元素に対する元素Ｍの原子数比が、酸化物２３０ｂにおける、主成分である金属元素に対する元素Ｍの原子数比より、大きいことが好ましい。さらに、酸化物２３０ａ及び酸化物２３０ｂのそれぞれが、Ｉｎを有する場合、酸化物２３０ａにおける、Ｉｎに対する元

素Mの原子数比が、酸化物２３０ｂにおける、Ｉｎに対する元素Mの原子数比より大きいことが好ましい。このような構成にすることで、酸化物２３０ａよりも下方に形成された構造体から酸化物２３０ｂへの不純物及び酸素の拡散を抑制できる。

［０１４０］

酸化物２３０ａとして、例えば、Ｉｎ：Ｍ：Ｚｎ＝１：３：２［原子数比］もしくはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：３：４［原子数比］もしくはその近傍の組成、またはＩｎ：Ｍ：Ｚｎ＝１：１：０．５［原子数比］もしくはその近傍の組成の金属酸化物を用いることができる。

［０１４１］

また、元素Mとして、ガリウム及びアルミニウムの少なくとも一方を用いることが好ましい。上述したように、絶縁体２５０ｃとして酸化アルミニウムを用いる場合、酸化物２３０ａ及び絶縁体２５０ｃのそれぞれは、ガリウム及びアルミニウムの少なくとも一方を有する。

［０１４２］

上述した構成において、絶縁体２２２と酸化物２３０ａからなる積層体を第２の積層体とみなすことができる。このとき、図５Ａ及び図５Ｂに示すトランジスタ２００Ｂは、第１の積層体と第２の積層体とが、チャネル形成領域を基準として対称に設けられた構成を有するといえる。

［０１４３］

なお、酸化物２３０が酸化物２３０ａと酸化物２３０ｂの積層構造である場合、領域２３０ｉ、領域２３０ｎａ、及び領域２３０ｎｂは、それぞれ、酸化物２３０ｂだけでなく、酸化物２３０ａにも形成されることがある。

［０１４４］

図５Ａ及び図５Ｂに示す構成とは異なる構成の一例を図５Ｃ及び図５Ｄに示す。図５Ｃ及び図５Ｄは、トランジスタ２００Ｂを有する半導体装置の断面図である。ここで、図５Ｃはトランジスタ２００Ｂのチャネル長方向の断面図であり、図５Ｄはトランジスタ２００Ｂのチャネル幅方向の断面図である。なお、図５Ｃ及び図５Ｄに示す半導体装置の上面図は、図３Ａを参照できる。

［０１４５］

図５Ｃ及び図５Ｄに示すように、絶縁体２２２が単層構造であり、絶縁体２２２と酸化物２３０ａとの間に、絶縁体２２４が設けられてもよい。このとき、絶縁体２５０ｃと酸化物２３０ａとは、領域２３０ｉを介して互いに重なる領域を有し、絶縁体２５０ａと絶縁体２２４とは、絶縁体２５０ｃ、領域２３０ｉ、及び酸化物２３０ａを介して互いに重なる領域を有し、絶縁体２５０ｂと絶縁体２２２とは、絶縁体２５０ａ、絶縁体２５０ｃ、領域２３０ｉ、酸化物２３０ａ、及び絶縁体２２４を介して互いに重なる領域を有する。

［０１４６］

絶縁体２２２は、上述した絶縁体２２２ｂに適用できる材料を用いることが好ましい。また、絶縁体２２４は、上述した絶縁体２２２ａに適用できる材料を用いることが好ましい。このような構成において、絶縁体２２２と絶縁体２２４と酸化物２３０ａからなる構造体を第２の積層体とみなすことができる。このとき、第２の積層体は、酸化物２３０ａと、酸化物２３０ａ下の絶縁体２２４と、絶縁体２２４下の絶縁体２２２を有する。また、図５Ｃ及び図５Ｄに示すトランジスタ２００Ｂは、第１の積層体と第２の積層体とが、チャネル形成領域を基準として対称に設けられた構成を有するといえる。

［０１４７］

＜構成例３＞

上述のトランジスタ２００Ａと異なる構成例を、図６Ａ乃至図６Ｃに示す。図６Ａは半導体装置の上面図であり、図６Ｂ及び図６Ｃは半導体装置の断面図である。ここで、図６Ｂは、図６ＡにＡ１－Ａ２の一点鎖線で示す部位の断面図である。また、図６Ｃは、図６ＡにＡ３－Ａ４の一点鎖線で示す部位の断面図である。なお、図６Ａの上面図では、図の明瞭化のために一部の要素を省いている。

［０１４８］

図６Ａ乃至図６Ｃに示す半導体装置は、トランジスタ２００Ｃを有する。よって、図６Ｂは、トランジスタ２００Ｃのチャネル長方向の断面図ともいえる。また、図６Ｃは、トランジスタ２００Ｃのチャネル幅方向の断面図ともいえる。

［０１４９］

図６Ｂ及び図６Ｃに示すトランジスタ２００Ｃは、絶縁体２２２及び絶縁体２５０のそれぞれが３層積層構造を有する点で、図１Ｂ及び図１Ｃに示すトランジスタ２００Ａと主に異なる。具体的には、図６Ｂ及び図６Ｃに示すトランジスタ２００Ｃは、絶縁体２５０ａと絶縁体２５０ｂの間に絶縁体２５０ｄを有する点、並びに、絶縁体２２２ａと絶縁体２２２ｂの間に絶縁体２２２ｄを有する点で、図１Ｂ及び図１Ｃに示すトランジスタ２００Ａと主に異なる。以降では、上述の構成例１と異なる部分について主に説明し、重複する部分については説明を省略する。

［０１５０］

絶縁体２５０は、絶縁体２５０ａと、絶縁体２５０ａ上の絶縁体２５０ｄと、絶縁体２５０ｄ上の絶縁体２５０ｂと、を有する。また、絶縁体２２２は、絶縁体２２２ｂと、絶縁体２２２ｂ上の絶縁体２２２ｄと、絶縁体２２２ｄ上の絶縁体２２２ａと、を有する。このとき、絶縁体２５０ａと絶縁体２２２ａとは、領域２３０ｉを介して互いに重なる領域を有し、絶縁体２５０ｄと絶縁体２２２ｄとは、絶縁体２５０ａ、領域２３０ｉ、及び絶縁体２２２ａを介して互いに重なる領域を有し、絶縁体２５０ｂと絶縁体２２２ｂとは、絶縁体２５０ｄ、絶縁体２５０ａ、領域２３０ｉ、絶縁体２２２ａ、及び絶縁体２２２ｄを介して互いに重なる領域を有する。

［０１５１］

絶縁体２５０ｄ及び絶縁体２２２ｄは、水素を捕獲する又は固着する機能を有することが好ましい。絶縁体２５０ｂと絶縁体２２２ｂで取り囲まれた領域の内側に、水素を捕獲する又は固着する機能を有する絶縁体を設けることで、当該領域の内側の水素を、より効果的に捕獲させる又は固着させることができる。つまり、絶縁体２５０ａ、酸化物２３０ｂの領域２３０ｉ、及び絶縁体２２２ａに含まれる水素を、より効果的に捕獲させる又は固着させることができる。よって、領域２３０ｉ中の水素濃度を低減できる。したがって、領域２３０ｉ中のV_OHを低減し、領域２３０ｉをｉ型または実質的にｉ型とすることができる。

［０１５２］

水素を捕獲する又は固着する機能を有する絶縁体として、アモルファス構造を有する金属酸化物が挙げられる。絶縁体２５０ｄ及び絶縁体２２２ｄとして、例えば、酸化マグネシウム、またはアルミニウム及びハフニウムの一方または双方を含む酸化物などの金属酸化物を用いることが好ましい。このようなアモルファス構造を有する金属酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲する又は固着する性質を有する場合がある。つまり、アモルファス構造を有する金属酸化物は、水素を捕獲する又は固着する能力が高いといえる。

［０１５３］

また、絶縁体２５０ｄ及び絶縁体２２２ｄに、比誘電率が高い（ｈｉｇｈ－ｋ）材料を用いることが好ましい。なお、ｈｉｇｈ－ｋ材料の一例として、アルミニウム及びハフニウムの一方または双方を含む酸化物、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物などがある。トランジスタの微細化及び高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。絶縁体２５０ｄ及び絶縁体２２２ｄとしてｈｉｇｈ－ｋ材料を用いることで、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚（ＥＯＴ：Ｅｑｕｉｖａｌｅｎｔ　Ｏｘｉｄｅ　Ｔｈｉｃｋｎｅｓｓ）の薄膜化が可能となる。なお、絶縁体２５０ｄ及び絶縁体２２２ｄとして、チタン酸ジルコン酸鉛（ＰＺＴ）、チタン酸ストロンチウム（$SrTiO_3$）、（Ｂａ，Ｓｒ）TiO_3（ＢＳＴ）などの誘電率が高い物質を用いることができる場合もある。

［０１５４］

以上より、絶縁体２５０ｄ及び絶縁体２２２ｄとして、アルミニウム及びハフニウムの一方または双方を含む酸化物を用いることが好ましく、アモルファス構造を有し、アルミニウム及びハフニウムの一方または双方を含む酸化物を用いることがより好ましい。本実施の形態では、絶縁体２５０ｄ及び絶縁体２２２ｄとして、酸化ハフニウムを用いる。この場合、絶縁体２５０ｄ及び絶縁体２２２ｄのそれぞれは、少なくとも酸素と、ハフニウムと、を有する。また、当該酸化ハフニウムは、アモルファス構造を有する。この場合、絶縁体２５０ｄ及び絶縁体２２２ｄは、アモルファス構造を有する。

［０１５５］

上述した構成にすることで、絶縁体２５０ｄと絶縁体２２２ｄとは同じ機能を有する。よって、第１の積層体と第２の積層体とを、チャネル形成領域を基準として対称に設けることができる。

［０１５６］

なお、図２Ａ及び図２Ｂに示す構成と同様に、第２のゲート絶縁体は、絶縁体２２２と島状の絶縁体２２４との積層体で構成されてもよい。

［０１５７］

図６Ｂ及び図６Ｃに示す構成とは異なる構成の一例を図７Ａ及び図７Ｂに示す。図７Ａ及び図７Ｂは、トランジスタ２００Ｃを有する半導体装置の断面図である。ここで、図７Ａはトランジスタ２００Ｃのチャネル長方向の断面図であり、図７Ｂはトランジスタ２００Ｃのチャネル幅方向の断面図である。なお、図７Ａ及び図７Ｂに示す半導体装置の上面図は、図６Ａを参照できる。

［０１５８］

図７Ａ及び図７Ｂに示すトランジスタ２００Ｃは、絶縁体２２２が２層積層構造である点、及び島状の絶縁体２２４を有する点で、図６Ｂ及び図６Ｃに示すトランジスタ２００Ｃと主に異なる。

［０１５９］

図７Ａ及び図７Ｂに示すトランジスタ２００Ｃでは、絶縁体２２２が、絶縁体２２２ｂと、絶縁体２２２ｂ上の絶縁体２２２ｄの積層構造を有する。また、絶縁体２２２と酸化物２３０との間に、島状の絶縁体２２４が設けられている。

［０１６０］

絶縁体２５０ａは、絶縁体２２２ｄの上面に接する領域と、絶縁体２２４の側面に接する領域と、酸化物２３０の側面に接する領域と、酸化物２３０の上面に接する領域とを有する。このとき、酸

化物２３０の領域２３０ｉは、絶縁体２５０ａと絶縁体２２４とで取り囲まれる。

［０１６１］

絶縁体２２４は、上述した絶縁体２２２ａに適用できる材料を用いることが好ましい。

［０１６２］

なお、絶縁体２２２及び絶縁体２２４の構成は、図７Ａ及び図７Ｂに示す構成に限られない。図７Ａ及び図７Ｂに示す構成とは異なる構成の一例を図７Ｃ及び図７Ｄに示す。図７Ｃ及び図７Ｄは、トランジスタ２００Ｃを有する半導体装置の断面図である。ここで、図７Ｃはトランジスタ２００Ｃのチャネル長方向の断面図であり、図７Ｄはトランジスタ２００Ｃのチャネル幅方向の断面図である。なお、図７Ｃ及び図７Ｄに示す半導体装置の上面図は、図６Ａを参照できる。

［０１６３］

図７Ｃ及び図７Ｄに示すように、絶縁体２２２が単層構造であり、絶縁体２２４が、絶縁体２２４ｄと、絶縁体２２４ｄ上の絶縁体２２４ａとの積層構造であってもよい。このとき、絶縁体２２２は、上述した絶縁体２２２ｂに適用できる材料を用いることが好ましい。また、絶縁体２２４ｄは、上述した絶縁体２２２ｄに適用できる材料を用い、絶縁体２２４ａは、上述した絶縁体２２２ａに適用できる材料を用いることが好ましい。

［０１６４］

上述した構成にすることで、絶縁体２２２と絶縁体２２４からなる積層体を第２の積層体とみなすことができる。このとき、図７Ａ及び図７Ｂに示すトランジスタ２００Ｃ、並びに図７Ｃ及び図７Ｄに示すトランジスタ２００Ｃは、第１の積層体と第２の積層体とが、チャネル形成領域を基準として対称に設けられた構成を有するといえる。

［０１６５］

＜構成例４＞

上述のトランジスタ２００Ａ乃至トランジスタ２００Ｃと異なる構成例を、図８Ａ乃至図８Ｃに示す。図８Ａは半導体装置の上面図であり、図８Ｂ及び図８Ｃは半導体装置の断面図である。ここで、図８Ｂは、図８ＡにＡ１－Ａ２の一点鎖線で示す部位の断面図である。また、図８Ｃは、図８ＡにＡ３－Ａ４の一点鎖線で示す部位の断面図である。なお、図８Ａの上面図では、図の明瞭化のために一部の要素を省いている。

［０１６６］

図８Ａ乃至図８Ｃに示す半導体装置は、トランジスタ２００Ｄを有する。よって、図８Ｂは、トランジスタ２００Ｄのチャネル長方向の断面図ともいえる。また、図８Ｃは、トランジスタ２００Ｄのチャネル幅方向の断面図ともいえる。

［０１６７］

図８Ｂ及び図８Ｃに示すトランジスタ２００Ｄは、絶縁体２２２及び絶縁体２５０のそれぞれが４層積層構造を有する点で、トランジスタ２００Ａ乃至トランジスタ２００Ｃと主に異なる。図８Ｂ及び図８Ｃに示すトランジスタ２００Ｄは、図３Ａ乃至図３Ｃに示すトランジスタ２００Ｂに絶縁体２５０ｄ及び絶縁体２２２ｄを加えた構成ともいえる。又は、図６Ａ乃至図６Ｃに示すトランジスタ２００Ｃに絶縁体２５０ｃ及び絶縁体２２２ｃを加えた構成ともいえる。以降では、上述の構成例１乃至構成例３と異なる部分について主に説明し、重複する部分については説明を省略する。

［０１６８］

絶縁体２５０は、絶縁体２５０ｃと、絶縁体２５０ｃ上の絶縁体２５０ａと、絶縁体２５０ａ上

の絶縁体２５０ｄと、絶縁体２５０ｄ上の絶縁体２５０ｂと、を有する。また、絶縁体２２２は、絶縁体２２２ｂと、絶縁体２２２ｂ上の絶縁体２２２ｄと、絶縁体２２２ｄ上の絶縁体２２２ａと、絶縁体２２２ａ上の絶縁体２２２ｃと、を有する。このとき、絶縁体２５０ｃと絶縁体２２２ｃとは、領域２３０ｉを介して互いに重なる領域を有し、絶縁体２５０ａと絶縁体２２２ａとは、絶縁体２５０ｃ、領域２３０ｉ、及び絶縁体２２２ｃを介して互いに重なる領域を有し、絶縁体２５０ｄと絶縁体２２２ｄとは、絶縁体２５０ａ、絶縁体２５０ｃ、領域２３０ｉ、絶縁体２２２ｃ、及び絶縁体２２２ａを介して互いに重なる領域を有し、絶縁体２５０ｂと絶縁体２２２ｂとは、絶縁体２５０ｄ、絶縁体２５０ａ、絶縁体２５０ｃ、領域２３０ｉ、絶縁体２２２ｃ、絶縁体２２２ａ、及び絶縁体２２２ｄを介して互いに重なる領域を有する。

［０１６９］

上述した構成にすることで、第１の積層体と第２の積層体とを、チャネル形成領域を基準として対称に設けることができる。

［０１７０］

なお、図２Ａ及び図２Ｂに示す構成と同様に、第２のゲート絶縁体は、絶縁体２２２と島状の絶縁体２２４で構成されてもよい。

［０１７１］

図８Ｂ及び図８Ｃに示す構成とは異なる構成の一例を、図９Ａ及び図９Ｂ、図９Ｃ及び図９Ｄ、並びに図９Ｅ及び図９Ｆに示す。図９Ａ及び図９Ｂ、図９Ｃ及び図９Ｄ、並びに図９Ｅ及び図９Ｆはそれぞれ、トランジスタ２００Ｄを有する半導体装置の断面図である。ここで、図９Ａ、図９Ｃ、及び図９Ｅはトランジスタ２００Ｄのチャネル長方向の断面図であり、図９Ｂ、図９Ｄ、及び図９Ｆはトランジスタ２００Ｄのチャネル幅方向の断面図である。なお、図９Ａ及び図９Ｂに示す半導体装置、図９Ｃ及び図９Ｄに示す半導体装置、並びに図９Ｅ及び図９Ｆに示す半導体装置の上面図は、図８Ａを参照できる。

［０１７２］

図９Ａ及び図９Ｂに示すトランジスタ２００Ｄ、図９Ｃ及び図９Ｄに示すトランジスタ２００Ｄ、並びに図９Ｅ及び図９Ｆに示すトランジスタ２００Ｄは、絶縁体２２２と酸化物２３０との間に島状の絶縁体２２４を有する点で、図８Ｂ及び図８Ｃに示すトランジスタ２００Ｄと主に異なる。

［０１７３］

図９Ａ及び図９Ｂに示すトランジスタ２００Ｄでは、絶縁体２２２が、絶縁体２２２ｂと、絶縁体２２２ｂ上の絶縁体２２２ｄと、絶縁体２２２ｄ上の絶縁体２２２ａとの積層構造であり、絶縁体２２４が単層構造である。絶縁体２２４は、上述した絶縁体２２２ｃに適用できる材料を用いることが好ましい。

［０１７４］

また、図９Ｃ及び図９Ｄに示すトランジスタ２００Ｄでは、絶縁体２２２が、絶縁体２２２ｂと、絶縁体２２２ｂ上の絶縁体２２２ｄとの積層構造であり、絶縁体２２４が、絶縁体２２４ａと、絶縁体２２４ａ上の絶縁体２２４ｃとの積層構造である。絶縁体２２４ａは、上述した絶縁体２２２ａに適用できる材料を用い、絶縁体２２４ｃは、上述した絶縁体２２２ｃに適用できる材料を用いることが好ましい。

［０１７５］

また、図９Ｅ及び図９Ｆに示すトランジスタ２００Ｄでは、絶縁体２２２が単層構造であり、絶

縁体２２４が、絶縁体２２４ｄと、絶縁体２２４ｄ上の絶縁体２２４ａと、絶縁体２２４ａ上の絶縁体２２４ｃとの積層構造である。絶縁体２２２は、上述した絶縁体２２２ｂに適用できる材料を用いることが好ましい。また、絶縁体２２４ｄは、上述した絶縁体２２２ｄに適用できる材料を用い、絶縁体２２４ａは、上述した絶縁体２２２ａに適用できる材料を用い、絶縁体２２４ｃは、上述した絶縁体２２２ｃに適用できる材料を用いることが好ましい。

［０１７６］

上述した構成にすることで、絶縁体２２２と絶縁体２２４からなる積層体を第２の積層体とみなすことができる。このとき、図９Ａ及び図９Ｂに示すトランジスタ２００Ｄ、図９Ｃ及び図９Ｄに示すトランジスタ２００Ｄ、並びに図９Ｅ及び図９Ｆに示すトランジスタ２００Ｄは、第１の積層体と第２の積層体とが、チャネル形成領域を基準として対称に設けられた構成を有するといえる。

［０１７７］

なお、図５Ａ及び図５Ｂに示す構成と同様に、酸化物２３０を酸化物２３０ａと酸化物２３０ｂの積層構造とし、酸化物２３０ａとして、酸素に対するバリア性を有する半導体材料を用いる構成としてもよい。

［０１７８］

図８Ｂ及び図８Ｃに示す構成とは異なる構成の一例を図１０Ａ及び図１０Ｂ、図１０Ｃ及び図１０Ｄ、並びに図１０Ｅ及び図１０Ｆに示す。図１０Ａ及び図１０Ｂ、図１０Ｃ及び図１０Ｄ、並びに図１０Ｅ及び図１０Ｆはそれぞれ、トランジスタ２００Ｄを有する半導体装置の断面図である。ここで、図１０Ａ、図１０Ｃ、及び図１０Ｅはトランジスタ２００Ｄのチャネル長方向の断面図であり、図１０Ｂ、図１０Ｄ、及び図１０Ｆはトランジスタ２００Ｄのチャネル幅方向の断面図である。なお、図１０Ａ及び図１０Ｂに示す半導体装置、図１０Ｃ及び図１０Ｄに示す半導体装置、並びに図１０Ｅ及び図１０Ｆに示す半導体装置の上面図は、図８Ａを参照できる。

［０１７９］

図１０Ａ及び図１０Ｂに示すトランジスタ２００Ｄは、酸化物２３０が２層積層構造である点で、図８Ｂ及び図８Ｃに示すトランジスタ２００Ｄと主に異なる。図１０Ｃ及び図１０Ｄに示すトランジスタ２００Ｄ、並びに図１０Ｅ及び図１０Ｆに示すトランジスタ２００Ｄは、島状の絶縁体２２４を有する点、及び酸化物２３０が２層積層構造である点で、図８Ｂ及び図８Ｃに示すトランジスタ２００Ｄと主に異なる。

［０１８０］

図１０Ａ及び図１０Ｂに示すトランジスタ２００Ｄでは、絶縁体２２２が、絶縁体２２２ｂと、絶縁体２２２ｂ上の絶縁体２２２ｄと、絶縁体２２２ｄ上の絶縁体２２２ａとの積層構造であり、酸化物２３０が、酸化物２３０ａと、酸化物２３０ａ上の酸化物２３０ｂとの積層構造である。このような構成において、絶縁体２２２と酸化物２３０ａからなる積層体を第２の積層体とみなすことができる。このとき、図１０Ａ及び図１０Ｂに示すトランジスタ２００Ｄは、第１の積層体と、第２の積層体とが、チャネル形成領域を基準として対称に設けられた構成といえる。

［０１８１］

また、図１０Ｃ及び図１０Ｄに示すトランジスタ２００Ｄでは、絶縁体２２２が、絶縁体２２２ｂと、絶縁体２２２ｂ上の絶縁体２２２ｄとの積層構造を有する。また、酸化物２３０は、酸化物２３０ａと、酸化物２３０ａ上の酸化物２３０ｂとの積層構造を有する。絶縁体２２４は、上述した絶縁体２２２ａに適用できる材料を用いることが好ましい。

［０１８２］

また、図１０Ｅ及び図１０Ｆに示すトランジスタ２００Ｄでは、絶縁体２２４が、絶縁体２２４ｄと、絶縁体２２４ｄ上の絶縁体２２４ａとを有する。また、酸化物２３０は、酸化物２３０ａと、酸化物２３０ａ上の酸化物２３０ｂとの積層構造を有する。絶縁体２２２は、上述した絶縁体２２２ｂに適用できる材料を用いることが好ましい。また、絶縁体２２４ｄは、上述した絶縁体２２２ｄに適用できる材料を用い、絶縁体２２４ａは、上述した絶縁体２２２ａに適用できる材料を用いることが好ましい。

［０１８３］

上述した構成にすることで、絶縁体２２２と絶縁体２２４と酸化物２３０ａからなる積層体を第２の積層体とみなすことができる。このとき、図１０Ｃ及び図１０Ｄに示すトランジスタ２００Ｄ、並びに図１０Ｅ及び図１０Ｆに示すトランジスタ２００Ｄは、第１の積層体と第２の積層体とが、チャネル形成領域を基準として対称に設けられた構成を有すると言える。

［０１８４］

なお、絶縁体２５０ａ、絶縁体２２２ａ、または領域２３０ｉの水素濃度が十分低ければ、絶縁体２５０ｄ及び絶縁体２２２ｄの一方を設ける構成としてもよい。

［０１８５］

図１１Ａ及び図１１Ｂ、図１１Ｃ及び図１１Ｄ、図１２Ａ及び図１２Ｂ、並びに図１２Ｃ及び図１２Ｄはそれぞれ、トランジスタ２００Ｄを有する半導体装置の断面図である。ここで、図１１Ａ、図１１Ｃ、図１２Ａ、及び図１２Ｃはトランジスタ２００Ｄのチャネル長方向の断面図であり、図１１Ｂ、図１１Ｄ、図１２Ｂ、及び図１２Ｄはトランジスタ２００Ｄのチャネル幅方向の断面図である。なお、図１１Ａ及び図１１Ｂに示す半導体装置、並びに図１１Ｃ及び図１１Ｄに示す半導体装置の上面図は、図３Ａを参照でき、図１２Ａ及び図１２Ｂに示す半導体装置、並びに図１２Ｃ及び図１２Ｄに示す半導体装置の上面図は、図８Ａを参照できる。

［０１８６］

例えば、図１１Ａ及び図１１Ｂに示すトランジスタ２００Ｄ、並びに図１１Ｃ及び図１１Ｄに示すトランジスタ２００Ｄは、絶縁体２２２ｄを有し、絶縁体２５０ｄを有さない。

［０１８７］

図１１Ａ及び図１１Ｂに示すトランジスタ２００Ｄは、絶縁体２２２ｄを有する点で、図４Ｃ及び図４Ｄに示すトランジスタ２００Ｂとは異なる。また、図１１Ａ及び図１１Ｂに示すトランジスタ２００Ｄは、絶縁体２５０ｄを有さない点で、図９Ｃ及び図９Ｄに示すトランジスタ２００Ｄとは異なる。よって、図１１Ａ及び図１１Ｂに示すトランジスタ２００Ｄは、図４Ｃ及び図４Ｄに示すトランジスタ２００Ｂの変形例、又は図９Ｃ及び図９Ｄに示すトランジスタ２００Ｄの変形例といえる。

［０１８８］

また、図１１Ｃ及び図１１Ｄに示すトランジスタ２００Ｄは、絶縁体２２２ｂと絶縁体２２４との間に絶縁体２２２ｄを有する点で、図５Ｃ及び図５Ｄに示すトランジスタ２００Ｂとは異なる。また、図１１Ｃ及び図１１Ｃに示すトランジスタ２００Ｄは、絶縁体２５０ｄを有さない点で、図１０Ｃ及び図１０Ｄに示すトランジスタ２００Ｄとは異なる。よって、図１１Ｃ及び図１１Ｄに示すトランジスタ２００Ｄは、図５Ｃ及び図５Ｄに示すトランジスタ２００Ｂの変形例、又は図１０Ｃ及び図１０Ｄに示すトランジスタ２００Ｄの変形例といえる。また、図１０Ｃ及び図１０Ｄに示

すトランジスタ２００Ｄは、図１１Ｃ及び図１１Ｄに示すトランジスタ２００Ｄにおいて、絶縁体２５０ａと絶縁体２５０ｂとの間に絶縁体２５０ｄが設けられた構成を有する。

［０１８９］

また、例えば、図１２Ａ及び図１２Ｂに示すトランジスタ２００Ｄ、並びに図１２Ｃ及び図１２Ｄに示すトランジスタ２００Ｄは、絶縁体２５０ｄを有し、絶縁体２２２ｄを有さない。

［０１９０］

図１２Ａ及び図１２Ｂに示すトランジスタ２００Ｄは、絶縁体２５０ｄを有する点で、図４Ｃ及び図４Ｄに示すトランジスタ２００Ｂとは異なる。また、図１２Ａ及び図１２Ｂに示すトランジスタ２００Ｄは、絶縁体２２２ｄを有さない点で、図９Ｃ及び図９Ｄに示すトランジスタ２００Ｄとは異なる。よって、図１２Ａ及び図１２Ｂに示すトランジスタ２００Ｄは、図４Ｃ及び図４Ｄに示すトランジスタ２００Ｂの変形例、又は図９Ｃ及び図９Ｄに示すトランジスタ２００Ｄの変形例といえる。

［０１９１］

また、図１２Ｃ及び図１２Ｄに示すトランジスタ２００Ｄは、絶縁体２５０ｄを有する点で、図５Ｃ及び図５Ｄに示すトランジスタ２００Ｂとは異なる。別言すると、図１２Ｃ及び図１２Ｄに示すトランジスタ２００Ｄは、図５Ｃ及び図５Ｄに示すトランジスタ２００Ｂに絶縁体２５０ｄを加えた構成を有する。また、図１２Ｃ及び図１２Ｄに示すトランジスタ２００Ｄは、絶縁体２２２ｄを有さない点で、図１０Ｃ及び図１０Ｄに示すトランジスタ２００Ｄとは異なる。よって、図１２Ｃ及び図１２Ｄに示すトランジスタ２００Ｄは、図５Ｃ及び図５Ｄに示すトランジスタ２００Ｂの変形例、又は図１０Ｃ及び図１０Ｄに示すトランジスタ２００Ｄの変形例といえる。

［０１９２］

なお、図１２Ａ及び図１２Ｂに示すトランジスタ２００Ｄ、並びに図１２Ｃ及び図１２Ｄに示すトランジスタ２００Ｄの絶縁体２２２は、上述した絶縁体２２２ｂに適用できる材料を用いてもよいし、上述した絶縁体２２２ｄに適用できる材料を用いてもよい。

［０１９３］

図１２Ａ及び図１２Ｂに示すトランジスタ２００Ｄ、並びに図１２Ｃ及び図１２Ｄに示すトランジスタ２００Ｄの絶縁体２２２として、上述した絶縁体２２２ｄに適用できる材料を用いる場合、絶縁体２２２は、さらに水素（例えば、水素原子、及び水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体２２２は、絶縁体２２４（図１２Ａ及び図１２Ｂに示すトランジスタ２００Ｄにおいては絶縁体２２４ａ）よりも水素の拡散を抑制する機能を有することが好ましい。また、絶縁体２２２は、酸素（例えば、酸素原子、及び酸素分子などの少なくとも一）の拡散を抑制する機能を有してもよい。このとき、絶縁体２２２は、絶縁体２２４（図１２Ａ及び図１２Ｂに示すトランジスタ２００Ｄにおいては絶縁体２２４ａ）よりも酸素の拡散を抑制する機能を有することが好ましい。

［０１９４］

図１２Ａ及び図１２Ｂに示すトランジスタ２００Ｄ、並びに図１２Ｃ及び図１２Ｄに示すトランジスタ２００Ｄにおいて、絶縁体２２２は、アルミニウム及びハフニウムの一方または双方の酸化物、またはハフニウム及びジルコニウムを含む酸化物を用いることが好ましい。このような酸化物を絶縁体２２２として用いる場合、絶縁体２２２は、基板側から酸化物２３０への水素等の不純物の拡散を抑制し、酸化物２３０から基板側への酸素の放出を抑制する層として機能する。よって、

水素等の不純物が、トランジスタ２００Ｄの内側へ拡散することを抑制し、酸化物２３０中の酸素欠損の生成を抑制できる。また、導電体２０５が、酸化物２３０が有する酸素と反応することを抑制できる。

［０１９５］

なお、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、または酸化ジルコニウムを添加してもよい。または、これらの絶縁体を窒化処理してもよい。

［０１９６］

例えば、絶縁体２２２としてアルミニウム及びハフニウムの一方または双方の酸化物を用いる場合、絶縁体２２２の膜厚を大きくすることが好ましい。例えば、絶縁体２２２の膜厚は、絶縁体２５０ｄの膜厚よりも大きいことが好ましく、絶縁体２５０ｄの膜厚と絶縁体２５０ｂの膜厚の和よりも大きいことがより好ましい。絶縁体２２２の膜厚を厚くすることで、絶縁体２２２は、水素を捕獲する又は固着する機能と、水素（例えば、水素原子、及び水素分子などの少なくとも一）の拡散を抑制する機能と、を有する場合がある。このとき、絶縁体２２２は、上述した絶縁体２２２ｂに適用できる材料が有する機能と、上述した絶縁体２２２ｄに適用できる材料が有する機能と、を併せ持つことができる。このような構成にすることで、図１２Ａ及び図１２Ｂに示すトランジスタ２００Ｄ、並びに図１２Ｃ及び図１２Ｄに示すトランジスタ２００Ｄは、第１の積層体と第２の積層体とが、チャネル形成領域を基準として対称に設けられた構成を有すると言える。

［０１９７］

＜応用例＞

本発明の一態様である半導体装置において、第１のゲート電極の上方及び第２のゲート電極の下方の一方又は双方に、水素に対するバリア性を有する絶縁体を設ける構成にしてもよい。

［０１９８］

図１３Ａ及び図１３Ｂ、図１３Ｃ及び図１３Ｄ、並びに図１３Ｅ及び図１３Ｆはそれぞれ、トランジスタ２００Ｅを有する半導体装置の断面図である。ここで、図１３Ａ、図１３Ｃ、及び図１３Ｅはトランジスタ２００Ｅのチャネル長方向の断面図であり、図１３Ｂ、図１３Ｄ、及び図１３Ｆはトランジスタ２００Ｅのチャネル幅方向の断面図である。なお、図１３Ａ及び図１３Ｂに示す半導体装置、図１３Ｃ及び図１３Ｄに示す半導体装置、並びに図１３Ｅ及び図１３Ｆに示す半導体装置の上面図は、図１Ａを参照できる。以降では、上述の構成例１乃至構成例４と異なる部分について主に説明し、重複する部分については説明を省略する。

［０１９９］

図１３Ａ及び図１３Ｂに示すトランジスタ２００Ｅでは、導電体２６０の上方に絶縁体２８３が設けられている。また、図１３Ｃ及び図１３Ｄに示すトランジスタ２００Ｅでは、導電体２０５の下方に絶縁体２１５が設けられている。また、図１３Ｅ及び図１３Ｆに示すトランジスタ２００Ｅでは、導電体２６０の上方に絶縁体２８３が設けられ、導電体２０５の下方に絶縁体２１５が設けられている。

［０２００］

絶縁体２８３は絶縁体２５０ｂと同様に、水素に対するバリア性を有することが好ましい。絶縁体２８３を設けることで、絶縁体２８３の上方に設けられる構造体に含まれる水素などの不純物が領域２３０ｉに拡散するのを抑制できる。また、絶縁体２１５は絶縁体２２２ｂと同様に、水素に

対するバリア性を有することが好ましい。絶縁体２１５を設けることで、絶縁体２１５の下方に設けられる構造体に含まれる水素などの不純物が領域２３０ｉに拡散するのを抑制できる。

［０２０１］

なお、絶縁体２１５が設けられるトランジスタ２００Ｅにおいて、絶縁体２１５上に絶縁体２１６が設けられ、絶縁体２１６に形成された開口部を埋め込むように導電体２０５が配置されている。また、導電体２０５の上面は、絶縁体２１６の上面と高さが一致している。

［０２０２］

また、導電体２０５の電気抵抗率は、導電体２０５に印加する電位を考慮して設計され、導電体２０５の膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体２１６の膜厚は、導電体２０５とほぼ同じになる。ここで、導電体２０５の設計が許す範囲で導電体２０５及び絶縁体２１６の膜厚を薄くすることが好ましい。絶縁体２１６の膜厚を薄くすることで、絶縁体２１６中に含まれる水素などの不純物の絶対量を低減できるため、当該不純物が酸化物２３０に拡散することを抑制できる。

［０２０３］

絶縁体２１６は、絶縁体２１５よりも誘電率が低いことが好ましい。例えば、絶縁体２１６は、絶縁体２８０に適用できる絶縁体を用いればよい。

［０２０４］

なお、絶縁体２５０ｂと同様の機能を有する絶縁体２８３を設けることで、トランジスタ２００の上方から領域２３０ｉへの水素の拡散を十分に抑制できる場合、絶縁体２５０ｂを設けない構成としてもよい。また、絶縁体２２２ｂと同様の機能を有する絶縁体２１５を設けることで、トランジスタ２００の下方から領域２３０ｉへの水素の拡散を十分に抑制できる場合、絶縁体２２２ｂを設けない構成としてもよい。

［０２０５］

図１４Ａ及び図１４Ｂ、図１４Ｃ及び図１４Ｄ、並びに図１４Ｅ及び図１４Ｆは、トランジスタ２００Ｅを有する半導体装置の断面図である。ここで、図１４Ａ、図１４Ｃ、及び図１４Ｅはトランジスタ２００Ｅのチャネル長方向の断面図であり、図１４Ｂ、図１４Ｄ、及び図１４Ｆはトランジスタ２００Ｅのチャネル幅方向の断面図である。なお、図１４Ａ及び図１４Ｂに示す半導体装置、並びに図１４Ｃ及び図１４Ｄに示す半導体装置の上面図は、図８Ａを参照できる。図１４Ｅ及び図１４Ｆに示す半導体装置の上面図は、図３Ａを参照できる。

［０２０６］

絶縁体２１５を設け、絶縁体２２２ｂを設けない点で、図１４Ａ及び図１４Ｂに示すトランジスタ２００Ｅは図９Ｃ及び図９Ｄに示すトランジスタ２００Ｄと異なり、図１４Ｃ及び図１４Ｄに示すトランジスタ２００Ｅは図１０Ｃ及び図１０Ｄに示すトランジスタ２００Ｄと異なり、図１４Ｅ及び図１４Ｆに示すトランジスタ２００Ｅは図１１Ｃ及び図１１Ｄに示すトランジスタ２００Ｅと異なる。

［０２０７］

図１４Ａ乃至図１４Ｆに示すように絶縁体２２２ｂを設けない場合においても、導電体２０５及び絶縁体２１６と酸化物２３０との間に水素を捕獲する又は固着する機能を有する絶縁体を設けることで、領域２３０ｉの水素濃度の増加を抑制できる。

［０２０８］

なお、図１２Ａ及び図１２Ｂに示すトランジスタ２００Ｄ、並びに図１２Ｃ及び図１２Ｄに示すトランジスタ２００Ｄと同様に、図１４Ａ及び図１４Ｂに示すトランジスタ２００Ｅ、図１４Ｃ及び図１４Ｄに示すトランジスタ２００Ｅ、並びに図１４Ｅ及び図１４Ｆに示すトランジスタ２００Ｅは、上述した絶縁体２２２ｂに適用できる材料を用いて膜厚の大きい絶縁体２２２を形成することで、第１の積層体と第２の積層体とが、チャネル形成領域を基準として対称に設けられた構成とみ成すことができる。

［０２０９］

＜詳細な構成例＞

図１５Ａ乃至図１５Ｄを用いて、トランジスタを有する半導体装置の詳細な構成例について説明する。

［０２１０］

図１５Ａはトランジスタ２００を有する半導体装置の上面図であり、図１５Ｂ乃至図１５Ｄは半導体装置の断面図である。ここで、図１５Ｂは、図１５ＡにＡ１－Ａ２の一点鎖線で示す部位の断面図であり、トランジスタ２００のチャネル長方向の断面図でもある。また、図１５Ｃは、図１５ＡにＡ３－Ａ４の一点鎖線で示す部位の断面図であり、トランジスタ２００のチャネル幅方向の断面図でもある。また、図１５Ｄは、図１５ＡにＡ５－Ａ６の一点鎖線で示す部位の断面図であり、トランジスタ２００のチャネル幅方向の断面図でもある。なお、図１５Ａの上面図では、図の明瞭化のために一部の要素を省いている。また、以降では、上述した内容と異なる部分について主に説明し、重複する部分については説明を省略する。

［０２１１］

トランジスタ２００は、絶縁体２１５上の絶縁体２１６と、絶縁体２１６に埋め込まれるように設けられた導電体２０５（導電体２０５ａ及び導電体２０５ｂ）と、絶縁体２１６及び導電体２０５上の絶縁体２２２と、絶縁体２２２上の絶縁体２２４と、絶縁体２２４上の酸化物２３０と、酸化物２３０上の、導電体２４２ａ及び導電体２４２ｂと、導電体２４２ａ上の絶縁体２７１ａと、導電体２４２ｂ上の絶縁体２７１ｂと、酸化物２３０上の絶縁体２５０と、絶縁体２５０上の導電体２６０（導電体２６０ａ及び導電体２６０ｂ）と、を有する。

［０２１２］

絶縁体２７１ａ及び絶縁体２７１ｂ上には、絶縁体２７５が設けられ、絶縁体２７５上には絶縁体２８０が設けられている。絶縁体２８０及び絶縁体２７５に形成された開口の内部に絶縁体２５０及び導電体２６０が埋め込まれている。また、絶縁体２８０、導電体２６０、及び絶縁体２５０上に絶縁体２８２が設けられている。また、絶縁体２８２上に絶縁体２８３が設けられている。

［０２１３］

図１５Ｂに示すように、トランジスタ２００の断面視において、導電体２４２ａの側端部の一方は、酸化物２３０の側端部の一方と一致し、導電体２４２ｂの側端部の一方は、酸化物２３０の側端部の他方と一致することが好ましい。さらに、絶縁体２２４の側端部が、酸化物２３０の側端部と一致することが好ましい。絶縁体２２４と、酸化物２３０と、導電体２４２ａ及び導電体２４２ｂとなる導電層とを一括で島状に加工することで、半導体装置を良好な生産性で作製できる。このとき、絶縁体２２４、酸化物２３０、導電体２４２ａ、及び導電体２４２ｂは、上記のように側端部がそれぞれ一致する形状になる。

［０２１４］

図１５Ａ乃至図１５Ｄに示すトランジスタ２００に、上述したトランジスタ２００Ａ乃至トランジスタ２００Ｅのいずれか一の構成を適用するとよい。

［０２１５］

図１５Ａ乃至図１５Ｄに示すトランジスタ２００に図１１Ｃ及び図１１Ｄに示すトランジスタ２００Ｄの構成を適用した例を、図１６Ａ及び図１６Ｂに示す。図１６Ａは、トランジスタ２００のチャネル長方向の断面拡大図であり、図１６Ｂは、トランジスタ２００のチャネル幅方向の断面拡大図である。

［０２１６］

また、図１５Ａ乃至図１５Ｄに示すトランジスタ２００に図１４Ｃ及び図１４Ｄに示すトランジスタ２００Ｅの構成を適用した例を、図１７Ａ及び図１７Ｂに示す。図１７Ａは、トランジスタ２００のチャネル長方向の断面拡大図であり、図１７Ｂは、トランジスタ２００のチャネル幅方向の断面拡大図である。

［０２１７］

図１６Ａ乃至図１７Ｂに示すように、酸化物２３０は、絶縁体２２４上の酸化物２３０ａと、酸化物２３０ａ上の酸化物２３０ｂと、を有することが好ましい。

［０２１８］

酸化物２３０ａ及び酸化物２３０ｂは、化学組成が異なることが好ましい。酸化物２３０ａ及び酸化物２３０ｂが、酸素以外に共通の元素を主成分として有することで、酸化物２３０ａ及び酸化物２３０ｂの界面における欠陥準位密度を低減できる。酸化物２３０ａ及び酸化物２３０ｂの界面における欠陥準位密度を低減できる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ２００は大きいオン電流、及び高い周波数特性を得ることができる。

［０２１９］

酸化物２３０ｂは、結晶性を有する酸化物半導体を用いることが好ましい。結晶性を有する酸化物半導体として、ＣＡＡＣ－ＯＳ（ｃ－ａｘｉｓ　ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌｌｉｎｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、ｎｃ－ＯＳ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、多結晶酸化物半導体、単結晶酸化物半導体等が挙げられる。酸化物２３０ｂとして、ＣＡＡＣ－ＯＳ又はｎｃ－ＯＳを用いることが好ましく、ＣＡＡＣ－ＯＳを用いることが特に好ましい。

［０２２０］

ＣＡＡＣ－ＯＳは、結晶性の高い、緻密な構造を有しており、不純物及び欠陥（例えば、酸素欠損）が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度（例えば、４００℃以上６００℃以下）で加熱処理することで、ＣＡＡＣ－ＯＳをより結晶性の高い、緻密な構造にすることができる。このようにして、ＣＡＡＣ－ＯＳの密度をより高めることで、当該ＣＡＡＣ－ＯＳ中の不純物または酸素の拡散をより低減することができる。

［０２２１］

また、ＣＡＡＣ－ＯＳは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、ＣＡＡＣ－ＯＳを有する金属酸化物は、物理的性質が安定する。そのため、ＣＡＡＣ－ＯＳを有する金属酸化物は熱に強く、信頼性が高い。

［０２２２］

また、酸化物２３０ｂとしてＣＡＡＣ－ＯＳなどの結晶性を有する酸化物を用いることで、導電

体２４２ａまたは導電体２４２ｂによる、酸化物２３０ｂからの酸素の引き抜きを抑制できる。これにより、熱処理を行っても、酸化物２３０ｂから酸素が引き抜かれることを抑制できるため、トランジスタ２００は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。また、導電体２４２ａ及び導電体２４２ｂの導電率が低下することを抑制できる。

［０２２３］

ｎｃ－ＯＳは、微小な領域（例えば、１ｎｍ以上１０ｎｍ以下の領域、特に１ｎｍ以上３ｎｍ以下の領域）において原子配列に周期性を有する。別言すると、ｎｃ－ＯＳは、微小な結晶（ナノ結晶ともいう）を有する。また、ｎｃ－ＯＳは、異なるナノ結晶間で結晶方位に規則性が見られないため、膜全体で配向性が見られない。すなわち、酸化物２３０ｂとしてｎｃ－ＯＳを用いる場合、酸化物２３０ｂ中を流れるキャリアの方向によらず酸化物２３０ｂの膜特性が一定となるため、トランジスタの電気特性は安定する。

［０２２４］

なお、酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。酸化物２３０ｂは、ＣＡＡＣ－ＯＳ、ｎｃ－ＯＳ、擬似非晶質酸化物半導体（ａ－ｌｉｋｅ　ＯＳ：ａｍｏｒｐｈｏｕｓ－ｌｉｋｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、非晶質酸化物半導体、多結晶酸化物半導体、ＣＡＣ－ＯＳ（ｃｌｏｕｄ－ａｌｉｇｎｅｄ　ｃｏｍｐｏｓｉｔｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）のうち、二種以上を有してもよい。

［０２２５］

なお、ＣＡＡＣ－ＯＳ膜に対し、例えば、ＸＲＤ装置を用いて構造解析を行うと、θ／２θ スキャンを用いたＯｕｔ－ｏｆ－ｐｌａｎｅ　ＸＲＤ測定では、ｃ軸配向を示すピークが２θ＝３１°又はその近傍に検出される。なお、ｃ軸配向を示すピークの位置（２θ の値）は、ＣＡＡＣ－ＯＳを構成する金属元素の種類、組成などにより変動する場合がある。また、例えば、ＣＡＡＣ－ＯＳ膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう）を対称中心として、点対称の位置に観測される。

［０２２６］

また、ｎｃ－ＯＳ膜に対し、ナノ結晶の大きさと同等又はナノ結晶より小さいプローブ径（例えば１ｎｍ以上３０ｎｍ以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

［０２２７］

酸化物２３０ｂは、図１６Ａ及び図１７Ａに示すように、領域２３０ｂｉと、領域２３０ｂｉを挟むように設けられる領域２３０ｂｎａ及び領域２３０ｂｎｂと、を有する。なお、領域２３０ｂｉ、領域２３０ｂｎａ、及び領域２３０ｂｎｂについてはそれぞれ、上述した、領域２３０ｉ、領域２３０ｎａ、及び領域２３０ｎｂの記載を参照できる。

［０２２８］

なお、図１６Ａ乃至図１７Ｂでは、酸化物２３０が、酸化物２３０ａ及び酸化物２３０ｂの２層構造である例を示すが、これに限定されない。酸化物２３０は、例えば、図１Ｂ及び図１Ｃ等に示すように単層構造であってもよい。また、酸化物２３０ａ及び酸化物２３０ｂの一方又は双方が２層以上の積層構造であってもよい。なお、酸化物２３０が単層構造である場合、酸化物２３０とし

て、上述した酸化物２３０ａに適用できる金属酸化物を用いてもよい。

［０２２９］

図１６Ａ及び図１６Ｂに示すように、絶縁体２５０は、酸化物２３０に接する絶縁体２５０ｃと、絶縁体２５０ｃ上の絶縁体２５０ａと、絶縁体２５０ａ上の絶縁体２５０ｂの積層構造とすることが好ましい。又は、図１７Ａ及び図１７Ｂに示すように、絶縁体２５０は、酸化物２３０に接する絶縁体２５０ｃと、絶縁体２５０ｃ上の絶縁体２５０ａと、絶縁体２５０ａ上の絶縁体２５０ｄと、絶縁体２５０ｄ上の絶縁体２５０ｂの積層構造とすることが好ましい。

［０２３０］

絶縁体２５０ａ乃至絶縁体２５０ｄは、導電体２６０とともに、絶縁体２８０などに形成された開口の内部に設ける。トランジスタ２００の微細化を図るにあたって、絶縁体２５０ａ乃至絶縁体２５０ｄの膜厚はそれぞれ薄いことが好ましい。絶縁体２５０ａ乃至絶縁体２５０ｄの膜厚は、それぞれ、０．１ｎｍ以上１０ｎｍ以下が好ましく、０．１ｎｍ以上５．０ｎｍ以下がより好ましく、０．５ｎｍ以上５．０ｎｍ以下がより好ましく、１．０ｎｍ以上５．０ｎｍ未満がより好ましく、１．０ｎｍ以上３．０ｎｍ以下がさらに好ましい。なお、絶縁体２５０ａ乃至絶縁体２５０ｄは、それぞれ、少なくとも一部において、上記のような膜厚の領域を有していればよい。

［０２３１］

絶縁体２５０ａ乃至絶縁体２５０ｄの膜厚を上記のように薄くするには、原子層堆積（ＡＬＤ：Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法を用いて成膜することが好ましい。ＡＬＤ法は、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ＡＬＤ（Ｔｈｅｒｍａｌ　ＡＬＤ）法、プラズマ励起されたリアクタントを用いるＰＥＡＬＤ（Ｐｌａｓｍａ　Ｅｎｈａｎｃｅｄ　ＡＬＤ）法などがある。ＰＥＡＬＤ法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。

［０２３２］

ＡＬＤ法は、一層ずつ原子を堆積することができるため、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。よって、絶縁体２５０を、絶縁体２８０及び絶縁体２７５に形成された開口部の側面、並びに導電体２４２ａ及び導電体２４２ｂの側端部などに被覆性良く、上記のような薄い膜厚で成膜することができる。

［０２３３］

なお、ＡＬＤ法で用いるプリカーサには炭素などを含むものがある。このため、ＡＬＤ法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）、Ｘ線光電子分光法（ＸＰＳ：Ｘ－ｒａｙ　Ｐｈｏｔｏｅｌｅｃｔｒｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）、またはオージェ電子分光法（ＡＥＳ：Ａｕｇｅｒ　Ｅｌｅｃｔｒｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）を用いて行うことができる。

［０２３４］

なお、上記において、絶縁体２５０が、絶縁体２５０ａ乃至絶縁体２５０ｃの３層構造、または絶縁体２５０ａ乃至絶縁体２５０ｄの４層構造となる構成について説明したが、本発明はこれに限られない。絶縁体２５０は、絶縁体２５０ａ乃至絶縁体２５０ｄのうち、少なくとも一つを有する構成にすることができる。絶縁体２５０を、絶縁体２５０ａ乃至絶縁体２５０ｄのうち、１層、２

層または３層で構成することで、半導体装置の作製工程を簡略化し、生産性の向上を図ることができる。

［０２３５］

図１６Ａ及び図１６Ｂに示すように、絶縁体２２２は、絶縁体２１６及び導電体２０５上の絶縁体２２２ｂと、絶縁体２２２ｂ上の絶縁体２２２ｄの積層構造とすることが好ましい。

［０２３６］

絶縁体２２２ｂは、絶縁体２１６及び導電体２０５と絶縁体２２２ｄとの間に設けられている。絶縁体２２２ｂとして、水素の拡散を抑制する機能を有することが好ましい。これにより、絶縁体２２２ｂの下方からトランジスタ２００に水素が拡散するのを抑制できる。なお、絶縁体２２２ｂは絶縁体２１５が有する機能を兼ねることができる。このような場合、絶縁体２１５を設けない構成にすることで、半導体装置の作製工程を簡略化し、生産性の向上を図ることができる。

［０２３７］

絶縁体２２２ｂとしては、例えば、ＡＬＤ法（特にＰＥＡＬＤ法）で成膜された窒化シリコンを用いることが好ましい。絶縁体２２２ｂの成膜にＡＬＤ法を用いることで、絶縁体２１６と導電体２０５とで凹凸が形成されても、絶縁体２２２ｂを被覆性良く成膜することができる。したがって、絶縁体２２２ｂ上に成膜される絶縁体２２２ｄに、ピンホールまたは段切れなどが形成されるのを抑制できる。

［０２３８］

又は、図１７Ａ及び図１７Ｂに示すように、絶縁体２２２は単層構造とすることが好ましい。なお、図１２Ａ及び図１２Ｂに示すトランジスタ２００Ｄ、並びに図１２Ｃ及び図１２Ｄに示すトランジスタ２００Ｄと同様に、上述した絶縁体２２２ｂに適用できる材料を用いて膜厚の大きい絶縁体２２２を形成することが好ましい。

［０２３９］

なお、上記において、絶縁体２２２が、単層構造、または絶縁体２２２ｂと絶縁体２２２ｄの２層構造となる構成について説明したが、本発明はこれに限られない。絶縁体２２２は、３層以上の積層構造としてもよい。

［０２４０］

絶縁体２２４は、酸化物２３０と同様に、島状に加工することが好ましい。これにより、複数のトランジスタ２００を設ける場合、１個のトランジスタ２００に対して、ほぼ同程度の大きさの絶縁体２２４が設けられることになる。これにより、各トランジスタ２００において、絶縁体２２４から酸化物２３０に供給される酸素の量が、同程度になる。よって、基板面内でトランジスタ２００の電気特性のばらつきを抑制できる。

［０２４１］

なお、絶縁体２２４は、２層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。また、図１Ｂなどに示すように、絶縁体２２４を設けない構成としてもよい。

［０２４２］

絶縁体２７５は、酸素に対するバリア性を有することが好ましい。絶縁体２７５は、絶縁体２８０と導電体２４２ａとの間、及び、絶縁体２８０と導電体２４２ｂとの間に設けられている。絶縁体２７５を設けることで、絶縁体２８０に含まれる酸素が導電体２４２ａ及び導電体２４２ｂに拡

散することを抑制できる。したがって、絶縁体２８０に含まれる酸素によって、導電体２４２ａ及び導電体２４２ｂが酸化されて抵抗率が増大し、オン電流が小さくなることを抑制できる。絶縁体２７５は、少なくとも絶縁体２８０よりも酸素を透過し難いことが好ましい。例えば、絶縁体２７５として、窒化シリコンを用いることが好ましい。この場合、絶縁体２７５は、少なくとも窒素と、シリコンと、を有する。

［０２４３］

なお、絶縁体２７５は、絶縁体２８０と領域２３０ｂｎａとの間、及び、絶縁体２８０と領域２３０ｂｎｂとの間に設けられている。別言すると、領域２３０ｂｎａ及び領域２３０ｂｎｂは、絶縁体２７５と酸化物２３０ａで取り囲まれている。よって、絶縁体２８０に含まれる酸素が、領域２３０ｂｎａ及び領域２３０ｂｎｂに拡散するのを抑制できる。

［０２４４］

また、絶縁体２７５は、水素に対するバリア性を有することが好ましい。絶縁体２７５が水素に対するバリア性を有することで、領域２３０ｂｎａ及び領域２３０ｂｎｂ中の水素濃度が低減することを抑制できる。

［０２４５］

水素に対するバリア絶縁体として、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの酸化物、及び窒化シリコンなどの窒化物が挙げられる。例えば、絶縁体２７５は、上記水素に対するバリア絶縁体の単層構造または積層構造であると好ましい。

［０２４６］

上述した構成にすることで、領域２３０ｂｉをｉ型または実質的にｉ型とし、領域２３０ｂｎａ及び領域２３０ｂｎｂをｎ型とすることができる。よって、良好な電気特性を有する半導体装置を提供できる。また、半導体装置を微細化または高集積化しても良好な電気特性を有することができる。また、トランジスタ２００を微細化することで高周波特性を向上することができる。具体的には、遮断周波数を向上することができる。

［０２４７］

絶縁体２７１ａは、導電体２４２ａの上面及び絶縁体２７５の下面に接し、絶縁体２７１ｂは、導電体２４２ｂの上面及び絶縁体２７５の下面に接する。

［０２４８］

絶縁体２７１ａ及び絶縁体２７１ｂは、導電体２４２ａ及び導電体２４２ｂを保護するエッチングストッパとして機能する。よって、図１５Ｂに示すように、トランジスタ２００の断面視において、絶縁体２７１ａの側端部は、導電体２４２ａの側端部と一致し、絶縁体２７１ｂの側端部は、導電体２４２ｂの側端部と一致することが好ましい。

［０２４９］

絶縁体２７１ａ及び絶縁体２７１ｂはそれぞれ導電体２４２ａ及び導電体２４２ｂに接するため、導電体２４２ａ及び導電体２４２ｂを酸化させにくい、無機絶縁体であることが好ましい。絶縁体２７１ａ及び絶縁体２７１ｂは、例えば、絶縁体２５０ｂに適用できる窒化物絶縁体を用いることが好ましい。

［０２５０］

なお、図１５Ｂでは、絶縁体２７１ａ及び絶縁体２７１ｂを単層で示したが、本発明はこれに限られない。絶縁体２７１ａ及び絶縁体２７１ｂはそれぞれ積層構造であってもよい。

［０２５１］

また、本実施の形態では、半導体装置を、上記構成に加えて、水素がトランジスタ２００等に混入することを抑制する構成とすることが好ましい。例えば、水素の拡散を抑制する機能を有する絶縁体を、トランジスタ２００等の上下の一方または双方を覆うように設けることが好ましい。本実施の形態で説明する半導体装置において、当該絶縁体は、例えば、絶縁体２１５、絶縁体２８２、及び絶縁体２８３などである。なお、トランジスタ２００の下に設ける絶縁体２１５を、絶縁体２８２及び絶縁体２８３の一方または両方と同様の構成にしてもよい。この場合、絶縁体２１５を、絶縁体２８２と絶縁体２８３の積層構造にしてもよく、絶縁体２８２を下にし、絶縁体２８３を上にする構成にしてもよいし、絶縁体２８２を上にし、絶縁体２８３を下にする構成にしてもよい。なお、絶縁体２１５を、絶縁体２８２を上にし絶縁体２８３を下にする構成にする場合、絶縁体２１５と、絶縁体２８２及び絶縁体２８３とは、チャネル形成領域を基準として対称に設けられる。

［０２５２］

絶縁体２８２及び絶縁体２８３の一方または両方は、水、水素などの不純物が、基板側から、または、トランジスタ２００等の上方からトランジスタ２００等に拡散することを抑制するバリア絶縁体として機能することが好ましい。したがって、絶縁体２８２及び絶縁体２８３の一方または両方は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N_2O、NO、NO_2など）、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過し難い）絶縁性材料を有することが好ましい。または、酸素（例えば、酸素原子、及び酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過し難い）絶縁性材料を有することが好ましい。

［０２５３］

絶縁体２８２及び絶縁体２８３は、それぞれ、水、水素などの不純物、及び酸素の拡散を抑制する機能を有する絶縁体を有することが好ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、または窒化酸化シリコンなどを用いることができる。例えば、絶縁体２８３として、より水素バリア性が高い、窒化シリコンなどを用いることが好ましい。また、例えば、絶縁体２８２は、それぞれ、水素を捕獲する又は固着する機能が高い、酸化アルミニウムまたは酸化マグネシウムなどを有することが好ましい。これにより、水、水素などの不純物が絶縁体２８３よりも外側に配置されている層間絶縁膜などから、トランジスタ２００等に拡散することを抑制できる。また、絶縁体２８０などに含まれる酸素が、絶縁体２８２などを介してトランジスタ２００等より上方に拡散することを抑制できる。また、絶縁体２１５として、絶縁体２８２及び絶縁体２８３の一方または両方と同様の構成にすることで、水、水素などの不純物が絶縁体２１５を介して、基板側からトランジスタ２００等に拡散することを抑制できる。また、絶縁体２２４などに含まれる酸素が、基板側に拡散することを抑制できる。この様に、トランジスタ２００等の上下を、水、水素などの不純物、及び酸素の拡散を抑制する機能を有する絶縁体で取り囲む構造とすることが好ましい。

［０２５４］

導電体２０５は、単層構造であってもよく、積層構造であってもよい。図１５Ｂ及び図１５Ｃにおいて、導電体２０５は、導電体２０５ａ及び導電体２０５ｂを有する。導電体２０５ａは、絶縁体２１６に形成された開口部の底面及び側壁に接して設けられる。導電体２０５ｂは、上記開口部に沿って形成された導電体２０５ａの凹部を埋め込むように設けられる。

［０２５５］

ここで、導電体２０５ａは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N_2O、NO、NO_2など）、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を有することが好ましい。または、酸素（例えば、酸素原子、及び酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を有することが好ましい。

［０２５６］

導電体２０５ａに、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体２０５ｂに含まれる水素などの不純物が、絶縁体２１６等を介して、酸化物２３０に拡散することを防ぐことができる。また、導電体２０５ａに、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体２０５ｂが酸化されて導電率が低下することを抑制できる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、及び、酸化ルテニウムが挙げられる。導電体２０５ａは、上記導電性材料の単層構造または積層構造とすることができる。例えば、導電体２０５ａは、窒化チタンを有することが好ましい。

［０２５７］

また、導電体２０５ｂは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体２０５ｂは、タングステンを有することが好ましい。

［０２５８］

導電体２４２ａ及び導電体２４２ｂはそれぞれ、酸化物２３０ｂと接する領域を有する。導電体２４２ａ及び導電体２４２ｂは、単層構造であってもよく、積層構造であってもよい。例えば、図１６Ａに示すように、導電体２４２ａ及び導電体２４２ｂをそれぞれ２層構造にしてもよい。この場合、導電体２４２ａは、導電体２４２ａ１と導電体２４２ａ１上の導電体２４２ａ２の積層体であり、導電体２４２ｂは、導電体２４２ｂ１と導電体２４２ｂ１上の導電体２４２ｂ２の積層体である。このとき、酸化物２３０ｂに接する層（導電体２４２ａ１及び導電体２４２ｂ１）として、上述の酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。これにより、酸化物２３０ｂに含まれる酸素によって、導電体２４２ａ及び導電体２４２ｂが過剰に酸化されるのを防ぐことができる。また、導電体２４２ａ及び導電体２４２ｂの導電率が低下することを抑制できる。

［０２５９］

また、導電体２４２ａ２及び導電体２４２ｂ２は、導電体２４２ａ１及び導電体２４２ｂ１よりも、導電性が高いことが好ましい。例えば、導電体２４２ａ２及び導電体２４２ｂ２の膜厚を、導電体２４２ａ１及び導電体２４２ｂ１の膜厚より大きくすることが好ましい。導電体２４２ａ２及び導電体２４２ｂ２としては、導電体２０５ｂに適用できる導電体を用いればよい。上記のような構造にすることで、導電体２４２ａ２及び導電体２４２ｂ２の抵抗を低減できる。これにより、導電体２４２ａ及び導電体２４２ｂを、導電性が高い配線または電極として機能させることができる。また、トランジスタ２００の動作速度の向上を図ることができる。

［０２６０］

例えば、導電体２４２ａ１及び導電体２４２ｂ１として、窒化タンタルまたは窒化チタンを用い、導電体２４２ａ２及び導電体２４２ｂ２として、タングステンを用いることができる。

［０２６１］

導電体２６０は、図１６Ａ乃至図１７Ｂに示すように、絶縁体２８０及び絶縁体２７５に形成さ

れた開口部を埋め込むように配置される。導電体２６０は、当該開口部において、絶縁体２５０を介して、絶縁体２２４の側面、酸化物２３０ａの側面、並びに酸化物２３０ｂの側面及び上面を覆うように設けられる。

［０２６２］

また、図１６Ｂ及び図１７Ｂに示すように、トランジスタ２００のチャネル幅方向の断面視において、酸化物２３０ｂの側面と酸化物２３０ｂの上面との間に、湾曲面を有してもよい。つまり、当該側面の端部と当該上面の端部は、湾曲してもよい（以下、ラウンド状ともいう）。このような形状にすることで、絶縁体２５０及び導電体２６０の、酸化物２３０ｂへの被覆性を高めることができる。

［０２６３］

島状の絶縁体２２４を設ける構成において、図１６Ｂ及び図１７Ｂに示すように、導電体２６０の下面の少なくとも一部を、酸化物２３０ｂの下面より下に設けることができる。これにより、酸化物２３０ｂの上面及び側面に対向して、導電体２６０を設けることができるため、導電体２６０の電界を酸化物２３０ｂの上面及び側面に作用させることができる。このように、絶縁体２２４を島状に設ける構成にすることで、Ｓ－ｃｈａｎｎｅｌ構造のトランジスタが実現しやすくなる。

［０２６４］

なお、本明細書等で開示するＳ－ｃｈａｎｎｅｌ構造は、Ｆｉｎ型構造およびプレーナ型構造とは異なる構造を有する。一方で、本明細書等で開示するＳ－ｃｈａｎｎｅｌ構造は、Ｆｉｎ型構造の一種として捉えることも可能である。なお、本明細書等において、Ｆｉｎ型構造とは、ゲート電極が少なくともチャネルの２面以上（具体的には、２面、３面、または４面等）を包むように配置される構造を示す。Ｆｉｎ型構造、およびＳ－ｃｈａｎｎｅｌ構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

［０２６５］

トランジスタ２００をＳ－ｃｈａｎｎｅｌ構造とすることで、チャネル形成領域を電気的に取り囲むことができる。なお、Ｓ－ｃｈａｎｎｅｌ構造は、チャネル形成領域を電気的に取り囲んでいる構造であるため、実質的にＧＡＡ（Ｇａｔｅ　Ａｌｌ　Ａｒｏｕｎｄ）構造、またはＬＧＡＡ（Ｌａｔｅｒａｌ　Ｇａｔｅ　Ａｌｌ　Ａｒｏｕｎｄ）構造と、同等の構造であるともいえる。

［０２６６］

なお、図１６Ｂ及び図１７Ｂに示すトランジスタ２００については、Ｓ－ｃｈａｎｎｅｌ構造のトランジスタを例示したが、本発明の一態様の半導体装置はこれに限定されない。例えば、本発明の一態様に用いることができるトランジスタ構造としては、プレーナ型構造、Ｆｉｎ型構造、およびＧＡＡ構造の中から選ばれるいずれか一または複数としてもよい。

［０２６７］

図１６Ａ及び図１７Ａでは、導電体２６０を２層構造で示す。ここで、導電体２６０は、導電体２６０ａと、導電体２６０ａの上に配置された導電体２６０ｂと、を有することが好ましい。例えば、導電体２６０ａは、導電体２６０ｂの底面及び側面を包むように配置されることが好ましい。このとき、導電体２６０ａとして、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

［０２６８］

導電体２６０ａは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、及び酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

［０２６９］

また、導電体２６０ａが酸素の拡散を抑制する機能を有することにより、絶縁体２８０などに含まれる酸素により、導電体２６０ｂが酸化されて導電率が低下することを抑制できる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

［０２７０］

また、導電体２６０ｂは、導電性が高い導電体を用いることが好ましい。例えば、導電体２６０ｂは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体２６０ｂは積層構造としてもよく、例えば、チタン、または窒化チタンと上記導電性材料との積層構造としてもよい。

［０２７１］

また、トランジスタ２００では、導電体２６０は、絶縁体２８０などに形成されている開口を埋めるように自己整合的に形成される。導電体２６０をこのように形成することにより、導電体２４２ａと導電体２４２ｂとの間の領域に、導電体２６０を位置合わせすることなく確実に配置することができる。

［０２７２］

なお、図１６Ａには、絶縁体２５０ｃが導電体２４２ａ２及び導電体２４２ｂ２の側面に接する構成を示しているが、本発明はこれに限られない。例えば、絶縁体２５０ｃと導電体２４２ａ２の間、及び絶縁体２５０ｃと導電体２４２ｂ２の間に、絶縁体２５５を設けてもよい。

［０２７３］

図１８Ａ及び図１８Ｂは、トランジスタ２００のチャネル長方向の断面拡大図である。図１８Ａに示す半導体装置、及び図１８Ｂに示す半導体装置は、図１６Ａに示す半導体装置の変形例である。具体的には、図１８Ａに示す半導体装置、及び図１８Ｂに示す半導体装置は、絶縁体２５０ｃと導電体２４２ａ２の間、及び絶縁体２５０ｃと導電体２４２ｂ２の間に、絶縁体２５５を有する点で、図１６Ａに示す半導体装置とは異なる。

［０２７４］

図１８Ａに示すように、トランジスタ２００のチャネル長方向の断面視において、導電体２４２ａ１と導電体２４２ｂ１との間の距離は、導電体２４２ａ２と導電体２４２ｂ２との間の距離より小さい。このような構成にすることで、ソースとドレインとの間の距離をより短くし、それに応じてチャネル長を短くすることが可能になる。よって、トランジスタ２００の周波数特性を向上させることができる。このように、半導体装置の微細化を図ることで、動作速度の向上した半導体装置を提供できる。

［０２７５］

絶縁体２５５は、例えば窒化物などの酸化されにくい絶縁体であることが好ましい。絶縁体２５５は、導電体２４２ａ２の側面、及び導電体２４２ｂ２の側面に接して形成されており、導電体２４２ａ２および導電体２４２ｂ２を保護する機能を有する。絶縁体２５５は、酸化雰囲気に曝され

るため、酸化されにくい無機絶縁体が好ましい。また、絶縁体２５５は、導電体２４２ａ２及び導電体５４２ｂ２に接するため、導電体２４２ａ２及び導電体２４２ｂ２を酸化させにくい、無機絶縁体であることが好ましい。よって、絶縁体２５５は、酸素に対するバリア性を有する絶縁性材料を用いることが好ましい。例えば、絶縁体２５５として、窒化シリコンを用いることができる。

［０２７６］

図１８Ａに示すトランジスタ２００は、絶縁体２８０及び絶縁体２７５に開口部を形成し、当該開口部の側壁に接して絶縁体２５５を形成し、さらにマスクを用いて、導電体２４２ａ１と導電体２４２ｂ１とを分断することで、形成される。ここで、上記開口部は、導電体２４２ａ２と導電体２４２ｂ２との間の領域と重畳する。また、導電体２４２ａ１及び導電体２４２ｂ１の一部は、上記開口部に突出するように形成されている。よって、絶縁体２５５は、上記開口部で、導電体２４２ａ１の上面、導電体２４２ｂ１の上面、導電体２４２ａ２の側面、及び導電体２４２ｂ２の側面に接する。また、絶縁体２５０は、導電体２４２ａ１と導電体２４２ｂ１との間の領域において、酸化物２３０の上面と接する。

［０２７７］

導電体２４２ａ１と導電体２４２ｂ１とを分断した後で、絶縁体２５０を成膜する前に、酸素を含む雰囲気で熱処理を行うことが好ましい。これにより、酸化物２３０に酸素を供給して、酸素欠損の低減を図ることができる。さらに、絶縁体２５５が、導電体２４２ａ２の側面、及び導電体２４２ｂ２の側面に接して形成されていることで、導電体２４２ａ２および導電体２４２ｂ２が過剰に酸化されるのを防ぐことができる。以上により、トランジスタの電気特性および信頼性を向上させることができる。また、同一基板上に複数形成されるトランジスタの電気特性のばらつきを抑制できる。

［０２７８］

なお、図１８Ａには、絶縁体２５０が絶縁体２５５を介して導電体２４２ａ１及び導電体２４２ｂ１と重なる領域を有する構成を示しているが、本発明はこれに限られない。例えば、図１８Ｂに示すように、絶縁体２８０及び絶縁体２７５に形成された開口部において、絶縁体２５５の側面が導電体２４２ａ１の側面と一致し、絶縁体２５５の側面が導電体２４２ｂ１の側面と一致する構成としてもよい。このような構成にすることで、上述した、マスクを用いて導電体２４２ａ１と導電体２４２ｂ１とを分断する工程を省略できるため、半導体装置の作製工程を簡略化し、生産性の向上を図ることができる。

［０２７９］

なお、図１８Ａ及び図１８Ｂでは、第１の積層体及び第２の積層体として、図１１Ｃ及び図１１Ｄに示すトランジスタ２００Ｄの構成を適用した例を示しているが、上述したトランジスタ２００Ａ乃至トランジスタ２００Ｅのいずれか一の構成を適用するとよい。

［０２８０］

＜半導体装置の構成材料＞

以下では、半導体装置に用いることができる構成材料について説明する。なお、半導体装置を構成する各層は、単層構造であってもよく、積層構造であってもよい。

［０２８１］

＜＜基板＞＞

トランジスタを形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を

用いることができる。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、及び、樹脂基板が挙げられる。また、半導体基板としては、例えば、シリコンまたはゲルマニウムを材料とした半導体基板、及び、炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、もしくは酸化ガリウムからなる化合物半導体基板が挙げられる。さらには、上述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、ＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板などが挙げられる。導電体基板としては、例えば、黒鉛基板、金属基板、合金基板、及び導電性樹脂基板が挙げられる。また、基板としては、例えば、金属の窒化物を有する基板、金属の酸化物を有する基板、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、及び、導電体基板に半導体または絶縁体が設けられた基板が挙げられる。または、これらの基板に１種または複数種の素子が設けられたものを用いてもよい。基板に設けられる素子としては、例えば、容量素子、抵抗素子、スイッチ素子、発光素子、及び記憶素子が挙げられる。

［０２８２］

＜＜絶縁体＞＞

絶縁体としては、例えば、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、及び、金属窒化酸化物が挙げられる。

［０２８３］

例えば、トランジスタの微細化、及び高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、ｈｉｇｈ－ｋ材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減できる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

［０２８４］

比誘電率が高い（ｈｉｇｈ－ｋ）材料としては、例えば、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物が挙げられる。

［０２８５］

比誘電率が低い材料としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどの無機絶縁材料、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、及びアクリルなどの樹脂が挙げられる。なお、比誘電率が低い材料は、絶縁耐力が大きい材料でもある。

［０２８６］

また、金属酸化物を用いたトランジスタは、水素などの不純物及び酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物及び酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、及びタンタルのうち一つまたは複数を含む絶縁体を、単層で、または積層で用いることができる。具体的には、水素な

どの不純物及び酸素の透過を抑制する機能を有する絶縁体として、例えば、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、及び、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物が挙げられる。

［０２８７］

また、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物２３０と接する構造とすることで、酸化物２３０が有する酸素欠損を補償することができる。

［０２８８］

＜＜導電体＞＞

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。導電体としては、例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、及び、ランタンとニッケルを含む酸化物が挙げられる。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、及び、ランタンとニッケルを含む酸化物は、それぞれ、酸化されにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、または、ニッケルシリサイドなどのシリサイドを用いてもよい。

［０２８９］

積層構造の導電体を用いる場合、例えば、上述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造、上述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造、または、上述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造を適用してもよい。

［０２９０］

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、上述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

［０２９１］

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素及び酸素を含む導電性材料を用いることが好ましい。また、上述した金属元素及び窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウムスズ酸化物、酸化タングステンを含むインジウム酸化物、酸化タ

ングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、インジウム亜鉛酸化物、及び、シリコンを添加したインジウムスズ酸化物のうち一つまたは複数を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

［０２９２］

本実施の形態に係る半導体装置は、ＯＳトランジスタを有する。ＯＳトランジスタは、オフ電流が小さいため、消費電力が低い半導体装置を実現できる。また、ＯＳトランジスタは、周波数特性が高いため、動作速度が速い半導体装置を実現できる。また、ＯＳトランジスタを用いることで、良好な電気特性を有する半導体装置、トランジスタの電気特性のばらつきが少ない半導体装置、オン電流が大きい半導体装置、信頼性が高い半導体装置を実現できる。

［０２９３］

＜半導体装置の応用例＞

以下では、図１９Ａ乃至図１９Ｃを用いて、本発明の一態様である半導体装置の一例について説明する。

［０２９４］

図１９Ａは半導体装置５００の上面図を示す。図１９Ａに示すｘ軸は、トランジスタ２００のチャネル長方向に平行にとっており、ｙ軸はｘ軸に垂直にとっている。また、図１９Ｂは、図１９ＡにＡ１－Ａ２の一点鎖線で示す部位に対応する断面図であり、トランジスタ２００のチャネル長方向の断面図でもある。図１９Ｃは、図１９ＡにＡ３－Ａ４の一点鎖線で示す部位に対応する断面図であり、開口領域４００およびその近傍の断面図でもある。なお、図１９Ａの上面図では、図の明瞭化のために一部の要素を省いている。

［０２９５］

なお、図１９Ａ乃至図１９Ｃに示す半導体装置において、＜詳細な構成例＞に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目においても、半導体装置の構成材料については＜詳細な構成例＞で詳細に説明した材料を用いることができる。

［０２９６］

図１９Ａ乃至図１９Ｃに示す半導体装置５００は、図１５Ａ乃至図１５Ｄに示した半導体装置の変形例である。図１９Ａ乃至図１９Ｃに示す半導体装置５００は、絶縁体２８２および絶縁体２８０に開口領域４００が形成されている点が、図１５Ａ乃至図１５Ｄに示す半導体装置と異なる。また、複数のトランジスタ２００を取り囲むように封止部２６５が形成されている点が、図１５Ａ乃至図１５Ｄに示す半導体装置と異なる。

［０２９７］

半導体装置５００は、マトリクス状に配列された、複数のトランジスタ２００、および複数の開口領域４００を有している。また、トランジスタ２００のゲート電極として機能する、複数の導電体２６０が、ｙ軸方向に延在して設けられている。開口領域４００は、酸化物２３０、および導電体２６０と重畳しない領域に形成されている。また、複数のトランジスタ２００、複数の導電体２６０、および複数の開口領域４００を取り囲むように封止部２６５が形成されている。なお、トランジスタ２００、導電体２６０、および開口領域４００の個数、配置、および大きさは、図１９Ａ

乃至図１９Ｃに示す構造に限られることなく、半導体装置５００の設計に合わせて適宜設定すればよい。

［０２９８］

絶縁体２８３上に絶縁体２８５が設けられている。絶縁体２８５としては、絶縁体２８０と同様の絶縁体を用いることができる。

［０２９９］

図１９Ｂ及び図１９Ｃに示すように、封止部２６５は、複数のトランジスタ２００、絶縁体２１６、絶縁体２２２、絶縁体２７５、絶縁体２８０、および絶縁体２８２を取り囲むように設けられている。言い換えると、絶縁体２８３は、複数のトランジスタ２００、絶縁体２１６、絶縁体２２２、絶縁体２７５、絶縁体２８０、および絶縁体２８２を覆うように設けられている。また、封止部２６５では、絶縁体２８３が絶縁体２１５ｂの上面に接している。また、封止部２６５の上方では、絶縁体２８３と絶縁体２８５の間に絶縁体２７４が設けられている。絶縁体２７４の上面は、絶縁体２８３の最上面と高さが一致している。また、絶縁体２７４としては、絶縁体２８０と同様の絶縁体を用いることができる。

［０３００］

このような構造にすることで、複数のトランジスタ２００を、絶縁体２８３と絶縁体２１５ｂおよび絶縁体２１５ａで包み込むことができる。ここで、絶縁体２８３、絶縁体２１５ｂ、および絶縁体２１５ａの一つまたは複数は、水素に対するバリア絶縁体として機能することが好ましい。これにより、封止部２６５の領域外に含まれる水素が、封止部２６５の領域内に混入することを抑制できる。

［０３０１］

図１９Ｃに示すように、開口領域４００において、絶縁体２８２は開口部を有する。また、開口領域４００において、絶縁体２８０は、絶縁体２８２の開口部に重なって、溝部を有していてもよい。絶縁体２８０の溝部の深さは、深くとも絶縁体２７５の上面が露出するまでにすればよく、例えば、絶縁体２８０の最大膜厚の１／４以上１／２以下程度にすればよい。

［０３０２］

また、図１９Ｃに示すように、絶縁体２８３は、開口領域４００の内側で、絶縁体２８２の側面、絶縁体２８０の側面、および絶縁体２８０の上面に接する。また、開口領域４００内で、絶縁体２８３に形成された凹部を埋め込むように、絶縁体２７４の一部が形成される場合がある。このとき、開口領域４００内に形成された絶縁体２７４の上面と、絶縁体２８３の最上面の高さが、一致する場合がある。

［０３０３］

このような開口領域４００が形成され、絶縁体２８２の開口部から絶縁体２８０が露出した状態で、加熱処理を行うことにより、酸化物２３０に酸素を供給しながら、絶縁体２８０に含まれる酸素の一部を開口領域４００から外方拡散させることができる。これにより、加熱により脱離する酸素を含む絶縁体２８０から、酸化物半導体中の、チャネル形成領域として機能する領域、およびその近傍に、十分な酸素を供給し、かつ過剰な量の酸素が供給されないようにすることができる。

［０３０４］

このとき、絶縁体２８０に含まれる水素を、酸素と結合させて、開口領域４００を介して外部に放出することができる。酸素と結合した水素は、水として放出される。よって、絶縁体２８０に含

まれる水素を低減し、絶縁体２８０中に含まれる水素が酸化物２３０に混入するのを低減できる。

［０３０５］

また、図１９Ａにおいて、開口領域４００の上面視における形状は、略長方形状にしているが、本発明はこれに限られるものではない。例えば、開口領域４００の上面視における形状は、長方形、楕円形、円形、菱形、またはこれらを組み合わせた形状としてもよい。また、開口領域４００の面積、および配置間隔は、トランジスタ２００を含む半導体装置の設計に合わせて適宜設定することができる。例えば、トランジスタ２００の密度が小さい領域では、開口領域４００の面積を広げる、または、開口領域４００の配置間隔を狭めればよい。また、例えば、トランジスタ２００の密度が大きい領域では、開口領域４００の面積を狭める、または開口領域４００の配置間隔を広げればよい。

［０３０６］

本発明の一態様により、新規のトランジスタを提供できる。または、良好な電気特性を有する半導体装置を提供できる。または、信頼性が良好な半導体装置を提供できる。または、トランジスタ特性のばらつきが少ない半導体装置を提供できる。または、オン電流が大きい半導体装置を提供できる。または、電界効果移動度が大きい半導体装置を提供できる。または、周波数特性が良好な半導体装置を提供できる。または、微細化または高集積化が可能な半導体装置を提供できる。または、低消費電力の半導体装置を提供できる。

［０３０７］

＜トランジスタ２００と容量素子１００を有する半導体装置の構成例＞

図２０Ａ及び図２０Ｂに、上述したトランジスタ２００と、容量素子１００と、を有する半導体装置を示す。図２０Ａは、当該半導体装置の上面図である。また、図２０Ｂは、図２０ＡにＡ１－Ａ２の一点鎖線で示す部位の断面図であり、トランジスタ２００のチャネル長方向の断面図でもある。なお、図２０Ａの上面図では、図の明瞭化のために一部の要素を省いている。

［０３０８］

図２０Ａ及び図２０Ｂに示す半導体装置では、トランジスタ２００上に容量素子１００及び導電体１１２が配置されている。ここで、上面視において、容量素子１００とトランジスタ２００の重なる面積が大きくなることが好ましい。このような構成にすることで、容量素子１００とトランジスタ２００を有する半導体装置の占有面積を低減できる。これにより、半導体装置の微細化または高集積化を図ることができる。

［０３０９］

当該半導体装置は、プラグとして機能する、導電体２４０ａ及び導電体２４０ｂを有する。導電体２４０ａは、絶縁体２８５、絶縁体２８３、絶縁体２８２、絶縁体２８０、絶縁体２７５、及び絶縁体２７１ａに形成された開口の内部に設けられ、導電体２４０ｂは、絶縁体２８５、絶縁体２８３、絶縁体２８２、絶縁体２８０、絶縁体２７５、及び絶縁体２７１ｂに形成された開口の内部に設けられている。

［０３１０］

図２０Ｂに示すように、導電体２４０ａは、導電体２４２ａに接する領域と、導電体１１２の下面の少なくとも一部に接する領域とを有する。また、導電体２４０ｂは、導電体２４２ｂに接する領域と、容量素子１００が有する導電体１１０の下面の少なくとも一部に接する領域とを有する。つまり、導電体２４０ａはトランジスタ２００のソース及びドレインの一方と電気的に接続し、導

電体２４０ｂはトランジスタ２００のソース及びドレインの他方と電気的に接続している。

［０３１１］

導電体２４０ａ及び導電体２４０ｂは、タングステン、銅、またはアルミニウムを主成分とする導電性材料などを用いることが好ましい。また、導電体２４０ａ及び導電体２４０ｂのそれぞれは、上記開口の側面および底面に沿って設けられる第１の導電体と、第１の導電体上の第２の導電体の積層構造にしてもよい。

［０３１２］

導電体２４０ａ及び導電体２４０ｂを積層構造とする場合、絶縁体２８５および絶縁体２８０の近傍に配置される第１の導電体には、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。このような構成にすることで、絶縁体２８３より上層に含まれる水、水素などの不純物が、導電体２４０ａ及び導電体２４０ｂを通じて酸化物２３０に混入するのを抑制できる。なお、第２の導電体は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、第２の導電体としては、タングステン、銅、またはアルミニウムを主成分とする導電性材料などを用いればよい。

［０３１３］

なお、図２０Ｂに示す導電体２４０ａ及び導電体２４０ｂでは、第１の導電体および第２の導電体を積層する構成について示しているが、本発明はこれに限られない。例えば、導電体２４０を単層、または３層以上の積層構造として設ける構成にしてもよい。

［０３１４］

絶縁体２８５、絶縁体２８３、絶縁体２８２、絶縁体２８０、絶縁体２７５、及び絶縁体２７１ａに形成された開口部の内壁、並びに導電体２４０ａの側面に接して絶縁体２４１ａが設けられている。また、絶縁体２８５、絶縁体２８３、絶縁体２８２、絶縁体２８０、絶縁体２７５、及び絶縁体２７１ｂに形成された開口部の内壁、並びに導電体２４０ｂの側面に接して絶縁体２４１ｂが設けられている。なお、絶縁体２４１ａ及び絶縁体２４１ｂのそれぞれは、第１の絶縁体が上記開口部の内壁に接して設けられ、さらに内側に第２の絶縁体が設けられる構造になっている。

［０３１５］

絶縁体２４１ａ及び絶縁体２４１ｂとしては、水素及び酸素の一方又は双方に対するバリア絶縁体を用いるとよい。例えば、絶縁体２４１ａ及び絶縁体２４１ｂとして、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、または酸化ハフニウムなどを用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物などを用いることができる。絶縁体２４１ａ及び絶縁体２４１ｂのそれぞれは、絶縁体２８３、絶縁体２８２、及び絶縁体２７５に接して設けられるため、絶縁体２８０などに含まれる水、水素などの不純物が、導電体２４０ａ及び導電体２４０ｂを通じて酸化物２３０に混入するのを抑制できる。特に、窒化シリコンは水素に対するバリア性が高いため好適である。

［０３１６］

また、絶縁体２４１ａは絶縁体２８０と導電体２４０ａとの間に設けられ、絶縁体２４１ｂは絶縁体２８０と導電体２４０ｂとの間に設けられている。絶縁体２８０は、過剰酸素を有し、酸化物

半導体の近傍に設けられる。絶縁体２４１ａ及び絶縁体２４１ｂとして酸素に対するバリア絶縁体を用いることで、絶縁体２８０に含まれる酸素が導電体２４０ａ及び導電体２４０ｂに吸収されるのを抑制できる。

［０３１７］

絶縁体２４１ａ及び絶縁体２４１ｂを、図２０Ｂに示すように積層構造にする場合、絶縁体２８０などに形成される開口部の内壁に接する第１の絶縁体と、その内側の第２の絶縁体は、酸素に対するバリア絶縁体と、水素に対するバリア絶縁体を組み合わせて用いることが好ましい。

［０３１８］

例えば、第１の絶縁体として、ＡＬＤ法で成膜された酸化アルミニウムを用い、第２の絶縁体として、ＰＥＡＬＤ法で成膜された窒化シリコンを用いればよい。このような構成にすることで、導電体２４０ａ及び導電体２４０ｂが酸化されることを抑制し、さらに、導電体２４０ａ及び導電体２４０ｂに水素が混入するのを抑制できる。

［０３１９］

＜容量素子１００＞

容量素子１００は、トランジスタ２００の上方に設けられる。容量素子１００は、第１の電極（下部電極ともいう）として機能する導電体１１０と、第２の電極（上部電極ともいう）として機能する導電体１２０と、誘電体として機能する絶縁体１３２とを有する。容量素子１００の一対の電極は、第１の電極と第２の電極とで構成される。

［０３２０］

導電体１１０としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。上述した金属元素を成分とする合金として、当該合金の窒化物、または当該合金の酸化物を用いてもよい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化されにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

［０３２１］

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、上述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、上述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、上述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

［０３２２］

導電体１２０は、導電体１１０に適用できる導電性材料を用いればよい。

［０３２３］

例えば、導電体２４０ａ上に設けた導電体１１２と、導電体２４０ｂ上に設けた導電体１１０とは、同時に形成することができる。このとき、導電体１１２は、導電体１１０と同じ導電性材料を有する。なお、導電体１１２は、容量素子１００又はトランジスタ２００と電気的に接続するプラグ、または配線として機能する。

［０３２４］

図２０Ｂでは、導電体１１２及び導電体１１０は単層構造を示したが、本発明はこれに限定されない。例えば、導電体１１２及び導電体１１０は２層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

［０３２５］

絶縁体１３２は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。また、例えば、絶縁体１３２は、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁体を用いることができる。

［０３２６］

また、例えば、絶縁体１３２には、絶縁耐力が大きい材料（比誘電率が低い材料）を含む絶縁体と、比誘電率が高い（ｈｉｇｈ－ｋ）材料を含む絶縁体との積層構造を用いることが好ましい。当該構成により、容量素子１００は、ｈｉｇｈ－ｋ材料を含む絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい材料を含む絶縁体を有することで、絶縁耐力が向上し、容量素子１００の静電破壊を抑制できる。

［０３２７］

導電体１２０及び絶縁体１３２上には、絶縁体１５０が設けられている。絶縁体１５０は、層間膜として機能する。

［０３２８］

層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

［０３２９］

例えば、層間膜として機能する絶縁体に、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減できる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

［０３３０］

例えば、絶縁体１５０は、上述した比誘電率が低い材料を含むことが好ましい。または、絶縁体１５０は、上述した無機絶縁材料を含む絶縁体と、上述した樹脂を含む絶縁体との積層構造を有することが好ましい。酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。

［０３３１］

なお、図２０Ａ及び図２０Ｂに示す半導体装置では、容量素子１００の形状をプレーナ型としたが、本発明はこれに限られない。例えば、図２１に示すように、容量素子１００の形状をシリンダ

型にしてもよい。なお、図２１に示す半導体装置は、絶縁体１５０より下の構成は、図２０Ａ及び図２０Ｂに示す半導体装置と同様である。

［０３３２］

図２１に示す半導体装置は、絶縁体１３２上に絶縁体１５０が配置され、絶縁体１５０上に絶縁体１４２が配置されている。なお、絶縁体１３２、絶縁体１５０、及び絶縁体１４２には、導電体１１０に達する開口１６８が形成されている。

［０３３３］

図２１に示す容量素子１００は、導電体１１５と、導電体１１５及び絶縁体１４２上の絶縁体１４５と、絶縁体１４５上の導電体１２５と、を有する。ここで、開口１６８の内部に導電体１１５、絶縁体１４５、及び導電体１２５それぞれの少なくとも一部が配置される。

［０３３４］

導電体１２５及び絶縁体１４５上に絶縁体１５１が配置され、絶縁体１５１上に絶縁体１５４が配置され、絶縁体１５４上に導電体１５３及び絶縁体１５６が配置される。また、絶縁体１３２、絶縁体１５０、絶縁体１４２、絶縁体１４５、絶縁体１５１、及び絶縁体１５４に形成された開口の内部に導電体１４０が設けられている。

［０３３５］

導電体１１５は容量素子１００の第１の電極として機能し、導電体１２５は容量素子１００の第２の電極として機能し、絶縁体１４５は、容量素子１００の誘電体として機能する。容量素子１００は、開口１６８の内部において、底面だけでなく、側面においても第１の電極と第２の電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、開口１６８の深さを深くするほど、容量素子１００の静電容量を大きくすることができる。このように容量素子１００の単位面積当たりの静電容量を大きくすることにより、半導体装置の微細化または高集積化を推し進めることができる。

［０３３６］

絶縁体１５１は、絶縁体１５０に適用できる絶縁体を用いればよい。また、絶縁体１４２は、絶縁体２８２に適用できる絶縁体を用いればよい。

［０３３７］

開口１６８を上面から見た形状は、四角形としてもよいし、四角形以外の多角形状としてもよいし、多角形状において角部を湾曲させた形状としてもよいし、楕円を含む円形状としてもよい。ここで、上面視において、開口１６８とトランジスタ２００の重なる面積が大きくなることが好ましい。このような構成にすることで、容量素子１００とトランジスタ２００を有する半導体装置の占有面積を低減できる。

［０３３８］

導電体１１５は、開口１６８における絶縁体１５０及び絶縁体１４２のそれぞれの側面に接して配置される。導電体１１５の上面は、絶縁体１４２の上面と高さが一致することが好ましい。また、導電体１１５の下面は、開口１６８を介して導電体１１０に接する。導電体１１５は、ＡＬＤ法又はＣＶＤ法などを用いて成膜することが好ましく、例えば、導電体２０５に適用できる導電体を用いればよい。

［０３３９］

絶縁体１４５は、導電体１１５及び絶縁体１４２を覆うように配置される。絶縁体１４５は、Ａ

ＬＤ法又はＣＶＤ法などを用いて成膜することが好ましい。絶縁体１４５には、絶縁体１３２に適用できる絶縁体を用いることができる。

［０３４０］

導電体１２５は、開口１６８を埋め込むように配置される。導電体１２５は、ＡＬＤ法又はＣＶＤ法などを用いて成膜することが好ましく、例えば、導電体２０５に適用できる導電体を用いればよい。

［０３４１］

導電体１５３は、絶縁体１５４上に設けられており、絶縁体１５６に覆われている。導電体１５３は、導電体１１２に適用できる導電体を用いればよい。また、絶縁体１５６は、絶縁体１５０に適用できる絶縁体を用いればよい。ここで、導電体１５３は導電体１４０の上面に接しており、容量素子１００又はトランジスタ２００の端子として機能する。

［０３４２］

なお、図２１では、シリンダ型の形状を有する容量素子１００の下部電極が、導電体２４０ｂを介してトランジスタ２００のソース電極及びドレイン電極の他方と電気的に接続する構成を示しているが、本発明はこれに限られない。例えば、図２２に示すように、シリンダ型の形状を有する容量素子の下部電極が、トランジスタ２００のソース電極及びドレイン電極の他方と接する構成であってもよい。

［０３４３］

図２２に、上述したトランジスタ２００と、シリンダ型の形状を有する容量素子１００と、を有する半導体装置を示す。なお、図２２において、Ｘ方向は、図示するトランジスタのチャネル長方向と平行であり、Ｙ方向は、Ｘ方向に垂直であり、Ｚ方向は、Ｘ方向及びＹ方向に垂直である。以降では、図２１に示す半導体装置と異なる部分について主に説明し、重複する部分については説明を省略する。

［０３４４］

絶縁体２８５の上には、絶縁体２８４が設けられている。絶縁体２８４は、絶縁体２１６に適用できる絶縁体を用いればよい。

［０３４５］

容量素子１００は、導電体２４２ｂ上の導電体１５３と、導電体１５３上の絶縁体１５４と、絶縁体１５４上の導電体１６０（導電体１６０ａ及び導電体１６０ｂ）と、を有する。

［０３４６］

導電体１５３、絶縁体１５４、及び導電体１６０は、それぞれ、少なくとも一部が、絶縁体２７１ｂ、絶縁体２７５、絶縁体２８０、絶縁体２８２、絶縁体２８３、及び絶縁体２８５に形成された開口の内部に配置されている。導電体１５３、絶縁体１５４、及び導電体１６０のそれぞれの端部は、少なくとも絶縁体２８２上に位置し、好ましくは絶縁体２８５上に位置する。絶縁体１５４は、導電体１５３の端部を覆うように設けられる。これにより、導電体１５３と導電体１６０とを電気的に絶縁させることができる。

［０３４７］

導電体１５３は、容量素子１００の第１の電極（下部電極）として機能する領域を有する。絶縁体１５４は、容量素子１００の誘電体として機能する領域を有する。導電体１６０は、容量素子１００の第２の電極（上部電極）として機能する領域を有する。容量素子１００は、ＭＩＭ（Ｍｅｔ

ａｌ－Ｉｎｓｕｌａｔｏｒ－Ｍｅｔａｌ）容量を構成している。

［０３４８］

また、酸化物２３０上に重畳して設けられた導電体２４２ｂは、容量素子１００の導電体１５３と電気的に接続する配線として機能する。

［０３４９］

容量素子１００が有する導電体１５３及び導電体１６０は、それぞれ、導電体２０５、導電体２４２ａ、導電体２４２ｂ、または導電体２６０に適用できる導電体を用いることができる。導電体１５３及び導電体１６０は、それぞれ、ＡＬＤ法またはＣＶＤ法などの被覆性の良好な成膜法を用いて成膜することが好ましい。例えば、導電体１５３として、ＡＬＤ法またはＣＶＤ法を用いて成膜した窒化チタンまたは窒化タンタルを用いることができる。

［０３５０］

また、導電体１５３の下面には、導電体２４２ｂの上面が接する。ここで、導電体２４２ｂとして、導電性の良好な導電性材料を用いることで、導電体１５３と導電体２４２ｂとの接触抵抗を低減できる。

［０３５１］

また、導電体１６０ａとして、ＡＬＤ法またはＣＶＤ法を用いて成膜した窒化チタンを用い、導電体１６０ｂとして、ＣＶＤ法を用いて成膜したタングステンを用いることができる。なお、絶縁体１５４に対するタングステンの密着性が十分高い場合は、導電体１６０として、ＣＶＤ法を用いて成膜したタングステンの単層構造を用いてもよい。

［０３５２］

容量素子１００が有する絶縁体１５４には、比誘電率が高い（ｈｉｇｈ－ｋ）材料を用いることが好ましい。絶縁体１５４は、ＡＬＤ法またはＣＶＤ法などの被覆性の良好な成膜法を用いて成膜することが好ましい。

［０３５３］

また、絶縁体１５４として、比誘電率が高い（ｈｉｇｈ－ｋ）材料と、絶縁耐力が大きい材料との積層構造を用いることが好ましい。例えば、絶縁体１５４として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁体を用いることができる。また、例えば、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウム、酸化アルミニウムの順番で積層された絶縁体を用いることができる。また、例えば、ハフニウムジルコニウム酸化物、酸化アルミニウム、ハフニウムジルコニウム酸化物、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。酸化アルミニウムのような、比較的絶縁耐力が大きい絶縁体を積層して用いることで、絶縁耐力が向上し、容量素子１００の静電破壊を抑制できる。

［０３５４］

また、絶縁体１５４として、後述する強誘電性を有しうる材料を用いてもよい。

［０３５５］

絶縁体２７１ｂ、絶縁体２７５、絶縁体２８０、絶縁体２８２、絶縁体２８３、及び絶縁体２８５に形成された開口部の深さを深くする（つまり、絶縁体２７１ｂ、絶縁体２７５、絶縁体２８０、絶縁体２８２、絶縁体２８３、及び絶縁体２８５のうち一つまたは複数の厚さを厚くする）ほど、容量素子１００の静電容量を大きくすることができる。容量素子１００の単位面積当たりの静電容量を大きくすることで、半導体装置の微細化または高集積化を図ることができる。

［０３５６］

ここで、絶縁体２７１ｂ、絶縁体２７５、絶縁体２８２、及び絶縁体２８３はバリア絶縁体として機能するため、半導体装置に求められるバリア性に応じて膜厚を設定することが好ましい。また、絶縁体２８０の膜厚に応じて、ゲート電極として機能する導電体２６０の膜厚が決定されるため、絶縁体２８０の膜厚は、半導体装置に求められる導電体２６０の膜厚に合わせて設定することが好ましい。

［０３５７］

よって、絶縁体２８５の膜厚を調節することで、容量素子１００の静電容量を設定することが好ましい。例えば、絶縁体２８５の膜厚を５０ｎｍ以上２５０ｎｍ以下の範囲で設定し、上記開口部の深さを１５０ｎｍ以上３５０ｎｍ以下程度にすればよい。このような範囲で容量素子１００を形成することで、容量素子１００に十分な静電容量を有せしめ、且つ容量素子１００を含む層を複数積層する半導体装置において、一つの層の高さが過剰に高くならないようにすることができる。なお、複数の上記層のそれぞれにおいて、容量素子の静電容量を異ならせる構成としてもよい。当該構成の場合、例えば、各層に設けられる絶縁体２８５の膜厚を異ならせればよい。

［０３５８］

なお、容量素子１００が配置された、絶縁体２８５等に設けられた開口部において、当該開口部の側壁は、絶縁体２２２の上面に対して概略垂直であってもよく、テーパー形状であってもよい。側壁をテーパー形状にすることで、当該開口部に設ける導電体１５３などの被覆性が向上し、鬆などの欠陥を低減できる。

［０３５９］

導電体２４０は、絶縁体２１６、絶縁体２２２、絶縁体２７５、絶縁体２８０、絶縁体２８２、絶縁体２８３、絶縁体２８５、及び絶縁体２８４に形成された開口部の内側に設けられている。また、導電体２４０は、トランジスタ２００のソース電極及びドレイン電極の一方（導電体２４２ａ）に接して設けられている。導電体２４０は、Ｚ方向に延在して設けられている。

［０３６０］

また、酸化物２３０上に設けられた導電体２４２ａは、導電体２４０と電気的に接続する配線として機能する領域を有する。例えば、図２２では、導電体２４２ａの上面及び側端部が、Ｚ方向に延在する導電体２４０と電気的に接続している。導電体２４０が直接、導電体２４２ａの上面及び側端部の少なくとも一と接することで、別途接続用の電極を設ける必要がないため、半導体装置の占有面積を低減できる。なお、導電体２４０は、導電体２４２ａの上面の一部及び側端部と接することが好ましい。導電体２４０が導電体２４２ａの複数面と接することで、導電体２４０と導電体２４２ａの接触抵抗を低減できる。

［０３６１］

導電体２４０は、第１の導電体と第２の導電体との積層構造とすることが好ましい。例えば、図２２に示すように、導電体２４０は、第１の導電体が上記開口部の内壁に接して設けられ、さらに内側に第２の導電体が設けられる構造にすることができる。つまり、第１の導電体は、第２の導電体に比べて、絶縁体２１６、絶縁体２２２、絶縁体２７５、絶縁体２８０、絶縁体２８２、絶縁体２８３、絶縁体２８５、及び絶縁体２８４の近傍に配置される。また、第１の導電体は、導電体２４２ａの上面及び側端部と接する。

［０３６２］

導電体２４０の第１の導電体としては、上述した導電体２４０ａ又は導電体２４０ｂの第１の導電体に適用できる導電性材料を用いればよく、導電体２４０の第２の導電体としては、上述した導電体２４０ａ又は導電体２４０ｂの第２の導電体に適用できる導電性材料を用いればよい。

［０３６３］

例えば、導電体２４０の第１の導電体として窒化チタンを用い、導電体２４０の第２の導電体としてタングステンを用いることが好ましい。この場合、導電体２４０の第１の導電体は、チタンと、窒素とを有し、導電体２４０の第２の導電体は、タングステンを有する。

［０３６４］

なお、導電体２４０は、単層構造であってもよく、３層以上の積層構造であってもよい。

［０３６５］

また、図２２に示すように、導電体２４０の側面に接して絶縁体２４１が設けられることが好ましい。具体的には、絶縁体２１６、絶縁体２２２、絶縁体２７５、絶縁体２８０、絶縁体２８２、絶縁体２８３、絶縁体２８５、及び絶縁体２８４に設けられた開口部の内壁に接して絶縁体２４１が設けられる。また、当該開口部の内側に突出して形成される、絶縁体２２４、酸化物２３０、及び導電体２４２ａの側面にも絶縁体２４１が形成される。ここで、導電体２４２ａの少なくとも一部は、絶縁体２４１から露出しており、導電体２４０に接している。つまり、導電体２４０は、絶縁体２４１を介して、上記開口の内部を埋め込むように設けられる。

［０３６６］

なお、図２２に示すように、導電体２４２ａより下に形成される絶縁体２４１の最上部は、導電体２４２ａの上面よりも下方に位置することが好ましい。このような構成にすることで、導電体２４０が導電体２４２ａの側端部の少なくとも一部と接することができる。なお、導電体２４２ａより下に形成される絶縁体２４１は、酸化物２３０の側面と接する領域を有することが好ましい。このような構成にすることで、絶縁体２８０等に含まれる水、水素等の不純物が、導電体２４０を通じて酸化物２３０に混入するのを抑制できる。

［０３６７］

絶縁体２４１として、上述した絶縁体２４１ａ及び絶縁体２４１ｂに適用できるバリア絶縁体を用いればよい。

［０３６８］

なお、図２２では、絶縁体２４１を単層とする構成について示したが、本発明はこれに限られない。絶縁体２４１は、２層以上の積層構造としてもよい。

［０３６９］

絶縁体２４１を２層積層構造にする場合、絶縁体２８０等の開口の内壁に接する第１の層に酸素に対するバリア絶縁膜を用い、その内側の第２の層に水素に対するバリア絶縁膜を用いればよい。例えば、第１の層として、ＡＬＤ法で成膜された酸化アルミニウムを用い、第２の層として、ＰＥＡＬＤ法で成膜された窒化シリコンを用いればよい。当該構成にすることで、導電体２４０が酸化されることを抑制し、さらに、導電体２４０から酸化物２３０等に水素が混入するのを低減できる。これにより、トランジスタ２００の電気特性及び信頼性の向上を図ることができる。

［０３７０］

なお、導電体２４０及び絶縁体２４１が配置された開口部において、当該開口部の側壁は、絶縁体２２２の上面に対して概略垂直であってもよく、テーパー形状であってもよい。側壁をテーパー

形状にすることで、当該開口部に設ける絶縁体２４１などの被覆性が向上する。

［０３７１］

トランジスタ２００と、容量素子１００とを有し、トランジスタ２００のソース及びドレインの一方が、容量素子１００の一対の電極の一方と電気的に接続された構成を有する半導体装置は、例えば、記憶装置のメモリセルとして機能させることができる。

［０３７２］

＜トランジスタ２００と容量素子１００Ａを有する半導体装置の構成例＞

図２３Ａ及び図２３Ｂに、上述したトランジスタ２００と、容量素子１００Ａと、を有する半導体装置を示す。図２３Ａは、当該半導体装置の上面図である。また、図２３Ｂは、図２３ＡにＡ１－Ａ２の一点鎖線で示す部位の断面図であり、トランジスタ２００のチャネル長方向の断面図でもある。なお、図２３Ａの上面図では、図の明瞭化のために一部の要素を省いている。

［０３７３］

図２３Ａ及び図２３Ｂに示す半導体装置では、トランジスタ２００上に容量素子１００Ａ及び導電体２４６が配置されている。導電体２４６は配線として機能する。ここで、上面視において、容量素子１００Ａとトランジスタ２００の重なる面積が大きくなることが好ましい。このような構成にすることで、容量素子１００Ａとトランジスタ２００を有する半導体装置の占有面積を低減できる。これにより、半導体装置の微細化または高集積化を図ることができる。

［０３７４］

なお、図２３Ａ及び図２３Ｂに示す半導体装置は、絶縁体２８５より下の構成は、図２０Ａ及び図２０Ｂに示す半導体装置と同様である。以降では、図２０Ａ及び図２０Ｂに示す半導体装置と異なる部分について主に説明し、重複する部分については説明を省略する。

［０３７５］

図２３Ａ及び図２３Ｂに示す半導体装置は、絶縁体２８５上に絶縁体２８７を有する。

［０３７６］

導電体２４０ａは、絶縁体２８７、絶縁体２８５、絶縁体２８３、絶縁体２８２、絶縁体２８０、絶縁体２７５、及び絶縁体２７１ａに形成された開口の内部に設けられ、導電体２４０ｂは、絶縁体２８７、絶縁体２８５、絶縁体２８３、絶縁体２８２、絶縁体２８０、絶縁体２７５、及び絶縁体２７１ｂに形成された開口の内部に設けられている。図２３Ｂに示すように、導電体２４０ａは、導電体２４２ａに接する領域と、導電体２４６の下面の少なくとも一部に接する領域とを有する。また、導電体２４０ｂは、導電体２４２ｂに接する領域と、容量素子１００Ａが有する導電体１１０の下面の少なくとも一部に接する領域とを有する。

［０３７７］

導電体２４６は、導電体２４０ａの上面に接して配置すればよい。導電体２４６は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体２４６は、積層構造としてもよく、例えば、チタンまたは窒化チタンと、上記導電性材料との積層としてもよい。また、導電体２４６は、導電体１１０と同じ層に同じ材料で形成される構成にすることが好ましい。

［０３７８］

＜容量素子１００Ａ＞

容量素子１００Ａは、導電体１１０と、導電体１２０と、導電体１１０と導電体１２０の間に挟

まれる絶縁体１３０と、を有する。例えば、絶縁体２８７及び導電体２４０ｂの上に導電体１１０が配置され、導電体１１０の上に絶縁体１３０が配置され、絶縁体１３０の上に導電体１２０が配置されている。ここで、導電体１１０は容量素子１００Ａの第１の電極として機能し、導電体１２０は容量素子１００Ａの第２の電極として機能し、絶縁体１３０は、容量素子１００Ａの誘電体として機能する。なお、詳細は後述するが、容量素子１００Ａは、強誘電性を有しうる材料を誘電体として用いた容量素子である。

［０３７９］

導電体１１０は、容量素子１００の導電体１１０に適用できる導電体を用いればよい。また、導電体１２０は、容量素子１００の導電体１２０に適用できる絶縁体を用いればよい。

［０３８０］

導電体１１０は、単層構造であってもよく、積層構造であってもよい。導電体１１０は、上述した容量素子１００の導電体１１０に適用できる導電体を用いればよい。

［０３８１］

図２３Ｂでは、導電体１２０は導電体１２０ａと、導電体１２０ａ上に接して設けられる導電体１２０ｂとの積層構造としている。

［０３８２］

導電体１２０ａは、上述した導電体１２０に適用できる導電体を、スパッタリング法、ＡＬＤ法、又はＣＶＤ法などを用いて成膜すればよい。導電体１２０ａは、例えば、スパッタリング法を用いて、窒化チタンを成膜すればよい。

［０３８３］

または、導電体１２０ａは、例えば、熱ＡＬＤ法を用いて窒化チタンを成膜してもよい。ここで、導電体１２０ａの成膜は、熱ＡＬＤ法のように、基板を加熱しながら成膜する方法を用いて行うことが好ましい。例えば、基板温度を、室温以上、好ましくは３００℃以上、より好ましくは３２５℃以上、さらに好ましくは３５０℃以上にして成膜すればよい。また、例えば、基板温度を、５００℃以下、好ましくは４５０℃以下にして成膜すればよい。例えば、基板温度を４００℃程度にすればよい。

［０３８４］

上記のような温度範囲で導電体１２０ａを成膜することで、導電体１２０ａの形成後に高温のベーク処理（例えば、熱処理温度４００℃以上または５００℃以上のベーク処理）を行わなくても、絶縁体１３０に強誘電性を付与させることができる。また、上記のように下地に与えるダメージが比較的少ないＡＬＤ法を用いて導電体１２０ａを成膜することで、絶縁体１３０の結晶構造が過剰に破壊されるのを抑制できるため、絶縁体１３０の強誘電性を高めることができる。なお、導電体１２０ａの成膜後のアニールを行わず、導電体１２０の成膜時の温度を利用して絶縁体１３０の結晶性または強誘電性を向上させることを、セルフアニールと呼称する場合がある。

［０３８５］

導電体１２０ｂは、上述した導電体１２０に適用できる導電体を、スパッタリング法、ＡＬＤ法、又はＣＶＤ法などを用いて成膜すればよい。例えば、スパッタリング法を用いてタングステンを成膜すればよい。

［０３８６］

なお、上記に限られず、導電体１２０を単層または３層以上の構造にしてもよい。

［０３８７］

絶縁体１３０は、強誘電性を有しうる材料を用いることが好ましい。強誘電性を有しうる材料としては、酸化ハフニウム、酸化ジルコニウム、ＨｆＺｒO_X（Ｘは０よりも大きい実数とする）などの金属酸化物が挙げられる。また、強誘電性を有しうる材料としては、酸化ハフニウムに元素Ｊ１（ここでの元素Ｊ１は、ジルコニウム（Ｚｒ）、シリコン（Ｓｉ）、アルミニウム（Ａｌ）、ガドリニウム（Ｇｄ）、イットリウム（Ｙ）、ランタン（Ｌａ）、ストロンチウム（Ｓｒ）などから選ばれた一つまたは複数）を添加した材料が挙げられる。ここで、ハフニウムの原子数と元素Ｊ１の原子数の比は適宜設定することができ、例えば、ハフニウムの原子数と元素Ｊ１の原子数の比を１：１またはその近傍にすればよい。また、強誘電性を有しうる材料としては、酸化ジルコニウムに元素Ｊ２（ここでの元素Ｊ２は、ハフニウム（Ｈｆ）、シリコン（Ｓｉ）、アルミニウム（Ａｌ）、ガドリニウム（Ｇｄ）、イットリウム（Ｙ）、ランタン（Ｌａ）、ストロンチウム（Ｓｒ）などから選ばれた一つまたは複数）を添加した材料、などが挙げられる。また、ジルコニウムの原子数と元素Ｊ２の原子数の比は適宜設定することができ、例えば、ジルコニウムの原子数と元素Ｊ２の原子数の比を１：１またはその近傍にすればよい。また、強誘電性を有しうる材料として、チタン酸鉛（ＰｂＴｉO_X）、チタン酸バリウムストロンチウム（ＢＳＴ）、チタン酸ストロンチウム、チタン酸ジルコン酸鉛（ＰＺＴ）、タンタル酸ビスマス酸ストロンチウム（ＳＢＴ）、ビスマスフェライト（ＢＦＯ）、チタン酸バリウム、などのペロブスカイト構造を有する圧電性セラミックスを用いてもよい。

［０３８８］

また、強誘電性を有しうる材料としては、窒化アルミニウムスカンジウム（$Al_{1-a}Sc_aN_b$（ａは０より大きく、０．５より小さい実数であり、ｂは１またはその近傍の値である。））、Ａｌ－Ｇａ－Ｓｃ窒化物、Ｇａ－Ｓｃ窒化物などの金属窒化物が挙げられる。また、強誘電性を有しうる材料としては、元素Ｍ１と、元素Ｍ２と、窒素と、を有する金属窒化物が挙げられる。ここで、元素Ｍ１は、アルミニウム（Ａｌ）、ガリウム（Ｇａ）、インジウム（Ｉｎ）などから選ばれた一つまたは複数である。また、元素Ｍ２は、ホウ素（Ｂ）、スカンジウム（Ｓｃ）、イットリウム（Ｙ）、ランタン（Ｌａ）、セリウム（Ｃｅ）、ネオジム（Ｎｄ）、ユーロピウム（Ｅｕ）、チタン（Ｔｉ）、ジルコニウム（Ｚｒ）、ハフニウム（Ｈｆ）、バナジウム（Ｖ）、ニオブ（Ｎｂ）、タンタル（Ｔａ）、クロム（Ｃｒ）などから選ばれた一つまたは複数である。なお、元素Ｍ１の原子数と元素Ｍ２の原子数の比は適宜設定することができる。また、元素Ｍ１と、窒素と、を有する金属酸化物は、元素Ｍ２を含まなくても、強誘電性を有する場合がある。また、強誘電性を有しうる材料としては、上記金属窒化物に元素Ｍ３が添加された材料が挙げられる。なお、元素Ｍ３は、マグネシウム（Ｍｇ）、カルシウム（Ｃａ）、ストロンチウム（Ｓｒ）、亜鉛（Ｚｎ）、カドミウム（Ｃｄ）などから選ばれた一つまたは複数である。ここで、元素Ｍ１の原子数、元素Ｍ２の原子数、および元素Ｍ３の原子数の比は適宜設定することができる。

［０３８９］

また、強誘電性を有しうる材料としては、ＳｒＴａO_2Ｎ、ＢａＴａO_2Ｎなどのペロブスカイト型酸窒化物、κ アルミナ型構造のＧａＦｅO_3などが挙げられる。

［０３９０］

なお、上記の説明においては、金属酸化物、及び金属窒化物について例示したがこれに限定されない。例えば、上述の金属酸化物に窒素が添加された金属酸窒化物、または上述の金属窒化物に酸

素が添加された金属窒酸化物などを用いてもよい。

［０３９１］

また、強誘電性を有しうる材料としては、例えば、上記に列挙した材料から選ばれた複数の材料からなる混合物または化合物を用いることができる。または、絶縁体１３０を、上記に列挙した材料から選ばれた複数の材料からなる積層構造とすることができる。ところで、上記に列挙した材料などは、成膜条件だけでなく、各種プロセスなどによっても結晶構造（特性）が変わり得る可能性があるため、本明細書等では強誘電性を発現する材料のみを強誘電体と呼ぶだけでなく、強誘電性を有しうる材料とも呼んでいる。

［０３９２］

中でも強誘電性を有しうる材料として、酸化ハフニウム、又は、酸化ハフニウム及び酸化ジルコニウムを有する材料は、数ｎｍといった薄膜に加工しても強誘電性を有しうることができるため、好ましい。ここで、絶縁体１３０の膜厚は、１００ｎｍ以下、好ましくは５０ｎｍ以下、より好ましくは２０ｎｍ以下、さらに好ましくは１０ｎｍ以下にすることができる。例えば、膜厚を、５ｎｍ以上１５ｎｍ以下にすることが好ましく、８ｎｍ以上１２ｎｍ以下にすることがより好ましい。薄膜化することができる強誘電体層とすることで、容量素子１００Ａを、微細化されたトランジスタなどの半導体素子に組み合わせて半導体装置を形成することができる。なお、本明細書等において、強誘電性を有しうる材料を層状にしたものを指して、強誘電体層、金属酸化物膜、または金属窒化物膜と呼ぶ場合がある。また、このような、強誘電体層、金属酸化物膜、または金属窒化物膜を有する装置を、本明細書等において、強誘電体デバイスと呼ぶ場合がある。

［０３９３］

また、酸化ハフニウム、又は、酸化ハフニウム及び酸化ジルコニウムを有する材料は、微小な面積でも強誘電性を有しうることができるため、好ましい。例えば、強誘電体層の上面視における面積（占有面積）が、１００００μm^2以下、１０００μm^2以下、１００μm^2以下、１０μm^2以下、１μm^2以下、又は０．１μm^2以下であっても、強誘電性を有することができる。面積が小さい強誘電体層とすることで、容量素子１００Ａの占有面積を小さくすることができる。

［０３９４］

強誘電性を有しうる材料は、絶縁体であって、外部から電場を与えることによって内部に分極が生じ、かつ当該電場をゼロにしても分極が残る性質を有する。このため、当該材料を誘電体として用いた容量素子（以下、強誘電体キャパシタと呼ぶ場合がある。）を用いて、不揮発性の記憶素子を形成することができる。強誘電体キャパシタを用いた、不揮発性の記憶素子は、ＦｅＲＡＭ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）、強誘電体メモリなどと呼ばれることがある。例えば、強誘電体メモリは、トランジスタと、強誘電体キャパシタを有し、トランジスタのソースおよびドレインの一方が、強誘電体キャパシタの一方の端子に電気的に接続された構成を有する。よって、本実施の形態に示す容量素子１００Ａは強誘電体キャパシタであり、容量素子１００Ａと、上述したトランジスタ２００を有する半導体装置は、強誘電体メモリとして機能させることができる。

［０３９５］

なお、強誘電性は、外部電場により強誘電体層に含まれる結晶の酸素が変位することで、発現するとされている。また、強誘電性の発現は、強誘電体層に含まれる結晶の結晶構造に依存すると推定される。よって、絶縁体１３０が強誘電性を発現するには、絶縁体１３０は結晶を含む必要があ

る。特に絶縁体１３０は、直方晶系の結晶構造を有する結晶を含むと、強誘電性が発現するため好ましい。なお、絶縁体１３０に含まれる結晶の結晶構造としては、正方晶系、直方晶系、及び単斜晶系の中から選ばれるいずれか一または複数であってもよい。また、絶縁体１３０は、アモルファス構造を有していてもよい。このとき、絶縁体１３０は、アモルファス構造と、結晶構造とを有する複合構造としてもよい。

［０３９６］

結晶を含む絶縁体１３０を形成するには、絶縁体１３０中の、水素又は塩素などの不純物が低減されていることが好ましい。ここで、当該不純物は単体の原子だけを指すものではない。絶縁体１３０中において、上述の不純物と結合した物質も低減されていることが好ましい。例えば、絶縁体１３０中の、水素と結合した物質（例えば、OH^-など）なども低減されていることが好ましい。これらの不純物は、絶縁体１３０中の結晶において、酸素欠損を形成する場合がある。さらに当該酸素欠損部位に、水素などの不純物が結合して、絶縁体１３０の結晶性が低下する場合がある。よって、これらの不純物が絶縁体１３０中に含まれることで、絶縁体１３０の結晶化が阻害される場合がある。よって、絶縁体１３０の強誘電性を向上するには、水素又は塩素などの不純物を低減することが好ましい。

［０３９７］

そこで、図２３Ｂに示すように、容量素子１００Ａを覆うように絶縁体１５２を設け、絶縁体１５２と絶縁体１３０の間に絶縁体１５５を設けることが好ましい。このとき、絶縁体１５５は、導電体１１０と重畳しない領域において、絶縁体２８７と接することが好ましい。

［０３９８］

絶縁体１５２及び絶縁体１５５は、水素に対するバリア絶縁体として機能する。絶縁体１５２は、水素、および水素が結合した物質（例えば、OH^-など）の少なくとも一の拡散を抑制する機能を有する。よって、絶縁体１５２は、絶縁体１３０よりも、水素、および水素が結合した物質（例えば、OH^-など）の少なくとも一の拡散を抑制する能力が高いことが好ましい。また、絶縁体１５５は、水素、および水素が結合した物質の少なくとも一を捕獲する又は固着する機能を有する。よって、絶縁体１５５は、絶縁体１３０よりも、水素、および水素が結合した物質の少なくとも一を捕獲する又は固着する能力が高いことが好ましい。

［０３９９］

絶縁体１５２及び絶縁体１５５は、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、又は窒化酸化シリコンなどを用いることができる。水素などの不純物の拡散を抑制する能力が高い絶縁体１５２としては、例えば窒化シリコンを用いることが好ましい。この場合、絶縁体１５２は、少なくとも窒素と、シリコンと、を有する。

［０４００］

また、水素などの不純物を捕獲する又は固着する能力が高い絶縁体１５５としては、アモルファス構造を有する酸化物を用いることが好ましい。例えば、酸化アルミニウム、または酸化マグネシウムなどの金属酸化物を用いることが好ましい。絶縁体１５５に酸化アルミニウムを用いる場合、絶縁体１５５は、少なくとも酸素と、アルミニウムと、を有する。上述したようにアモルファス構造を有する金属酸化物は、水素を捕獲する又は固着する性質を有する場合がある。このようなアモルファス構造を有する金属酸化物を容量素子１００Ａの構成要素として用いる、または容量素子１

００Ａの周囲に設けることで、容量素子１００Ａに含まれる水素、または容量素子１００Ａの周囲に存在する水素を捕獲する又は固着することができる。特に絶縁体１３０に含まれる水素を捕獲する又は固着することが好ましい。

［０４０１］

なお、絶縁体１５５は、アモルファス構造であることが好ましいが、一部に結晶領域が形成されていてもよい。また、絶縁体１５５は、アモルファス構造の層と、結晶領域を有する層と、が積層された多層構造であってもよい。例えば、絶縁体１５５は、アモルファス構造の層の上に結晶領域を有する層、代表的には多結晶構造の層が形成された積層構造でもよい。

［０４０２］

絶縁体１５２によって、絶縁体１５２の外方から、絶縁体１３０に水素などの不純物が拡散するのを抑制できる。さらに、絶縁体１５２に包まれた領域の内側に存在する水素などの不純物を、絶縁体１５５によって、捕獲、または固着し、絶縁体１３０中に含まれる水素などの不純物の濃度を低減できる。このように、絶縁体１３０中において、水素などの不純物を含まなくする、または水素などの不純物を極めて少なくすることで、絶縁体１３０の結晶性を向上させることが可能となり、高い強誘電性を有する構造とすることができる。

［０４０３］

図２３Ｂでは、絶縁体１５５は、絶縁体１５５ａと、絶縁体１５５ａ上に接して設けられる絶縁体１５５ｂの積層構造としている。また、絶縁体１５２は絶縁体１５２ａと、絶縁体１５２ａ上に接して設けられる絶縁体１５２ｂの積層構造としている。なお、上記に限られず、絶縁体１５５および絶縁体１５２の一方又は双方を単層または３層以上の構造にしてもよい。

［０４０４］

絶縁体１５５ａは、上述した絶縁体１５５に適用できる絶縁体を、ＡＬＤ法、特に熱ＡＬＤ法を用いて成膜することが好ましい。例えば、絶縁体１５５ａとして、ＡＬＤ法で成膜した酸化アルミニウムを用いることができる。これにより、絶縁体１５５ａを被覆性良く成膜することができるため、スパッタリング法で成膜した絶縁体１５５ｂにピンホールまたは段切れなどが形成されたとしても、ピンホールまたは段切れなどを介した、絶縁体１５５ｂの外側から絶縁体１３０への不純物の拡散を抑制できる。

［０４０５］

絶縁体１５５ｂは、上述した絶縁体１５５に用いることができる絶縁体を、スパッタリング法を用いて成膜すればよい。例えば、絶縁体１５５ｂとして、スパッタリング法で成膜した酸化アルミニウムを用いることができる。スパッタリング法は、成膜ガスに水素を含む分子を用いなくてよいため、絶縁体１５５ｂ中の水素濃度を低減できる。これにより、絶縁体１３０に含まれる水素などの不純物を、より多く捕獲する又は固着することができる。

［０４０６］

絶縁体１５２ａは、上述した絶縁体１５２に用いることができる絶縁体を、スパッタリング法を用いて成膜すればよい。例えば、絶縁体１５２ａとして、スパッタリング法で成膜した窒化シリコンを用いることができる。スパッタリング法は、成膜ガスに水素を含む分子を用いなくてよいため、絶縁体１５２ａ中の水素濃度を低減できる。

［０４０７］

絶縁体１５２ｂは、上述した絶縁体１５２に用いることができる絶縁体を、ＡＬＤ法、特にＰＥ

ＡＬＤ法を用いて成膜することが好ましい。例えば、絶縁体１５２ｂとして、ＰＥＡＬＤ法で成膜した窒化シリコンを用いることができる。これにより、スパッタリング法で成膜した絶縁体１５２ａにピンホールまたは段切れなどが形成されたとしても、それらと重畳する部分を、被覆性の良好なＡＬＤ法で成膜した窒化シリコンで塞ぐことができる。また、絶縁体１５２ｂでピンホールまたは段切れなどを覆うことで、絶縁体１５２ｂの外側から絶縁体１３０への不純物の拡散を抑制できる。

［０４０８］

さらに、図２３Ｂに示すように、絶縁体１５５及び絶縁体１５２は、容量素子１００Ａだけでなく、導電体２４６も覆うように設けられている。これにより、熱処理の際に、容量素子１００Ａ、導電体２４６、および導電体２４０を介して、酸化物２３０中に水素などの不純物が拡散するのを抑制できる。このように、水素などの不純物が低減された高純度真性な強誘電性を有する容量素子と、水素などの不純物が低減された高純度真性な酸化物半導体とは、製造プロセスの整合性が非常に高い。よって、生産性が高い半導体装置の作製方法を提供できる。

［０４０９］

絶縁体２８７は、絶縁体１５２と同様の、水素などの不純物の拡散を抑制する能力が高い絶縁体を用いることが好ましい。容量素子１００Ａと重ならない領域で、絶縁体１５５と絶縁体２８７が接する構成にすることで、絶縁体２８７と、絶縁体１５５及び絶縁体１５２とによって、容量素子１００Ａが封止される。これにより、絶縁体１５２および絶縁体２８７の外部から容量素子１００Ａに水素が拡散することを抑制し、さらに絶縁体１５２および絶縁体２８７で取り囲まれた領域の内部の水素を捕獲、または固着し、容量素子１００Ａの絶縁体１３０の水素濃度を低減できる。よって、絶縁体１３０の強誘電性を高めることができる。

［０４１０］

なお、図２３Ｂでは、絶縁体２８７が、導電体１１０と重ならない領域において絶縁体１５５と接する構成を示しているが、本発明はこれに限られない。絶縁体２８７を設けずに、導電体２４６の下面、絶縁体１５５ａの下面、及び導電体１１０の下面が絶縁体２８５の上面に接する構成にしてもよい。

［０４１１］

また、絶縁体１３０と導電体１１０の間、および／または、絶縁体１３０と導電体１２０との間に、絶縁体１３０の結晶性を高める層を設けてもよい。結晶性を高める層として、例えば、絶縁体１３０が有する元素の少なくとも一を含む層を用いることが好ましい。なお、結晶性を高める層の組成と、絶縁体１３０の組成と、が異なることが好ましい。絶縁体１３０に$HfZrO_X$を用いる場合、結晶性を高める層として、具体的には、酸化ハフニウム、または酸化ジルコニウムなどの金属酸化物、もしくはハフニウム、またはジルコニウムなどの金属を用いると好ましい。

［０４１２］

なお、結晶性を高める層の組成としては、絶縁体１３０が有する元素を有さなくてもよい。この場合、用いることができる元素としては、シリコン、イットリウム、アルミニウム、スカンジウムなどが挙げられる。結晶性を高める層を設けることで、絶縁体１３０の結晶性を向上させ、絶縁体１３０の強誘電性を高めることができる。なお、絶縁体１３０の結晶性が向上することで絶縁体１３０の強誘電性を高めることができることから、結晶性を高める層は、絶縁体１３０の残留分極を大きくする層と言い換えることができる。

［０４１３］

＜容量素子１００Ａの変形例＞

なお、図２３Ａ及び図２３Ｂに示す容量素子１００Ａは、導電体１１０の側面と、絶縁体１３０の側面と、導電体１２０の側面と、が面一の構成を有するが、本発明はこれに限られない。以下に、図２４Ａ乃至図２５Ｂを用いて、図２３Ａ及び図２３Ｂに示す容量素子１００Ａの変形例について示す。以降では、図２３Ａ及び図２３Ｂに示す半導体装置と異なる部分について主に説明し、重複する部分については説明を省略する。

［０４１４］

図２４Ａは、半導体装置の上面図である。また、図２４Ｂは、図２４ＡにＡ１－Ａ２の一点鎖線で示す部位の断面図であり、トランジスタ２００のチャネル長方向の断面図でもある。なお、図２４Ａの上面図では、図の明瞭化のために一部の要素を省いている。

［０４１５］

図２４Ｂに示すように、導電体１１０の側面が絶縁体１３０及び導電体１２０の側面より内側に位置する構成にしてもよい。絶縁体１３０は、導電体１１０の上面及び側面を覆って形成され、絶縁体１３０の導電体１１０と重ならない領域が絶縁体２８７に接する。この場合、上面視において、導電体１１０の外周が、絶縁体１３０及び導電体１２０の外周より内側に位置することになる。このような構成にすることで、絶縁体１３０によって、導電体１１０と導電体１２０を十分に離隔することができる。

［０４１６］

また、上面視において、導電体１２０の面積をより大きくすることで、導電体１２０と接続し、プラグ又は配線として機能する導電体（図示せず）を設ける場合において、十分な設計の余裕度（マージン）を確保することができる。

［０４１７］

また、図２３Ｂでは、導電体１１０を単層とする構成について示したが、本発明はこれに限られず、導電体１１０を２層以上の積層構造にしてもよい。例えば、図２４Ｂに示すように、導電体１１０を、導電体１１０ａと、導電体１１０ａ上の導電体１１０ｂとの２層の積層構造にしてもよい。

［０４１８］

導電体１１０ａは、上述した導電体１１０に適用できる導電体を、スパッタリング法、ＡＬＤ法、又はＣＶＤ法などを用いて成膜すればよい。例えば、スパッタリング法又はＣＶＤ法を用いてタングステンを成膜すればよい。

［０４１９］

絶縁体１３０の下面の少なくとも一部に接する導電体１１０ｂは、上述した導電体１１０に適用できる導電体を、ＡＬＤ法又はＣＶＤ法などを用いて成膜すればよい。例えば、熱ＡＬＤ法を用いて窒化チタンを成膜すればよい。また、導電体１１０ｂの上面は、平坦性が良好であることが好ましい。導電体１１０ｂの上面の平坦性を良好にすることで、絶縁体１３０の結晶性を向上し、絶縁体１３０の強誘電性を高めることができる。

［０４２０］

図２５Ａは、半導体装置の上面図である。また、図２５Ｂは、図２５ＡにＡ１－Ａ２の一点鎖線で示す部位の断面図であり、トランジスタ２００のチャネル長方向の断面図でもある。なお、図２５Ａの上面図では、図の明瞭化のために一部の要素を省いている。

［０４２１］

図２５Ａ及び図２５Ｂに示すように、図２３Ｂに示す絶縁体２８７に代えて絶縁体２８６を設け、絶縁体２８６及び絶縁体２８５に形成された開口の内部を埋め込むように導電体１１０を設けてもよい。

［０４２２］

絶縁体２８６は、上述した絶縁体２８５に用いることができる絶縁性材料を用いればよい。

［０４２３］

絶縁体２８６及び絶縁体２８５に形成された開口の内部に導電体１１０が埋め込まれている。導電体１１０は、絶縁体２８６及び絶縁体２８５に形成された開口の内部において導電体２４０ｂと接する領域を有する。絶縁体２８６及び絶縁体２８５に形成された開口の内部に導電体１１０を埋め込むことで、導電体１１０と導電体１２０を十分に離隔することができる。よって、容量素子１００Ａのリーク電流を抑制できる。

［０４２４］

また、図２５Ｂに示す導電体１１０は、絶縁体２８６及び絶縁体２８５に開口を形成し、導電体１１０となる導電膜を成膜し、絶縁体２８６が露出するまで化学機械研磨（ＣＭＰ）法などを用いた平坦化処理を行うことで、形成することができる。つまり、図２５Ｂに示す導電体１１０は、シングルダマシン法を用いて形成することができる。このような導電体１１０の形成工程は、導電体１１０の上面の平坦性を良好にする工程を兼ねる。よって、平坦性が良好な導電体１１０上に絶縁体１３０が設けられるため、絶縁体１３０の平坦性も良好とすることができる。したがって、薄膜の強誘電体層を用いて絶縁体１３０を形成した場合においても、容量素子１００Ａのリーク電流を抑制できる。また、このような導電体１１０の形成工程は、絶縁体２８６の上面も平坦性が良好となるため、絶縁体１３０の一部が絶縁体２８６上に設けられる場合においても好適である。

［０４２５］

また、図２５Ｂに示すように、導電体１１０は、導電体１１０ｃと、導電体１１０ｃ上の導電体１１０ａと、導電体１１０ａ上の導電体１１０ｂとの積層構造としてもよい。導電体１１０ｃは、絶縁体２８６及び絶縁体２８５に形成された開口の内部において、絶縁体２８６の側面、絶縁体２８５の側面、絶縁体２８３の上面、絶縁体２４１ｂの側面、及び導電体２４０ｂの上面に接して設けられる。導電体１１０ａは導電体１１０ｃに形成された凹部の一部を埋め込むように設けられる。ここで、導電体１１０ａの上面は、導電体１１０ｃの上面及び絶縁体２８６の上面よりも高さが低くなる。導電体１１０ｂは、導電体１１０ａの上面及び導電体１１０ｃの側面に接して設けられる。ここで、導電体１１０ｂの上面は、導電体１１０ｃの上面及び絶縁体２８６の上面と高さが一致する。つまり、導電体１１０ａは、導電体１１０ｃと導電体１１０ｂに包み込まれる構成になる。

［０４２６］

導電体１１０を、導電体１１０ｃと、導電体１１０ａと、導電体１１０ｂとの３層構造とする場合、導電体１１０は、例えば、絶縁体２８６及び絶縁体２８５に開口を形成し、導電体１１０ｃとなる導電膜及び導電体１１０ａとなる導電膜を成膜し、絶縁体２８６を露出するようにＣＭＰ処理を行うことで導電体１１０ｃ及び導電体１１０ａを形成し、導電体１１０ａの一部をエッチバックし、導電体１１０ｂを埋め込むことで、形成することができる。

［０４２７］

導電体１１０ｃは、上述した導電体２０５ａに適用できる導電体を、スパッタリング法、ＡＬＤ

法、又はＣＶＤ法などを用いて成膜すればよい。導電体１１０ｃに、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体１１０ａが酸化されて導電率が低下することを抑制できる。例えば、導電体１１０ｃは、ＣＶＤ法を用いて窒化チタンを成膜すればよい。

［０４２８］

導電体１１０ｂは、上述した導電体１１０に適用できる導電体を、ＡＬＤ法又はＣＶＤ法などを用いて成膜すればよい。なお、上述したように平坦化処理を行うことで導電体１１０ｃを形成する場合においては、導電体１１０ｃは、成膜速度が速いスパッタリング法、ＣＶＤ法、または、ＰＥＣＶＤ法を用いて形成してもよい。これにより、半導体装置を生産性高く作製できる。例えば、導電体１１０ｂは、ＣＶＤ法を用いて窒化チタンを成膜すればよい。

［０４２９］

図２５Ｂでは、導電体１１０の側面が絶縁体１３０の側面の内側に位置する。この場合、上面視において、導電体１１０の外周が、絶縁体１３０及び導電体１２０の外周より内側に位置することになる。例えば、導電体１１０の側面から絶縁体１３０の側面までの最短距離は、絶縁体１３０の膜厚以上であることが好ましく、絶縁体１３０の膜厚の２倍以上であることがより好ましい。このような構成にすることで、絶縁体１３０によって、導電体１１０と導電体１２０を十分に離隔することができる。このとき、図２５Ｂに示すように、絶縁体２８６の導電体１２０と重ならない領域の一部が除去されることがある。

［０４３０］

図２５Ｂでは、導電体１１０の側面が絶縁体１３０の側面の内側に位置する構成を示しているが、本発明はこれに限られない。例えば、導電体１１０の側面は、絶縁体１３０の側面よりも外側に位置してもよい。このような構成にすることで、絶縁体１３０は、導電体１１０ｃと、絶縁体１５５及び絶縁体１５２とによって取り囲まれる。導電体１１０ｃに、水素の拡散を低減する機能を有する導電性材料を用いることにより、絶縁体１５２及び導電体１１０ｃの外部から絶縁体１３０に水素が拡散することを抑制し、さらに絶縁体１３０の水素を捕獲、または固着し、絶縁体１３０の水素濃度を低減できる。よって、絶縁体１３０の強誘電性を高めることができる。なお、導電体１１０の側面は、絶縁体１３０の側面と一致してもよい。

［０４３１］

導電体２４６は、絶縁体２８６及び絶縁体２８５に形成された開口の内部において導電体２４０ａと接する領域を有する。導電体２４６は、配線または端子として機能する。導電体２４６は、導電体１１０と同じ層に同じ材料で形成される構成にすることが好ましい。図２５Ｂに示すように、導電体１１０が上述した３層積層構造を有する場合、導電体２４６と導電体１１０とを同じ層に同じ材料で形成することで、導電体２４６は３層積層構造を有する。

［０４３２］

また、図２５Ｂでは、導電体１２０を単層構造で示している。なお、導電体１２０は、図２３Ｂに示す２層の積層構造であってもよいし、３層以上の積層構造であってもよい。なお、導電体１２０を単層構造とする場合、導電体１２０は、上述した導電体１２０ａ又は導電体１２０ｂに適用できる導電体を用いればよい。また、導電体１２０の成膜は、上述した導電体１２０ａ又は導電体１２０ｂに適用できる方法を用いて行えばよい。

［０４３３］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、

１つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

［０４３４］

（実施の形態２）

本実施の形態では、半導体装置の一形態である記憶装置を、図２６及び図２７を用いて説明する。

［０４３５］

［記憶装置１］

本発明の一態様である記憶装置の一例を図２６に示す。本発明の一態様の記憶装置では、トランジスタ２００はトランジスタ３００の上方に設けられ、容量素子１００はトランジスタ３００及びトランジスタ２００の上方に設けられている。なお、トランジスタ２００として、先の実施の形態で説明したトランジスタ２００を用いることができる。

［０４３６］

トランジスタ２００は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ２００は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持できる。つまり、リフレッシュ動作を必要としない、又は、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減できる。

［０４３７］

図２６に示す記憶装置において、配線１００１はトランジスタ３００のソースと電気的に接続され、配線１００２はトランジスタ３００のドレインと電気的に接続され、配線１００７はトランジスタ３００のゲートと電気的に接続されている。また、配線１００３はトランジスタ２００のソース及びドレインの一方と電気的に接続され、配線１００４はトランジスタ２００の第１のゲートと電気的に接続され、配線１００６はトランジスタ２００の第２のゲートと電気的に接続されている。そして、トランジスタ２００のソース及びドレインの他方は、容量素子１００の電極の一方と電気的に接続され、配線１００５は容量素子１００の電極の他方と電気的に接続されている。

［０４３８］

また、図２６に示す記憶装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。

［０４３９］

容量素子１００として、先の実施の形態で説明した容量素子１００を用いることができる。なお、容量素子１００として、先の実施の形態で説明した容量素子１００Ａを用いてもよい。容量素子１００として容量素子１００Ａを用いる場合、図２６に示す記憶装置は、強誘電体メモリを有する。

［０４４０］

＜トランジスタ３００＞

トランジスタ３００は、基板３１１上に設けられ、ゲートとして機能する導電体３１６と、ゲート絶縁体として機能する絶縁体３１５と、基板３１１の一部からなる半導体領域３１３と、ソース領域またはドレイン領域として機能する低抵抗領域３１４ａ及び低抵抗領域３１４ｂと、を有する。トランジスタ３００は、ｐチャネル型、またはｎチャネル型のいずれでもよい。

［０４４１］

ここで、図２６に示すトランジスタ３００はチャネルが形成される半導体領域３１３（基板３１１の一部）が凸形状を有する。また、半導体領域３１３の側面および上面を、絶縁体３１５を介し

て、導電体３１６が覆うように設けられている。なお、導電体３１６は仕事関数を調整する材料を用いてもよい。このようなトランジスタ３００は半導体基板の凸部を利用していることからＦＩＮ型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、ＳＯＩ基板を加工して凸形状を有する半導体膜を形成してもよい。

［０４４２］

なお、図２６に示すトランジスタ３００は一例であり、その構造に限定されず、回路構成または駆動方法に応じて適切なトランジスタを用いればよい。

［０４４３］

＜配線層＞

各構造体の間には、層間膜、配線、およびプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線として機能する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

［０４４４］

例えば、トランジスタ３００上には、層間膜として、絶縁体３２０、絶縁体３２２、絶縁体３２４、及び絶縁体３２６が順に積層して設けられている。また、絶縁体３２０及び絶縁体３２２には導電体３２８が埋め込まれ、絶縁体３２４及び絶縁体３２６には導電体３３０が埋め込まれている。なお、導電体３２８及び導電体３３０はプラグ、または配線として機能する。

［０４４５］

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体３２２の上面は、平坦性を高めるためにＣＭＰ法等を用いた平坦化処理により平坦化されていてもよい。

［０４４６］

絶縁体３２６及び導電体３３０上に、配線層を設けてもよい。例えば、図２６において、絶縁体３５０、絶縁体３５２、及び絶縁体３５４が順に積層して設けられている。また、絶縁体３５０、絶縁体３５２、及び絶縁体３５４には、導電体３５６が形成されている。導電体３５６は、プラグ、または配線として機能する。

［０４４７］

同様に、絶縁体２１０、絶縁体２１５、及び絶縁体２１６には、導電体２１８、及びトランジスタ２００を構成する導電体（導電体２０５）が埋め込まれている。なお、導電体２１８は、トランジスタ３００と電気的に接続するプラグ、または配線として機能する。

［０４４８］

ここで、先の実施の形態で説明した絶縁体２４１ａ及び絶縁体２４１ｂと同様に、導電体２１８の側面に接して絶縁体２１７が設けられる。絶縁体２１７は、絶縁体２１０、絶縁体２１５、及び絶縁体２１６に形成された開口部の内壁に接して設けられている。つまり、絶縁体２１７は、導電体２１８と、絶縁体２１０、絶縁体２１５、及び絶縁体２１６と、の間に設けられている。なお、導電体２０５は導電体２１８と並行して形成することができるため、導電体２０５の側面に接して絶縁体２１７が形成される場合もある。

［０４４９］

絶縁体２１７としては、例えば、上述した絶縁体２４１ａ及び絶縁体２４１ｂに適用できる絶縁体を用いればよい。絶縁体２１７は、絶縁体２１５及び絶縁体２２２に接して設けられるため、絶縁体２１０又は絶縁体２１６などに含まれる水または水素などの不純物が、導電体２１８を通じて酸化物２３０に混入するのを抑制できる。特に、窒化シリコンは水素に対するブロッキング性が高いため好適である。また、絶縁体２１０又は絶縁体２１６に含まれる酸素が導電体２１８に吸収されるのを防ぐことができる。

［０４５０］

絶縁体２１７は、上述した絶縁体２４１ａ及び絶縁体２４１ｂと同様の方法で形成することができる。例えば、ＰＥＡＬＤ法を用いて、窒化シリコンを成膜し、異方性エッチングを用いて導電体３５６に達する開口を形成すればよい。

［０４５１］

層間膜として機能する、絶縁体２１０、絶縁体３５２、及び絶縁体３５４等は、絶縁体１５０に用いることができる絶縁体を用いればよい。

［０４５２］

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。したがって、絶縁体２１５、及び絶縁体３５０等には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

［０４５３］

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

［０４５４］

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を１種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

［０４５５］

例えば、導電体３２８、導電体３３０、導電体３５６、導電体２１８、及び導電体１１２等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。

または、アルミニウム、銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

［０４５６］

＜酸化物半導体が設けられた層の配線、またはプラグ＞

先の実施の形態で示したように、トランジスタ２００は、絶縁体２１５及び絶縁体２８３で封止される構成にしてもよい。このような構成とすることで、絶縁体２７４、絶縁体１５０などに含まれる水素が絶縁体２８０などに混入するのを抑制できる。

［０４５７］

なお、絶縁体２８３には導電体２４０が、絶縁体２１５には導電体２１８が貫通しているが、図２６に示すように、絶縁体２４１が導電体２４０に接して設けられ、絶縁体２１７が導電体２１８に接して設けられている。絶縁体２４１及び絶縁体２１７として水素に対するバリア絶縁体を用いることで、導電体２４０及び導電体２１８を介して、絶縁体２１５及び絶縁体２８３の内側に水素が混入するのを抑制できる。このようにして、絶縁体２１５、絶縁体２８３、絶縁体２４１、及び絶縁体２１７でトランジスタ２００を封止し、絶縁体２７４等に含まれる水素などの不純物が外側から混入するのを抑制できる。

［０４５８］

＜ダイシングライン＞

以下では、大面積基板を半導体素子ごとに分断することによって、複数の半導体装置をチップ状で取り出す場合に設けられるダイシングライン（スクライブライン、分断ライン、又は切断ラインと呼ぶ場合がある）について説明する。分断方法としては、例えば、まず、基板に半導体素子を分断するための溝（ダイシングライン）を形成した後、ダイシングラインにおいて切断し、複数の半導体装置に分断（分割）する場合がある。

［０４５９］

ここで、例えば、図２６に示すように、絶縁体２８３と、絶縁体２１５とが接する領域がダイシングラインと重なるように設計することが好ましい。つまり、複数のトランジスタ２００を有するメモリセルの外縁に設けられるダイシングラインとなる領域近傍において、絶縁体２８２、絶縁体２８０、絶縁体２７５、絶縁体２２２、及び絶縁体２１６に開口を設ける。

［０４６０］

つまり、絶縁体２８２、絶縁体２８０、絶縁体２７５、絶縁体２２２、及び絶縁体２１６に設けた開口において、絶縁体２１５と絶縁体２８３とが接する。

［０４６１］

また、例えば、絶縁体２８２、絶縁体２８０、絶縁体２７５、絶縁体２２２、絶縁体２１６、及び絶縁体２１５の上層に開口を設けてもよい。このような構成とすることで、絶縁体２８２、絶縁体２８０、絶縁体２７５、絶縁体２２２、絶縁体２１６に設けた開口において、絶縁体２１５と絶縁体２８３とが接する。このとき、絶縁体２１５の下層及び絶縁体２８３を同材料及び同方法を用いて形成してもよい。絶縁体２１５の下層及び絶縁体２８３を同材料及び同方法で設けることで、密着性を高めることができる。例えば、窒化シリコンを用いることが好ましい。

［０４６２］

当該構造により、絶縁体２１５及び絶縁体２８３で、トランジスタ２００を包み込むことができる。絶縁体２１５及び絶縁体２８３の少なくとも一は、酸素、水素、及び水の拡散を抑制する機能

を有しているため、本実施の形態に示す半導体素子が形成された回路領域ごとに、基板を分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水素又は水などの不純物が混入し、トランジスタ２００に拡散することを防ぐことができる。

［０４６３］

また、当該構造により、絶縁体２８０の酸素が外部に拡散することを防ぐことができる。従って、絶縁体２８０の酸素は、効率的にトランジスタ２００のチャネル形成領域に供給される。当該酸素により、トランジスタ２００におけるチャネル形成領域の酸素欠損を低減できる。これにより、トランジスタ２００におけるチャネル形成領域を含む酸化物半導体を、欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ２００の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

［０４６４］

［記憶装置２］

図２６に示す記憶装置と異なる構成例を、図２７に示す。なお、以下に示す記憶装置において、上述の記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。また、以降では、上述の記憶装置と異なる部分について主に説明し、重複する部分については説明を省略する。

［０４６５］

図２７は、記憶装置の断面図である。図２７に示す記憶装置は、配線１００７を有さない点、並びに、トランジスタ３００のゲートがトランジスタ２００のソース及びドレインの他方と容量素子１００の電極の一方とに電気的に接続されている点で、図２６に示す記憶装置とは異なる。

［０４６６］

図２７に示す記憶装置において、配線１００１はトランジスタ３００のソースと電気的に接続され、配線１００２はトランジスタ３００のドレインと電気的に接続されている。また、配線１００３はトランジスタ２００のソースおよびドレインの一方と電気的に接続され、配線１００４はトランジスタ２００の第１のゲートと電気的に接続され、配線１００６はトランジスタ２００の第２のゲートと電気的に接続されている。そして、トランジスタ３００のゲート、並びにトランジスタ２００のソースおよびドレインの他方は、容量素子１００の電極の一方と電気的に接続され、配線１００５は容量素子１００の電極の他方と電気的に接続されている。

［０４６７］

また、導電体３１６は、導電体３２８、導電体３３０、導電体３５６、導電体２１８、及び導電体２４０を介して、容量素子１００又はトランジスタ２００と電気的に接続している。

［０４６８］

本実施の形態に示す記憶装置は、図１９Ａに示す複数のトランジスタ２００と同様に、メモリセルをｘｙ平面上でマトリクス状に配置することで、メモリセルアレイを構成することができる。また、本実施の形態に示す記憶装置は、メモリセルアレイを積層する構成を有してもよい。複数のメモリセルアレイを積層することにより、メモリセルアレイの占有面積を増やすことなく、メモリセルを集積して配置することができる。つまり、３Ｄセルアレイを構成することができる。

［０４６９］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、１つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

［０４７０］

（実施の形態３）

本実施の形態では、図２８Ａ乃至図３１Ｃを用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、ＯＳトランジスタと呼ぶ場合がある）、および容量素子が適用されている記憶装置（以下、ＯＳメモリ装置と呼ぶ場合がある）について説明する。ＯＳメモリ装置は、少なくとも容量素子と、容量素子の充放電を制御するＯＳトランジスタを有する記憶装置である。ＯＳトランジスタのオフ電流は極めて小さいため、ＯＳメモリ装置は優れた保持特性をもち、不揮発性メモリとして機能させることができる。

［０４７１］

＜記憶装置の構成例＞

図２８ＡにＯＳメモリ装置の構成の一例を示す。記憶装置１４００は、周辺回路１４１１、およびメモリセルアレイ１４７０を有する。周辺回路１４１１は、行回路１４２０、列回路１４３０、出力回路１４４０、およびコントロールロジック回路１４６０を有する。

［０４７２］

列回路１４３０は、例えば、列デコーダ、プリチャージ回路、センスアンプ、書き込み回路等を有する。プリチャージ回路は、配線をプリチャージする機能を有する。センスアンプは、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ１４７０が有するメモリセルに接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路１４４０を介して、データ信号ＲＤＡＴＡとして記憶装置１４００の外部に出力される。また、行回路１４２０は、例えば、行デコーダ、ワード線ドライバ回路等を有し、アクセスする行を選択することができる。

［０４７３］

記憶装置１４００には、外部から電源電圧として低電源電圧（ＶＳＳ）、周辺回路１４１１用の高電源電圧（ＶＤＤ）、メモリセルアレイ１４７０用の高電源電圧（ＶＩＬ）が供給される。また、記憶装置１４００には、制御信号（ＣＥ、ＷＥＮ、ＲＥＳ）、アドレス信号ＡＤＤＲ、データ信号ＷＤＡＴＡが外部から入力される。アドレス信号ＡＤＤＲは、行デコーダおよび列デコーダに入力され、データ信号ＷＤＡＴＡは書き込み回路に入力される。

［０４７４］

コントロールロジック回路１４６０は、外部から入力される制御信号（ＣＥ、ＷＥＮ、ＲＥＳ）を処理して、行デコーダ、列デコーダの制御信号を生成する。制御信号ＣＥは、チップイネーブル信号であり、制御信号ＷＥＮは、書き込みイネーブル信号であり、制御信号ＲＥＳは、読み出しイネーブル信号である。コントロールロジック回路１４６０が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

［０４７５］

メモリセルアレイ１４７０は、行列状に配置された、複数個のメモリセルＭＣと、複数の配線を有する。なお、メモリセルアレイ１４７０と行回路１４２０とを接続している配線の数は、メモリセルＭＣの構成、一列に有するメモリセルＭＣの数などによって決まる。また、メモリセルアレイ１４７０と列回路１４３０とを接続している配線の数は、メモリセルＭＣの構成、一行に有するメモリセルＭＣの数などによって決まる。

［０４７６］

なお、図２８Ａにおいて、周辺回路１４１１とメモリセルアレイ１４７０を同一平面上に形成する例について示したが、本実施の形態はこれに限られない。例えば、図２８Ｂに示すように、周辺回路１４１１の一部の上に、メモリセルアレイ１４７０が重なるように設けられてもよい。例えば、メモリセルアレイ１４７０の下に重なるように、センスアンプを設ける構成にしてもよい。ＯＳトランジスタは、記憶装置の配線を形成するＢＥＯＬ（Ｂａｃｋ ｅｎｄ ｏｆ ｌｉｎｅ）工程中に形成することができる。よって、メモリセルアレイ１４７０にＯＳトランジスタを用い、メモリセルアレイ１４７０の下に重なる周辺回路１４１１にＳｉトランジスタを用いる場合、Ｓｉトランジスタの上方に直接ＯＳトランジスタを形成する技術（ＢＥＯＬ－Ｔｒ技術と呼称する）を適用できる。

［０４７７］

また、メモリセルアレイ１４７０を複数積層する構成にしてもよい。複数のメモリセルアレイ１４７０を積層することにより、メモリセルアレイ１４７０の占有面積を増やすことなく、メモリセルを集積して配置することができる。つまり、３Ｄセルアレイを構成することができる。このようにして、メモリセルの高集積化を図り、記憶容量の大きい半導体装置を提供できる。なお、ＯＳトランジスタを含む層はモノリシックに積層可能であるため、好適である。

［０４７８］

なお、本実施の形態に示す、周辺回路１４１１、メモリセルアレイ１４７０等の構成は、上記に限定されるものではない。これらの回路、および当該回路に接続される配線、回路素子等の、配置または機能は、必要に応じて、変更、削除、または追加してもよい。本発明の一態様の記憶装置は、動作速度が速く、長期間のデータ保持が可能である。

［０４７９］

図２９Ａ乃至図２９Ｉ、及び図３１Ａに上述のメモリセルＭＣに適用できるメモリセルの構成例について説明する。

［０４８０］

［ＤＯＳＲＡＭ］

図２９Ａ乃至図２９Ｃに、ＤＲＡＭのメモリセルの回路構成例を示す。本明細書等において、１ＯＳトランジスタ１容量素子型のメモリセルを用いたＤＲＡＭを、ＤＯＳＲＡＭ（Ｄｙｎａｍｉｃ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）と呼ぶ場合がある。図２９Ａに示す、メモリセル１４７１は、トランジスタＭ１と、容量素子ＣＡと、を有する。なお、トランジスタＭ１は、ゲート（トップゲートと呼ぶ場合がある）、及びバックゲートを有する。

［０４８１］

トランジスタＭ１の第１端子は、容量素子ＣＡの第１端子と接続され、トランジスタＭ１の第２端子は、配線ＢＩＬと接続され、トランジスタＭ１のゲートは、配線ＷＯＬと接続され、トランジスタＭ１のバックゲートは、配線ＢＧＬと接続されている。容量素子ＣＡの第２端子は、配線ＬＬと接続されている。

［０４８２］

配線ＢＩＬは、ビット線として機能し、配線ＷＯＬは、ワード線として機能する。配線ＬＬは、容量素子ＣＡの第２端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線ＬＬは、接地電位でも、低レベル電位としてもよい。配線ＢＧＬは、

トランジスタＭ１のバックゲートに電位を印加するための配線として機能する。配線ＢＧＬに任意の電位を印加することによって、トランジスタＭ１のしきい値電圧を増減することができる。

［０４８３］

ここで、図２９Ａに示すメモリセル１４７１は、図２６に示す記憶装置に対応している。つまり、トランジスタＭ１はトランジスタ２００に、容量素子ＣＡは容量素子１００に対応している。

［０４８４］

また、メモリセルＭＣは、メモリセル１４７１に限定されず、回路構成の変更を行うことができる。例えば、メモリセルＭＣは、図２９Ｂに示すメモリセル１４７２のように、トランジスタＭ１のバックゲートが、配線ＢＧＬでなく、配線ＷＯＬと接続される構成にしてもよい。また、例えば、メモリセルＭＣは、図２９Ｃに示すメモリセル１４７３ように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタＭ１で構成されたメモリセルとしてもよい。

［０４８５］

上記実施の形態に示す半導体装置をメモリセル１４７１等に用いる場合、トランジスタＭ１としてトランジスタ２００を用い、容量素子ＣＡとして容量素子１００を用いることができる。トランジスタＭ１としてＯＳトランジスタを用いることによって、トランジスタＭ１のリーク電流を非常に小さくすることができる。つまり、書き込んだデータをトランジスタＭ１によって長時間保持できるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル１４７１、メモリセル１４７２、メモリセル１４７３に対して多値データ、又はアナログデータを保持できる。

［０４８６］

また、ＤＯＳＲＡＭにおいて、上記のように、メモリセルアレイ１４７０の下に重なるように、センスアンプを設ける構成にすると、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減できる。

［０４８７］

［ＮＯＳＲＡＭ］

図２９Ｄ乃至図２９Ｇに、２トランジスタ１容量素子のゲインセル型のメモリセルの回路構成例を示す。図２９Ｄに示す、メモリセル１４７４は、トランジスタＭ２と、トランジスタＭ３と、容量素子ＣＢと、を有する。なお、トランジスタＭ２は、トップゲート（単にゲートと呼ぶ場合がある）、及びバックゲートを有する。本明細書等において、トランジスタＭ２にＯＳトランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、ＮＯＳＲＡＭ（Ｎｏｎｖｏｌａｔｉｌｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ ＲＡＭ）と呼ぶ場合がある。

［０４８８］

トランジスタＭ２の第１端子は、容量素子ＣＢの第１端子と接続され、トランジスタＭ２の第２端子は、配線ＷＢＬと接続され、トランジスタＭ２のゲートは、配線ＷＯＬと接続され、トランジスタＭ２のバックゲートは、配線ＢＧＬと接続されている。容量素子ＣＢの第２端子は、配線ＣＡＬと接続されている。トランジスタＭ３の第１端子は、配線ＲＢＬと接続され、トランジスタＭ３の第２端子は、配線ＳＬと接続され、トランジスタＭ３のゲートは、容量素子ＣＢの第１端子と接続されている。

［０４８９］

配線ＷＢＬは、書き込みビット線として機能し、配線ＲＢＬは、読み出しビット線として機能し、配線ＷＯＬは、ワード線として機能する。配線ＣＡＬは、容量素子ＣＢの第２端子に所定の電位を印加するための配線として機能する。データの書き込み時、およびデータの読み出し時においては、配線ＣＡＬには、高レベル電位を印加するのが好ましい。また、データ保持中においては、配線ＣＡＬには、低レベル電位を印加するのが好ましい。配線ＢＧＬは、トランジスタＭ２のバックゲートに電位を印加するための配線として機能する。配線ＢＧＬに任意の電位を印加することによって、トランジスタＭ２のしきい値電圧を増減することができる。

［０４９０］

ここで、図２９Ｄに示すメモリセル１４７４は、図２７に示す記憶装置に対応している。つまり、トランジスタＭ２はトランジスタ２００に、容量素子ＣＢは容量素子１００に、トランジスタＭ３はトランジスタ３００に、配線ＷＢＬは配線１００３に、配線ＷＯＬは配線１００４に、配線ＢＧＬは配線１００６に、配線ＣＡＬは配線１００５に、配線ＲＢＬは配線１００２に、配線ＳＬは配線１００１に対応している。

［０４９１］

また、メモリセルＭＣは、メモリセル１４７４に限定されず、回路の構成を適宜変更することができる。例えば、メモリセルＭＣは、図２９Ｅに示すメモリセル１４７５のように、トランジスタＭ２のバックゲートが、配線ＢＧＬでなく、配線ＷＯＬと接続される構成にしてもよい。また、例えば、メモリセルＭＣは、図２９Ｆに示すメモリセル１４７６のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタＭ２で構成されたメモリセルとしてもよい。また、例えば、メモリセルＭＣは、図２９Ｇに示すメモリセル１４７７のように、配線ＷＢＬと配線ＲＢＬを一本の配線ＢＩＬとしてまとめた構成であってもよい。

［０４９２］

上記実施の形態に示す半導体装置をメモリセル１４７４等に用いる場合、トランジスタＭ２としてトランジスタ２００を用い、トランジスタＭ３としてトランジスタ３００を用い、容量素子ＣＢとして容量素子１００を用いることができる。トランジスタＭ２としてＯＳトランジスタを用いることによって、トランジスタＭ２のリーク電流を非常に小さくすることができる。これにより、書き込んだデータをトランジスタＭ２によって長時間保持できるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル１４７４に多値データ、又はアナログデータを保持できる。メモリセル１４７５乃至メモリセル１４７７も同様である。

［０４９３］

なお、トランジスタＭ３は、チャネル形成領域にシリコンを有するトランジスタ（以下、Ｓｉトランジスタと呼ぶ場合がある）であってもよい。Ｓｉトランジスタの導電型は、ｎチャネル型としてもよいし、ｐチャネル型としてもよい。Ｓｉトランジスタは、ＯＳトランジスタよりも電界効果移動度が高くなる場合がある。よって、読み出しトランジスタとして機能するトランジスタＭ３として、Ｓｉトランジスタを用いてもよい。また、トランジスタＭ３にＳｉトランジスタを用いることで、トランジスタＭ３の上に積層してトランジスタＭ２を設けることができるため、メモリセルの占有面積を低減し、記憶装置の高集積化を図ることができる。

［０４９４］

また、トランジスタＭ３はＯＳトランジスタであってもよい。トランジスタＭ２およびトランジ

スタＭ３にＯＳトランジスタを用いた場合、メモリセルアレイ１４７０をｎチャネル型トランジスタのみを用いて回路を構成することができる。

［０４９５］

また、図２９Ｈに３トランジスタ１容量素子のゲインセル型のメモリセルの一例を示す。図２９Ｈに示すメモリセル１４７８は、トランジスタＭ４乃至トランジスタＭ６、および容量素子ＣＣを有する。容量素子ＣＣは適宜設けられる。メモリセル１４７８は、配線ＢＩＬ、配線ＲＷＬ、配線ＷＷＬ、配線ＢＧＬ、および配線ＧＮＤＬに電気的に接続されている。配線ＧＮＤＬは低レベル電位を与える配線である。なお、メモリセル１４７８を、配線ＢＩＬに代えて、配線ＲＢＬ、配線ＷＢＬに電気的に接続してもよい。

［０４９６］

トランジスタＭ４は、バックゲートを有するＯＳトランジスタであり、バックゲートは配線ＢＧＬに電気的に接続されている。なお、トランジスタＭ４のバックゲートとゲートとを互いに電気的に接続してもよい。あるいは、トランジスタＭ４はバックゲートを有さなくてもよい。

［０４９７］

なお、トランジスタＭ５、トランジスタＭ６はそれぞれ、ｎチャネル型Ｓｉトランジスタまたはｐチャネル型Ｓｉトランジスタでもよい。或いは、トランジスタＭ４乃至トランジスタＭ６がＯＳトランジスタでもよい。この場合、メモリセルアレイ１４７０をｎチャネル型トランジスタのみを用いて回路を構成することができる。

［０４９８］

上記実施の形態に示す半導体装置をメモリセル１４７８に用いる場合、トランジスタＭ４としてトランジスタ２００を用い、トランジスタＭ５、トランジスタＭ６としてトランジスタ３００を用い、容量素子ＣＣとして容量素子１００を用いることができる。トランジスタＭ４としてＯＳトランジスタを用いることによって、トランジスタＭ４のリーク電流を非常に小さくすることができる。

［０４９９］

また、図２９Ｉに２トランジスタのゲインセル型のメモリセルの一例を示す。図２９Ｉに示すメモリセル１４７９は、トランジスタＭ７及びトランジスタＭ８を有する。メモリセル１４７９は、配線ＢＩＬ、配線ＷＷＬ、配線ＢＧＬ、および配線ＳＬに電気的に接続されている。

［０５００］

トランジスタＭ７は、バックゲートを有するＯＳトランジスタであり、バックゲートは配線ＢＧＬに電気的に接続されている。なお、トランジスタＭ７のバックゲートとゲートとを互いに電気的に接続してもよい。または、トランジスタＭ７はバックゲートを有さなくてもよい。

［０５０１］

図２９Ｉに示すメモリセル１４７９では、トランジスタＭ８のゲート容量を保持容量として用いる。つまり、メモリセル１４７９は、キャパシタレスメモリセルともいえる。また、メモリセル１４７９は、図２９Ｇに示すメモリセル１４７７において容量素子ＣＢを有さない構成とみなすことができ、２トランジスタ０容量素子のゲインセル型のメモリセルともいえる。

［０５０２］

トランジスタＭ７としてＯＳトランジスタを用いることで、トランジスタＭ７をオフ状態とすることで、トランジスタＭ７のソース電極またはドレイン電極の一方と、トランジスタＭ８のゲート電極とが電気的に接続されたノードの電荷を極めて長時間にわたって保持することが可能となる。

したがって、不揮発性のメモリセルを実現できる。

［０５０３］

トランジスタＭ８は、ｎチャネル型Ｓｉトランジスタまたはｐチャネル型Ｓｉトランジスタでもよい。

［０５０４］

上記実施の形態に示す半導体装置をメモリセル１４７９に用いる場合、トランジスタＭ７としてトランジスタ２００を用い、トランジスタＭ８としてトランジスタ３００を用いることができる。トランジスタＭ７としてＯＳトランジスタを用いることによって、トランジスタＭ７のリーク電流を非常に小さくすることができる。

［０５０５］

または、トランジスタＭ８はＯＳトランジスタでもよい。この場合、メモリセルアレイ１４７０をｎチャネル型トランジスタのみを用いて回路を構成することができる。

［０５０６］

上記実施の形態に示す半導体装置をメモリセル１４７９に用いる場合、トランジスタＭ７、トランジスタＭ８としてトランジスタ２００を用いることができる。当該構成にすることで、トランジスタＭ７、トランジスタＭ８を同じ層に形成することが可能となる。したがって、トランジスタＭ７とトランジスタＭ８を別の層に設ける場合と比較して、メモリセル１４７９を有する層を積層する際の作製工程を簡略化し、生産性の向上を図ることができる。

［０５０７］

トランジスタＭ７、トランジスタＭ８としてトランジスタ２００を用いる場合、トランジスタＭ７、及びトランジスタＭ８に求める特性に合わせて、トランジスタの構成要素（チャネル長、チャネル幅、断面形状などを含む）を適宜設定すればよい。

［０５０８］

なお、トランジスタＭ８に用いる半導体材料に関わらず、トランジスタＭ８の構造は特に限定されない。例えば、プレーナ型のトランジスタ、スタガ型のトランジスタ、逆スタガ型のトランジスタ等を用いることができる。また、トップゲート型またはボトムゲート型のいずれのトランジスタ構造としてもよい。または、チャネルが形成される半導体層の上下にゲートが設けられていてもよい。

［０５０９］

上述したように、メモリセルアレイ１４７０を複数積層する構成にしてもよい。複数のメモリセルアレイ１４７０を積層することにより、メモリセルアレイ１４７０の占有面積を増やすことなく、メモリセルを集積して配置することができる。つまり、３Ｄセルアレイを構成することができる。複数のメモリセルアレイ１４７０が積層された構成を有する記憶装置の一例を図３０に示す。

［０５１０］

図３０に示す記憶装置は、トランジスタ３００を有する第１の層と、第１の層上のメモリセルアレイ１４７０［1］乃至メモリセルアレイ１４７０［m］（図３０では、メモリセルアレイ１４７０［1］及びメモリセルアレイ１４７０［2］だけを図示）と、を有する。なお、図３０に示す記憶装置は、絶縁体３２６より下の構成は、図２６に示す記憶装置と同様である。

［０５１１］

メモリセルアレイ１４７０［1］乃至メモリセルアレイ１４７０［m］のそれぞれは、複数のメ

モリセルＭＣを有する。また、複数のメモリセルＭＣのそれぞれは、トランジスタ２００と、容量素子１００と、を有する。ここで、トランジスタ２００は、先の実施の形態で説明したトランジスタ２００に対応し、容量素子１００は、先の実施の形態で説明した容量素子１００又は容量素子１００Ａに対応している。なお、図３０には、トランジスタ２００及び容量素子１００として、図２２に示すトランジスタ２００及び容量素子１００を適用した例を示す。

［０５１２］

第１の層とメモリセルアレイ１４７０の間、または２つのメモリセルアレイ１４７０の間には、層間膜、配線、及びプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

［０５１３］

絶縁体３２６の上方に絶縁体２１０が設けられ、絶縁体２１０に形成された開口部の内側に導電体２０９が設けられる。さらに、絶縁体２１０上に絶縁体２１５が設けられる。絶縁体２１５に形成された開口部には、メモリセルアレイ１４７０［１］に設けられた導電体２４０の一部が埋め込まれている。ここで、絶縁体２１０は、絶縁体２１６に適用できる絶縁体を用いることができる。

［０５１４］

導電体２０９の下面に接して導電体（図示せず）が設けられる。また、導電体２０９の上面は、メモリセルアレイ１４７０［１］に設けられた導電体２４０の下面に接して設けられる。このような構成にすることで、配線ＢＬとして機能する導電体２４０を、メモリセルアレイ１４７０の下方に設けられるスイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、およびダイオードなどの回路素子、配線、電極、または、端子と電気的に接続することができる。

［０５１５］

メモリセルアレイ１４７０［１］乃至メモリセルアレイ１４７０［ｍ］は、それぞれ、複数のメモリセルＭＣを含む。各メモリセルＭＣが有する導電体２４０は、上の層の導電体２４０、及び下の層の導電体２４０と電気的に接続される。

［０５１６］

図３０に示すように、隣接するメモリセルＭＣにおいて、導電体２４０が共有されている。また、隣接するメモリセルＭＣにおいて、導電体２４０を境に、右側の構成と左側の構成と、が対称に配置される。

［０５１７］

ここで、下の層（例えばメモリセルアレイ１４７０［１］の層）の容量素子１００の上部電極として機能する導電体１６０と、上の層（例えば、メモリセルアレイ１４７０［２］の層）のトランジスタ２００の第２のゲート電極として機能する導電体２６１は、同じ層に形成することができる。言い換えると、下の層の容量素子１００の導電体１６０と、上の層のトランジスタ２００の導電体２６１は、同一の絶縁体２１６に形成された開口にそれぞれ埋め込まれるように形成することができる。下の層の容量素子１００の導電体１６０及び上の層のトランジスタ２００の導電体２６１を、一つの導電膜を加工して形成することで、上記のような構成になる。このとき、下の層の容量素子１００の導電体１６０は、上の層のトランジスタ２００の導電体２６１と同一の材料を有する。

［０５１８］

以上のように、下の層の容量素子１００の導電体１６０と、上の層のトランジスタ２００の導電体２６１を同時に形成することで、本実施の形態に係る記憶装置の作製工程を削減し、当該記憶装置の生産性を向上することができる。

［０５１９］

上述のメモリセルアレイ１４７０では、複数のメモリセルアレイ（メモリセルアレイ１４７０［１］乃至メモリセルアレイ１４７０［m］を積層して設けることができる。メモリセルアレイ１４７０が有するメモリセルアレイ１４７０［１］乃至メモリセルアレイ１４７０［m］は、基板表面の垂直方向に配置することで、メモリセルのメモリ密度の向上を図ることができる。またメモリセルアレイ１４７０は、垂直方向に繰り返し同じ製造工程を用いて作製できる。図３０に示す記憶装置は、メモリセルアレイ１４７０の製造コストの低減を図ることができる。

［０５２０］

［強誘電体メモリ］

図３１Ａに、強誘電体キャパシタを用いたメモリセルの回路構成例を示す。メモリセル１４８０は、トランジスタＭ９と、容量素子Ｃｆｅと、を有する。ここで、メモリセル１４８０として、図２３Ａ乃至図２５Ｂに示す、トランジスタ２００および容量素子１００Ａを有する半導体装置を用いることができる。この場合、トランジスタＭ９はトランジスタ２００に、容量素子Ｃｆｅは容量素子１００Ａに対応する。なお、トランジスタＭ９は、バックゲートを有してもよいし、有していなくてもよい。

［０５２１］

トランジスタＭ９として、先の実施の形態で説明したＯＳトランジスタを用いることが好ましい。ＯＳトランジスタは、ソースとドレインとの間の絶縁耐圧が高いという特性を有する。つまり、ＯＳトランジスタは微小高耐圧デバイスと呼ぶことができる。よって、トランジスタＭ９をＯＳトランジスタとすることにより、トランジスタＭ９を微細化しても、トランジスタＭ９に高電圧を印加することができる。トランジスタＭ９を微細化することにより、半導体装置の占有面積を小さくすることができる。よって、半導体装置を高密度に配置することができる。これにより、記憶容量が大きな記憶装置を実現できる。

［０５２２］

トランジスタＭ９のソース又はドレインの一方は、配線ＢＬと電気的に接続される。トランジスタＭ９のソース又はドレインの他方は、容量素子Ｃｆｅの一方の電極と電気的に接続される。トランジスタＭ９のゲートは、配線ＷＬと電気的に接続される。容量素子Ｃｆｅの他方の電極は、配線ＰＬと電気的に接続される。

［０５２３］

配線ＷＬは、ワード線としての機能を有し、配線ＷＬの電位を制御することにより、トランジスタＭ９のオン状態と、オフ状態と、を制御することができる。例えば、配線ＷＬの電位を高電位（Ｈ）とすることにより、トランジスタＭ９をオン状態とし、配線ＷＬの電位を低電位（Ｌ）とすることにより、トランジスタＭ９をオフ状態とすることができる。配線ＷＬは、行回路１４２０が有するワード線ドライバ回路と電気的に接続され、ワード線ドライバ回路により、配線ＷＬの電位を制御できる。

［０５２４］

配線ＢＬは、ビット線としての機能を有し、トランジスタＭ９がオン状態である場合において、

配線ＢＬの電位に対応する電位が、容量素子Ｃｆｅの一方の電極に供給される。配線ＢＬは、列回路１４３０のビット線ドライバ回路と電気的に接続される。ビット線ドライバ回路は、メモリセルＭＣへ書き込まれるデータを生成する機能を有する。また、ビット線ドライバ回路は、メモリセルＭＣから出力されたデータを読み出す機能を有する。具体的には、ビット線ドライバ回路にはセンスアンプが設けられ、メモリセルＭＣから出力されたデータを、センスアンプを用いて読み出すことができる。

［０５２５］

配線ＰＬは、プレート線としての機能を有する。容量素子Ｃｆｅの他方の電極は、配線ＰＬを介して電位が供給される。

［０５２６］

容量素子Ｃｆｅは、２つの電極の間に、誘電体層として強誘電性を有し得る材料を有する。強誘電性を有しうる材料としては、上述の絶縁体１３０に適用できる材料を用いればよい。薄膜化することができる強誘電体層とすることで、微細化されたトランジスタと組み合わされた記憶装置とすることができる。以下では、容量素子Ｃｆｅが有する誘電体層を、強誘電体層と呼ぶ。

［０５２７］

容量素子Ｃｆｅが有する強誘電体層は、ヒステリシス特性を有する。図３１Ｂは、当該ヒステリシス特性の一例を示すグラフである。図３１Ｂにおいて、横軸は強誘電体層に印加する電圧を示す。当該電圧は、例えば容量素子Ｃｆｅの一方の電極の電位と、容量素子Ｃｆｅの他方の電極の電位と、の差とすることができる。

［０５２８］

また、図３１Ｂにおいて、縦軸は強誘電体層の分極を示し、正の値の場合は、正電荷が容量素子Ｃｆｅの一方の電極側に偏り、負電荷が容量素子Ｃｆｅの他方の電極側に偏っていることを示す。一方、分極が負の値の場合は、正電荷が容量素子Ｃｆｅの他方の電極側に偏り、負電荷が容量素子Ｃｆｅの一方の電極側に偏っていることを示す。

［０５２９］

なお、図３１Ｂのグラフの横軸に示す電圧を、容量素子Ｃｆｅの他方の電極の電位と、容量素子Ｃｆｅの一方の電極の電位と、の差としてもよい。また、図３１Ｂのグラフの縦軸に示す分極を、正電荷が容量素子Ｃｆｅの他方の電極側に偏り、負電荷が容量素子Ｃｆｅの一方の電極側に偏っている場合に正の値とし、正電荷が容量素子Ｃｆｅの一方の電極側に偏り、負電荷が容量素子Ｃｆｅの他方の電極側に偏っている場合に負の値としてもよい。

［０５３０］

図３１Ｂに示すように、強誘電体層のヒステリシス特性は、曲線６１と、曲線６２と、により表すことができる。曲線６１と、曲線６２と、の交点における電圧を、ＶＳＰ、及び－ＶＳＰとする。ＶＳＰと－ＶＳＰは、極性が異なるということができる。

［０５３１］

強誘電体層に－ＶＳＰ以下の電圧を印加した後に、強誘電体層に印加する電圧を高くしていくと、強誘電体層の分極は、曲線６１に従って増加する。一方、強誘電体層にＶＳＰ以上の電圧を印加した後に、強誘電体層に印加する電圧を低くしていくと、強誘電体層の分極は、曲線６２に従って減少する。よって、ＶＳＰ、及び－ＶＳＰは、それぞれ飽和分極電圧ということができる。なお、例えば、ＶＳＰを第１の飽和分極電圧と呼び、－ＶＳＰを第２の飽和分極電圧と呼ぶ場合がある。ま

た、図３１Ｂでは、第１の飽和分極電圧の絶対値と、第２の飽和分極電圧の絶対値と、が等しい場合を示しているが、両者の絶対値は異なっていてもよい。

［０５３２］

ここで、強誘電体層の分極が曲線６１に従って変化する際の、強誘電体層の分極が０である場合における、強誘電体層に印加される電圧をＶｃとする。また、強誘電体層の分極が曲線６２に従って変化する際の、強誘電体層の分極が０である場合における、強誘電体層に印加される電圧を－Ｖｃとする。Ｖｃ、及び－Ｖｃは、それぞれ抗電圧ということができる。Ｖｃの値、及び－Ｖｃの値は、－ＶＳＰとＶＳＰの間の値であるということができる。なお、例えば、Ｖｃを第１の抗電圧と呼び、－Ｖｃを第２の抗電圧と呼ぶ場合がある。また、図３１Ｂでは、第１の抗電圧の絶対値と、第２の抗電圧の絶対値と、が等しいとしているが、両者の絶対値は異なってもよい。

［０５３３］

また、強誘電体層に電圧が印加されていない時の、分極の最大値を「残留分極Ｐｒ」と呼び、最小値を「残留分極－Ｐｒ」と呼ぶ。また、残留分極Ｐｒと、残留分極－Ｐｒと、の差を、「残留分極２Ｐｒ」と呼ぶ。

［０５３４］

上述のように、容量素子Ｃｆｅが有する強誘電体層に印加される電圧は、容量素子Ｃｆｅの一方の電極の電位と、容量素子Ｃｆｅの他方の電極の電位と、の差により表すことができる。また、上述のように、容量素子Ｃｆｅの他方の電極は、配線ＰＬと電気的に接続される。よって、配線ＰＬの電位を制御することにより、容量素子Ｃｆｅが有する強誘電体層に印加される電圧を制御することができる。

［０５３５］

図３１Ａに示すメモリセル１４８０の駆動方法の一例を説明する。以下の説明において、容量素子Ｃｆｅの強誘電体層に印加される電圧とは、容量素子Ｃｆｅの一方の電極の電位と、容量素子Ｃｆｅの他方の電極（配線ＰＬ）の電位と、の差（電位差）である。また、トランジスタＭ９は、ｎチャネル型トランジスタとする。

［０５３６］

図３１Ｃは、メモリセル１４８０の駆動方法例を示すタイミングチャートである。図３１Ｃでは、メモリセル１４８０に２値のデジタルデータを書き込み、読み出す例を示している。具体的には、図３１Ｃでは、時刻Ｔ０１乃至時刻Ｔ０２においてメモリセル１４８０にデータ“１”を書き込み、時刻Ｔ０３乃至時刻Ｔ０５において読み出し及び再書き込みを行い、時刻Ｔ１１乃至時刻Ｔ１３において読み出し、及びメモリセル１４８０へのデータ“０”の書き込みを行い、時刻Ｔ１４乃至時刻Ｔ１６において読み出し及び再書き込みを行い、時刻Ｔ１７乃至時刻Ｔ１９において読み出し、及びメモリセル１４８０へのデータ“１”の書き込みを行う例を示している。

［０５３７］

配線ＢＬと電気的に接続されるセンスアンプには、基準電位としてＶｒｅｆが供給されるものとする。図３１Ｃ等に示す読み出し動作において、配線ＢＬの電位がＶｒｅｆより高い場合は、ビット線ドライバ回路により、データ“１”が読み出されるものとする。一方、配線ＢＬの電位がＶｒｅｆより低い場合は、ビット線ドライバ回路により、データ“０”が読み出されるものとする。

［０５３８］

時刻Ｔ０１乃至時刻Ｔ０２において、配線ＷＬの電位を高電位とする。これにより、トランジス

タＭ９がオン状態となる。また、配線ＢＬの電位をＶｗとする。トランジスタＭ９はオン状態であるため、容量素子Ｃｆｅの一方の電極の電位はＶｗとなる。さらに、配線ＰＬの電位をＧＮＤとする。以上より、容量素子Ｃｆｅの強誘電体層に印加される電圧は、“Ｖｗ－ＧＮＤ”となる。これにより、メモリセル１４８０にデータ“１”を書き込むことができる。よって、時刻Ｔ０１乃至時刻Ｔ０２は、書き込み動作を行う期間であるということができる。

［０５３９］

ここで、Ｖｗは、ＶＳＰ以上とすることが好ましく、例えば、ＶＳＰと等しくすることが好ましい。また、本明細書等において、ＧＮＤは接地電位であるが、メモリセル１４８０を本発明の一態様の趣旨を充足するように駆動させることができるのであれば、必ずしも接地電位としなくてもよい。例えば、第１の飽和分極電圧の絶対値と、第２の飽和分極電圧の絶対値と、が異なり、第１の抗電圧の絶対値と、第２の抗電圧の絶対値と、が異なる場合は、ＧＮＤは接地以外の電位とすることができる。

［０５４０］

時刻Ｔ０２乃至時刻Ｔ０３において、配線ＢＬの電位、及び配線ＰＬの電位をＧＮＤとする。これにより、容量素子Ｃｆｅの強誘電体層に印加される電圧は、０Ｖとなる。時刻Ｔ０１乃至時刻Ｔ０２において、容量素子Ｃｆｅの強誘電体層に印加される電圧“Ｖｗ－ＧＮＤ”をＶＳＰ以上とすることができることから、時刻Ｔ０２乃至時刻Ｔ０３において、容量素子Ｃｆｅの強誘電体層の分極量は図３１Ｂに示す曲線６２に従って変化する。以上より、時刻Ｔ０２乃至時刻Ｔ０３では、容量素子Ｃｆｅの強誘電体層において分極反転は発生しない。

［０５４１］

配線ＢＬの電位、及び配線ＰＬの電位をＧＮＤとした後、配線ＷＬの電位を低電位とする。これにより、トランジスタＭ９がオフ状態となる。以上により、書き込み動作が完了し、メモリセル１４８０へデータ“１”が保持される。なお、配線ＢＬ、及び配線ＰＬの電位は、容量素子Ｃｆｅの強誘電体層において分極反転が発生しない、つまり容量素子Ｃｆｅの強誘電体層に印加される電圧が第２の抗電圧である－Ｖｃ以上となるのであれば任意の電位とすることができる。

［０５４２］

時刻Ｔ０３乃至時刻Ｔ０４において、配線ＷＬの電位を高電位とする。これにより、トランジスタＭ９がオン状態となる。また、配線ＰＬの電位をＶｗとする。配線ＰＬの電位をＶｗとすることにより、容量素子Ｃｆｅの強誘電体層に印加される電圧が、“ＧＮＤ－Ｖｗ”となる。上述のように、時刻Ｔ０１乃至時刻Ｔ０２において容量素子Ｃｆｅの強誘電体層に印加される電圧は“Ｖｗ－ＧＮＤ”である。よって、容量素子Ｃｆｅの強誘電体層において分極反転が発生する。分極反転の際に、配線ＢＬに電流が流れ、配線ＢＬの電位はＶｒｅｆより高くなる。よって、ビット線ドライバ回路が、メモリセル１４８０に保持されたデータ“１”を読み出すことができる。したがって、時刻Ｔ０３乃至時刻Ｔ０４は、読み出し動作を行う期間であるということができる。なお、ＶｒｅｆはＧＮＤより高く、Ｖｗより低いものとしているが、例えばＶｗより高くてもよい。

［０５４３］

上記読み出しは、破壊読み出しであるため、メモリセル１４８０に保持されたデータ“１”は失われる。そこで、時刻Ｔ０４乃至時刻Ｔ０５において、配線ＢＬの電位をＶｗとし、配線ＰＬの電位をＧＮＤとする。これにより、メモリセル１４８０にデータ“１”を再書き込みする。よって、時刻Ｔ０４乃至時刻Ｔ０５は、再書き込み動作を行う期間であるということができる。

［０５４４］

時刻Ｔ０５乃至時刻Ｔ１１において、配線ＢＬの電位、及び配線ＰＬの電位をＧＮＤとする。その後、配線ＷＬの電位を低電位とする。以上により、再書き込み動作が完了し、メモリセル１４８０にデータ“１”が保持される。

［０５４５］

時刻Ｔ１１乃至時刻Ｔ１２において、配線ＷＬの電位を高電位とし、配線ＰＬの電位をＶｗとする。メモリセル１４８０にはデータ“１”が保持されているため、配線ＢＬの電位がＶｒｅｆより高くなり、メモリセル１４８０に保持されているデータ“１”が読み出される。よって、時刻Ｔ１１乃至時刻Ｔ１２は、読み出し動作を行う期間であるということができる。

［０５４６］

時刻Ｔ１２乃至時刻Ｔ１３において、配線ＢＬの電位をＧＮＤとする。トランジスタＭ９はオン状態であるため、容量素子Ｃｆｅの一方の電極の電位はＧＮＤとなる。また、配線ＰＬの電位をＶｗとする。以上より、容量素子Ｃｆｅの強誘電体層に印加される電圧は、“ＧＮＤ－Ｖｗ”となる。これにより、メモリセル１４８０にデータ“０”を書き込むことができる。よって、時刻Ｔ１２乃至時刻Ｔ１３は、書き込み動作を行う期間であるということができる。

［０５４７］

時刻Ｔ１３乃至時刻Ｔ１４において、配線ＢＬの電位、及び配線ＰＬの電位をＧＮＤとする。これにより、容量素子Ｃｆｅの強誘電体層に印加される電圧は、０Ｖとなる。時刻Ｔ１２乃至時刻Ｔ１３において容量素子Ｃｆｅの強誘電体層に印加される電圧“ＧＮＤ－Ｖｗ”は－ＶＳＰ以下とすることができることから、時刻Ｔ１３乃至時刻Ｔ１４において、容量素子Ｃｆｅの強誘電体層の分極量は図３１Ｂに示す曲線６１に従って変化する。以上より、時刻Ｔ１３乃至時刻Ｔ１４では、容量素子Ｃｆｅの強誘電体層において分極反転は発生しない。

［０５４８］

配線ＢＬの電位、及び配線ＰＬの電位をＧＮＤとした後、配線ＷＬの電位を低電位とする。これにより、トランジスタＭ９がオフ状態となる。以上により、書き込み動作が完了し、メモリセル１４８０へデータ“０”が保持される。なお、配線ＢＬ、及び配線ＰＬの電位は、容量素子Ｃｆｅの強誘電体層において分極反転が発生しない、つまり容量素子Ｃｆｅの強誘電体層に印加される電圧が第１の抗電圧であるＶｃ以下となるのであれば任意の電位とすることができる。

［０５４９］

時刻Ｔ１４乃至時刻Ｔ１５において、配線ＷＬの電位を高電位とする。これにより、トランジスタＭ９がオン状態となる。また、配線ＰＬの電位をＶｗとする。配線ＰＬの電位をＶｗとすることにより、容量素子Ｃｆｅの強誘電体層に印加される電圧が、“ＧＮＤ－Ｖｗ”となる。上述のように、時刻Ｔ１２乃至時刻Ｔ１３において容量素子Ｃｆｅの強誘電体層に印加される電圧は“ＧＮＤ－Ｖｗ”である。よって、容量素子Ｃｆｅの強誘電体層において分極反転が発生しない。よって、配線ＢＬに流れる電流量は、容量素子Ｃｆｅの強誘電体層において分極反転が発生する場合より小さい。これにより、配線ＢＬの電位の上昇幅は、容量素子Ｃｆｅの強誘電体層において分極反転が発生する場合より小さくなり、具体的には配線ＢＬの電位はＶｒｅｆ以下となる。よって、ビット線ドライバ回路が、メモリセル１４８０に保持されたデータ“０”を読み出すことができる。したがって、時刻Ｔ１４乃至時刻Ｔ１５は、読み出し動作を行う期間であるということができる。

［０５５０］

時刻Ｔ１５乃至時刻Ｔ１６において、配線ＢＬの電位をＧＮＤとし、配線ＰＬの電位をＶｗとする。これにより、メモリセル１４８０にデータ“０”を再書き込みする。よって、時刻Ｔ１５乃至時刻Ｔ１６は、再書き込み動作を行う期間であるということができる。

［０５５１］

時刻Ｔ１６乃至時刻Ｔ１７において、配線ＢＬの電位、及び配線ＰＬの電位をＧＮＤとする。その後、配線ＷＬの電位を低電位とする。以上により、再書き込み動作が完了し、メモリセル１４８０にデータ“０”が保持される。

［０５５２］

時刻Ｔ１７乃至時刻Ｔ１８において、配線ＷＬの電位を高電位とし、配線ＰＬの電位をＶｗとする。メモリセル１４８０にはデータ“０”が保持されているため、配線ＢＬの電位がＶｒｅｆより低くなり、メモリセル１４８０に保持されているデータ“０”が読み出される。よって、時刻Ｔ１７乃至時刻Ｔ１８は、読み出し動作を行う期間であるということができる。

［０５５３］

時刻Ｔ１８乃至時刻Ｔ１９において、配線ＢＬの電位をＶｗとする。トランジスタＭ９はオン状態であるため、容量素子Ｃｆｅの一方の電極の電位はＶｗとなる。また、配線ＰＬの電位をＧＮＤとする。以上より、容量素子Ｃｆｅの強誘電体層に印加される電圧は、“Ｖｗ－ＧＮＤ”となる。これにより、メモリセル１４８０にデータ“１”を書き込むことができる。よって、時刻Ｔ１８乃至時刻Ｔ１９は、書き込み動作を行う期間であるということができる。

［０５５４］

時刻Ｔ１９以降において、配線ＢＬの電位、及び配線ＰＬの電位をＧＮＤとする。その後、配線ＷＬの電位を低電位とする。以上により、書き込み動作が完了し、メモリセル１４８０にデータ“１”が保持される。

［０５５５］

容量素子Ｃｆｅに強誘電体層を用いた半導体装置は、電力供給が停止しても書き込まれた情報を保持可能な、不揮発性の記憶素子として機能する。

［０５５６］

また、ＤＲＡＭでは、定期的なリフレッシュ動作が必要になるため、消費電力が増加する。容量素子Ｃｆｅに強誘電体層を用いた半導体装置は、リフレッシュ動作が不要であるため、消費電力を低減できる。

［０５５７］

本明細書等において、強誘電体層を含む記憶素子又は記憶回路を、「強誘電体メモリ」又は「ＦＥメモリ」と呼ぶ場合がある。よって、本発明の一態様の半導体装置は、強誘電体メモリであり、ＦＥメモリでもある。ＦＥメモリは、1×10^{10}以上、好ましくは1×10^{12}以上、より好ましくは1×10^{15}以上の書き換え回数の実現を期待することができる。また、ＦＥメモリは、１０ＭＨｚ以上、好ましくは１ＧＨｚ以上の動作周波数の実現を期待することができる。

［０５５８］

また、ＦＥメモリにおいて、残留分極２Ｐｒとデータ保持能力には相関があり、残留分極２Ｐｒが小さくなると、データの保持能力が低下する。本明細書等では、残留分極２Ｐｒが５％低下する（データの保持能力が５％低下する）までの期間を「メモリ保持期間」と呼ぶ。ＦＥメモリは、１５０℃又は２００℃の温度環境下において、１０日以上、好ましくは１年以上、より好ましくは１

０年以上のメモリ保持期間の実現を期待することができる。

［０５５９］

また、ＦＥメモリは、ＣＰＵ、ＧＰＵ（Ｇｒａｐｈｉｃｓ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）などの、キャッシュメモリ及びレジスタなどにも適用可能である。ＣＰＵのキャッシュメモリ及びレジスタなどにＦＥメモリを組み合わせることで、ノーマリーオフＣＰＵ（ＮｏｆｆＣＰＵ（登録商標））を実現できる。ＧＰＵのキャッシュメモリ及びレジスタなどにＦＥメモリを組み合わせることで、ノーマリーオフＧＰＵ（ＮｏｆｆＧＰＵ（登録商標））を実現できる。

［０５６０］

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

［０５６１］

（実施の形態４）

本実施の形態では、図３２Ａおよび図３２Ｂを用いて、本発明の半導体装置が実装されたチップ１２００の一例を示す。チップ１２００には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を一つのチップに集積する技術を、システムオンチップ（Ｓｙｓｔｅｍ　ｏｎ　Ｃｈｉｐ：ＳｏＣ）と呼ぶ場合がある。

［０５６２］

図３２Ａに示すように、チップ１２００は、ＣＰＵ１２１１、ＧＰＵ１２１２、一または複数のアナログ演算部１２１３、一または複数のメモリコントローラ１２１４、一または複数のインターフェース１２１５、一または複数のネットワーク回路１２１６等を有する。

［０５６３］

チップ１２００には、バンプ（図示しない）が設けられ、図３２Ｂに示すように、パッケージ基板１２０１の第１の面と接続する。また、パッケージ基板１２０１の第１の面の裏面には、複数のバンプ１２０２が設けられており、マザーボード１２０３と接続する。

［０５６４］

マザーボード１２０３には、ＤＲＡＭ１２２１、フラッシュメモリ１２２２等の記憶装置が設けられていてもよい。例えば、ＤＲＡＭ１２２１に先の実施の形態に示すＤＯＳＲＡＭを用いることができる。また、例えば、フラッシュメモリ１２２２に先の実施の形態に示すＮＯＳＲＡＭを用いることができる。

［０５６５］

ＣＰＵ１２１１は、複数のＣＰＵコアを有することが好ましい。また、ＧＰＵ１２１２は、複数のＧＰＵコアを有することが好ましい。また、ＣＰＵ１２１１、およびＧＰＵ１２１２は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、ＣＰＵ１２１１、およびＧＰＵ１２１２に共通のメモリが、チップ１２００に設けられていてもよい。該メモリには、上述したＮＯＳＲＡＭまたは、ＤＯＳＲＡＭを用いることができる。また、ＧＰＵ１２１２は、多数のデータの並列計算に適しており、画像処理または積和演算に用いることができる。ＧＰＵ１２１２に、本発明の酸化物半導体を用いた画像処理回路または、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

［０５６６］

また、ＣＰＵ１２１１、およびＧＰＵ１２１２が同一チップに設けられていることで、ＣＰＵ１

２１１およびＧＰＵ１２１２間の配線を短くすることができ、ＣＰＵ１２１１からＧＰＵ１２１２へのデータ転送、ＣＰＵ１２１１、およびＧＰＵ１２１２が有するメモリ間のデータ転送、およびＧＰＵ１２１２での演算後に、ＧＰＵ１２１２からＣＰＵ１２１１への演算結果の転送を高速に行うことができる。

［０５６７］

アナログ演算部１２１３はA／D（アナログ／デジタル）変換回路、およびD／A（デジタル／アナログ）変換回路の一、または両方を有する。また、アナログ演算部１２１３に上記積和演算回路を設けてもよい。

［０５６８］

メモリコントローラ１２１４は、ＤＲＡＭ１２２１のコントローラとして機能する回路、およびフラッシュメモリ１２２２のインターフェースとして機能する回路を有する。

［０５６９］

インターフェース１２１５は、表示装置、スピーカ、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ　Ｓｅｒｉａｌ　Ｂｕｓ）、HDMI（登録商標）（Ｈｉｇｈ－Ｄｅｆｉｎｉｔｉｏｎ　Ｍｕｌｔｉｍｅｄｉａ　Ｉｎｔｅｒｆａｃｅ）などを用いることができる。

［０５７０］

ネットワーク回路１２１６は、ＬＡＮ（Ｌｏｃａｌ　Ａｒｅａ　Ｎｅｔｗｏｒｋ）などのネットワーク回路を有する。また、ネットワークセキュリティー用の回路を有してもよい。

［０５７１］

チップ１２００には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ１２００に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ１２００を低コストで作製できる。

［０５７２］

ＧＰＵ１２１２を有するチップ１２００が設けられたパッケージ基板１２０１、ＤＲＡＭ１２２１、およびフラッシュメモリ１２２２が設けられたマザーボード１２０３は、ＧＰＵモジュール１２０４と呼ぶことができる。

［０５７３］

ＧＰＵモジュール１２０４は、ＳｏＣ技術を用いたチップ１２００を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップＰＣ、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いることが好適である。また、ＧＰＵ１２１２を用いた積和演算回路により、ディープニューラルネットワーク（ＤＮＮ）、畳み込みニューラルネットワーク（ＣＮＮ）、再帰型ニューラルネットワーク（ＲＮＮ）、自己符号化器、深層ボルツマンマシン（ＤＢＭ）、深層信念ネットワーク（ＤＢＮ）などの手法を実行することができるため、チップ１２００をＡＩチップ、またはＧＰＵモジュール１２０４をＡＩシステムモジュールとして用いることができる。

［０５７４］

以上、本実施の形態に示す構成、方法などは、少なくともその一部を、本明細書中に記載する他の実施の形態、他の実施例などと適宜組み合わせて実施することができる。

［０５７５］

（実施の形態５）

本実施の形態では、先の実施の形態に示す記憶装置を用いた半導体装置の応用例について説明する。先の実施の形態に示す記憶装置は、メモリカード（例えば、ＳＤカード）、ＵＳＢメモリ、ＳＳＤ（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用できる。図３３Ａ乃至図３３Ｅにリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

［０５７６］

図３３ＡはＵＳＢメモリの模式図である。ＵＳＢメモリ１１００は、筐体１１０１、キャップ１１０２、ＵＳＢコネクタ１１０３および基板１１０４を有する。基板１１０４は、筐体１１０１に収納されている。例えば、基板１１０４には、メモリチップ１１０５、コントローラチップ１１０６が取り付けられている。メモリチップ１１０５などに先の実施の形態に示す記憶装置または半導体装置を組み込むことができる。

［０５７７］

図３３ＢはＳＤカードの外観の模式図であり、図３３Ｃは、ＳＤカードの内部構造の模式図である。ＳＤカード１１１０は、筐体１１１１、コネクタ１１１２および基板１１１３を有する。基板１１１３は筐体１１１１に収納されている。例えば、基板１１１３には、メモリチップ１１１４、コントローラチップ１１１５が取り付けられている。基板１１１３の裏面側にもメモリチップ１１１４を設けることで、ＳＤカード１１１０の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板１１１３に設けてもよい。これによって、ホスト装置とＳＤカード１１１０間の無線通信によって、メモリチップ１１１４のデータの読み出し、書き込みが可能となる。メモリチップ１１１４などに先の実施の形態に示す記憶装置または半導体装置を組み込むことができる。

［０５７８］

図３３ＤはＳＳＤの外観の模式図であり、図３３Ｅは、ＳＳＤの内部構造の模式図である。ＳＳＤ１１５０は、筐体１１５１、コネクタ１１５２および基板１１５３を有する。基板１１５３は筐体１１５１に収納されている。例えば、基板１１５３には、メモリチップ１１５４、メモリチップ１１５５、コントローラチップ１１５６が取り付けられている。メモリチップ１１５５はコントローラチップ１１５６のワークメモリであり、例えばＤＯＳＲＡＭチップを用いればよい。基板１１５３の裏面側にもメモリチップ１１５４を設けることで、ＳＳＤ１１５０の容量を増やすことができる。メモリチップ１１５４などに先の実施の形態に示す記憶装置または半導体装置を組み込むことができる。

［０５７９］

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

［０５８０］

（実施の形態６）

本実施の形態では、チャネル形成領域に酸化物半導体を有するトランジスタ（ＯＳトランジスタ）について、説明する。なお、ＯＳトランジスタの説明において、チャネル形成領域にシリコンを有するトランジスタ（Ｓｉトランジスタともいう）との比較についても簡単に説明する。

［０５８１］

［ＯＳトランジスタ］

ＯＳトランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は１×１０^{18}ｃｍ$^{-3}$以下、好ましくは１×１０^{17}ｃｍ$^{-3}$未満、より好ましくは１×１０^{16}ｃｍ$^{-3}$未満、さらに好ましくは１×１０^{13}ｃｍ$^{-3}$未満、さらに好ましくは１×１０^{10}ｃｍ$^{-3}$未満であり、１×１０$^{-9}$ｃｍ$^{-3}$以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

［０５８２］

また、高純度真性又は実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

［０５８３］

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素等が挙げられる。なお、酸化物半導体中の不純物とは、例えば、酸化物半導体を構成する主成分以外をいう。例えば、濃度が０．１原子％未満の元素は不純物と言える。

［０５８４］

また、ＯＳトランジスタは、酸化物半導体中のチャネル形成領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、ＯＳトランジスタは、酸化物半導体中の酸素欠損に水素が入った欠陥（以下、V_OHと呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合がある。また、チャネル形成領域にV_OHが形成されると、チャネル形成領域中のドナー濃度が増加する場合がある。チャネル形成領域中のドナー濃度が増加するにつれ、しきい値電圧がばらつくことがある。このため、酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネル形成領域では、不純物、酸素欠損、およびV_OHはできる限り低減されていることが好ましい。

［０５８５］

また、酸化物半導体のバンドギャップは、シリコンのバンドギャップ（代表的には１．１ｅＶ）よりも大きいことが好ましく、好ましくは２ｅＶ以上、より好ましくは２．５ｅＶ以上、さらに好ましくは３．０ｅＶ以上である。シリコンよりも、バンドギャップの大きい酸化物半導体を用いることで、トランジスタのオフ電流（Ｉｏｆｆとも呼称する）を低減できる。

［０５８６］

また、Ｓｉトランジスタでは、トランジスタの微細化が進むにつれて、短チャネル効果（Ｓｈｏ

ｒｔ　Ｃｈａｎｎｅｌ　Ｅｆｆｅｃｔ：ＳＣＥともいう）が発現する。そのため、Ｓｉトランジスタでは、微細化が困難となる。短チャネル効果が発現する要因の一つとして、シリコンのバンドギャップが小さいことが挙げられる。一方、ＯＳトランジスタは、バンドギャップの大きい半導体材料である、酸化物半導体を用いるため、短チャネル効果の抑制を図ることができる。別言すると、ＯＳトランジスタは、短チャネル効果がない、または短チャネル効果が極めて少ないトランジスタである。

［０５８７］

なお、短チャネル効果とは、トランジスタの微細化（チャネル長の縮小）に伴って顕在化する電気特性の劣化である。短チャネル効果の具体例としては、しきい値電圧の低下、サブスレッショルドスイング値（Ｓ値と表記することがある）の増大、漏れ電流の増大などがある。ここで、Ｓ値とは、ドレイン電圧一定にてドレイン電流を１桁変化させるサブスレッショルド領域でのゲート電圧の変化量をいう。

［０５８８］

また、短チャネル効果に対する耐性の指標として、特性長（Ｃｈａｒａｃｔｅｒｉｓｔｉｃ　Ｌｅｎｇｔｈ）が広く用いられている。特性長とは、チャネル形成領域のポテンシャルの曲がりやすさの指標である。特性長が小さいほどポテンシャルが急峻に立ち上がるため、短チャネル効果に強いといえる。

［０５８９］

ＯＳトランジスタは蓄積型のトランジスタであり、Ｓｉトランジスタは反転型のトランジスタである。したがって、Ｓｉトランジスタと比較して、ＯＳトランジスタは、ソース領域－チャネル形成領域間の特性長、及びドレイン領域－チャネル形成領域間の特性長が小さい。したがって、ＯＳトランジスタは、Ｓｉトランジスタよりも短チャネル効果に強い。すなわち、チャネル長の短いトランジスタを作製したい場合においては、ＯＳトランジスタは、Ｓｉトランジスタよりも好適である。

［０５９０］

チャネル形成領域がｉ型又は実質的にｉ型となるまで、酸化物半導体のキャリア濃度を下げた場合においても、短チャネルのトランジスタではＣｏｎｄｕｃｔｉｏｎ－Ｂａｎｄ－Ｌｏｗｅｒｉｎｇ（ＣＢＬ）効果により、チャネル形成領域の伝導帯下端が下がるため、ソース領域またはドレイン領域と、チャネル形成領域との間の伝導帯下端のエネルギー差は、０．１ｅＶ以上０．２ｅＶ以下まで小さくなる可能性がある。これにより、ＯＳトランジスタは、チャネル形成領域がn^-型の領域となり、ソース領域およびドレイン領域がn^+型の領域となる、n^+／n^-／n^+の蓄積型ｊｕｎｃｔｉｏｎ－ｌｅｓｓトランジスタ構造、または、n^+／n^-／n^+の蓄積型ｎｏｎ－ｊｕｎｃｔｉｏｎトランジスタ構造と、捉えることもできる。

［０５９１］

ＯＳトランジスタを、上記の構造とすることで、半導体装置を微細化または高集積化しても良好な電気特性を有することができる。例えば、ＯＳトランジスタのゲート長が、２０ｎｍ以下、１５ｎｍ以下、１０ｎｍ以下、７ｎｍ以下、または６ｎｍ以下であって、１ｎｍ以上、３ｎｍ以上、または５ｎｍ以上であっても、良好な電気特性を得ることができる。一方で、Ｓｉトランジスタは、短チャネル効果が発現するため、２０ｎｍ以下、または１５ｎｍ以下のゲート長とすることが困難な場合がある。したがって、ＯＳトランジスタは、Ｓｉトランジスタと比較してチャネル長の短い

トランジスタに好適に用いることができる。なお、ゲート長とは、トランジスタ動作時にキャリアがチャネル形成領域内部を移動する方向における、ゲート電極の長さである。

［０５９２］

また、ＯＳトランジスタを微細化することで、トランジスタの高周波特性を向上させることができる。具体的には、トランジスタの遮断周波数を向上させることができる。ＯＳトランジスタのゲート長が上記範囲のいずれかである場合、トランジスタの遮断周波数を、例えば室温環境下で、５０ＧＨｚ以上、好ましくは１００ＧＨｚ以上、さらに好ましくは１５０ＧＨｚ以上とすることができる。

［０５９３］

以上の説明の通り、ＯＳトランジスタは、Ｓｉトランジスタと比較し、オフ電流が小さいこと、チャネル長の短いトランジスタの作製が可能なこと、といった優れた効果を有する。

［０５９４］

本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

［０５９５］

（実施の形態７）

本実施の形態では、上記実施の形態で説明した半導体装置を用いることができる、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンター（Ｄａｔａ　Ｃｅｎｔｅｒ：ＤＣとも呼称する）について説明する。本発明の一態様の半導体装置を用いた、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンターは、低消費電力化といった高性能化に有効である。

［０５９６］

［電子部品］

電子部品７００が実装された基板（実装基板７０４）の斜視図を、図３４Ａに示す。図３４Ａに示す電子部品７００は、モールド７１１内に半導体装置７１０を有している。図３４Ａは、電子部品７００の内部を示すために、一部の記載を省略している。電子部品７００は、モールド７１１の外側にランド７１２を有する。ランド７１２は電極パッド７１３と電気的に接続され、電極パッド７１３は半導体装置７１０とワイヤ７１４を介して電気的に接続されている。電子部品７００は、例えばプリント基板７０２に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板７０２上で電気的に接続されることで実装基板７０４が完成する。

［０５９７］

また、半導体装置７１０は、駆動回路層７１５と、記憶層７１６と、を有する。なお、記憶層７１６は、複数のメモリセルアレイが積層された構成である。なお、記憶層７１６は、メモリセルアレイを含む層が１層設けられた構成であってもよい。駆動回路層７１５と、記憶層７１６と、が積層された構成は、モノリシック積層の構成とすることができる。モノリシック積層の構成では、ＴＳＶ（Ｔｈｒｏｕｇｈ　Ｓｉｌｉｃｏｎ　Ｖｉａ）などの貫通電極技術、および、Ｃｕ－Ｃｕ直接接合などの接合技術、を用いることなく、各層間を接続することができる。駆動回路層７１５と、記憶層７１６と、をモノリシックに積層することで、例えば、プロセッサ上にメモリが直接形成される、いわゆるオンチップメモリの構成とすることができる。オンチップメモリの構成とすることで、プロセッサと、メモリとのインターフェース部分の動作を高速にすることが可能となる。

［０５９８］

また、オンチップメモリの構成とすることで、ＴＳＶなどの貫通電極を用いる技術と比較し、接続配線などのサイズを小さくすることが可能であるため、接続ピン数を増加させることも可能となる。接続ピン数を増加させることで、並列動作が可能となるため、メモリのバンド幅（メモリバンド幅ともいう）を向上させることが可能となる。

［０５９９］

また、記憶層７１６が有する、複数のメモリセルアレイを、ＯＳトランジスタを用いて形成し、当該複数のメモリセルアレイをモノリシックで積層することが好ましい。複数のメモリセルアレイをモノリシック積層の構成とすることで、メモリのバンド幅、及びメモリのアクセスレイテンシのいずれか一または双方を向上させることができる。なお、バンド幅とは、単位時間あたりのデータ転送量であり、アクセスレイテンシとは、アクセスしてからデータのやり取りが始まるまでの時間である。なお、記憶層７１６にＳｉトランジスタを用いる構成の場合、ＯＳトランジスタと比較し、モノリシック積層の構成とすることが困難である。そのため、モノリシック積層の構成において、ＯＳトランジスタは、Ｓｉトランジスタよりも優れた構造であるといえる。

［０６００］

また、半導体装置７１０を、ダイと呼称してもよい。なお、本明細書等において、ダイとは、半導体チップの製造工程で、例えば円盤状の基板（ウエハともいう）などに回路パターンを形成し、さいの目状に切り分けて得られたチップ片を表す。なお、ダイに用いることのできる半導体材料として、例えば、シリコン（Ｓｉ）、炭化ケイ素（ＳｉＣ）、または窒化ガリウム（ＧａＮ）などが挙げられる。例えば、シリコン基板（シリコンウエハともいう）から得られたダイを、シリコンダイという場合がある。

［０６０１］

次に、電子部品７３０の斜視図を図３４Ｂに示す。電子部品７３０は、ＳｉＰ（Ｓｙｓｔｅｍ ｉｎ Ｐａｃｋａｇｅ）又はMCM（Ｍｕｌｔｉ Ｃｈｉｐ Ｍｏｄｕｌｅ）の一例である。電子部品７３０は、パッケージ基板７３２（プリント基板）上にインターポーザ７３１が設けられ、インターポーザ７３１上に半導体装置７３５、及び複数の半導体装置７１０が設けられている。

［０６０２］

電子部品７３０では、半導体装置７１０を広帯域メモリ（ＨＢＭ：Ｈｉｇｈ Ｂａｎｄｗｉｄｔｈ Ｍｅｍｏｒｙ）として用いる例を示している。また、半導体装置７３５は、ＣＰＵ（Ｃｅｎｔｒａｌ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）、ＧＰＵ（Ｇｒａｐｈｉｃｓ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）、又はＦＰＧＡ（Ｆｉｅｌｄ Ｐｒｏｇｒａｍｍａｂｌｅ Ｇａｔｅ Ａｒｒａｙ）等の集積回路に用いることができる。

［０６０３］

パッケージ基板７３２は、例えば、セラミックス基板、プラスチック基板、又は、ガラスエポキシ基板を用いることができる。インターポーザ７３１は、例えば、シリコンインターポーザ、又は樹脂インターポーザを用いることができる。

［０６０４］

インターポーザ７３１は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電気的に接続する機能を有する。複数の配線は、単層又は多層で設けられる。また、インターポーザ７３１は、インターポーザ７３１上に設けられた集積回路をパッケージ基板７３２に設けられた電極と電気的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」又は「中間基板」

と呼ぶ場合がある。また、インターポーザ７３１に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板７３２を電気的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、ＴＳＶを用いることもできる。

［０６０５］

ＨＢＭでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、ＨＢＭを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、ＨＢＭを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

［０６０６］

また、シリコンインターポーザを用いた、ＳｉＰ及びＭＣＭ等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する２．５Ｄパッケージ（２．５次元実装）では、シリコンインターポーザを用いることが好ましい。

［０６０７］

一方で、シリコンインターポーザ、及びＴＳＶなどを用いて端子ピッチの異なる複数の集積回路を電気的に接続する場合、当該端子ピッチの幅などのスペースが必要となる。そのため、電子部品７３０のサイズを小さくしようとした場合、上記の端子ピッチの幅が問題になり、広いメモリバンド幅を実現するために必要な多くの配線を設けることが、困難になる場合がある。そこで、上述したように、ＯＳトランジスタを用いたモノリシック積層の構成が好適である。ＴＳＶを用いて積層したメモリセルアレイと、モノリシック積層したメモリセルアレイと、を組み合わせた複合化構造としてもよい。

［０６０８］

また、電子部品７３０と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ７３１上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品７３０では、半導体装置７１０と半導体装置７３５の高さを揃えることが好ましい。

［０６０９］

電子部品７３０を他の基板に実装するため、パッケージ基板７３２の底部に電極７３３を設けてもよい。図３４Ｂでは、電極７３３を半田ボールで形成する例を示している。パッケージ基板７３２の底部に半田ボールをマトリクス状に設けることで、ＢＧＡ（Ｂａｌｌ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。また、電極７３３を導電性のピンで形成してもよい。パッケージ基板７３２の底部に導電性のピンをマトリクス状に設けることで、ＰＧＡ（Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。

［０６１０］

電子部品７３０は、ＢＧＡ及びＰＧＡに限らず様々な実装方法を用いて他の基板に実装することができる。実装方法としては、例えば、ＳＰＧＡ（Ｓｔａｇｇｅｒｅｄ　Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）、ＬＧＡ（Ｌａｎｄ　Ｇｒｉｄ　Ａｒｒａｙ）、ＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）、ＱＦＪ（Ｑｕａｄ　Ｆｌａｔ　Ｊ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）、及び、ＱＦＮ（Ｑｕａｄ　Ｆｌａｔ　Ｎｏｎ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）が挙げられる。

［０６１１］

［電子機器］

次に、電子機器６５００の斜視図を図３５Ａに示す。図３５Ａに示す電子機器６５００は、スマートフォンとして用いることのできる携帯情報端末機である。電子機器６５００は、筐体６５０１、表示部６５０２、電源ボタン６５０３、ボタン６５０４、スピーカ６５０５、マイク６５０６、カメラ６５０７、光源６５０８、及び制御装置６５０９などを有する。なお、制御装置６５０９としては、例えば、ＣＰＵ、ＧＰＵ、及び記憶装置の中から選ばれるいずれか一または複数を有する。本発明の一態様の半導体装置は、表示部６５０２、制御装置６５０９などに適用できる。

［０６１２］

図３５Ｂに示す電子機器６６００は、ノート型コンピュータとして用いることのできる情報端末機である。電子機器６６００は、筐体６６１１、キーボード６６１２、ポインティングデバイス６６１３、外部接続ポート６６１４、表示部６６１５、制御装置６６１６などを有する。なお、制御装置６６１６としては、例えば、ＣＰＵ、ＧＰＵ、及び記憶装置の中から選ばれるいずれか一または複数を有する。本発明の一態様の半導体装置は、表示部６６１５、制御装置６６１６などに適用できる。なお、本発明の一態様の半導体装置を、上述の制御装置６５０９、及び制御装置６６１６に用いることで、消費電力を低減させることができるため好適である。

［０６１３］

［大型計算機］

次に、大型計算機５６００の斜視図を図３５Ｃに示す。図３５Ｃに示す大型計算機５６００には、ラック５６１０にラックマウント型の計算機５６２０が複数格納されている。なお、大型計算機５６００を、スーパーコンピュータと呼称してもよい。

［０６１４］

計算機５６２０は、例えば、図３５Ｄに示す斜視図の構成とすることができる。図３５Ｄにおいて、計算機５６２０は、マザーボード５６３０を有し、マザーボード５６３０は、複数のスロット５６３１、複数の接続端子を有する。スロット５６３１には、ＰＣカード５６２１が挿入されている。加えて、ＰＣカード５６２１は、接続端子５６２３、接続端子５６２４、接続端子５６２５を有し、それぞれ、マザーボード５６３０に接続されている。

［０６１５］

図３５Ｅに示すＰＣカード５６２１は、ＣＰＵ、ＧＰＵ、記憶装置などを備えた処理ボードの一例である。ＰＣカード５６２１は、ボード５６２２を有する。また、ボード５６２２は、接続端子５６２３と、接続端子５６２４と、接続端子５６２５と、半導体装置５６２６と、半導体装置５６２７と、半導体装置５６２８と、接続端子５６２９と、を有する。なお、図３５Ｅには、半導体装置５６２６、半導体装置５６２７、および半導体装置５６２８以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置５６２６、半導体装置５６２７、および半導体装置５６２８の説明を参照すればよい。

［０６１６］

接続端子５６２９は、マザーボード５６３０のスロット５６３１に挿入することができる形状を有しており、接続端子５６２９は、ＰＣカード５６２１とマザーボード５６３０とを接続するためのインターフェースとして機能する。接続端子５６２９の規格としては、例えば、ＰＣＩｅなどが挙げられる。

［０６１７］

接続端子５６２３、接続端子５６２４、接続端子５６２５は、例えば、ＰＣカード５６２１に対して電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、ＰＣカード５６２１によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子５６２３、接続端子５６２４、接続端子５６２５のそれぞれの規格としては、例えば、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ　Ｓｅｒｉａｌ　Ｂｕｓ）、ＳＡＴＡ（Ｓｅｒｉａｌ　ＡＴＡ）、ＳＣＳＩ（Ｓｍａｌｌ　Ｃｏｍｐｕｔｅｒ　Ｓｙｓｔｅｍ　Ｉｎｔｅｒｆａｃｅ）などが挙げられる。また、接続端子５６２３、接続端子５６２４、接続端子５６２５から映像信号を出力する場合、それぞれの規格としては、ＨＤＭＩ（登録商標）などが挙げられる。

［０６１８］

半導体装置５６２６は、信号の入出力を行う端子（図示しない。）を有しており、当該端子をボード５６２２が備えるソケット（図示しない。）に対して差し込むことで、半導体装置５６２６とボード５６２２を電気的に接続することができる。

［０６１９］

半導体装置５６２７は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５６２７とボード５６２２を電気的に接続することができる。半導体装置５６２７としては、例えば、ＦＰＧＡ、ＧＰＵ、ＣＰＵなどが挙げられる。半導体装置５６２７として、例えば、電子部品７３０を用いることができる。

［０６２０］

半導体装置５６２８は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５６２８とボード５６２２を電気的に接続することができる。半導体装置５６２８としては、例えば、記憶装置などが挙げられる。半導体装置５６２８として、例えば、電子部品７００を用いることができる。

［０６２１］

大型計算機５６００は並列計算機としても機能できる。大型計算機５６００を並列計算機として用いることで、例えば、人工知能の学習、および推論に必要な大規模の計算を行うことができる。

［０６２２］

［宇宙用機器］

本発明の一態様の半導体装置は、情報を処理および記憶する機器などの宇宙用機器に好適に用いることができる。

［０６２３］

本発明の一態様の半導体装置は、ＯＳトランジスタを含むことができる。当該ＯＳトランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射しうる環境において好適に用いることができる。例えば、ＯＳトランジスタは、宇宙空間にて使用する場合に好適に用いることができる。

［０６２４］

図３６には、宇宙用機器の一例として、人工衛星６８００を示している。人工衛星６８００は、機体６８０１と、ソーラーパネル６８０２と、アンテナ６８０３と、二次電池６８０５と、制御装置６８０７と、を有する。なお、図３６においては、宇宙空間に惑星６８０４を例示している。なお、宇宙空間とは、例えば、高度１００ｋｍ以上を指すが、本明細書に記載の宇宙空間は、熱圏、中間圏、及び成層圏を含んでもよい。

［０６２５］

また、図３６には、図示していないが、二次電池６８０５に、バッテリマネジメントシステム（ＢＭＳともいう）、またはバッテリ制御回路を設けてもよい。上述のバッテリマネジメントシステム、またはバッテリ制御回路に、ＯＳトランジスタを用いると、消費電力が低く、且つ宇宙空間においても高い信頼性を有するため好適である。

［０６２６］

また、宇宙空間は、地上に比べて１００倍以上、放射線量の高い環境である。なお、放射線として、例えば、Ｘ線、及びガンマ線に代表される電磁波（電磁放射線）、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線などに代表される粒子放射線が挙げられる。

［０６２７］

ソーラーパネル６８０２に太陽光が照射されることにより、人工衛星６８００が動作するために必要な電力が生成される。しかしながら、例えばソーラーパネルに太陽光が照射されない状況、またはソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星６８００が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星６８００を動作させるために、人工衛星６８００に二次電池６８０５を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールと呼ばれる場合がある。

［０６２８］

人工衛星６８００は、信号を生成することができる。当該信号は、アンテナ６８０３を介して送信され、たとえば地上に設けられた受信機、または他の人工衛星が当該信号を受信することができる。人工衛星６８００が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星６８００は、衛星測位システムを構成することができる。

［０６２９］

また、制御装置６８０７は、人工衛星６８００を制御する機能を有する。制御装置６８０７としては、例えば、ＣＰＵ、ＧＰＵ、及び記憶装置の中から選ばれるいずれか一または複数を用いて構成される。なお、制御装置６８０７には、本発明の一態様であるＯＳトランジスタを有する半導体装置を用いると好適である。ＯＳトランジスタは、Ｓｉトランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射しうる環境においても信頼性が高く、好適に用いることができる。

［０６３０］

また、人工衛星６８００は、センサを有する構成とすることができる。たとえば、可視光センサを有する構成とすることにより、人工衛星６８００は、地上に設けられている物体に当たって反射された太陽光を検出する機能を有することができる。または、熱赤外センサを有する構成とすることにより、人工衛星６８００は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星６８００は、たとえば地球観測衛星としての機能を有することができる。

［０６３１］

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。例えば、本発明の一態様の半導体装置は、宇宙船、宇宙カプセル、宇宙探査機などの宇宙用機器に好適に用いることができる。

［０６３２］

以上の説明の通り、ＯＳトランジスタは、Ｓｉトランジスタと比較し、広いメモリバンド幅の実現が可能なこと、放射線耐性が高いこと、といった優れた効果を有する。

［０６３３］

［データセンター］

本発明の一態様の半導体装置は、例えば、データセンターなどに適用されるストレージシステムに好適に用いることができる。データセンターは、データの不変性を保障するなど、データの長期的な管理を行うことが求められる。長期的なデータを管理する場合、膨大なデータを記憶するためのストレージおよびサーバの設置、データを保持するための安定した電源の確保、あるいはデータの保持に要する冷却設備の確保、など建屋の大型化が必要となる。

［０６３４］

データセンターに適用されるストレージシステムに本発明の一態様の半導体装置を用いることにより、データの保持に要する電力の低減、データを保持する半導体装置の小型化を図ることができる。そのため、ストレージシステムの小型化、データを保持するための電源の小型化、冷却設備の小規模化、などを図ることができる。そのため、データセンターの省スペース化を図ることができる。

［０６３５］

また、本発明の一態様の半導体装置は、消費電力が低いため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、およびモジュールへの悪影響を低減できる。また、本発明の一態様の半導体装置を用いることにより、高温環境下においても動作が安定したデータセンターを実現できる。よってデータセンターの信頼性を高めることができる。

［０６３６］

図３７にデータセンターに適用可能なストレージシステムを示す。図３７に示すストレージシステム７０００は、ホスト７００１（Ｈｏｓｔ　Ｃｏｍｐｕｔｅｒと図示）として複数のサーバ７００１ｓｂを有する。また、ストレージ７００３（Ｓｔｏｒａｇｅと図示）として複数の記憶装置７００３ｍｄを有する。ホスト７００１とストレージ７００３とは、ストレージエリアネットワーク７００４（ＳＡＮ：Ｓｔｏｒａｇｅ　Ａｒｅａ　Ｎｅｔｗｏｒｋと図示）およびストレージ制御回路７００２（Ｓｔｏｒａｇｅ　Ｃｏｎｔｒｏｌｌｅｒと図示）を介して接続されている形態を図示している。

［０６３７］

ホスト７００１は、ストレージ７００３に記憶されたデータにアクセスするコンピュータに相当する。ホスト７００１同士は、ネットワークで互いに接続されていてもよい。

［０６３８］

ストレージ７００３は、フラッシュメモリを用いることで、データのアクセススピード、つまりデータの記憶及び出力に要する時間を短くしているものの、当該時間は、ストレージ内のキャッシュメモリとして用いることのできるＤＲＡＭが要する時間に比べて格段に長い。ストレージシステムでは、ストレージ７００３のアクセススピードの長さの問題を解決するために、通常ストレージ内にキャッシュメモリを設けてデータの記憶及び出力に要する時間を短くしている。

［０６３９］

上述のキャッシュメモリは、ストレージ制御回路７００２およびストレージ７００３内に用いられる。ホスト７００１とストレージ７００３との間でやり取りされるデータは、ストレージ制御回

路７００２およびストレージ７００３内の当該キャッシュメモリに記憶されたのち、ホスト７００１またはストレージ７００３に出力される。

［０６４０］

上述のキャッシュメモリのデータを記憶するためのトランジスタとして、ＯＳトランジスタを用いてデータに応じた電位を保持する構成とすることで、リフレッシュする頻度を減らし、消費電力を低くすることができる。またメモリセルアレイを積層する構成とすることで小型化が可能である。

［０６４１］

なお、本発明の一態様の半導体装置を、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンターの中から選ばれるいずれか一または複数に適用することで、消費電力を低減させる効果が期待される。そのため、半導体装置の高性能化、または高集積化に伴うエネルギー需要の増加が見込まれる中、本発明の一態様の半導体装置を用いることで、二酸化炭素（CO_2）に代表される、温室効果ガスの排出量を低減させることも可能となる。また、本発明の一態様の半導体装置は、低消費電力であるため地球温暖化対策としても有効である。

［０６４２］

本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

［実施例１］

［０６４３］

本実施例では、強誘電性を示す絶縁体として酸化ハフニウムジルコニウム（$HfZrO_X$）を作製し、当該絶縁体の結晶性の評価結果、並びに、当該絶縁体の電圧－分極特性および疲労特性などの測定結果について説明する。また、本実施例では、強誘電体キャパシタを有するメモリセルを作製し、当該メモリセルの測定結果について説明する。

［０６４４］

＜$HfZrO_X$膜の結晶構造＞

本項では、$HfZrO_X$を評価した。具体的には、$HfZrO_X$を含む試料を作製し、ＸＲＤ分析法の一種である斜入射Ｘ線回折法（ＧＩＸＲＤ：Ｇｒａｚｉｎｇ　Ｉｎｃｉｄｅｎｔ　Ｘ－ｒａｙ　Ｄｉｆｆｒａｃｔｉｏｎ）を用いて結晶状態を調査した。

［０６４５］

ＧＩＸＲＤ測定に用いる試料の作製方法について説明する。

［０６４６］

まず、シリコン基板上に、熱酸化処理を用いて膜厚１００ｎｍの酸化シリコン膜を形成し、当該酸化シリコン膜上に、スパッタリング法により膜厚３５ｎｍの第１の窒化チタン膜を成膜した。第１の窒化チタン膜を成膜した後、ＣＭＰ処理を行った。

［０６４７］

次に、第１の窒化チタン膜を加工して島状の第１の窒化チタン層を形成し、島状の第１の窒化チタン層上に、ＡＬＤ法によりＨｆ：Ｚｒ＝１：１［原子数比］の$HfZrO_X$膜を成膜した。プリカーサとして、テトラキス（エチルメチルアミド）ジルコニウム（ＴＥＭＡＺｒ）、及びテトラキス（エチルメチルアミド）ハフニウム（ＴＥＭＡＨｆ）を用い、酸化剤として、オゾン（O_3）を用いた。また、成膜温度を２５０℃とした。なお、$HfZrO_X$膜の膜厚は、１０ｎｍとした。

［０６４８］

次に、上記ＨｆＺｒＯ$_X$膜上に、スパッタリング法により膜厚３０ｎｍの第２の窒化チタン膜を成膜した。第２の窒化チタン膜を成膜した後、加熱処理を行った。当該加熱処理として、ＲＴＡ（Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）装置を用い、窒素雰囲気下で４５０℃、１分間の処理を行った。

［０６４９］

次に、第２の窒化チタン膜を加工して島状の第２の窒化チタン層を形成した。

［０６５０］

以上の工程により、ＧＩＸＲＤ測定に用いる試料を作製した。

［０６５１］

当該試料に対し、ＧＩＸＲＤ測定を行った。ＧＩＸＲＤ測定には、多機能薄膜材料評価Ｘ線回折装置Ｄ８　ＤＩＳＣＯＶＥＲ　Ｈｙｂｒｉｄ／ＴＸＳ（Ｂｒｕｋｅｒ社製）を用いた。なお、当該装置を用いる場合の測定条件として、Ｘ線出力を５０ｋＶ、１００ｍＡとし、入射角θを０．５°とし、走査範囲２θを２７°乃至３３°とした。

［０６５２］

図３８にＧＩＸＲＤ測定結果を示す。図３８は、Ｘ線の回折角度（２θ）と検出された信号強度の関係を示す。図３８において、縦軸は強度（Ｉｎｔｅｎｓｉｔｙ）を示し、横軸は回折角度（２θ）を示す。

［０６５３］

図３８より、２θ＝３０．４°付近にピークが観察された。当該ピークは、強誘電性を示す直方晶に由来することから、上記方法で成膜したＨｆＺｒＯ$_X$膜は、強誘電性を示すことが分かった。

［０６５４］

＜強誘電体層に含まれる結晶粒の大きさ＞

本項では、強誘電体層に含まれる結晶粒の大きさを評価した。

［０６５５］

本項では、２つの試料（試料７００Ａ及び試料７００Ｂ）を作製した。２つの試料は、強誘電体層の膜厚が異なる。

［０６５６］

はじめに、試料の作製方法について説明する。

［０６５７］

まず、シリコン基板上に、熱酸化処理を用いて膜厚１００ｎｍの酸化シリコン膜を形成し、当該酸化シリコン膜上に、スパッタリング法により膜厚６０ｎｍの窒化シリコン膜を成膜し、当該窒化シリコン膜上に、スパッタリング法により膜厚４０ｎｍの酸化アルミニウム膜を成膜した。

［０６５８］

次に、上記酸化アルミニウム膜上に、スパッタリング法により膜厚３０ｎｍのタングステン膜を成膜し、当該タングステン膜上に、スパッタリング法により膜厚１０ｎｍの窒化チタン膜を成膜した。窒化チタン膜を成膜した後、ＣＭＰ処理を行った。

［０６５９］

次に、タングステン膜と窒化チタン膜の積層体を島状に加工し、島状の積層体上に、ＡＬＤ法によりＨｆ：Ｚｒ＝１：１［原子数比］のＨｆＺｒＯ$_X$膜を成膜した。プリカーサとして、トリス（ジメチルアミノ）シクロペンタジエニル・ジルコニウム（ＺｙＡＬＤ（登録商標））、及びＴＥ

ＭＡＨｆを用い、酸化剤として、H_2Oを用いた。また、成膜温度を２５０℃とした。なお、ＨｆＺｒO_X膜の膜厚は、試料７００Ａでは１０ｎｍとし、試料７００Ｂでは２０ｎｍとした。

［０６６０］

以上の工程により、２つの試料を作製した。

［０６６１］

作製した２つの試料のそれぞれについて、ＨｆＺｒO_X膜の表面の平均粗さを測定した。なお、表面の平均粗さは、原子間力顕微鏡（ＡＦＭ：Ａｔｏｍｉｃ　Ｆｏｒｃｅ　Ｍｉｃｒｏｓｃｏｐｅ）にて測定した。ＡＦＭとして、エスアイアイ・ナノテクノロジー株式会社製ＳＰＡ－５００を用い、測定条件は、走査速度１．０Ｈｚ、測定面積１μｍ×１μｍとした。

［０６６２］

ＡＦＭを用いて表面観察を行った結果を図３９Ａ及び図３９Ｂに示す。図３９Ａは、試料７００Ａの測定で得られたＡＦＭデータであり、図３９Ｂは、試料７００Ｂの測定で得られたＡＦＭデータである。

［０６６３］

次に、測定で得られたＡＦＭデータの画像解析を行った。具体的には、ＡＦＭデータを、粒界を検出するよう機械学習された画像解析ソフトを用いて、グレインを識別・分離し、グレインが分離された画像に対してボロノイ解析を行うことで、粒界が構築されたデータを作成した。

［０６６４］

画像解析を行った結果を図３９Ｃ及び図３９Ｄに示す。図３９Ｃは、図３９Ａに示すＡＦＭデータの画像解析を行うことで得られたデータであり、図３９Ｄは、図３９Ｂに示すＡＦＭデータの画像解析を行うことで得られたデータである。つまり、図３９Ｃは、試料７００Ａに関するデータであり、図３９Ｄは、試料７００Ｂに関するデータである。

［０６６５］

次に、図３９Ｃ及び図３９Ｄに示すデータを元に、粒径分布を評価した。図３９Ｅ及び図３９Ｆに粒径分布を評価した結果を示す。

［０６６６］

図３９Ｅ及び図３９Ｆは、粒径に対する面積占有率を示す図である。図３９Ｅ及び図３９Ｆにおいて、縦軸は面積占有率を示し、横軸は粒径を示す。図３９Ｅは、図３９Ｃに示すデータから粒径分布を評価した結果であり、図３９Ｆは、図３９Ｄに示すデータから粒径分布を評価した結果である。つまり、図３９Ｅは、試料７００Ａに対する結果であり、図３９Ｆは、試料７００Ｂに対する結果である。

［０６６７］

図３９Ａ乃至図３９Ｆより、ＨｆＺｒO_X膜の膜厚が大きいほど、粒径のばらつきが大きくなる傾向が観察された。粒径のばらつきが大きいことは、特性のばらつきに影響を及ぼす恐れがある。よって、ＨｆＺｒO_X膜の膜厚は、１５ｎｍ以下が好ましく、１２ｎｍ以下がより好ましい。

［０６６８］

［試料の作製］

絶縁体の電圧－分極特性、及び疲労特性等の測定に用いる試料について説明する。はじめに、４つの試料（試料８００Ａ乃至試料８００Ｄ）を作製した。試料８００Ａ乃至試料８００Ｄは容量素子を有する。なお、試料８００Ａ乃至試料８００Ｄに含まれる容量素子の断面図は、図２５Ｂを参

照できる。また、試料８００Ａ乃至試料８００Ｄは、容量素子の誘電体の膜厚が異なる。

［０６６９］

以下では、４つの試料の作製方法について説明する。なお、試料８００Ａ乃至試料８００Ｄの構成は、誘電体の膜厚が異なる以外は、共通している。

［０６７０］

導電体１１０は、ＣＶＤ法で成膜した窒化チタン膜を用いて形成した。

［０６７１］

容量素子の誘電体として機能する絶縁体１３０は、ＡＬＤ法で成膜した、Ｈｆ：Ｚｒ＝１：１［原子数比］のＨｆＺｒO_X膜を用いて形成した。プリカーサとして、ＴＥＭＡＺｒ及びＴＥＭＡＨｆを用い、酸化剤として、オゾン（O_3）を用いた。また、成膜温度を２５０℃とした。なお、絶縁体１３０の膜厚は、試料８００Ａでは６ｎｍとし、試料８００Ｂでは８ｎｍとし、試料８００Ｃでは１０ｎｍとし、試料８００Ｄでは１２ｎｍとした。

［０６７２］

導電体１２０はスパッタリング法で成膜した窒化チタン膜を用いて形成した。

［０６７３］

導電体１２０を形成した後、ＲＴＡ装置を用いて、４５０℃で６０秒の加熱処理を行った。

［０６７４］

以上より、容量素子を含む試料８００Ａ乃至８００Ｄを作製した。なお、各試料では、設計面積が０．０１６μm^2である容量素子が１０２４個並列接続されている。よって、容量素子の面積の合計は、１６．３８４μm^2となる。また、容量素子の面積は、容量素子の２つの電極が重なる面積と言い換えることができる。

［０６７５］

また、３つの試料（試料８０１Ｃ、試料８０２Ｃ、試料８０３Ｃ）を作製した。当該３つの試料は容量素子を有する。なお、試料８０１Ｃ乃至試料８０３Ｃに含まれる容量素子の断面図は、図２５Ｂを参照できる。また、試料８０１Ｃ乃至試料８０３Ｃは、容量素子の面積が異なる以外は、試料８００Ｃと同じである。よって、試料８０１Ｃ乃至試料８０３Ｃの、容量素子の面積以外の構成は、上述した試料８００Ｃの構成を参照できる。また、試料８０１Ｃ乃至試料８０３Ｃの作製方法は、上述した試料８００Ｃの作製方法を参照できる。

［０６７６］

試料８０１Ｃは、設計面積が９４．９７μm^2である容量素子を１つ有する。試料８０２Ｃでは、設計面積が０．０６μm^2である容量素子が１０２４個並列接続されている。よって、試料８０２Ｃにおける、容量素子の面積の合計は、６１．４４μm^2となる。試料８０３Ｃは、設計面積が１０μm^2である容量素子を１つ有する。

［０６７７］

＜Ｐ－Ｅ特性＞

導電体１２０と導電体１１０の間に三角波を印加し、絶縁体１３０の自発分極の変化（Ｐ－Ｅ特性）を測定した。図４０Ａに入力電圧波形を示す。図４０Ａに示すように、Ｐ－Ｅ特性は、三角波ダブルパルス手法を用いて評価した。なお、三角波ダブルパルス手法は、２つの正の三角波パルスを印加し、続いて２つの負の三角波パルスを印加し、その応答電荷を測定する方法である。印加する三角波において、周波数は１ｋＨｚとし、電界強度は２．５ＭＶ／ｃｍで固定した。なお、印加

する三角波における周波数を測定周波数と呼ぶことがある。また、上述の正の三角波パルスを印加する前に、負の三角波パルス（図４０ＡのＰｏｌｉｎｇ）を印加している。本明細書等では、三角波ダブルパルス手法をＴｒｉａｎｇｌｅ－ＰＵＮＤ（Ｐｏｓｉｔｉｖｅ－ｕｐ－ｎｅｇａｔｉｖｅ－ｄｏｗｎ）手法と呼ぶことがある。

［０６７８］

上述したように、絶縁体１３０の膜厚は試料毎に異なる。よって、電界強度を２．５ＭＶ／ｃｍで固定するため、三角波パルスの電圧を試料毎に異ならせた。具体的には、電圧を、試料８００Ａでは１．５Ｖとし、試料８００Ｂでは２．０Ｖとし、試料８００Ｃでは２．５Ｖとし、試料８００Ｄでは３．０Ｖとした。

［０６７９］

結果を図４０Ｂに示す。図４０Ｂにおいて、縦軸は単位面積あたりの残留分極量（Ｐｏｌａｒｉｚａｔｉｏｎ）を示し、横軸は電界強度Ｅを示す。なお、以降では、単位面積あたりの残留分極量を単に分極と呼ぶことがある。

［０６８０］

図４０Ｂにおいて、点線で示すＰ－Ｅカーブは試料８００Ａの結果であり、実線で示すＰ－Ｅカーブは試料８００Ｂの結果であり、破線で示すＰ－Ｅカーブは試料８００Ｃの結果であり、一点鎖線で示すＰ－Ｅカーブは試料８００Ｄの結果である。なお、図４０Ｂに示す両矢印は、電界強度Ｅが０ＭＶ／ｃｍの時の最小分極と最大分極の差２Ｐｒを示す。

［０６８１］

図４０Ｂより、全ての試料において、ヒステリシス特性が得られた。また、試料８００Ａでは２Ｐｒは小さかったが、試料８００Ｂ乃至試料８００Ｄでは２Ｐｒが大きかった。つまり、絶縁体１３０の膜厚が８ｎｍ以上で、２Ｐｒが大きかった。また、試料８００Ｃにおいて２Ｐｒが最も大きかった。

［０６８２］

また、上述した方法にて、試料８０１Ｃ及び試料８０２ＣのＰ－Ｅ特性の測定も行った。電界強度を２．５ＭＶ／ｃｍで固定するため、試料８０１Ｃ及び試料８０２Ｃでは、電圧を２．５Ｖとした。つまり、試料８００Ｃ乃至試料８０２Ｃでは電圧が同じであるため、試料８００Ｃ乃至試料８０２Ｃを比較する場合においては、Ｐ－Ｅ特性をＰ－Ｖ特性と言い換えることができる。

［０６８３］

Ｐ－Ｖ特性の測定結果を図７１に示す。図７１において、縦軸は単位面積あたりの残留分極量（Ｐｏｌａｒｉｚａｔｉｏｎ）を示し、横軸は電圧（Ｖｏｌｔａｇｅ）を示す。図７１の実線は試料８０１ＣのＰ－Ｖカーブであり、図７１の一点鎖線は試料８０２ＣのＰ－Ｖカーブであり、図７１の破線は試料８００ＣのＰ－Ｖカーブである。

［０６８４］

図７１より、容量素子の面積に依らず、全ての試料において、ヒステリシス特性が得られた。よって、強誘電性を示しつつ、容量素子の微細化を図ることができることが分かった。

［０６８５］

＜疲労特性＞

上述の試料８００Ａ乃至試料８００Ｄに対して行った疲労（Ｅｎｄｕｒａｎｃｅ）特性の測定結果について、説明する。

［０６８６］

図４１Ａに入力電圧波形を示す。図４１Ａに示すように、疲労特性の測定は、台形波を１周期印加することを１サイクルとし、規程サイクル数に達するまで当該台形波を繰り返し印加し（Ｃｙｃｌｉｎｇ）、規定サイクル数毎に上述の三角波ダブルパルス手法を用いてＰ－Ｅ特性を測定し、電界強度Ｅが０の時の最小分極と最大分極の差２Ｐｒを取得した。印加する台形波において、周波数は１００ｋＨｚとし、電界強度は２．５ＭＶ／ｃｍで固定した。なお、印加する台形波における周波数を、疲労周波数（Ｅｎｄｕｒａｎｃｅ　ｆｒｅｑｕｅｎｃｙ）と呼ぶことがある。また、電界強度を固定するため、電圧を、試料８００Ａでは１．５Ｖとし、試料８００Ｂでは２．０Ｖとし、試料８００Ｃでは２．５Ｖとし、試料８００Ｄでは３．０Ｖとした。

［０６８７］

図４１Ｂに、試料８００Ａ乃至試料８００Ｄの疲労特性の測定結果を示す。なお、図４１Ｂにおいて、縦軸は電界強度Ｅが０ＭＶ／ｃｍの時の最小分極と最大分極の差２Ｐｒを示し、横軸はサイクル数（Ｃｙｃｌｅ）を示す。図４１Ｂにおいて、三角印で示すプロットは試料８００Ａの結果であり、菱形印で示すプロットは試料８００Ｂの結果であり、四角印で示すプロットは試料８００Ｃの結果であり、丸印で示すプロットは試料８００Ｄの結果である。

［０６８８］

図４１Ｂより、いずれの試料においてもサイクル数が１×１０^{10}回に達するまで絶縁破壊は生じなかった。つまり、ＨｆＺｒ$Ｏ_{X}$膜の膜厚が６ｎｍと小さくても絶縁破壊は生じなかった。また、サイクル数が１×１０^{10}回時点では、２Ｐｒは、試料８００Ｄが最も大きく、試料８００Ｃが次に大きく、試料８００Ｂが次に大きく、試料８００Ａが最も小さかった。つまり、絶縁体１３０の膜厚が大きいほど２Ｐｒが大きかった。

［０６８９］

図４１Ｂより、いずれの試料においてもサイクル数にしたがって、ウェイクアップとファティーグが観察された。なお、ウェイクアップとは、分極の電荷量が増加する段階、又は２Ｐｒの絶対値が大きくなる段階を指し、ファティーグとは、分極の電荷量が減少する段階、２Ｐｒの絶対値が小さくなる段階を指す。また、初期の２Ｐｒを基準としたときの、サイクル数が１×１０^{10}回後の２Ｐｒは、試料８００Ｂでは約４０％であり、試料８００Ｃでは約６０％であった。上述した＜強誘電体層に含まれる結晶粒の大きさ＞で説明した結果も考慮すると、ＨｆＺｒ$Ｏ_{X}$膜の膜厚は、好ましくは５ｎｍ以上１５ｎｍ以下、より好ましくは８ｎｍ以上１２ｎｍ以下、代表的には１０ｎｍにするとよい。

［０６９０］

また、上述した方法にて、試料８０１Ｃ及び試料８０２Ｃの疲労特性の測定も行った。

［０６９１］

疲労特性の測定結果を図７２に示す。図７２において、縦軸は電界強度Ｅが０ＭＶ／ｃｍの時の、単位面積あたりの分極（Ｐｏｌａｒｉｚａｔｉｏｎ）を示し、横軸はサイクル数（Ｃｙｃｌｅ）を示す。図７２の実線は試料８０１Ｃの結果であり、図７２の一点鎖線は試料８０２Ｃの結果であり、図７２の破線は試料８００Ｃの結果である。

［０６９２］

図７２より、容量素子の面積に依らず、全ての試料において、サイクル数が１×１０^{8}回に達するまで絶縁破壊は生じなかった。

［０６９３］

図４２Ａ及び図４２Ｂに、試料８０３Ｃ及び試料８００Ｃの疲労特性の測定結果をそれぞれ示す。図４２Ａ及び図４２Ｂにおいて、縦軸は電界強度Ｅが０ＭＶ／ｃｍの時の、単位面積当たりの分極Ｐを示し、横軸はサイクル数を示す。図４２Ａより、試料８０３Ｃでは、サイクル数が１×１０^{8}回に達するまで絶縁破壊は生じなかった。また、図４２Ｂより、上述したように、試料８００Ｃでは、サイクル数が１×１０^{10}回に達するまで絶縁破壊は生じなかった。

［０６９４］

＜リテンション測定＞

上述の試料８００Ｃに対して行ったリテンション測定の結果について説明する。

［０６９５］

図４３Ａにリテンション測定の動作シーケンスを示す。図４３Ｂに分極の変化の想定図を示す。図４４にリテンション測定の結果を示す。

［０６９６］

リテンション測定では、東陽テクニカ製の強誘電体特性評価システム「ＦＣＥ１０－Ｆ」を用いた。また、本実施例では、複数の温度条件でリテンション測定をおこなうため、温度調整機能付きステージを備えたプローバーを用いた。

［０６９７］

リテンション測定では、パルス生成器を用いて、試料に電位を与え、その際に流れる電流を測定する。図４３Ａに示したリテンション測定の動作シーケンスについて説明する。なお、リテンション測定は、２条件で行った。

［０６９８］

１つ目の条件（Ｃａｓｅ１）について説明する。期間Ｔ１において、試料に正の三角波パルスを与え、ＨｆＺｒ$Ｏ_{x}$膜を正電位側の分極状態にする（Ｐｏｌｉｎｇ）。次に、期間Ｔ２において、０Ｖの電位で保持する（Ｗａｔｉｎｇ　ｔｉｍｅ）。次に、期間Ｔ３において、上述の三角波ダブルパルス手法を用いて、Ｐ－Ｅ特性を測定し、電界強度Ｅが０ＭＶ／ｃｍの時の最小分極と最大分極の差を取得した（Ｐｏｌａｒｉｚａｔｉｏｎ　ｍｅａｓｕｒｅｍｅｎｔ）。

［０６９９］

次に、２つ目の条件（Ｃａｓｅ２）について説明する。期間Ｔ１において、試料に負の三角波パルスを与え、ＨｆＺｒ$Ｏ_{x}$膜を負電位側の分極状態にする。期間Ｔ２以降の電圧の印加方法は、上述した１つ目の条件と同じである。

［０７００］

上述した１つ目の条件（Ｃａｓｅ１）は、反転分極を伴わない（Ｎｏｎ－Ｓｗｉｔｃｈｉｎｇ）。一方、上述した２つ目の条件（Ｃａｓｅ２）は、反転分極を伴う（Ｓｗｉｔｃｈｉｎｇ）。このように、ここで行なったリテンション測定では、反転分極を伴わない場合があるため、電界強度Ｅが０の時の最小分極と最大分極の差を ΔＰｒと表記する。

［０７０１］

試料８００Ｃに対して行ったリテンション測定の結果を図４４に示す。温度条件は、８５℃とした。図４４において、縦軸はΔＰｒを示し、横軸は８５℃での保持時間（８５℃　ｂａｋｅ　ｔｉｍｅ）を示す。図４４において、丸印で示すプロットは、１つ目の条件（Ｎｏｎ－Ｓｗｉｔｃｈｉｎｇ）の結果であり、四角印のプロットは、２つ目の条件（Ｓｗｉｔｃｈｉｎｇ）の結果である。

このように、測定データの解析で得られたΔＰｒの値と、期間Ｔ２の保持期間の長さと、をグラフにすることで、どれだけの期間で分極を保持できるか、を知ることができる。なお、図４４中の点線は、１０年（１０ｙｅａｒｓ）を示す。

［０７０２］

図４４より、反転分極を伴う場合、１００秒では劣化が見られなかった。また、２４時間（２４ｈｏｕｒｓ）後のΔＰｒは、３７％減少したものの、１５μＣ／ｃｍ^{2}以上であった。一方、反転分極を伴わない場合、ほとんど分極しなかった。

［０７０３］

＜絶縁破壊＞

試料８００Ｃと同様の構成を有する試料を作製し、Ｉ－Ｖ特性を測定した。

［０７０４］

本項で作製した試料は、導電体１２０が窒化チタンと当該窒化チタン上のタングステンとの積層体である点で、試料８００Ｃと異なる。導電体１２０の下層となる窒化チタンは、スパッタリング法により成膜した膜厚１０ｎｍの窒化チタン膜を用いて形成した。また、導電体１２０の上層となるタングステンは、スパッタリング法により成膜した膜厚２０ｎｍのタングステン膜を用いて形成した。

［０７０５］

上記試料を用いて、Ｊ－Ｖ特性を測定した。結果を図４５に示す。図４５において、縦軸は電流密度Ｊ［Ａ／μｍ^2］を示し、横軸は電圧Ｖ［Ｖ］を示す。

［０７０６］

図４５より、容量素子を図２４Ｂに示す構成とすることで、高耐圧（ブレイクダウン電圧の上昇）を図ることができることが分かった。

［０７０７］

以上が、強誘電性を示す絶縁体の評価結果である。

［０７０８］

＜ＯＳトランジスタのドレイン耐圧試験＞

次に、チャネル形成領域が酸化物半導体を有するトランジスタ（ＯＳトランジスタという）を作製し、高電圧駆動を想定した評価を行った。なお、本実施例で作製したＯＳトランジスタは、図１７Ａ及び図１７Ｂに示したＯＳトランジスタに相当する。よって、本実施例で作製したＯＳトランジスタの構成等については先の実施の形態で説明した内容を参照できる。

［０７０９］

なお、本項では、チャネル長（Ｌ）の設計値及びチャネル幅（Ｗ）の設計値が異なるＯＳトランジスタ（試料８２０Ａ乃至試料８２０Ｄ）を用意した。具体的には、Ｌ／Ｗ＝２０ｎｍ／２０ｎｍであるＯＳトランジスタを試料８２０Ａとし、Ｌ／Ｗ＝３０ｎｍ／３０ｎｍであるＯＳトランジスタを試料８２０Ｂとし、Ｌ／Ｗ＝４０ｎｍ／４０ｎｍであるＯＳトランジスタを試料８２０Ｃとし、Ｌ／Ｗ＝６０ｎｍ／６０ｎｍであるＯＳトランジスタを試料８２０Ｄとする。なお、上述したＬ及びＷの値は、設計値を表す。

［０７１０］

試料８２０Ａ乃至試料８２０Ｄにおいて、第１のゲート絶縁体のＥＯＴは２．８ｎｍである。

［０７１１］

比較例として、チャネル形成領域がシリコンを有するトランジスタ（Ｓｉトランジスタという）を用意した。本項では、ｎチャネル型のＳｉトランジスタを作製した。以降では、ｎチャネル型のＳｉトランジスタを試料８２０Ｅとする。なお、試料８２０Ｅにおいて、ＥＯＴは２．６ｎｍであり、Ｌ／Ｗは６０ｎｍ／１２０ｎｍである。

［０７１２］

試料８２０Ａ乃至試料８２０Ｅを作製し、試料８２０Ａ乃至試料８２０Ｅそれぞれのドレイン耐圧試験を行った。

［０７１３］

ドレイン耐圧試験では、ゲート電圧（Ｖｇ）を０Ｖに設定し、ソース電圧（Ｖｓ）及びバックゲート電圧（Ｖｂｇ）を０Ｖに設定した。そして、ドレイン電圧（Ｖｄ）を０Ｖから増加させながら、ドレイン電流（Ｉｄ）を測定した。ドレイン電流（Ｉｄ）が１ｎＡを超えたときをトランジスタが破壊されたと定義し、その時のＶｄをドレイン耐圧とした。図６９Ａ及び図６９Ｂの破線は、Ｉｄ＝１ｎＡを示す。なお、Ｖｄの最大電圧は＋１０Ｖとした。また、測定時の温度は室温とした。

［０７１４］

図６９Ａに、試料８２０Ｄのドレイン耐圧試験の結果を示し、図６９Ｂに、試料８２０Ｅのドレイン耐圧試験の結果を示す。図６９Ａ及び図６９Ｂにおいて、縦軸はドレイン電流（Ｉｄ）［Ａ］であり、横軸はドレイン電圧（Ｖｄ）［Ｖ］である。図６９Ａは、試料８２０ＤのＩｄ－Ｖｄ特性のグラフであり、図６９Ｂは、試料８２０ＥのＩｄ－Ｖｄ特性のグラフである。

［０７１５］

図６９Ａの一点鎖線で示すように、試料８２０Ｄのドレイン耐圧は６．８Ｖであることが分かった。図６９Ｂの一点鎖線で示すように、試料８２０Ｅのドレイン耐圧は２．２５Ｖであることが分かった。以上より、ＯＳトランジスタは、Ｓｉトランジスタよりも高いドレイン耐圧を有することが分かった。

［０７１６］

図７０に、試料８２０Ａ乃至試料８２０Ｅのドレイン耐圧試験の結果を示す。図７０において、縦軸はドレイン耐圧（Ｄｒａｉｎ　ｂｒｅａｋｄｏｗｎ　ｖｏｌｔａｇｅ）［Ｖ］であり、横軸はチャネル長（Ｃｈａｎｎｅｌ　ｌｅｎｇｔｈ）［ｎｍ］である。図７０に丸で示すプロットは、試料８２０Ａ乃至試料８２０Ｄのドレイン耐圧試験の結果であり、図７０に三角で示すプロットは、試料８２０Ｅのドレイン耐圧試験の結果である。また、図７０では、試料８２０Ａ乃至試料８２０Ｄのドレイン耐圧の線形近似線を破線で示す。

［０７１７］

図７０より、チャネル長が２０ｎｍであるＯＳトランジスタは、チャネル長が６０ｎｍであるＳｉトランジスタよりも優れたドレイン耐圧を有することが分かった。また、駆動電圧を２．５Ｖと仮定した場合（図７０の一点鎖線）、ＯＳトランジスタは、チャネル長が２０ｎｍよりも短い場合においても、十分なドレイン耐圧を有することが示唆された。

［０７１８］

以上より、ＯＳトランジスタは、高い駆動電圧にも耐えることができ、かつ、Ｓｉトランジスタよりも微細化することが可能である。さらに、ＯＳトランジスタのオフ電流は、Ｓｉトランジスタのオフ電流よりも小さいため、ＯＳトランジスタは、記憶装置のセレクタ素子として用いるのに好適である。

［０７１９］

次に、１Ｔｒ１Ｃ（１トランジスタ、１キャパシタ）の素子構成を有する４つの試料（試料８１０Ａ乃至試料８１０Ｄ）を作製し、その電気特性を測定した。なお、試料８１０Ａ乃至試料８１０Ｄに共通する内容を説明する場合、試料８１０として説明することがある。

［０７２０］

＜試料の構成＞

試料８１０が有するトランジスタは、図１７Ａ及び図１７Ｂに示した構成を有する。つまり、試料８１０にはＯＳトランジスタが含まれる。また、試料８１０のトランジスタは、チャネル長６０ｎｍ、チャネル幅６０ｎｍを狙って設計した。

［０７２１］

また、試料８１０が有する容量素子は、上述した試料８００Ｃに含まれる容量素子の構成を有する。つまり、試料８１０には強誘電体キャパシタが含まれる。なお、試料８１０Ａ乃至試料８１０Ｄでは、容量素子の面積が異なる。容量素子の面積は、試料８１０Ａでは０．０１６μm^2とし、試料８１０Ｂでは０．０６μm^2とし、試料８１０Ｃでは０．１１μm^2とし、試料８１０Ｄでは０．５８μm^2とした。

［０７２２］

なお、ＯＳトランジスタ及び強誘電体キャパシタは、ＳｉのＢＥＯＬで作製可能である。

［０７２３］

＜断面ＳＴＥＭ＞

作製した試料について、日立ハイテク製「ＨＤ－２７００」を用いて、断面ＳＴＥＭ像の撮影を行った。図４６に、試料に含まれるトランジスタのチャネル長方向の断面ＳＴＥＭ像を示す。なお、図４６に示す試料は、容量素子が有する導電体１２０が２層積層構造を有する点以外は、試料８１０と同等である。

［０７２４］

図４６に示すように、試料８１０は、トランジスタ（ＯＳＦＥＴ）と、当該トランジスタ上の容量素子（ＦＥ　ｃａｐａｃｉｔｏｒ）とを有する。なお、図４６に示す、「Ｂａｃｋ　ｇａｔｅ　ｅｌｅｃｔｒｏｄｅ」は導電体２０５に対応し、「Ｂａｃｋ　ｇａｔｅ　ｉｎｓｕｌａｔｏｒ」は第２の積層体に対応し、「ＣＡＡＣ－ＩＧＺＯ」は酸化物２３０ｂに対応し、「Ｔｏｐ　ｇａｔｅ　ｅｌｅｃｔｒｏｄｅ」は導電体２６０に対応し、「Ｓ／Ｄ　ｅｌｅｃｔｒｏｄｅ」は導電体２４２ａ又は導電体２４２ｂに対応している。また、「Ｂｏｔｔｏｍ　ｅｌｅｃｔｒｏｄｅ」は導電体１１０に対応し、「$Hf_{0.5}Zr_{0.5}O_2$」は絶縁体１３０に対応し、「Ｔｏｐ　ｅｌｅｃｔｒｏｄｅ」は導電体１２０に対応している。

［０７２５］

試料８１０は、１Ｔｒ１Ｃのメモリセル回路を含む。試料８１０に含まれるメモリセル回路の、回路図を図４７Ａに示し、平面光学顕微鏡写真を図４７Ｂに示す。メモリセル回路は、データ書き込み用のトランジスタ（Ｄａｔａ　ｗｒｉｔｉｎｇ　ｔｒａｎｓｉｓｔｏｒ）、１Ｔｒ１Ｃのメモリセル（Ｍｅｍｏｒｙ　Ｃｅｌｌ）、及びデータ読み出し用のソースフォロワ（Ｓｏｕｒｃｅ　Ｆｏｌｌｏｗｅｒ）によって構成される。なお、メモリセル回路に含まれるトランジスタは全て、ＯＳトランジスタとした。また、メモリセルが有する容量素子は強誘電体キャパシタ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ　ｃａｐａｃｉｔｏｒ）である。以降では、データ書き込み用のトランジスタをト

ランジスタＴｒ１と表記し、メモリセルに含まれるトランジスタをトランジスタＴｒ２と表記し、ソースフォロワに含まれる２つのトランジスタをトランジスタＴｒ３及びトランジスタＴｒ４と表記する。

［０７２６］

トランジスタＴｒ１のゲートは配線ＷＥと電気的に接続し、トランジスタＴｒ１のソース及びドレインの一方は端子ＩＮと電気的に接続し、トランジスタＴｒ１のソース及びドレインの他方はビット線（Ｂｉｔ　Ｌｉｎｅ）と電気的に接続している。トランジスタＴｒ２のゲートは配線ＷＬと電気的に接続し、トランジスタＴｒ２のソース及びドレインの一方は容量素子の一対の電極の一方と電気的に接続し、トランジスタＴｒ２のソース及びドレインの他方はビット線と電気的に接続している。容量素子の一対の電極の他方は、配線ＰＬと電気的に接続している。トランジスタＴｒ２のソース及びドレインの一方と、容量素子の一対の電極の一方とが電気的に接続される領域が、ノード（ＮＯＤＥ）として機能する。

［０７２７］

トランジスタＴｒ３のゲートはビット線と電気的に接続し、トランジスタＴｒ３のソース及びドレインの一方が電源線ＶＤＤと電気的に接続し、トランジスタＴｒ３のソース及びドレインの他方は端子ＯＵＴと電気的に接続している。トランジスタＴｒ４のゲートは配線ＲＥＦと電気的に接続し、トランジスタＴｒ４のソース及びドレインの一方は端子ＯＵＴと電気的に接続し、トランジスタＴｒ４のソース及びドレインの他方は電源線ＶＳＳと電気的に接続している。

［０７２８］

配線ＷＥ及び配線ＷＬはワード線として機能する配線である。配線ＰＬは容量素子が有する強誘電体を有する層の分極状態を制御する機能を有し、分極制御線という場合がある。

［０７２９］

メモリセルを評価するために、ビット線の電圧V_{BL}を、ソースフォロワを介して評価した。具体的には、ソースフォロワの特性を測定した。結果を図４８に示す。図４８において、縦軸は端子ＯＵＴの電圧（ＶＯＵＴ）を示し、横軸は、ビット線の電圧V_{BL}を示す。

［０７３０］

図４８より、メモリセルの評価の前にソースフォロワの特性を測定することにより、ＶＯＵＴからビット線の電圧を観察することが可能であることが分かった。

［０７３１］

次に、正の分極の書き込みと読み出し評価の手法を、図４９Ａ及び図４９Ｂを用いて説明する。

［０７３２］

期間Ｔ１において、書き込みしたい分極とは逆の電位を印加し、初期書き込みを行う（Ｗｒｉｔｅ　Ｐｒ－）。具体的には、端子ＩＮの電位をＶｗとし、配線ＷＥ及び配線ＷＬに正の電位（図４９Ａでは「H」と表記］）を印加する。これにより、トランジスタＴｒ１及びトランジスタＴｒ２がオン状態となり、端子ＩＮの電位が強誘電体キャパシタの一対の電極の一方に供給される。なお、配線ＰＬの電位をＧＮＤとしているため、強誘電体キャパシタの一対の電極間に分極が生じる。

［０７３３］

なお、本明細書等において、ＧＮＤは接地電位であるが、メモリセルを本発明の一態様の趣旨を充足するように駆動させることができるのであれば、必ずしも接地電位としなくてもよい。なお、Ｖｗは動作電圧と言い換えることができる。

［０７３４］

続いて、期間Ｔ２に、書き込みしたい分極の電位を印加し、書き込みを行う（Ｗｒｉｔｅ　Ｐｒ＋）。具体的には、端子ＩＮの電位をＧＮＤとし、配線ＰＬの電位をＶｗとする。これにより、期間Ｔ１で生じた分極と逆の分極が生じる。

［０７３５］

続いて、期間Ｔ３に、配線ＷＥに負の電位（図４９Ａでは「Ｌ」と表記］）を印加することで、トランジスタＴｒ１をオフ状態にする。また、配線ＷＥに負の電位（図４９Ａでは「Ｌ」と表記）を印加し、配線ＰＬの電位をＶｗとすることで読み出しを行う（Ｒｅａｄ）。正しく書き込みが行えている場合、分極反転は起きず、端子ＯＵＴの電圧の変動は小さい。

［０７３６］

次に、負の分極の書き込みと読み出し評価の手法を、図５０Ａ及び図５０Ｂを用いて説明する。

［０７３７］

期間Ｔ１に、書き込みしたい分極とは逆の電位を印加し、初期書き込みを行う（Ｗｒｉｔｅ　Ｐｒ＋）。具体的には、端子ＩＮの電圧をＧＮＤとし、配線ＷＥ及び配線ＷＬに正の電位（図５０Ａでは「Ｈ」と表記］）を印加する。これにより、トランジスタＴｒ１及びトランジスタＴｒ２がオン状態となり、強誘電体キャパシタの一対の電極の一方の電位がＧＮＤとなる。なお、配線ＰＬの電位をＶｗとしているため、強誘電体キャパシタの一対の電極間に電位差が生じ、分極が生じる。

［０７３８］

続いて、期間Ｔ２に、書き込みしたい分極の電位を印加し、書き込みを行う（Ｗｒｉｔｅ　Ｐｒ－）。具体的には、端子ＩＮの電位をＶｗとし、配線ＰＬの電位をＧＮＤとする。これにより、期間Ｔ１で生じた分極と逆の分極が生じる。

［０７３９］

続いて、期間Ｔ３に、端子ＩＮの電位をＧＮＤとした後、配線ＷＥに負の電位（図５０Ａでは「Ｌ」と表記）を印加することで、トランジスタＴｒ１をオフ状態にする。また、配線ＰＬの電位をＶｗとすることで読み出しを行う（Ｒｅａｄ）。正しく書き込みが行えている場合、分極反転が起き、端子ＯＵＴの電圧の変動は大きい。

［０７４０］

なお、本実施例では、上述した正の電位を＋３Ｖとし、上述した負の電位を－３Ｖとし、上述したＶｗを＋２．５Ｖとし、上述したＧＮＤを０Ｖとした。また、電源線ＶＤＤに印加する電圧Ｈｉｇｈを２Ｖとし、電源線ＶＳＳに印加する電圧Ｌｏｗを－２Ｖとし、配線ＲＥＦに印加する電圧Ｖｒを－１Ｖとした。また、正の分極の書き込みと読み出し評価の手法（図４９Ａを参照）において、期間Ｔ１のうち配線ＷＬに正の電位を印加する時間を１０ｍｓとし、期間Ｔ２のうち配線ＰＬの電位をＶｗとする時間を１０ｍｓとし、期間Ｔ３のうち配線ＰＬの電位をＶｗとする時間を１μｓとした。

［０７４１］

なお、正の分極の書き込みと読み出し評価、及び、負の分極の書き込みと読み出し評価のそれぞれにおいて、期間Ｔ２と期間Ｔ３の間に、配線ＷＬに正の電位を印加してトランジスタＴｒ２をオン状態とし、ビット線に０Ｖを印加してノードの電位を０Ｖにする（Ｒｅｓｅｔ）。これにより、期間Ｔ３の読み出し動作において、正確なメモリ評価が可能となる。

［０７４２］

読み出し時の、配線ＰＬ及び端子ＯＵＴの電圧波形を図５１に示す。図５１において、縦方向は電圧を示し、横方向は時間を示す。図５１に示す端子ＯＵＴの電圧波形は、試料８１０Ｂに対して行った評価の結果である。なお、書き込み時間を１００ｎｓとし、読み出し時間を１μｓとし、Ｖｗを２．５Ｖとした。

［０７４３］

図５１より、図５０Ａ及び図５０Ｂに示す負の分極の書き込み評価における、読み出し時の端子ＯＵＴの電圧（ＯＵＴ：Ｐｒ－）は、図４９Ａ及び図４９Ｂに示す正の分極の書き込み評価における、読み出し時の端子ＯＵＴの電圧（ＯＵＴ：Ｐｒ＋）より大きいことが分かった。つまり、正の分極の書き込みと、負の分極の書き込みとが正しく行えていることが確認できた。ここで、負の分極の書き込み評価における、読み出し時の端子ＯＵＴの電圧と、正の分極の書き込み評価における、読み出し時の端子ＯＵＴの電圧との差をΔV_{BL}とする。

［０７４４］

以降では、ΔV_{BL}を電位窓と呼ぶことがある。また、本実施例では、許容最小電位窓を０．１Ｖとする。

［０７４５］

次に、試料８１０Ａ乃至試料８１０Ｄのそれぞれにおいて、書き込み時間を１０ｎｓ以上10^{7}ｎｓ以下の範囲で変化させた場合の、ΔV_{BL}の推移を評価した。結果を図５２及び図７３に示す。

［０７４６］

図５２において、縦軸はΔV_{BL}を示し、横軸は書き込み時間（Ｗｒｉｔｅ　ｔｉｍｅ）を示す。図５２において、点線で示すグラフは試料８１０Ａの結果であり、実線で示すグラフは試料８１０Ｂの結果であり、破線で示すグラフは試料８１０Ｃの結果であり、一点鎖線で示すグラフは試料８１０Ｄの結果である。また、図５２において ΔV_{BL}＝０．１Ｖを表す破線は、許容最小電位窓である。

［０７４７］

図５２より、書き込み時間が短いほど、ΔV_{BL}は減少する傾向がみられた。また、書き込み時間が短い場合（例えば１０ｎｓ程度）、容量素子の面積が小さいほど、ΔV_{BL}の変化量は小さかった。

［０７４８］

また、書き込み時間が１０ｎｓである場合において、容量素子の面積が０．０６μm^{2}である試料８１０Ｂの ΔV_{BL}は、０．１Ｖより大きく、容量素子の面積が０．５８μm^{2}である試料８１０Ｄの ΔV_{BL}よりも大きかった。このことから、強誘電体キャパシタの微細化により、デバイスの高速動作が可能であることが示唆された。

［０７４９］

図７３において、縦軸はΔV_{BL}を示し、横軸は容量素子の面積（Ｃａｐａｃｉｔｏｒ　ａｒｅａ）を示す。図７３において、菱形で示すプロットは、書き込み時間が１０ｎｓである場合の結果であり、丸で示すプロットは、書き込み時間が２０ｎｓである場合の結果であり、三角で示すプロットは、書き込み時間が５０ｎｓである場合の結果であり、四角で示すプロットは、書き込み時間が１００ｎｓである場合の結果である。また、図７３において ΔV_{BL}＝０．１Ｖを表す破線は、許容最小電位窓である。図７３には、試料８１０Ａ及び試料８１０Ｂの結果を示す。

［０７５０］

図７３より、試料８１０Ａ及び試料８１０Ｂのそれぞれにおいて、ΔV_{BL}の書き込み時間依存性

は小さかった。試料８１０Ｂの ΔV_{BL}は、約０．４Ｖであり、比較的高かった。一方、試料８１０Ａの ΔV_{BL}は０．１Ｖよりも小さかった。以上より、容量素子の面積が０．０１６μm^2より大きく、特に０．０６μm^2以上であれば、動作電圧が２．５Ｖであって、書き込み時間が１０ｎｓである場合においても、書き込みが正しく行われることが確認された。

［０７５１］

なお、実際のメモリでは、配線容量が強誘電体キャパシタの微細化の律速となる。そこで、３Ｄキャパシタ構造にすることで容量素子の面積を大きくすることができる。さらに、ＢＥＯＬで作製可能なＯＳＦＥＴは配線容量を下げることができる。

［０７５２］

次に、容量素子の面積及びビット線容量を試料毎に異ならせて、読み出しの余裕度（マージン）を評価した。具体的には、動作電圧を２．５Ｖとし、書き込み時間を１００ｎｓとし、読み出し時間を１μｓとして、図４９Ａ乃至図５０Ｂを用いて説明した方法で評価した。

［０７５３］

読み出しの余裕度（マージン）の評価には、上述した試料８１０Ａ乃至試料８１０Ｄを使用した。なお、試料のそれぞれにおいて、ビット線容量が２．７５８ｆＦのメモリセル回路と、ビット線容量が８．５８２ｆＦのメモリセル回路と、ビット線容量が２７．３７２ｆＦのメモリセル回路とを用意した。

［０７５４］

結果を図５３に示す。図５３において、縦軸はΔV_{BL}を示し、横軸は容量素子の面積（ｃａｐａｃｉｔｏｒ　ａｒｅａ）を示す。図５３において、四角で示すプロットは、ビット線容量が２．７５８ｆＦのメモリセル回路の結果であり、三角で示すプロットは、ビット線容量が８．５８２ｆＦのメモリセル回路の結果であり、丸で示すプロットは、ビット線容量が２７．３７２ｆＦのメモリセル回路の結果である。また、図５３において ΔV_{BL}＝０．１Ｖを表す破線は、許容最小電位窓である。また、図５３中の点線は、容量素子の面積０．０６μm^2を示す。

［０７５５］

図５３より、ビット線容量が２．７５８ｆＦである場合、容量素子の面積が０．０６μm^2以上であれば、ΔV_{BL}は０．１Ｖより大きかった。具体的には、容量素子の面積が０．０６μm^2のとき、ΔV_{BL}は０．３５０Ｖであった。

［０７５６］

また、ビット線容量が８．５８２ｆＦである場合、容量素子の面積が０．０６μm^2以上であれば、ΔV_{BL}は０．１Ｖより大きかった。具体的には、容量素子の面積が０．０６μm^2のとき、ΔV_{BL}は０．１４８Ｖであった。

［０７５７］

また、ビット線容量が２７．３７２ｆＦである場合、容量素子の面積に関わらず、ΔV_{BL}は０．１Ｖより小さかった。よって、ビット線容量が２７．３７２ｆＦである場合、十分な書き込みを確認することができなかった。

［０７５８］

以上の結果から、強誘電体キャパシタを有するメモリセル（ＦｅＲＡＭ）を設計する場合、容量素子の面積とビット線容量のバランスが重要であることが分かった。

［０７５９］

＜疲労特性＞

次に、疲労（Ｅｎｄｕｒａｎｃｅ）特性の測定結果について、説明する。疲労特性の測定は、上述した方法を用いて行った。

［０７６０］

図５４Ａ及び図５４Ｂに、試料８１０Ｂ及び試料８１０Ｄの疲労特性の測定結果を示す。なお、図５４Ａ及び図５４Ｂにおいて、縦軸はΔV_{BL}を示し、横軸はサイクル数（Ｃｙｃｌｅ）を示す。

［０７６１］

図５４Ａより、試料８１０Ｂにおいて、サイクル数が1×10^{8}回に達するまで、ΔV_{BL}の値に大きな変化は見られなかった。また、サイクル数が1×10^{9}回に達するまでは、ΔV_{BL}が０．１Ｖより大きく、書き込みを確認することができた。

［０７６２］

図５４Ｂより、試料８１０Ｄにおいて、サイクル数が1×10^{8}回に達するまでは、ΔV_{BL}が０．１Ｖより大きく、書き込みを確認することができた。

［０７６３］

＜リテンション測定＞

上述の試料８１０Ｂ及び試料８１０Ｄに対して行ったデータの保持試験（リテンション測定）の結果について説明する。

［０７６４］

試料８１０Ｂに対して行ったリテンション測定の結果を図７４に示し、試料８１０Ｄに対して行ったリテンション測定の結果を図５５Ａ及び図５５Ｂに示す。図７４、図５５Ａ、及び図５５Ｂのそれぞれにおいて、縦軸はΔV_{BL}を示し、横軸は時間（Ｔｉｍｅ）を示す。図７４は、温度条件を室温とした場合の試料８１０Ｂに対する結果であり、図５５Ａは、温度条件を室温とした場合の試料８１０Ｄに対する結果であり、図５５Ｂは、温度条件を８５℃とした場合の試料８１０Ｄに対する結果である。

［０７６５］

図７４より、試料８１０Ｂでは、温度条件を室温とした場合において、１０００分までΔV_{BL}が０．１Ｖ以上であった。よって、ΔV_{BL}の読み出し可能電圧を０．１Ｖとする場合、１０００分以上のデータの保持が確認できた。

［０７６６］

図５５Ａ及び図５５Ｂより、試料８１０Ｄでは、温度条件が室温又は８５℃のどちらの場合でも、１０００分以上のデータの保持が確認できた。

［０７６７］

本実施例に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

［実施例２］

［０７６８］

本実施例では、図２２及び図３０に示す構造と類似の、複数のメモリセルアレイが積層された、記憶装置を作製し、断面ＴＥＭ像の観察、電気特性の評価等を行った結果について説明する。

［０７６９］

本実施例では、図５６Ａに示すような記憶装置を含む試料を作製した。試料は、酸化物半導体を

用いたトランジスタ（以下、ＯＳＦＥＴと呼ぶ場合がある。）を含む層を４層積層した構造（以下、４つの、ＯＳＦＥＴを含む層をそれぞれ、１ｓｔ　ｌａｙｅｒ、２ｎｄ　ｌａｙｅｒ、３ｒｄ　ｌａｙｅｒ、４ｔｈ　ｌａｙｅｒと呼ぶ場合がある。）である。なお、図５６Ａに示すように、１ｓｔ　ｌａｙｅｒと２ｎｄ　ｌａｙｅｒは、間に設けられた配線層を介して電気的に接続されている。また、２ｎｄ　ｌａｙｅｒ乃至４ｔｈ　ｌａｙｅｒはそれぞれ、ＯＳＦＥＴのソースまたはドレインの一方と電気的に接続された、容量素子（以下、ＭＩＭと呼ぶ場合がある。）を含む。なお、ＯＳＦＥＴは、図２２及び図３０に示すトランジスタ２００に、ＭＩＭは、図２２及び図３０に示す容量素子１００に対応しており、詳細については上述の実施の形態を参考にすることができる。ただし、本実施例のＭＩＭは、図２２及び図３０に示す容量素子と形状が異なり、プレーナ型である。また、本実施例の試料は、図５６Ａに示される構造以外のＴＥＧ（Ｔｅｓｔ　Ｅｌｅｍｅｎｔ　Ｇｒｏｕｐ）も含む。

［０７７０］

本実施例の試料において、１ｓｔ　ｌａｙｅｒ乃至４ｔｈ　ｌａｙｅｒに含まれるＯＳＦＥＴは、それぞれ同様のプロセスで作製した。よって、１ｓｔ　ｌａｙｅｒ乃至４ｔｈ　ｌａｙｅｒに含まれるＯＳＦＥＴは、同様の構造を有する。

［０７７１］

まず、ＯＳＦＥＴの構成について説明する。図１５Ａ乃至図１５Ｄに示すように、ＯＳＦＥＴは、基板（図示せず）の上に配置された絶縁体２１６と、絶縁体２１６に埋め込まれるように設けられた導電体２０５（導電体２０５ａ及び導電体２０５ｂ）と、絶縁体２１６及び導電体２０５上の絶縁体２２２と、絶縁体２２２上の絶縁体２２４と、絶縁体２２４上の酸化物２３０（酸化物２３０ａ及び酸化物２３０ｂ）と、酸化物２３０上の導電体２４２ａ及び導電体２４２ｂと、導電体２４２ａ上の絶縁体２７１ａと、導電体２４２ｂ上の絶縁体２７１ｂと、酸化物２３０上の絶縁体２５０（絶縁体２５０ａ乃至絶縁体２５０ｄ）と、絶縁体２５０上の導電体２６０（導電体２６０ａ及び導電体２６０ｂ）と、を有する。また、絶縁体２７１ａ及び絶縁体２７１ｂ上には、絶縁体２７５が設けられ、絶縁体２７５上には絶縁体２８０が設けられている。絶縁体２５０及び導電体２６０は、絶縁体２８０及び絶縁体２７５に設けられた開口の内部に埋め込まれている。また、絶縁体２８０上及び導電体２６０上には絶縁体２８２が設けられ、絶縁体２８２上には絶縁体２８３が設けられている。

［０７７２］

絶縁体２１６は、スパッタリング法で成膜した、酸化シリコン膜である。また、導電体２０５は、導電体２０５ａと導電体２０５ｂの積層膜であり、絶縁体２１６の開口に埋め込まれるように設けられている。導電体２０５ａは、スパッタリング法で成膜した、窒化タンタル膜である。導電体２０５ｂは、ＣＶＤ法で成膜した、窒化チタン膜と、当該窒化チタン膜上のタングステン膜である。

［０７７３］

絶縁体２２２は、膜厚３ｎｍの窒化シリコン膜と、当該窒化シリコン膜上の膜厚１７ｎｍの酸化ハフニウム膜の積層膜である。窒化シリコン膜はＰＥＡＬＤ法で成膜し、酸化ハフニウム膜は熱ＡＬＤ法で成膜した。

［０７７４］

絶縁体２２４は、スパッタリング法で成膜した、膜厚２０ｎｍの酸化シリコン膜である。

［０７７５］

酸化物２３０ａとして、スパッタリング法で成膜した、膜厚１０ｎｍのＩｎ－Ｇａ－Ｚｎ酸化物を用いた。なお、酸化物２３０ａの成膜には、Ｉｎ：Ｇａ：Ｚｎ＝１：３：２［原子数比］の酸化物ターゲットを用いた。

［０７７６］

酸化物２３０ｂとして、スパッタリング法で成膜した、膜厚が１５ｎｍのＩｎ－Ｇａ－Ｚｎ酸化物を用いた。なお、酸化物２３０ｂの成膜には、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１．２［原子数比］の酸化物ターゲットを用いた。

［０７７７］

導電体２４２ａ及び導電体２４２ｂは、スパッタリング法で成膜した、膜厚２０ｎｍの窒化タンタル膜である。

［０７７８］

絶縁体２７１ａ及び絶縁体２７１ｂは、膜厚５ｎｍの窒化シリコン膜と、当該窒化シリコン膜上の膜厚１０ｎｍの酸化シリコン膜の積層膜である。窒化シリコン膜、及び酸化シリコン膜は、それぞれスパッタリング法を用いて成膜した。

［０７７９］

絶縁体２７５は、ＰＥＡＬＤ法で成膜した、膜厚５ｎｍの窒化シリコン膜である。絶縁体２８０は、スパッタリング法で成膜した、酸化シリコン膜である。

［０７８０］

絶縁体２５０は、図１７Ａ及び図１７Ｂに示す構造と同様に、絶縁体２５０ｃ、絶縁体２５０ａ、絶縁体２５０ｄ、絶縁体２５０ｂの順に積層された、４層構造の積層膜である。絶縁体２５０ｃは、熱ＡＬＤ法で成膜した、膜厚１ｎｍの酸化アルミニウム膜である。絶縁体２５０ａは、ＰＥＡＬＤ法で成膜した、膜厚４ｎｍの酸化シリコン膜である。絶縁体２５０ｄは、熱ＡＬＤ法で成膜した、膜厚１．５ｎｍの酸化ハフニウム膜である。絶縁体２５０ｂは、ＰＥＡＬＤ法で成膜した、膜厚１ｎｍの窒化シリコン膜である。

［０７８１］

導電体２６０は、導電体２６０ａと導電体２６０ｂの積層膜である。導電体２６０ａは、ＣＶＤ法で成膜した、窒化チタン膜である。導電体２６０ｂは、ＣＶＤ法で成膜した、タングステン膜である。

［０７８２］

絶縁体２８２は、スパッタリング法で成膜した、膜厚４０ｎｍの酸化アルミニウム膜である。また、絶縁体２８３は、スパッタリング法で成膜した、膜厚２０ｎｍの窒化シリコン膜である。

［０７８３］

次に、ＭＩＭの構成について説明する。本実施例の試料のＭＩＭは、ＯＳＦＥＴの導電体２４２ｂ上の、絶縁体２８０及び絶縁体２７５の開口の内部に形成されており、下部電極、誘電体膜、上部電極の順に形成される。ここで、ＭＩＭの下部電極は、ＯＳＦＥＴの導電体２４２ｂが兼ねている。

［０７８４］

ＭＩＭの誘電体膜は、膜厚１ｎｍの酸化アルミニウム膜、膜厚１８ｎｍの酸化ハフニウム膜、膜厚１ｎｍの酸化アルミニウム膜の順に積層された、３層構造の積層膜である。酸化アルミニウム膜、及び酸化ハフニウム膜は、それぞれ熱ＡＬＤ法で成膜した。

［０７８５］

ＭＩＭの上部電極は、窒化チタン膜と、窒化チタン膜上のタングステン膜の積層膜である。窒化チタン膜、及びタングステン膜は、それぞれＣＶＤ法で成膜した。

［０７８６］

また、本実施例の試料には、図５６Ｂに示すように、上層のトランジスタ２００と下層のトランジスタ２００を電気的に接続するプラグとして機能する導電体２４０が形成される。導電体２４０は、絶縁体２８０等に設けられた開口の中に形成され、当該開口中に露出した導電体２４２ａの側面及び上面に接して形成される。ただし、図５６Ｂでは図２２及び図３０と異なり、導電体２４０の上部が、上層のトランジスタ２００の導電体２０５と同じ層に形成された導電体２０７Ｈに接して設けられ、導電体２４０の下部が、下層のトランジスタ２００の導電体２０５と同じ層に形成された導電体２０７Ｌに接して設けられる。また、導電体２４０の側面に接して、絶縁体２４１が設けられる。

［０７８７］

導電体２４０は、導電体２４０ａと導電体２４０ｂの積層膜である。導電体２４０ａは、ＣＶＤ法で成膜した、窒化チタン膜である。導電体２４０ｂは、ＣＶＤ法で成膜した、タングステン膜である。絶縁体２４１は、膜厚３ｎｍの酸化アルミニウム膜と、当該酸化アルミニウム膜の内側に設けられた、膜厚５ｎｍの窒化シリコン膜の積層膜である。酸化アルミニウム膜は、熱ＡＬＤ法で成膜し、窒化シリコン膜はＰＥＡＬＤ法で成膜した。

［０７８８］

上記のＯＳＦＥＴを含む、試料の作製工程における、プロセス温度は４５０℃以下とした。ここで、１ｓｔ　ｌａｙｅｒでは作製後に３層分の、２ｎｄ　ｌａｙｅｒでは作製後に２層分の、作製工程の熱履歴が加えられることになる。

［０７８９］

そこで、本実施例の試料を作製する前に、上記ＯＳＦＥＴと同様の構造のトランジスタを作製し、作製後に熱処理を行って、電気特性の評価を行った。当該熱処理、及び電気特性の評価は、１回目の電気特性の測定、１回目の熱処理、２回目の電気特性の測定、２回目の熱処理、３回目の電気特性の測定、３回目の熱処理、４回目の電気特性の測定の順番で行った。それぞれの熱処理は、窒素雰囲気で４５０℃、１時間（１ｈｒ）行った。よって、２回目の熱処理後は、熱処理時間２時間（２ｈｒ）となり、３回目の熱処理後は、熱処理時間３時間（３ｈｒ）となる。当該電気特性の評価の結果を図５８及び図５９に示す。図５８は、Ｉｄ－Ｖｇ特性の測定結果であり、図５９は、図５８に示すＩｄ－Ｖｇ特性から算出したしきい値電圧（Ｖｔｈ）のグラフである。なお、１回目の電気特性の測定は、熱処理を行う前に行われているため、１回目に測定された電気特性を、加熱前の電気特性、又は加熱処理時間０時間（０ｈｒ）での電気特性と呼ぶことがある。

［０７９０］

図５８及び図５９に示すように、熱履歴に依らず、トランジスタが安定な特性を示している。よって、１ｓｔ　ｌａｙｅｒ乃至４ｔｈ　ｌａｙｅｒに含まれるＯＳＦＥＴも、熱履歴に依らず、安定な特性を示すと考えられる。

［０７９１］

以上の試料のＯＳＦＥＴは、設計値が、チャネル長６０ｎｍ、チャネル幅６０ｎｍのトランジスタである。１ｓｔ　ｌａｙｅｒ乃至４ｔｈ　ｌａｙｅｒのそれぞれにおいて、ＯＳＦＥＴ９個を評

価した。

［０７９２］

まず、試料の１ｓｔ　ｌａｙｅｒ乃至４ｔｈ　ｌａｙｅｒを含む断面について、断面ＳＴＥＭ像の撮影を行った。断面ＳＴＥＭ像の撮影は、日立ハイテク製「ＨＤ－２７００」を用いて、加速電圧２００ｋＶで行った。

［０７９３］

試料の断面ＳＴＥＭ像を図５７に示す。図５７に示すように、本実施例の試料において、１ｓｔ　ｌａｙｅｒ乃至４ｔｈ　ｌａｙｅｒに、ＯＳＦＥＴのチャネル長方向の断面を確認することができた。また、図５７に示すように、本実施例の試料において、２ｎｄ　ｌａｙｅｒ乃至４ｔｈ　ｌａｙｅｒに、ＭＩＭの断面を確認することができた。このように、ＯＳＦＥＴ、及びＭＩＭがモノリシックに積層された試料を作製することができた。

［０７９４］

次に、１ｓｔ　ｌａｙｅｒ乃至４ｔｈ　ｌａｙｅｒそれぞれのＯＳＦＥＴについて、電気特性の評価を行った。電気特性の評価では、キーサイトテクノロジー製半導体パラメータアナライザーを用いて、それぞれの素子のＩｄ－Ｖｇ特性（ドレイン電流－ゲート電圧特性）を測定した。Ｉｄ－Ｖｇ特性の測定は、ドレイン電位Ｖｄを１．２Ｖとし、ソース電位Ｖｓを０Ｖとし、ボトムゲート電位Ｖｂｇを０Ｖとし、トップゲート電位Ｖｇを－４．０Ｖから４．０Ｖまで０．１Ｖステップで掃引させた。

［０７９５］

図６０に、１ｓｔ　ｌａｙｅｒ乃至４ｔｈ　ｌａｙｅｒそれぞれのＩｄ－Ｖｇ特性の測定結果を示す。図６０は、横軸にトップゲート電位Ｖｇ［Ｖ］、縦軸にドレイン電流Ｉｄ［Ａ］をとる。なお、横軸は、－１Ｖ以上４Ｖ以下の範囲で表示している。

［０７９６］

また、図６０に示すＩｄ－Ｖｇ特性から算出されたしきい値電圧Ｖｔｈを図６１Ａに示す。図６０及び図６１Ａに示すように、１ｓｔ　ｌａｙｅｒ乃至４ｔｈ　ｌａｙｅｒにおいて、しきい値電圧Ｖｔｈが正の値をとっており、ノーマリーオフ特性を示した。また、トップゲート電位Ｖｇが負の範囲でドレイン電流Ｉｄが10^{-12}Ａ以下となっており、十分にオフ電流が低減されていることが確認された。また、１ｓｔ　ｌａｙｅｒ乃至４ｔｈ　ｌａｙｅｒにおいて、電気特性、及びしきい値電圧Ｖｔｈについて、明確な積層順番の依存性は見られなかった。

［０７９７］

また、１ｓｔ　ｌａｙｅｒ乃至４ｔｈ　ｌａｙｅｒそれぞれにおいて、ＯＳＦＥＴのＳＤ電極（図２２に示す導電体２４２ａまたは導電体２４２ｂ）のシート抵抗を測定した結果を図６１Ｂに示す。ＯＳＦＥＴのＳＤ電極のシート抵抗の測定は、ＯＳＦＥＴの導電体２４２ａまたは導電体２４２ｂを測定するためのＴＥＧを形成し、当該ＴＥＧで測定を行った。また、１ｓｔ　ｌａｙｅｒ乃至４ｔｈ　ｌａｙｅｒそれぞれにおいて、ＯＳＦＥＴのプラグとして機能する電極（図２０Ｂに示す導電体２４０ａ）のコンタクト抵抗を測定した結果を図６１Ｃに示す。ＯＳＦＥＴのプラグとして機能する電極のコンタクト抵抗の測定は、図２０Ｂに示す、導電体２４２ａ、導電体２４０ａ、及び導電体１１２に対応するＴＥＧを形成し、当該ＴＥＧで測定を行った。

［０７９８］

図６１Ｂ及び図６１Ｃに示すように、ＯＳＦＥＴのＳＤ電極のシート抵抗、及びＯＳＦＥＴのプ

ラグとして機能する電極のコンタクト抵抗も、明確な積層順番の依存性は見られなかった。

［０７９９］

以上のように、図５８及び図５９で示した結果と同様に、１ｓｔ　ｌａｙｅｒ乃至４ｔｈ　ｌａｙｅｒそれぞれにおいて、熱履歴に依らず、ＯＳＦＥＴは安定な特性を示した。

［０８００］

また、３ｒｄ　ｌａｙｅｒのＯＳＦＥＴのＩｄ－Ｖｇ特性の温度依存性を調べた結果について、図６２に示す。図６２に示すように、測定温度を－４０℃、２７℃、８５℃として、Ｉｄ－Ｖｇ特性の測定を行った。なお、図６２中の破線は、測定下限（ｄｅｔｅｃｔｉｏｎ　ｌｉｍｉｔ）を示す。いずれの温度条件においても、オフ電流が測定下限（10^{-13}Ａ）以下になることが確認された。

［０８０１］

また、１ｓｔ　ｌａｙｅｒ乃至４ｔｈ　ｌａｙｅｒそれぞれにおいて、図５６Ｂに示す構造の、導電体２０７Ｌ－導電体２４２ａ間、導電体２０７Ｌ－導電体２０７Ｈ間、及び導電体２４２ａ－導電体２０７Ｈ間、のコンタクト抵抗を測定した。コンタクト抵抗を測定した結果を図６３Ａ乃至図６３Ｃに示す。ここで、図６３Ａは、導電体２０７Ｌ－導電体２４２ａ間のコンタクト抵抗であり、図６３Ｂは、導電体２０７Ｌ－導電体２０７Ｈ間のコンタクト抵抗であり、図６３Ｃは、導電体２４２ａ－導電体２０７Ｈ間のコンタクト抵抗である。図６３Ａ乃至図６３Ｃに示すように、１ｓｔ　ｌａｙｅｒ乃至４ｔｈ　ｌａｙｅｒそれぞれにおいて、導電体２０７Ｌ－導電体２４２ａ間、導電体２０７Ｌ－導電体２０７Ｈ間、及び導電体２４２ａ－導電体２０７Ｈ間において、導通が取れている。

［０８０２］

また、１ｓｔ　ｌａｙｅｒ乃至４ｔｈ　ｌａｙｅｒそれぞれにおいて、図６４Ａに示す回路のＴＥＧを用いて、ＯＳＦＥＴのリーク電流の評価を行った。

［０８０３］

図６４Ａに示すように、トランジスタＷのソースはノードＦＮと電気的に接続され、トランジスタＭのドレインはノードＦＮと電気的に接続され、読み出し回路はノードＦＮと電気的に接続される。読み出し回路は、２個のトランジスタが直列に接続されたものであり、一方のトランジスタのゲートがノードＦＮと電気的に接続され、双方のトランジスタのソースまたはドレインが接続されたノードが、出力端子ＯＵＴと電気的に接続される。

［０８０４］

トランジスタＷは、書き込み用トランジスタであり、トランジスタＭは、リーク電流の評価対象のトランジスタである。トランジスタＭは、図６４Ａでは１つのトランジスタとして図示しているが、試料に含まれるＯＳＦＥＴ（設計値でチャネル長６０ｎｍ、チャネル幅６０ｎｍのトランジスタ）を２００００個並列に接続したトランジスタである。つまり、トランジスタＭは、チャネル長６０ｎｍ、チャネル幅１．２ｍｍのトランジスタに相当する。

［０８０５］

次に、リーク電流を導出する方法について説明する。トランジスタＷがオン状態となるようにトランジスタＷのドレインに電位１．２Ｖを与え、電荷を蓄積させてノードＦＮの電位が１．２Ｖになるようにした。その後、トランジスタＷのゲートに－３Ｖの電位を与え、トランジスタＷをオフ状態にした。トランジスタＭがオフ状態になるように、トランジスタＭのソースの電位を０Ｖ、ト

ランジスタMのバックゲートの電位を－３Ｖとした。トランジスタMのトップゲートの電位は、－２Ｖとした。上述の状態で一定時間保持して、ノードＦＮの電位の時間変化を読み出し回路にて読み取り、読み取った値からリーク電流値を導出した。

［０８０６］

図６４Ｂに、８５℃、１００℃、１２５℃、および１５０℃それぞれの温度環境下で測定したリーク電流Ｉｏｆｆの測定結果を示す。図６４Ｂの横軸は温度の逆数を１０００倍した値［１／Ｋ］を示し、縦軸はトランジスタMの単位チャネル幅あたりのリーク電流Ｉｏｆｆ［Ａ／μｍ］を対数で示している。

［０８０７］

図６４Ｂより、１ｓｔ　ｌａｙｅｒ乃至４ｔｈ　ｌａｙｅｒそれぞれにおいて、ＯＳＦＥＴのリーク電流に大きな違いは見られず、十分小さいことがわかった。

［０８０８］

また、３ｒｄ　ｌａｙｅｒにおいて、図６５Ａに示す回路のＴＥＧを用いて、ＯＳＦＥＴの保持特性の評価を行った。

［０８０９］

図６５Ａに示すＴＥＧは、上記実施の形態に示す、ＮＯＳＲＡＭのＴＥＧである。図６５Ａに示すように、トランジスタWのソース及びドレインの一方はノードＳＮと電気的に接続され、トランジスタRのトップゲートはノードＳＮと電気的に接続され、容量素子Ｃの一対の電極の一方はノードＳＮと電気的に接続される。配線WWＬがトランジスタWのトップゲートに電気的に接続され、配線ＷＢＬがトランジスタWのソース及びドレインの他方に電気的に接続される。また、配線ＲＢＬがトランジスタRのソース及びドレインの一方に電気的に接続され、配線ＳＬがトランジスタRのソース及びドレインの他方に電気的に接続される。また、配線ＣＷＬが容量素子Ｃの一対の電極の他方に電気的に接続される。

［０８１０］

本実施例では、上記ＮＯＳＲＡＭ－ＴＥＧにおいて、Ｈｉｇｈのデータ記憶時、及びＬｏｗのデータ記憶時のＩｄ－V_{CWL}特性を測定した。ここで、Ｈｉｇｈのデータの書き込みは、配線ＷＢＬに１．２Ｖを与え、容量素子Ｃに電荷を蓄積させた。また、Ｌｏｗのデータの書き込みは、配線ＷＢＬに０Ｖを与え、容量素子Ｃに電荷を蓄積させた。ＨｉｇｈまたはＬｏｗのデータを書き込んだ、ＮＯＳＲＡＭ－ＴＥＧにおいて、配線ＣＷＬの電位V_{CWL}を－２．５Ｖから＋２．５Ｖまで走査して、トランジスタRの電流Ｉｄを測定した。このとき、配線WWＬの電位を－１．５Ｖとし、配線ＷＢＬの電位を０Ｖとし、配線ＲＢＬの電位を１．２Ｖとし、配線ＳＬの電位を０Ｖとした。

［０８１１］

Ｉｄ－V_{CWL}特性の測定結果を図６５Ｂに示す。図６５Ｂは、横軸に配線ＣＷＬの電位V_{CWL}［Ｖ］、縦軸にトランジスタRの電流Ｉｄ［Ａ］をとる。なお、横軸は、－１Ｖ以上３Ｖ以下の範囲で表示している。図６５Ｂに示すように、Ｈｉｇｈのデータのときの Ｉｄ－V_{CWL}カーブが、Ｌｏｗのデータのときの Ｉｄ－V_{CWL}カーブに対して十分シフトしており、本実施例のＴＥＧがＮＯＳＲＡＭのメモリセルとして正常動作することが確認できた。

［０８１２］

ここで、Ｉｄ－V_{CWL}カーブにおける、Ｉｄ＝10^{-12}Ａとの交点の電位V_{CWL}を電位Ｖｓｈとする。ＨｉｇｈまたはＬｏｗのデータの書き込み時間（Ｗｒｉｔｅ　ｐｕｌｓｅ　ｗｉｄｔｈ）を

５ｎｓ、１０ｎｓ、２０ｎｓ、５０ｎｓ、１００ｎｓとして、Ｉｄ－V_{CWL}特性を測定し、電位Ｖｓｈを算出した結果を図６５Ｃに示す。ここで、データの書き込み時間（Ｗｒｉｔｅ　ｐｕｌｓｅ　ｗｉｄｔｈ）とは、データの書き込みにあたって、配線WWＬに高電位を印加して、トランジスタＷをオン状態にしていた時間のことを指す。

［０８１３］

図６５Ｃに示すように、書き込み時間５ｎｓでも、Ｈｉｇｈのデータと、Ｌｏｗのデータで電位Ｖｓｈに十分な差が現れている。つまり、５ｎｓ程度の短い時間でも、本実施例のメモリセルにデータを書き込めることが示された。

［０８１４］

また、上記ＮＯＳＲＡＭ－ＴＥＧについて、データ保持評価試験を行った。データ保持評価試験では、ます、ノードＳＮに電位V_{SN}が約２Ｖになるようにデータを書き込んだ。それから、配線ＷＢＬの電位を０Ｖとし、配線WWＬの電位を－１．５Ｖとし、配線ＲＢＬを１．２Ｖとし、配線ＳＬの電位を０Ｖとし、配線ＣＷＬの電位を１．３Ｖとして、ノードＳＮの電位を保持した。既定の時間が経つまで各配線の電位を維持したまま、定期的にトランジスタＲの電流Ｉｄを測定した。試験前にトランジスタＲのＩｄ－Ｖｇ特性を取得しておき、測定した電流Ｉｄと、トランジスタＲのＩｄ－Ｖｇカーブから、電位V_{SN}を算出した。

［０８１５］

データ保持評価試験の結果を図６６Ａに示す。図６６Ａは、横軸に保持時間（Ｒｅｔｅｎｔｉｏｎ　Ｔｉｍｅ）［ｓｅｃ］、縦軸に電位V_{SN}［Ｖ］をとる。図６６Ａに示すように、測定時間１０時間の時点で、ノードＳＮの電圧低下は、約０．１Ｖであった。よって、本実施例のメモリセルは、十分なデータ保持性能を有することが示された。

［０８１６］

また、上記ＮＯＳＲＡＭ－ＴＥＧについて、データ書き換え評価試験を行った。データ書き換え評価試験では、規定回数データの書き込みを行った後で、図６５Ｂ及び図６５Ｃと同様に、Ｉｄ－V_{CWL}カーブを測定し、電位Ｖｓｈを算出する。そして、これらの処理を、データの書き込み回数を増やしながら、繰り返して行った。

［０８１７］

データ書き換え評価試験の結果を図６６Ｂに示す。図６６Ｂは、横軸にデータの書き込み回数（Ｗｒｉｔｅ　ｃｙｃｌｅｓ）［ｔｉｍｅｓ］、縦軸に電位Ｖｓｈ［Ｖ］をとる。図６６Ｂに示すように、10^{12}回の書き換えを行っても、Ｈｉｇｈのデータと、Ｌｏｗのデータで電位Ｖｓｈに十分な差が現れている。つまり、10^{12}回の書き換えを行っても、本実施例のメモリセルは正常にデータを書き込めることが示された。

［０８１８］

また、上記の試料においては、ＯＳＦＥＴのＳＤ電極を窒化タンタル膜で形成した。ＯＳＦＥＴの微細化を図るにあたって、図１７Ａに示すように、タングステン膜のような、より導電性の高い導電膜を積層して、ＳＤ電極に用いることで、ＳＤ電極とプラグとして機能する電極とのコンタクト抵抗を低減することができる。

［０８１９］

ＳＤ電極に膜厚２０ｎｍの窒化タンタル膜（TaN_x）を用いた試料と、膜厚５ｎｍの窒化タンタル膜と、その上に膜厚１５ｎｍのタングステン膜を形成した積層膜（TaN_x＼Ｗ）を用いた試

料を用意して、それぞれのコンタクト抵抗及びシート抵抗を測定した。なお、上記試料において、コンタクト径を変更したプラグを設けてコンタクト抵抗の測定を行った。

［０８２０］

コンタクト抵抗の測定結果を図６７Ａに示す。図６７Ａにより、ＳＤ電極に窒化タンタルとタングステンの積層膜を用いることで、コンタクト径が小さくなっても、コンタクト抵抗の増加を抑制できることが分かった。

［０８２１］

シート抵抗の測定結果を図６７Ｂに示す。図６７Ｂにより、ＳＤ電極に窒化タンタルとタングステンの積層膜を用いることで、シート抵抗を低減できることが分かった。

［０８２２］

また、上記の試料においては、ＭＩＭとして、プレーナ型の容量素子を用いた。上記実施の形態に示す、ＤＯＳＲＡＭを作製する場合、より高容量の容量素子を形成することが求められる。高容量の容量素子を用いたメモリセルとして、図６８に示す、トレンチ型のＭＩＭを有するメモリセルを作製した。図６８に示すように当該メモリセルは、２層構造であり、各層のメモリセルは、ＯＳＦＥＴと、ＭＩＭを有する。

［０８２３］

ＭＩＭの下部電極は、ＣＶＤ法で成膜した、窒化チタン膜である。ＭＩＭの上部電極は、ＣＶＤ法で成膜した、窒化チタン膜と、窒化チタン膜上のタングステン膜の積層膜である。ＭＩＭの誘電体膜は、膜厚４ｎｍの酸化ジルコニウム膜、膜厚０．５ｎｍの酸化アルミニウム膜、膜厚４ｎｍの酸化ジルコニウム膜の順に積層された、３層構造の積層膜である。酸化ジルコニウム膜、及び酸化アルミニウム膜は、それぞれ熱ＡＬＤ法で成膜した。このように、誘電体に高比誘電率材料であるＺＡＺを用いることで、ＭＩＭの高容量化を図った。

［０８２４］

本実施例は、実施の形態、及び他の実施例と適宜組み合わせることができる。

［符号の説明］

［０８２５］

１００Ａ：容量素子、１００：容量素子、１１０ａ：導電体、１１０ｂ：導電体、１１０ｃ：導電体、１１０：導電体、１１２：導電体、１１５：導電体、１２０ａ：導電体、１２０ｂ：導電体、１２０：導電体、１２５：導電体、１３０：絶縁体、１３２：絶縁体、１４０：導電体、１４２：絶縁体、１４５：絶縁体、１５０：絶縁体、１５１：絶縁体、１５２ａ：絶縁体、１５２ｂ：絶縁体、１５２：絶縁体、１５３：導電体、１５４：絶縁体、１５５ａ：絶縁体、１５５ｂ：絶縁体、１５５：絶縁体、１５６：絶縁体、１６０ａ：導電体、１６０ｂ：導電体、１６０：導電体、１６８：開口、２００Ａ：トランジスタ、２００Ｂ：トランジスタ、２００Ｃ：トランジスタ、２００Ｄ：トランジスタ、２００Ｅ：トランジスタ、２００：トランジスタ、２０５ａ：導電体、２０５ｂ：導電体、２０５：導電体、２０７Ｈ：導電体、２０７Ｌ：導電体、２０９：導電体、２１０：絶縁体、２１５ａ：絶縁体、２１５ｂ：絶縁体、２１５：絶縁体、２１６：絶縁体、２１７：絶縁体、２１８：導電体、２２２ａ：絶縁体、２２２ｂ：絶縁体、２２２ｃ：絶縁体、２２２ｄ：絶縁体、２２２：絶縁体、２２４ａ：絶縁体、２２４ｃ：絶縁体、２２４ｄ：絶縁体、２２４：絶縁体、２３０ａ：酸化物、２３０ｂ：酸化物、２３０ｂｉ：領域、２３０ｂｎａ：領域、２３０ｂｎｂ：領域、２３０ｉ：領域、２３０ｎａ：領域、２３０ｎｂ：領域、２３０：酸化物、２４０ａ：導電

体、２４０ｂ：導電体、２４０：導電体、２４１ａ：絶縁体、２４１ｂ：絶縁体、２４１：絶縁体、２４２ａ：導電体、２４２ｂ：導電体、２４６：導電体、２５０ａ：絶縁体、２５０ｂ：絶縁体、２５０ｃ：絶縁体、２５０ｄ：絶縁体、２５０：絶縁体、２５５：絶縁体、２６０ａ：導電体、２６０ｂ：導電体、２６０：導電体、２６１：導電体、２６５：封止部、２７１ａ：絶縁体、２７１ｂ：絶縁体、２７４：絶縁体、２７５：絶縁体、２８０：絶縁体、２８２：絶縁体、２８３：絶縁体、２８４：絶縁体、２８５：絶縁体、２８６：絶縁体、２８７：絶縁体、３００：トランジスタ、３１１：基板、３１３：半導体領域、３１４ａ：低抵抗領域、３１４ｂ：低抵抗領域、３１５：絶縁体、３１６：導電体、３２０：絶縁体、３２２：絶縁体、３２４：絶縁体、３２６：絶縁体、３２８：導電体、３３０：導電体、３５０：絶縁体、３５２：絶縁体、３５４：絶縁体、３５６：導電体、４００：開口領域、５００：半導体装置、７００：電子部品、７０２：プリント基板、７０４：実装基板、７１０：半導体装置、７１１：モールド、７１２：ランド、７１３：電極パッド、７１４：ワイヤ、７１５：駆動回路層、７１６：記憶層、７３０：電子部品、７３１：インターポーザ、７３２：パッケージ基板、７３３：電極、７３５：半導体装置、１００１：配線、１００２：配線、１００３：配線、１００４：配線、１００５：配線、１００６：配線、１００７：配線、１１００：ＵＳＢメモリ、１１０１：筐体、１１０２：キャップ、１１０３：ＵＳＢコネクタ、１１０４：基板、１１０５：メモリチップ、１１０６：コントローラチップ、１１１０：ＳＤカード、１１１１：筐体、１１１２：コネクタ、１１１３：基板、１１１４：メモリチップ、１１１５：コントローラチップ、１１５０：ＳＳＤ、１１５１：筐体、１１５２：コネクタ、１１５３：基板、１１５４：メモリチップ、１１５５：メモリチップ、１１５６：コントローラチップ、１２００：チップ、１２０１：パッケージ基板、１２０２：バンプ、１２０３：マザーボード、１２０４：ＧＰＵモジュール、１２１１：ＣＰＵ、１２１２：ＧＰＵ、１２１３：アナログ演算部、１２１４：メモリコントローラ、１２１５：インターフェース、１２１６：ネットワーク回路、１２２１：ＤＲＡＭ、１２２２：フラッシュメモリ、１４００：記憶装置、１４１１：周辺回路、１４２０：行回路、１４３０：列回路、１４４０：出力回路、１４６０：コントロールロジック回路、１４７０［１］：メモリセルアレイ、１４７０［２］：メモリセルアレイ、１４７０［ｍ］：メモリセルアレイ、１４７０：メモリセルアレイ、１４７１：メモリセル、１４７２：メモリセル、１４７３：メモリセル、１４７４：メモリセル、１４７５：メモリセル、１４７６：メモリセル、１４７７：メモリセル、１４７８：メモリセル、１４７９：メモリセル、１４８０：メモリセル、５６００：大型計算機、５６１０：ラック、５６２０：計算機、５６２１：ＰＣカード、５６２２：ボード、５６２３：接続端子、５６２４：接続端子、５６２５：接続端子、５６２６：半導体装置、５６２７：半導体装置、５６２８：半導体装置、５６２９：接続端子、５６３０：マザーボード、５６３１：スロット、６５００：電子機器、６５０１：筐体、６５０２：表示部、６５０３：電源ボタン、６５０４：ボタン、６５０５：スピーカ、６５０６：マイク、６５０７：カメラ、６５０８：光源、６５０９：制御装置、６６００：電子機器、６６１１：筐体、６６１２：キーボード、６６１３：ポインティングデバイス、６６１４：外部接続ポート、６６１５：表示部、６６１６：制御装置、６８００：人工衛星、６８０１：機体、６８０２：ソーラーパネル、６８０３：アンテナ、６８０４：惑星、６８０５：二次電池、６８０７：制御装置、７０００：ストレージシステム、７００１ｓｂ：サーバ、７００１：ホスト、７００２：ストレージ制御回路、７００３ｍｄ：記憶装置、７００３：ストレージ、７００４：ストレージエリアネットワーク

請求の範囲

［請求項１］

第１の積層体と、前記第１の積層体下の半導体層と、前記半導体層下の第２の積層体と、を有し、

前記半導体層は、第１の領域と、前記第１の領域を挟むように設けられる第２の領域及び第３の領域と、を有し、

前記第１の積層体と、前記第２の積層体とは、前記第１の領域を基準として対称に設けられ、

前記第１の積層体は、第１の絶縁体と、前記第１の絶縁体上の第２の絶縁体と、を有し、

前記第２の積層体は、第３の絶縁体と、前記第３の絶縁体下の第４の絶縁体と、を有し、

前記第２の絶縁体は、前記第１の絶縁体よりも水素を透過し難く、

前記第４の絶縁体は、前記第３の絶縁体よりも水素を透過し難く、

前記第１の絶縁体及び前記第３の絶縁体のそれぞれは、シリコンと、酸素と、を有し、

前記第２の絶縁体及び前記第４の絶縁体のそれぞれは、シリコンと、窒素と、を有する、半導体装置。

［請求項２］

請求項１において、

前記第３の絶縁体は、島状であり、

断面視において、前記第３の絶縁体の側端部は、前記半導体層の側端部と一致する、半導体装置。

［請求項３］

請求項１において、

前記第１の積層体は、前記第１の絶縁体下に第５の絶縁体をさらに有し、

前記第２の積層体は、前記第３の絶縁体上に第６の絶縁体をさらに有し、

前記第５の絶縁体は、前記第１の絶縁体よりも酸素を透過し難く、

前記第６の絶縁体は、前記第２の絶縁体よりも酸素を透過し難く、

前記第５の絶縁体及び前記第６の絶縁体のそれぞれは、アルミニウムを有する、半導体装置。

［請求項４］

請求項３において、

前記第３の絶縁体と、前記第６の絶縁体とは、積層構造であり、

前記積層構造は、島状であり、

断面視において、前記積層構造の側端部は、前記半導体層の側端部と一致する、半導体装置。

［請求項５］

第１の積層体と、前記第１の積層体下の半導体層と、前記半導体層下の第２の積層体と、を有し、

前記半導体層は、第１の領域と、前記第１の領域を挟むように設けられる第２の領域及び第３の領域と、を有し、

前記第１の積層体と、前記第２の積層体とは、前記第１の領域を基準として対称に設けられ、

前記第１の積層体は、第１の絶縁体と、前記第１の絶縁体上の第２の絶縁体と、前記第２の絶縁体上の第３の絶縁体と、を有し、

前記第２の積層体は、第１の金属酸化物と、前記第１の金属酸化物下の第４の絶縁体と、前記第４の絶縁体下の第５の絶縁体と、を有し、

前記第１の絶縁体は、前記第２の絶縁体よりも酸素を透過し難く、

前記第３の絶縁体は、前記第２の絶縁体よりも水素を透過し難く、

前記第１の金属酸化物は、前記第４の絶縁体よりも酸素を透過し難く、

前記第５の絶縁体は、前記第４の絶縁体よりも水素を透過し難く、

前記第１の絶縁体及び前記第１の金属酸化物のそれぞれは、ガリウム及びアルミニウムの少なくとも一方を有し、

前記第２の絶縁体及び前記第４の絶縁体のそれぞれは、シリコンと、酸素と、を有し、

前記第３の絶縁体及び前記第５の絶縁体のそれぞれは、シリコンと、窒素と、を有する、半導体装置。

［請求項６］

請求項５において、

前記半導体層は、第２の金属酸化物を有し、

前記第１の金属酸化物及び前記第２の金属酸化物のそれぞれは、インジウムを有し、

前記第１の金属酸化物における、インジウムに対するガリウム及びアルミニウムの少なくとも一方の原子数比は、前記第２の金属酸化物における、インジウムに対するガリウム及びアルミニウムの少なくとも一方の原子数比より大きい、半導体装置。

［請求項７］

請求項５において、

前記第４の絶縁体と前記第５の絶縁体との間に、第６の絶縁体をさらに有し、

前記第６の絶縁体は、水素を捕獲する又は固着する機能を有する、半導体装置。

［請求項８］

請求項７において、

前記第２の絶縁体と前記第３の絶縁体との間に、第７の絶縁体をさらに有し、

前記第７の絶縁体は、水素を捕獲する又は固着する機能を有する、半導体装置。

［請求項９］

請求項１乃至請求項８のいずれか一項において、

第１の導電体と、第２の導電体とをさらに有し、

前記第１の導電体は、前記第１の積層体の上方に位置し、

前記第２の導電体は、前記第２の積層体の下方に位置する、半導体装置。

［請求項１０］

請求項９において、

第３の導電体と、第４の導電体とをさらに有し、

前記第２の領域は、前記第３の導電体と重なり、

前記第３の領域は、前記第４の導電体と重なる、半導体装置。

［請求項１１］

請求項１０に記載の半導体装置と、容量素子と、を有し、

前記容量素子は、強誘電体キャパシタである、記憶装置。

図1A

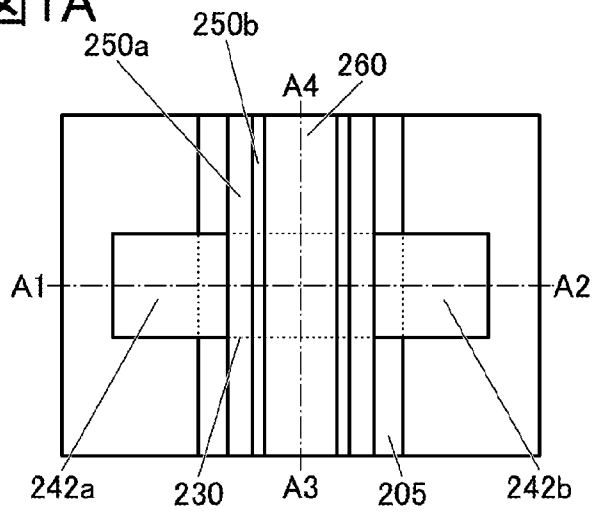

250a
250b
A4
260
A1
A2
242a
230
A3
205
242b

図1B

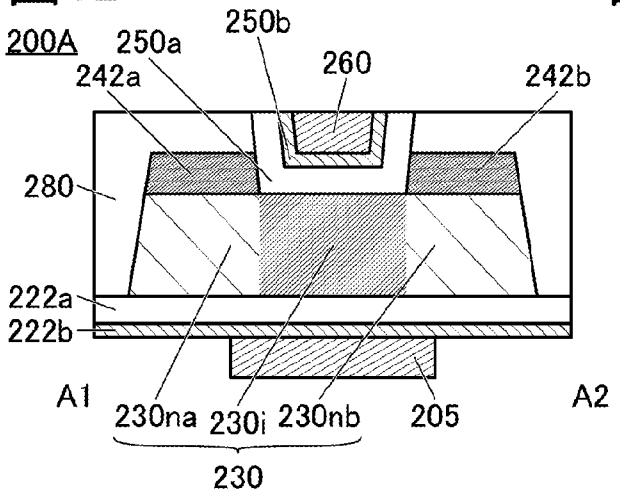

200A
250a
250b
242a
260
242b
280
222a
222b
A1
230na
230i
230nb
205
A2
230

図1C

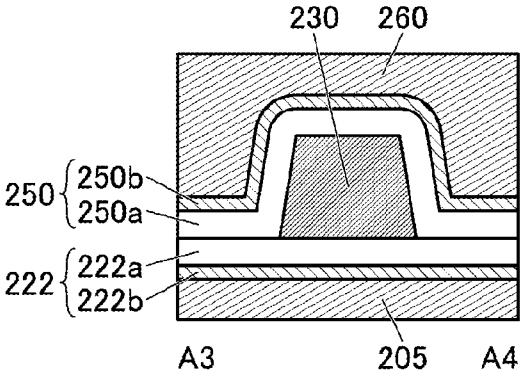

230
260
250
250b
250a
222
222a
222b
A3
205
A4

図2A

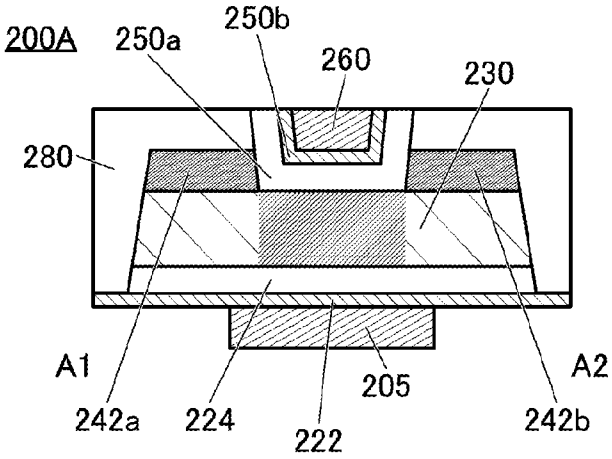

200A
250a
250b
260
230
280
A1
A2
242a
224
222
205
242b

図2B

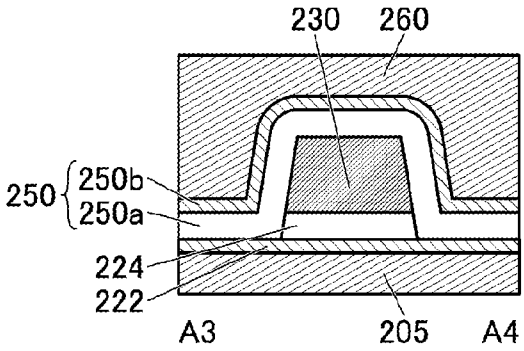

230
260
250
250b
250a
224
222
A3
205
A4

図3A

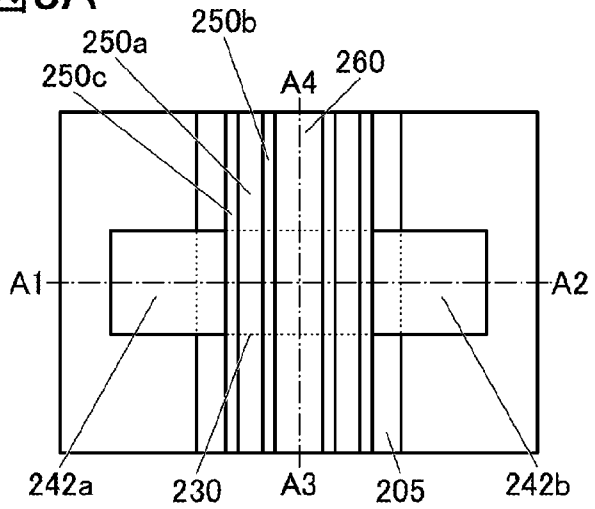

250b
250a
250c
A4
260
A1
A2
242a
230
A3
205
242b

図3B

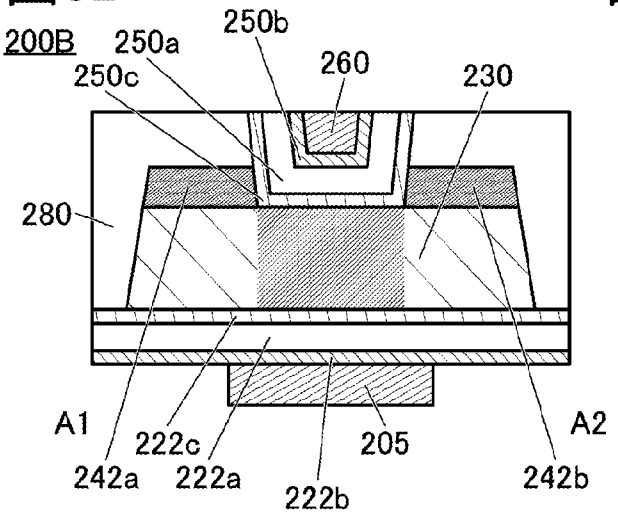

200B
250b
250a
250c
260
230
280
A1
A2
222c
205
242a
222a
222b
242b

図3C

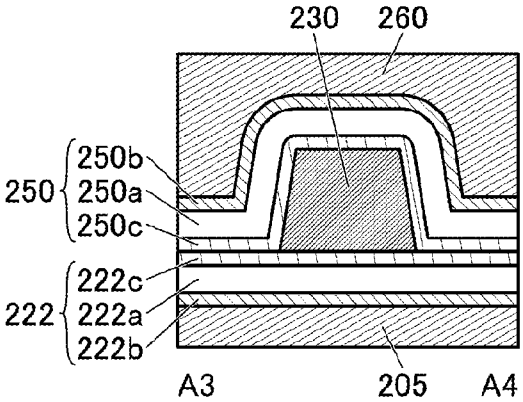

230
260
250
250b
250a
250c
222
222c
222a
222b
A3
205
A4

図4A

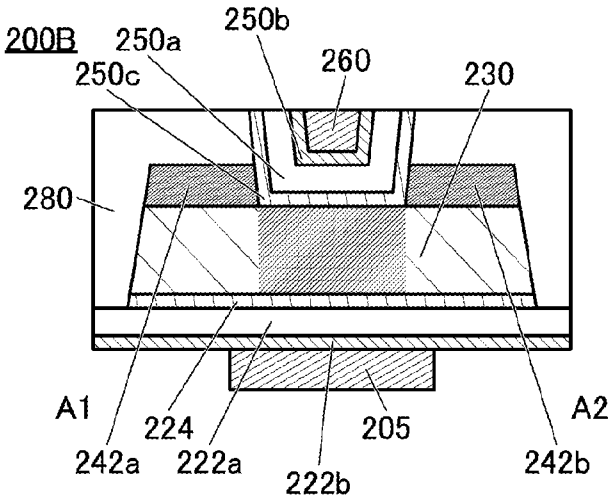


図4B

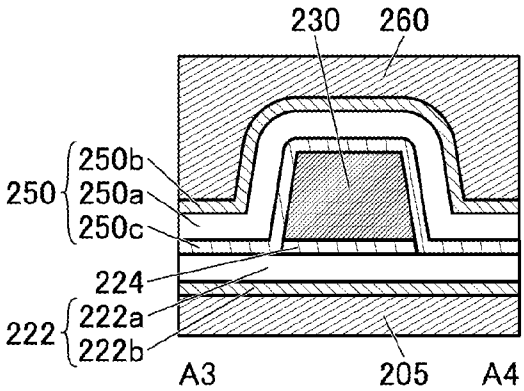


図4C

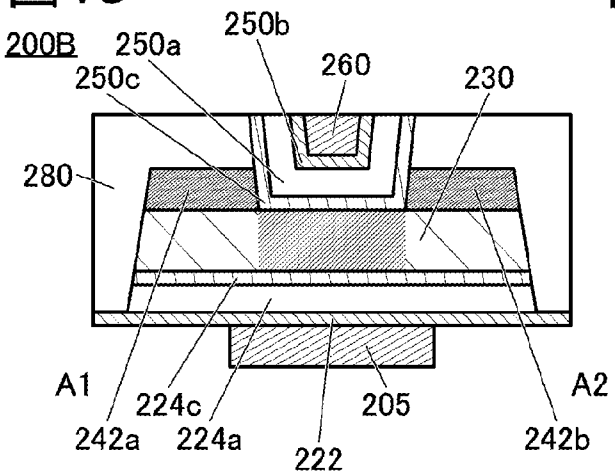


図4D

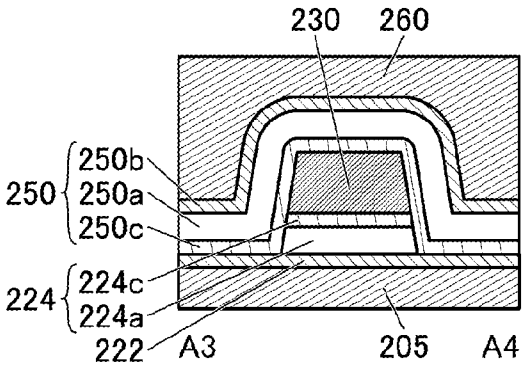


図5A

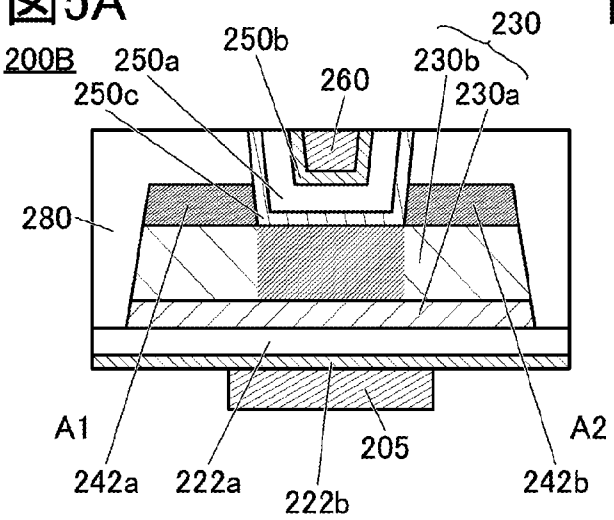


図5B

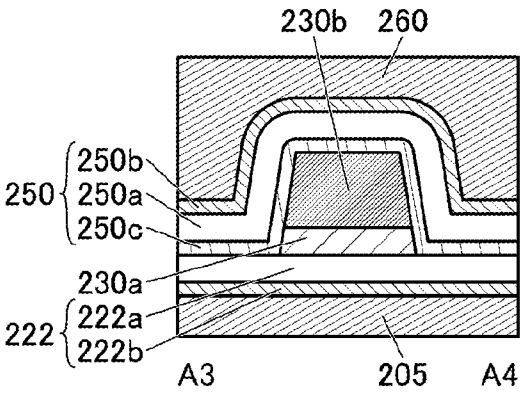


図5C

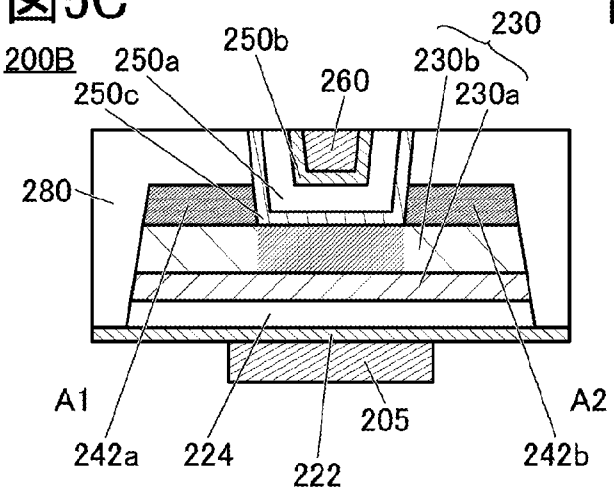


図5D

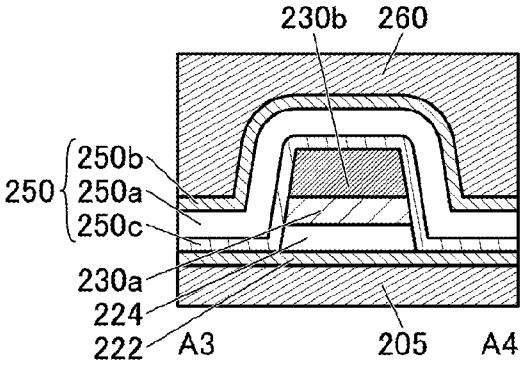


図6A

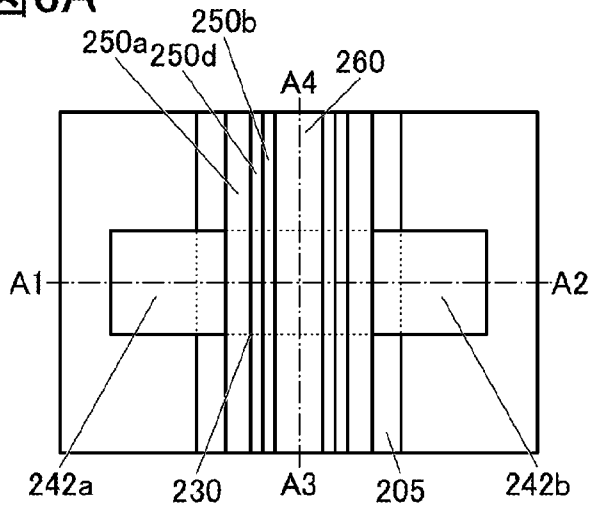

250b
250a
250d
A4
260
A1
A2
242a
230
A3
205
242b

図6B

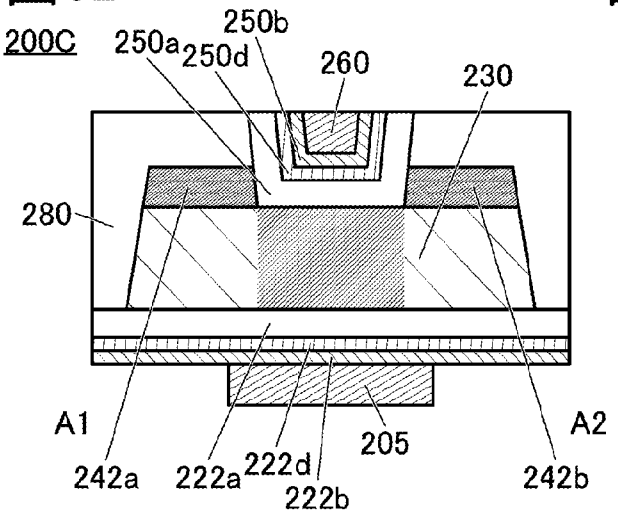

200C
250a
250b
250d
260
230
280
A1
A2
242a
222a
222d
222b
205
242b

図6C

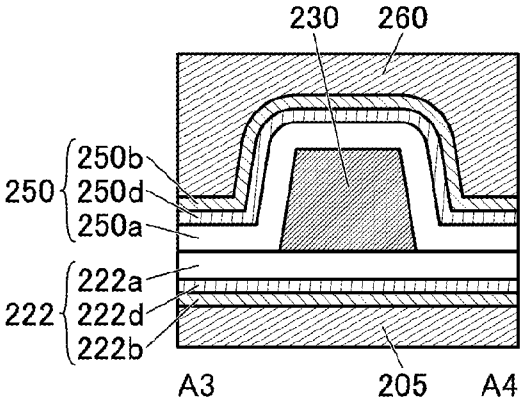

230
260
250
250b
250d
250a
222
222a
222d
222b
A3
205
A4

図7A

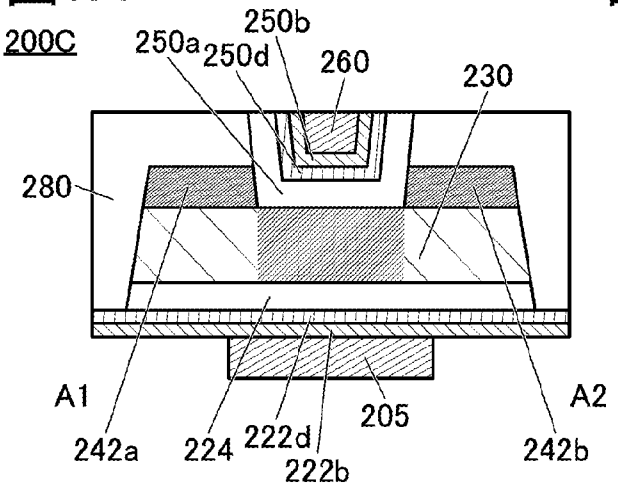


図7B

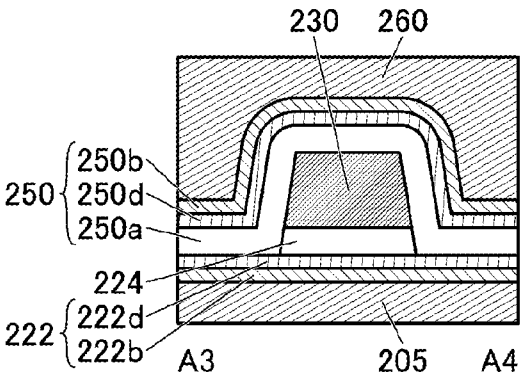


図7C

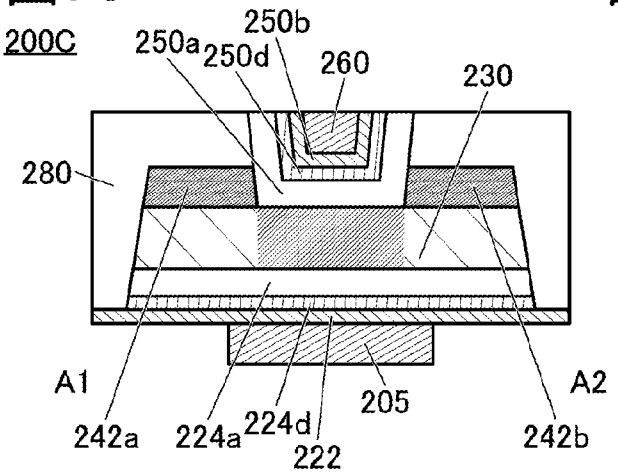


図7D

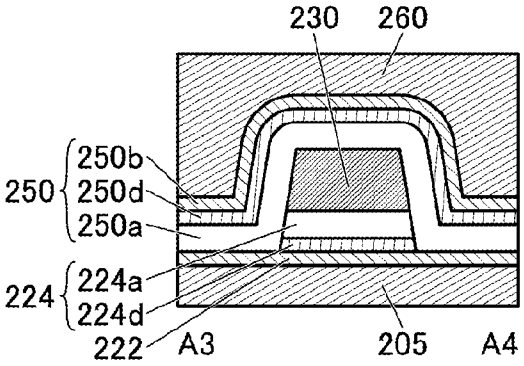


図8A

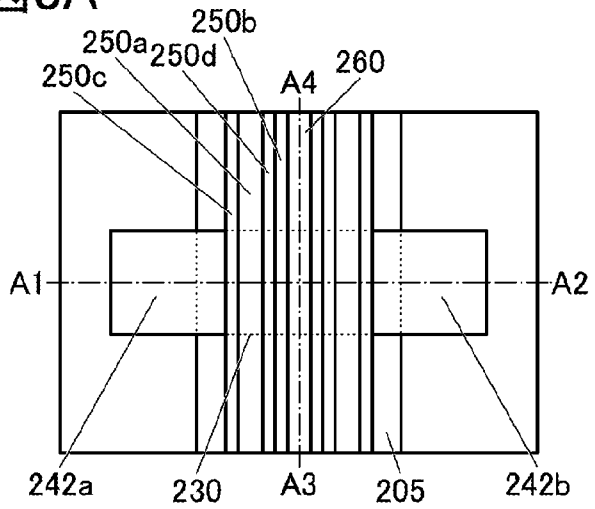

250b
250a
250d
250c
A4
260
A1
A2
242a
230
A3
205
242b

図8B

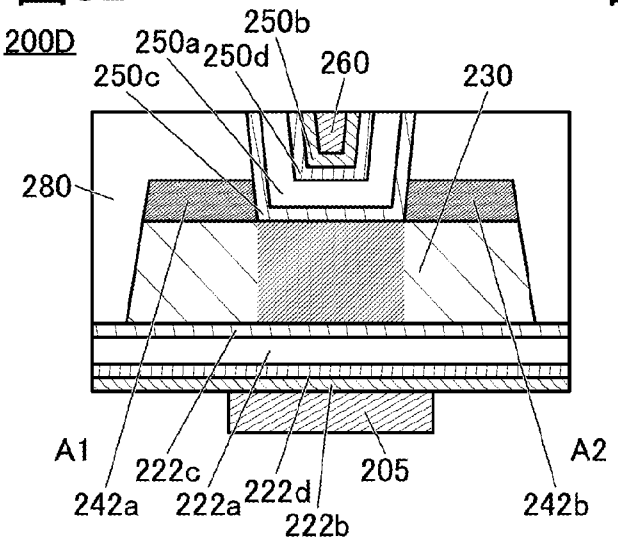

200D
250b
250a
250d
250c
260
230
280
A1
A2
222c
222a
222d
222b
205
242a
242b

図8C

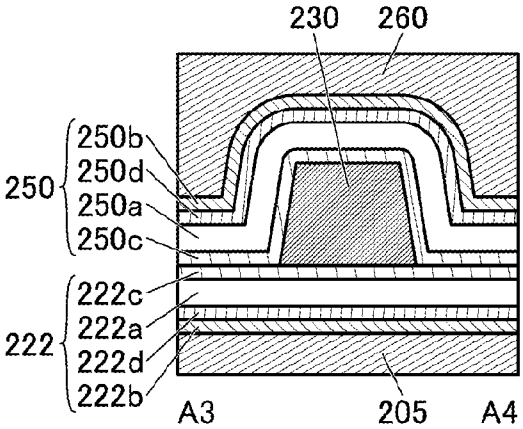

230
260
250
250b
250d
250a
250c
222
222c
222a
222d
222b
A3
205
A4

図9A

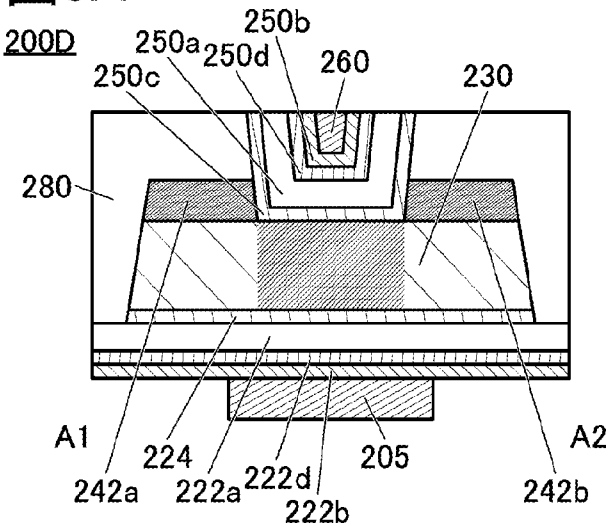


図9B

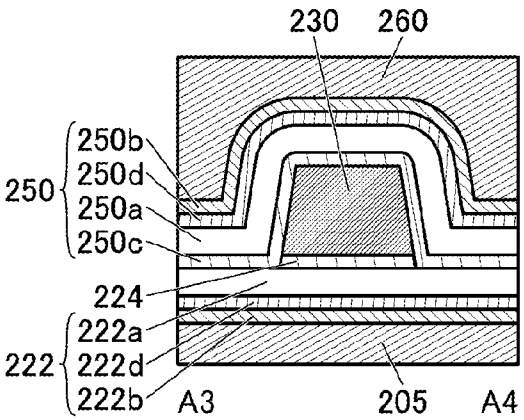


図9C

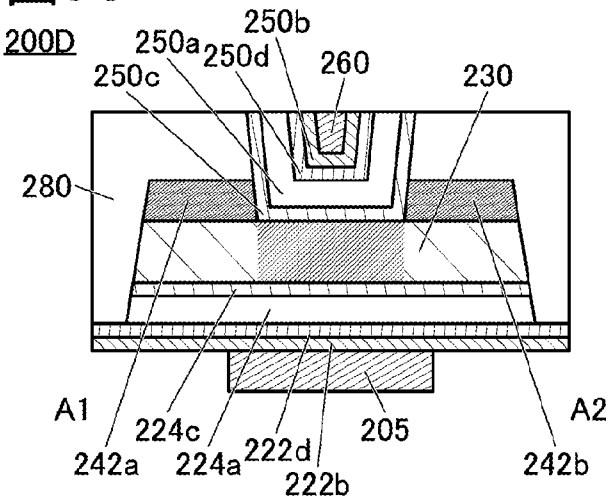


図9D

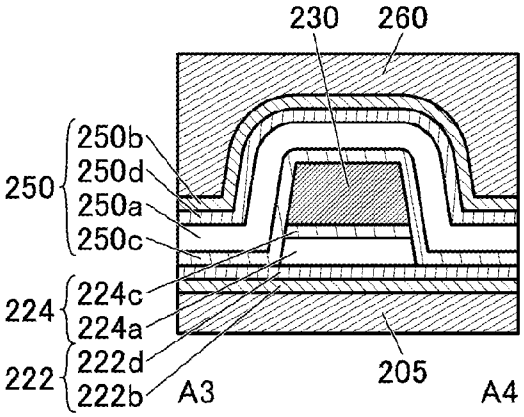


図9E

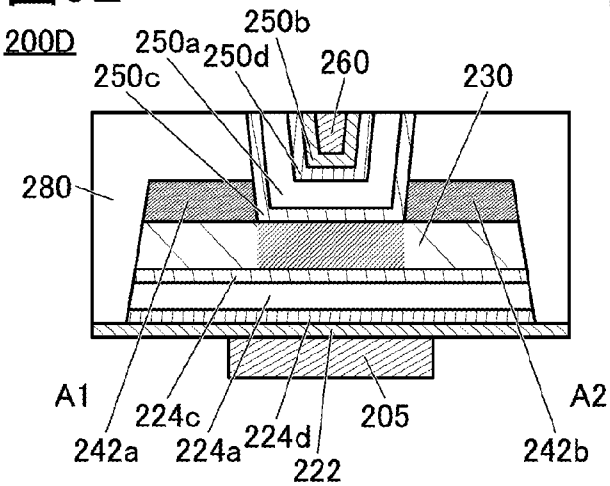


図9F

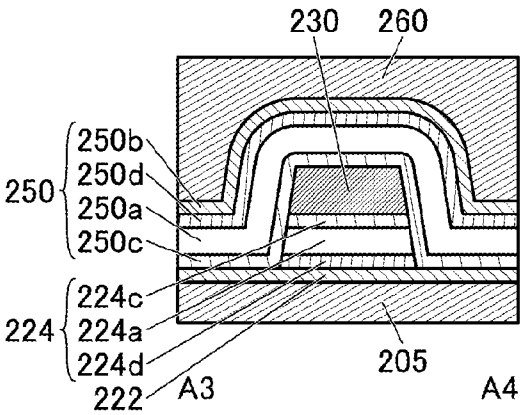


図10A

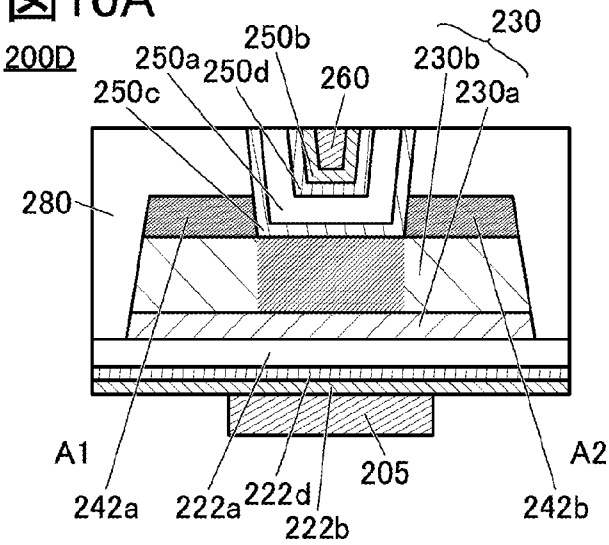


図10B

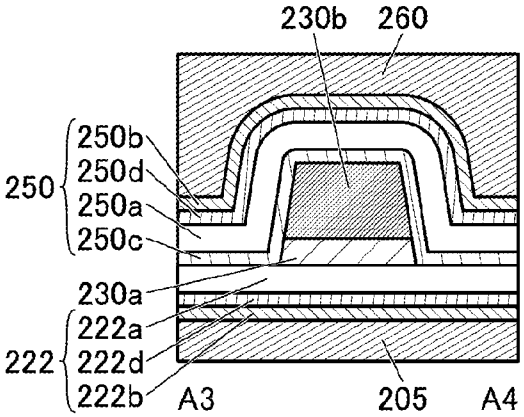


図10C

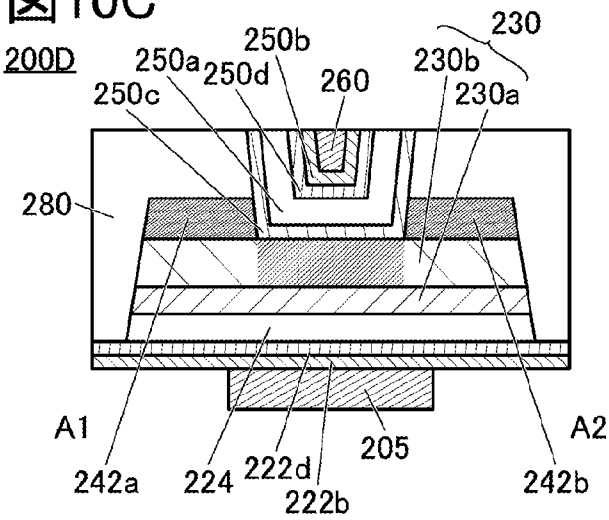


図10D

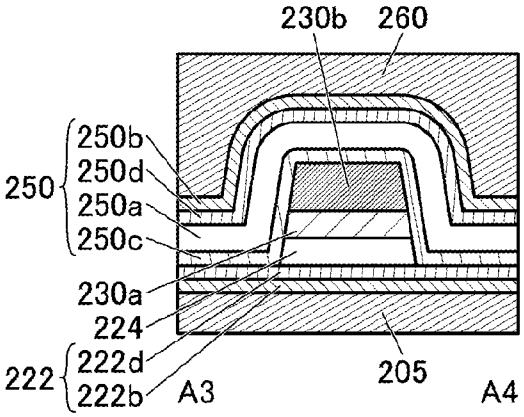


図10E

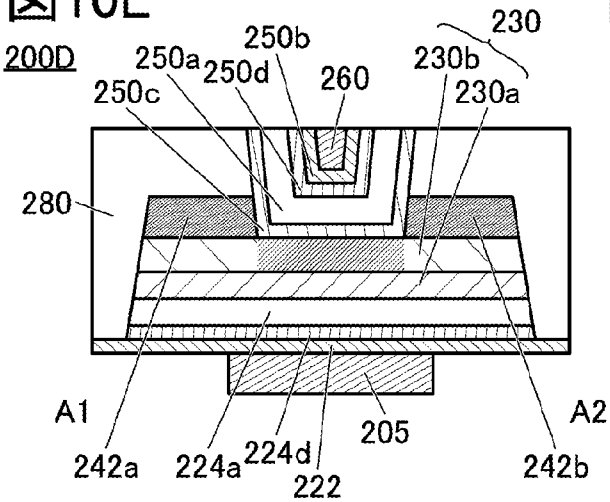


図10F

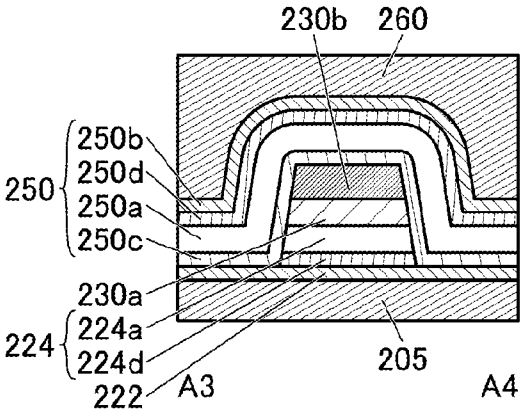


図11A

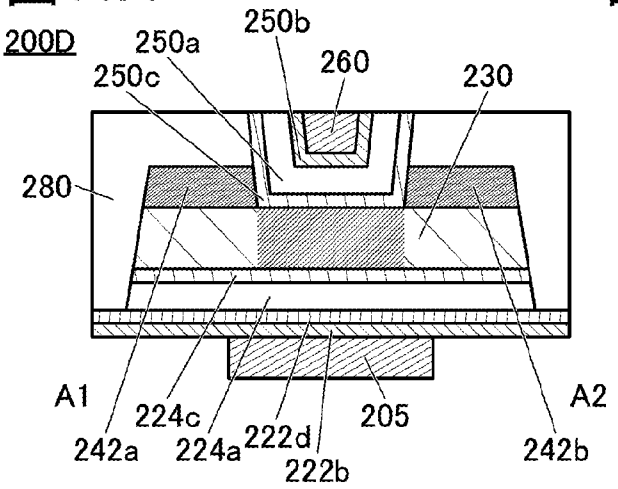


図11B

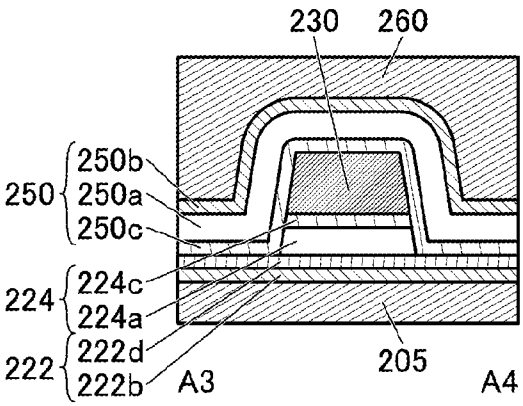


図11C

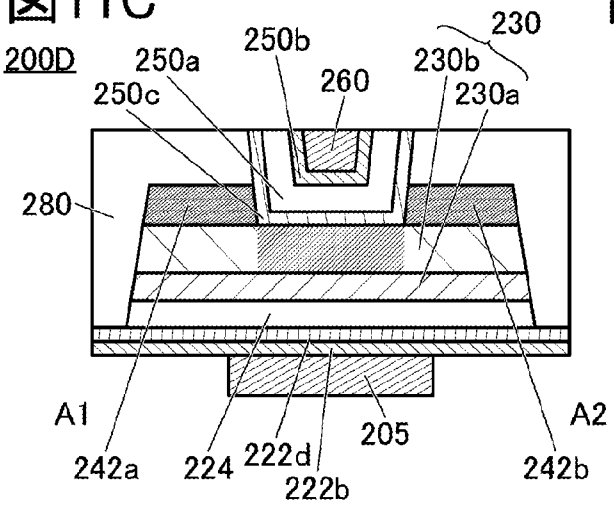


図11D

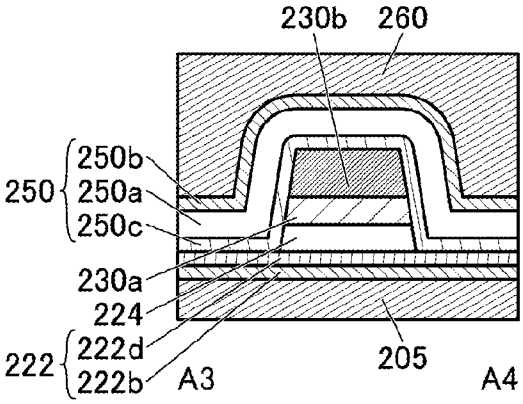


図12A

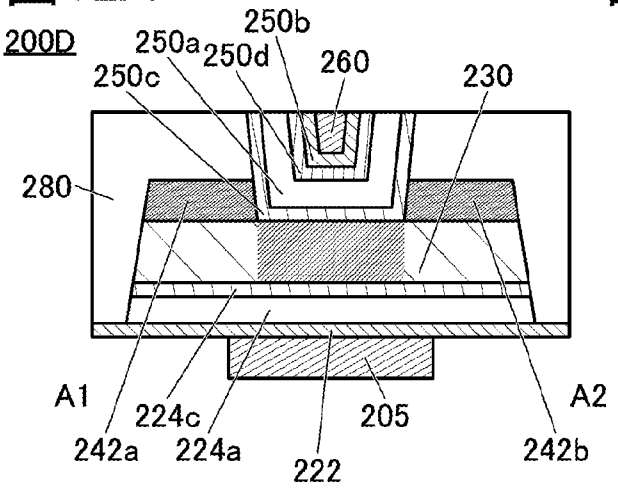


図12B

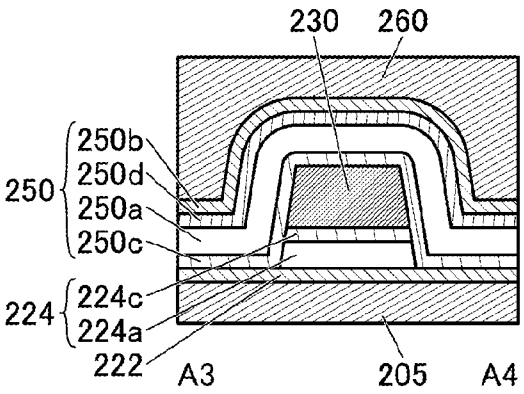


図12C

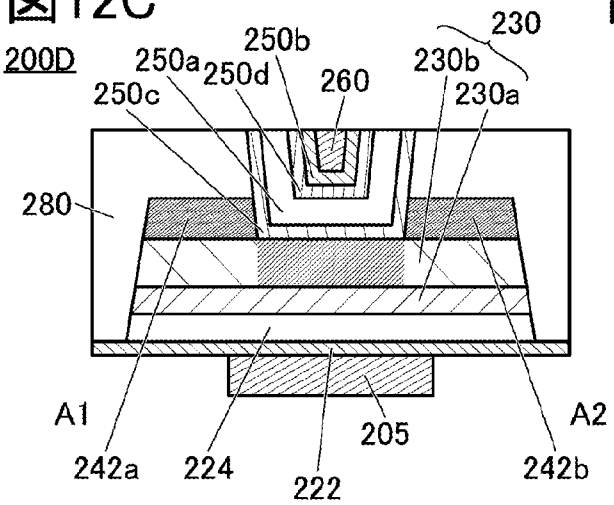


図12D

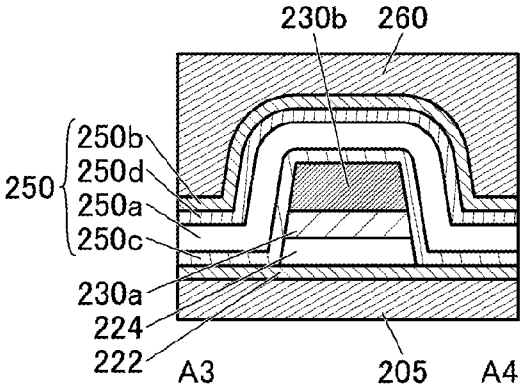


図13A

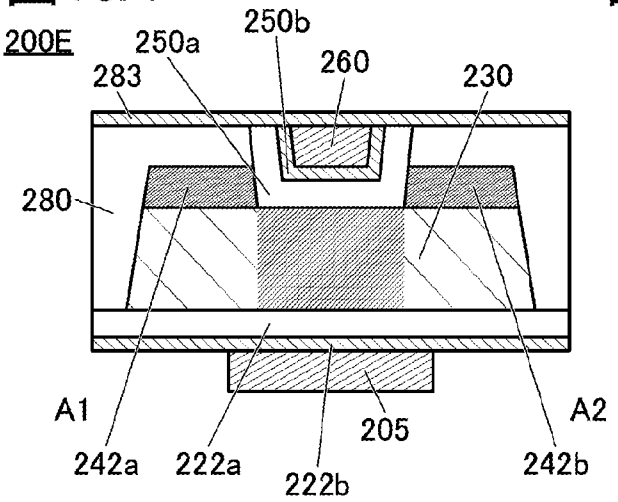


図13B

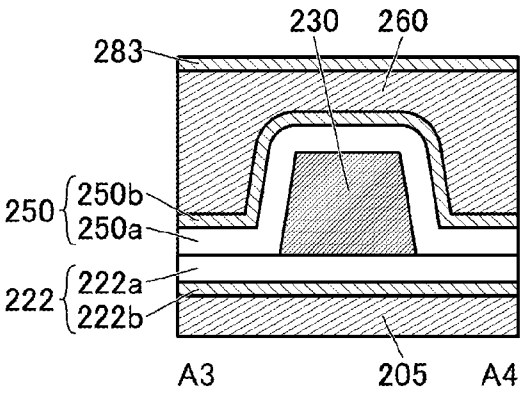


図13C

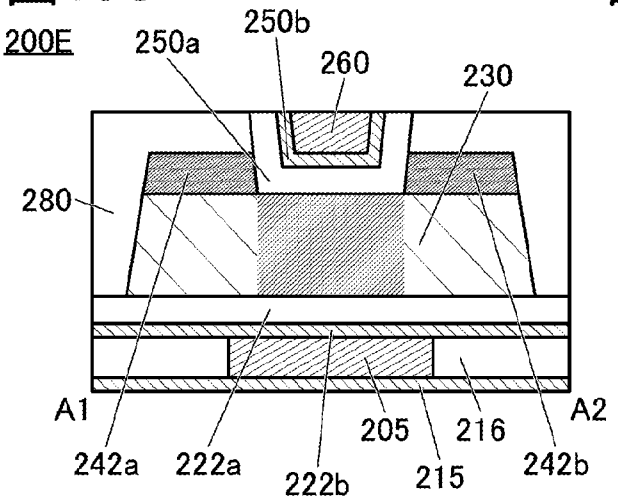


図13D

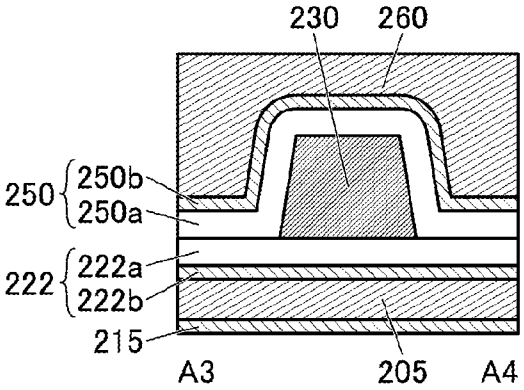


図13E

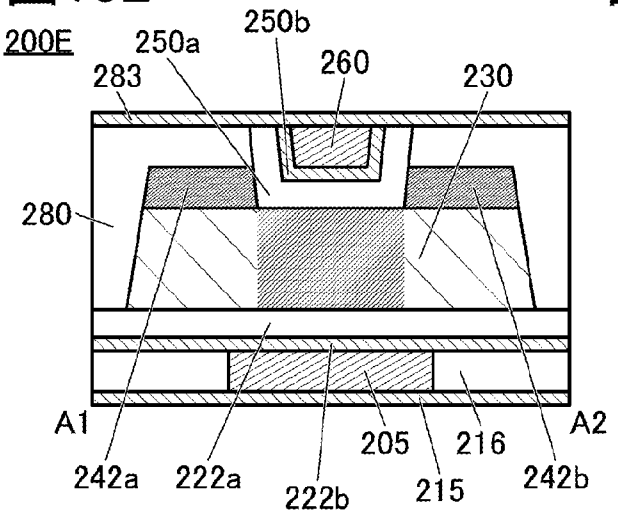


図13F

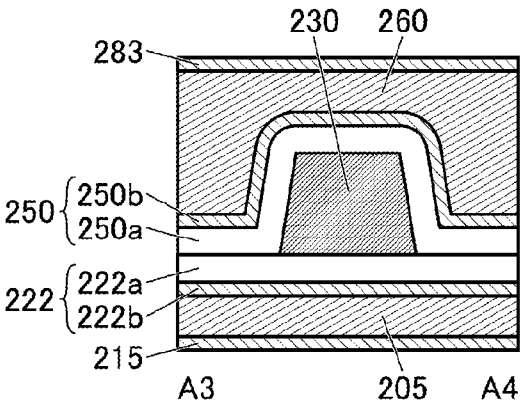


図14A

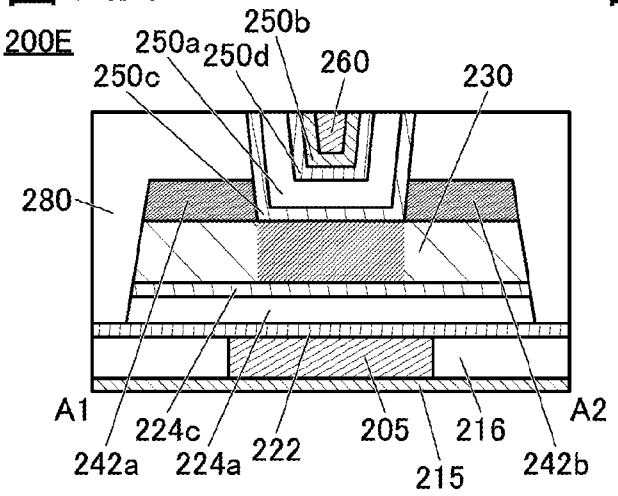


図14B

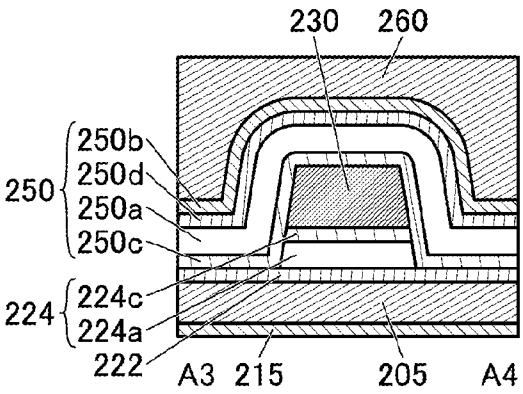


図14C

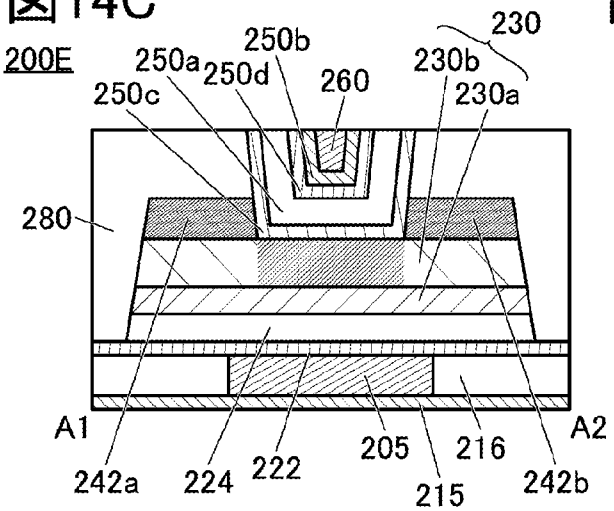


図14D

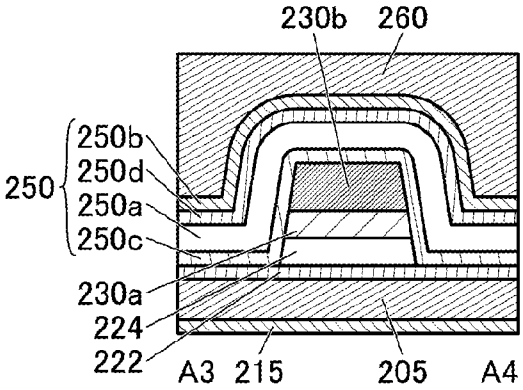


図14E

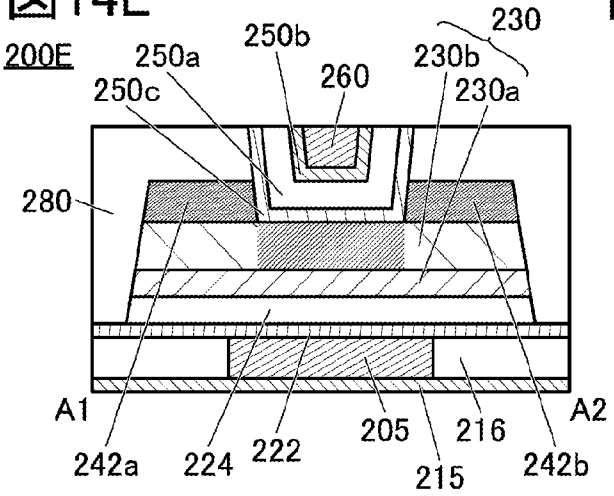


図14F

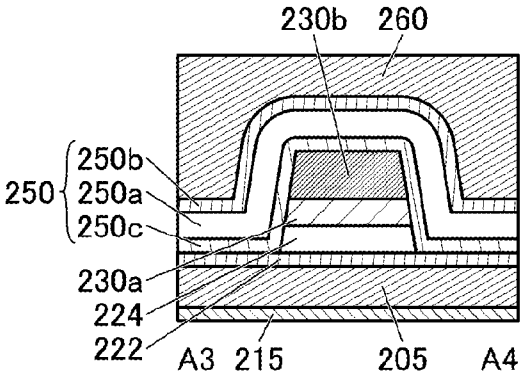


図15A

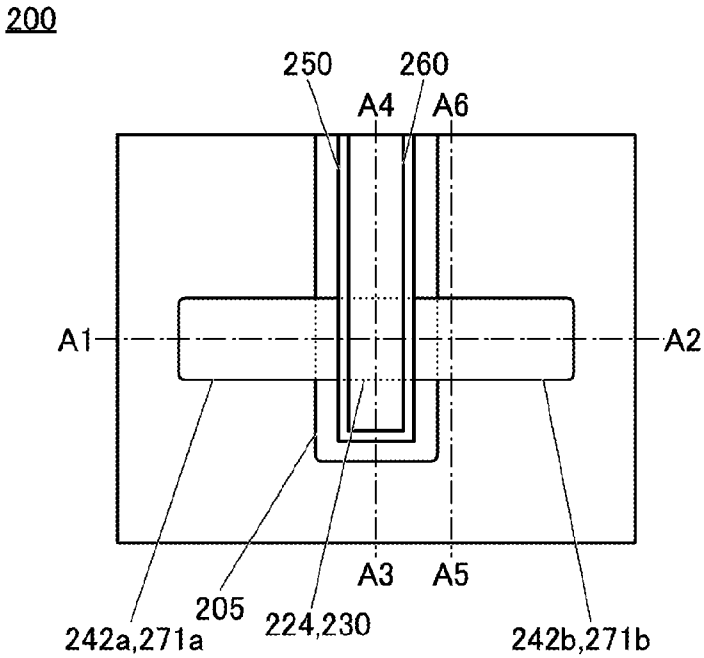


図15C

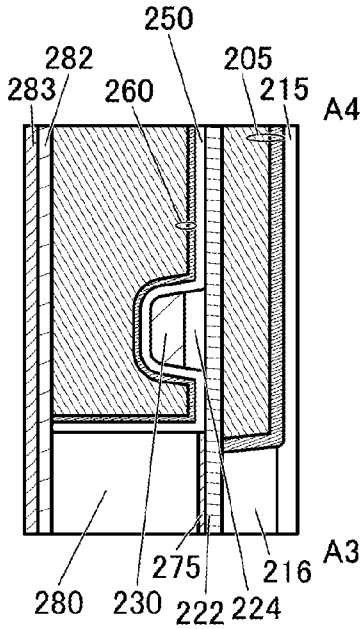


図15B

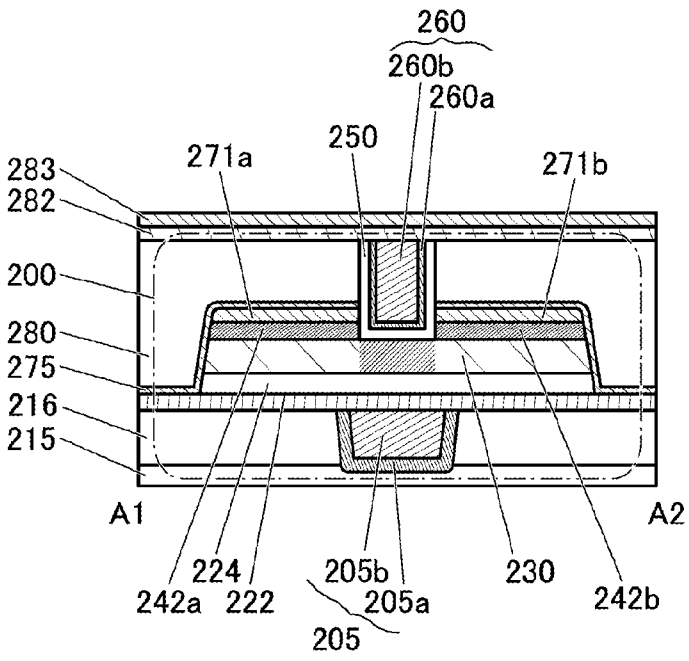


図15D

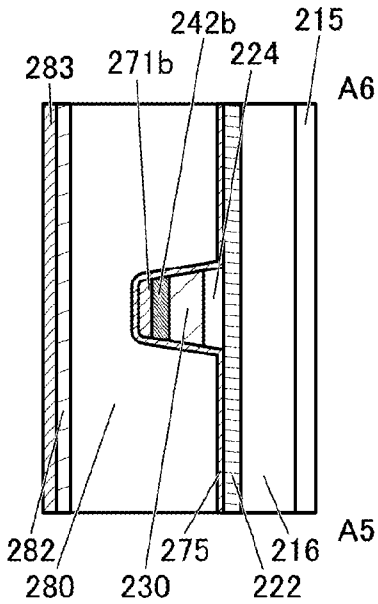


図16A

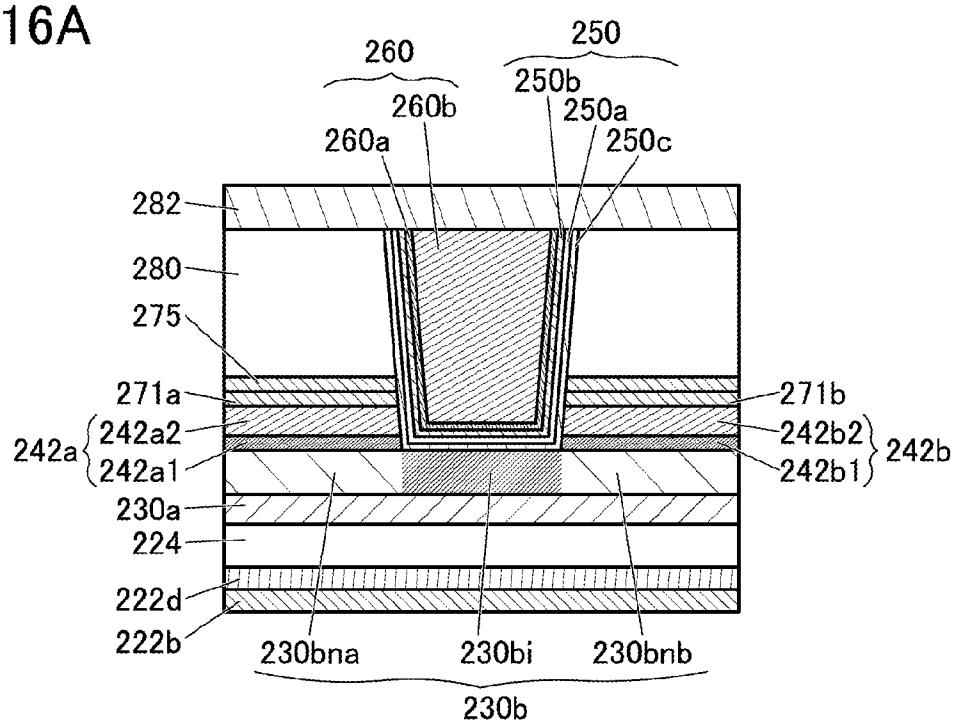

260
250
260b
250b
250a
260a
250c
282
280
275
271a
271b
242a
242a2
242a1
242b2
242b1
242b
230a
224
222d
222b
230bna
230bi
230bnb
230b

図16B

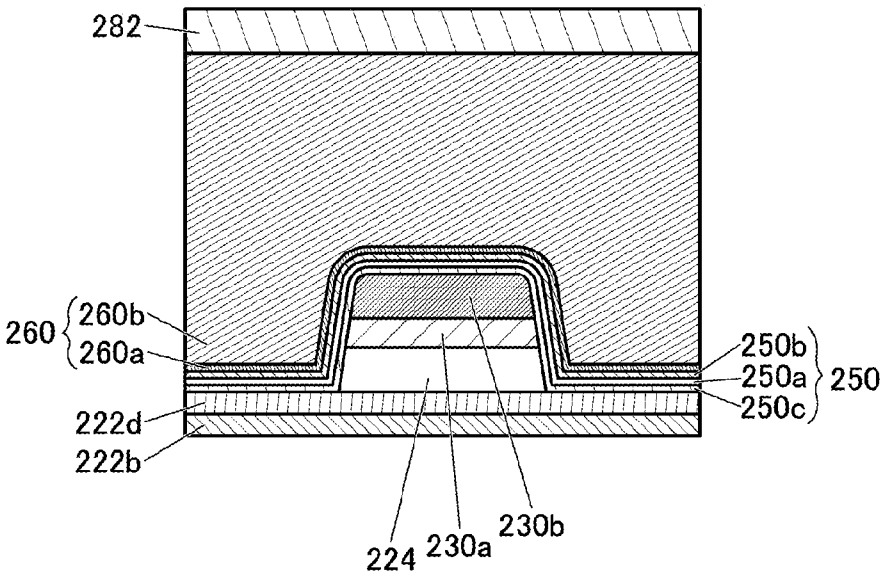

282
260
260b
260a
250b
250a
250c
250
222d
222b
224
230a
230b

図17A

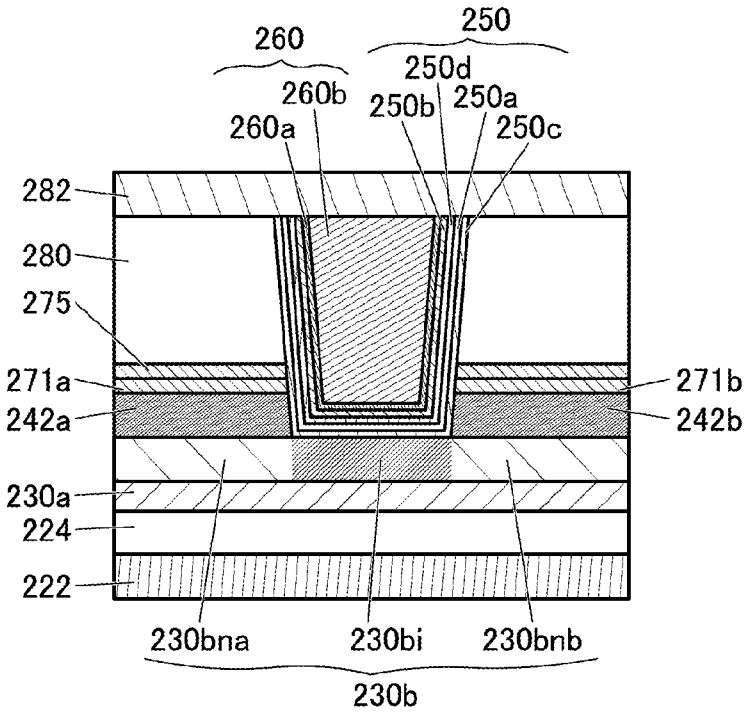

260
250
250d
260b
250b
250a
260a
250c
282
280
275
271a
271b
242a
242b
230a
224
222
230bna
230bi
230bnb
230b

図17B

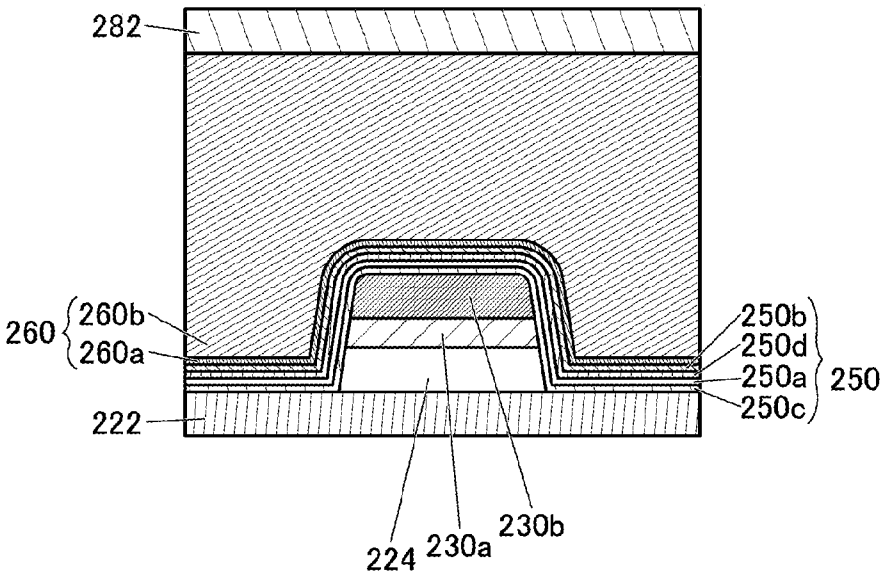

282
260
260b
260a
250b
250d
250a
250c
250
222
224
230a
230b

図18A

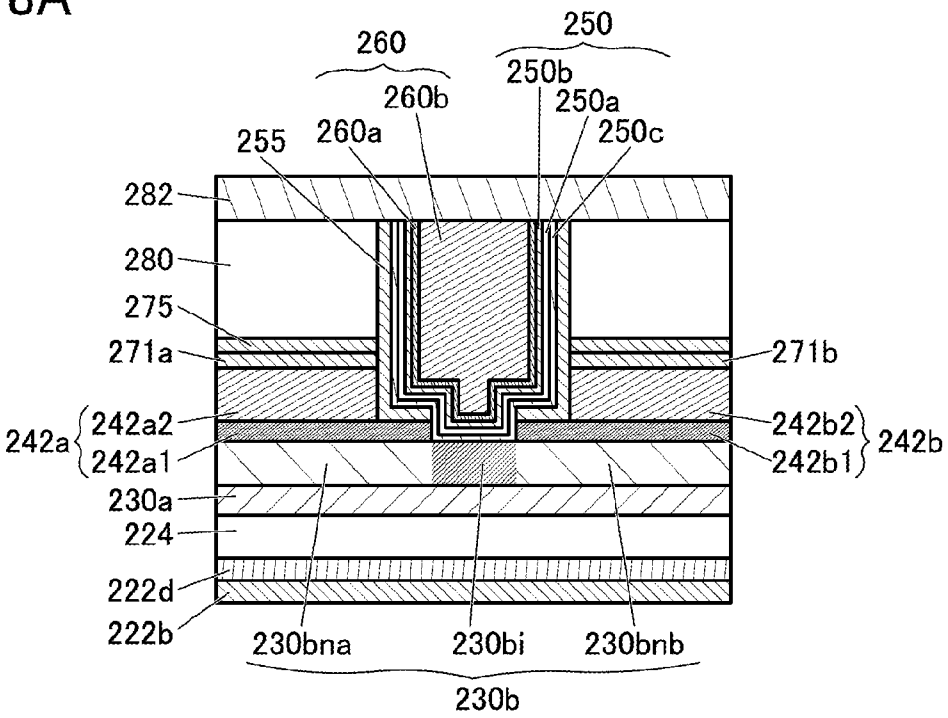

260
250
250b
260b
250a
255
260a
250c
282
280
275
271a
271b
242a
242a2
242a1
242b2
242b1
242b
230a
224
222d
222b
230bna
230bi
230bnb
230b

図18B

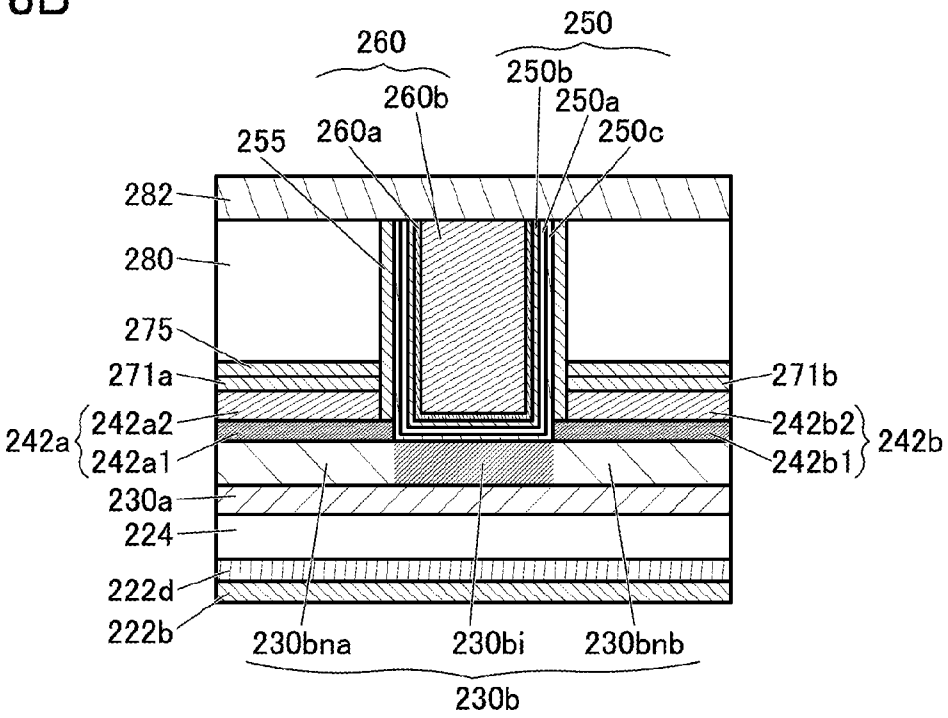

260
250
250b
260b
250a
255
260a
250c
282
280
275
271a
271b
242a
242a2
242a1
242b2
242b1
242b
230a
224
222d
222b
230bna
230bi
230bnb
230b

図19A

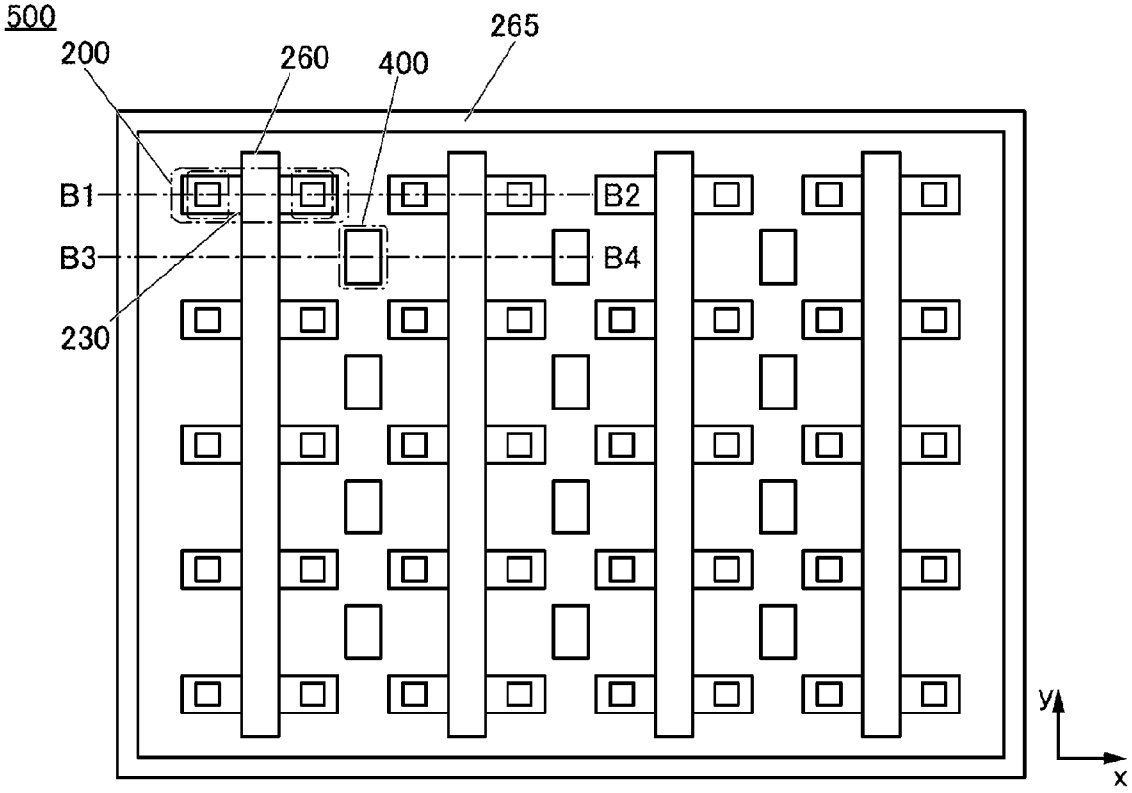


図19B

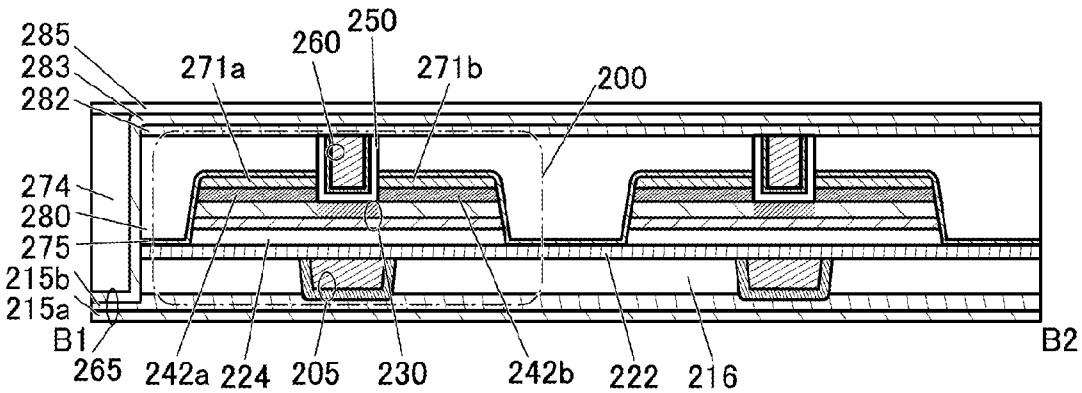


図19C

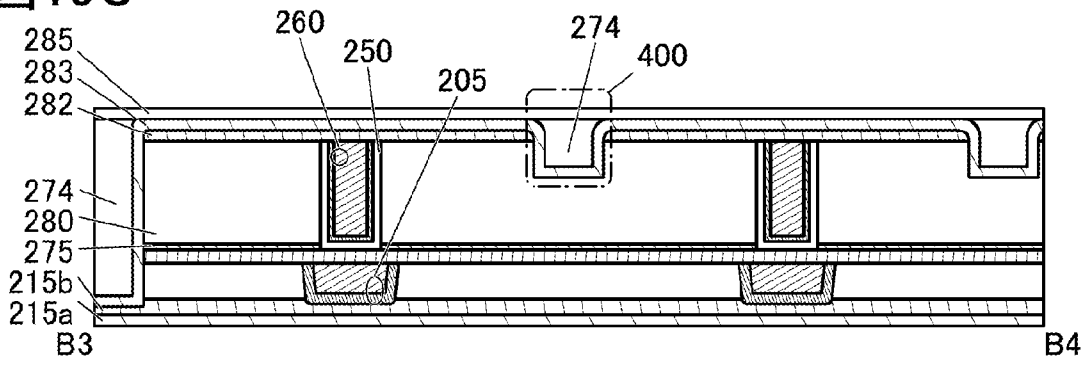


図20A

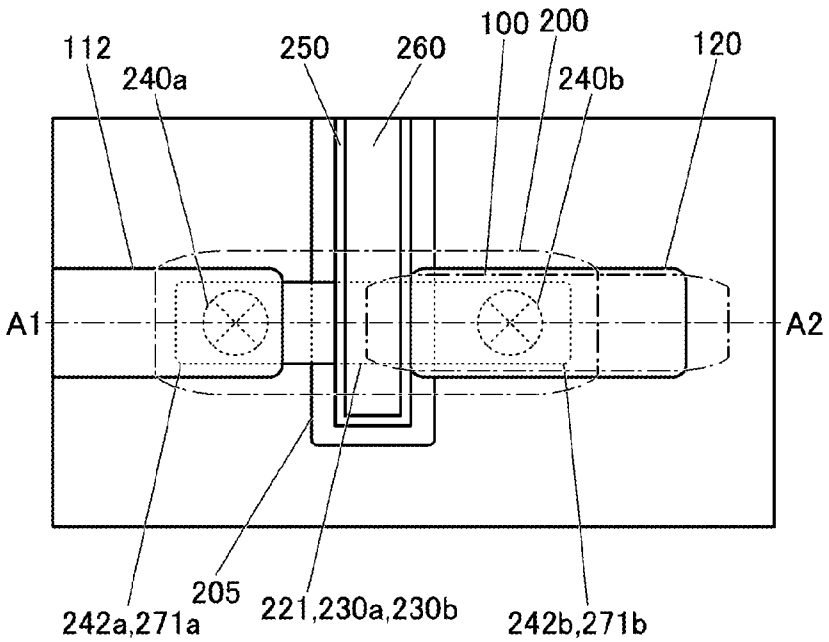

112
240a
250
260
100
200
240b
120
A1
A2
205
242a,271a
221,230a,230b
242b,271b

図20B

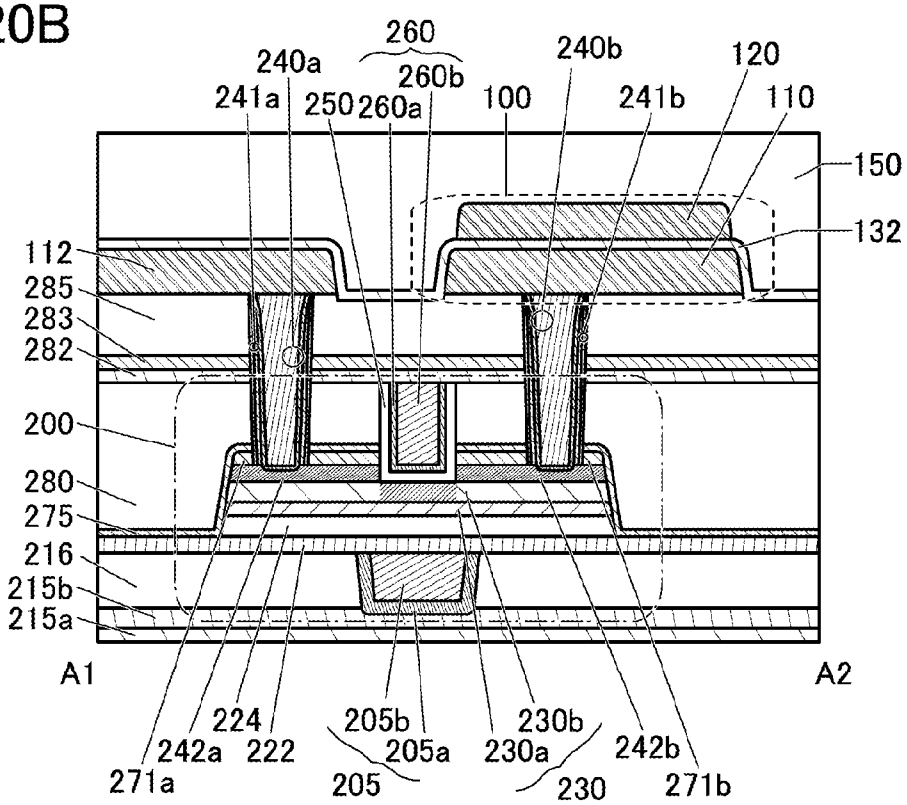

260
240a
260b
241a
250
260a
100
240b
241b
120
110
150
132
112
285
283
282
200
280
275
216
215b
215a
A1
A2
224
242a
222
205b
205a
230b
230a
242b
271a
205
230
271b

図21

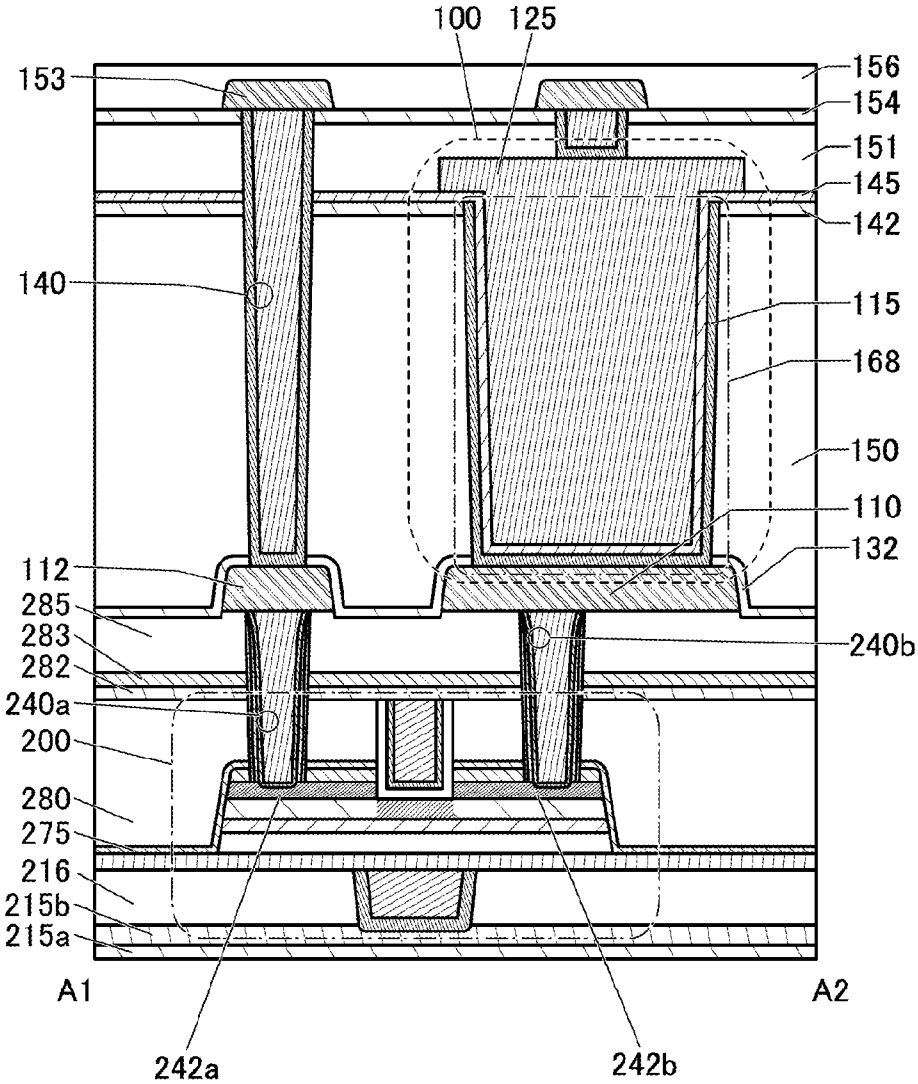

100
125
153
156
154
151
145
142
140
115
168
150
110
132
112
285
283
282
240b
240a
200
280
275
216
215b
215a
A1
A2
242a
242b

図22

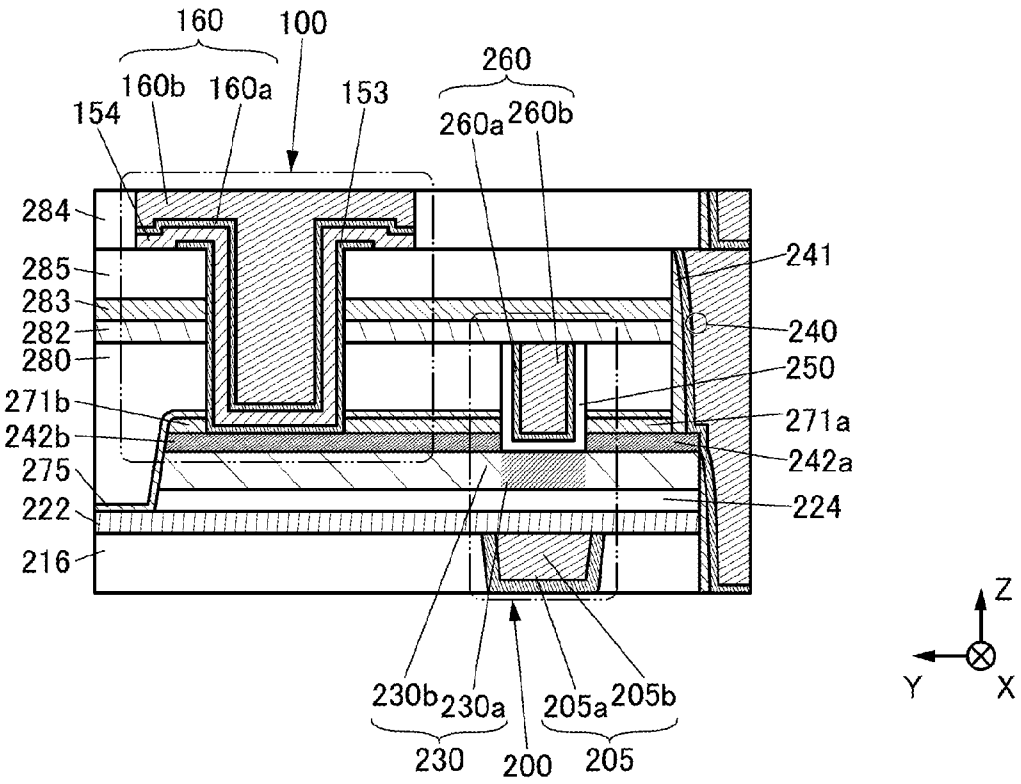

160
100
260
160b
160a
153
154
260a
260b
284
241
285
283
240
282
250
280
271b
271a
242b
242a
275
224
222
216
230b
230a
205a
205b
230
200
205
Z
Y
X

図23A

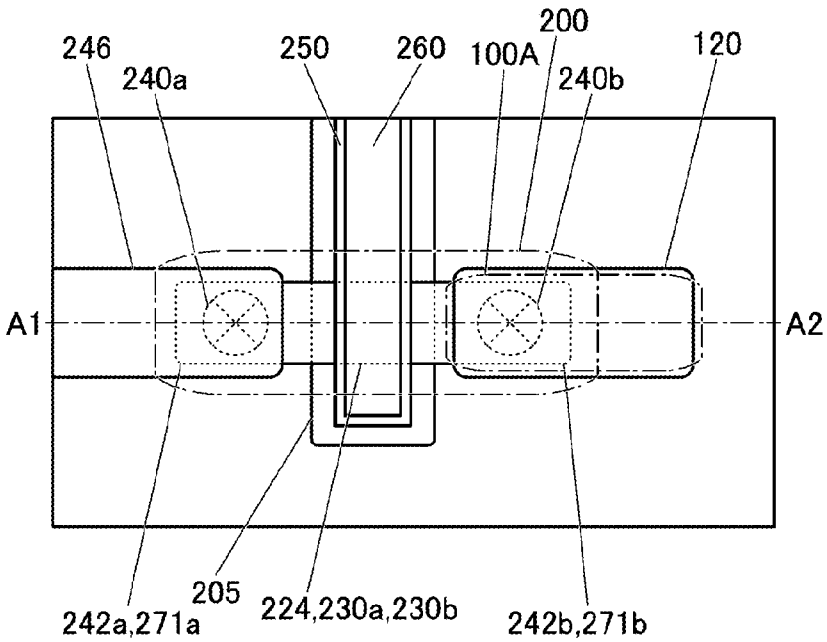

246
240a
250
260
100A
200
240b
120
A1
A2
242a,271a
205
224,230a,230b
242b,271b

図23B

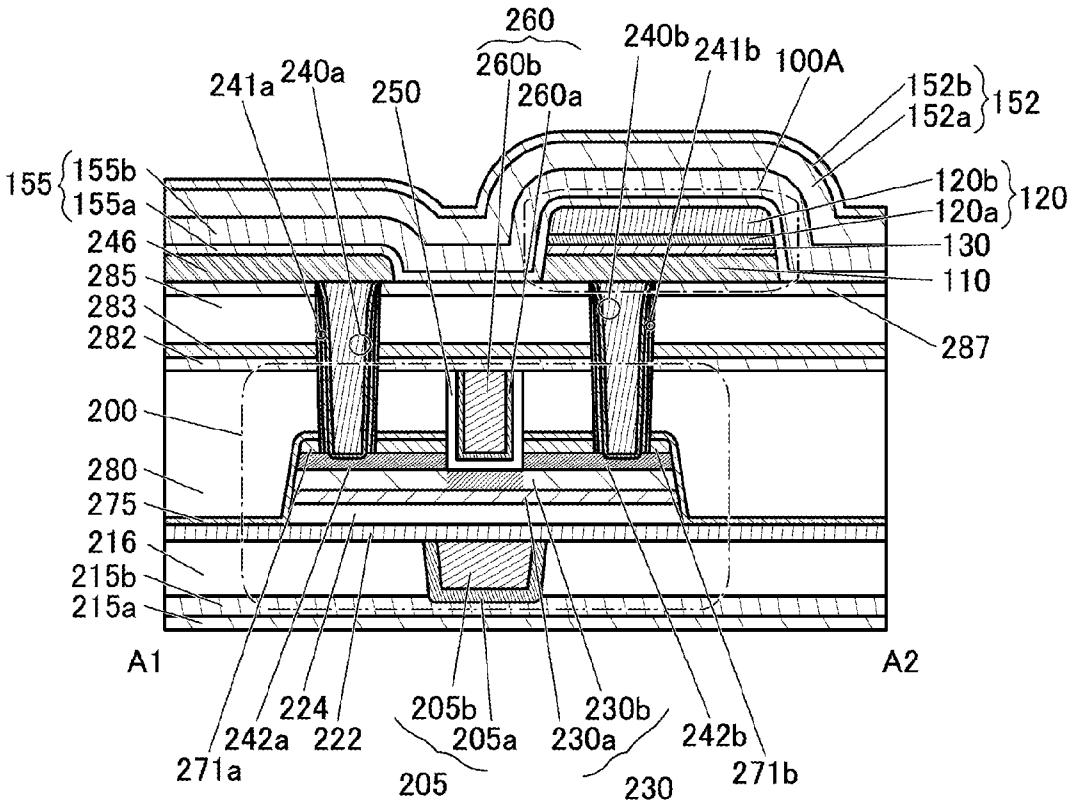

260
260b
260a
240b
241b
100A
241a
240a
250
152b
152a
152
155
155b
155a
120b
120a
120
246
130
285
110
283
282
287
200
280
275
216
215b
215a
A1
A2
224
242a
222
205b
205a
230b
230a
242b
271a
271b
205
230

図24A

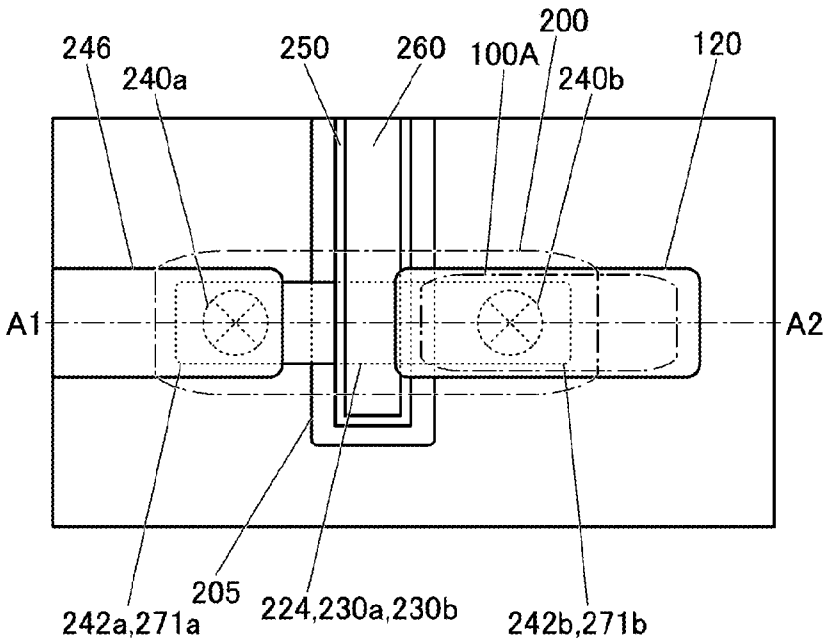

246
240a
250
260
100A
200
240b
120
A1
A2
242a,271a
205
224,230a,230b
242b,271b

図24B

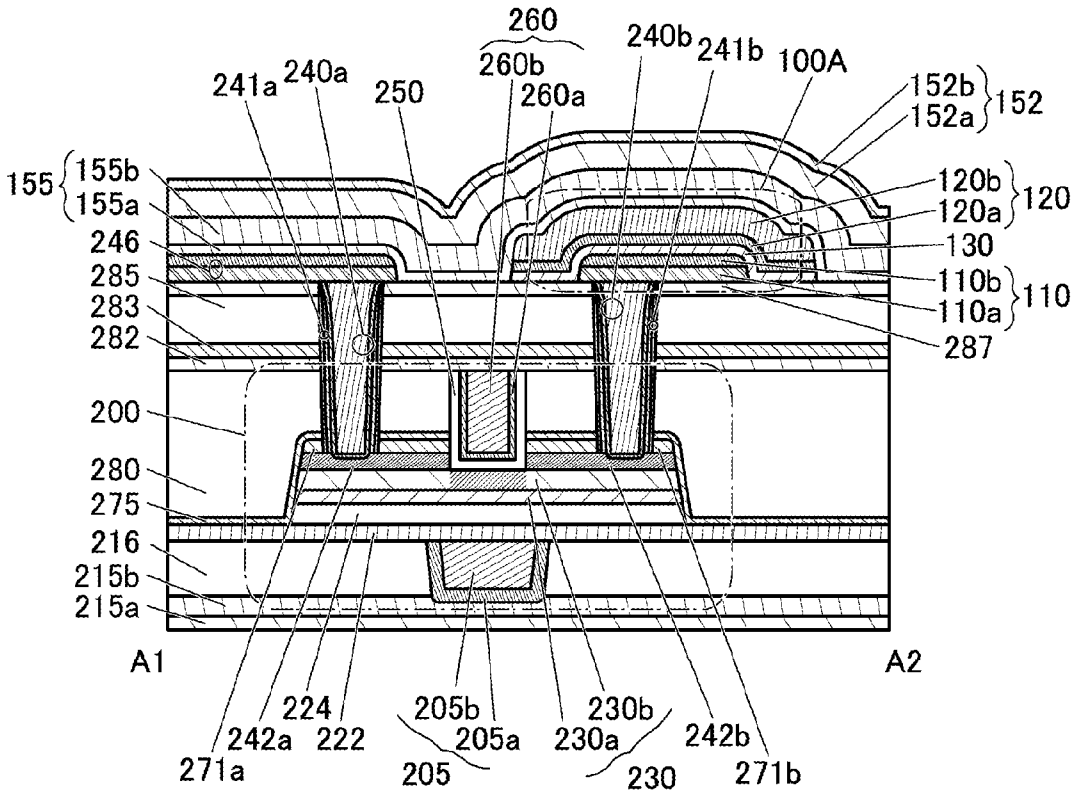

260
260b
260a
240b
241b
100A
241a
240a
250
152b
152a
152
155
155b
155a
120b
120a
120
246
130
285
110b
110a
110
283
287
282
200
280
275
216
215b
215a
A1
A2
271a
242a
224
222
205b
205a
205
230a
230b
230
242b
271b

図25A

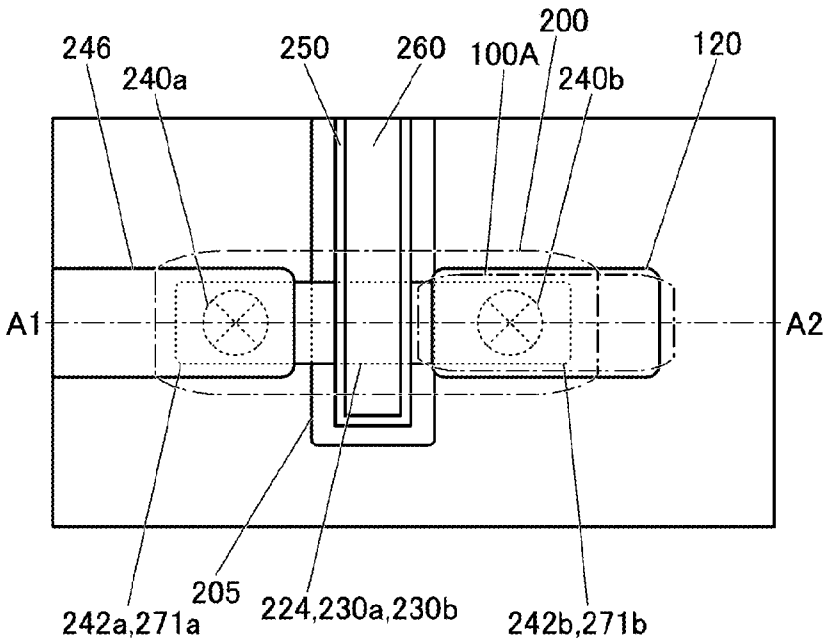

246
240a
250
260
100A
200
240b
120
A1
A2
242a,271a
205
224,230a,230b
242b,271b

図25B

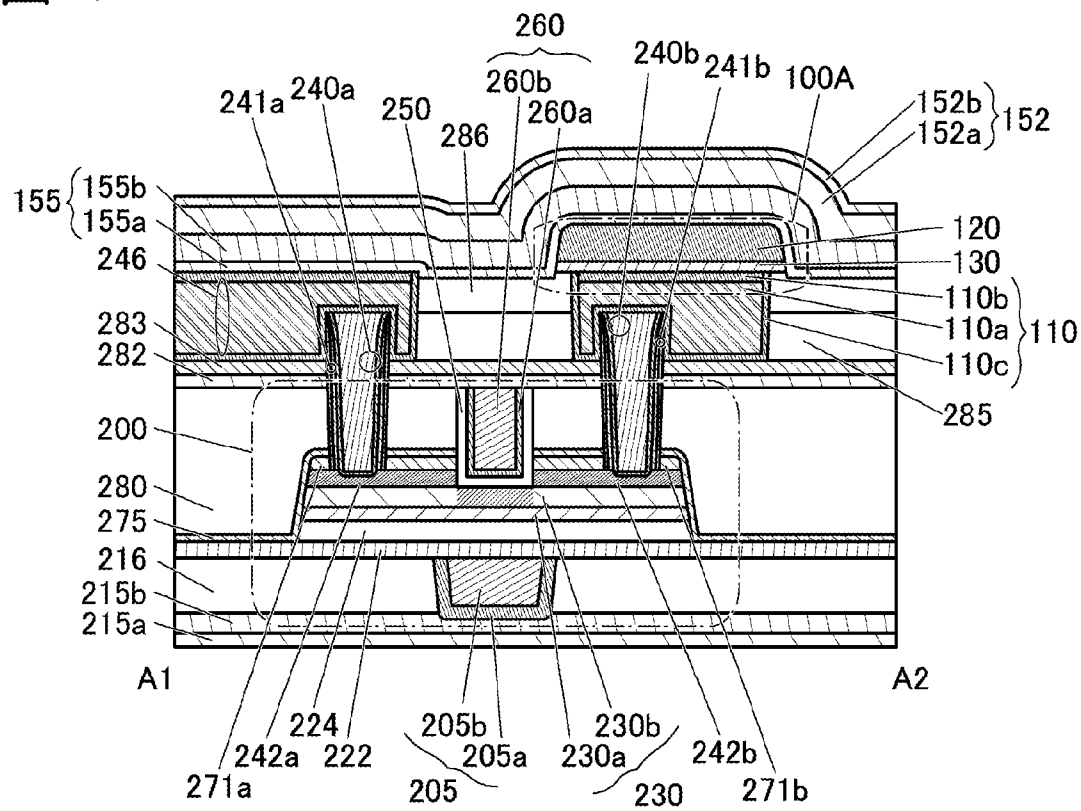

260
260b
260a
240b
241b
100A
241a
240a
250
286
152b
152a
152
155
155b
155a
246
120
130
110b
110a
110c
110
283
282
285
200
280
275
216
215b
215a
A1
A2
271a
242a
224
222
205b
205a
205
230b
230a
230
242b
271b

図26

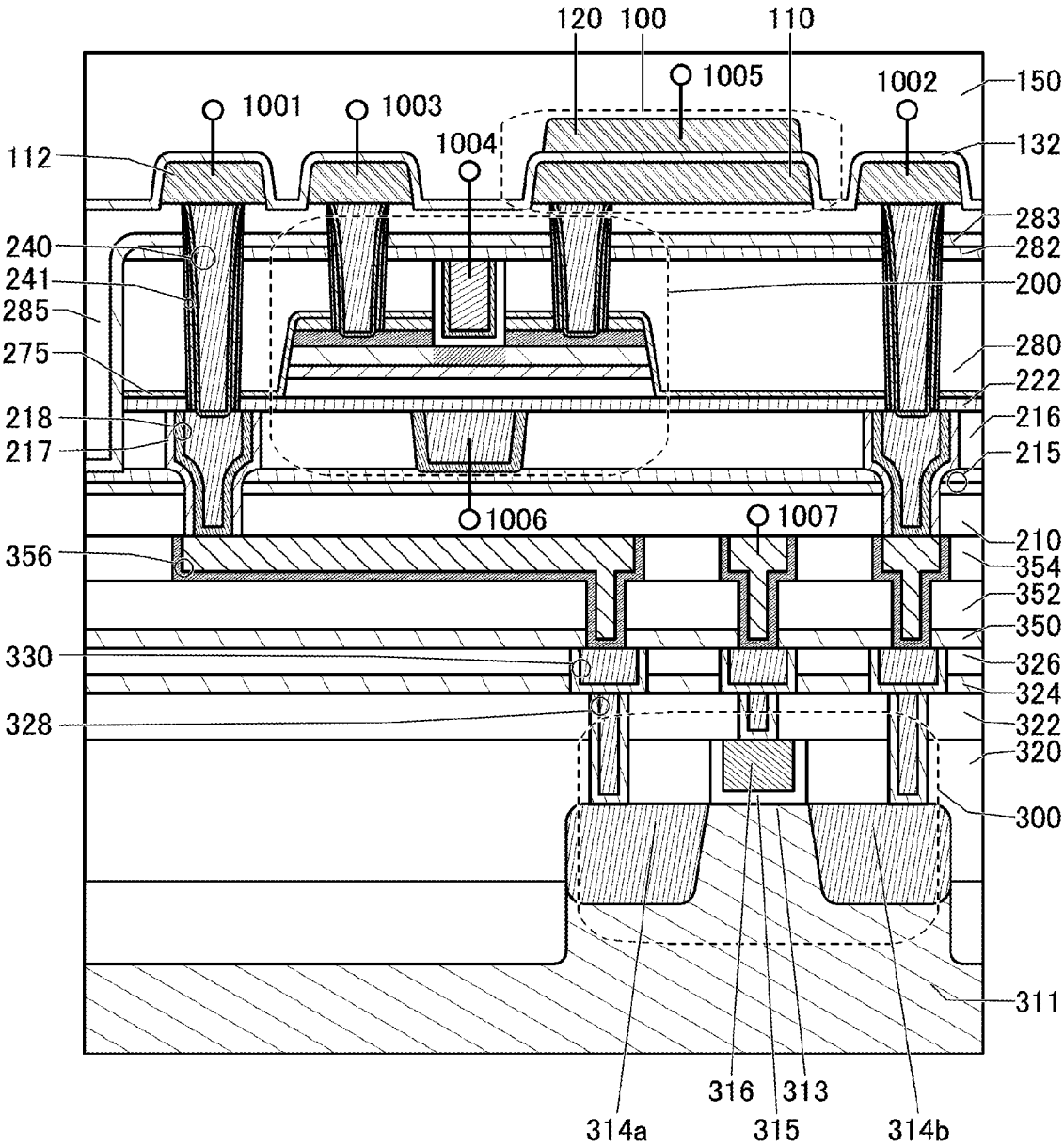

120
100
110
1005
1001
1003
1002
150
1004
132
112
283
240
282
241
200
285
280
275
222
218
216
217
215
1006
1007
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

図27

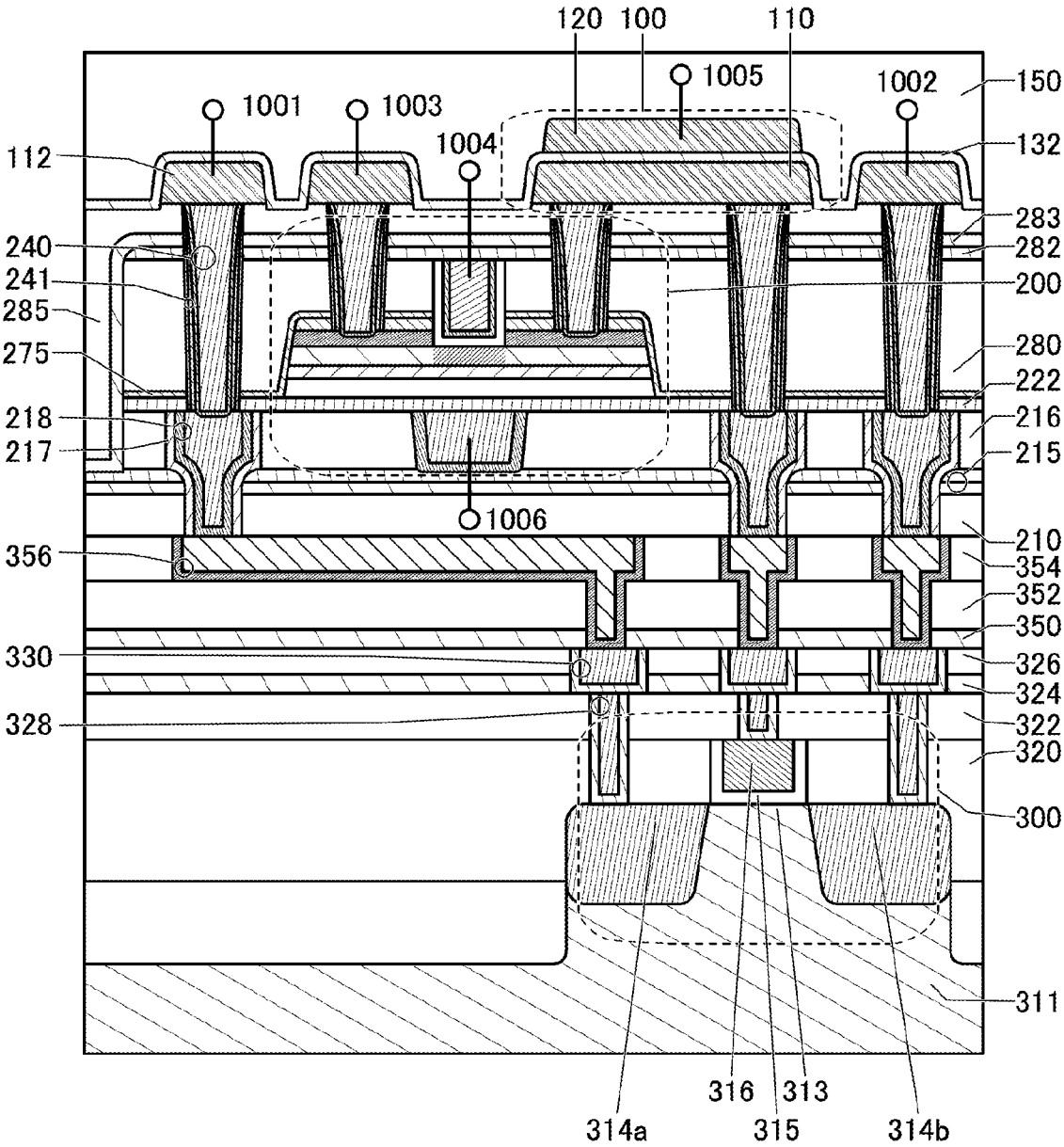

120
100
110
1005
1001
1003
1002
150
1004
132
112
283
240
282
241
200
285
280
275
222
218
216
217
215
1006
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

図28A

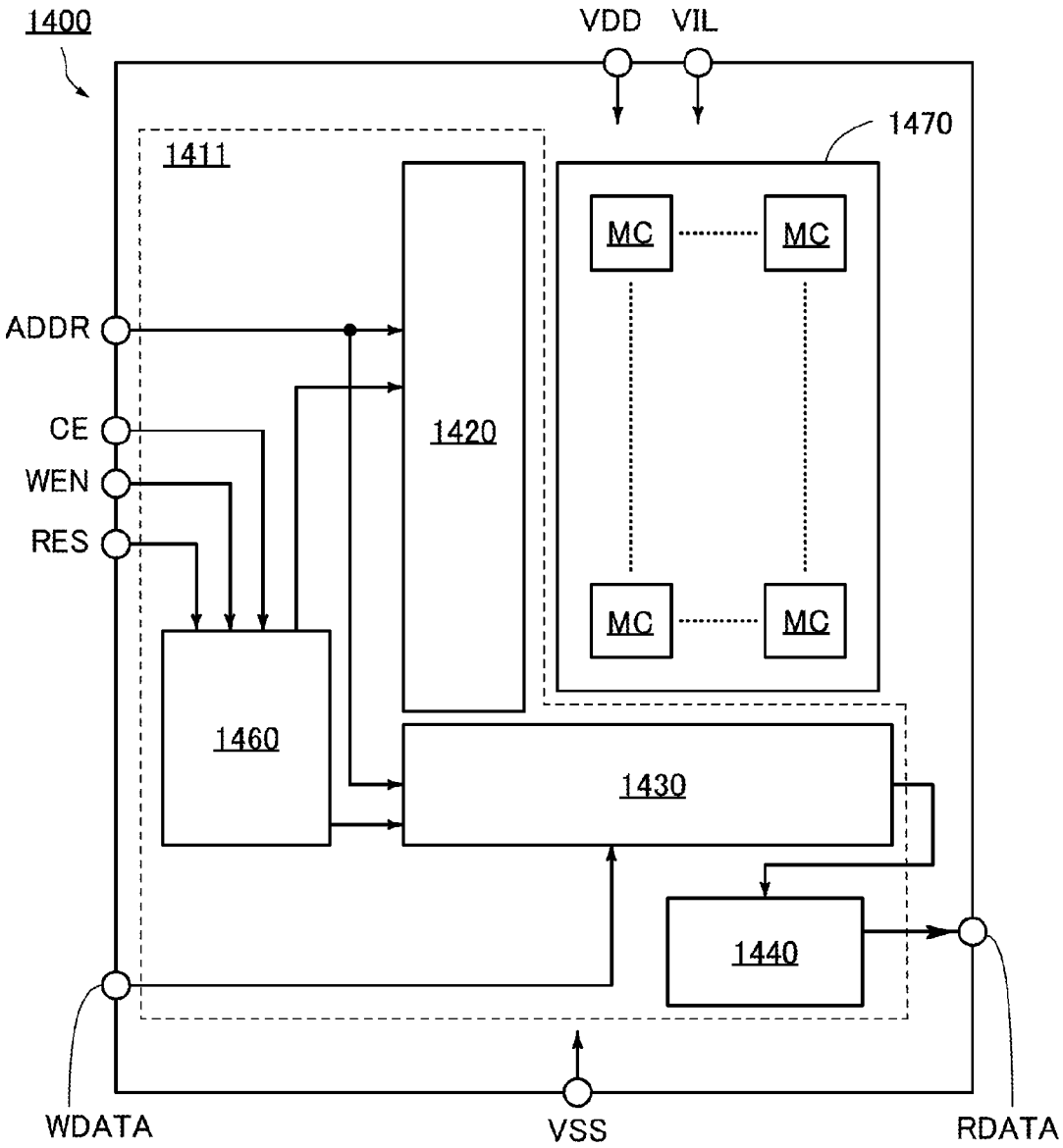

1400
VDD
VIL
1470
1411
MC
MC
MC
MC
ADDR
CE
WEN
RES
1420
1460
1430
1440
WDATA
VSS
RDATA

図28B

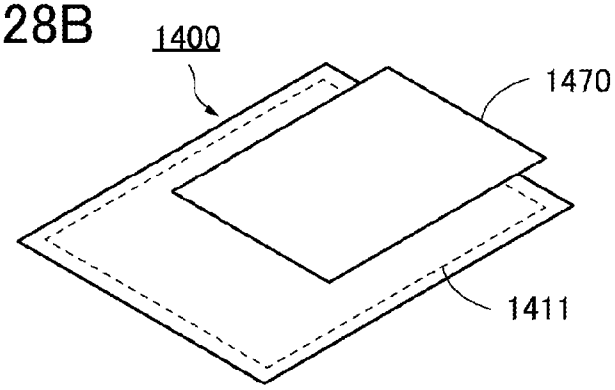

1400
1470
1411

図29A

1471

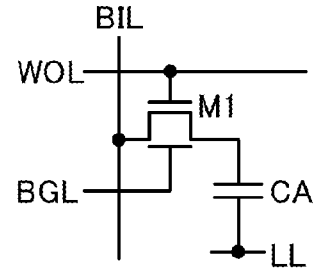


図29B

1472

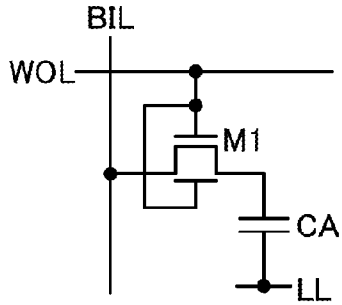


図29C

1473

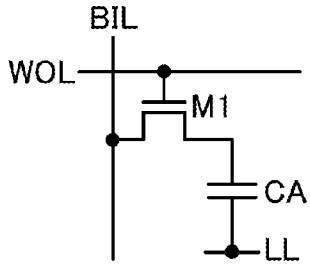


図29D

1474

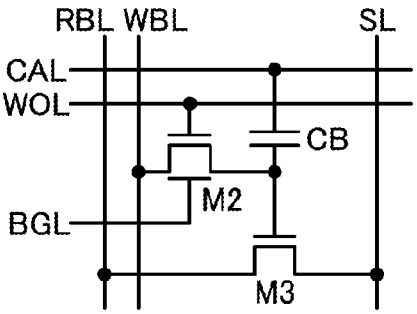


図29E

1475

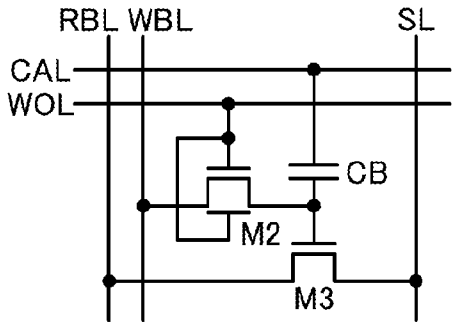


図29F

1476

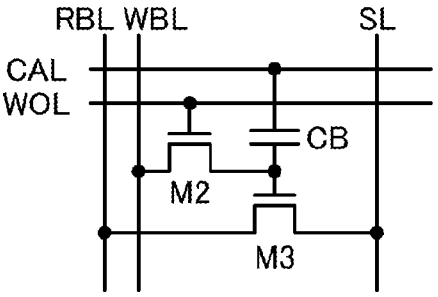


図29G

1477

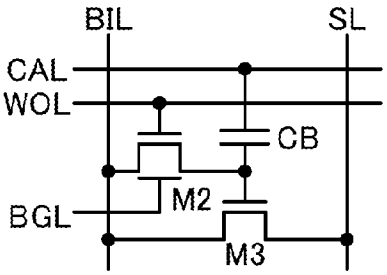


図29H

1478

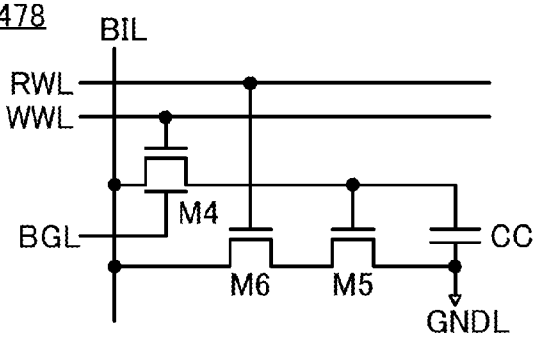


図29I

1479

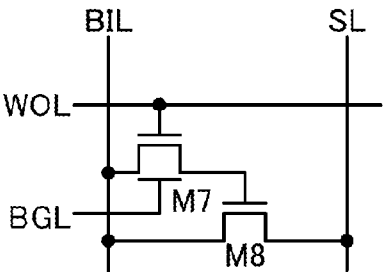


図30

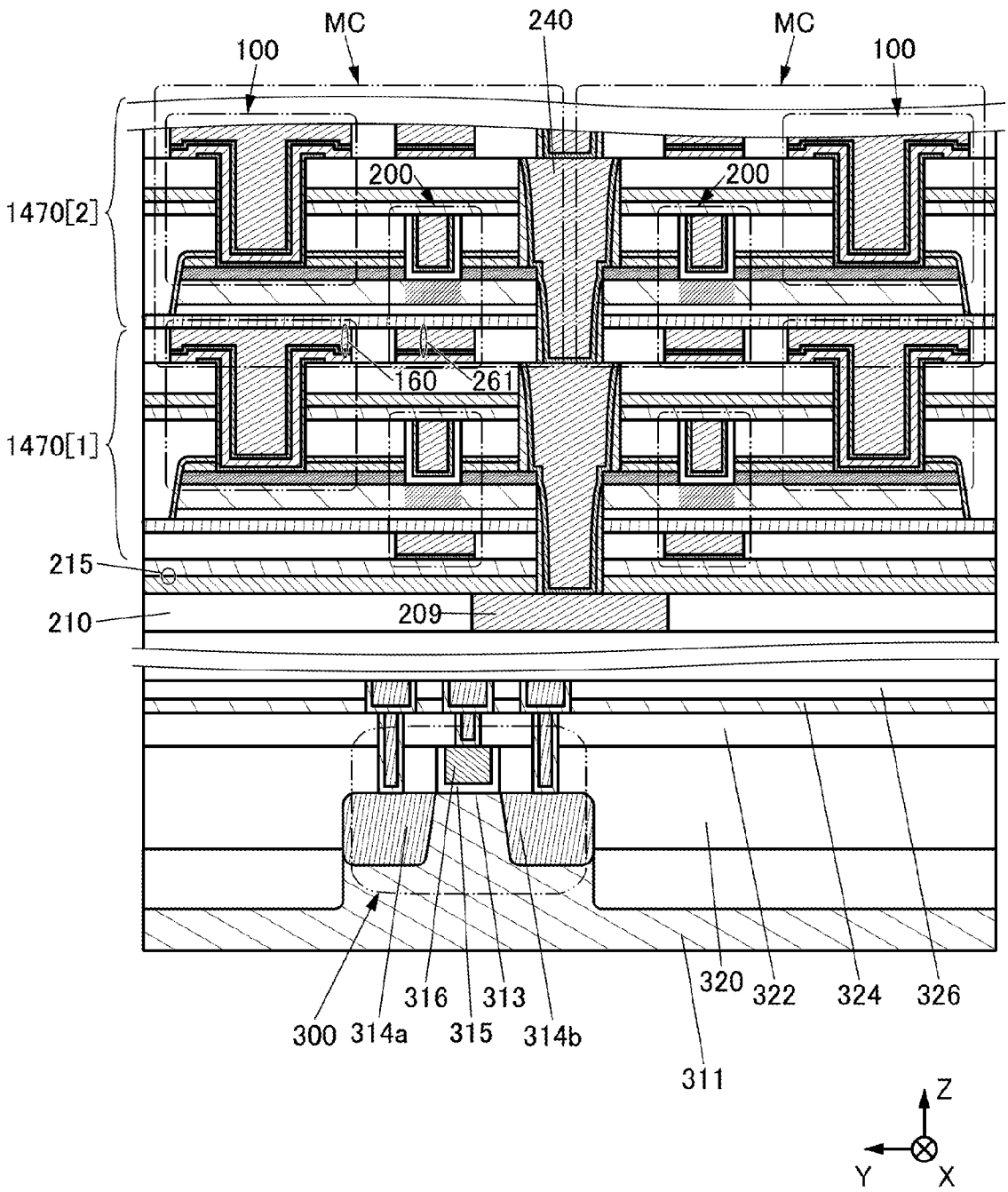

MC
240
MC
100
100
200
200
1470[2]
160
261
1470[1]
215
210
209
300
314a
316
315
313
314b
311
320
322
324
326
Z
Y
X

図31A

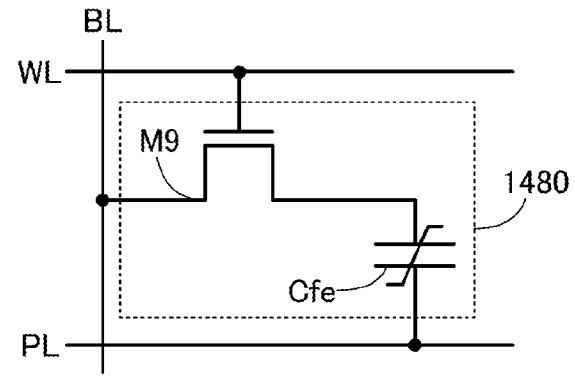


図31B

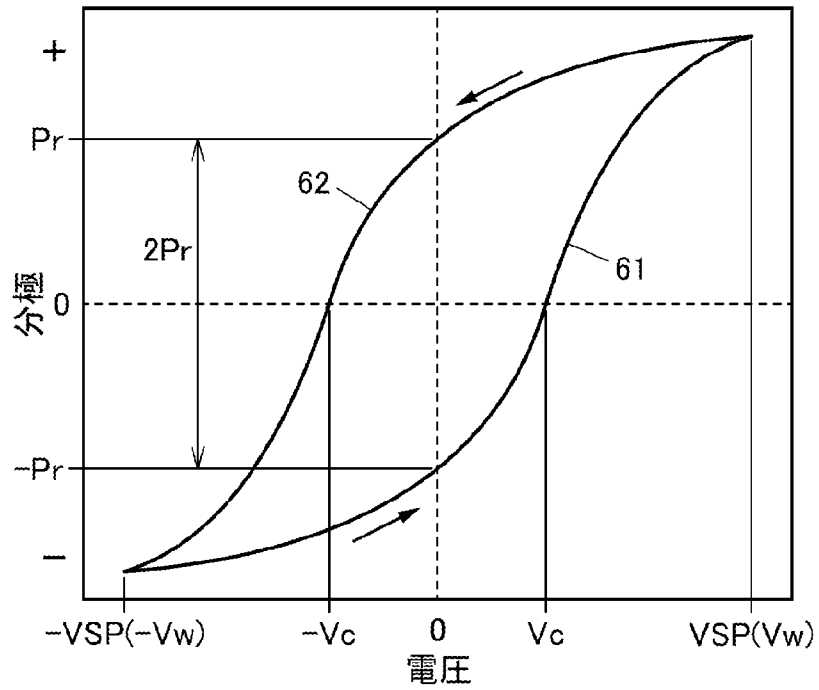


図31C

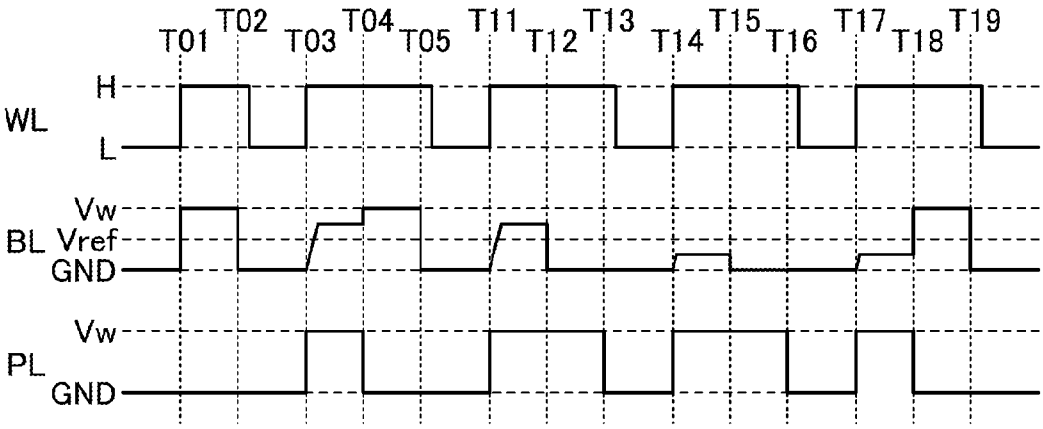


図32A

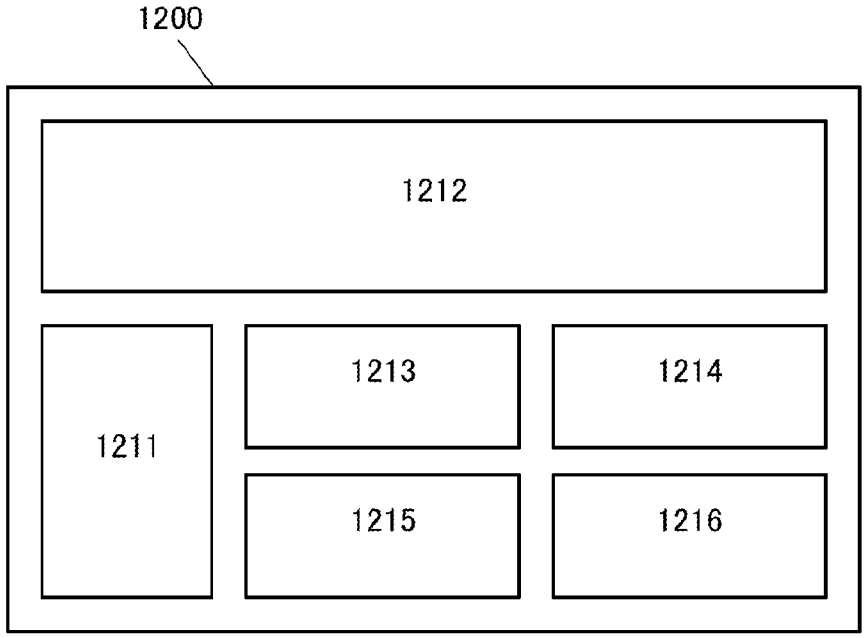

1200
1212
1211
1213
1214
1215
1216

図32B

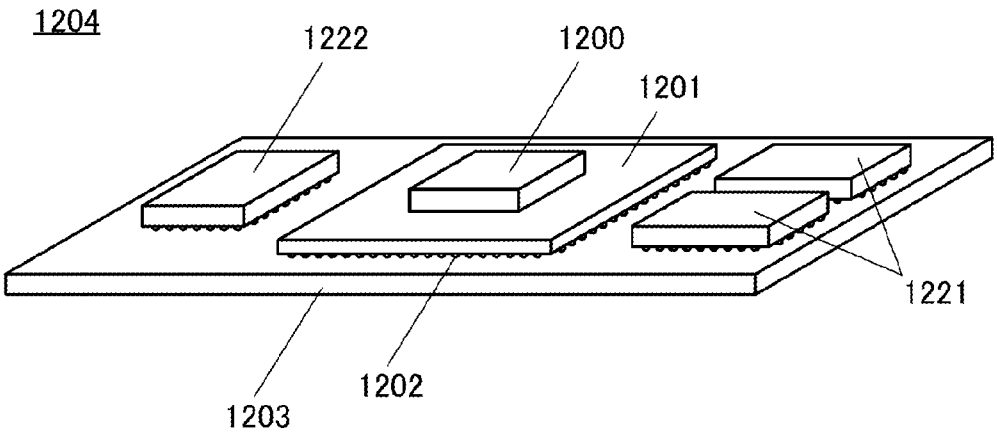

1204
1222
1200
1201
1221
1203
1202

図33A

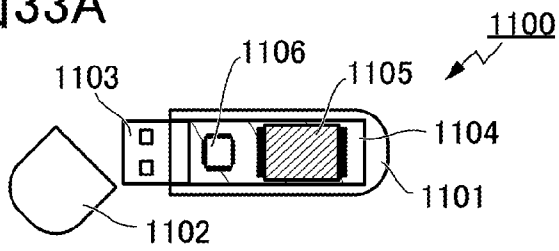


図33B

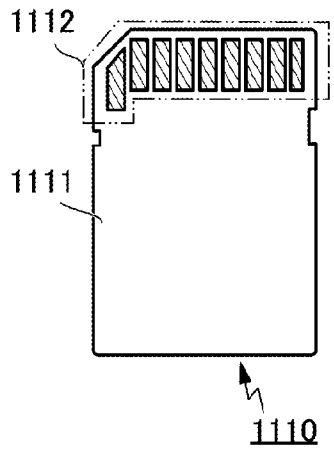


図33C

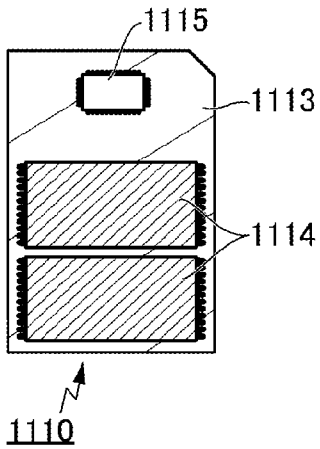


図33D

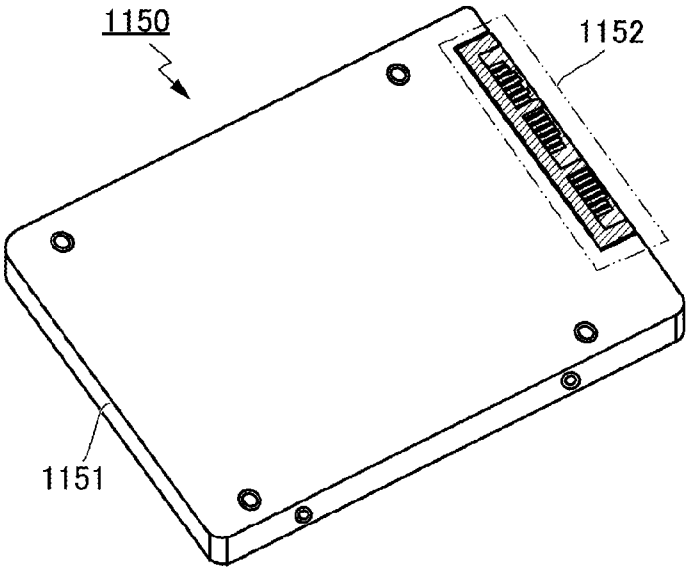


図33E

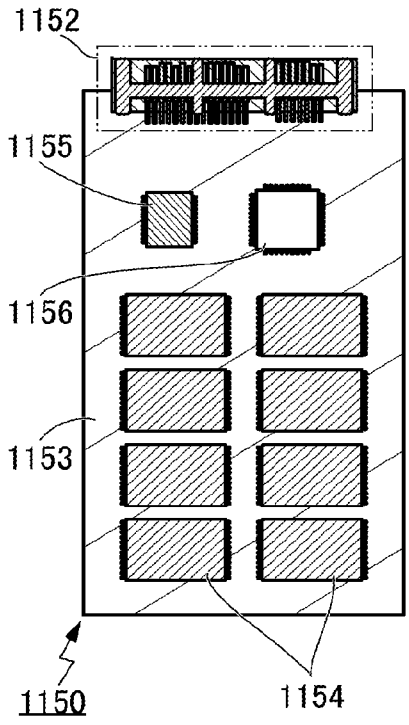


図34A

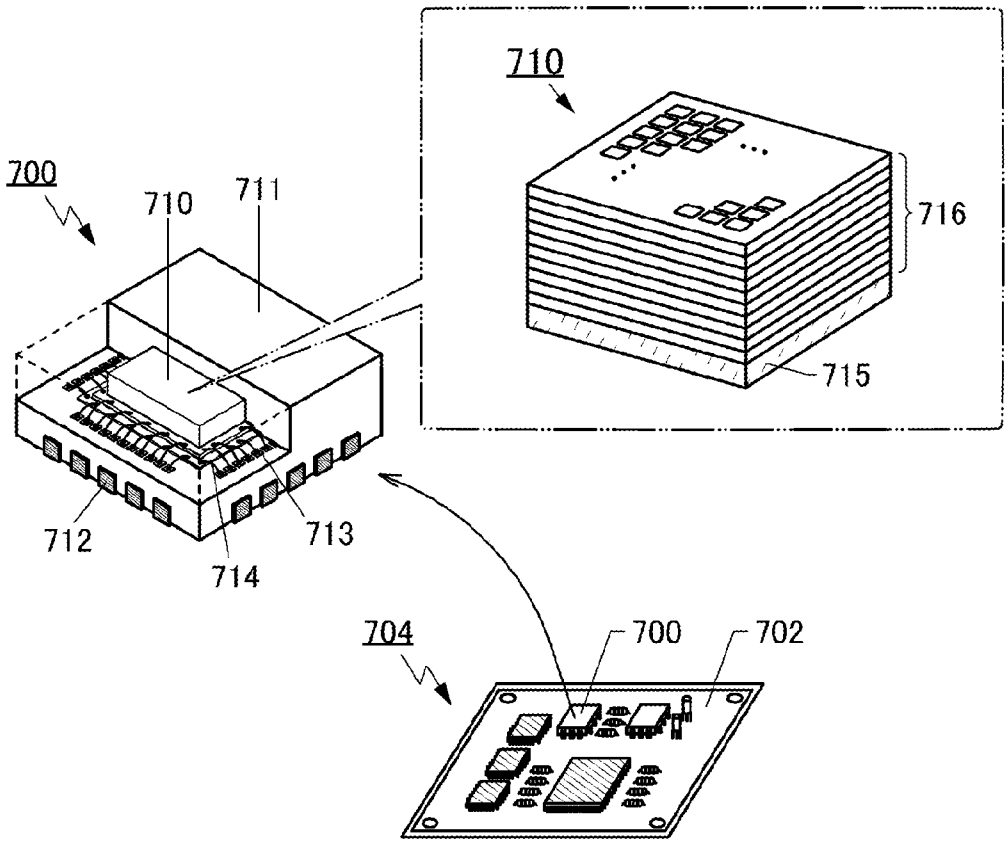

710
700
710
711
716
715
712
713
714
704
700
702

図34B

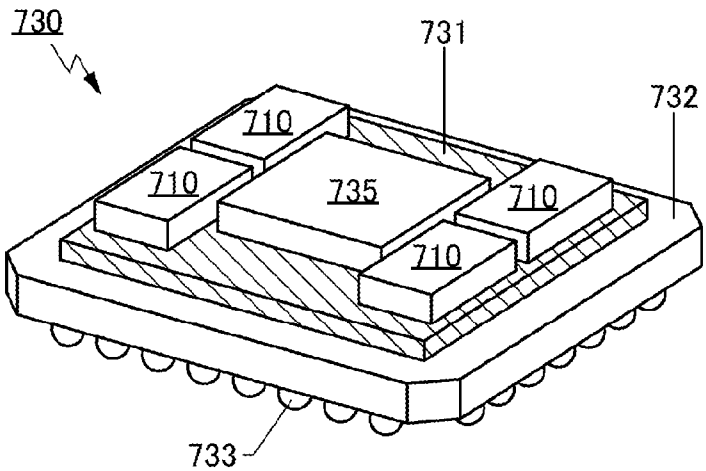

730
731
732
710
710
735
710
710
733

図35A

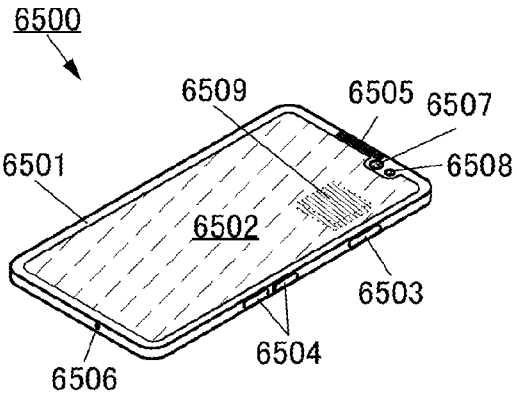


図35B

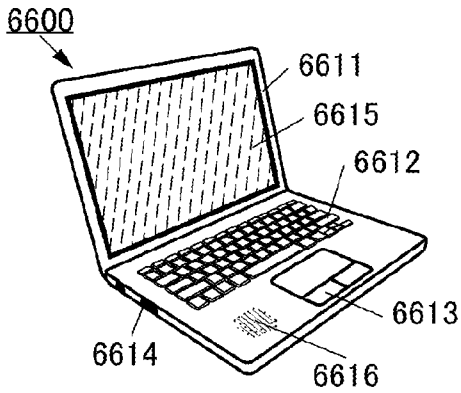


図35C

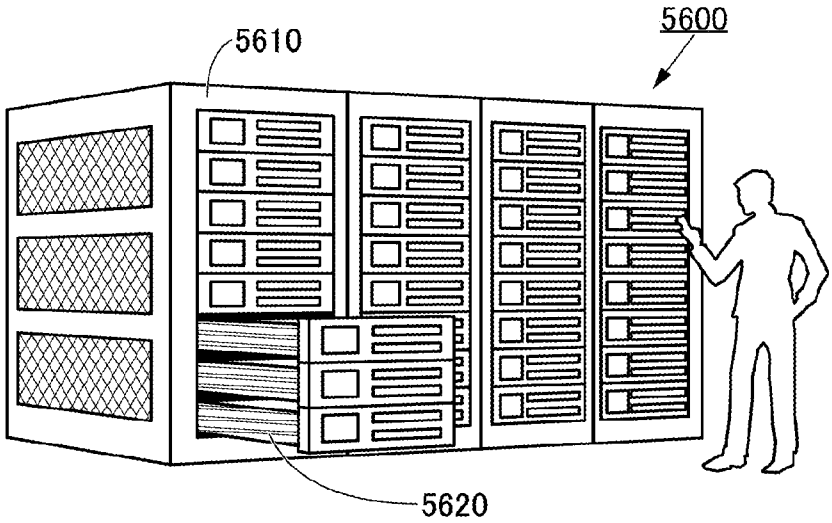


図35D

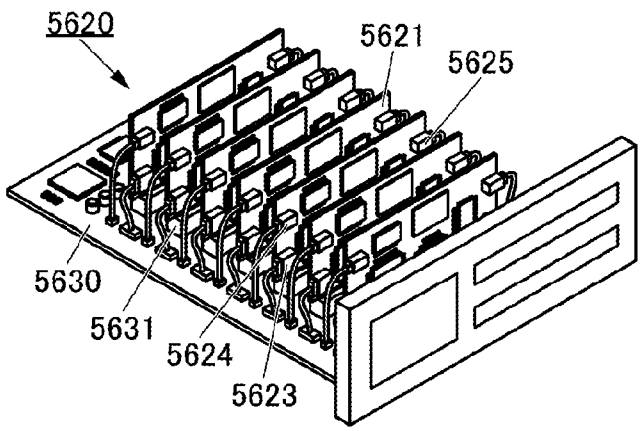


図35E

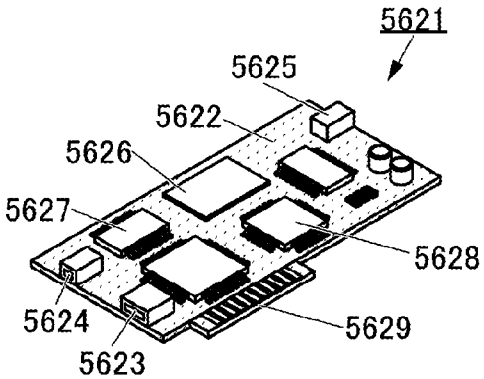


図36

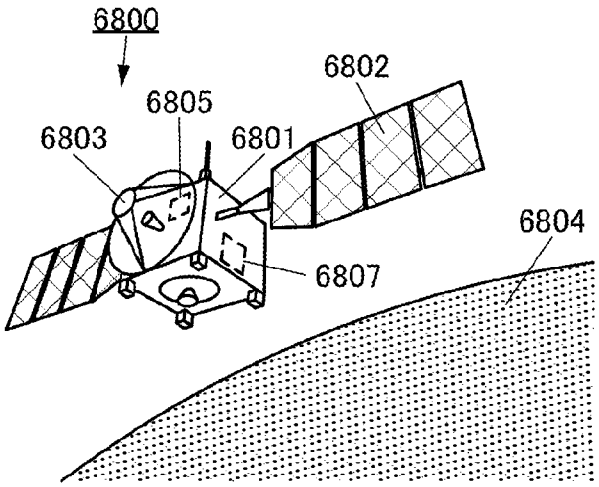


図37

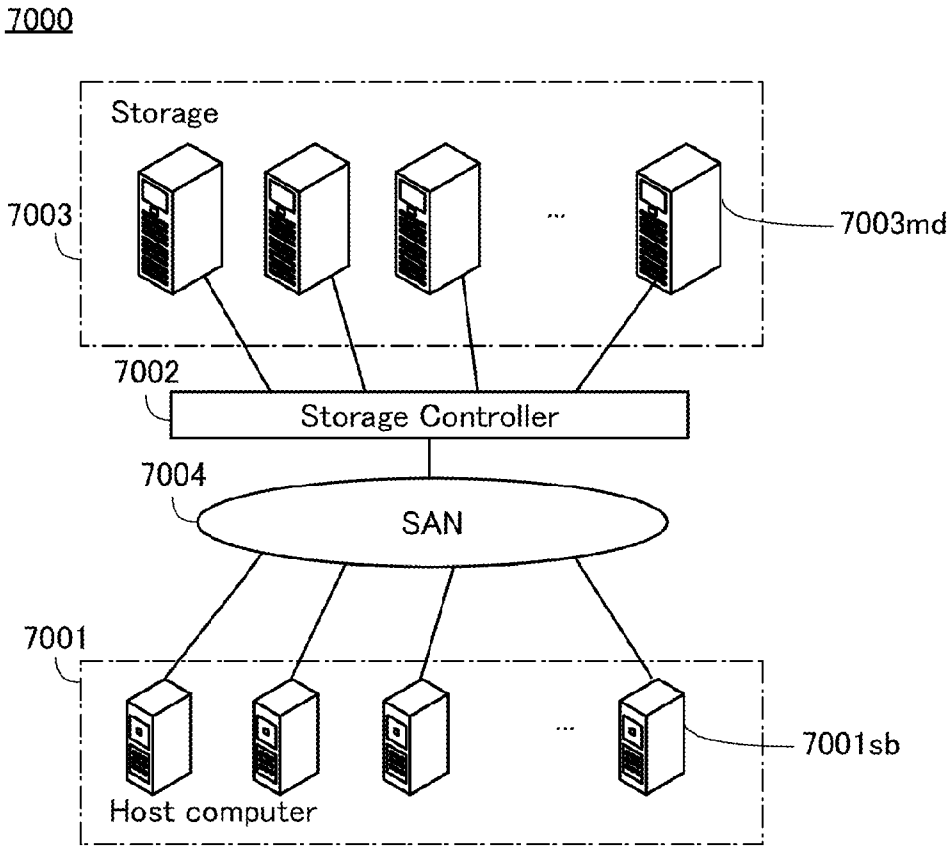

7000
Storage
7003
7003md
7002
Storage Controller
7004
SAN
7001
7001sb
Host computer

図38

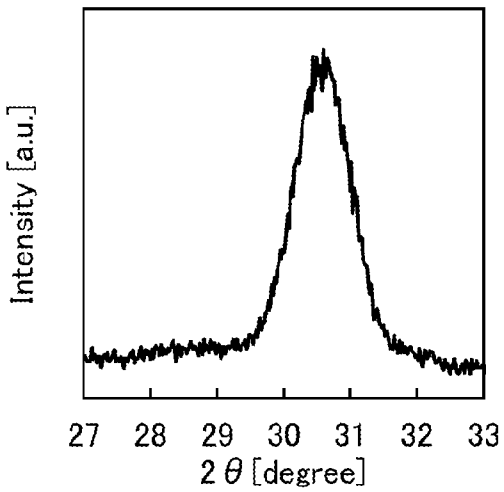


図39A

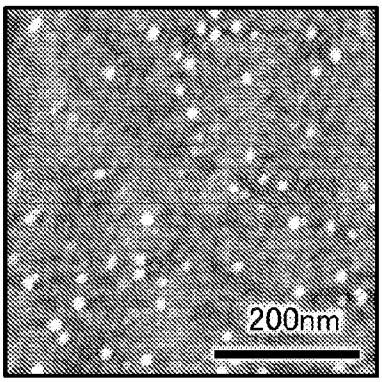


図39B

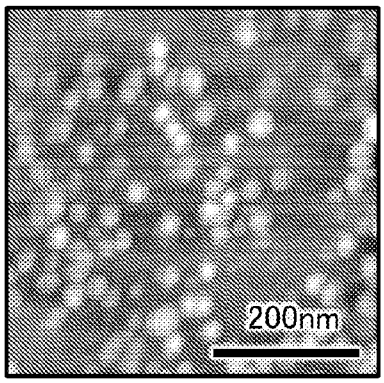


図39C

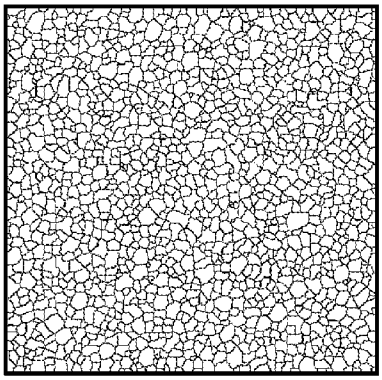


図39D

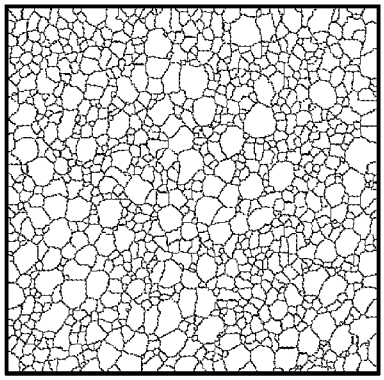


図39E

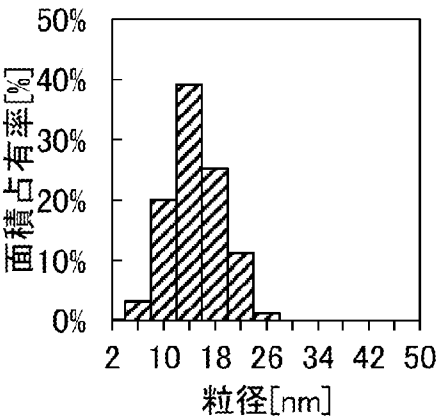


図39F

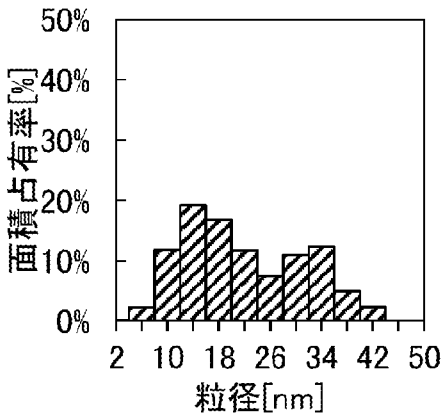


図40A

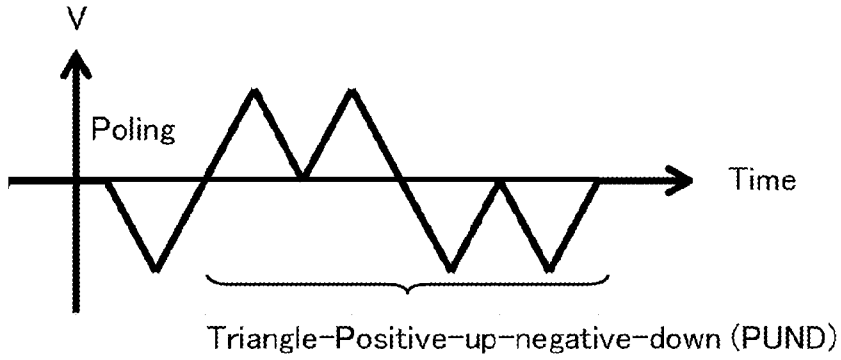

V
Poling
Time
Triangle-Positive-up-negative-down (PUND)

図40B

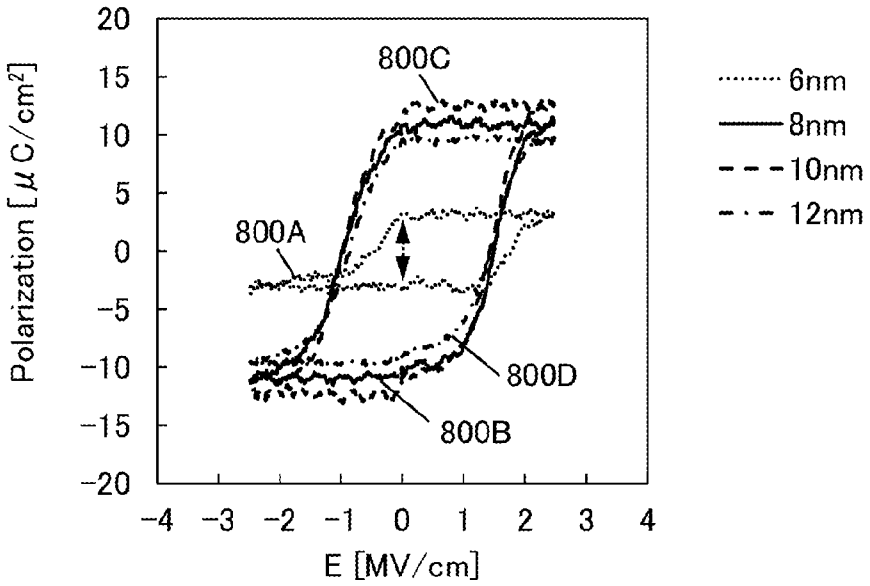

20
15
10
5
0
−5
−10
−15
−20
−4 −3 −2 −1 0 1 2 3 4
Polarization [μC/cm²]
E [MV/cm]
800A
800B
800C
800D
6nm
8nm
10nm
12nm

図41A

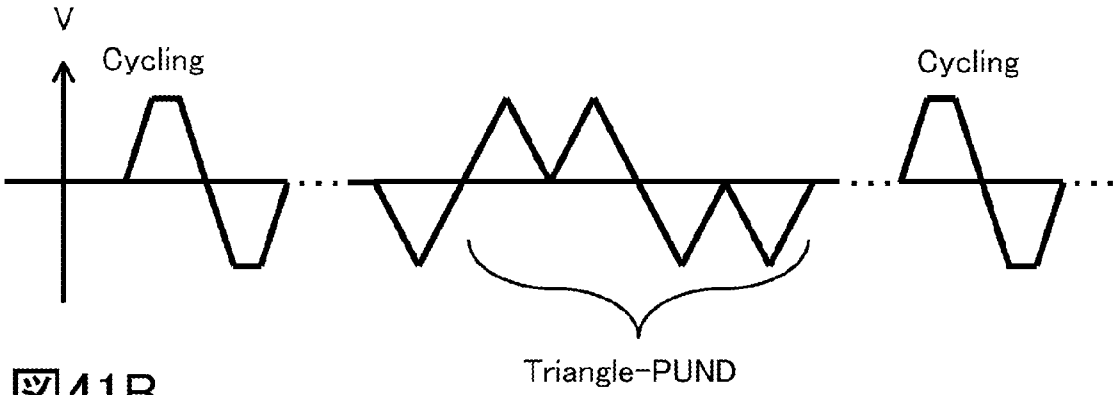

V
Cycling
Cycling
Triangle-PUND

図41B

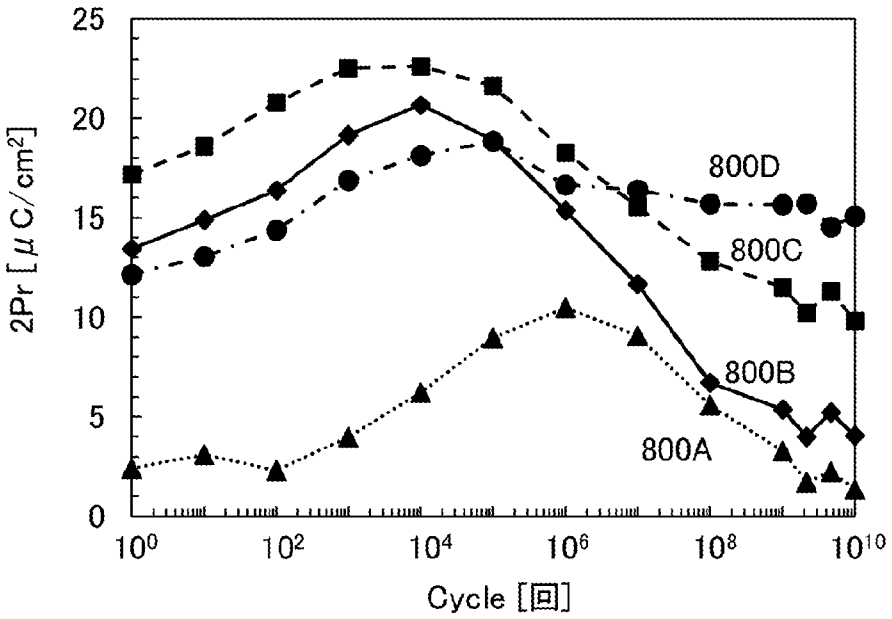

25
20
15
10
5
0
2Pr [μC/cm²]
800D
800C
800B
800A
10⁰
10²
10⁴
10⁶
10⁸
10¹⁰
Cycle [回]

図42A

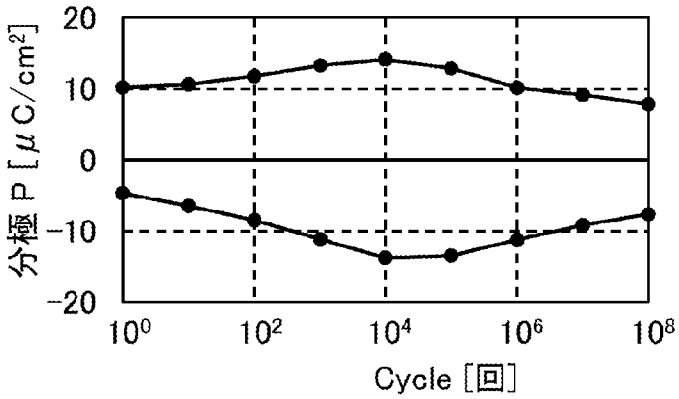

20
10
0
−10
−20
分極 P [μC/cm²]
10⁰
10²
10⁴
10⁶
10⁸
Cycle [回]

図42B

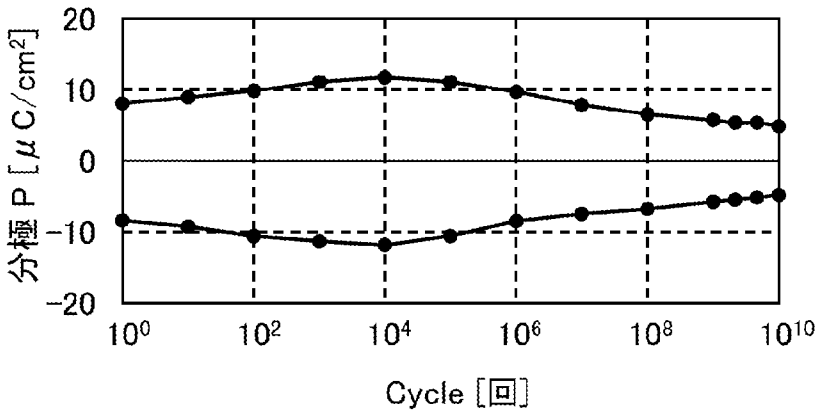

20
10
0
−10
−20
分極 P [μC/cm²]
10⁰
10²
10⁴
10⁶
10⁸
10¹⁰
Cycle [回]

図43A

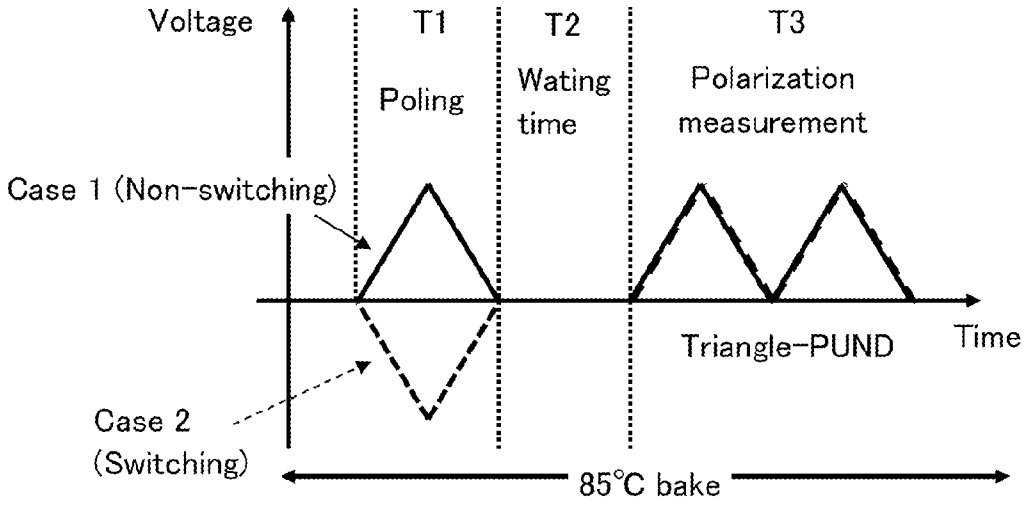

Voltage
T1
T2
T3
Poling
Wating time
Polarization measurement
Case 1 (Non-switching)
Triangle-PUND
Time
Case 2 (Switching)
85°C bake

図43B

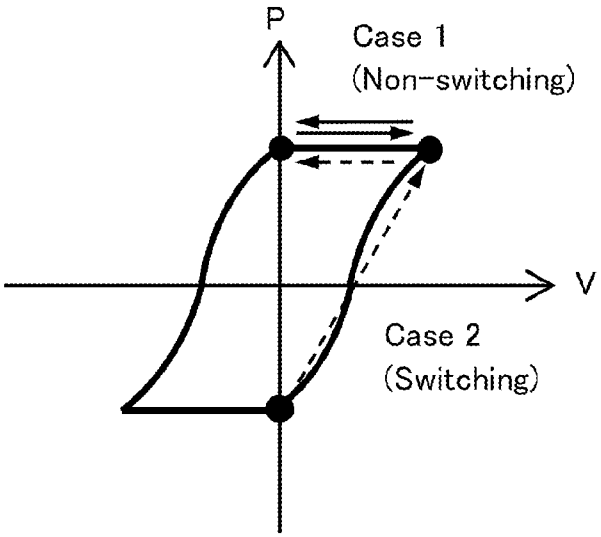

P
Case 1 (Non-switching)
V
Case 2 (Switching)

図44

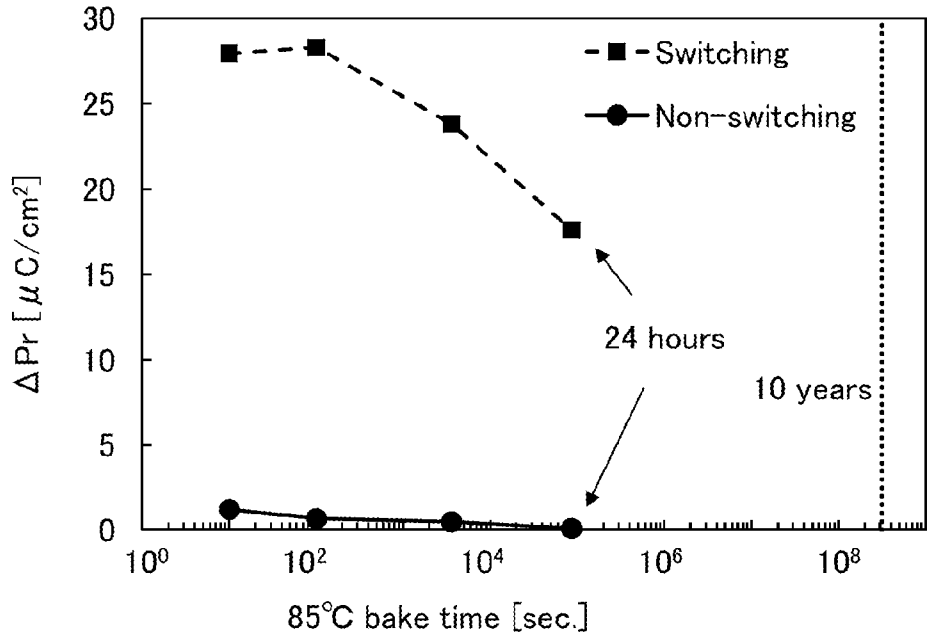

30
25
20
15
10
5
0
ΔPr [μC/cm²]
Switching
Non-switching
24 hours
10 years
10⁰
10²
10⁴
10⁶
10⁸
85℃ bake time [sec.]

図45

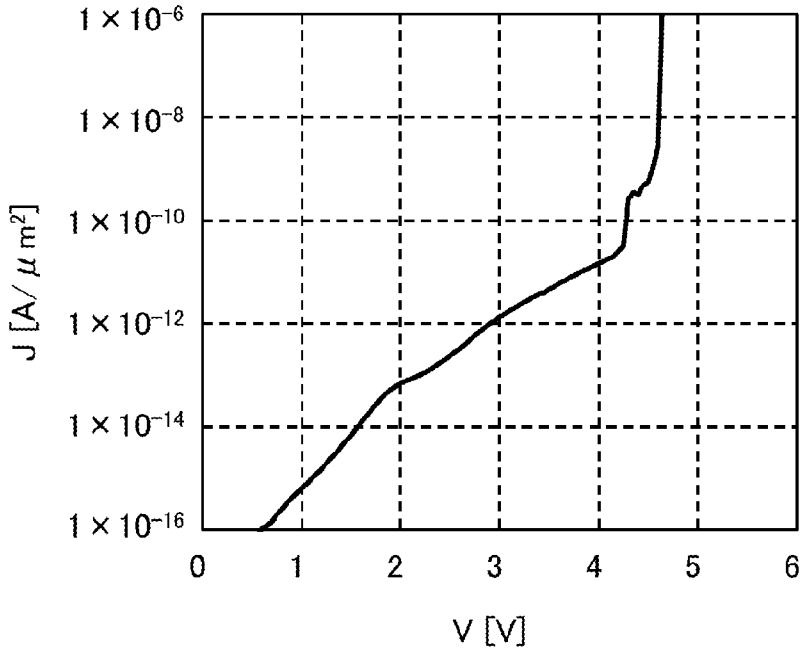


図46

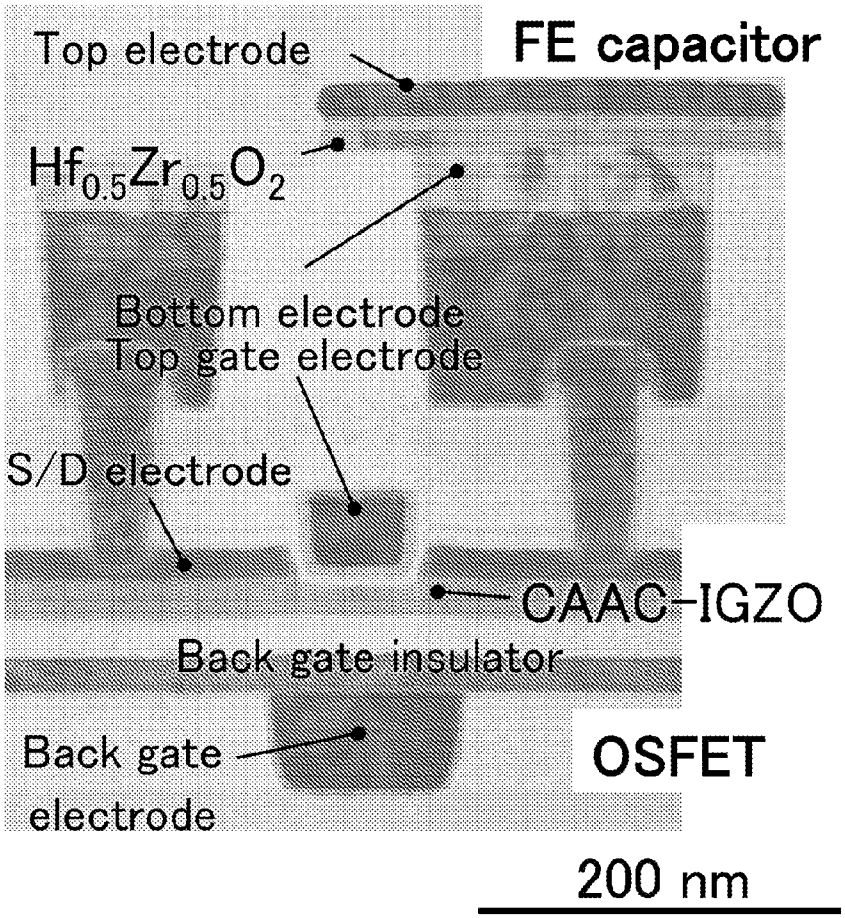

Top electrode
FE capacitor
$Hf_{0.5}Zr_{0.5}O_2$
Bottom electrode
Top gate electrode
S/D electrode
CAAC-IGZO
Back gate insulator
Back gate electrode
OSFET
200 nm

図47A

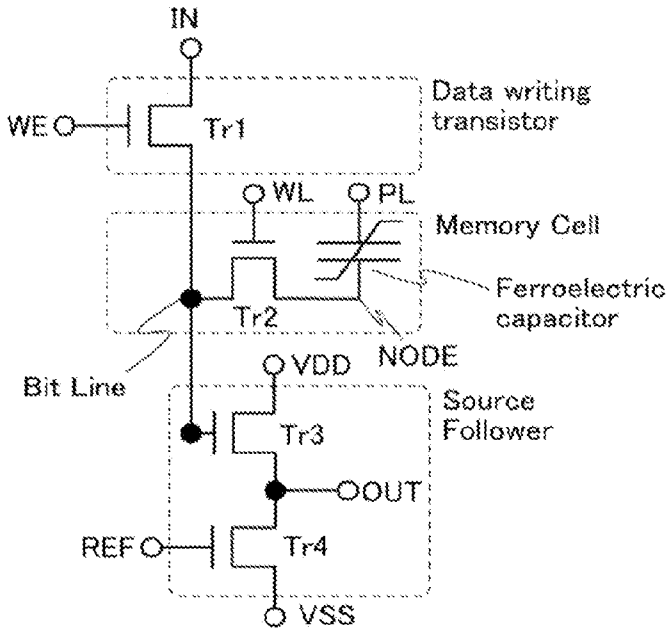

IN
WE
Tr1
Data writing transistor
WL
PL
Memory Cell
Ferroelectric capacitor
Tr2
NODE
Bit Line
VDD
Source Follower
Tr3
OUT
REF
Tr4
VSS

図47B

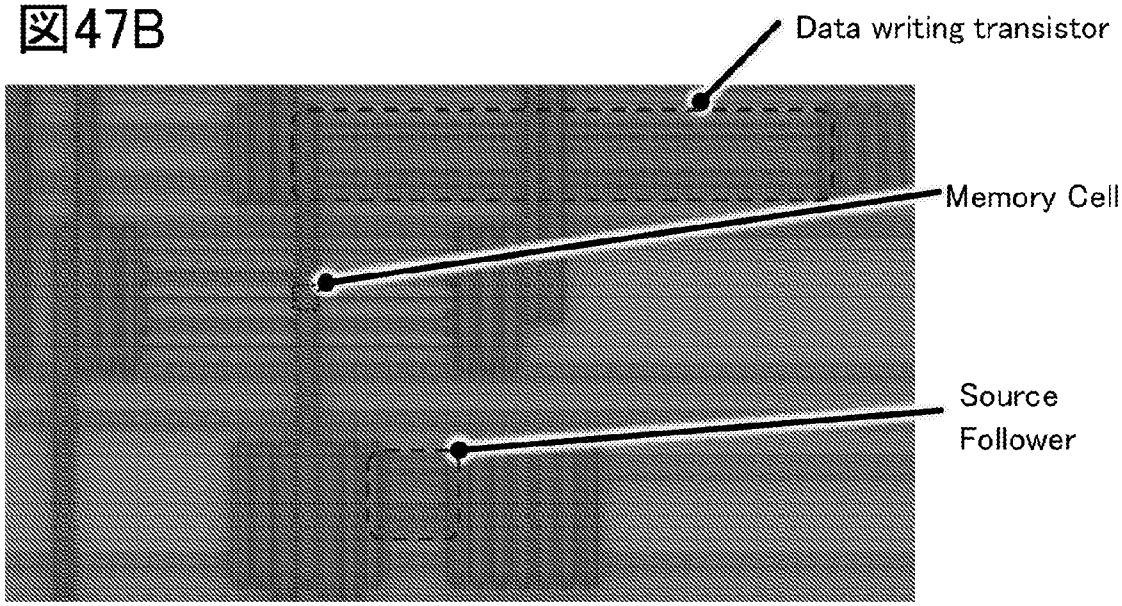

Data writing transistor
Memory Cell
Source Follower

図48

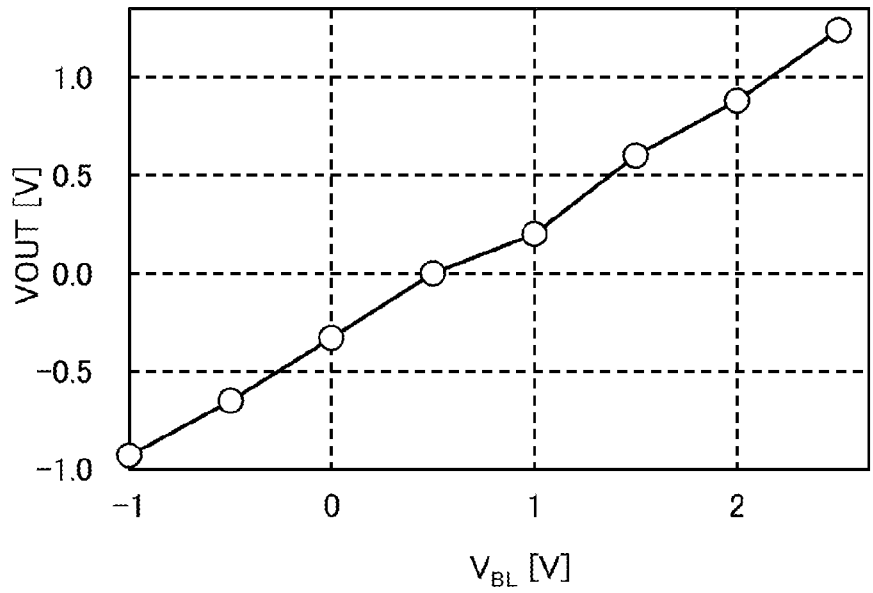


図49A

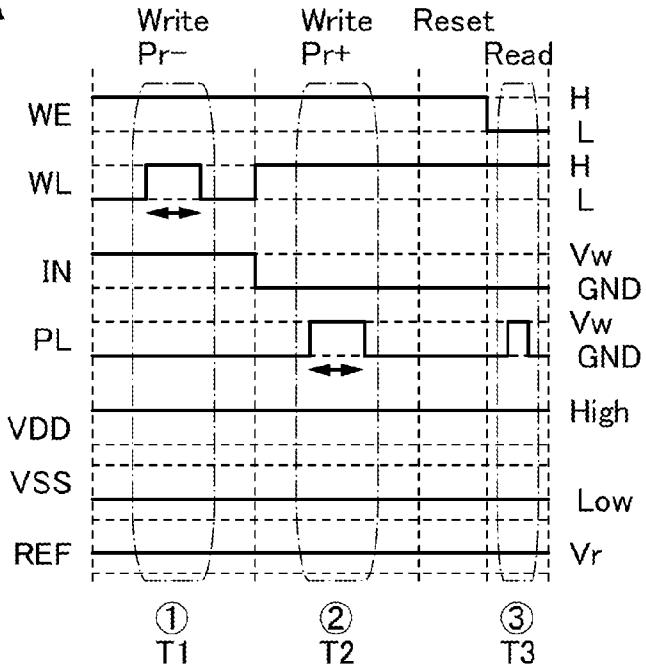

Write
Pr−
Write
Pr+
Reset
Read
WE
WL
IN
PL
VDD
VSS
REF
H
L
H
L
Vw
GND
Vw
GND
High
Low
Vr
①
T1
②
T2
③
T3

図49B

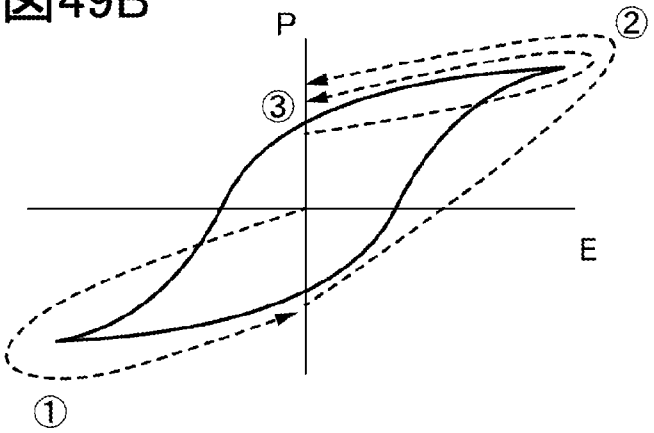

P
E
①
②
③

図50A

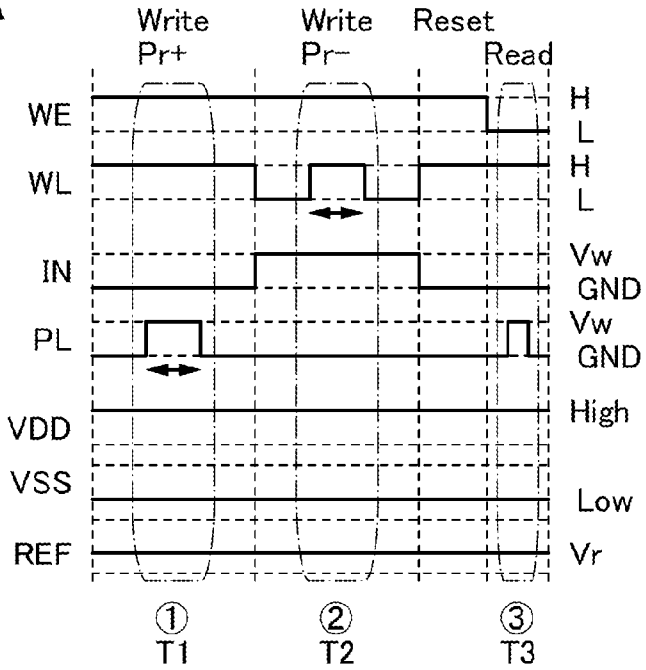

Write
Pr+
Write
Pr−
Reset
Read
WE
WL
IN
PL
VDD
VSS
REF
H
L
H
L
Vw
GND
Vw
GND
High
Low
Vr
①
T1
②
T2
③
T3

図50B

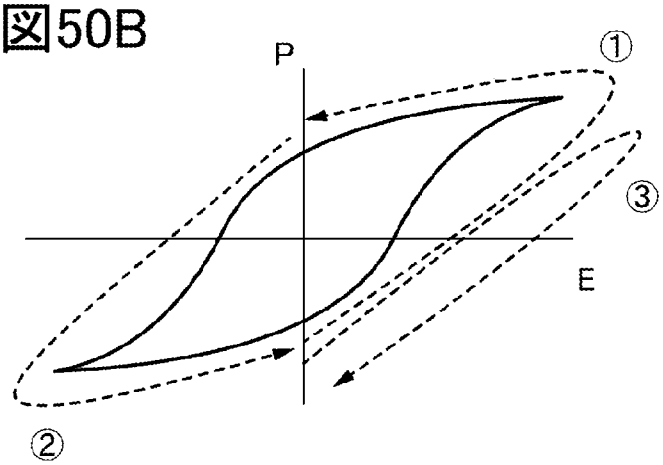

P
①
③
E
②

図51

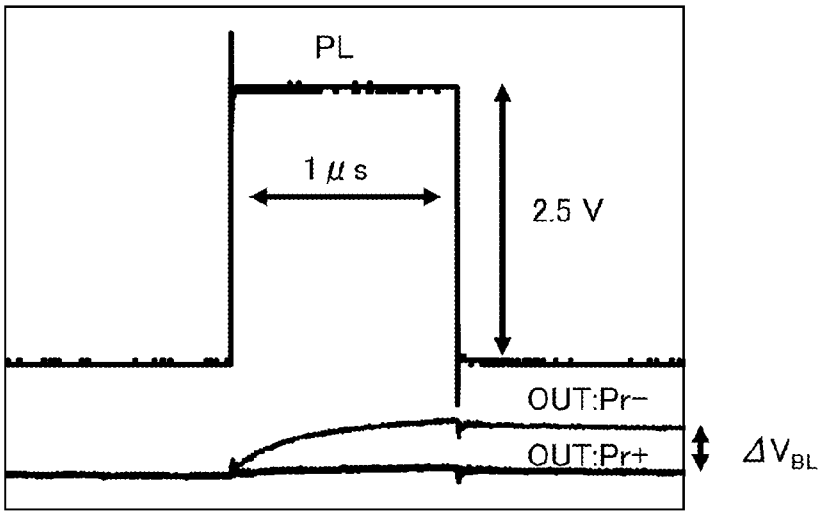


図52

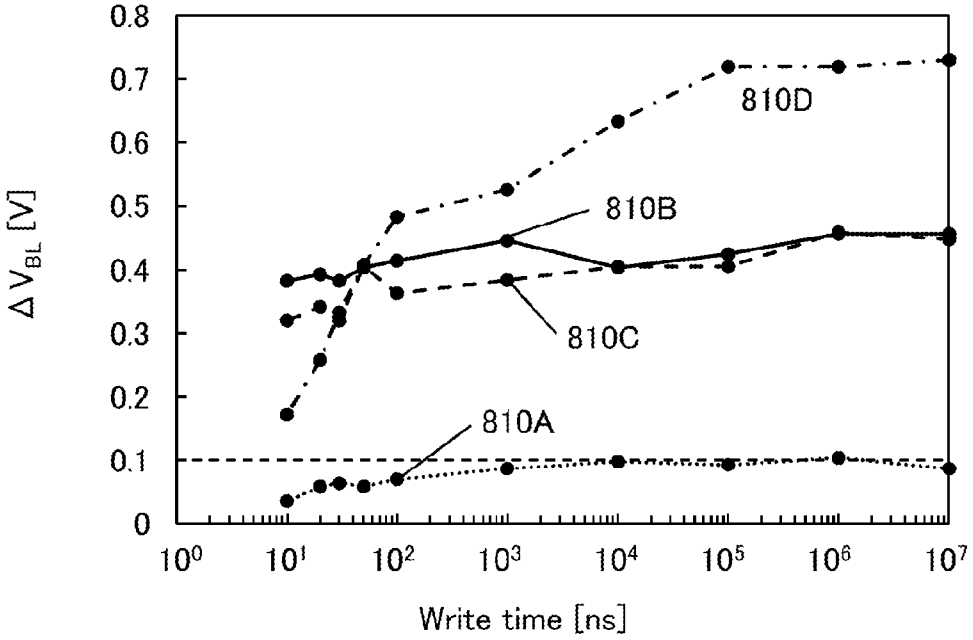

0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
ΔV_{BL} [V]
10^0
10^1
10^2
10^3
10^4
10^5
10^6
10^7
Write time [ns]
810D
810B
810C
810A

図53

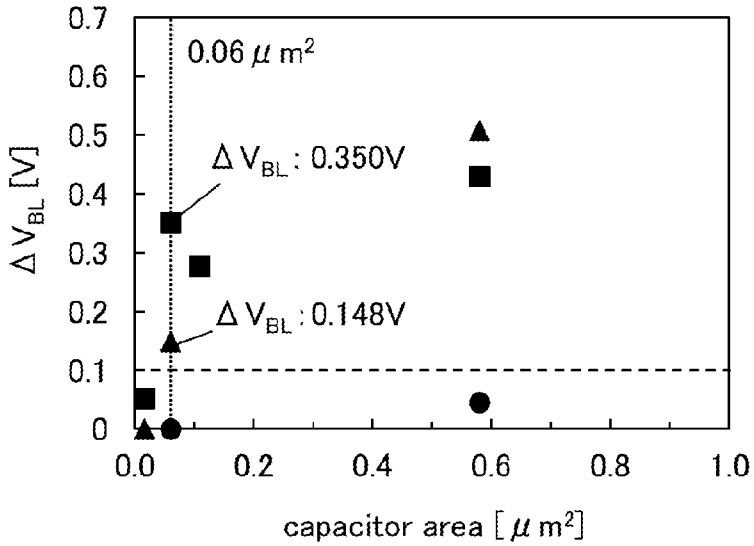

0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
0.0
0.2
0.4
0.6
0.8
1.0
0.06 μ m²
ΔV_BL : 0.350V
ΔV_BL : 0.148V
ΔV_BL [V]
capacitor area [μ m²]

図54A

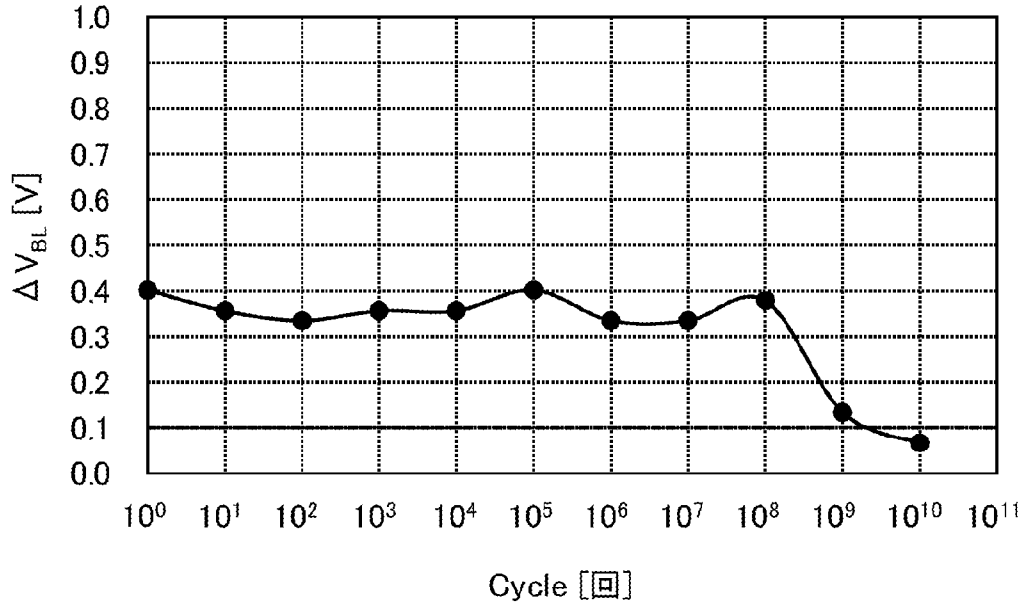

1.0
0.9
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0.0
ΔV_BL [V]
10^0 10^1 10^2 10^3 10^4 10^5 10^6 10^7 10^8 10^9 10^10 10^11
Cycle [回]

図54B

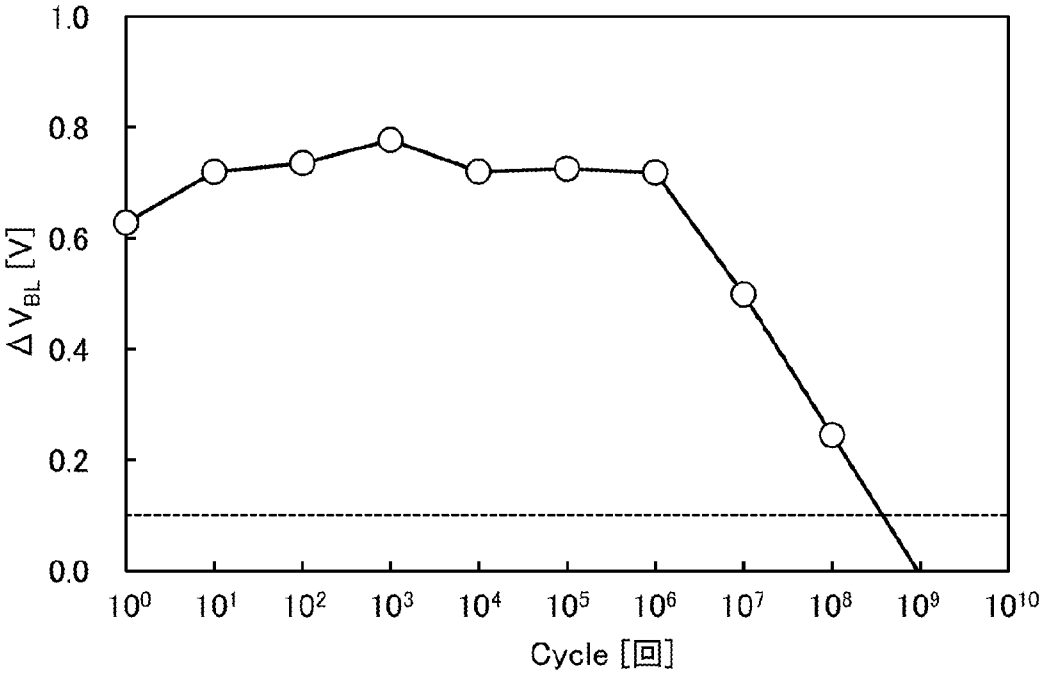

1.0
0.8
0.6
0.4
0.2
0.0
ΔV_BL [V]
10^0 10^1 10^2 10^3 10^4 10^5 10^6 10^7 10^8 10^9 10^10
Cycle [回]

図55A

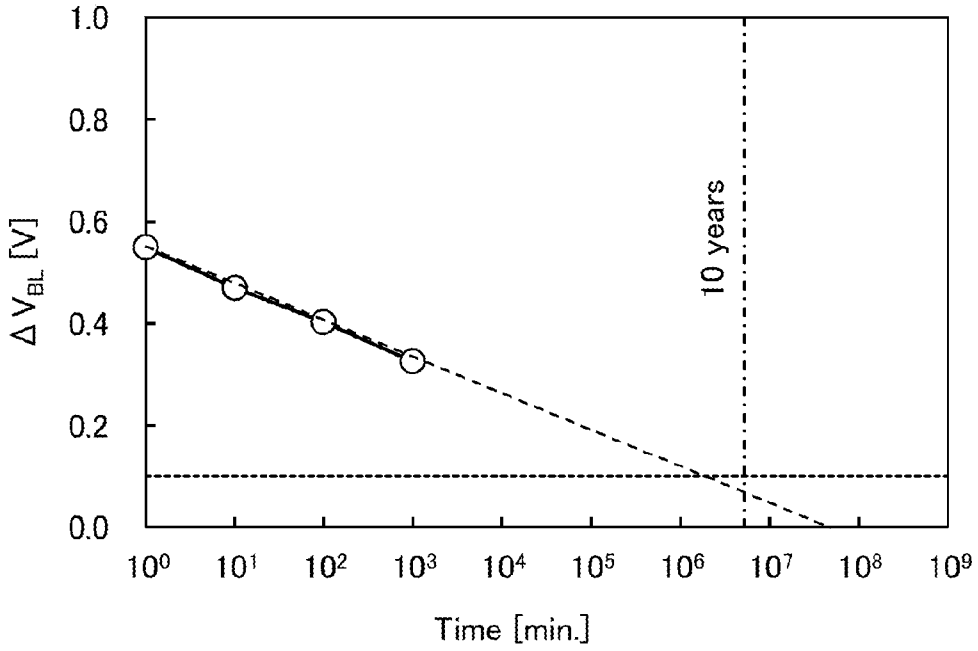

1.0
0.8
0.6
0.4
0.2
0.0
ΔV_BL [V]
10 years
10^0 10^1 10^2 10^3 10^4 10^5 10^6 10^7 10^8 10^9
Time [min.]

図55B

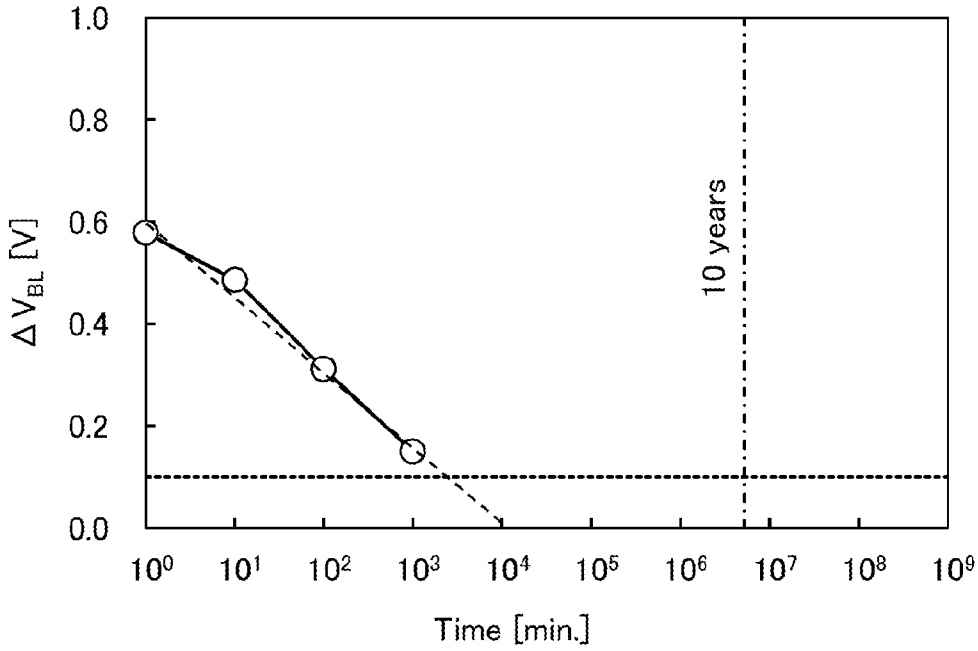

1.0
0.8
0.6
0.4
0.2
0.0
ΔV_BL [V]
10 years
10^0 10^1 10^2 10^3 10^4 10^5 10^6 10^7 10^8 10^9
Time [min.]

図56A

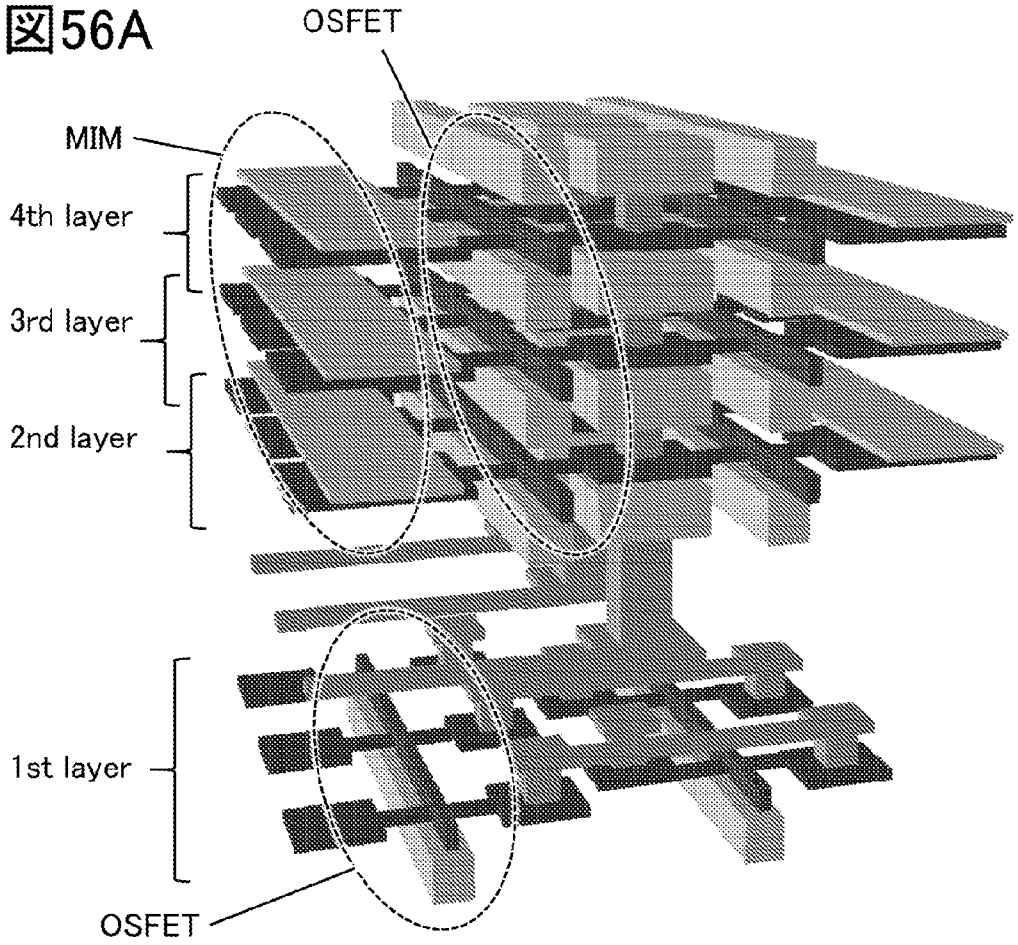

OSFET
MIM
4th layer
3rd layer
2nd layer
1st layer
OSFET

図56B

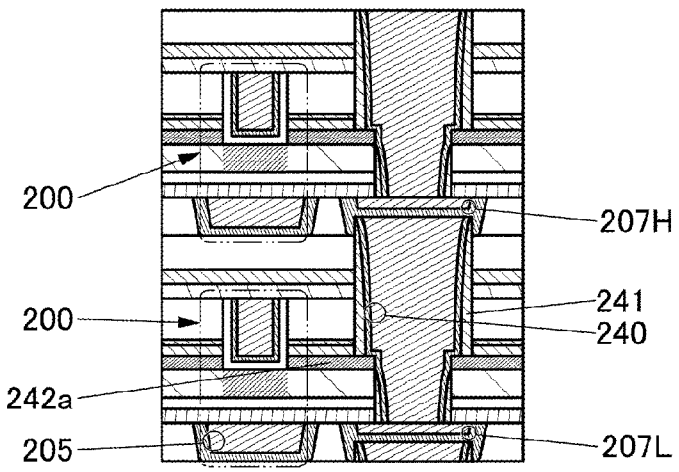
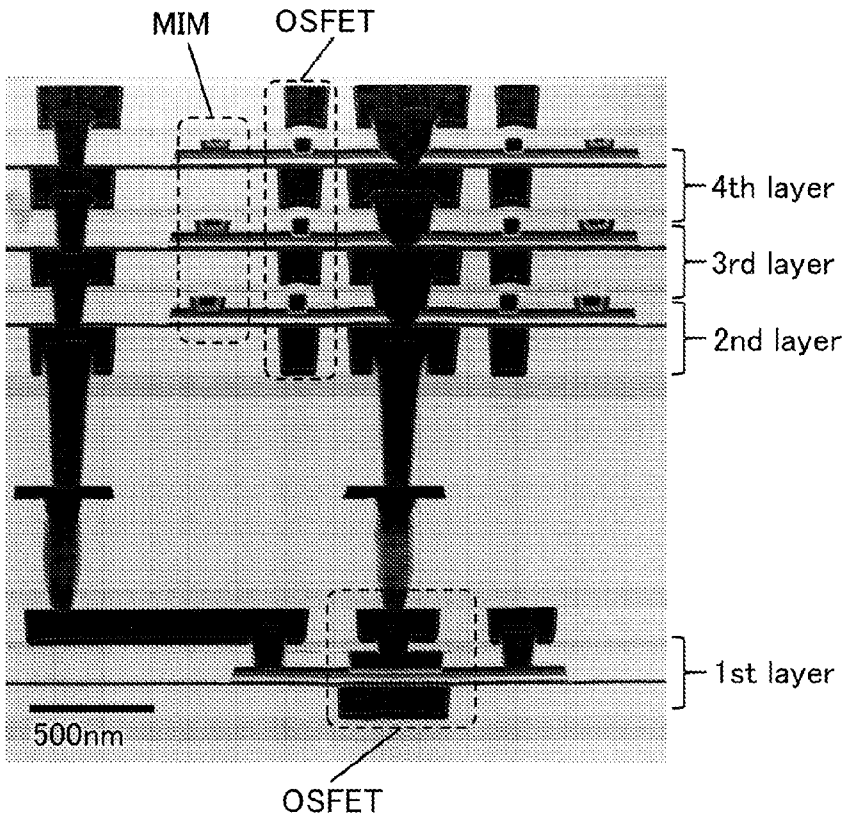

200
200
242a
205
207H
241
240
207L

図57


MIM
OSFET
4th layer
3rd layer
2nd layer
1st layer
500nm
OSFET

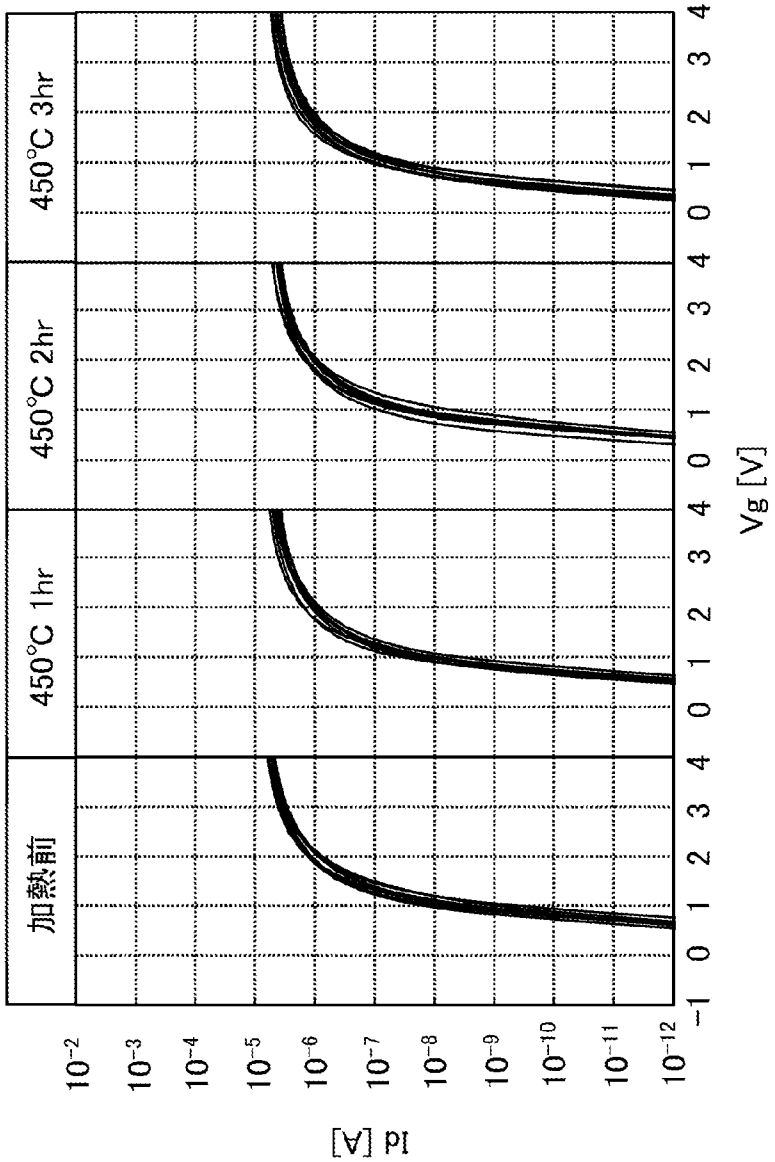
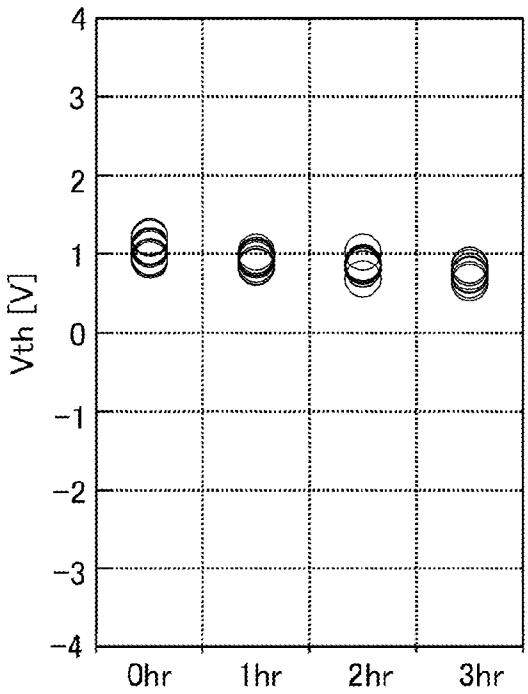


図58

図59



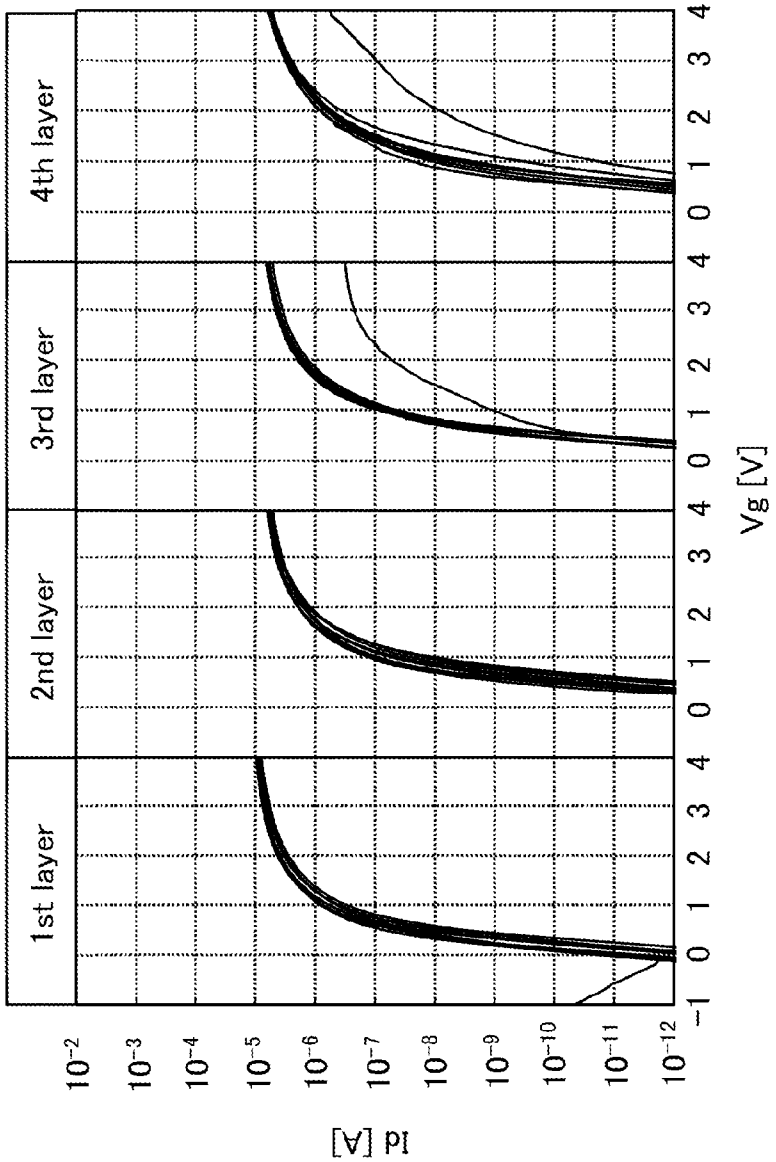

1st layer
2nd layer
3rd layer
4th layer
Id [A]
Vg [V]
10^-2
10^-3
10^-4
10^-5
10^-6
10^-7
10^-8
10^-9
10^-10
10^-11
10^-12
−1 0 1 2 3 4

図60

図61A

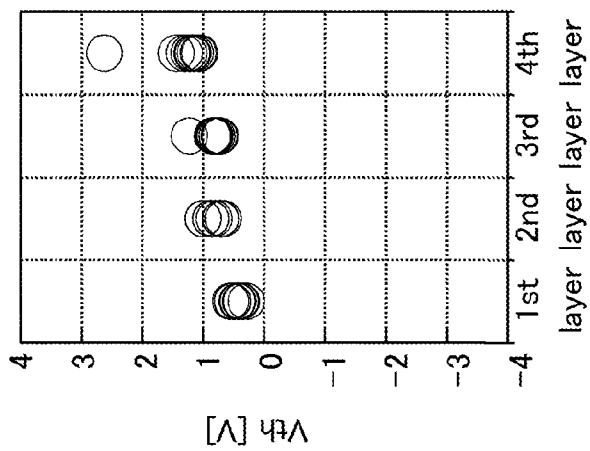


図61B

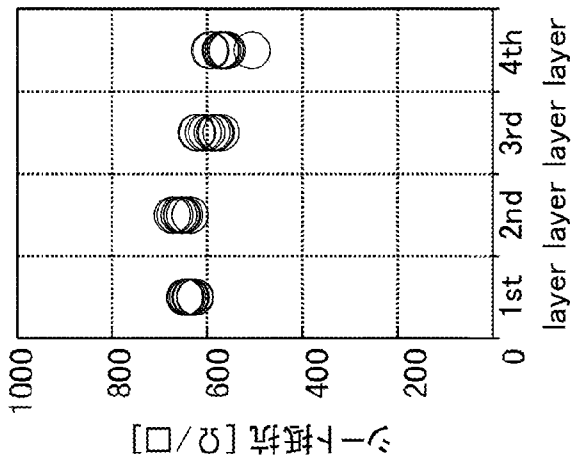


図61C

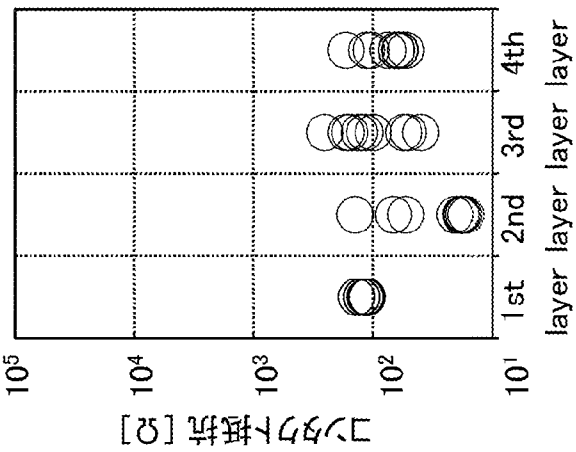


図62

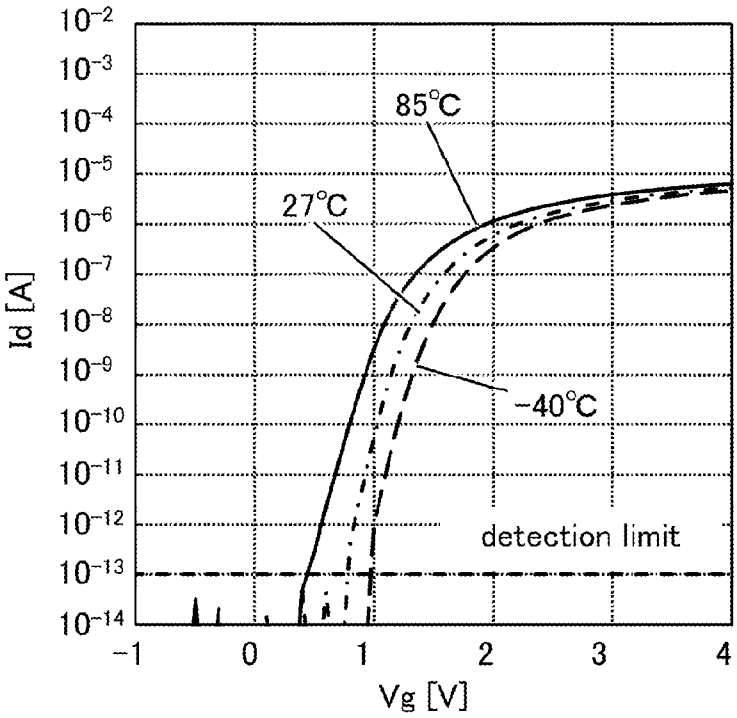

10^-2
10^-3
10^-4
10^-5
10^-6
10^-7
10^-8
10^-9
10^-10
10^-11
10^-12
10^-13
10^-14
Id [A]
85°C
27°C
-40°C
detection limit
-1
0
1
2
3
4
Vg [V]

図63A

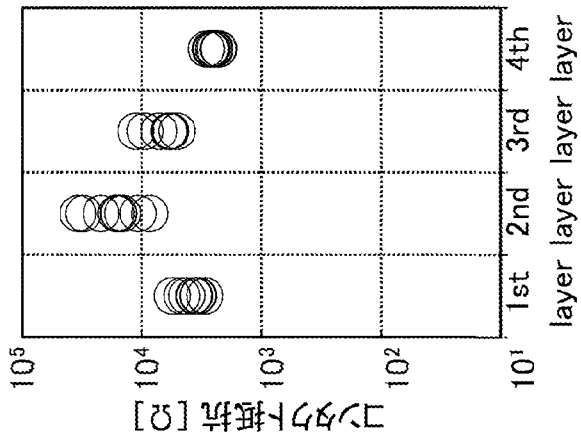


図63B

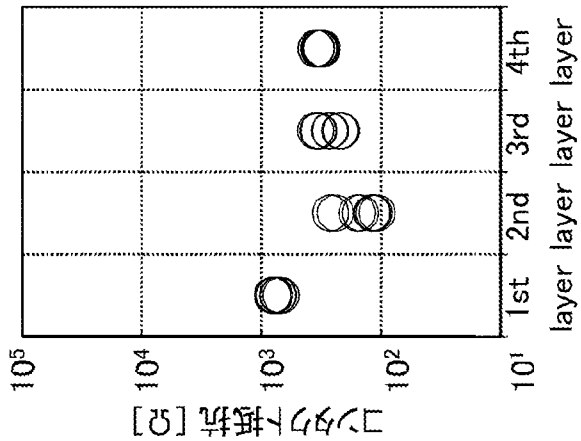


図63C

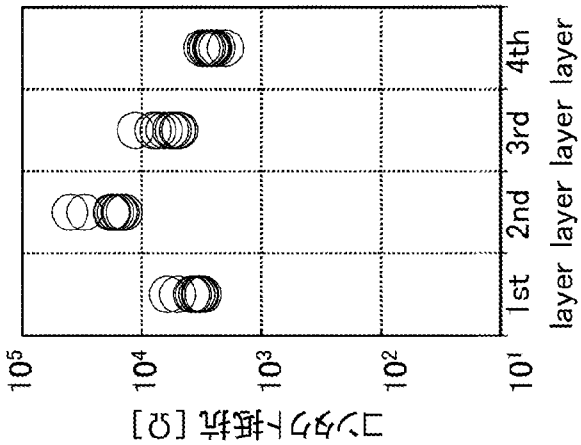


図64A

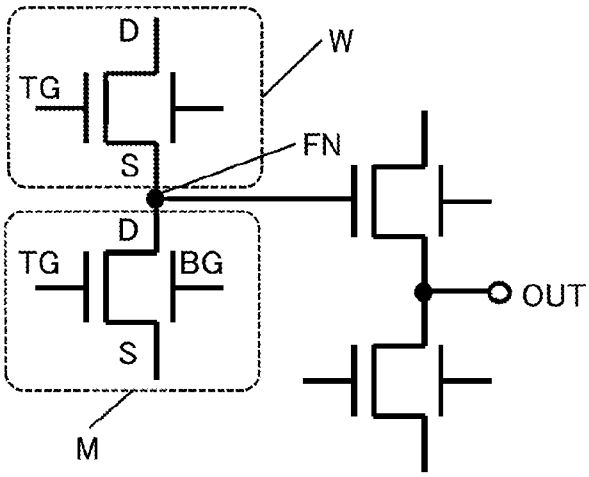

D
TG
S
W
FN
D
TG
BG
S
OUT
M

図64B

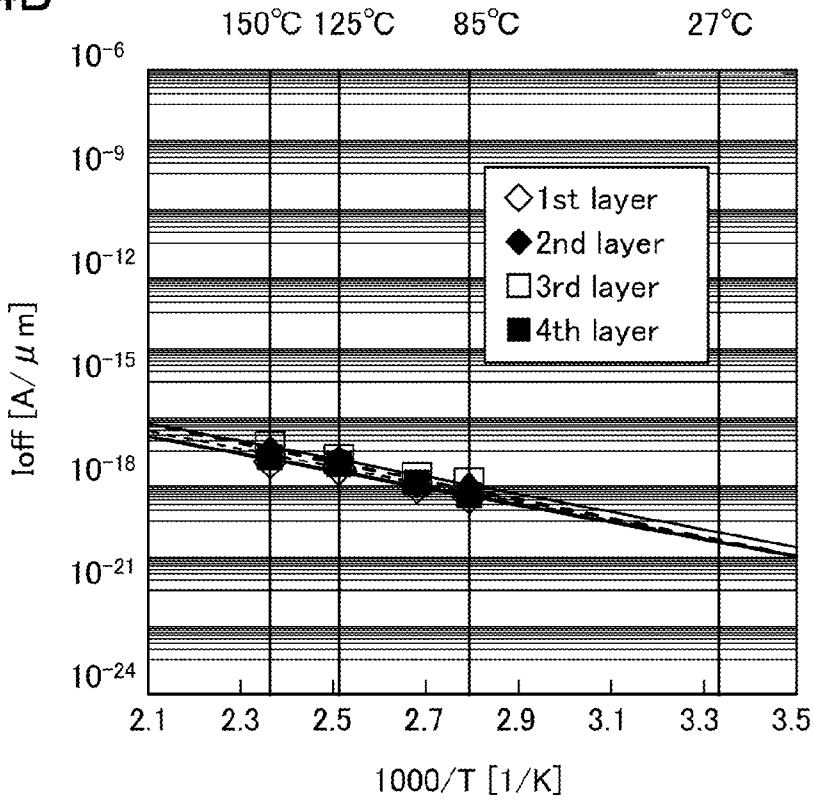

150℃ 125℃ 85℃ 27℃
10^-6
10^-9
10^-12
10^-15
10^-18
10^-21
10^-24
Ioff [A/μm]
1st layer
2nd layer
3rd layer
4th layer
2.1 2.3 2.5 2.7 2.9 3.1 3.3 3.5
1000/T [1/K]

図65A

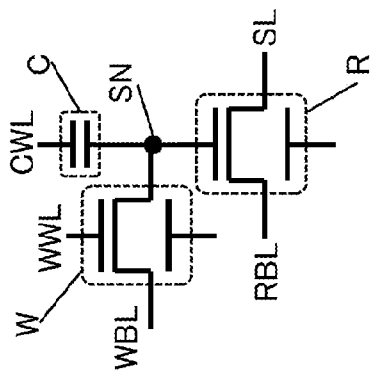


図65B

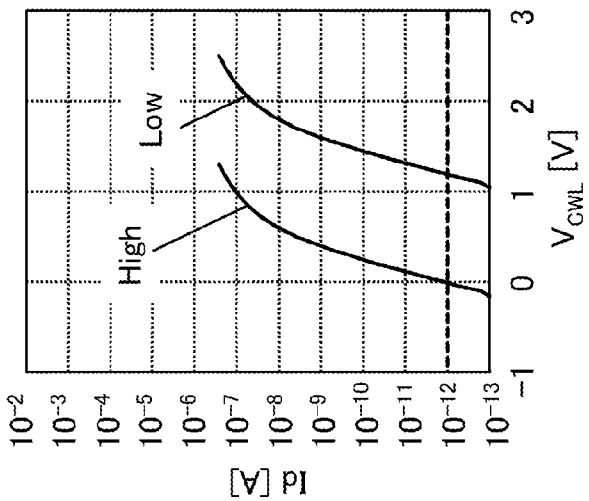


図65C

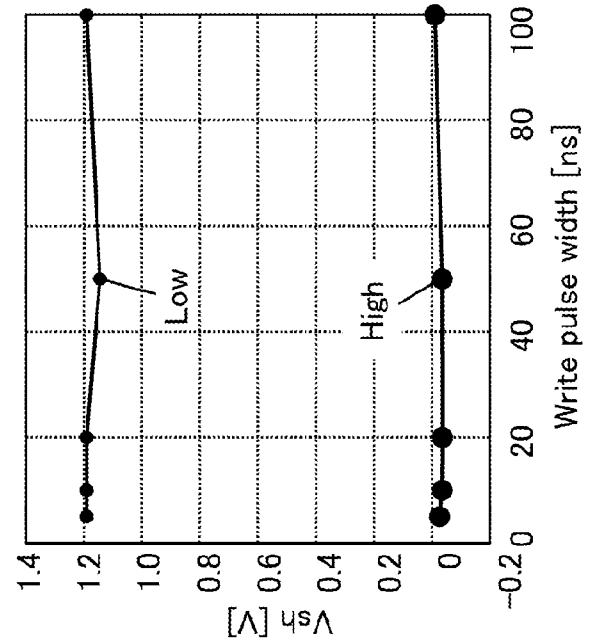


図66A

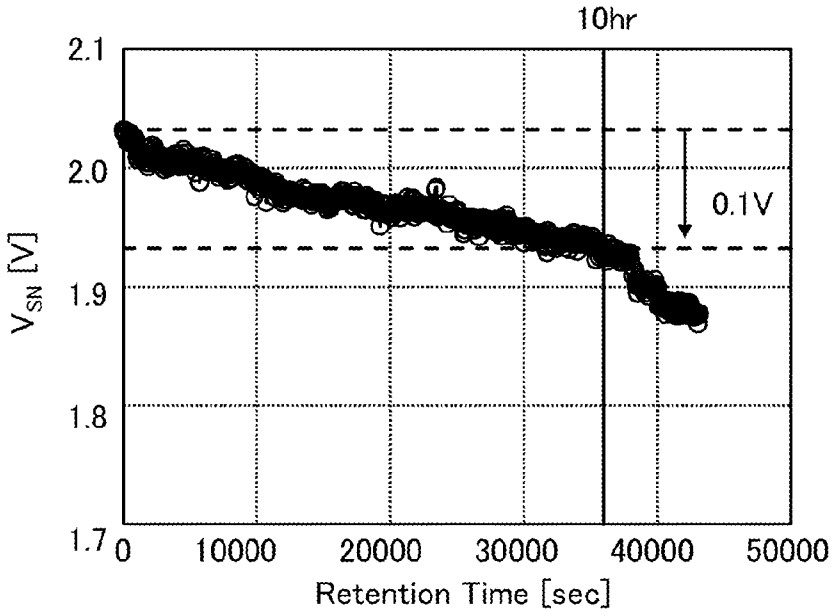

10hr
2.1
2.0
1.9
1.8
1.7
V_{SN} [V]
0.1V
0
10000
20000
30000
40000
50000
Retention Time [sec]

図66B

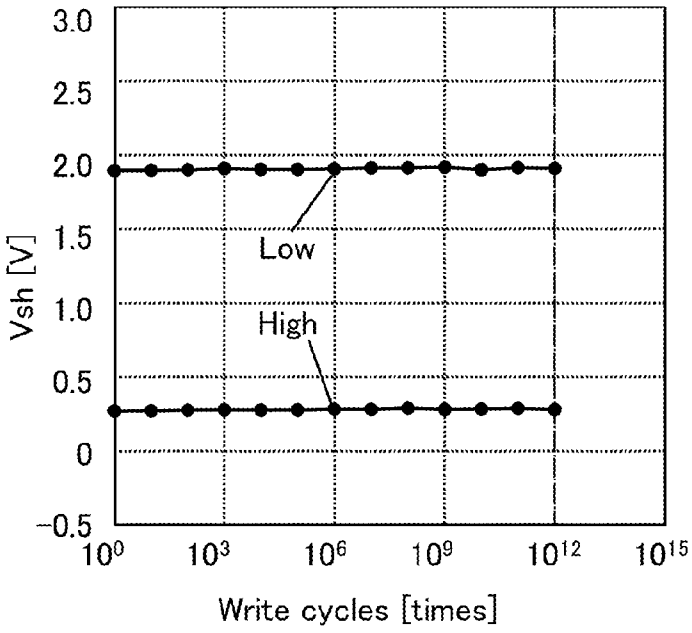

3.0
2.5
2.0
1.5
1.0
0.5
0
−0.5
Vsh [V]
Low
High
10^0
10^3
10^6
10^9
10^{12}
10^{15}
Write cycles [times]

図67A

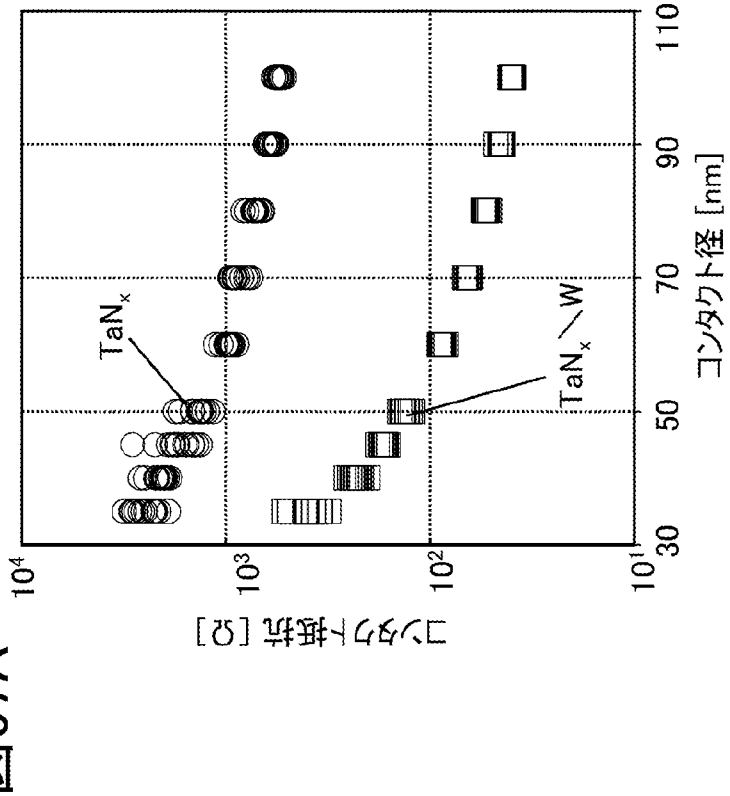

コンタクト抵抗 [Ω]
10^4
10^3
10^2
10^1
30
50
70
90
110
コンタクト径 [nm]
TaN_x
TaN_x＼W

図67B

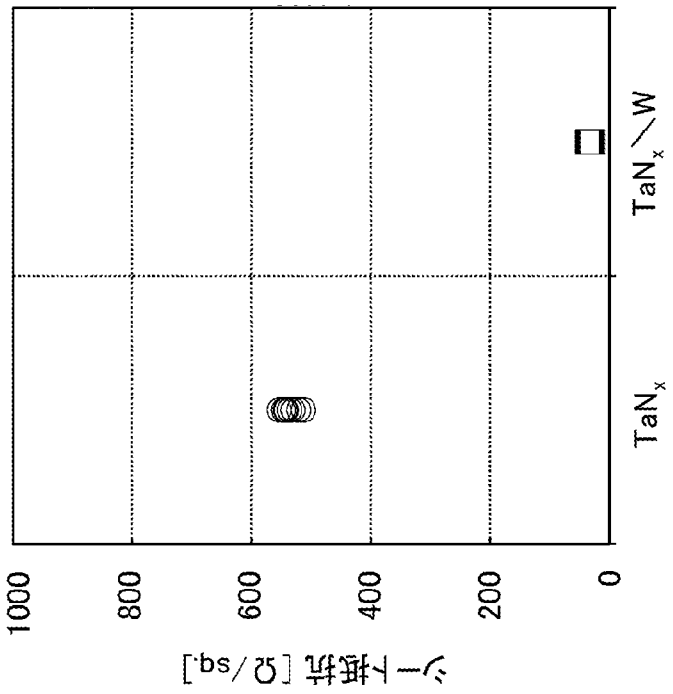

シート抵抗 [Ω/sq.]
1000
800
600
400
200
0
TaN_x
TaN_x＼W

図68

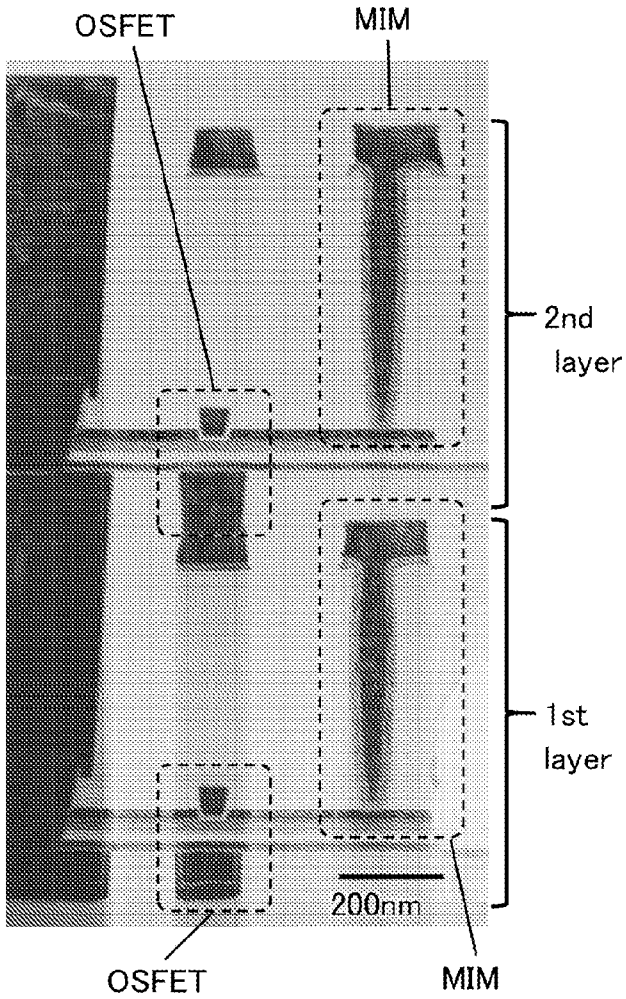


図69A

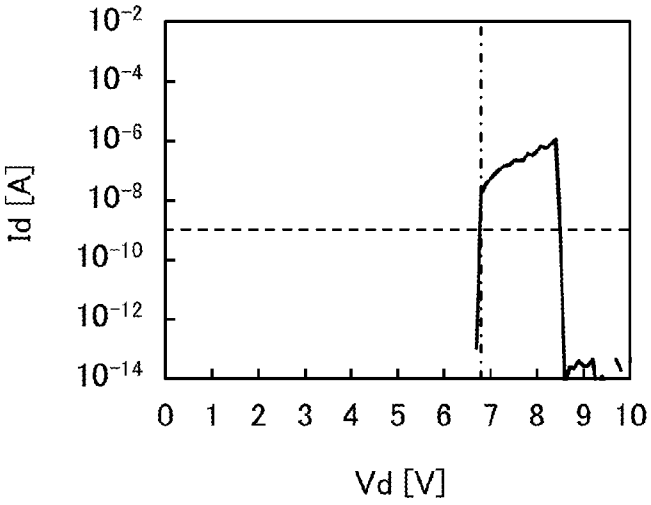

Id [A]
10^-2
10^-4
10^-6
10^-8
10^-10
10^-12
10^-14
0 1 2 3 4 5 6 7 8 9 10
Vd [V]

図69B

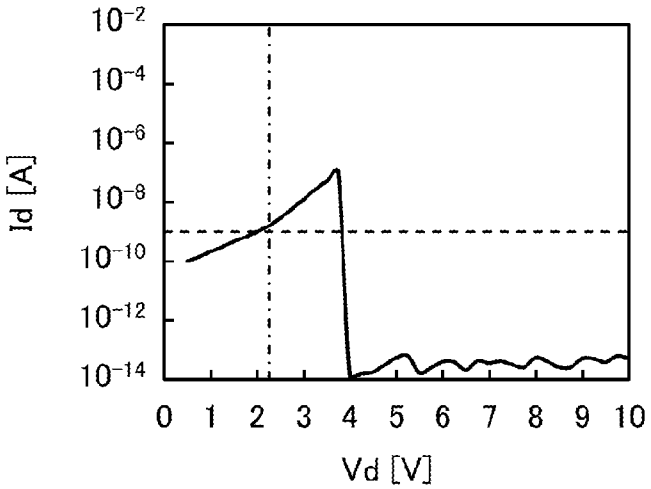

Id [A]
10^-2
10^-4
10^-6
10^-8
10^-10
10^-12
10^-14
0 1 2 3 4 5 6 7 8 9 10
Vd [V]

図70

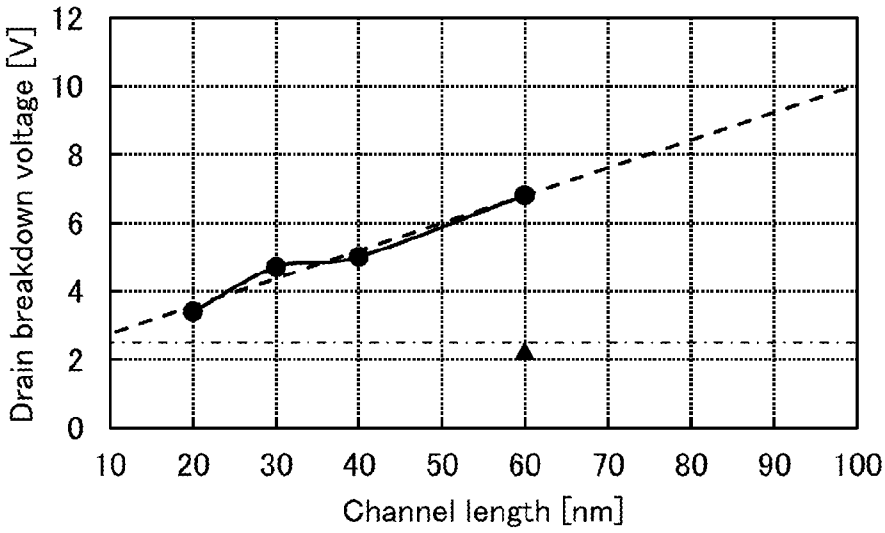

Drain breakdown voltage [V]
12
10
8
6
4
2
0
10
20
30
40
50
60
70
80
90
100
Channel length [nm]

図71

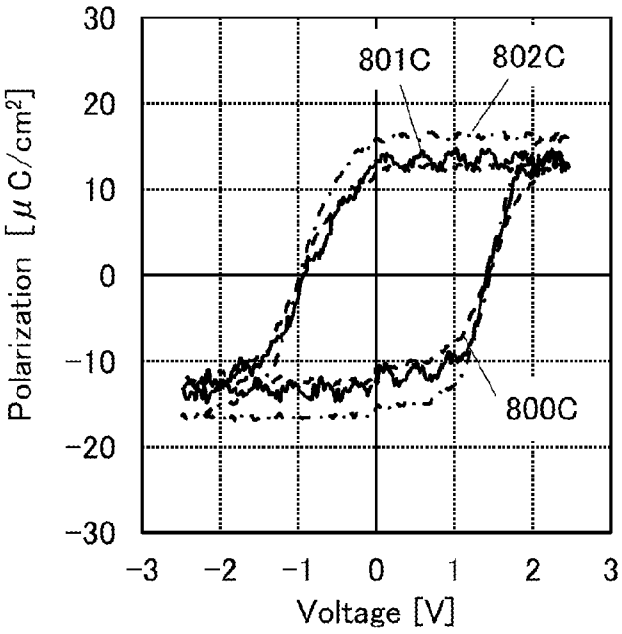

30
20
10
0
−10
−20
−30
−3
−2
−1
0
1
2
3
Polarization [μC/cm²]
Voltage [V]
801C
802C
800C

図72

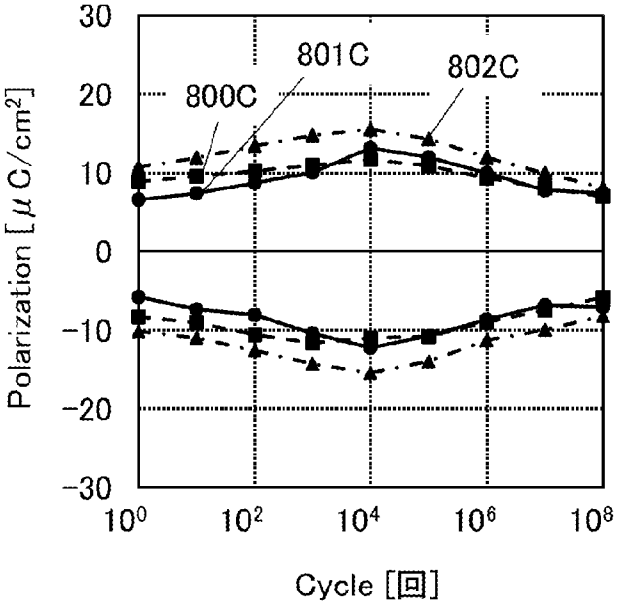

30
20
10
0
−10
−20
−30
800C
801C
802C
Polarization [μC/cm²]
10⁰
10²
10⁴
10⁶
10⁸
Cycle [回]

図73

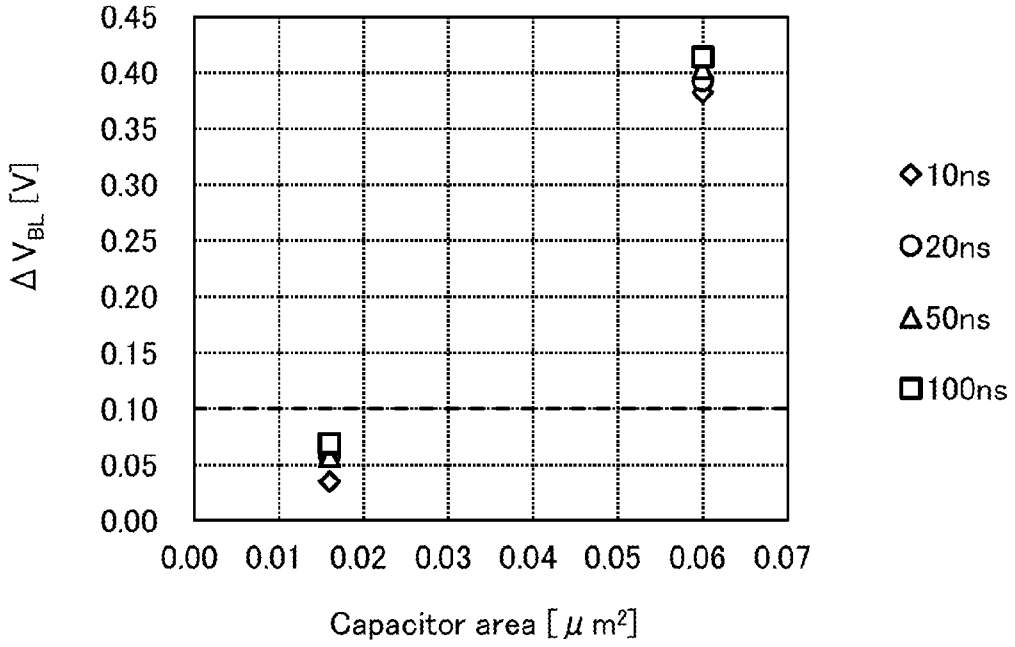
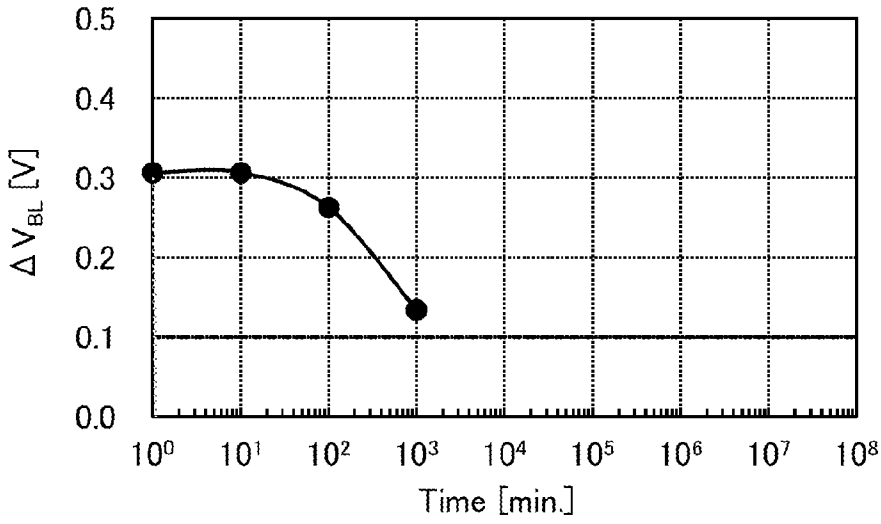

0.45
0.40
0.35
0.30
0.25
0.20
0.15
0.10
0.05
0.00
ΔV_BL [V]
0.00 0.01 0.02 0.03 0.04 0.05 0.06 0.07
Capacitor area [μm²]
◇10ns
○20ns
△50ns
□100ns

図74


0.5
0.4
0.3
0.2
0.1
0.0
ΔV_BL [V]
10^0
10^1
10^2
10^3
10^4
10^5
10^6
10^7
10^8
Time [min.]

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2023/055668

A. CLASSIFICATION OF SUBJECT MATTER

H10B 12/00(2023.01)i; ***H01L 21/3205***(2006.01)i; ***H01L 21/336***(2006.01)i; ***H01L 21/768***(2006.01)i; ***H01L 21/822***(2006.01)i; ***H01L 21/8234***(2006.01)i; ***H01L 21/8238***(2006.01)i; ***H01L 23/522***(2006.01)i; ***H01L 27/04***(2006.01)i; ***H01L 27/06***(2006.01)i; ***H01L 27/088***(2006.01)i; ***H01L 27/092***(2006.01)i; ***H01L 29/786***(2006.01)i; ***H01L 29/788***(2006.01)i; ***H01L 29/792***(2006.01)i; ***H10B 41/70***(2023.01)i; ***H10B 53/20***(2023.01)i; ***H10B 53/30***(2023.01)i

FI: H10B12/00 671Z; H01L21/88 J; H01L21/90 B; H01L27/04 C; H01L27/06 102A; H01L27/088 E; H01L27/088 H; H01L27/092 G; H01L29/78 371; H01L29/78 613B; H01L29/78 617N; H01L29/78 617T; H01L29/78 617U; H01L29/78 618B; H01L29/78 619A; H10B12/00 621C; H10B12/00 621Z; H10B12/00 671C; H10B12/00 801; H10B41/70; H10B53/20; H10B53/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10B12/00; H01L21/3205; H01L21/336; H01L21/768; H01L21/822; H01L21/8234; H01L21/8238; H01L23/522; H01L27/04; H01L27/06; H01L27/088; H01L27/092; H01L29/786; H01L29/788; H01L29/792; H10B41/70; H10B53/20; H10B53/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2017-118106 A (SEMICONDUCTOR ENERGY LAB. CO., LTD.) 29 June 2017 (2017-06-29) paragraphs [0058], [0195]-[0201], [0223], [0224], [0227], [0228], [0436], [0437], fig. 14	1, 9-10
Y		2-11
Y	JP 2022-044110 A (SEMICONDUCTOR ENERGY LAB. CO., LTD.) 17 March 2022 (2022-03-17) paragraphs [0122]-[0128], [0254], [0279], fig. 7(D), 11	2, 4, 7-11

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 August 2023	**05 September 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2018-133550 A (SEMICONDUCTOR ENERGY LAB. CO., LTD.) 23 August 2018 (2018-08-23) paragraphs [0080]-[0084], [0091], [0128], [0129], [0134], [0135], [0241]-[0243], fig. 11	1, 9-10
Y		2-11

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2023/055668

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2017-118106 A	29 June 2017	US 2017/0179294 A1 paragraphs [0101], [0236]-[0242], [0264], [0265], [0268], [0269], [0478], [0479], fig. 14	
JP 2022-044110 A	17 March 2022	(Family: none)	
JP 2018-133550 A	23 August 2018	US 2018/0033892 A1 paragraphs [0109]-[0113], [0120], [0157], [0158], [0163], [0164], [0270]-[0272], fig. 11 TW 201816988 A CN 109478514 A KR 10-2019-0032414 A	

国際調査報告

国際出願番号
PCT/IB2023/055668

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H10B 12/00(2023.01)i; H01L 21/3205(2006.01)i; H01L 21/336(2006.01)i; H01L 21/768(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 21/8238(2006.01)i; H01L 23/522(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 27/092(2006.01)i; H01L 29/786(2006.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i; H10B 41/70(2023.01)i; H10B 53/20(2023.01)i; H10B 53/30(2023.01)i

FI: H10B12/00 671Z; H01L21/88 J; H01L21/90 B; H01L27/04 C; H01L27/06 102A; H01L27/088 E; H01L27/088 H; H01L27/092 G; H01L29/78 371; H01L29/78 613B; H01L29/78 617N; H01L29/78 617T; H01L29/78 617U; H01L29/78 618B; H01L29/78 619A; H10B12/00 621C; H10B12/00 621Z; H10B12/00 671C; H10B12/00 801; H10B41/70; H10B53/20; H10B53/30

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H10B12/00; H01L21/3205; H01L21/336; H01L21/768; H01L21/822; H01L21/8234; H01L21/8238; H01L23/522; H01L27/04; H01L27/06; H01L27/088; H01L27/092; H01L29/786; H01L29/788; H01L29/792; H10B41/70; H10B53/20; H10B53/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2017-118106 A (株式会社半導体エネルギー研究所) 29.06.2017 (2017-06-29) 段落[0058], [0195]-[0201], [0223]-[0224], [0227]-[0228], [0436]-[0437], 図14	1, 9-10
Y		2-11
Y	JP 2022-044110 A (株式会社半導体エネルギー研究所) 17.03.2022 (2022-03-17) 段落[0122]-[0128], [0254], [0279], 図7(D), 11	2, 4, 7-11

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
24.08.2023	05.09.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
石塚　健太郎 5F 4815
電話番号 03-3581-1101 内線 3516

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2018-133550 A (株式会社半導体エネルギー研究所) 23.08.2018 (2018-08-23) 段落[0080]-[0084], [0091], [0128]-[0129], [0134]-[0135], [0241]-[0243], 図11	1, 9-10
Y		2-11

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2023/055668

引用文献	公表日	パテントファミリー文献	公表日
JP 2017-118106 A	29.06.2017	US 2017/0179294 A1 段落[0101], [0236]-[0242], [0264]-[0265], [0268]-[0269], [0478]-[0479], 図14	
JP 2022-044110 A	17.03.2022	（ファミリーなし）	
JP 2018-133550 A	23.08.2018	US 2018/0033892 A1 段落[0109]-[0113], [0120], [0157]-[0158], [0163]-[0164], [0270]-[0272], 図11 TW 201816988 A CN 109478514 A KR 10-2019-0032414 A	