



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2018년07월27일  
 (11) 등록번호 10-1883061  
 (24) 등록일자 2018년07월23일

(51) 국제특허분류(Int. Cl.)  
 H01G 4/232 (2006.01) H01G 2/06 (2006.01)  
 H01G 4/012 (2006.01) H01G 4/30 (2006.01)  
 (52) CPC특허분류  
 H01G 4/2325 (2013.01)  
 H01G 2/065 (2013.01)  
 (21) 출원번호 10-2016-0115663  
 (22) 출원일자 2016년09월08일  
 심사청구일자 2016년09월08일  
 (65) 공개번호 10-2018-0028237  
 (43) 공개일자 2018년03월16일  
 (56) 선행기술조사문헌  
 JP2014036149 A\*  
 (뒷면에 계속)

(73) 특허권자  
 삼성전기주식회사  
 경기도 수원시 영통구 매영로 150 (매탄동)  
 (72) 발명자  
 박용  
 경기도 수원시 영통구 매영로 150 (매탄동)  
 홍기표  
 경기도 수원시 영통구 매영로 150 (매탄동)  
 (뒷면에 계속)  
 (74) 대리인  
 특허법인씨엔에스

전체 청구항 수 : 총 14 항

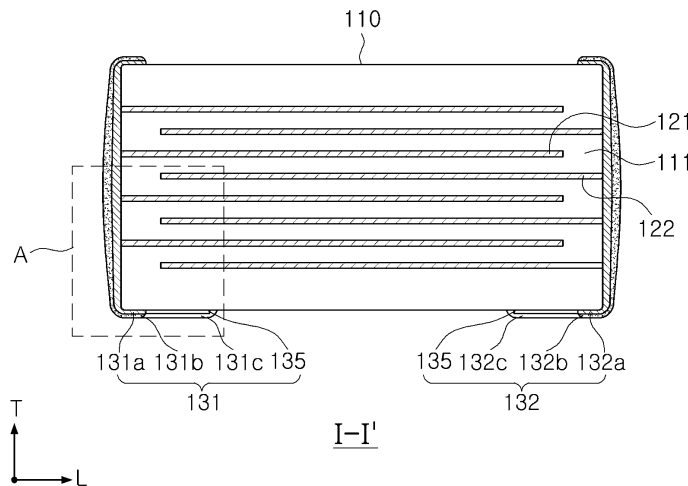
심사관 : 황승희

**(54) 발명의 명칭 적층 세라믹 전자부품 및 그 제조방법**

**(57) 요약**

본 발명은 유전체층과 상기 유전체층을 사이에 두고 일 측면과 타 측면으로 교대로 노출되도록 적층된 내부전극을 포함하는 세라믹 바디 및 상기 세라믹 바디의 외측에 배치된 외부전극을 포함하며, 상기 외부전극은 상기 내부전극과 연결된 제1 전극층과 상기 제1 전극층 상에 배치된 절연층 및 상기 세라믹 바디의 두께 방향 일면에 배치된 상기 제1 전극층과 연결된 도금층을 포함하고, 상기 제1 전극층은 니켈을 포함하는 적층 세라믹 전자부품에 관한 것이다.

**대표도 - 도2**



(52) CPC특허분류

*H01G 4/012* (2013.01)

*H01G 4/30* (2013.01)

(72) 발명자

**유진영**

경기도 수원시 영통구 매영로 150 (매탄동)

**최재열**

경기도 수원시 영통구 매영로 150 (매탄동)

(56) 선행기술조사문헌

JP2015204451 A\*

JP60240116 A\*

JP2013098540 A\*

JP2012004189 A\*

JP62195111 A\*

JP04320017 A\*

\*는 심사관에 의하여 인용된 문헌

**명세서**

**청구범위**

**청구항 1**

유전체층과 상기 유전체층을 사이에 두고 일 측면과 타 측면으로 교대로 노출되도록 적층된 내부전극을 포함하는 세라믹 바디; 및

상기 세라믹 바디의 외측에 배치된 외부전극;을 포함하며,

상기 외부전극은 상기 내부전극과 연결된 제1 전극층과 상기 제1 전극층 상에 배치된 절연층 및 상기 세라믹 바디의 두께 방향 일면에 배치되되 상기 제1 전극층과 연결된 도금층을 포함하고,

상기 제1 전극층은 니켈을 포함하며, 상기 절연층은 상기 세라믹 바디의 두께 방향 양면의 일부까지 연장 배치된 적층 세라믹 전자부품.

**청구항 2**

제 1항에 있어서,

상기 세라믹 바디의 두께 방향 일면에는 상기 제1 전극층과 전기적으로 연결된 시드층이 더 배치되고, 상기 도금층은 상기 시드층 상에 배치된 적층 세라믹 전자부품.

**청구항 3**

제 1항에 있어서,

상기 세라믹 바디의 두께 방향 중앙부 영역에서의 상기 제1 전극층의 두께를 T1 및 상기 내부전극 중 최외측 내부전극이 위치하는 지점에서의 상기 제1 전극층의 두께를 T2라 할 때,  $0.8 \leq T2/T1 \leq 1.2$  를 만족하는 적층 세라믹 전자부품.

**청구항 4**

제 3항에 있어서,

상기 세라믹 바디의 코너부에서의 상기 제1 전극층의 두께를 T3라 할 때,  $0.4 \leq T3/T1 \leq 1.0$  를 만족하는 적층 세라믹 전자부품.

**청구항 5**

제 1항에 있어서,

상기 세라믹 바디의 두께 방향 일면은 기관의 실장면인 적층 세라믹 전자부품.

**청구항 6**

복수의 세라믹 시트를 마련하는 단계;

상기 각각의 세라믹 시트 상에 도전성 페이스트를 이용하여 내부전극 패턴을 형성하는 단계;

상기 내부전극 패턴이 형성된 세라믹 시트를 적층하여, 내부에 서로 대향하도록 배치되는 내부 전극을 포함하는

세라믹 바디를 형성하는 단계;

상기 세라믹 바디의 길이 방향의 양 측면에 상기 내부 전극과 연결되도록 니켈을 포함하는 시트를 전사하여 제1 전극층을 형성하는 단계;

상기 제1 전극층 상에 절연층 형성용 세라믹 시트를 부착하여 절연층을 형성하는 단계; 및

상기 세라믹 바디의 두께 방향 일면에 상기 제1 전극층과 연결되도록 도금층을 형성하여 외부전극을 마련하는 단계;를 포함하며, 상기 절연층은 상기 세라믹 바디의 두께 방향 양면의 일부까지 연장 배치된 적층 세라믹 전자부품의 제조방법.

#### 청구항 7

제 6항에 있어서,

상기 세라믹 바디의 두께 방향 일면에는 상기 제1 전극층과 전기적으로 연결되도록 시드층을 더 형성하고, 상기 도금층은 상기 시드층 상에 배치되도록 형성하는 적층 세라믹 전자부품의 제조방법.

#### 청구항 8

제 6항에 있어서,

상기 세라믹 바디는 상기 제1 전극층과 절연층을 형성한 이후에 상기 제1 전극층 및 절연층과 동시에 소성하는 적층 세라믹 전자부품의 제조방법.

#### 청구항 9

제 6항에 있어서,

상기 절연층 형성용 세라믹 시트 상에 상기 제1 전극층을 형성하는 니켈을 포함하는 시트를 적층하여 상기 세라믹 바디의 길이 방향 양 측면에 제1 전극층 및 절연층을 동시에 형성하는 적층 세라믹 전자부품의 제조방법.

#### 청구항 10

제 9항에 있어서,

상기 세라믹 바디는 상기 제1 전극층과 절연층을 형성한 이후에 상기 제1 전극층 및 절연층과 동시에 소성하는 적층 세라믹 전자부품의 제조방법.

#### 청구항 11

제 6항에 있어서,

상기 세라믹 바디의 두께 방향 일면은 기관의 실장면인 적층 세라믹 전자부품의 제조방법.

#### 청구항 12

제 6항에 있어서,

상기 세라믹 바디의 두께 방향 중앙부 영역에서의 상기 제1 전극층의 두께를 T1 및 상기 내부전극 중 최외측 내부전극이 위치하는 지점에서의 상기 제1 전극층의 두께를 T2라 할 때,  $0.8 \leq T2/T1 \leq 1.2$  를 만족하는 적층 세라믹 전자부품의 제조방법.

**청구항 13**

제 12항에 있어서,

상기 세라믹 바디의 코너부에서의 상기 제1 전극층의 두께를 T3라 할 때,  $0.4 \leq T3/T1 \leq 1.0$  를 만족하는 적층 세라믹 전자부품의 제조방법.

**청구항 14**

삭제

**청구항 15**

유전체층과 상기 유전체층을 사이에 두고 일 측면과 타 측면으로 교대로 노출되도록 적층된 내부전극을 포함하는 세라믹 바디; 및

상기 세라믹 바디의 외측에 배치된 외부전극;을 포함하며,

상기 외부전극은 상기 내부전극과 연결된 제1 전극층과 상기 제1 전극층 상에 배치된 절연층 및 상기 세라믹 바디의 두께 방향 일면에 배치되되 상기 제1 전극층과 연결된 도금층을 포함하고,

상기 제1 전극층은 니켈을 포함하며, 상기 세라믹 바디의 두께 방향 일면에는 상기 제1 전극층과 전기적으로 연결된 시드층이 더 배치되고, 상기 도금층은 상기 시드층 상에 배치된 적층 세라믹 전자부품.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 적층 세라믹 전자부품 및 그 제조방법에 관한 것이다.

**배경 기술**

[0003] 최근, 전자 제품들의 소형화 추세에 따라, 적층 세라믹 전자 부품 역시 소형화되고, 대용량화될 것이 요구되고 있다.

[0005] 이에 따라 유전체와 내부전극의 박막화, 다층화가 다양한 방법으로 시도되고 있으며, 근래에는 유전체층의 두께는 얇아지면서 적층수가 증가하는 적층 세라믹 전자 부품들이 제조되고 있다.

[0007] 이와 더불어, 외부전극 역시 두께가 얇아질 것을 요구함에 따라, 얇아진 외부전극을 통해서 도금액이 칩 내부로 침투하는 문제가 발생할 수 있어, 소형화에 대한 기술적인 어려움이 있다.

[0009] 특히, 외부전극의 형상이 불균일할 경우 외부전극의 두께가 얇은 부위로 도금액의 침투 위험성이 더욱 높아져서 신뢰성 확보에 문제가 발생한다.

[0011] 한편, 외부전극을 형성하는 방법인 기존의 딥핑(dipping) 방식 등으로 외부전극을 형성할 경우, 바디의 길이 방향 측면인 머릿면 및 상기 머릿면과 접하는 4면 (이하 "밴드면"이라고 정의하도록 함) 전체에 외부전극이 형성되고, 바디의 산포 발생과 페이스트의 유동성 및 점성으로 인해 균일 도포가 어려워 페이스트의 도포 두께 차이가 발생한다.

[0012] 또한, 페이스트가 얇게 도포된 부분은 치밀도 저하로 도금액이 침투하여 신뢰성 저하가 발생하고, 페이스트가 두껍게 도포된 부분은 글라스가 표면에 노출되는 글라스 비딩(Glass Beading) 혹은 블리스터(Blister)가 발생하여 도금 불량 및 형상 불량 문제로 인해 도금층 두께를 증가시켜야 한다.

[0014] 따라서, 외부전극의 도포 두께가 얇고 균일하게 될 경우, 내부 전극의 형성 면적을 증가하는 것이 가능해 기존 동일 사이즈의 커패시터 대비 용량 극대화가 가능하므로, 이에 대한 연구가 필요하다.

**선행기술문헌**

**특허문헌**

[0016] (특허문헌 0001) 한국공개공보 제 2011-0122008 호

**발명의 내용**

**해결하려는 과제**

[0017] 본 발명에 따른 일 실시형태의 목적은 외부전극의 두께가 얇고 균일한 고용량 적층 세라믹 전자부품 및 그 제조 방법을 제공하는 것이다.

**과제의 해결 수단**

[0019] 상술한 과제를 해결하기 위하여 본 발명의 일 실시형태는,

[0020] 유전체층과 상기 유전체층을 사이에 두고 일 측면과 타 측면으로 교대로 노출되도록 적층된 내부전극을 포함하는 세라믹 바디 및 상기 세라믹 바디의 외측에 배치된 외부전극을 포함하며, 상기 외부전극은 상기 내부전극과 연결된 제1 전극층과 상기 제1 전극층 상에 배치된 절연층 및 상기 세라믹 바디의 두께 방향 일면에 배치되되 상기 제1 전극층과 연결된 도금층을 포함하고, 상기 제1 전극층은 니켈을 포함하는 적층 세라믹 전자부품을 제공한다.

[0022] 본 발명의 다른 일 실시형태는 복수의 세라믹 시트를 마련하는 단계, 상기 각각의 세라믹 시트 상에 도전성 페이스트를 이용하여 내부전극 패턴을 형성하는 단계, 상기 내부전극 패턴이 형성된 세라믹 시트를 적층하여, 내부에 서로 대향하도록 배치되는 내부 전극을 포함하는 세라믹 바디를 형성하는 단계, 상기 세라믹 바디의 길이 방향의 양 측면에 상기 내부 전극과 연결되도록 니켈을 포함하는 시트를 전사하여 제1 전극층을 형성하는 단계, 상기 제1 전극층 상에 절연층 형성용 세라믹 시트를 부착하여 절연층을 형성하는 단계 및 상기 세라믹 바디의 두께 방향 일면에 상기 제1 전극층과 연결되도록 도금층을 형성하여 외부전극을 마련하는 단계를 포함하는 적층 세라믹 전자부품의 제조방법을 제공한다.

**발명의 효과**

[0024] 본 발명의 일 실시형태에 따르면 적층 세라믹 전자부품은 외부전극의 두께가 얇고 균일하기 때문에, 내부 전극의 형성 면적을 증가하는 것이 가능해 내부전극의 오버랩 면적을 극대화함으로써 고용량 적층 세라믹 전자부품을 구현할 수 있다.

[0025] 또한, 외부전극 중 제1 전극층이 니켈을 포함함으로써 밀폐성(Hermetic Sealing)이 개선되어 신뢰성이 향상될 수 있다.

[0026] 또한, 세라믹 바디의 길이 방향 양 측면에 배치된 제1 전극층 상에 절연층을 시트로 전사하여 배치함으로써 측면에 솔더가 배치되지 않고 실장면에만 배치되는 구조를 구현할 수 있어 실장 밀도를 높일 수 있다.

**도면의 간단한 설명**

[0028] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품을 나타내는 사시도이다.

도 2는 도 1의 I-I' 단면도이다.

도 3은 도 2의 A 영역 확대도이다.

도 4는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 외부전극 형성 공정도이다.

도 5는 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품의 외부전극 형성 공정도이다.

**발명을 실시하기 위한 구체적인 내용**

[0029] 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로

한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

- [0030] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다.
- [0031] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0032] 본 발명의 실시형태들을 명확하게 설명하기 위해 육면체의 방향을 정의하면, 도면 상에 표시된 L, W 및 T는 각각 길이 방향, 폭 방향 및 두께 방향을 나타낸다. 여기서, 두께 방향은 유전체층이 적층되는 적층 방향과 동일한 개념으로 사용될 수 있다.
- [0034] **적층 세라믹 전자부품**
- [0036] 이하에서는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품을 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 이에 제한되는 것은 아니다.
- [0038] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품을 나타내는 사시도이며, 도 2는 도 1의 I-I' 단면도이고, 도 3은 도 2의 A 영역 확대도이다.
- [0040] 도 1 내지 도 3을 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품(100)은, 세라믹 바디(110), 내부전극(121, 122) 및 외부전극(131, 132)을 포함한다.
- [0042] 세라믹 바디(110)는 길이 방향(L)의 양 측면, 폭 방향(W)의 양 측면 및 두께 방향(T)의 양 측면을 갖는 육면체로 형성될 수 있다. 이러한 세라믹 바디(110)는 복수의 유전체층(111)을 두께 방향(T)으로 적층한 다음 소성하여 형성되며, 이러한 세라믹 바디(110)의 형상, 치수 및 유전체층(111)의 적층 수가 본 실시 형태에 도시된 것으로 한정되는 것은 아니다.
- [0043] 또한, 세라믹 바디(110)를 형성하는 복수의 유전체층(111)은 소결된 상태로서, 인접하는 유전체층(111) 사이의 경계는 주사전자현미경(SEM: Scanning Electron Microscope)을 이용하지 않고 확인하기 곤란할 정도로 일체화될 수 있다.
- [0045] 유전체층(111)은 그 두께를 적층 세라믹 전자부품(100)의 용량 설계에 맞추어 임의로 변경할 수 있으며, 고유전률을 갖는 세라믹 분말, 예를 들어 티탄산바륨( $BaTiO_3$ )계 또는 티탄산스트론튬( $SrTiO_3$ )계 분말을 포함할 수 있으며, 본 발명이 이에 한정되는 것은 아니다. 또한, 세라믹 분말에 본 발명의 목적에 따라 다양한 세라믹 첨가제, 유기용제, 가소제, 결합제, 분산제 등이 첨가될 수 있다.
- [0047] 유전체층(111) 형성에 사용되는 세라믹 분말의 평균 입경은 특별히 제한되지 않으며, 본 발명의 목적 달성을 위해 조절될 수 있으나, 예를 들어, 400 nm 이하로 조절될 수 있다.
- [0049] 내부전극(121, 122)은 서로 다른 극성을 갖는 한 쌍의 제1 내부전극(121)과 제2 내부전극(122)이 복수 개로 구성될 수 있으며, 세라믹 바디(110)의 두께 방향(T)으로 적층되는 복수의 유전체층(111)을 사이에 두고 소정의 두께로 형성될 수 있다.
- [0050] 상기 제1 내부전극(121)과 제2 내부전극(122)은 도전성 금속을 포함하는 도전성 페이스트를 인쇄하여 유전체층(111)의 적층 방향을 따라 세라믹 바디(110)의 길이 방향(L)의 일 측면과 타 측면으로 번갈아 노출되도록 형성될 수 있으며, 중간에 배치된 유전체층(111)에 의해 서로 전기적으로 절연될 수 있다.
- [0052] 즉, 제1 및 제2 내부 전극(121, 122)은 세라믹 바디(110)의 길이 방향 양 측면으로 번갈아 노출되는 부분을 통해 세라믹 바디(110)의 길이 방향(L)의 양 측면에 형성된 제1 및 제2 외부 전극(131, 132)과 각각 전기적으로 연결될 수 있다.
- [0054] 따라서, 제1 및 제2 외부 전극(131, 132)에 전압을 인가하면 서로 대항하는 제1 및 제2 내부 전극(121, 122) 사이에 전하가 축적되고, 이때 적층 세라믹 커패시터(100)의 정전 용량은 제1 및 제2 내부 전극(121, 122)의 서로 중첩되는 영역의 면적과 비례하게 된다.
- [0055] 즉, 제1 및 제2 내부 전극(121, 122)의 서로 중첩되는 영역의 면적이 극대화될 경우 동일 사이즈의 커패시터라

도 정전 용량은 극대화될 수 있다.

- [0056] 본 발명의 일 실시형태에 따르면, 외부전극의 두께가 얇고 균일하기 때문에, 내부전극의 오버랩 면적을 극대화할 수 있어 고용량 적층 세라믹 커패시터의 구현이 가능하다.
- [0058] 이러한 제1 및 제2 내부 전극(121, 122)의 폭은 용도에 따라 결정될 수 있는데, 예를 들어 세라믹 바디(110)의 크기를 고려하여 0.2 내지 1.0  $\mu\text{m}$ 의 범위 내에 있도록 결정될 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0059] 또한, 제1 및 제2 내부 전극(121, 122)을 형성하는 도전성 페이스트에 포함되는 도전성 금속은 니켈(Ni), 구리(Cu), 팔라듐(Pd), 은(Ag), 납(Pb) 또는 백금(Pt) 등의 단독 또는 이들의 합금일 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0061] 외부전극(131, 132)은 상기 세라믹 바디(110)의 외측에 배치된 제1 외부전극(131)과 제2 외부전극(132)을 포함한다.
- [0063] 상기 외부전극(131, 132)은 도 2에 도시된 바와 같이, 제1 전극층(131a, 132a), 절연층(131b, 132b) 및 도금층(131c, 132c)을 포함한다.
- [0065] 또한, 상기 외부전극(131, 132)은 상기 세라믹 바디(110)의 두께 방향 일면에 배치된 시드층(135)을 포함할 수 있다.
- [0067] 상기 제1 외부전극(131)은 상기 제1 내부전극(121)과 전기적으로 연결된 제1 전극층(131a)과 상기 제1 전극층(131a) 상에 배치된 절연층(131b) 및 상기 세라믹 바디(110)의 두께 방향 일면에 배치되되 상기 제1 전극층(131a)과 연결된 도금층(131c)을 포함한다.
- [0069] 또한, 상기 제2 외부전극(132)은 상기 제2 내부전극(122)과 전기적으로 연결된 제1 전극층(132a)과 상기 제1 전극층(132a) 상에 배치된 절연층(132b) 및 상기 세라믹 바디(110)의 두께 방향 일면에 배치되되 상기 제1 전극층(132a)과 연결된 도금층(132c)을 포함한다.
- [0071] 상기 세라믹 바디(110)의 두께 방향 일면에는 상기 제1 전극층(131a, 132a)과 전기적으로 연결된 시드층(135)이 더 배치될 수 있다.
- [0072] 또한, 상기 도금층(131c, 132c)은 상기 시드층(135) 상에 배치될 수 있다.
- [0074] 상기 시드층(135)은 세라믹 바디(110)의 두께 방향(T)의 일면에 도전성 금속을 스퍼터 혹은 증착에 의해 소정의 두께로 형성될 수 있으며, 두께 방향(T)의 일면의 양 단부에 분할되어 각각 형성될 수 있다.
- [0076] 상기 시드층(135)은 세라믹 바디(110)의 두께 방향(T)의 일면에 도전성 금속을 포함하는 도전성 페이스트를 인쇄하여 형성할 수도 있다.
- [0077] 시드층(135)을 형성하는 도전성 금속은 제1 및 제2 내부전극(121, 122)과 동일한 도전성 금속으로 형성될 수 있으나, 이에 제한되지 않으며, 예를 들어, 구리(Cu), 니켈(Ni), 팔라듐(Pd), 백금(Pt), 금(Au), 은(Ag) 또는 납(Pb) 등의 단독 또는 이들의 합금일 수 있다.
- [0079] 종래의 외부 전극 형성 방법은 세라믹 바디(110)를 금속 성분이 포함된 페이스트에 딥핑(dipping)하는 방법이 주로 사용되었다.
- [0080] 딥핑(dipping) 방식으로 외부전극을 형성할 경우, 페이스트의 유동성 및 점성으로 인하여 외부전극이 균일하게 도포되지 않아 외부전극의 중앙부와 코너부의 도포 두께에 차이가 발생한다.
- [0081] 이와 같이 외부전극의 두께가 불균일하게 형성될 경우, 두껍게 도포된 중앙부에서는 글라스 비딩(Glass Beading) 혹은 블리스터(Blister)가 발생하여 도금 불량 및 형상 불량을 야기하며, 얇게 도포된 코너부에는 도금액 침투에 취약하여 신뢰성 저하의 문제가 생긴다.
- [0082] 또한, 도금액에 취약한 코너부를 보완하고자 할 경우 결국 중앙부 도포 두께는 증가할 수밖에 없으며, 정전 용량 증가를 위해 세라믹 커패시터의 사이즈를 증가시키는 데 한계가 있다.
- [0084] 본 발명의 일 실시형태에 따르면, 상기 제1 및 제2 외부전극(131, 132)은 상기 제1 및 제2 내부전극(121, 122)과 전기적으로 연결된 제1 전극층(131a, 132a)과 상기 제1 전극층(131a, 132a) 상에 배치된 절연층(131b, 132b) 및 상기 세라믹 바디(110)의 두께 방향 일면에 배치되되 상기 제1 전극층(131a, 132a)과 연결된 도금층



(131c, 132c)을 포함한다.

- [0085] 상기 세라믹 바디(110)의 두께 방향 일면에는 상기 제1 전극층(131a, 132a)과 전기적으로 연결된 시드층(135)이 더 배치될 수 있다.
- [0086] 또한, 상기 도금층(131c, 132c)은 상기 시드층(135) 상에 배치될 수 있다.
- [0088] 세라믹 바디(110)의 외측 중 길이(L) 방향 양 측면에는 제1 전극층(131a, 132a)이 배치될 수 있다. 다만, 이에 제한되는 것은 아니다.
- [0089] 이로 인하여, 상기 세라믹 바디(110)의 길이(L) 방향 양 측면에는 제1 전극층(131a, 132a)과 그 상부에 절연층(131b, 132b)이 배치될 수 있다.
- [0091] 본 발명의 일 실시형태에 따르면, 제1 전극층(131a, 132a)은 상기 세라믹 바디(110)의 길이(L) 방향 양 측면에 배치되며, 상기 세라믹 바디(110)의 두께 방향 양면의 일부까지 연장 배치될 수 있다.
- [0093] 상기 제1 전극층(131a, 132a)은 종래의 딥핑 방식에 의해 형성하지 않고 도전성 금속을 포함하는 시트를 전사하여 형성하기 때문에, 세라믹 바디(110)의 길이(L) 방향 측면인 머릿면에 형성되되, 상기 머릿면과 접하는 4면인 밴드면 전체에는 형성되지 않거나 최소로 형성될 수 있다.
- [0094] 이로 인하여, 외부전극의 두께가 얇고 균일하게 세라믹 바디의 외측에 배치될 수 있다.
- [0095] 외부전극의 두께가 얇고 균일하게 세라믹 바디의 외측에 배치됨으로써, 내부 전극의 형성 면적을 증가하는 것이 가능해 내부전극의 오버랩 면적을 극대화함으로써 고용량 적층 세라믹 커패시터를 구현할 수 있다.
- [0097] 본 발명의 일 실시형태에 따르면, 상기 제1 전극층(131a, 132a)은 종래의 딥핑 방식과 달리 시트(Sheet) 전사 혹은 패드(Pad) 전사 방식에 의해 형성할 수 있으며, 이에 대한 보다 자세한 사항은 후술하도록 한다.
- [0099] 특히, 본 발명의 일 실시형태에서는 제1 전극층(131a, 132a)이 시트(Sheet) 전사 혹은 패드(Pad) 전사 방식에 의해 형성되어 세라믹 바디(110)의 길이 방향 양 측면에 배치되고 그 상부에 절연층을 절연층 형성용 세라믹 시트로 전사하여 배치함으로써, 기판에 실장시 전자부품의 측면에 솔더가 배치되지 않고 실장면에만 배치되는 구조를 구현할 수 있어 실장 밀도를 높일 수 있다.
- [0101] 즉, 세라믹 바디(110)의 길이(L) 방향 양 측면에는 제1 전극층(131a, 132a)과 그 상부에 절연층(131b, 132b)이 배치되고, 상기 전자부품의 기판 실장시 실장면에 해당하는 세라믹 바디의 두께 방향 일면에는 상기 제1 전극층(131a, 132a)과 전기적으로 연결된 시드층(135)이 더 배치되고, 상기 도금층(131c, 132c)이 상기 시드층(135) 상에 배치되도록 함으로써, 종래에 비해 실장 면적을 감소시킬 수 있다.
- [0103] 도 2 및 도 3을 참조하면, 제1 전극층(131a, 132a)과 절연층(131b, 132b)이 상기 세라믹 바디(110)의 길이 방향 양 측면에 배치되고, 두께 방향 일면에 제1 전극층(131a, 132a)과 연결된 시드층(135) 및 도금층(131c, 132c)이 배치된 구조를 보여준다.
- [0105] 본 발명의 일 실시형태에 따르면, 제1 전극층(131a, 132a)은 니켈(Ni)을 포함한다.
- [0106] 외부전극(131, 132) 중 제1 전극층(131a, 132a)이 니켈(Ni)을 포함함으로써 세라믹 바디(110)의 밀폐성(Hermetic Sealing)이 개선되어 도금액 침투에 따른 신뢰성 저하를 막을 수 있다.
- [0108] 상기 도금층(131c, 132c)은 시드층(135) 상에 배치될 수 있다.
- [0109] 즉, 상기 도금층(131c, 132c)은 전자부품의 기판 실장시 실장면에 해당하는 세라믹 바디(110)의 두께(T) 방향 일면에 배치된 시드층(135) 상에 배치된다.
- [0111] 특히, 본 발명의 일 실시형태에 따르면, 제1 전극층(131a, 132a)을 종래의 딥핑 방식에 의해 형성하지 않고 시트 전사 방식에 의해 형성하며 그 상부에 절연층(131b, 132b)을 절연층 형성용 세라믹 시트로 전사하기 때문에 세라믹 바디(110)의 길이(L) 방향 측면인 머릿면에는 제1 전극층과 절연층이 배치되고, 시드층(135)과 도금층(131c, 132c)은 세라믹 바디(110)의 두께 방향(T)의 일면에 배치된다.
- [0113] 이로 인하여, 상기 도금층(131c, 132c)은 세라믹 바디(110)의 두께 방향(T) 일면에 형성되고, 길이 방향 및 폭 방향 양 측면에는 형성되지 않는 구조이다.
- [0115] 상기 도금층(131c, 132c)은 이에 제한되는 것은 아니나, 니켈 및 주석 도금층일 수 있다.

- [0117] 도 3을 참조하면, 상기 세라믹 바디(110)의 두께 방향 중앙부 영역에서의 상기 제1 전극층(131a, 132a)의 두께를 T1 및 상기 내부전극(121, 122) 중 최외측 내부전극(121, 122)이 위치하는 지점에서의 상기 제1 전극층(131a, 132a)의 두께를 T2라 할 때,  $0.8 \leq T2/T1 \leq 1.2$  를 만족한다.
- [0119] 상기 세라믹 바디(110)의 두께 방향 중앙부 영역에서의 상기 제1 전극층(131a, 132a)의 두께(T1)라 함은 상기 세라믹 바디(110)의 두께 방향의 중앙부 지점에서 상기 세라믹 바디(110)의 길이 방향으로 가상의 선을 그었을 때 만나게 되는 제1 전극층(131a, 132a)의 두께를 의미할 수 있다.
- [0120] 마찬가지로, 상기 내부전극(121, 122) 중 최외측 내부전극(121, 122)이 위치하는 지점에서의 상기 제1 전극층(131a, 132a)의 두께(T2)라 함은 상기 세라믹 바디(110)의 두께 방향의 최외측에 배치된 내부전극의 위치에서 상기 세라믹 바디(110)의 길이 방향으로 가상의 선을 그었을 때 만나게 되는 제1 전극층(131a, 132a)의 두께를 의미할 수 있다.
- [0122] 상기 T2/T1의 비가  $0.8 \leq T2/T1 \leq 1.2$  를 만족함으로써, 상기 세라믹 바디(110)의 두께 방향 중앙부 영역에서의 상기 제1 전극층(131a, 132a)의 두께(T1)와 상기 내부전극(121, 122) 중 최외측 내부전극(121, 122)이 위치하는 지점에서의 상기 제1 전극층(131a, 132a)의 두께(T2)의 편차를 줄여서 신뢰성 저하를 방지할 수 있다.
- [0124] 상기 T2/T1의 비가 0.8 미만 또는 1.2를 초과하는 경우에는, 제1 전극층(131a, 132a)의 두께 편차가 크게 되므로 두께가 얇은 부분으로 도금액이 침투할 수 있어 신뢰성이 저하되는 문제가 있을 수 있다.
- [0126] 본 발명의 일 실시형태에 따르면, 상기 세라믹 바디(110)의 코너부에서의 상기 제1 전극층(131a, 132a)의 두께를 T3라 할 때,  $0.4 \leq T3/T1 \leq 1.0$  를 만족할 수 있다.
- [0128] 상기 세라믹 바디(110)의 코너부에서의 상기 제1 전극층(131a, 132a)의 두께(T3)라 함은 상기 세라믹 바디(110)의 코너부 영역에 형성되어 있는 상기 제1 전극층(131a, 132a)의 두께를 의미할 수 있다.
- [0129] 상기 T3/T1의 비가  $0.4 \leq T3/T1 \leq 1.0$  를 만족함으로써, 상기 세라믹 바디(110)의 두께 방향 중앙부 영역에서의 상기 제1 전극층(131a, 132a)의 두께(T1)와 상기 세라믹 바디(110)의 코너부에서의 상기 제1 전극층(131a, 132a)의 두께(T3)의 편차를 줄여서 신뢰성 저하를 방지할 수 있다.
- [0130] 상기 T3/T1의 비가 0.4 미만 또는 1.0을 초과하는 경우에는, 제1 전극층(131a, 132a)의 두께 편차가 크게 되므로 두께가 얇은 부분으로 도금액이 침투할 수 있어 신뢰성이 저하되는 문제가 있을 수 있다.
- [0132] **적층 세라믹 전자부품의 제조방법**
- [0134] 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 제조 방법은 우선, 티탄산바륨(BaTiO<sub>3</sub>) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film)상에 도포 및 건조하여 복수 개의 세라믹 시트를 마련하며, 이로써 유전체 층을 형성할 수 있다.
- [0136] 상기 세라믹 시트는 세라믹 분말, 바인더, 용제를 혼합하여 슬러리를 제조하고, 상기 슬러리를 닥터 블레이드 법으로 수  $\mu\text{m}$ 의 두께를 갖는 시트(sheet)형으로 제작할 수 있다.
- [0138] 다음으로, 도전성 금속 분말을 포함하는 도전성 페이스트를 마련할 수 있다. 상기 도전성 금속 분말은 니켈(Ni), 구리(Cu), 팔라듐(Pd), 은(Ag), 납(Pb) 또는 백금(Pt) 등의 단독 또는 합금일 수 있으며, 입자 평균 크기가 0.1 내지 0.2  $\mu\text{m}$ 일 수 있고, 40 내지 50 중량%의 도전성 금속 분말을 포함하는 내부전극용 도전성 페이스트를 마련할 수 있다.
- [0140] 상기 세라믹 시트 상에 상기 내부전극용 도전성 페이스트를 인쇄 공법 등으로 도포하여 내부전극 패턴을 형성할 수 있다. 상기 도전성 페이스트의 인쇄 방법은 스크린 인쇄법 또는 그라비아 인쇄법 등을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다. 상기 내부 전극 패턴이 인쇄된 세라믹 시트를 200 내지 300층 적층하고, 압착, 소성하여 세라믹 바디를 제작할 수 있다.
- [0142] 도 4는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 외부전극 형성 공정도이다.
- [0144] 도 4를 참조하면, 상기 세라믹 바디(110)의 길이 방향의 양 측면에 상기 내부 전극과 연결되도록 니켈(Ni)을 포함하는 시트(130)를 전사하여 제1 전극층(131a, 132a)을 형성한다.
- [0146] 상기 제1 전극층 형성 방법은 상기 세라믹 바디의 일 측면에 형성한 후 타면에 추가로 형성하는 방법으로 수행되며 후술하는 절연층도 동일한 방법으로 수행될 수 있다.

- [0147] 이하에서는 세라믹 바디의 일 측면에 제1 전극층과 절연층을 형성하는 방법을 설명하며, 타면에 형성되는 방법 역시 동일하게 적용된다.
- [0149] 상기 니켈(Ni)을 포함하는 시트(130)는 PET 필름(150) 상에 니켈을 포함하는 도전성 금속 페이스트를 도포하여 형성할 수 있다.
- [0151] 이와 같이 PET 필름 상에 부착된 니켈(Ni)을 포함하는 시트(130)를 마련한 후 상기 세라믹 바디(110)의 길이 방향의 일 측면을 상기 니켈(Ni)을 포함하는 시트(130) 상에 압력을 가하여 밀착시킴으로써, 상기 세라믹 바디(110)의 길이 방향의 양 측면에 상기 내부 전극과 연결되도록 니켈(Ni)을 포함하는 시트(130)를 전사하여 제1 전극층(131a, 132a)을 형성한다.
- [0153] 이 경우, PET 필름(150)에 열을 가하여 니켈(Ni)을 포함하는 시트(130)의 연성을 증가시켜 시트를 세라믹 바디의 길이 방향 측면인 머릿면에서 밴드면까지 연장되도록 부착함과 동시에 바디와 시트 간의 접착력을 증가할 수 있다.
- [0154] 다음으로, 세라믹 바디에 부착된 시트의 불필요한 부분을 제거하기 위하여 PET 필름(150)에 니켈(Ni)을 포함하는 시트(130)가 부착된 세라믹 바디(110)를 가압하여 탄성에 의해 시트의 바디에 부착되지 않은 부분을 제거한다.
- [0156] 이 때, PET 필름에 의해 니켈(Ni)을 포함하는 시트(130)가 세라믹 바디의 모서리 부분에서 커팅(Cutting)되며, 압력 제거시 세라믹 바디의 머릿면에 한하여 니켈(Ni)을 포함하는 시트(130)가 부착된다.
- [0157] 이 경우, 세라믹 바디에 부착되지 않은 시트 부분은 PET 필름에 남게 되어 별도의 불필요한 시트 제거 공정은 생략될 수 있다.
- [0158] 상기의 방법에 의한 경우, 제1 전극층은 세라믹 바디의 길이 방향 양 측면인 머릿면에만 형성되고, 외부전극의 두께가 감소할 수 있기 때문에, 고용량 적층 세라믹 커패시터를 구현할 수 있다.
- [0160] 다음으로, 상기 제1 전극층(131a, 132a) 상에 절연층 형성용 세라믹 시트(140)를 부착하여 절연층(131b, 132b)을 형성한다.
- [0161] 상기 절연층 형성용 세라믹 시트(140)는 PET 필름(150) 상에 부착하여 형성할 수 있다.
- [0163] 이와 같이 PET 필름(150) 상에 부착된 절연층 형성용 세라믹 시트(140)를 마련한 후 상기 세라믹 바디(110)의 길이 방향의 일 측면을 상기 절연층 형성용 세라믹 시트(140) 상에 압력을 가하여 밀착시킴으로써, 상기 제1 전극층(131a, 132a) 상에 절연층(131b, 132b)을 형성한다.
- [0165] 다음으로, 세라믹 바디에 부착된 시트의 불필요한 부분을 제거하기 위하여 PET 필름(150)에 절연층 형성용 세라믹 시트(140)가 부착된 세라믹 바디(110)를 가압하여 탄성에 의해 시트의 바디에 부착되지 않은 부분을 제거한다.
- [0167] 이 때, PET 필름에 의해 절연층 형성용 세라믹 시트(140)가 세라믹 바디의 모서리 부분에서 커팅(Cutting)되며, 압력 제거시 세라믹 바디의 머릿면에 한하여 절연층 형성용 세라믹 시트(140)가 부착된다.
- [0168] 이 경우, 세라믹 바디에 부착되지 않은 시트 부분은 PET 필름에 남게 되어 별도의 불필요한 시트 제거 공정은 생략될 수 있다.
- [0170] 본 발명의 일 실시형태에서는 제1 전극층(131a, 132a)이 시트(Sheet) 전사 혹은 패드(Pad) 전사 방식에 의해 형성되어 세라믹 바디(110)의 길이 방향 양 측면에 배치되고 그 상부에 절연층(131b, 132b)을 절연층 형성용 세라믹 시트로 전사하여 배치함으로써, 기관에 실장시 전자부품의 측면에 솔더가 배치되지 않고 실장면에만 배치되는 구조를 구현할 수 있어 실장 밀도를 높일 수 있다.
- [0172] 다음으로, 세라믹 바디(110)의 두께 방향(T) 일면에 시드층(135)을 형성하고, 그 상부에 도금층(131c, 132c)을 형성한다.
- [0174] 특히, 본 발명의 일 실시형태에 따르면, 제1 전극층(131a, 132a)을 종래의 딥핑 방식에 의해 형성하지 않기 때문에 세라믹 바디(110)의 길이(L) 방향 측면인 머릿면에 형성되고, 시드층(135)과 도금층(131c, 132c)은 기관 실장시 실장면인 세라믹 바디(110)의 두께 방향(T)의 일면에 형성된다.
- [0176] 시드층(135)을 형성하는 방법은 예를 들어, 스크린 인쇄법 또는 그라비아 인쇄법 등의 방법으로 수행할 수 있으

며, 이에 제한되는 것은 아니고, 스퍼터 방법이나 증착에 의해서도 수행될 수 있다.

- [0178] 상기 도금층(131c, 132c)은 이에 제한되는 것은 아니나, 니켈 도금층 및 그 상부에 배치된 주석 도금층일 수 있다.
- [0180] 본 발명의 일 실시형태에 따르면, 상기 세라믹 바디(110)는 상기 제1 전극층(131a, 132a)과 절연층(131b, 132b)을 형성한 이후에 상기 제1 전극층(131a, 132a) 및 절연층(131b, 132b)과 동시에 소성할 수 있다.
- [0182] 상기 제1 전극층(131a, 132a) 및 절연층(131b, 132b)을 종래의 딥핑 방식이 아닌 시트 전사 혹은 패드 전사 방법에 의해 형성하기 때문에 상기 세라믹 바디를 그린 칩 상태에서 수행될 수 있다.
- [0183] 즉, 상기 세라믹 바디(110)는 상기 제1 전극층(131a, 132a)과 절연층(131b, 132b)을 형성한 이후에 상기 제1 전극층(131a, 132a) 및 절연층(131b, 132b)과 동시에 소성할 수 있다.
- [0184] 이로 인하여, 외부전극을 별도로 소성하는 종래의 공정에 비해 공정 삭제가 가능해 생산성 향상이 가능하다.
- [0186] 도 5는 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품의 외부전극 형성 공정도이다.
- [0188] 도 5를 참조하면, 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품의 외부전극 형성 방법은 상기 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 외부전극 형성과 달리 제1 전극층(131a, 132a) 및 절연층(131b, 132b)을 동시에 세라믹 바디(110)의 양 측면에 전사한다.
- [0190] 즉, 절연층 형성용 세라믹 시트(140)를 PET 필름(150) 상에 부착하고, 절연층 형성용 세라믹 시트(140) 상에 니켈을 포함하는 도전성 금속 페이스트를 도포하여 니켈(Ni)을 포함하는 시트(130)를 마련한다.
- [0192] 니켈(Ni)을 포함하는 시트(130), 절연층 형성용 세라믹 시트(140) 및 PET 필름(150)이 순차 적층된 자재를 마련한 후, 상기 세라믹 바디(110)의 길이 방향의 일 측면을 상기 니켈(Ni)을 포함하는 시트(130) 상에 압력을 가하여 밀착시키되, 절연층 형성용 세라믹 시트(140)까지 가압함으로써, 상기 세라믹 바디(110)의 길이 방향의 양 측면에 상기 내부 전극과 연결되도록 니켈(Ni)을 포함하는 시트(130)를 전사하여 제1 전극층(131a, 132a)을 형성함과 동시에 제1 전극층(131a, 132a) 상에 절연층(131b, 132b)을 형성한다.
- [0194] 이 경우, PET 필름(150)에 열을 가하여 니켈(Ni)을 포함하는 시트(130)의 연성을 증가시켜 시트를 세라믹 바디의 길이 방향 측면인 머릿면에서 밴드면까지 연장되도록 부착함과 동시에 바디와 시트 간의 접착력을 증가할 수 있다.
- [0195] 다음으로, 세라믹 바디에 부착된 시트의 불필요한 부분을 제거하기 위하여 PET 필름(150)에 절연층 형성용 세라믹 시트(140) 및 니켈(Ni)을 포함하는 시트(130)가 부착된 세라믹 바디(110)를 가압하여 탄성에 의해 시트의 바디에 부착되지 않은 부분을 제거한다.
- [0197] 이 때, PET 필름에 의해 절연층 형성용 세라믹 시트(140) 및 니켈(Ni)을 포함하는 시트(130)가 세라믹 바디의 모서리 부분에서 커팅(Cutting)되며, 압력 제거시 세라믹 바디의 머릿면에 한하여 절연층 형성용 세라믹 시트(140) 및 니켈(Ni)을 포함하는 시트(130)가 부착된다.
- [0198] 이 경우, 세라믹 바디에 부착되지 않은 시트 부분은 PET 필름에 남게 되어 별도의 불필요한 시트 제거 공정은 생략될 수 있다.
- [0199] 상기의 방법에 의한 경우, 제1 전극층은 세라믹 바디의 길이 방향 양 측면인 머릿면에만 형성되고, 외부전극의 두께가 감소할 수 있기 때문에, 고용량 적층 세라믹 커패시터를 구현할 수 있다.
- [0201] 본 발명의 다른 실시형태에 따른 경우에도, 상기 세라믹 바디(110)는 상기 제1 전극층(131a, 132a)과 절연층(131b, 132b)을 형성한 이후에 상기 제1 전극층(131a, 132a) 및 절연층(131b, 132b)과 동시에 소성할 수 있다.
- [0203] 상기 제1 전극층(131a, 132a) 및 절연층(131b, 132b)을 종래의 딥핑 방식이 아닌 시트 전사 혹은 패드 전사 방법에 의해 형성하기 때문에 상기 세라믹 바디를 그린 칩 상태에서 수행될 수 있다.
- [0204] 즉, 상기 세라믹 바디(110)는 상기 제1 전극층(131a, 132a)과 절연층(131b, 132b)을 형성한 이후에 상기 제1 전극층(131a, 132a) 및 절연층(131b, 132b)과 동시에 소성할 수 있다.
- [0205] 이로 인하여, 외부전극을 별도로 소성하는 종래의 공정에 비해 공정 삭제가 가능해 생산성 향상이 가능하다.
- [0207] 그 외 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 특징과 동일한 부분에 대해서는 여기서 생략하도록 한다.

[0209] 본 발명은 상술한 실시 형태 및 첨부된 도면에 의해 한정되는 것이 아니며 첨부된 청구범위에 의해 한정하고자 한다.

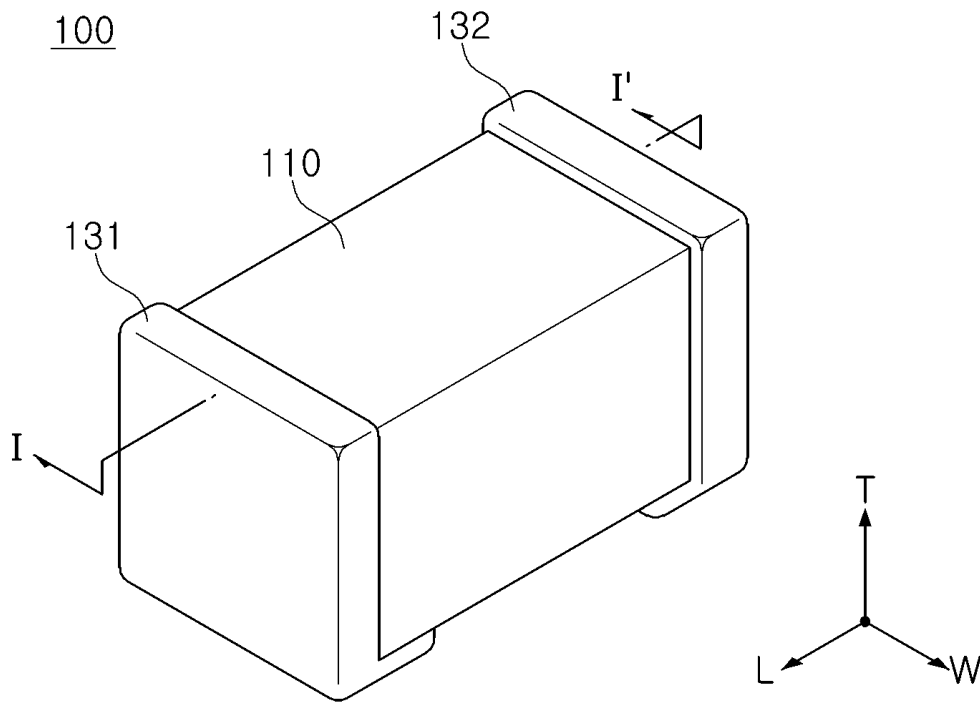
[0210] 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

**부호의 설명**

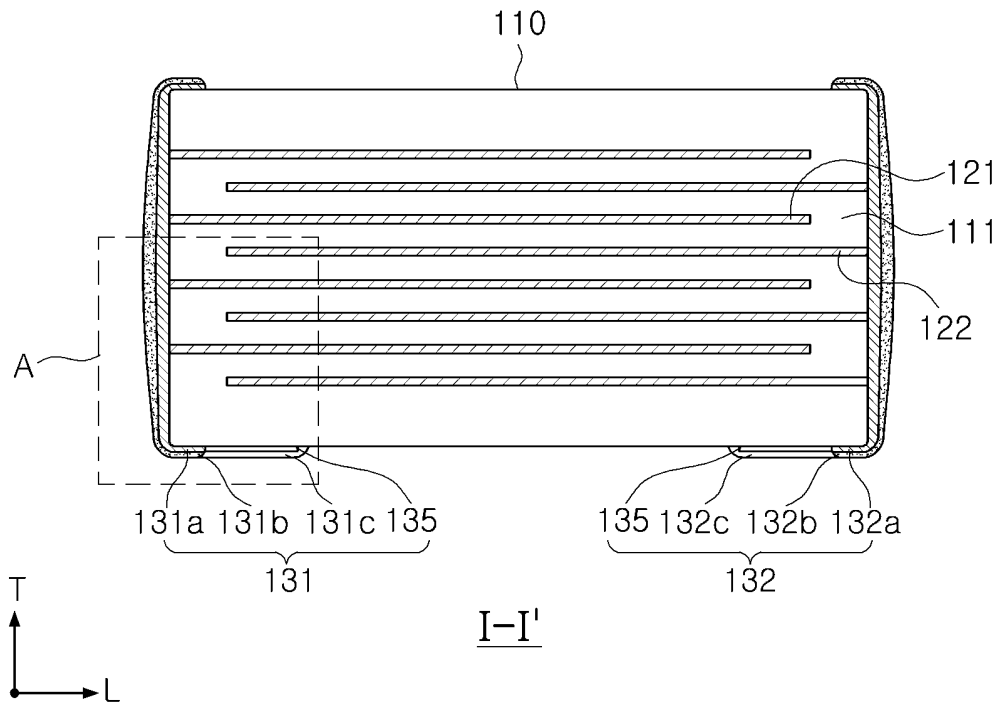
- [0212] 100 : 적층 세라믹 커패시터                      110 : 세라믹 바디
- 111 : 유전체층
- 121, 122 : 제 1 및 제 2 내부전극
- 131, 132 : 제 1 및 제 2 외부전극
- 131a, 132a : 제1 전극층
- 131b, 132b : 절연층
- 131c, 132c : 도금층                                  135 : 시드층

**도면**

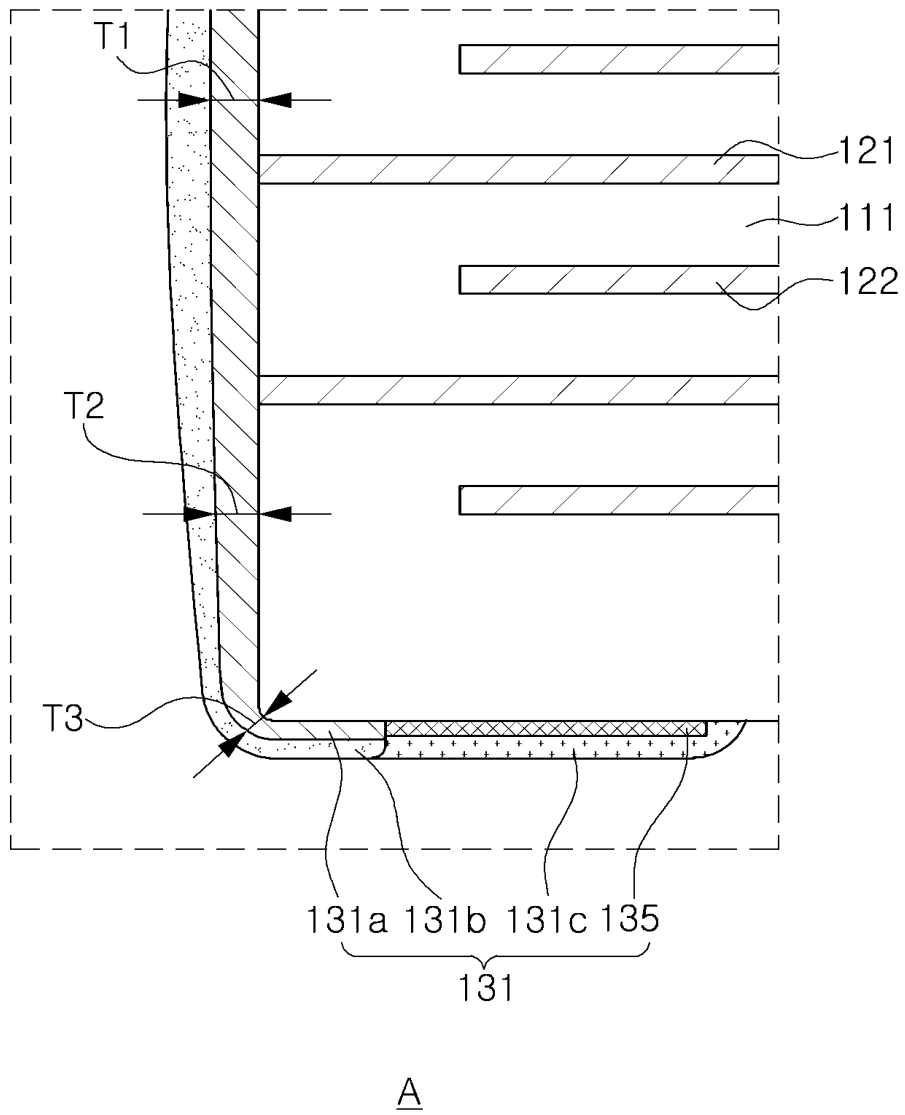
**도면1**



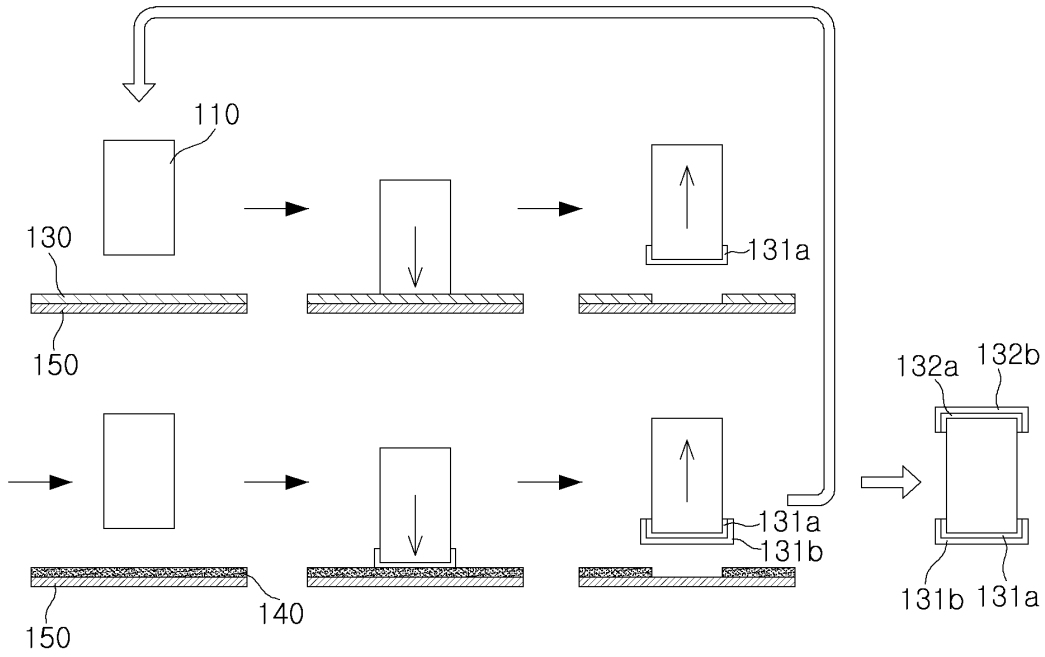
도면2



도면3



도면4



도면5

