



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1718215 A1

(51) G 06 F 7/52

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

(21) 4820275/24

(22) 26.04.90

(46) 07.03.92. Бюл. № 9

(71) Московский лесотехнический институт

(72) А. Д. Марковский, Г. Г. Меликов, Е. С. Лункин, В. В. Полянский, П. Г. Сатьянов и А. Н. Кошарновский

(53) 681.325(088.8)

(56) 1. Авторское свидетельство СССР № 1403061, кл. G 06 F 7/52, 1988.

2. Авторское свидетельство СССР № 1618165, кл. G 06 F 7/52, 1989.

(54) УСТРОЙСТВО ДЛЯ ВЫПОЛНЕНИЯ ВЕКТОРНО-СКАЛЯРНЫХ ОПЕРАЦИЙ НАД ДЕЙСТВИТЕЛЬНЫМИ ЧИСЛАМИ

Изобретение относится к вычислительной технике и может быть использовано в универсальных и специализированных вычислительных системах для аппаратной реализации векторно-скалярных операций умножения и деления чисел, представленных в прямом коде в форме с фиксированной запятой. Компоненты X_i вектора X ($i \in \{1, 2, \dots, L\}$) и скаляр Y являются $(n+1)$ -разрядными двоичными числами, представленными в прямом коде. В старшем (нулевом) разряде фиксируется знак числа, в разрядах с первого по n -й — модуль числа.

$X \in [0, 1] \cup \{1, 2, \dots, L\}$; $Y \in [1/2, 1]$

Известно устройство для выполнения операций умножения и деления, содержащее блок приема и выдачи, регистр, блок суммирования, мультиплексор, блок управления, блок формирования признака активности, счетчик циклов, дешифратор, коммутатор, элементы 2И-ИЛИ, И, ИЛИ,

2

(57) Изобретение относится к вычислительной технике и может быть использовано в универсальных и специализированных вычислительных системах для аппаратной реализации параллельного деления или умножения чисел, представленных в прямом коде в форме с фиксированной запятой. Цель изобретения — расширение функциональных возможностей устройства за счет выполнения операции умножения. Цель достигается тем, что в устройство, содержащее $L+1$ операционных блоков (L — количество элементов векторного операнда) и блок управления, введен вспомогательный операционный блок. 2 з. п. ф-лы, 4 ил.

НЕ, ИСКЛЮЧАЮЩЕЕ ИЛИ и триггер с соответствующими связями [1].

Недостатками известного устройства являются низкое быстродействие и ограниченные функциональные возможности, обеспечивающие одновременную обработку только двух операндов.

Наиболее близким по технической сущности к предлагаемому является устройство для параллельного деления чисел, содержащее $L+1$ операционных блоков (L — количество компонентов векторного операнда), триггер знака, блок управления [2].

Недостатками данного устройства являются ограниченные функциональные возможности, обеспечивающие выполнение только векторно-скалярной операции деления.

Цель изобретения — расширение функциональных возможностей за счет выполне-

(19) SU (11) 1718215 A1

ния операции векторно-скалярного умножения L множимых на один множитель.

Цель достигается тем, что в устройство для выполнения векторно-скалярных операций над действительными числами, содержащее $L+1$ операционных блоков (L — количество компонентов векторного операнда) и блок управления, причем вход i -го компонента векторного операнда ($i \in \{1, 2, \dots, L\}$) соединен с первым информационным входом i -го операционного блока, первый и второй выходы которого соединены соответственно с выходами i -го компонента вектора результата и i -го признака переполнения устройства, вход запуска и тактовый вход которого соединены соответственно с входом запуска и тактовым входом блока управления, первый выход которого соединен с выходом признака конца операции устройства и входом разрешения счета каждого операционного блока, вход разрешения записи каждого операционного блока соединен с вторым выходом блока управления, третий выход которого соединен с выходом признака деления на ноль устройства, второй информационный вход каждого операционного блока соединен с четвертым выходом блока управления, введен вспомогательный операционный блок, вход разрешения счета которого соединен с первым выходом блока управления, вход промежуточного кода которого соединен с выходом вспомогательного операционного блока, первый информационный вход которого соединен с пятым выходом блока управления, второй выход которого соединен с входом разрешения записи вспомогательного операционного блока, второй информационный вход которого соединен с четвертым выходом $(L+1)$ -го операционного блока, входы множителя-делителя и кода операции устройства соединены соответственно с входами множителя-делителя и кода операции блока управления, шестой выход которого соединен с входом формирования знака i -го операционного блока, вход признака умножения на ноль которого соединен с седьмым выходом блока управления, восьмой выход которого соединен с первым информационным входом $(L+1)$ -го операционного блока, входы признака умножения на ноль, формирования знака и тактовый вход которого соединены с входом логического "0" устройства, вход запуска которого соединен с тактовым входом i -го операционного блока, третий выход которого соединен с выходом знака i -го компонента вектора результата устройства.

Цель достигается также тем, что операционный блок содержит элемент НЕРАВ-

НОЗНАЧНОСТЬ, мультиплексор, триггер знака, регистр, элемент И, сдвигатель и сумматор, выход которого соединен с первым информационным входом мультиплексора, второй информационный вход которого соединен с первым информационным входом блока, вход признака умножения на ноль которого соединен с первым входом элемента И, второй вход которого соединен с выходом регистра, входом первого слагаемого сумматора, информационным входом сдвигателя и вторым выходом блока, вход формирования знака которого соединен с первым входом элемента НЕРАВНОЗНАЧНОСТЬ, второй вход которого соединен с входом знакового разряда первого информационного входа блока, вход разрешения счета которого соединен с управляющим входом мультиплексора, выход которого соединен с информационным входом регистра, вход записи которого соединен с входом разрешения записи блока, тактовый вход которого соединен с тактовым входом триггера знака, информационный вход которого соединен с выходом элемента НЕРАВНОЗНАЧНОСТЬ, а выход — с третьим выходом блока, первый выход которого соединен с выходом элемента И, а четвертый выход — с входом второго слагаемого сумматора и выходом сдвигателя, вход управления сдвигом которого соединен с вторым информационным входом блока.

Цель достигается также тем, что вспомогательный операционный блок содержит мультиплексор, регистр и сумматор, выход которого соединен с первым информационным входом мультиплексора, второй информационный вход которого соединен с первым информационным входом блока, вход разрешения счета которого соединен с управляющим входом мультиплексора, выход которого соединен с информационным входом регистра, выход которого соединен с выходом блока и входом первого слагаемого сумматора, вход второго слагаемого которого соединен с вторым информационным входом блока, вход разрешения записи которого соединен с входом записи регистра.

Сопоставимый анализ заявляемого решения с прототипом показывает, что заявляемое устройство отличается от известного набором блоков и связями между ними, приводящими к получению положительного эффекта, в силу чего предложенное техническое решение соответствует критерию изобретения "новизна".

Неизвестно использование указанной выше совокупности отличительных признаков в других объектах аналогичного назна-

чения, которая в сочетании с совокупностью известных признаков обеспечивает возможность получения положительного эффекта, в силу чего предложенное техническое решение соответствует критерию изобретения "существенные отличия".

Все элементы заявляемого устройства могут быть выполнены на серийно выпускаемых микросхемах, в силу чего предложенное решение соответствует критерию изобретения "техническое решение задачи".

Работа устройства основана на использовании итерационных алгоритмов умножения и деления, реализующих мультипликативный метод вычислений.

Устройство реализует векторно-скалярные операции умножения и деления чисел, представленных в прямом коде и форме с фиксированной запятой. Компоненты X_i векторного операнда X ($i \in \{1, 2, \dots, L\}$), скалярного операнда Y и компоненты Z_i векторного результата Z являются $(n+1)$ -разрядными двоичными числами, представленными в прямом коде. В старшем (нулевом) разряде фиксируется знак числа, в разрядах с первого по n -й – модуль числа.

$$\{X_i\} \in [0, 1]; \{Z_i\} \in [0, 1]; \forall i \in \{1, 2, \dots, L\}, \{Y\} \in [-\frac{1}{2}, \frac{1}{2}]$$

Тип выполняемой операции определяется кодом операции $g \in \{0, 1\}$. При $g=0$ устройство производит вычисления $Z_i = \frac{X_i}{Y}$, при $g=1$ – вычисления $Z_i = X_i \cdot Y$, $i \in \{1, 2, \dots, L\}$.

Обе операции выполняются с использованием рекуррентных соотношений

$$\forall k \in \{1, 2, \dots, t\} \begin{cases} a_{1k} = a_{1k-1} + a_{1k-1} \cdot 2^{-j_k}; \\ a_{2k} = a_{2k-1} + a_{2k-1} \cdot 2^{-j_k}; \\ \vdots \\ a_{Lk} = a_{Lk-1} + a_{Lk-1} \cdot 2^{-j_k}; \\ b_k = b_{k-1} + b_{k-1} \cdot 2^{-j_k}; \\ c_k = c_{k-1} + b_{k-1} \cdot 2^{-j_k}, \end{cases}$$

где k – номер выполняемой итерации, $t \in \{1, 2, \dots, m\}$ – количество итераций, необходимое для получения результатов операции.

Значение j_k при выполнении k -й итерации выбирается равным номеру старшего нулевого разряда кода S_{k-1} .

В случае выполнения операции умножения начальные значения переменных определяются соотношениями

$$\forall k \in \{1, 2, \dots, L\} a_{10} = X_1; b_0 = 1/2; C_0 = 1/2 + (1 - |Y|). \quad (2)$$

в случае операции деления – соотношениями

$$\forall i \in \{1, 2, \dots, L\} a_{10} = X_i; b_0 = Y; C_0 = Y \quad (3)$$

Вычисления продолжаются до тех пор, пока в результате реализации очередной t -й итерации не будет выполнено условие

$$1 - C_t \leq 2^{-m}; 1 - C_{t-1} > 2^{-m}, \quad (4)$$

где m – мультипликативная разрядность вычислений, обеспечивающая получение результата с заданной точностью ($m > n$).

Полученные в результате вычислений значения a_{it} являются в зависимости от вида выполняемой операции либо произведением $Z_i = X_i \cdot Y$, либо частным $Z_i = X_i / Y$.

Окончательный результат вычислений для каждого операнда выдается в виде $(n+1)$ -разрядного кода, в котором старший (нулевой) разряд является знаковым, а разряды с первого по n -й – числовыми разрядами результата.

На фиг. 1 представлена структурная схема устройства; на фиг. 2 – структурная схема основного операционного блока; на фиг. 3 – структурная схема вспомогательного операционного блока; на фиг. 4 – функциональная схема блока управления.

Устройство содержит $L+1$ основных операционных блоков 1, вспомогательный операционный блок 2, блок 3 управления, имеет вход 4 для занесения множителя или делителя, вход 5 кода операции, вход 6 запуска, тактовый вход 7, вход 8 логического "0", L информационных входов 9, выход 10 признака конца операции, выход 11 признака деления на ноль, L выходов 12 разряда переполнения результата, L выходов 13 результата, L выходов 14 знака результата.

Основной операционный блок (фиг. 2) содержит мультиплексор 15, регистр 16, сумматор 17, сдвигатель 18, элемент НЕ-РАВНОЗНАЧНОСТЬ 19, вентильный узел 20, триггер 21 знака, имеет первый 22, второй 23, третий 9, четвертый 24, пятый 25, шестой 26 и седьмой 27 входы, первый 12, второй 13, третий 14 и четвертый 28 выходы.

Вспомогательный операционный блок (фиг. 3) содержит мультиплексор 29, регистр 30, сумматор 31, имеет первый 32, второй 33, третий 34 и четвертый 35 входы и выход 36.

Блок управления (фиг. 4) содержит $n+1$ элементов И 37, $n-1$ элементов НЕ 38, $2n-2$ элементов И 39, $n-1$ элементов ИЛИ 40, триггер 41, $m-1$ элементов И 42, элемент И 43, элемент ИЛИ 44, элемент ИЛИ 45, элемент И 46, элемент ИЛИ 47, два элемента И 48, имеет первый 4, второй 5, третий 6, четвертый 7 и пятый 49 входы, первый 50, второй 51, третий 52, четвертый 10, пятый 53, шестой 54, седьмой 11 и восьмой 55 выходы.

Устройство работает следующим образом.

В исходном состоянии $\forall i \in \{1, 2, \dots, L\}$ на вход 9. i устройства и далее на третий вход операционного блока 1. i поступает значение i -го операнда X_i . На вход 4 устройства и далее на первый вход блока 3 управления

поступает значение операнда Y . На вход 7 устройства непрерывно поступают тактовые импульсы (ТИ). Признак КОНЕЦ ОПЕРАЦИИ, поступающий с четвертого выхода блока 3 управления на четвертые входы блоков $1, \forall i \in \{1, 2, \dots, L+1\}$, второй вход блока 2 и на выход 10 устройства, имеет единичное значение. Коды операндов, поступающие на третьи входы основных операционных блоков $1, \forall i \in \{1, 2, \dots, L\}$, преобразуются из $(n+1)$ -разрядного в $(n+2)$ -разрядный формат ($V > n$) посредством введения разряда переполнения d с целью выявления ситуаций, когда $|C_{it}| \in [2, 1]$, а также добавления $(V-n)$ младших числовых разрядов, которым присваивается нулевое значение. Изменение числовой части операндов проводится с целью обеспечения допустимой погрешности вычислений, возникающей за счет усечения чисел, сдвигаемых за пределы разрядной сетки.

Код операнда Y поступает на первый вход 4 устройства и далее на первый вход блока 3 управления. В зависимости от кода операции g , поступающего на второй вход 5 устройства и далее на второй вход блока 3 управления, в блоке управления формируются начальные значения переменных b_0 и c_0 согласно выражению (2) при $g=1$ и выражению (3) при $g=0$, поступающие с второго выхода блока управления на первый вход вспомогательного операционного блока 2 и с третьего выхода блока управления на третий вход основного операционного блока $1, L+1$. Сформированные начальные значения переменных b_0 и c_0 дополняются нулями до V числовых разрядов.

На вход 8 устройства и далее на первый, второй и шестой входы основного операционного блока $1, L+1$ подается сигнал логического "0".

Для начала вычислений синхронно с одним из ТИ на вход 6 устройства поступает сигнал "Пуск". По сигналу "Пуск" на пятом выходе блока 3 управления формируется сигнал "Занесение", который поступает на пятые входы основных операционных блоков 1 и третий вход вспомогательного операционного блока 2, обеспечивая занесение в них операндов, поступающих на третьи входы основных операционных блоков $1, \forall i \in \{1, 2, \dots, L+1\}$ и первый вход вспомогательного операционного блока 2. Одновременно сигнал "Пуск" поступает на шестые входы основных операционных блоков $1, \forall i \in \{1, 2, \dots, L\}$, обеспечивая запоминание в триггерах знака этих блоков сформированных знаков результатов Z_i . С третьего выхода основного операционного блока $1, L+1$ V -разрядный информационный код поступает на четвер-

тый вход вспомогательного операционного блока 2.

С выхода вспомогательного операционного блока $2m$ старших разрядов кода b_{k-1} (код b_{k-1}^*) поступают на пятый вход блока 3 управления. Если все разряды кода b_{k-1}^* равны единице или старший разряд кода b_{k-1}^* равен нулю, признак КОНЕЦ ОПЕРАЦИИ сохраняет единичное значение и вычислений не производится. При этом на вторых выходах блоков $1, \forall i \in \{1, 2, \dots, L\}$ формируются результаты, зависящие от кода операции и признака окончания операции. В случае выполнения операции умножения ($g=1$) и нулевом значении операнда Y на вторых выходах блоков $1, i$ формируется нулевой результат. При выполнении операции деления ($g=0$) и нулевом значении операнда Y на втором выходе блока $1, \forall i \in \{1, 2, \dots, L\}$ значение не определено, одновременно на выходах 11 и 10 устройства присутствуют соответственно признаки ДЕЛЕНИЕ НА НОЛЬ И КОНЕЦ ОПЕРАЦИИ. В случае, если все разряды кода, поступившего на пятый вход блока 3 управления, равны единице, на втором выходе операционного блока $1, \forall i \in \{1, 2, \dots, L\}$ независимо от кода операции формируется результат Z_i , представленный в прямом коде.

При наличии на пятом входе блока 3 управления m -разрядного кода b_{k-1}^* , содержащего в старшем разряде единицу и хотя бы один ноль, признак КОНЕЦ ОПЕРАЦИИ, формируемый на четвертом выходе блока 3 управления, принимает нулевое значение и в устройстве выполняется итерационный процесс вычислений в соответствии с выражениями (1).

Очередная k -я итерация $\forall k \in \{1, 2, \dots, t\}$ реализуется в устройстве следующим образом. На восьмом выходе блока 3 управления формируется m -разрядный унитарный код l_k , содержащий единичное значение в j_k -м разряде и нулевые значения в остальных разрядах, который поступает на шестой вход операционного блока $1, \forall i \in \{1, 2, \dots, L+1\}$. Операционные блоки 1 и вспомогательный операционный блок 2 формируют в соответствии с выражениями (4) значения $a_{ik}, \forall i \in \{1, 2, \dots, L\}$, b_k и c_k соответственно. С приходом очередного ТИ на пятом выходе блока 3 управления формируется сигнал "Занесение", по которому сформированные значения $a_{ik}, \forall i \in \{1, 2, \dots, L\}$, b_k и c_k заносятся на регистры операционных блоков 1 и 2 соответственно. После этого на вторых выходах основных операционных блоков 1 и вспомогательного операционного блока 2 формируются соответственно значения a_{ik}, b_k и c_k .

На этом выполнение очередной итерации заканчивается.

Итерационный процесс продолжается до тех пор, пока в результате реализации очередной t -й итерации все m разрядов кода b_{k-1} , поступившего на пятый вход блока 3 управления, не станут одновременно равными единице. При этом блок управления прекращает формирование сигналов "Занесение" на своем пятом выходе и формирует единичное значение признака КОНЕЦ ОПЕРАЦИИ на четвертом выходе блока.

По окончании вычислений на втором выходе блока 1.1 $V_k \{1, 2, \dots, L\}$ сформирован модуль результата Z_i на третьем выходе — знак результата, на первом выходе — значение разряда переполнения.

Основной операционный блок работает следующим образом.

В исходном состоянии на первый 22, второй 23, третий 9, четвертый 24, пятый 25, шестой 26 и седьмой 27 входы блока поступают значения признака УМНОЖЕНИЕ НА НОЛЬ, знак операнда Y , $\xi_0 \{a_0 V_k \{1, 2, \dots, L\}, b_0\}$, признак КОНЕЦ ОПЕРАЦИИ, сигнал "Занесение", сигнал "Пуск", унитарный код J_k соответственно.

Единичное значение признака КОНЕЦ ОПЕРАЦИИ, поступающее с входа 24 на управляющий вход мультиплексора 15, обеспечивает прохождение кода ξ_0 с второго информационного входа мультиплексора на его выход и далее на информационный вход регистра 16. В результате при единичном значении признака КОНЕЦ ОПЕРАЦИИ сигнал "Занесение" обеспечивает занесение значения ξ_0 в регистр. При выполнении k -й итерации $V_k \in \{1, 2, \dots, t\}$ значение $\xi_{k-1} \in V_k \in \{1, 2, \dots, L\} b_{k-1}$ с выхода регистра 16 поступает на первый вход сумматора 17, а также на первый вход сдвигателя 18. На второй вход сдвигателя с входа 27 блока поступает унитарный код J_k . Сдвигатель 18 обеспечивает сдвиг информации, поступившей на первый информационный вход вправо (в сторону младших разрядов) на число разрядов, равное номеру единичного разряда в унитарном коде, поступившем на второй управляющий вход, с замещением освобождающихся разрядов нулями. В результате на выходе сдвигателя 18 формируется код $\xi_{k-1} \cdot 2^{J_k}$, который поступает на второй вход сумматора 17, а также на четвертый выход 28 блока. На выходе сумматора 17 формируется в соответствии с выражениями (1) значение $\xi_k \{a_k V_k \in \{1, 2, \dots, L\} b_k\}$, поступающее на первый информационный вход мультиплексора 15. Нулевое значение признака КОНЕЦ ОПЕРАЦИИ обеспечивает прохождение кода

ξ_k на выход мультиплексора 15 и далее на информационный вход регистра 16.

Одновременно с подачей на третий информационный вход 9 1-го блока $V_k \{1, 2, \dots, L\}$ значения ξ_0 на второй вход 23 подается знак операнда Y , поступающий затем на первый вход элемента НЕРАВНОЗНАЧНОСТЬ 19. На второй вход этого элемента подается значение разряда $\xi_0(0)$, являющееся знаком операнда X_1 . Значение знака результата, сформированное в элементе НЕРАВНОЗНАЧНОСТЬ 19, поступает с его выхода на вход триггера 21 знака результата, который по сигналу "Пуск", поступающему на второй вход, синхронизирует запоминание знака результата до начала выполнения новой операции.

Значение модуля результата формируется в зависимости от признака УМНОЖЕНИЕ НА НОЛЬ, поступающего на первый вход 22 блока и далее на первый инверсный вход вентильного узла 20. В случае единичного значения этого признака на выходе вентильного узла и далее на втором выходе блока формируется нулевой результат.

Четвертый выход 28 блока предназначен для выдачи сдвинутого кода $\xi_{k-1} \cdot 2^{J_k}$ с целью использования его другими операционными блоками.

Вспомогательный операционный блок 2 работает следующим образом. На первый 32, второй 33, третий 34 и четвертый 35 входы поступают значения $\xi_0 \in \{C_0\}$, признак КОНЕЦ ОПЕРАЦИИ, значение сигнала "Занесение" и значение $\xi_{k-1} \cdot 2^{J_k} \{ \xi_{k-1} \in b_{k-1} \}$. Единичное значение признака КОНЕЦ ОПЕРАЦИИ, поступающее с входа 33 на управляющий вход мультиплексора 29, обеспечивает прохождение кода ξ_0 со второго информационного входа мультиплексора 29 на его выход и далее на информационный вход регистра 30. При выполнении k -й итерации $V_k \in \{1, 2, \dots, t\}$ значение $\xi_{k-1} \in \{C_{k-1}\}$ с выхода регистра 30 поступает на первый вход сумматора 31, на второй вход которого поступает значение с четвертого входа 35, представляющее собой значение $b_{k-1} \cdot 2^{J_k}$. На выходе сумматора 31 формируется в соответствии с выражениями (1) значение $\xi_k \{C_k\}$, поступающее на первый информационный вход мультиплексора 29. Нулевое значение признака КОНЕЦ ОПЕРАЦИИ обеспечивает прохождение кода ξ_k на выход мультиплексора 29 и далее на информационный вход регистра 30.

Блок управления работает следующим образом. На первый 4, второй 5, третий 6, четвертый 7 и пятый 49 входы блока поступают $(n+1)$ -разрядные значения операнда Y в прямом коде, код операции g , сигналы

"Пуск" ТИ, m старших разрядов кода $Sk-1$ (код $Sk-1$) соответственно.

С первого по $(m-1)$ -й элементы И 42 формируют унитарный $(m-1)$ -разрядный код J_k , имеющий единичное значение в разряде, номер которого равен номеру старшего нулевого разряда кода $Sk-1$, и нулевые значения в остальных разрядах, который поступает на восьмой выход 55 блока.

При равенстве единице всех разрядов кода на пятом входе 49 блока на выходе элемента И 43 формируется единичный уровень сигнала, который поступает на первый вход элемента ИЛИ 44. На второй вход этого элемента поступает инвертированное значение первого разряда кода, формируемое элементом ИЛИ 45. В случае равенства нулю операнда Y на выходе этого элемента будет единичное значение. Таким образом, на выходе элемента ИЛИ 44 сформирован признак КОНЕЦ ОПЕРАЦИИ, который поступает на четвертый выход 10 блока и на инверсный вход элемента И 46, запрещающий прохождение ТИ с четвертого входа 7 блока на выход этого элемента. На выходе элемента ИЛИ 47, являющемся одновременно пятым выходом 53 блока, при поступлении сигнала "Пуск" на третий вход 6 или при поступлении ТИ на четвертый вход 7 блока и нулевом значении признака КОНЕЦ ОПЕРАЦИИ на выходе элемента ИЛИ 47 формируется сигнал "Занесение".

На первый вход 4 блока подается $(n+1)$ -разрядный код операнда Y , который поразрядно поступает на первые входы с первого по $(n+1)$ -й элементов И 37. Первый элемент И 37 передает на выход 50 значение знака операнда Y . На вторые входы элементов И 37 поступает сигнал "Пуск". Группа элементов И 37 с второго по $(n+1)$ -й, элементов НЕ 38 с первого по $(n-1)$ -й и элементов И 39 с первого по $(n-1)$ -й обеспечивает формирование констант загрузки, поступающих с выходов 51 и 52 блока управления в качестве начальных значений в операционные блоки 1, $L+1$ и 2, и формируемые в зависимости от кода операции g , поступающего на второй вход 5 блока управления и запоминаемого на триггере 41 по синхронизирующему сигналу "Пуск". В случае выполнения операции умножения на выходах 51 и 52

блока формируются значения $\frac{1}{2}$ и $\frac{1}{2} + (1-YI)$, в случае деления — YI и YI соответственно. Сформированное на выходе первого элемента И 48 значение сигнала поступает на шестой выход 54 блока в качестве значения признака УМНОЖЕНИЕ НА НОЛЬ. Сформированное на выходе второго элемента И 48 значение сигнала поступает на седьмой вы-

ход 11 блока в качестве значения признака ДЕЛЕНИЕ НА НОЛЬ.

Таким образом, положительный эффект предлагаемого устройства заключается в расширении функциональных возможностей.

Ф о р м у л а и з о б р е т е н и я

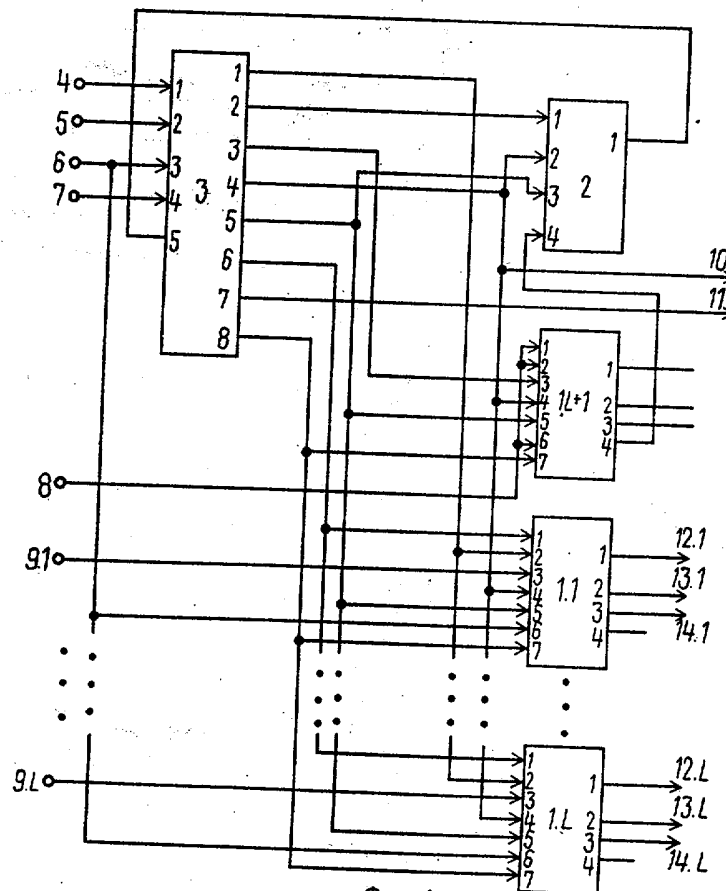
1. Устройство для выполнения векторно-скалярных операций над действительными числами, содержащее $L+1$ операционных блоков (L — количество компонентов векторного операнда) и блок управления, причем вход i -го компонента векторного операнда ($k \in \{1, 2, \dots, L\}$) соединен с первым информационным входом i -го операционного блока, первый и второй выходы которого соединены соответственно с выходами i -го компонента вектора результата и i -го признака переполнения устройства, вход запуска и тактовый вход которого соединены соответственно с входом запуска и тактовым входом блока управления, первый выход которого соединен с выходом признака конца операции устройства и входом разрешения счета каждого операционного блока, вход разрешения записи каждого операционного блока соединен с вторым выходом блока управления, третий выход которого соединен с выходом признака деления на ноль устройства, второй информационный вход каждого операционного блока соединен с четвертым выходом блока управления, отличающееся тем, что, с целью расширения функциональных возможностей за счет выполнения операции умножения, в него введен вспомогательный операционный блок, вход разрешения счета которого соединен с первым выходом блока управления, вход промежуточного кода которого соединен с выходом вспомогательного операционного блока, первый информационный вход которого соединен с пятым выходом блока управления, второй выход которого соединен с входом разрешения записи вспомогательного операционного блока, второй информационный вход которого соединен с четвертым выходом $(L+1)$ -го операционного блока, входы множителя-делителя и кода операции устройства соединены соответственно с входами множителя-делителя и кода операции блока управления, шестой выход которого соединен с входом формирования знака i -го операционного блока, вход признака умножения на ноль которого соединен с седьмым выходом блока управления, восьмой выход которого соединен с первым информационным входом $(L+1)$ -го операционного блока, входы признака умножения на ноль, формирования знака и

Тактовый вход которого соединены с входом логического "0" устройства, вход запуска которого соединен с тактовым входом I-го операционного блока, третий выход которого соединен с выходом знака I-го компонента вектора результата устройства.

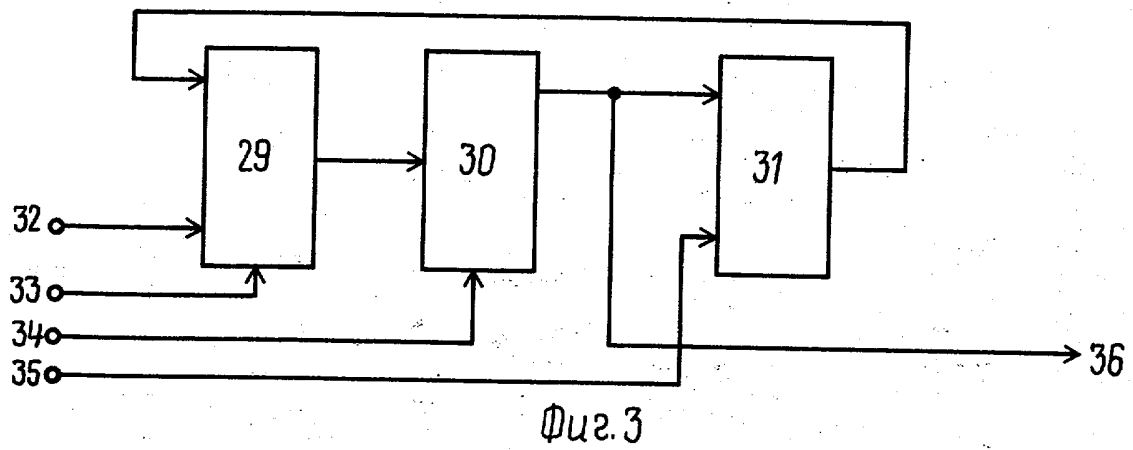
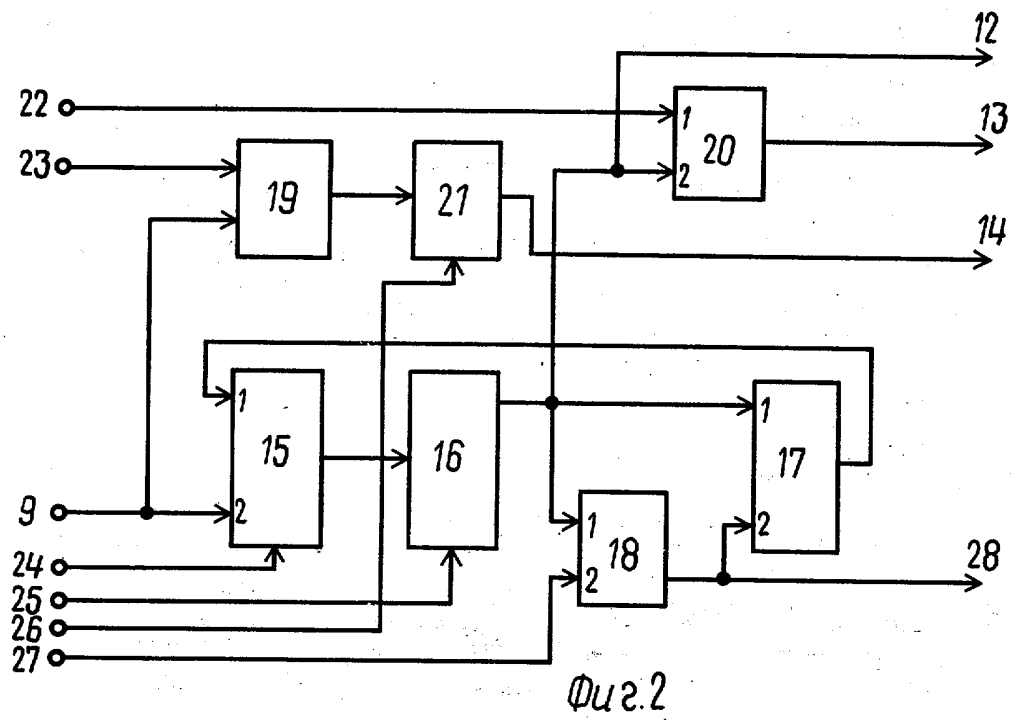
2. Устройство по п. 1, отличающееся тем, что операционный блок содержит элемент НЕРАВНОЗНАЧНОСТЬ, мультиплексор, триггер знака, регистр, элемент И, сдвигатель и сумматор, выход которого соединен с первым информационным входом мультиплексора, второй информационный вход которого соединен с первым информационным входом блока, вход признака умножения на ноль которого соединен с первым входом элемента И, второй вход которого соединен с выходом регистра, входом первого слагаемого сумматора, информационным входом сдвигателя и вторым выходом блока, вход формирования знака которого соединен с первым входом элемента НЕРАВНОЗНАЧНОСТЬ, второй вход которого соединен с входом знакового разряда первого информационного входа блока, вход разрешения счета которого соединен с управляющим входом мультиплексора, выход которого соединен с информационным входом регистра, вход записи которого соединен с входом разрешения записи блока,

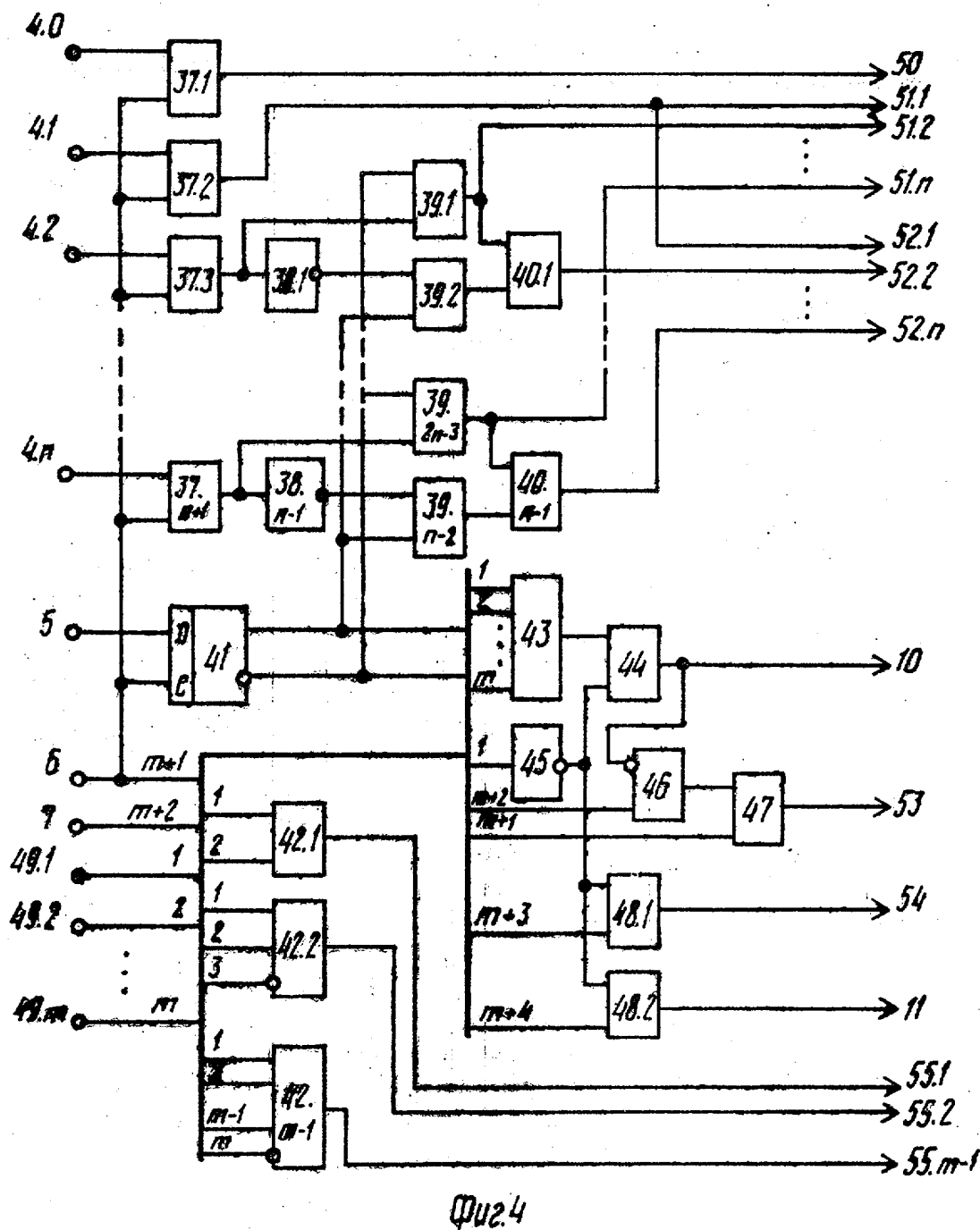
тактовый вход которого соединен с тактовым входом триггера знака, информационный вход которого соединен с выходом элемента НЕРАВНОЗНАЧНОСТЬ, а выход - с третьим выходом блока, первый выход которого соединен с выходом элемента И, а четвертый выход - с входом второго слагаемого сумматора и выходом сдвигателя, вход управления сдвигом которого соединен с вторым информационным входом блока.

3. Устройство по п. 1, отличающееся тем, что вспомогательный операционный блок содержит мультиплексор, регистр и сумматор, выход которого соединен с первым информационным входом мультиплексора, второй информационный вход которого соединен с первым информационным входом блока, вход разрешения счета которого соединен с управляющим входом мультиплексора, выход которого соединен с информационным входом регистра, выход которого соединен с выходом блока и входом первого слагаемого сумматора, вход второго слагаемого которого соединен с вторым информационным входом блока, вход разрешения записи которого соединен с входом записи регистра.



Фиг. 1





Составитель А. Марковский

Редактор Т. Юрчикова

Техред М. Моргентал

Корректор И. Муска

Заказ 882

Тираж

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101