

申請日期: 88. 8. 3	案號: 681132
類別: G11C 1/00, G06F 12/00	

(以上各欄由本局填註)

440830

公告本

發明專利說明書

一、 發明名稱	中文	記憶系統之冗餘形式位址解碼器
	英文	REDUNDANT FORM ADDRESS DECODER FOR MEMORY SYSTEM
二、 發明人	姓名 (中文)	1. 大衛 J. 沙哲
	姓名 (英文)	1. DAVID J. SAGER
	國籍	1. 美國
	住、居所	1. 美國奧立岡州波特蘭市西北思凱悠大道9540號
三、 申請人	姓名 (名稱) (中文)	1. 美商英特爾公司
	姓名 (名稱) (英文)	1. INTEL CORPORATION
	國籍	1. 美國
	住、居所 (事務所)	1. 美國加州聖塔卡拉瓦市米遜大學路2200號
	代表人 姓名 (中文)	1. F. 湯姆士. 當烈二世
	代表人 姓名 (英文)	1. F. THOMAS DUNLAP, JR.



440820

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1998/09/04 09/148,314

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明範疇

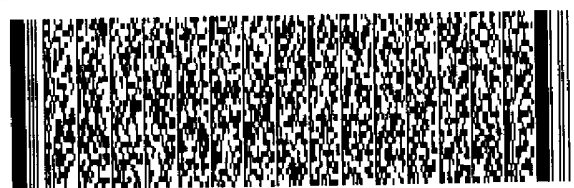
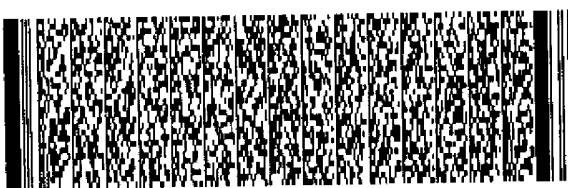
本發明係關於一用於一記憶體之位址解碼器。

微處理器及其它積體電路儲存資料於記憶體中。該記憶體系統儲存數位資料如程式指令或變數資料。圖1中所展示，一典型記憶體系統100包含一位址解碼器110、一記憶體120及一選擇性之選取開關130。該記憶體120被組織成列，稱為"記憶體線"。各記憶體線擁有一單一位址。當一位址被施加至該位址解碼器110時，該位址解碼器110引起存於該相關記憶體線之資料自該記憶體系統100輸出。

某些應用中，最好僅檢索一記憶體線之一部份。例如，一處理器可載入資料至該記憶體120一次一記憶體線且可小幅增加使用該載入資料。此類應用中，該選取開關130允許一記憶體線之選擇部份自該記憶體系統100輸出。施加該選取開關至一共用巴士之輸出。因此，來自一致能記憶體線之資料被提供給該選取開關130。該選取開關130選擇該記憶體系統100所提供之該記憶體線之一部份。

為了參考信號形式中一想要部份之資料，該位址解碼器110通常接收一位址信號，其不僅識別一被要求之記憶體線也識別該記憶體線之一部份。藉該位址($Addr_s - Addr_n$)之第一部份來識別該記憶體線；藉該位址($Addr_0 - Addr_{s-1}$)之第二部份來識別部份之該記憶體線。

於圖2中較詳細展示著該位址解碼器110。該位址解碼器由許多及(AND)閘所組成，記憶體120中每記憶體線有一個。各及閘，如閘112，為了該位址($Addr_s - Addr_n$)第一部



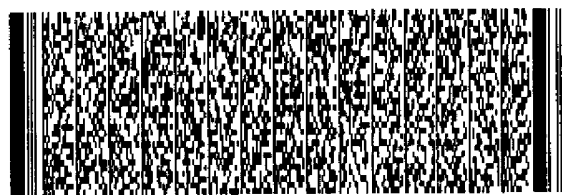
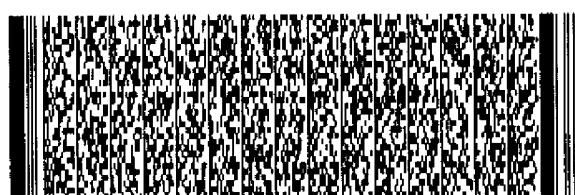
五、發明說明 (2)

份之各位元位置來接收一輸入信號。同時為了每位元位置 i ，該位址信號 $Addr_i$ 被反轉 ($Addr_i\#$) 致使該位址位元之真值或它的補數任一者可被施加至一及閘。對任何及閘，耦合該閘至一施加該正確位址信號 $Addr_i$ 或 $Addr_i\#$ 其中之一。

例如，當位址 "0000" 被施加至該位址解碼器時，及閘 112 應致能它的記憶體線。對應 "0000"，對所有 i 而言， $Addr_i = 0$ 。然而，對所有 i 而言， $Addr_i\# = 1$ 。所以及閘 112 自 $Addr_0\#$ 、 $Addr_1\#$ 、 $Addr_2\#$ 、等接收輸入信號。類似地，當位址 "0001" 被施加至該位址解碼器時，及閘 114 應致能它的記憶體線。所以，對所有 $i \neq 0$ 而言， $Addr_i\#$ 被施加至及閘 114。對位址 "0001" 而言， $Addr_0 = 1$ 且被施加至該及閘 114 來取代 $Addr_0\#$ 。各及閘被耦合至與該及閘應該對應之位址一致之位址線。

記憶體系統之目標係儘快檢索要求之資料。發生於一位址公告時及該要求之資料已備用時之間之任何延遲是不被期待的。然而，有時位址資料可被公告為一或多個算術運算。該算術運算必須在一位址被施加至該位址解碼器 110 之前被執行。傳統式算術運算是緩慢的；他們加入不被期待之延遲至資料檢索操作。

一傳統加法器係展示於圖 3。那兒，四位元輸入 X 及 Y 被加在一起用以獲得一四位元總和 S 及一位元進位 C_{out} 。該加法器包含一在該加法器中每個位元位置間傳送之內部進位鏈。一自第一位元位置之進位可影響在第二位元位置 (S_2) 之總和值。一自該第二位元位置之進位可影響在第三位元



五、發明說明 (3)

位置(S_3)之總和值。該進位鏈持續直至該最大顯著位元為止。因為進位影響該總和結果值，真正結果無法自該加法器被輸出直到該進位鏈已橫移過該加法器之整個長度為止。

當一些算術運算被依序執行時，各運算之進位鏈必須被完成。於位址資料上依順之算術運算使得記憶體操作非常慢。

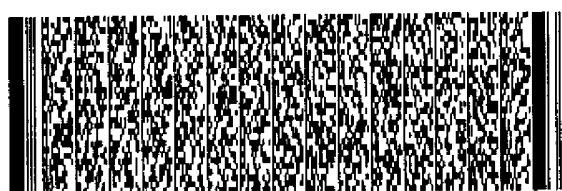
據此，於此項技藝中，當將資料作算術運算時有需要提供用於快速檢索所要求資料之一記憶體系統。

已知"冗餘形式"加法器較傳統加法器快。一三輸入冗餘形式加法器之例子係展示於圖4。那兒，該加法器從輸入X、Y及Z之中產生一多位元總和，名為" $\hat{S}$ "。該結果性總和(如 $\hat{S}_3$)中之各"位元位置"實際上係由二位元所代表。該冗餘形式加法器並未擁有傳統加法器中所建立之內部進位鏈。因此，冗餘形式算術之運算相對於傳統之算術運算係非常快速的。為了獲得一傳統、非冗餘之結果，各位元位置下之該二位元必須由一傳統加法器加在一起。例如，由該冗餘形式加法器所輸出之各總和位置 $\hat{S}_i$ 之該二位元可被輸入至圖3之傳統加法器用以獲得一非冗餘之結果。

傳統記憶體不能操作於其在冗餘形式中所輸入之位址資料。沒有已知之傳統記憶體執行於冗餘形式位址資料之位址解碼。

概述

本發明之具體實施例提供一根據冗餘形式位址資料來檢



五、發明說明 (4)

索資料之記憶體系統。該記憶體系統包含一具有許多記憶體線之記憶體及一致能某一記憶體線來對應一冗餘形式位址信號之位址解碼器。

圖示式之簡單說明

圖1係一已知記憶體系統之方塊圖。

圖2係一用於一記憶體系統之已知位址解碼器之方塊圖。

圖3係一傳統加法器電路之方塊圖。

圖4係一已知冗餘形式加法器電路之方塊圖。

圖5係一構成與本發明之第一具體實施例一致之記憶體系統之方塊圖。

圖6係一構成與本發明之一具體實施例一致之單階冗餘形式解碼器之方塊圖。

圖7係一構成與本發明之一具體實施例一致之單階冗餘形式解碼器之方塊圖。

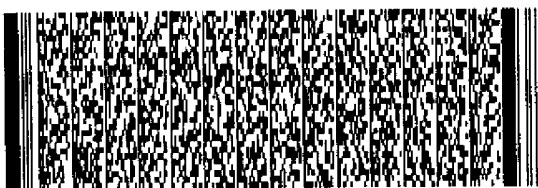
圖8係一構成與本發明之一具體實施例一致之冗餘形式位址解碼器之記憶體驅動器之方塊圖。

圖9係一構成與本發明之第二具體實施例一致之記憶體系統之方塊圖。

圖10係一構成與本發明之第二具體實施例一致之記憶體驅動器之方塊圖。

圖11係一構成與本發明之第三具體實施例一致之記憶體系統之方塊圖。

圖12係一構成與本發明之一具體實施例一致之單階冗餘



五、發明說明(5)

形式解碼器之方塊圖。

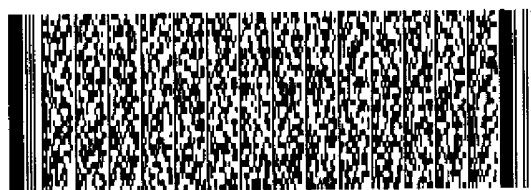
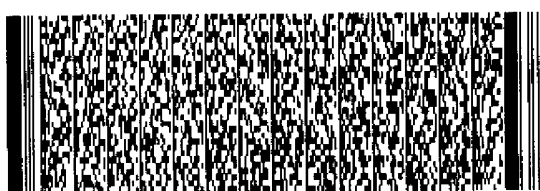
圖13係說明如何相加二非冗餘值用以在未運用加法下獲得一冗餘形式之結果。

詳細說明

本發明之具體實施例提供一根據冗餘形式位址資料來檢索資料之記憶體系統。當算術運算在位址資料上被執行時，記憶體系統之資料檢索係被製造得較快於傳統系統之資料檢索。

圖5係說明一構成與本發明之第一具體實施例一致之記憶體系統200。記憶體系統200包含一位址解碼器210及一記憶體220。位址解碼器210在冗餘形式中接收位址資料信號；那就是，每"位元位置"¹_i中有二位元。根據冗餘形式位址資料信號之值，位址解碼器210於該記憶體220中存取一選擇記憶體線222。該記憶體220從該選擇記憶體線222中輸出資料信號。

於本具體實施例中，位址解碼器210可以是一二階解碼器。於本具體實施例中，第一階230包含一冗餘形式解碼器，其中該冗餘形式位址資料信號被解碼成位址信號線。對所有位元位置 $i(i \neq 0)$ 而言，該冗餘形式解碼器230於差異對 $(Z_{ia}=Z_{ib}\#, Z_{ic}=Z_{id}\#)$ 之中產生四位址信號，名為 Z_{ia} 、 Z_{ib} 、 Z_{ic} 及 Z_{id} 。該冗餘形式解碼器230由許多冗餘形式解碼電路所組成(未展示於圖5中)。該第二階包含有一記憶體驅動器240，其中該位址解碼器210根據該位址線之資料信號產生記憶體致能信號。



五、發明說明 (6)

圖6係說明一用於其構成與本發明之第一具體實施例一致之位元位置 Δ_i ($i \neq 0$)之冗餘形式解碼器電路300。為了註釋之目的， Δ_i 之二位元各自被命名為 A_i 及 B_i 。該解碼器電路300根據 $\Delta_i(A_i, B_i)$ 及 $\Delta_{i-1}(A_{i-1}, B_{i-1})$ 之值產生位址信號 Z_{ia} 、 Z_{ib} 、 Z_{ic} 及 Z_{id} 。信號 A_i 、 B_i 、 A_{i-1} 及 B_{i-1} 各自在輸入埠302、304、306及308上被輸入至解碼器300。位址信號 Z_{ia} 、 Z_{ib} 、 Z_{ic} 及 Z_{id} 各自從解碼器300之輸出埠310、312、314及316上被輸出。

A_i 及 B_i 係至第一互斥或閘320之輸入信號。互斥或閘320在線322上產生一輸出信號。線322被輸入至一對互斥或閘324及326。互斥或閘324產生該第一差異對之位址信號 Z_{ia} 及 Z_{ib} 。互斥或閘326產生第二差異對之位址信號 Z_{ic} 及 Z_{id} 。

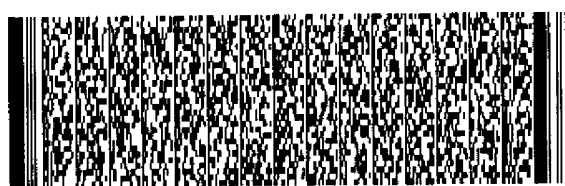
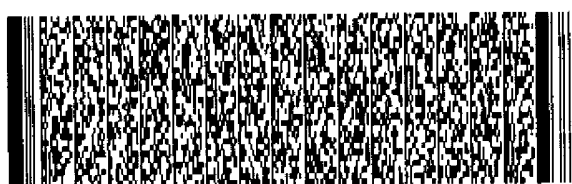
A_{i-1} 及 B_{i-1} 被輸入至一及閘328及一或閘334。及閘328在線332上產生一輸入至互斥或閘324之輸出信號。或閘334在338線上產生一輸入至互斥或閘326之輸出信號。

冗餘形式解碼器電路300高度類似一傳統加法器。線322代表一由 A_i 加 B_i 所得之非冗餘總和。線332及338代表在適當環境下自位置 $i-1$ 之進位：

- 當 $S_{i-1}=1$ 時，線332上之信號代表從位置 $i-1$ 之進位(如後述)。

- 當 $S_{i-1}=0$ 時，線338上之信號代表從位置 $i-1$ 之進位(如後述)。

如此， Z_{ia} 或 Z_{ic} 任一者代表著該非冗餘總和位元 S_i 。識別其攜帶著正確值 S_i 的這個位址線係根據在額外之資料來決



五、發明說明(7)

定。此連同下面之圖8來論之。

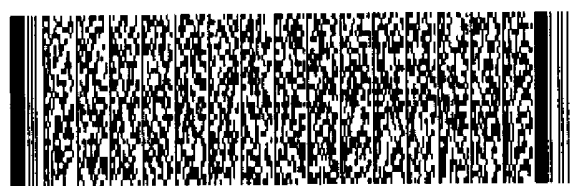
然而，一傳統加法器將運用一傳過該加法之每個位元位址之內部進位鏈。本具體實施例中該冗餘形式解碼器電路300不包含從位置 $i-2$ 之任何進位。

該冗餘形式解碼器電路300不會只是一多位元解碼器之單階。圖6所展示之閘可與其他階分享用以形成一完整之多位元解碼器。例如，額外之閘340及342(幻像中所示)說明其提供來連結輸入信號 A_i 及 B_i 至該 $i+1$ 位置解碼器之閘。於該 $i+1^{\text{th}}$ 位置解碼器中之閘340及342係一致於 i^{th} 位置解碼器中之閘328及334。閘330(也在幻像中)可被使用於 $i-1$ 位置之解碼器。

圖7係說明一構成與本發明之第一具體實施例一致之冗餘形式解碼器電路400。解碼器電路400係適用於冗餘形式位元 $\hat{z}_0$ 。又，為了註釋之目的， $\hat{z}_0$ 之二位元各自被命名為 A_0 及 B_0 。它們在輸入端402及404被輸入至解碼器電路400。在輸出端406及408該解碼器電路400產生一單一差異對位址線 Z_{0a} 及 Z_{0b} 。

A_0 及 B_0 被輸入至一互斥或閘410。互斥或閘410在線412上產生一輸出信號。若 C_{in} 中提供給位元位址0之進位在輸入端416被輸入。第二互斥或閘414從線412及端點416接收輸入信號。該第二互斥或閘414在輸出端406及408產生 Z_{0a} 及 Z_{0b} 。若 C_{in} 中沒有提供進位，該第二互斥或閘414可被省略。 Z_{0a} 及 Z_{0b} 可從第一互斥或閘410中直接產生。

圖8係說明一構成與本發明之具體實施例一致之位址解



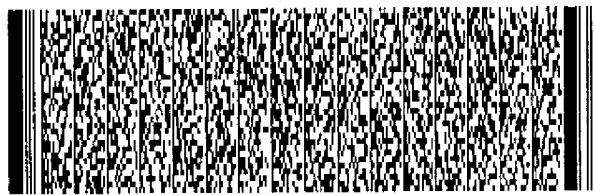
五、發明說明 (8)

碼器210(圖5)之記憶體驅動器240之電路圖。該記憶體驅動器240係由多個及閘242-246所組成。提供與該記憶體220(圖4)之某記憶體線相關之各及閘(如閘242)。各及閘242從冗餘形式解碼器230接收位址線 $Z_{ia}-Z_{ib}$ ($i=1$ 至 n)中之一作為一輸入。各及閘242於位元位置 $i=0$ 也接收一對位址線 Z_{0a} 及 Z_{0b} 中之一。對應至一冗餘形式輸入位址信號，要致能記憶體線222(圖5)中之一。

如在相對於圖6之冗餘形式解碼器300所標記，位址線 Z_{ia} 及 Z_{ic} 之一攜帶非冗餘 S_i 之正確信號值。可決定該正確信號值從一典型內部進位鏈至傳統加法器(有時稱作"完成加法")。不論如何，改進之執行效率可由省略該內部進位鏈而得。

本具體實施例中，各及閘242-246映射至一具有唯一位址 R 之記憶體線222(圖5)。該位址可用作一額外之資料塊用以確認 Z_{ia} 或 Z_{ic} 係攜帶非冗餘 S_i 之正確值。特別地，取得該位址 R 在位元位址 $i-1$ (R_{i-1})之非冗餘值成為非冗餘之總和 S_{i-1} ($R_{i-1}=S_{i-1}$)值。本假設係驗證的因為，如果這不是真的，那麼至該驅動之及閘(意指，253)之某其他輸入信號在位址解碼方法期間將是零。在這類環境中該及閘253不會驅動它的相關記憶體線。換句話說，該及閘253運作於當該完成加法已產生一與位址位元 R_{i-1} 相符之 S_{i-1} 時。當輸入信號值 A_i 、 B_i 、 A_{i-1} 及 B_{i-1} 係已知且該非冗餘總和 S_{i-1} "已知"為 R_{i-1} 時，該非冗餘值 S_i 可被計算。

下面表1係說明 S_i 值及對 A_i 、 B_i 、 A_{i-1} 、 B_{i-1} 及 S_{i-1} 之所有可

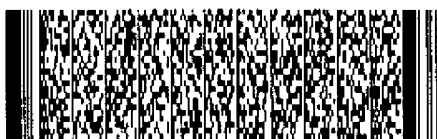


五、發明說明 (9)

能變更，從冗餘形式解碼電路300輸出之 $Z_{ia}-Z_{id}$ 值。該表格先排序 S_{i-1} ，接著 S_i 。如表格所示，當 S_{i-1} 為0， $Z_{ic}=S_i$ 。當 S_{i-1} 為1， $Z_{ia}=S_i$ 。

表1

A_i	B_i	A_{i-1}	B_{i-1}	S_{i-1}	S_i	Z_{ia}	Z_{ib}	Z_{ic}	Z_{id}
0	0	0	0	0	0	0	1	0	1
0	1	0	1	0	0	1	0	0	1
0	1	1	0	0	0	1	0	0	1
0	1	1	1	0	0	0	1	0	1
1	0	0	1	0	0	1	0	0	1
1	0	1	0	0	0	1	0	0	1
1	0	1	1	0	0	1	0	0	1
1	1	0	0	0	0	0	1	0	1
0	0	0	1	0	1	0	1	1	0
0	0	1	0	0	1	0	1	1	0
0	0	1	1	0	1	1	0	1	0
0	1	0	0	0	1	1	0	1	0
1	0	0	0	0	1	1	0	1	0
1	1	0	1	0	1	0	1	1	0
1	1	1	0	0	1	0	1	1	0
1	1	1	1	0	1	1	0	1	0
A_i	B_i	A_{i-1}	B_{i-1}	S_{i-1}	S_i	Z_{ia}	Z_{ib}	Z_{ic}	Z_{id}
0	0	0	0	1	0	0	1	0	1
0	0	0	1	1	0	1	1	1	0
0	0	1	0	1	0	1	1	1	0
0	1	1	1	1	0	0	1	0	1
1	0	1	1	1	0	1	1	0	1
1	1	0	0	1	0	1	1	0	1
1	1	0	1	1	0	1	1	1	0
1	1	1	0	1	0	0	1	1	0
0	0	1	1	1	1	1	0	1	0
0	1	0	0	1	1	1	0	1	0
0	1	0	1	1	1	1	0	0	1
0	1	1	0	1	1	1	0	0	1
1	0	0	0	1	1	1	0	1	0
1	0	0	1	1	1	1	0	0	1
1	0	1	0	1	1	1	0	0	1
1	1	1	1	1	1	1	0	1	0



五、發明說明 (10)

當然，只有當它接收輸入信號為1時，一及閘253是有反應。然而，有時 S_i 之正確值為0(當 $R_i=0$ 時)。如果 S_i 輸入至及閘253，它將不運作儘管 S_i 之選擇值是正確的。因此，除了 $S_i=0$ 當 S_i 之正確值被選擇時， S_i 被反轉及輸入至及閘253。因 $Z_{ib}=Z_{ia}\#$ 及 $Z_{id}=Z_{ic}\#$ ，當 $S_i=0$ 時被用作輸入信號。

因此，對各位元位置 i ($i \neq 0$)而言，根據位址位元 R_i, R_{i-1} 之非冗餘值一及閘耦合四位址線 $Z_{ia}-Z_{id}$ 中之一。表2係展示連接是如何形成的：

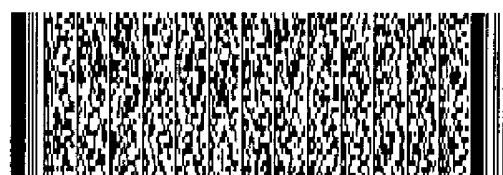
Value of Address for AND Gate		Selected Address Line
R_i	R_{i-1}	
0	0	Z_{id}
0	1	Z_{ic}
1	0	Z_{ib}
1	1	Z_{ia}

表2

在圖8及閘252-255係說明與原理 $i=1$ 一致所形成之耦合。

如參考圖5所述，位元位置 $i=0$ 係用於定位記憶體線222。對有關一在0($R_0=0$)終止之位址 R 之各及閘，本具體實施例中該及閘從線 Z_{0b} 接收一輸入。對有關一在1($R_0=1$)終止之位址之各及閘，本具體實施例中該及閘從線 Z_{0a} 接收一輸入信號。

當該冗餘形式輸入資料信號之最小顯著位元被用於該記



五、發明說明 (11)

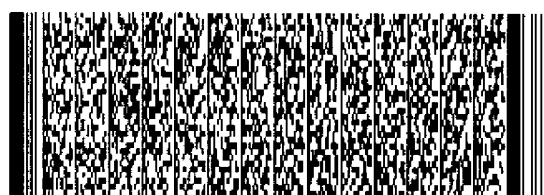
憶體線222之位址時，可使用不含完成加法之本發明。然而，一完成加法可被運用在該冗餘形式資料之最小顯著位元沒有與該記憶體線位址之最小顯著位元一致時。例如，若冗餘形式輸入資料從 $\hat{z}_0 - \hat{z}_n$ 延伸但僅有位元 $\hat{z}_3 - \hat{z}_n$ 定址記憶體線，一完成加法可被運用於冗餘形式位元 $\hat{z}_0 - \hat{z}_3$ 。

圖9係說明一構成與本發明之第二具體實施例一致之記憶體系統500。第二具體實施例中，一根據冗餘形式位址資料信號之記憶體對準資料信號可被讀出。該記憶體系統500，如圖5之系統200，包含一位址解碼器510及一記憶體520。該位址解碼器510包含一含有一冗餘形式解碼器530及一記憶體驅動器540之二階解碼器。記憶體系統500也包含一選取開關550。

在第二具體實施例中，將冗餘形式位址位元 $\hat{z}_0 - \hat{z}_{sth}$ 作算術前處理，僅該位元 $\hat{z}_0 - \hat{z}_{sth}$ 之一部分被用於定址個別之記憶體線。該剩餘位元 $\hat{z}_0 - \hat{z}_{h-1}$ 代表在一記憶體線內之資料信號。

圖9之記憶體系統500讀出"對準資料"。對準資料包含落於一記憶體線中一預先定義方塊內之資料信號。各記憶體線522被分割成一許多方塊。圖9中展示二方塊：高階方塊524及低階方塊526。在記憶體線522內，由位址資料識別該方塊係在s-1之位置。本具體實施例中，要求之資料未跨越方塊間之界限。

該冗餘形式解碼器530由圖6中該冗餘形式解碼器電路300之多重階所組成。該冗餘形式解碼器電路300係適合解



五、發明說明 (12)

碼所有從 $i=s$ 至 $s+n$ 之冗餘總和位元 $\sum_{i=s}^{s+n} R_i$ 。

圖10係說明一構成與本發明之具體實施例一致之記憶體驅動器540之位址解碼器510。該記憶體驅動器藉由數個及閘541-545所組成，其各與一記憶體線之方塊相關。圖9之記憶體驅動器540中及閘541-545係兩倍於記憶體線。指定一由 R_s 至 R_{s+n} 所組成之位址 R 給一記憶體線522處，藉低階位元 R_{s-1} 至 R_{s-m} 來定位各記憶體線內之方塊。圖9之二方塊之例子中，位元 R_{s-1} 在一記憶體線內定址該方塊。

對各位元位置 i (i 從 s 至 $s+n$)，各及閘541-545接收由該冗餘形式位址解碼器530所產生之位址線 Z_{ia} 、 Z_{ib} 、 Z_{ic} 或 Z_{id} 輸入信號。根據上面表2中所提之原理，識別位址線 Z_{ia} - Z_{id} 中此一耦合至一及閘者係由該及閘位址位元 R_i 及 R_{i-1} 來決定。

圖10之記憶體驅動器540，二及閘541、542係對應一預定之冗餘形式位址。第一及閘541選擇一低階方塊526。當 $S_{s-1}=0$ 時該選擇之低階方塊526正確地被定位。第二及閘542選擇一高階方塊524。當 $S_{s-1}=1$ 時選擇之高階方塊正確地被定位。該選取開關550(圖9)決定哪個被選擇之方塊資料離開記憶體系統500之路徑。

根據非冗餘 S_{s-1} 該需求方塊之資料由選擇開關550來選擇。最初， S_{s-1} 係未知。為了獲得 S_{s-1} ，會期待由位元位置0至 $s-1$ 執行該冗餘形式位址資料 $\sum_{i=0}^{s-1} R_i$ 之傳統式加法。當獲得一非冗餘值 S_{s-1} 時，施加該選取開關550用以選擇正確方塊之資料。藉該選取開關550選擇之方塊係這個已知其接收



五、發明說明 (13)

一 正確輸入信號之解碼及開。

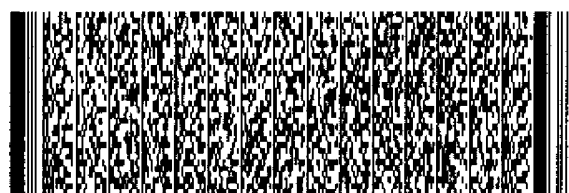
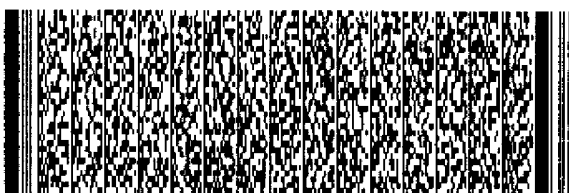
雖然一完成進位加法可執行於圖9之具體實施例中，本具體實施例仍超越先前技藝系統達成改善之執行效率。該進位鏈僅傳送位元0至 $s-1$ ，不是該位址(0至 $s+n$)之整個長度。因此，該進位鏈被減少。

也可證明用以完成該減短之完成加法所運用之時間係因一記憶體之操作特性。傳統上，一旦該記憶體線被致能，記憶體係稍慢於從一記憶體線輸出資料。一旦記憶體線被致能，有一使資料有效於一選取開關之內在時間延遲。因此，在一短程位址資料上執行一傳統加法，例如，從位元0至 $s-1$ ，並不顯著地減少從記憶體係檢索資料之速度。

另外，輸入至該選取開關550之控制信號可用圖9之邏輯來產生。該選取開關550本身可藉冗餘形式邏輯來控制。

圖11係說明一構成與本發明之另一具體實施例一致之記憶體系統600。該記憶體系統600儲存"未對準"資料，資料未受限於該記憶體之高階方塊或低階方塊任一者。所要求之資料可從一記憶體線622之四分之一處旋轉至二分之一處。如該先前之具體實施例，該記憶體系統600包含一位址解碼器610及一記憶體620。該位址解碼器610包含一冗餘形式解碼器630及一記憶體驅動器640。該冗餘形式解碼器630將輸入至許多解碼線之冗餘形式位址解碼，輸出一差異對。該記憶體驅動器640在記憶體致能線上產生致能信號。

該記憶體620係由許多記憶體線622所組成。各記憶體線

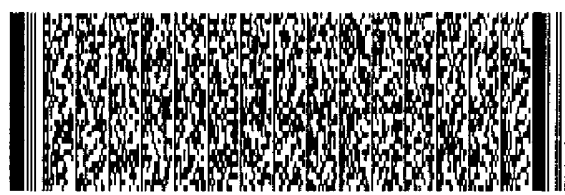
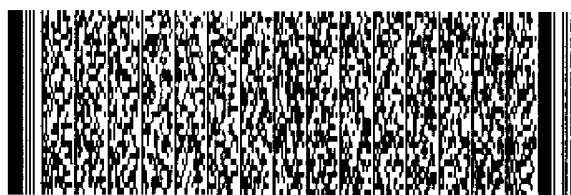


五、發明說明 (14)

622被分割成一高階方塊623及一低階方塊624。來自該記憶體驅動器640之一獨立記憶體致能線驅動著方塊623、624。如此，本具體實施例中，記憶體致能線可為記憶體線622的兩倍。

如在相對於圖8中該對準資料具體實施例所標記，該記憶體驅動器540驅動該記憶體520之二方塊來對應一單一位址輸入。一第一方塊(稱為，一高階方塊524)包含該要求之資料。一第二方塊(一低階方塊526)不包含要求之資料。該二方塊可以，但不是必須，被定位於相同之記憶體線522。圖8之該對準具體實施例中，因為要求之資料係受限於該二方塊之一，故該選取開關是否正確地被定位於無形。藉該第二方塊輸出之資料被輸入至選取開關550而非從該記憶體系統500輸出。該選取開關550僅輸出該第一方塊之資料。然而，在圖11之未對準具體實施例中，要求之資料可旋轉至一方塊界限。

在圖11之具體實施例中，各記憶體線被分割成四資料"堆塊"625-628。各堆塊係由一包含該堆塊之記憶體線622(由位址位元 R_s-R_{s+n} 代表)位址之混合位址 R 及一代表該堆塊本身(由位址位元 $R_{s-2}-R_{s-1}$ 代表)之二位元位址來定位。要求之資料可跨越間之界限，但僅能一個。若要求之資料旋轉二堆塊(稱為，堆塊625及626)，該輸入位址資料參考該二堆塊中較低者。因此，根據一輸入位址 R ，要求之資料將於該堆塊(如，堆塊625)中發現，而此堆塊是藉由識別該位址及至多一相鄰該位址之堆塊(626)來建立。



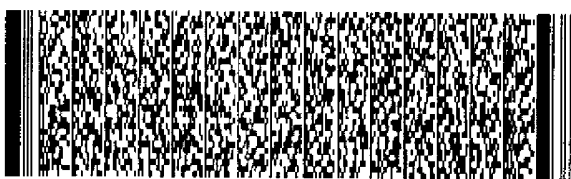
五、發明說明 (15)

該位址解碼器630是一多位元解碼器，藉由數個解碼器階(未展示於圖11)所組成。它接收一輸入位址 R (包含位元 $R_{s-2} \sim R_{s-n}$)及輸出位元位置 $i=s$ 至 $s+n$ 之解碼位址信號($Z_{ia} \sim Z_{id}$)。該冗餘形式解碼器電路300(圖6)係適用於所有位元位置 $i \neq s$ 。

圖12係說明一構成與本發明之具體實施例一致之解碼器電路700。它適用於解碼位元位置 $i=s$ 之位址信號。根據冗餘形式輸入資料信號 $A_s \sim B_s$ ，該解碼器電路700產生二差異對之位址信號 $Z_{sa} \sim Z_{sd}$ 。在各輸入端701-706冗餘形式位址資料信號 $A_s, B_s, A_{s-1}, B_{s-1}, A_{s-2}$ ，及 B_{s-2} 被輸入至該冗餘形式解碼器電路700。在各輸出線707-710該解碼器電路700輸出解碼位址信號 $Z_{sa} \sim Z_{sd}$ 。位址資料信號 A_s 及 B_s 係輸入至一互斥或閘712。一來自互斥或閘712之輸出信號進一步被輸入至互斥或閘714及716。互斥或閘716產生信號 Z_{sa} 及 Z_{sb} ；互斥或閘714產生信號 Z_{sc} 及 Z_{sd} 。

位址資料信號 A_{s-1} 及 B_{s-1} 同時被輸入至一及閘718及一或閘720。該或閘720之輸出信號(線722)被輸入至互斥或閘714。位址資料信號 A_{s-2} ，及 B_{s-2} 被輸入至另一及閘724。線722之輸出信號也被輸入至及閘724。一來自及閘724(在線730上)之輸出信號及一來自及閘718(在線728上)之輸出信號各自被輸入至或閘726。一或閘726(在線732上)之輸出被輸入至互斥或閘716。

該解碼器電路700確保當該冗餘形式輸入資料於該位址堆塊627中時，該記憶體驅動器640驅動相同記憶體線之二



五、發明說明 (16)

方塊623及624兩者。注意當輸入位址資料參考堆塊628時，要求之資料必在低方塊624內全被找到。當輸入位址資料參考堆塊626或625時需求資料必在高方塊623內全被找到。

在一具體實施例中，該記憶體驅動器640可構成如圖10中所展示者。根據位置 R_i 及 R_{i-1} （參考，表2）之該及開位址 R 值，對所有位元位置，一及開係連接至位址線 $Z_{ia}-Z_{id}$ 之一。根據非冗餘位址在位元 $s-1$ 及 $s-2$ 控制該選取開關。

上面所提供之冗餘形式位址資料討論已假設一個或一串之冗餘形式算術運算係在結果位址資料被輸入至一位址解碼器前於位址資料上被執行。在一特別個案中，算術程序可從一記憶體操作中省略。當一記憶體操作引起被執行之二非冗餘位址之一單一加法時，該記憶體操作可被省略。反而，該二非冗餘位址係可直接輸入至該位址解碼。

如圖13顯示，二非冗餘數字之冗餘形式加法，從總和 $\sum$ 產生一冗餘，此處：

$$\sum_i = A_i, B_i, \text{ 用於所有 } i。$$

因此，本發明之具體實施例於一單一加法安裝中提供零延遲之位址資料解碼。

本發明提供一在冗餘形式中解碼位址資料之位址解碼器。該位址解碼器允許在非常高速下對位址資料作算術運算及，因此，減少依賴那些算術運算之記憶體之操作延遲。因為該位址解碼器省略常用於傳統加法器之內部進位鏈，故它提供戲劇性執行效率利益係超過牽涉到算術運算



五、發明說明 (17)

之傳統記憶體操作。

本發明之一些具體實施例在此明確地說明及敘述之。然而，將明白本發明之修改及改變係含蓋於上面教示及落於隨附之申請專利範圍內並未遠離本發明之精神及意欲之範圍。

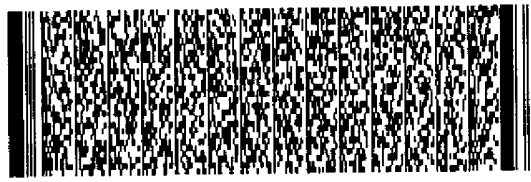
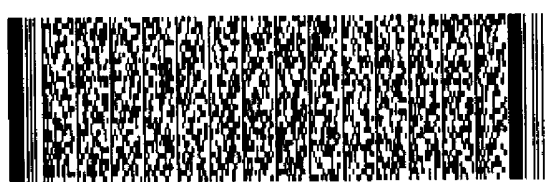


四、中文發明摘要 (發明之名稱：記憶系統之冗餘形式位址解碼器)

本發明提供一種根據冗餘形式位址資料來檢索資料之記憶體系統。該記憶體系統包含一具多條記憶體線之記憶體及一致能某記憶體線來對應一冗餘形式位址信號之位址解碼器。一冗餘形式解碼器為了一記憶體位址之各位元位置解碼冗餘形式資料成為一解碼位址線之差異對。該二差異對之一攜帶著正確位址資料。要被使用之位址線係利用該記憶體線本身的位址藉記憶體線基準由某一記憶體線來決定。該冗餘形式位址位址解碼器避免一要不然將必要之完成加法，故得到對記憶體非常快速之存取。

英文發明摘要 (發明之名稱：REDUNDANT FORM ADDRESS DECODER FOR MEMORY SYSTEM)

The present invention provides a memory system that retrieves data based upon redundant form address data. The memory system includes a memory having a plurality of memory lines and an address decoder that enables one of the memory lines in response to a redundant form address signal. A redundant form decoder decodes redundant form data into a differential pair of decoded address lines for each bit position of a memory address. One of the two differential pairs carries correct address



四、中文發明摘要 (發明之名稱：記憶系統之冗餘形式位址解碼器)

英文發明摘要 (發明之名稱：REDUNDANT FORM ADDRESS DECODER FOR MEMORY SYSTEM)

data. The one address line to be used is determined on a memory line by memory line basis, using the address of the memory lines themselves. The redundant form address decoder avoids a completion add that would otherwise be required, yielding very fast access to memory.



六、申請專利範圍

1. 一種記憶體系統，包含：

一接收冗餘作為位址信號之位址解碼器，

一由記憶體線所組成之記憶體，各記憶體線被組織成第一及第二方塊，該方塊是藉由致能線耦合至該位址解碼器。

2. 如申請專利範圍第1項之系統，其中該記憶體儲存未排列之資料。

3. 如申請專利範圍第1項之系統，其中該位址解碼器包含許多冗餘形式解碼器階段，至少該階段之一具有三位元位置之冗餘形式位址信號之輸入及具有該位元位置之一之解碼位址信號之輸出。

4. 如申請專利範圍第2項之系統，其中至少一階段具有在二位元位置之冗餘形式位址資料之輸入及具有該位元位置之一之解碼位址資料之輸出。

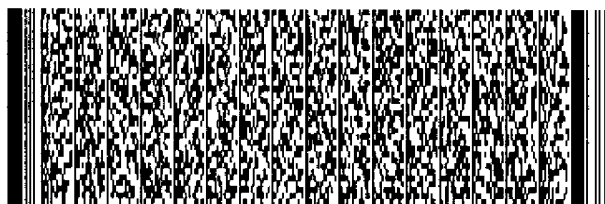
5. 如申請專利範圍第1項之記憶體系統，其中該記憶體線被組織成堆塊，二堆塊成一方塊。

6. 如申請專利範圍第5項之記憶體系統，其中各堆塊係與一混合位址相關。

7. 如申請專利範圍第1項之記憶體系統，其中係進一步包含一耦合至該記憶體線之選取開關。

8. 如申請專利範圍第1項之記憶體系統，其中該位址解碼器包含：

一冗餘形式解碼器係具有一作為該冗餘形式位址信號之輸入，及



六、申請專利範圍

一藉由解碼之位址線耦合至該冗餘形式解碼器之記憶體驅動器具有一耦合至該致能線之輸出。

9. 如申請專利範圍第8項之記憶體系統，其中該冗餘形式解碼器係一多階式解碼器。

10. 一種記憶體系統，包含：

一由多個組織成第一及第二方塊之記憶體線所組成之記憶體，各記憶體線與一預定寬度之位址有關，

一位址解碼器係具有一作為冗餘形式位址信號之輸入，該位址信號代表位於記憶體內部資料之位址資料，該位址解碼器被致能線耦合至該記憶體。

11. 如申請專利範圍第10項之記憶體系統，其中該冗餘形式位址資料包含一冗餘形式資料用於該記憶體位址之每位元位置及用於鄰接該記憶體位址之最小顯著位元位置之二位元位置。

12. 如申請專利範圍第11項之記憶體系統，其中該記憶體線被組織成堆塊，該堆塊在該二位元位置由該冗餘形式輸入資料所索引著。

13. 如申請專利範圍第10項之記憶體系統，其中該位址解碼器包含：

一耦合至該輸入之冗餘形式解碼器，及

一記憶體驅動器係由解碼之位址線耦合至該冗餘形式解碼器及其被耦合至該致能線。

14. 如申請專利範圍第13項之記憶體系統，其中該冗餘形式解碼器係一多階解碼器。



六、申請專利範圍

15. 如申請專利範圍第14項之記憶體系統，其中該冗餘形式解碼器包含一階用於該記憶體位址之各位元位置。

16. 如申請專利範圍第14項之記憶體系統，其中至少一階自冗餘形式位址資料在該相同位元位置及一相鄰較低位元位置導出用於該記憶體位址某位元位置之解碼位址資料。

17. 如申請專利範圍第14項之記憶體系統，其中至少一階自冗餘形式導出用於該記憶體位址某位元位置之解碼位址資料。

18. 如申請專利範圍第14項之記憶體系統，其中一階輸出與該記憶體位址之某位元位置有關之解碼位址線。

19. 如申請專利範圍第18項之記憶體系統，其中該階輸出一對解碼位址線，其一係代表一於該階之進位是為零時之非冗餘總和，另一係代表一於該階之進位是為一時之非冗餘總和。

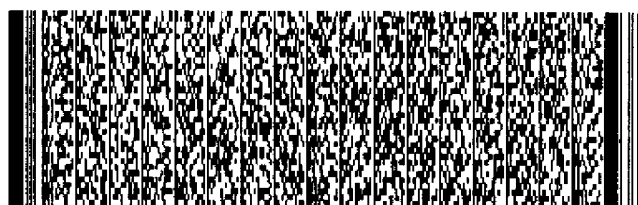
20. 一種存取記憶體資料之方法，該記憶體由記憶體線所組成，各記憶體線組織成第一及第二方塊，各記憶體線與一預定寬度之位址有關，該方法包含：

接收冗餘形式位址資料係用於該記憶體位址各位元位置及至少低於該記憶體位址之最小顯著位元位置之二位元位置。

解碼該冗餘作為位址資料，及

根據該解碼位址資料驅動一第一方塊及一第二方塊。

21. 如申請專利範圍第20項之方法，其進一步包含根據

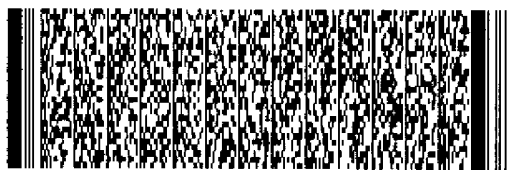


六、申請專利範圍

在該二位元位置之冗餘形式資料自該驅動之第一或第二方塊之一輸出資料。

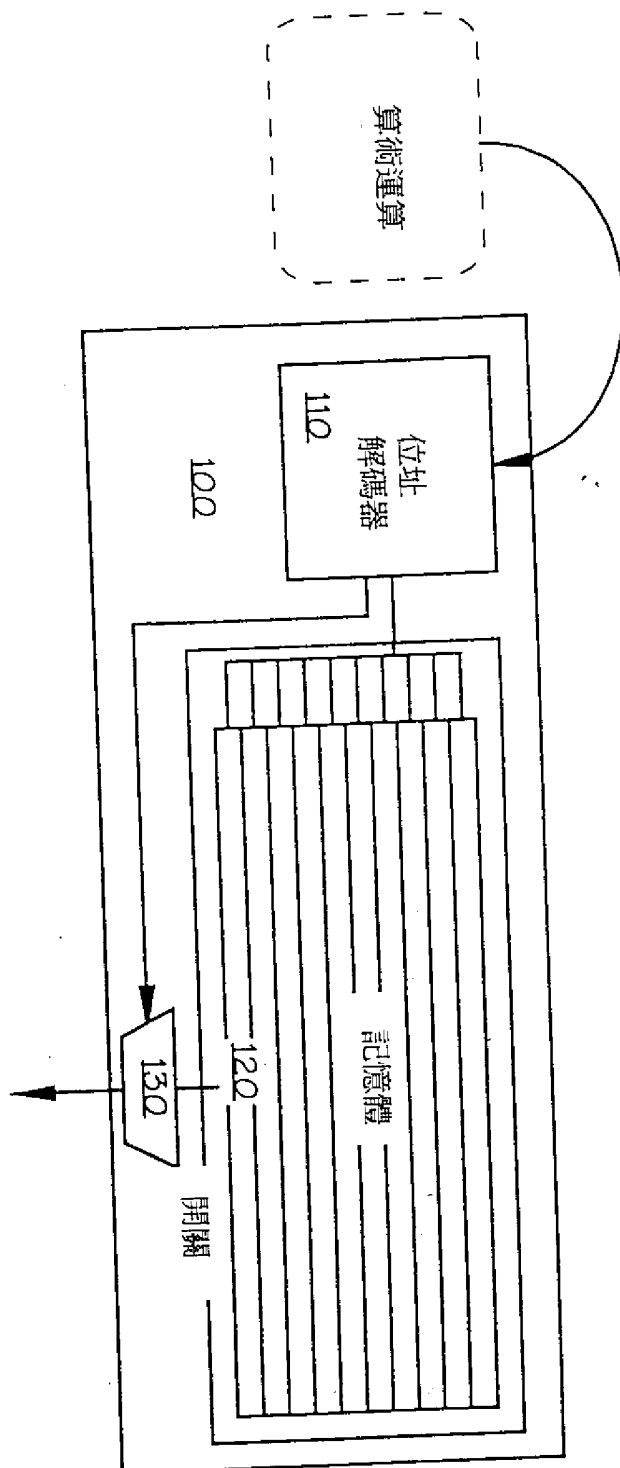
22. 如申請專利範圍第20項之方法，其中該記憶體線被組織成位於該方塊內之堆塊，及在該二位元位置之冗餘形式位址資料代表一定址之堆塊。

23. 如申請專利範圍第22項之方法，其中當該定址之堆塊指示其要求之資料可被定位於一單一記憶體線之兩方塊中時，該驅動步驟驅動該單一記憶體線之第一及第二方塊。

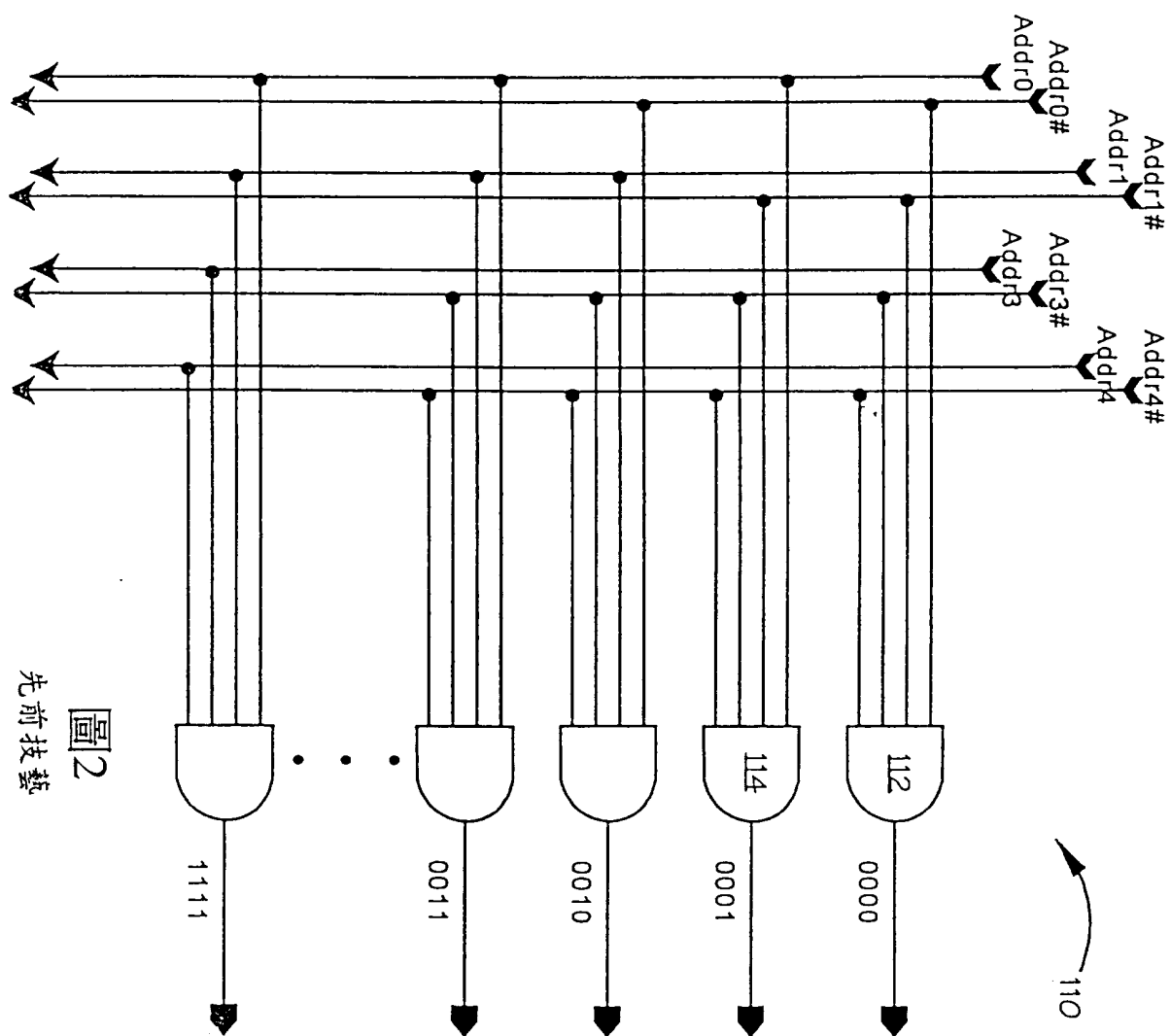


圖式

圖1
先前技藝



圖式

圖2
先前技藝

圖式

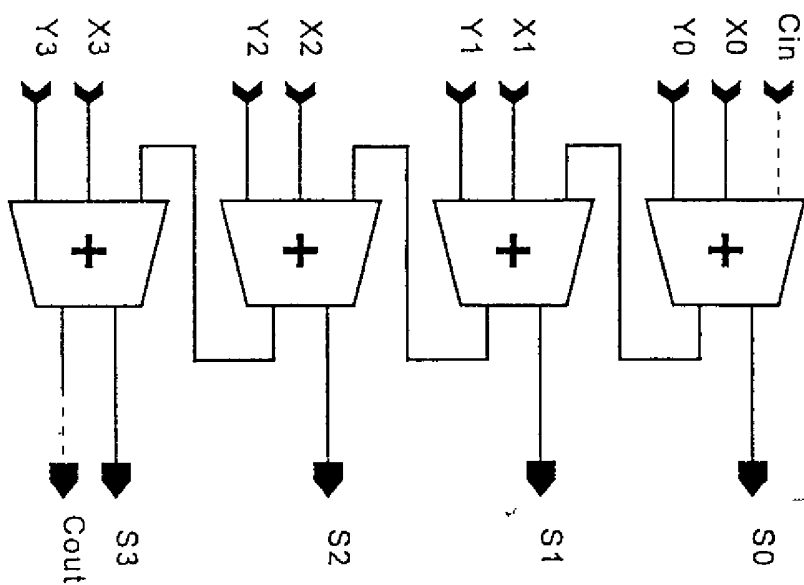


圖3 先前技藝 ✓

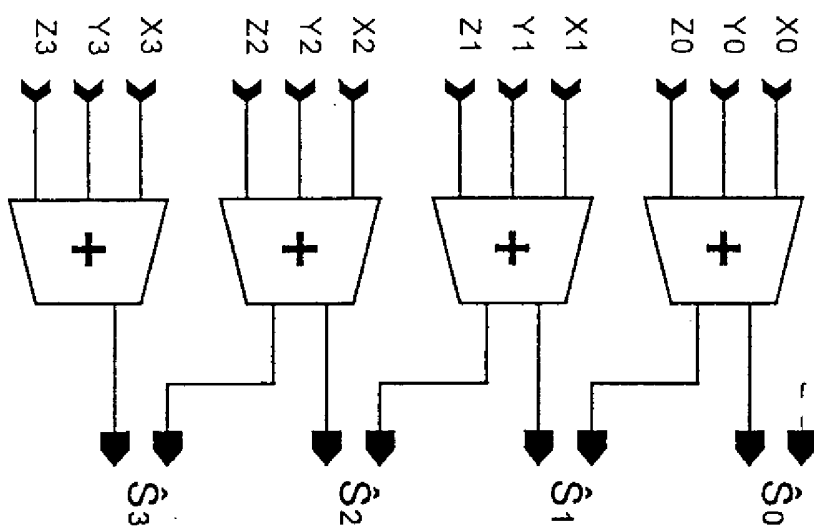


圖4 先前技藝 ✓

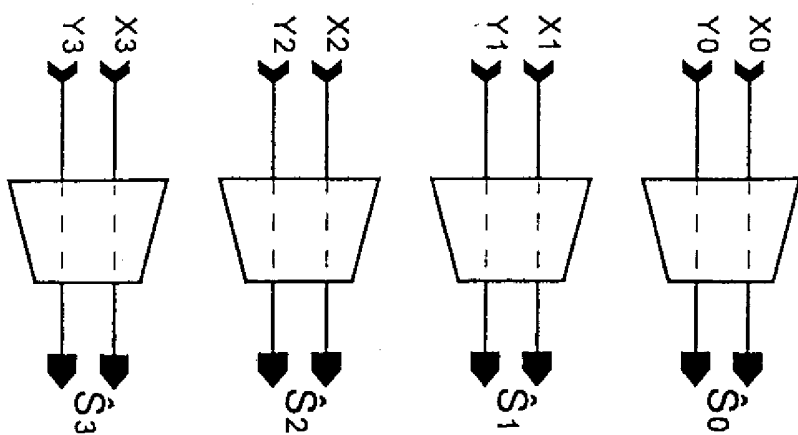


圖13 ✓

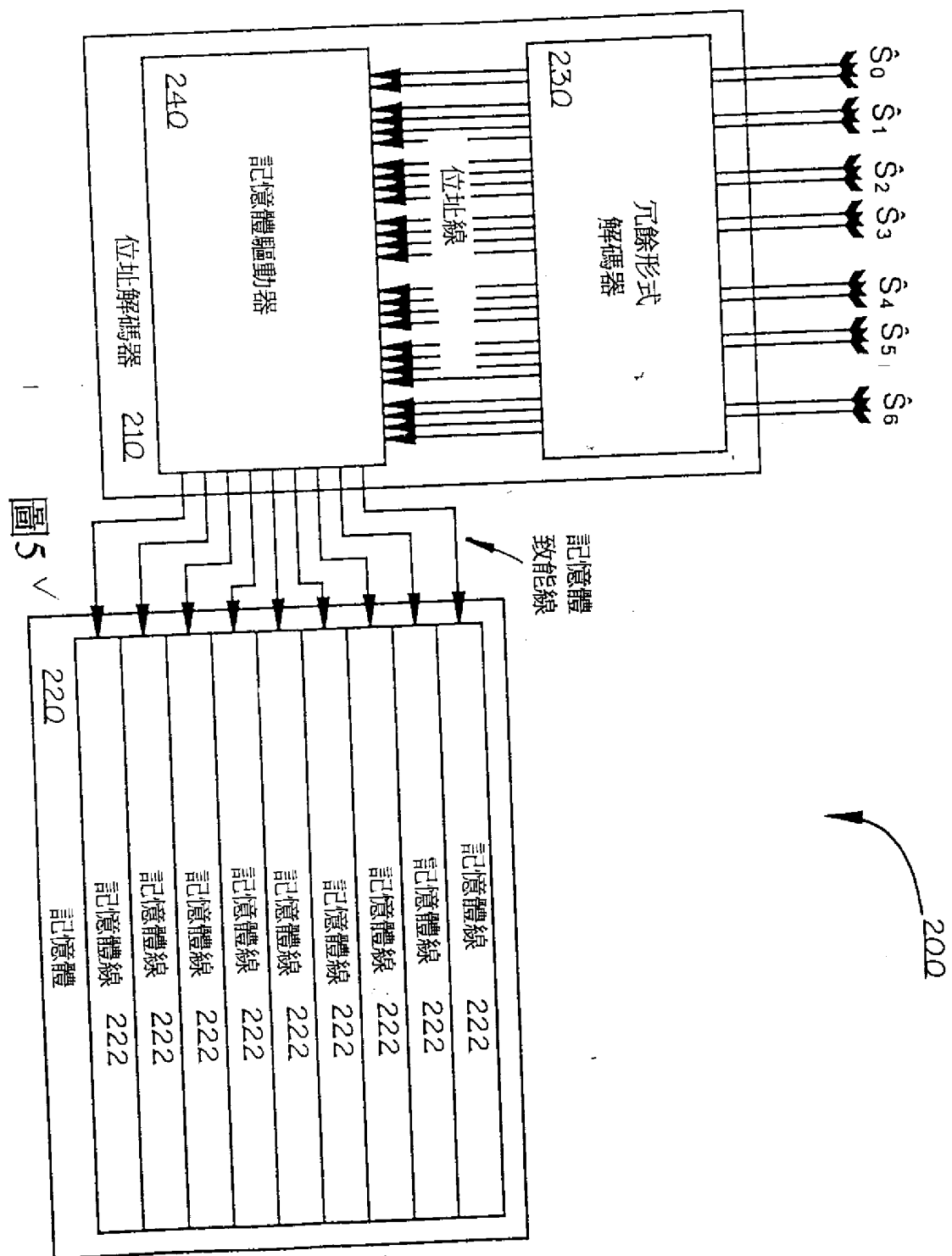


圖5

圖式

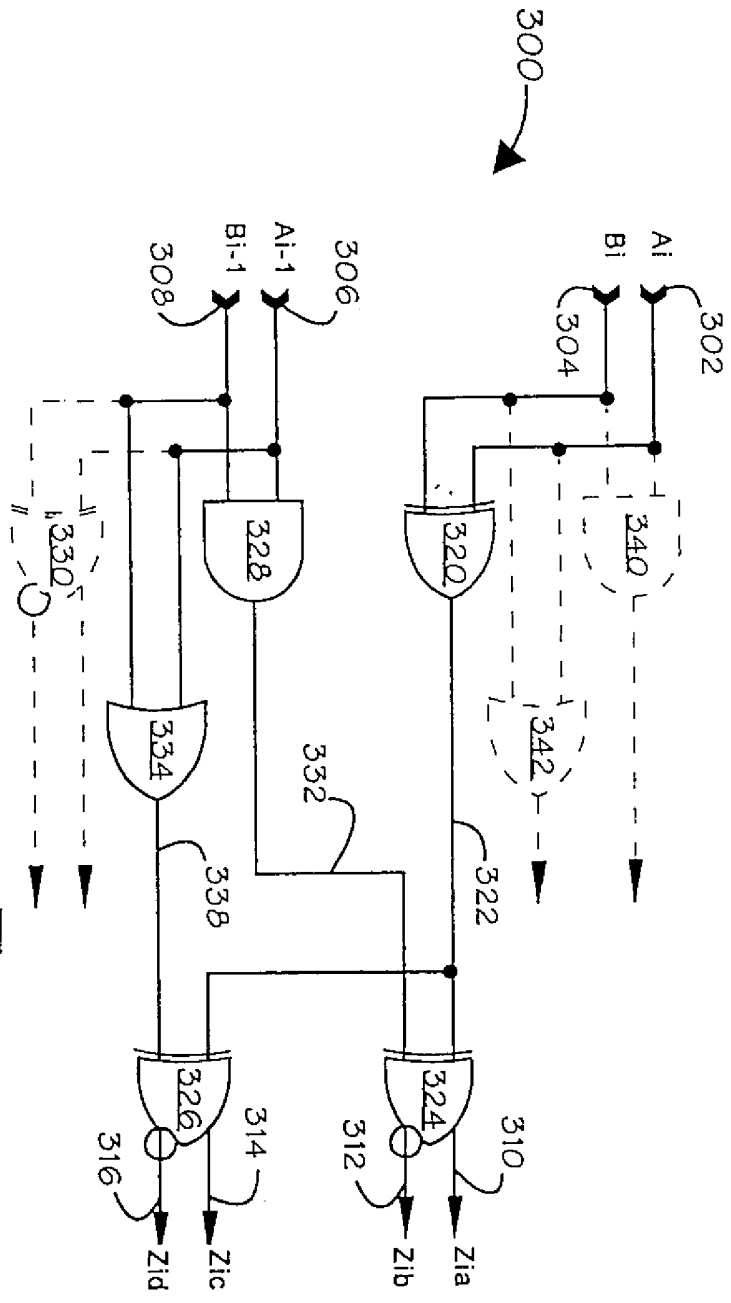


圖 6 ✓

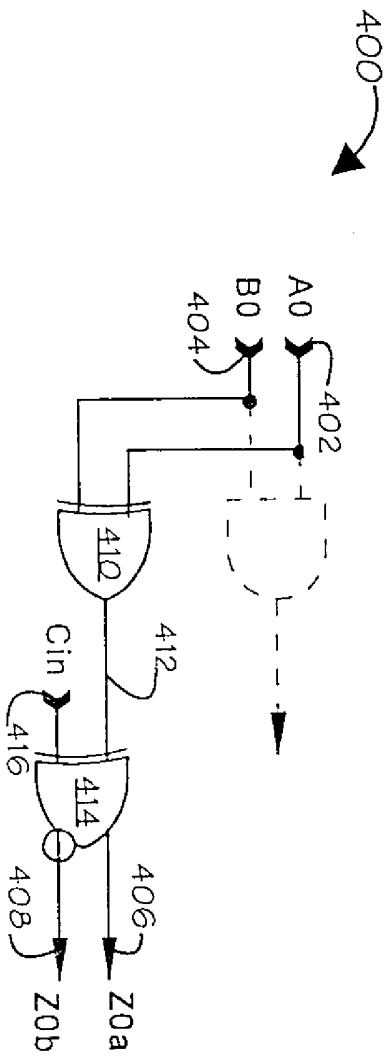


圖 7 ✓

圖式

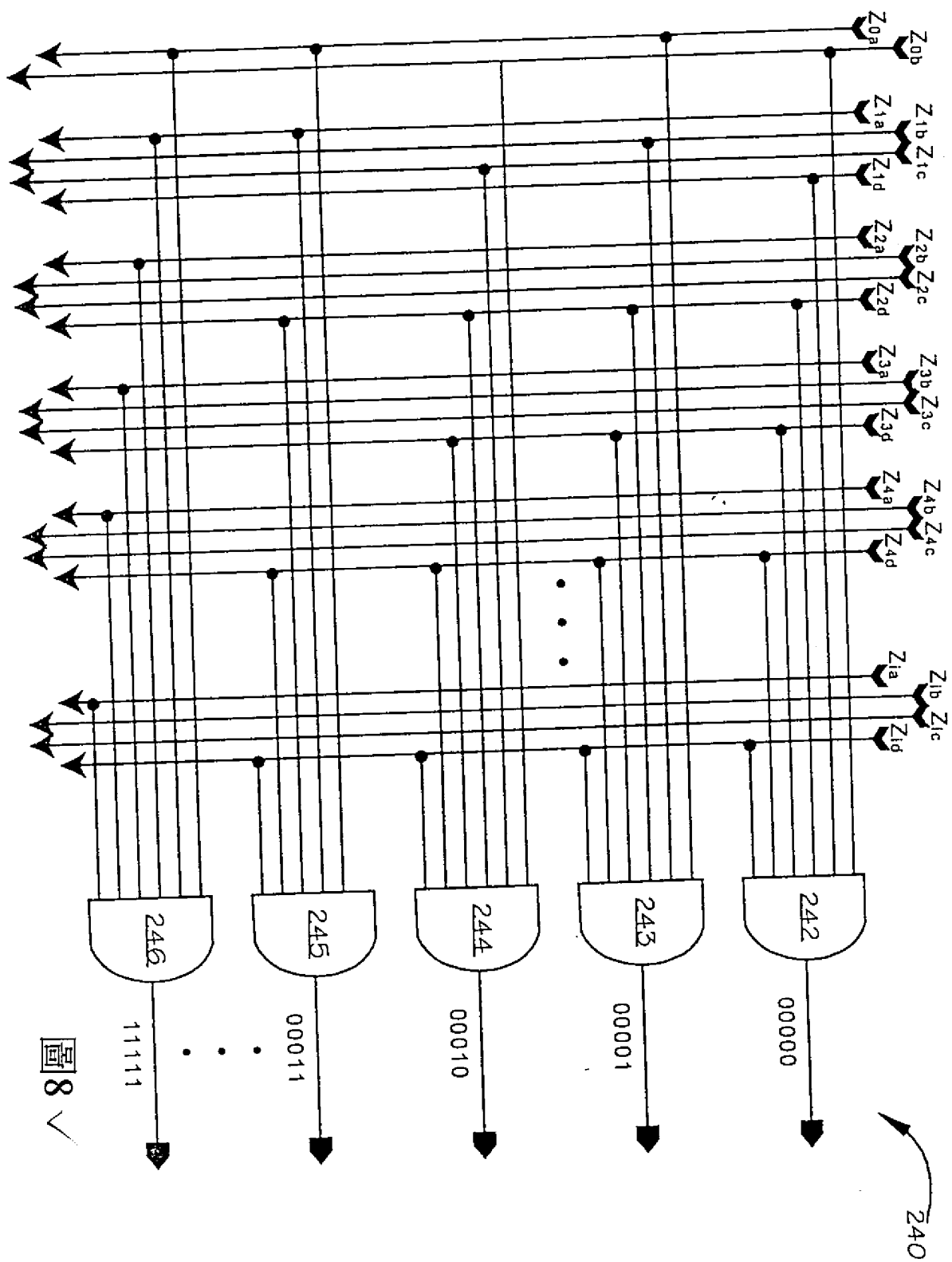


圖 8 ✓

圖式

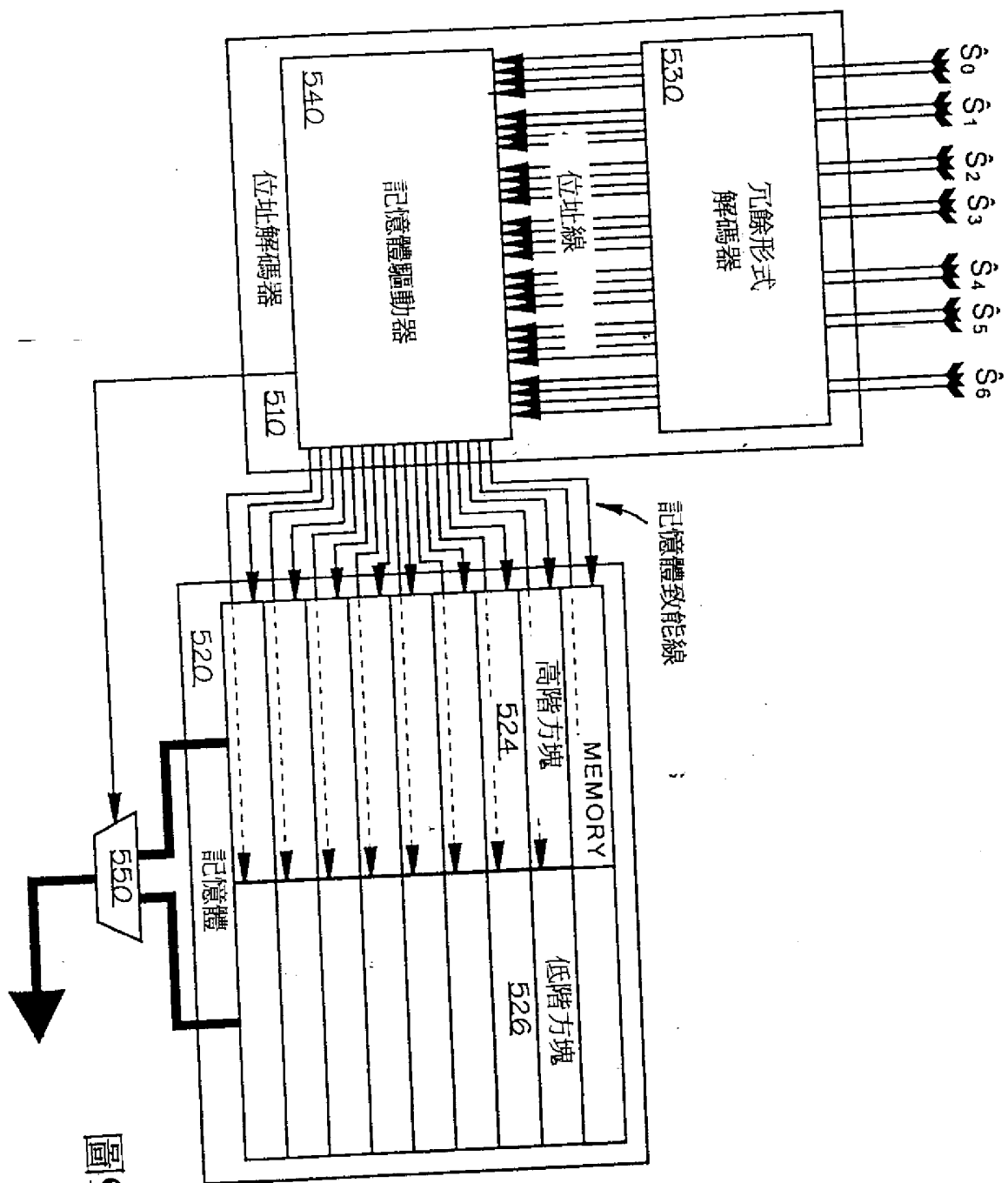


圖9 ✓

圖式

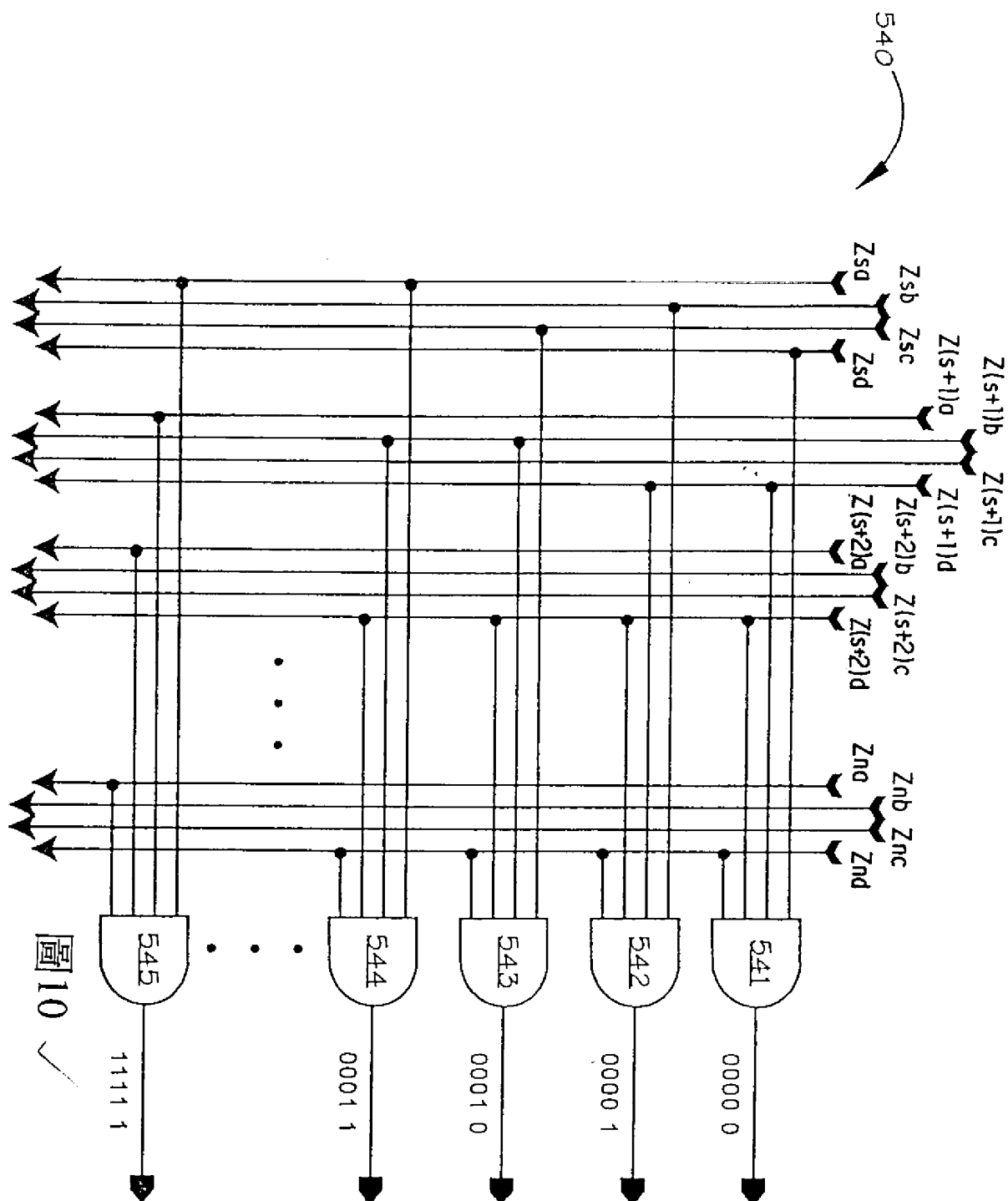


圖 10 ✓

圖式

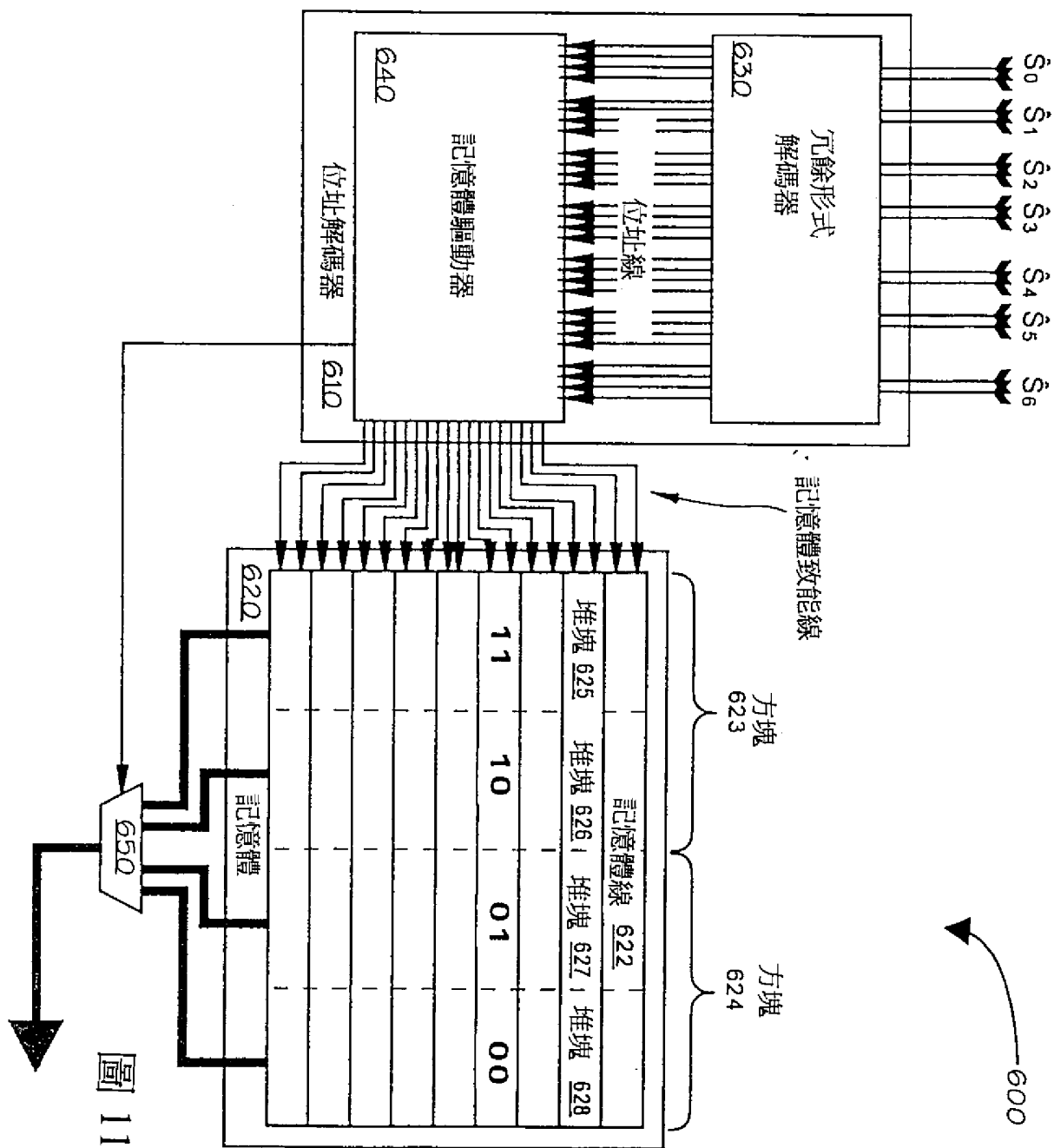


圖 11

圖式

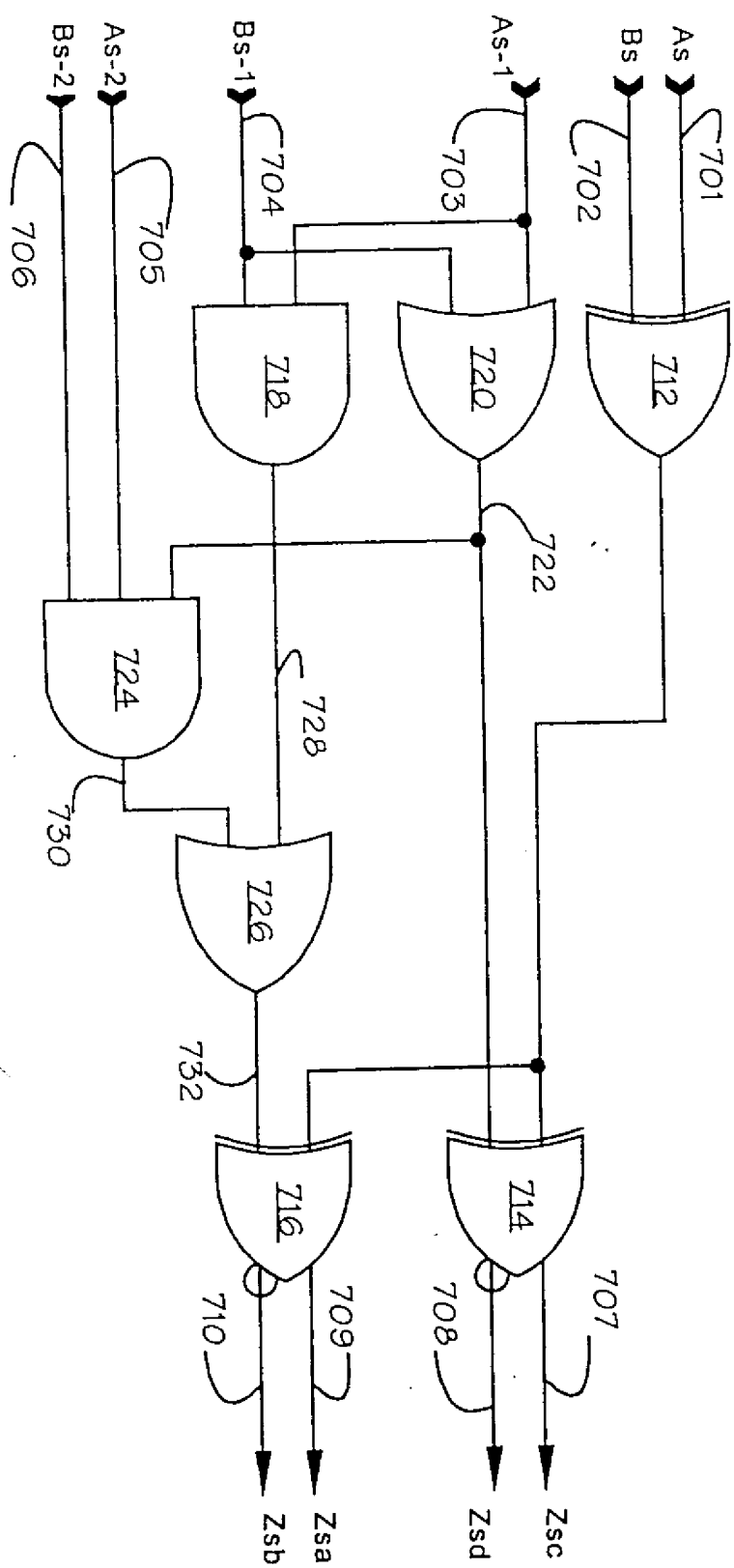


圖 12