

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 4 区分  
 【発行日】平成 19 年 6 月 14 日 (2007.6.14)

【公開番号】特開 2006-179181 (P2006-179181A)  
 【公開日】平成 18 年 7 月 6 日 (2006.7.6)  
 【年通号数】公開・登録公報 2006-026  
 【出願番号】特願 2006-75768 (P2006-75768)  
 【国際特許分類】

**G 1 1 C 11/413 (2006.01)**

【F I】

G 1 1 C 11/34 3 3 5 A

【手続補正書】

【提出日】平成 19 年 4 月 27 日 (2007.4.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 給電ノードと、第 2 給電ノードと、ゲートとドレインとが互いに交差結合された M O S トランジスタを含む複数のスタティックメモリセルと、  
前記複数のスタティックメモリセルの前記第 1 給電ノードが接続される第 1 給電線と、  
前記複数のスタティックメモリセルの前記第 2 給電ノードが接続される第 2 給電線と、  
前記第 1 給電線の電位状態を切り換える第 1 制御回路とを有し、  
選択状態とされた前記スタティックメモリセルに接続される第 1 給電線の電位状態は、  
前記第 1 制御回路により、当該スタティックメモリセルが非選択状態であった場合の当該  
スタティックメモリセルに接続される第 1 給電線の電位状態から切り換えられる半導体装  
置。

【請求項 2】

請求項 1 において、  
前記スタティックメモリセルの読み出しまたは書き込みのための周辺回路を有し、  
前記周辺回路に用いられる M O S トランジスタのしきい値電圧の絶対値は、前記スタ  
ティックメモリセルの前記交差結合された M O S トランジスタのしきい値電圧の絶対値より  
も小さい半導体装置。

【請求項 3】

請求項 1 または 2 において、  
前記第 1 給電ノードは前記スタティックメモリセルの高電位側の給電ノードであり、前  
記第 2 給電ノードは前記スタティックメモリセルの低電位側の給電ノードであり、  
前記第 2 給電線には基準電位が供給されており、  
前記スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記第 1  
制御回路は、当該スタティックメモリセルに接続される第 1 給電線に所定の電位が印加さ  
れた状態からフローティング状態に切り換える半導体装置。

【請求項 4】

請求項 3 において、  
前記選択状態とされたスタティックメモリセルに対して書き込みが行われる半導体装置  
。

【請求項 5】

請求項 3 において、

前記第 1 制御回路は、前記所定の電位を与える電位点と前記第 1 給電線との間にソース・ドレイン経路を有する MOS トランジスタを有し、

前記スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記第 1 制御回路の MOS トランジスタは、導通状態から非導通状態に制御される半導体装置。

【請求項 6】

請求項 1 または 2 において、

前記第 1 給電ノードは前記スタティックメモリセルの高電位側の給電ノードであり、前記第 2 給電ノードは前記スタティックメモリセルの低電位側の給電ノードであり、

前記第 2 給電線には基準電位が供給されており、

前記スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記第 1 制御回路は、当該スタティックメモリセルに接続される第 1 給電線に第 1 の電位が印加された状態から前記第 1 の電位よりも低い第 2 電位が印加された状態に切り換える半導体装置。

【請求項 7】

請求項 6 において、

前記選択状態とされたスタティックメモリセルに対して書き込みが行われる半導体装置

。

【請求項 8】

請求項 6 において、

前記第 1 制御回路は、前記第 1 の電位を与える第 1 電位点と前記第 1 給電線との間にソース・ドレイン経路を有する第 1 MOS トランジスタと、第 2 の電位を与える第 2 電位点と前記第 1 給電線との間にソース・ドレイン経路を有する第 2 MOS トランジスタとを有し、

前記スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記第 1 制御回路の第 1 MOS トランジスタは導通状態から非導通状態に制御され、前記第 1 制御回路の第 2 MOS トランジスタは非導通状態から導通状態に制御される半導体装置。

【請求項 9】

請求項 6 において、

前記第 1 制御回路は、前記第 1 の電位を与える第 1 電位点と前記第 1 給電線との間にソース・ドレイン経路を有する第 1 MOS トランジスタと、前記第 1 の電位よりも低い第 3 の電位を与える第 3 電位点と前記第 1 給電線との間にクランプ回路とを有し、

前記スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記第 1 制御回路の第 1 MOS トランジスタは導通状態から非導通状態に制御される半導体装置。

【請求項 10】

請求項 9 において、

前記第 3 の電位は、前記スタティックメモリセルの読み出しまたは書き込みのための周辺回路の電源電位である半導体装置。

【請求項 11】

請求項 1 または 2 において、

前記第 2 給電線に印加する電位を制御する第 2 制御回路とを有し、

前記第 1 給電ノードは前記スタティックメモリセルの高電位側の給電ノードであり、前記第 2 給電ノードは前記スタティックメモリセルの低電位側の給電ノードであり、

前記スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記第 2 制御回路は、当該スタティックメモリセルに接続される第 2 給電線に基準電位が印加された状態から前記基準電位よりも高い第 4 の電位が印加された状態に制御する半導体装置。

【請求項 12】

請求項 11 において、

前記第 2 制御回路は、所定の参照電圧が入力されるコンパレータを含み、

前記スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記コン

パレータは、基準電位を出力する状態から前記第 4 の電位を出力する状態に制御される半導体装置。

【請求項 1 3】

請求項 1 1 において、

前記スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記第 1 制御回路は、当該スタティックメモリセルに接続される第 1 給電線に所定の電位が印加された状態からフローティング状態に切り換える半導体装置。

【請求項 1 4】

請求項 1 1 において、

前記スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記第 1 制御回路は、当該スタティックメモリセルに接続される第 1 給電線に第 1 の電位が印加された状態から前記第 1 の電位よりも低い第 2 電位が印加された状態に切り換える半導体装置。

【請求項 1 5】

請求項 1 または 2 において、

複数のデータ対線と、

ワード線とを有し、

前記スタティックメモリセルは、前記ワード線によって制御される転送トランジスタを介して前記複数のデータ対線のいずれかと接続され、

前記第 1 給電線は、前記ワード線の延伸する方向に延伸する半導体装置。

【請求項 1 6】

請求項 1 または 2 において、

複数のデータ対線と、

ワード線とを有し、

前記スタティックメモリセルは、前記ワード線によって制御される転送トランジスタを介して前記複数のデータ対線のいずれかと接続され、

前記第 1 給電線は、前記ワード線の延伸する第 1 の方向と交差する第 2 の方向に延伸する半導体装置。

【請求項 1 7】

高電位側の給電ノードである第 1 給電ノードと、低電位側の給電ノードである第 2 給電ノードと、ゲートとドレインとが互いに交差結合された MOS トランジスタとを含む複数のスタティックメモリセルと、

前記複数のスタティックメモリセルの前記第 1 給電ノードが接続される第 1 給電線と、

前記複数のスタティックメモリセルの前記第 2 給電ノードが接続される第 2 給電線とを有し、

前記スタティックメモリの書き込み時に当該スタティックメモリセルに接続される第 1 給電線に供給される第 1 の電位は、前記スタティックメモリの読み出し時に前記スタティックメモリセルに接続される第 1 給電線に供給される第 2 の電位よりも低い半導体装置。

【請求項 1 8】

請求項 1 7 において、

前記スタティックメモリセルの読み出しまたは書き込みのための周辺回路を有し、

前記周辺回路に用いられる MOS トランジスタのしきい値電圧の絶対値は、前記スタティックメモリセルの前記交差結合された MOS トランジスタのしきい値電圧の絶対値よりも小さい半導体装置。

【請求項 1 9】

請求項 1 7 または 1 8 において、

前記第 1 給電線の電位状態を切り換える制御回路を有し、

前記第 2 給電線には基準電位が供給されており、

前記制御回路は、前記第 2 の電位を与える第 2 電位点と前記第 1 給電線との間にソース・ドレイン経路を有する第 1 MOS トランジスタと、前記第 1 の電位を与える第 1 電位点

と前記第 1 給電線との間にソース・ドレイン経路を有する第 2 MOS トランジスタとを有し、

前記スタティックメモリの書き込み時に、当該スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記制御回路の第 1 MOS トランジスタは導通状態から非導通状態に制御され、前記制御回路の第 2 MOS トランジスタは非導通状態から導通状態に制御される半導体装置。

【請求項 20】

請求項 17 または 18 において、

前記第 1 給電線の電位状態を切り換える制御回路を有し、

前記第 2 給電線には基準電位が供給されており、

前記制御回路は、前記第 2 の電位を与える第 2 電位点と前記第 1 給電線との間にソース・ドレイン経路を有する第 1 MOS トランジスタと、前記第 1 の電位よりも低い第 3 の電位を与える第 3 電位点と前記第 1 給電線との間にクランプ回路とを有し、

前記スタティックメモリセルの書き込み時に、当該スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記制御回路の第 1 MOS トランジスタは導通状態から非導通状態に制御される半導体装置。

【請求項 21】

請求項 18 または 19 において、

複数のデータ対線と、

ワード線とを有し、

前記スタティックメモリセルは、前記ワード線によって制御される転送トランジスタを介して前記複数のデータ対線のいずれかと接続され、

前記第 1 給電線は、前記ワード線の延伸する方向に延伸する半導体装置。

【請求項 22】

請求項 18 または 19 において、

複数のデータ対線と、

ワード線とを有し、

前記スタティックメモリセルは、前記ワード線によって制御される転送トランジスタを介して前記複数のデータ対線のいずれかと接続され、

前記第 1 給電線は、前記ワード線の延伸する第 1 の方向と交差する第 2 の方向に延伸する半導体装置。