

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成19年6月14日(2007.6.14)

【公開番号】特開2006-179181(P2006-179181A)

【公開日】平成18年7月6日(2006.7.6)

【年通号数】公開・登録公報2006-026

【出願番号】特願2006-75768(P2006-75768)

【国際特許分類】

G 11 C 11/413 (2006.01)

【F I】

G 11 C 11/34 335 A

【手続補正書】

【提出日】平成19年4月27日(2007.4.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1給電ノードと、第2給電ノードと、ゲートとドレインとが互いに交差結合されたMOSトランジスタとを含む複数のスタティックメモリセルと、前記複数のスタティックメモリセルの前記第1給電ノードが接続される第1給電線と、前記複数のスタティックメモリセルの前記第2給電ノードが接続される第2給電線と、前記第1給電線の電位状態を切り換える第1制御回路とを有し、選択状態とされた前記スタティックメモリセルに接続される第1給電線の電位状態は、前記第1制御回路により、当該スタティックメモリセルが非選択状態であった場合の当該スタティックメモリセルに接続される第1給電線の電位状態から切り換えられる半導体装置。

【請求項2】

請求項1において、

前記スタティックメモリセルの読み出しありは書き込みのための周辺回路を有し、前記周辺回路に用いられるMOSトランジスタのしきい値電圧の絶対値は、前記スタティックメモリセルの前記交差結合されたMOSトランジスタのしきい値電圧の絶対値よりも小さい半導体装置。

【請求項3】

請求項1または2において、

前記第1給電ノードは前記スタティックメモリセルの高電位側の給電ノードであり、前記第2給電ノードは前記スタティックメモリセルの低電位側の給電ノードであり、

前記第2給電線には基準電位が供給されており、

前記スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記第1制御回路は、当該スタティックメモリセルに接続される第1給電線に所定の電位が印加された状態からフローティング状態に切り換える半導体装置。

【請求項4】

請求項3において、

前記選択状態とされたスタティックメモリセルに対して書き込みが行われる半導体装置。

【請求項5】

請求項 3 において、

前記第1制御回路は、前記所定の電位を与える電位点と前記第1給電線との間にソース・ドレイン経路を有するMOSトランジスタを有し、

前記スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記第1制御回路のMOSトランジスタは、導通状態から非導通状態に制御される半導体装置。

【請求項 6】**請求項 1 または 2 において、**

前記第1給電ノードは前記スタティックメモリセルの高電位側の給電ノードであり、前記第2給電ノードは前記スタティックメモリセルの低電位側の給電ノードであり、

前記第2給電線には基準電位が供給されており、

前記スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記第1制御回路は、当該スタティックメモリセルに接続される第1給電線に第1の電位が印加された状態から前記第1の電位よりも低い第2電位が印加された状態に切り換える半導体装置。

【請求項 7】**請求項 6 において、**

前記選択状態とされたスタティックメモリセルに対して書き込みが行われる半導体装置。

【請求項 8】**請求項 6 において、**

前記第1制御回路は、前記第1の電位を与える第1電位点と前記第1給電線との間にソース・ドレイン経路を有する第1MOSトランジスタと、第2の電位を与える第2電位点と前記第1給電線との間にソース・ドレイン経路を有する第2MOSトランジスタとを有し、

前記スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記第1制御回路の第1MOSトランジスタは導通状態から非導通状態に制御され、前記第1制御回路の第2MOSトランジスタは非導通状態から導通状態に制御される半導体装置。

【請求項 9】**請求項 6 において、**

前記第1制御回路は、前記第1の電位を与える第1電位点と前記第1給電線との間にソース・ドレイン経路を有する第1MOSトランジスタと、前記第1の電位よりも低い第3の電位を与える第3電位点と前記第1給電線との間にクランプ回路とを有し、

前記スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記第1制御回路の第1MOSトランジスタは導通状態から非導通状態に制御される半導体装置。

【請求項 10】**請求項 9 において、**

前記第3の電位は、前記スタティックメモリセルの読み出しありは書き込みのための周辺回路の電源電位である半導体装置。

【請求項 11】**請求項 1 または 2 において、**

前記第2給電線に印加する電位を制御する第2制御回路とを有し、

前記第1給電ノードは前記スタティックメモリセルの高電位側の給電ノードであり、前記第2給電ノードは前記スタティックメモリセルの低電位側の給電ノードであり、

前記スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記第2制御回路は、当該スタティックメモリセルに接続される第2給電線に基準電位が印加された状態から前記基準電位よりも高い第4の電位が印加された状態に制御する半導体装置。

【請求項 12】**請求項 11 において、**

前記第2制御回路は、所定の参照電圧が入力されるコンパレータを含み、

前記スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記コン

パレータは、基準電位を出力する状態から前記第4の電位を出力する状態に制御される半導体装置。

【請求項13】

請求項11において、

前記スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記第1制御回路は、当該スタティックメモリセルに接続される第1給電線に所定の電位が印加された状態からフローティング状態に切り換える半導体装置。

【請求項14】

請求項11において、

前記スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記第1制御回路は、当該スタティックメモリセルに接続される第1給電線に第1の電位が印加された状態から前記第1の電位よりも低い第2電位が印加された状態に切り換える半導体装置。

【請求項15】

請求項1または2において、

複数のデータ対線と、

ワード線とを有し、

前記スタティックメモリセルは、前記ワード線によって制御される転送トランジスタを介して前記複数のデータ対線のいずれかと接続され、

前記第1給電線は、前記ワード線の延伸する方向に延伸する半導体装置。

【請求項16】

請求項1または2において、

複数のデータ対線と、

ワード線とを有し、

前記スタティックメモリセルは、前記ワード線によって制御される転送トランジスタを介して前記複数のデータ対線のいずれかと接続され、

前記第1給電線は、前記ワード線の延伸する第1の方向と交差する第2の方向に延伸する半導体装置。

【請求項17】

高電位側の給電ノードである第1給電ノードと、低電位側の給電ノードである第2給電ノードと、ゲートとドレインとが互いに交差結合されたMOSトランジスタとを含む複数のスタティックメモリセルと、

前記複数のスタティックメモリセルの前記第1給電ノードが接続される第1給電線と、前記複数のスタティックメモリセルの前記第2給電ノードが接続される第2給電線とを有し、

前記スタティックメモリの書き込み時に当該スタティックメモリセルに接続される第1給電線に供給される第1の電位は、前記スタティックメモリの読み出し時に前記スタティックメモリセルに接続される第1給電線に供給される第2の電位よりも低い半導体装置。

【請求項18】

請求項17において、

前記スタティックメモリセルの読み出しありは書き込みのための周辺回路を有し、

前記周辺回路に用いられるMOSトランジスタのしきい値電圧の絶対値は、前記スタティックメモリセルの前記交差結合されたMOSトランジスタのしきい値電圧の絶対値よりも小さい半導体装置。

【請求項19】

請求項17または18において、

前記第1給電線の電位状態を切り換える制御回路を有し、

前記第2給電線には基準電位が供給されており、

前記制御回路は、前記第2の電位を与える第2電位点と前記第1給電線との間にソース・ドレイン経路を有する第1MOSトランジスタと、前記第1の電位を与える第1電位点

と前記第1給電線との間にソース・ドレイン経路を有する第2MOSトランジスタとを有し、

前記スタティックメモリの書き込み時に、当該スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記制御回路の第1MOSトランジスタは導通状態から非導通状態に制御され、前記制御回路の第2MOSトランジスタは非導通状態から導通状態に制御される半導体装置。

【請求項20】

請求項17または18において、

前記第1給電線の電位状態を切り換える制御回路を有し、

前記第2給電線には基準電位が供給されており、

前記制御回路は、前記第2の電位を与える第2電位点と前記第1給電線との間にソース・ドレイン経路を有する第1MOSトランジスタと、前記第1の電位よりも低い第3の電位を与える第3電位点と前記第1給電線との間にクランプ回路とを有し、

前記スタティックメモリセルの書き込み時に、当該スタティックメモリセルが非選択状態から選択状態とされるのに応じて、前記制御回路の第1MOSトランジスタは導通状態から非導通状態に制御される半導体装置。

【請求項21】

請求項18または19において、

複数のデータ対線と、

ワード線とを有し、

前記スタティックメモリセルは、前記ワード線によって制御される転送トランジスタを介して前記複数のデータ対線のいずれかと接続され、

前記第1給電線は、前記ワード線の延伸する方向に延伸する半導体装置。

【請求項22】

請求項18または19において、

複数のデータ対線と、

ワード線とを有し、

前記スタティックメモリセルは、前記ワード線によって制御される転送トランジスタを介して前記複数のデータ対線のいずれかと接続され、

前記第1給電線は、前記ワード線の延伸する第1の方向と交差する第2の方向に延伸する半導体装置。