

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 2 月 28 日(28.02.2013)



(10) 国際公開番号
WO 2013/027712 A1

- (51) 国際特許分類:
H01L 29/82 (2006.01) *H01L 29/06* (2006.01)
H01L 21/8246 (2006.01) *H01L 29/66* (2006.01)
H01L 27/105 (2006.01)
- (21) 国際出願番号: PCT/JP2012/071025
- (22) 国際出願日: 2012 年 8 月 21 日(21.08.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-180767 2011 年 8 月 22 日(22.08.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 独立
行政法人科学技術振興機構 (JAPAN SCIENCE
AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012
埼玉県川口市本町四丁目 1 番 8 号 Saitama (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 好田 誠
(KOHTA, Makoto) [JP/JP]; 〒9800813 宮城県仙台市
青葉区米ヶ袋 3-4-1 3-201 Miyagi (JP).
新田 淳作 (NITTA, Junsaku) [JP/JP]; 〒9800805 宮
城県仙台市青葉区大手町 2-25-1506

Miyagi (JP). 小林 研介 (KOBAYASHI, Kensuke)
[JP/JP]; 〒6110011 京都府宇治市五ヶ庄官有地京
大職員宿舎 2 1 2 Kyoto (JP).

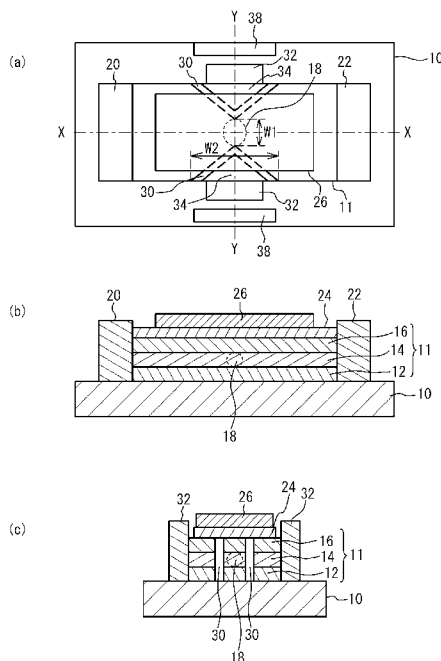
- (74) 代理人: 片山 修平 (KATAYAMA, Shuhei); 〒
1040031 東京都中央区京橋 1-6-1 三井住友
海上テプコビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) Title: RECTIFYING DEVICE, TRANSISTOR, AND RECTIFYING METHOD

(54) 発明の名称: 整流装置、トランジスタおよび整流方法

[図1]



(57) Abstract: A rectifying device comprises: a one-dimensional channel (18) formed of a semiconductor, through which electrons travel; an electrode (26) for generating, by applying an electric field to the one-dimensional channel, an effective magnetic field in a direction intersecting with a direction in which the electrons travels, the effective magnetic field being attributable to spin-orbit coupling and acting on the electrons traveling in the one-dimensional channel; and an external magnetic field generating unit (38) for generating an external magnetic field in the one-dimensional channel.

(57) 要約: 半導体からなり電子が走行する一次元チャネル 18 と、前記一次元チャネルに電界を印加することにより、前記一次元チャネルを走行する電子にスピン軌道相互作用に起因する有効磁場を前記電子が走行する方向と交差する方向に生成させる電極 26 と、前記一次元チャネルに外部磁場を生成する外部磁場生成部 38 と、を具備する整流装置。



GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：整流装置、トランジスタおよび整流方法

技術分野

[0001] 本発明は、整流装置、トランジスタおよび整流方法に関し、特に、スピン軌道相互作用を用いた整流装置、トランジスタおよび整流方法に関する。

背景技術

[0002] スピンを用いたスピントロニクスはその実用化が期待されている。スピントロニクスの分野において、強磁性体の磁化方向によるメモリ機能を有する装置が開発されている。また、非特許文献1では、スピン軌道相互作用に起因する有効磁場を活用したスピン電界効果トランジスタが提案されている。このようなスピントロニクスの分野においては、スピン偏極率の高いスピンインジェクタが求められる。

先行技術文献

非特許文献

[0003] 非特許文献1：APPL. Phys. Lett. 56, 665 (1990)

発明の概要

発明が解決しようとする課題

[0004] このようなスピントロニクスの分野においては、一方方向に電子を流すとスピン偏極率の電子が得られるが、反対方向には電子が流れない整流装置が求められている。このような整流装置を用いスピンの整流を行なうことができる。本発明は、一方方向に電子を流すとスピン偏極率の高い電子が得られるが、反対方向には電子が流れない整流装置および整流方法、並びにそれらを用いたトランジスタを提供することを目的とする。

課題を解決するための手段

[0005] 本発明は、半導体からなり電子が走行する一次元チャネルと、前記一次元チャネルに電界を印加することにより、前記一次元チャネルを走行する電子にスピン軌道相互作用に起因する有効磁場を前記電子が走行する方向と交差

する方向に生成させる電極と、前記一次元チャネルに外部磁場を生成する外部磁場生成部と、を具備することを特徴とする整流装置である。本発明によれば、一方方向に電子を流すとスピン偏極率の高い電子が得られるが、反対方向には電子が流れない整流装置を提供することができる。

[0006] 上記構成において、前記一次元チャネルは量子ポイントコンタクトである構成とすることができる。

[0007] 上記構成において、前記外部磁場生成部は、前記外部磁場を、前記有効磁場の方向または前記有効磁場と反対方向に生成する構成とすることができる。

[0008] 上記構成において、前記一次元チャネルは、閃亜鉛鉱型結晶構造を有する構成とすることができる。

[0009] 上記構成において、前記一次元チャネルは、(001)面または(110)面上に形成されている構成とすることができる。

[0010] 上記構成において、前記一次元チャネルは、前記電子が走行する方向に対し両側からくびれた箇所形成される半導体である構成とすることができる。

[0011] 上記構成において、前記一次元チャネルの前記くびれた箇所の両側に空乏層を形成するサイドゲートを具備する構成とすることができる。

[0012] 本発明は、上記整流装置を含むトランジスタである。

[0013] 上記構成において、前記一次元チャネルに電子を注入するソースと、前記一次元チャネルから電子を受けるドレインと、を具備し、前記電極はゲート電極である構成とすることができる。

[0014] 本発明は、半導体からなり電子が走行している一次元チャネルに、電界を印加することにより、前記一次元チャネルを走行している電子にスピン軌道相互作用に起因する有効磁場を前記電子が走行している方向と交差する方向に生成させるステップと、前記一次元チャネルに外部磁場を生成するステップと、を含むことを特徴とする整流方法である。本発明によれば、一方方向に電子を流すとスピン偏極率の高い電子が得られるが、反対方向には電子が

流れない整流方法を提供することができる。

発明の効果

[0015] 本発明によれば、一方方向に電子を流すとスピンの偏極率の高い電子が得られるが、反対方向には電子が流れない整流装置および整流方法、並びにそれらを用いたトランジスタを提供することができる。

図面の簡単な説明

[0016] [図1]図1 (a) は、実施例1に係る整流装置の上面図、図1 (b) は、図1 (a) のX-X断面図、図1 (c) は、図1 (a) のY-Y断面図である。

[図2]図2は、実施例1に係る整流装置の平面模式図である。

[図3]図3 (a) および図3 (b) は、量子ポイントコンタクトを走行する電子に加わる有効磁場を説明する図である。

[図4]図4は、サンプルの半導体積層構造を示す図である。

[図5]図5 (a) は、サイドゲート電圧に対するソースドレイン間のコンダクタンス、図5 (b) は、サイドゲート電圧に対するスピン偏極率を示す図である。

[図6]図6 (a) および図6 (b) は、実施例1に係る整流装置の原理を説明する図である。

[図7]図7 (a) および図7 (b) は、電子の走行方向に依存したスピン分裂準位の模式図である。

[図8]図8 (a) および図8 (b) は、実施例2に係るトランジスタの原理を説明する図である。

[図9]図9 (a) および図9 (b) は、電子の走行方向に依存したスピン分裂準位の模式図である。

[図10]図10 (a) および図10 (b) は、実施例3の動作を説明する平面模式図である。

発明を実施するための形態

[0017] 以下、本発明の実施例を、図面を参照に説明する。

実施例 1

[0018] 図1(a)は、実施例1に係る整流装置の上面図、図1(b)は、図1(a)のX-X断面図、図1(c)は、図1(a)のY-Y断面図である。図1(a)から図1(c)のように、(001)面半導体基板10上に、半導体層11として障壁層12、井戸層14および障壁層16が順に形成されている。半導体層11には、基板10まで達する溝30が形成されている。井戸層14のバンドギャップを障壁層12および16より小さくすることにより、電子を井戸層14付近に閉じ込めることができる。これにより、井戸層14内には二次元チャネルが形成される。井戸層14に接するようにソース20およびドレイン22が形成されている。

[0019] 溝30は、ソース20からドレイン22に走行する電子が通過する一次元チャネル18が形成されるように、半導体層11の両側面からV字状に形成されている。これにより、半導体層11（特に井戸層14）にくびれが形成される。このように、井戸層14により二次元チャネルを形成し、溝30によりくびれからなる一次元チャネル18を形成する。障壁層16上には絶縁膜24が形成されている。絶縁膜24上には、金属からなるゲート電極26が形成されている。ゲート電極26は、一次元チャネル18に電界を印加する。溝30によりチャネルから分離された半導体層11の領域34には、サイドゲート32が接触している。サイドゲート32により、領域34の半導体層11にサイドゲート電圧を印加することができる。さらに、一次元チャネル18に外部磁場 B_{ex} を印加する外部磁場生成部38が設けられている。外部磁場生成部38としては、磁化した強磁性体を用いることができる。また、電流により外部磁場を生成するものでもよい。

[0020] 図2は、実施例1に係る整流装置の平面模式図である。図2には、半導体層11、ソース20、ドレイン22およびサイドゲート32が図示されている。図2の左から右方向（ソース20からドレイン22方向）を+X方向、の下から上方向を+Y方向、奥行きから手前方向を+Z方向とする。サイドゲート32は、図1(a)の領域34と一体に図示している。ドレイン22

にはソース20に対しドレイン電圧 V_{ds} が印加される。サイドゲート32には、ソース20に対しサイドゲート電圧 V_{SG} が印加されている。正のドレイン電圧 V_{ds} を印加することにより、ソース20からドレイン22に電子が走行する。負のドレイン電圧 V_{ds} を印加することにより、ドレイン22からソース20に電子が走行する。なお、このとき、ドレイン22およびソース20は実質的にはそれぞれソースおよびドレインとして機能する。負のサイドゲート電圧 V_{SG} を印加することにより、溝30付近の半導体層11（特に井戸層14）に空乏層36が形成される。空乏層36間に一次元チャネル18が形成される。サイドゲート電圧 V_{SG} の大きさにより、一次元チャネル18の幅を調整することができる。一次元チャネル18として振舞うには、一次元チャネル18の幅は、フェルミ波長程度以下の幅であり、50nm～100nm以下の幅とすることが好ましい。図2のように、チャネルの幅が100nm程度以下であり、チャネル方向のくびれの長さが500nm程度以下のポイント状に形成された一次元チャネル18を量子ポイントコンタクトという。

[0021] 図3（a）および図3（b）は、量子ポイントコンタクトを走行する電子に加わる有効磁場を説明する図である。図3（a）のように、ドレイン電圧 V_{ds} が正であり、電子40が+X方向に走行している。ゲート電極26により、一次元チャネルに+Z方向の電界Eが印加されている。この場合、一次元チャネル18を走行（矢印44）する電子40には+Y方向に有効磁場 B_{α} が印加される。このように半導体におけるスピン軌道相互作用は電子に対し有効磁場として作用する。有効磁場は、電子が走行することにより受ける磁場である。例えば、閃亜鉛鉱型結晶構造を有する化合物半導体にはラッシュバスピンの軌道相互作用とドレッセルハウスのスピン軌道相互作用との2種類が存在している。ドレッセルハウスのスピン軌道相互作用の強さ β は、電子が走行する方向によって定まり、電界によらず一定である。ラッシュバスピンの軌道相互作用の強さ α は、電界により可変である。図3（a）および図3（b）の有効磁場 B_{α} はラッシュバスピンの軌道相互作用により生成されるものであ

る。有効磁場 B_{α} の大きさは、電子の走行速度が速くなると大きくなる。一次元チャネル 18 を通過した電子 42 は、有効磁場 B_{α} により +Y 方向にスピン偏極（矢印 41 a）する。

[0022] 一次元チャネル 18 を通過する電子を有効磁場 B_{α} を用いスピン偏極させることにより、スピン偏極率を向上させることができる。一般に、2次元または3次元に走行する電子は、格子振動等の散乱によりドリフト速度により走行する。このため、電子に作用する有効磁場 B_{α} は小さい。一方、量子ポイントコンタクトにおける一次元チャネル 18 を走行する電子は、電子の平均自由工程がくびれの長さより十分長くなる。この場合、電子は一次元チャネル 18 を弾道的に通過する。これにより、電子はフェルミ速度により一次元チャネル 18 を走行する。フェルミ速度はドリフト速度の 100 倍以上である。このため、一次元チャネル 18 においては、電子に作用する有効磁場 B_{α} を大きくすることができる。よって、電子 42 のスピン偏極率を大きくすることができる。

[0023] 図 3（b）のように、ドレイン電圧 V_{ds} が負であり電子 40 が -X 方向に走行している。電子 40 が -X 方向に走行する場合、一次元チャネル 18 において有効磁場 B_{α} は -Y 方向に生成される。よって、電子 42 は -Y 方向にスピン偏極（矢印 41 b）する。電子 42 のスピン偏極率を向上できるのは、図 3（a）と同様である。なお、ゲート電極 26 に印加される電圧を反転し、一次元チャネル 18 に印加される電界を -Z 方向とすると、有効磁場 B_{α} の方向は、逆となる。すなわち、ドレイン電圧 $V_{ds} > 0$ の場合有効磁場 B_{α} の方向は -Y 方向となり、電子 42 は -Y 方向にスピン偏極される。ドレイン電圧 $V_{ds} < 0$ の場合有効磁場 B_{α} の方向は +Y 方向となり、電子 42 は +Y 方向にスピン偏極される。

[0024] スピン偏極率を測定するためサンプルを作成した。図 4 は、サンプルの半導体積層構造を示す図である。基板 10 から順に、バッファ層 50、障壁層 12、第 1 半導体層 52、第 2 半導体層 54、第 3 半導体層 56 および障壁層 16 が積層されている。第 1 半導体層 52 から第 3 半導体層 56 が井戸層

14に対応する。基板10は半絶縁性InP基板であり、(001)面を主面としている。バッファ層50は、膜厚が200nmでアンドープの $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層と、電子濃度が $4 \times 10^{18} \text{cm}^{-3}$ で膜厚が6nmの $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層である。障壁層12は、膜厚が15nmでアンドープの $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層である。第1半導体層52は膜厚が5nmでアンドープの $(\text{In}_{0.53}\text{Ga}_{0.47}\text{As})_{0.41}(\text{InP})_{0.59}$ 層である。第2半導体層54は、膜厚が5nmでアンドープの $\text{In}_{0.8}\text{Ga}_{0.2}\text{As}$ 層である。第3半導体層56は、膜厚が3nmでアンドープの $(\text{In}_{0.52}\text{Al}_{0.48}\text{As})_{0.3}(\text{In}_{0.53}\text{Ga}_{0.47}\text{As})_{0.7}$ 層である。障壁層16は、膜厚が25nmでアンドープの $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層である。 $\text{In}_{0.53}\text{Al}_{0.47}\text{As}$ および $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ は、InPと格子整合するため、第2半導体層54以外はInPと格子整合し、図4の半導体積層構造は、格子歪の少ない構造となる。

[0025] 絶縁膜24は、原子層堆積装置を用い形成された、膜厚が150nmの酸化アルミニウム(Al_2O_3)である。ゲート電極26は、絶縁膜24側から膜厚が10nmのCr膜、膜厚が200nmのAu膜である。ソース20およびドレイン22は、膜厚が200nmのAuGeNi膜である。サイドゲート32は、障壁層16の上に形成された膜厚が200nmのAuGeNi膜である。溝30は、幅が約400nmであり、図1(a)の幅W1が400nm、幅W2が800nmとなるように形成する。

[0026] 作製したサンプルを用い、Fano因子からスピン偏極率を測定した。ドレイン電圧 V_{ds} は $10 \mu\text{V}$ 、ゲート電圧は1.7Vとした。測定温度は3.6Kである。図5(a)は、サイドゲート電圧 V_{SG} に対するソースドレイン間のコンダクタンス G 、図5(b)は、サイドゲート電圧 V_{SG} に対するスピン偏極率を示す図である。量子ポイントコンタクトにおいては、電気伝導が離散化される。コンダクタンス G が $(2e^2/h)$ を単位として整数倍のところにステップ構造があらわれる。コンダクタンス G が $1 \times (2e^2/h)$ の場合は、量子ポイントコンタクトの部分に電子が伝導するチャンネルが

一本のみ存在すること示している。この状態において、電子の有効磁場が働くと、アップスピンまたはダウンスピンのみが通過することになる。よって、コンダクタンス G は $0.5 \times (2e^2/h)$ となる。

[0027] 図5(a)のように、サイドゲート電圧 V_{SG} が、 -3.26 V から -3.17 V の範囲において、 $(2e^2/h)$ で規格化したコンダクタンス G がほぼ 0.5 となっている。これは、量子ポイントコンタクトがアップスピンまたはダウンスピンのみの一次元チャネルとして機能していることを示している。図5(b)のように、一次元チャネル18として機能しているサイドゲート電圧 V_{SG} が、 -3.26 V から -3.17 V の範囲において、 $0.5 \sim 0.7$ と高いスピン偏極率が得られる。以上のように、強磁性体を用いず高い偏極率の電子を生成することができる。

[0028] 図6(a)および図6(b)は、実施例1に係る整流装置の原理を説明する図である。図7(a)および図7(b)は、電子の走行方向に依存したスピン分裂準位の模式図である。図6(a)および図6(b)のように、外部磁場生成部38により、 $-Y$ 方向に外部磁場 B_{ex} が生成されている。図6(a)のように、ドレイン電圧 V_{ds} が正であり、電子が $+X$ 方向に走行している。この場合、電子40に加わる有効磁場 B_{α} は $+Y$ 方向である。図7(a)のように、外部磁場 B_{ex} が0の場合、電子40は有効磁場 B_{α} により準位がスピン分離する。この場合、 $+Y$ 方向にスピン偏極したスピン準位 E_1 が $-Y$ 方向にスピン偏極したスピン準位 E_2 に対し低くなる。外部磁場 B_{ex} が $-Y$ 方向に印加された場合（すなわち $B_{ex} < 0$ の場合）、外部磁場 B_{ex} の方向が有効磁場 B_{α} の方向とは反対となる。このため、 $B_{ex} = 0$ に比べ、スピン準位 E_1 は高くなり、スピン準位 E_2 は低くなる。外部磁場 B_{ex} が印加されることにより、スピン準位 E_1 が高くなるエネルギー ΔE は、 $1/2 g \mu_B B_{ex}$ である。ここで、 g は g 因子、 μ_B は透磁率である。

[0029] 図6(b)のように、ドレイン電圧 V_{ds} が負であり、電子が $-X$ 方向に走行している。この場合、電子40に加わる有効磁場 B_{α} は $-Y$ 方向である

。図 7 (b) のように、外部磁場 B_{ex} が 0 の場合、電子 40 は有効磁場 B_{α} により準位がスピン分離する。この場合、 $-Y$ 方向のスピン準位 E_2 が Y 方向のスピン準位 E_1 に対し低くなる。外部磁場 $B_{ex} < 0$ が印加された場合、外部磁場 B_{ex} の方向が有効磁場 B_{α} の方向と同じである。このため、 $B_{ex} = 0$ に比べ、スピン準位 E_2 は低くなり、スピン準位 E_1 は高くなる。外部磁場 B_{ex} が印加されることにより、スピン準位 E_2 が低くなるエネルギー ΔE は、 $1/2 g \mu_B B_{ex}$ である。

[0030] 図 7 (a) においては、電子 40 は有効磁場 B_{α} により Y 方向にスピン偏極する (図 6 (a) 参照)。しかし、外部磁場 B_{ex} により、 $+Y$ 方向のスピン準位 E_1 のエネルギーが高くなる。例えば、スピン準位 E_1 がフェルミ準位 E_F より高くなる。このため、 $-Y$ 方向にスピン偏極した電子の X 方向への走行は妨げられる。一方、図 7 (b) においては、電子 40 は有効磁場 B_{α} により $-Y$ 方向にスピン偏極する (図 6 (b) 参照)。外部磁場 B_{ex} により、 $-Y$ 方向のスピン準位 E_2 のエネルギーが低くなる。例えば、スピン準位 E_2 がフェルミ準位 E_F より低くなる。このため、電子の $-X$ 方向への走行は促進される。このように、同じ電圧を印加しても電子スピンの方向により電子の流れ易さが異なるスピンラチェット状態を実現できる。以上のように、実施例 1 の整流装置は、 $-X$ 方向に電子を流すと $-Y$ 方向にスピン偏極 (図 6 (b) の矢印 41 b) したスピン偏極率の高い電子が得られるが、 $+X$ 方向には電子が流れない整流装置となる。また、ゲート電極 26 に印加する電圧を反転し、一次元チャネル 18 における電界を $-Z$ 方向とすることにより、 X 方向に電子を流すと Y 方向にスピン偏極したスピン偏極率の高い電子が得られるが、 $-X$ 方向には電子が流れない整流装置となる。

[0031] 実施例 1 によれば、ゲート電極 26 が、一次元チャネル 18 に電界を印加することにより、一次元チャネル 18 を走行する電子にスピン軌道相互作用に起因する有効磁場 B_{α} を電子が走行する方向に交差する方向に生成させる。外部磁場生成部 38 が、一次元チャネル 18 に外部磁場 B_{ex} を生成させる。これにより、図 6 (a) から図 7 (b) を用い説明したように、一方方

向に電子を流すとスピン偏極率の高い電子が得られるが、反対方向には電子が流れない整流装置が得られる。

[0032] 一次元チャネル18は、図2のように、量子ポイントコンタクトを用い形成することができる。

[0033] 外部磁場生成部38が生成する外部磁場 B_{ex} は、有効磁場 B_{α} に対し直交していないことが好ましい。これにより、 ΔE を大きくでき、より整流特性を向上できる。特に、外部磁場 B_{ex} は、図7(b)のように有効磁場 B_{α} の方向または図7(a)のように有効磁場 B_{α} と反対方向に生成することが好ましい。これにより、図7(a)および図7(b)の ΔE を最も大きくでき、より整流特性を向上できる。

[0034] ラシュバスピンの軌道相互作用を用いるため、一次元チャネル18は、閃亜鉛鉱型結晶構造を有することが好ましい。特に、III-V族化合物半導体であることが好ましい。例えば、一次元チャネル18としてGaAs、InAs、AlAs、GaP、InP、AlP、GaSb、InSb、AlSb、GaN、InNおよびAlNを用いることができる。また、これらの混晶を用いることができる。また、一次元チャネル18として、II-IV族化合物半導体を用いることもできる。

[0035] 一次元チャネル18が閃亜鉛鉱型結晶構造を有する場合、有効磁場 B_{α} を得るため(001)面、(110)面、またはこれらの面に等価な面上に形成されていることが好ましい。一次元チャネル18における電子の走行方向は、面内方向のいずれの方向でもよい。

[0036] 図2のように、一次元チャネル18は、電子が走行する方向に対し両側からくびれた箇所形成される半導体である。このように、半導体層11（特に井戸層14）にくびれを設けることにより量子ポイントコンタクトを形成することができる。

[0037] さらに、井戸層14のくびれた箇所の両側に空乏層を形成するサイドゲート32を設ける。これにより、くびれた箇所の両側の空乏層のより、図5(a)のように、一次元チャネル18を形成することができる。

[0038] 実施例 1 に係る整流装置を用いれば、例えば量子コンピューティングにおける量子ビットの初期化に用いることができる。量子コンピューティングにおいては、最初に電子スピンを一方向に揃えて（これを初期化という）から計算を行なう。量子コンピューティングにおいては、例えば量子ビットを 1 量子ビットとして用いられる。量子ビットの中にスピン偏極した電子を注入するには、量子ビットと同程度のサイズ（例えば数 100 nm）のスピン注入源を用いることが好ましい。例えば、強磁性体を用い半導体にスピン注入を行なう場合、数 100 nm サイズでのスピン注入は実現されていない。実施例 1 においては、100 nm 程度の一次元チャネルによりスピン注入できることから、スピンの方向が揃った電子を量子ビットに注入することができる。これにより、本整流装置を例えば量子コンピューティングにおける量子ビットの初期化に用いることができる。

[0039] さらに、実施例 1 に係る整流装置は、例えばスピン電界効果トランジスタなどに用いることもできる。スピン電界効果トランジスタにおいては、強磁性体を用い半導体にスピン注入を行なう。このため、強磁性体と半導体との高品位ヘテロ接合を形成することになる。よって、高度な薄膜形成技術を要する。一方、本整流装置においては、半導体のみを用いスピン偏極を生成することができる。よって、本整流装置は、強磁性体を用いる場合に比べ、より半導体デバイスに適したスピン偏極源となる。さらに、本整流装置においては、スピン整流効果を利用することにより、ランダムエネルギー変化を利用して、スピンが揃った電流を生成できるため、省電力スピン偏極源として利用することもできる。

実施例 2

[0040] 実施例 1 に係る整流装置をスピントランジスタとして用いる例を説明する。図 8（a）および図 8（b）は、実施例 2 に係るトランジスタの原理を説明する図である。図 9（a）および図 9（b）は、電子の走行方向に依存したスピン分裂準位の模式図である。図 8（a）および図 8（b）を参照し、ゲート電極 26 により、一次元チャネルに $-Z$ 方向の電界 E が印加されてい

る。外部磁場生成部 38 により、 $-Y$ 方向に外部磁場 B_{ex} が生成されている。図 8 (a) のように、ドレイン電圧 V_{ds} が正であり、電子 40 が $+X$ 方向に走行している。この場合、電子 40 に加わる有効磁場 B_{α} は $-Y$ 方向である。

[0041] 図 9 (a) のように、外部磁場 B_{ex} が 0 の場合、電子 40 は有効磁場 B_{α} により準位がスピン分離する。この場合、 $-Y$ 方向にスピン偏極したスピン準位 E_2 が $+Y$ 方向にスピン偏極したスピン準位 E_2 に対し低くなる。外部磁場 B_{ex} が $-Y$ 方向に印加された場合 ($B_{ex} < 0$ の場合)、外部磁場 B_{ex} の方向が有効磁場 B_{α} の方向と同じとなる。このため、 $B_{ex} = 0$ に比べ、スピン準位 E_2 は ΔE 低くなり、スピン準位 E_1 は高くなる。

[0042] 図 8 (b) のように、ドレイン電圧 V_{ds} が負であり、電子が $-X$ 方向に走行している。この場合、電子 40 に加わる有効磁場 B_{α} は $+Y$ 方向である。図 9 (b) のように、外部磁場 B_{ex} が 0 の場合、電子 40 は有効磁場 B_{α} により準位がスピン分離する。この場合、 $+Y$ 方向のスピン準位 E_1 が $-Y$ 方向のスピン準位 E_2 に対し低くなる。外部磁場 $B_{ex} < 0$ が印加された場合、外部磁場 B_{ex} の方向は有効磁場 B_{α} の方向とは反対である。このため、 $B_{ex} = 0$ に比べ、スピン準位 E_1 は ΔE 高くなり、スピン準位 E_2 は低くなる。

[0043] ゲート電極 26 により、一次元チャネルに $-Z$ 方向の電界 E が印加されている場合は、図 8 (a)、図 9 (a) のように、外部磁場 B_{ex} により、 $-Y$ 方向のスピン準位 E_2 のエネルギーがフェルミ準位 E_F より低くなる。このため、 $-Y$ 方向にスピン偏極 (矢印 41 b) した電子 42 の X 方向への走行が促進される。一方、図 8 (b)、図 9 (b) のように、外部磁場 B_{ex} により、 $+Y$ 方向のスピン準位 E_1 のエネルギーがフェルミ準位 E_F より高くなる。これにより、 $+Y$ 方向にスピン偏極した電子の X 方向への走行は妨げられる。

[0044] 以上のように、実施例 2 によれば、ソース 20 が一次元チャネル 18 に電子を注入し、ドレイン 22 が一次元チャネル 18 から電子を受ける場合 (す

なわち $V_{ds} > 0$ の場合)、ゲート電極 26 に負の電圧を印加すると、図 6 (a) および図 7 (a) のように、ソース 20 からドレイン 22 へ $-Y$ 方向のスピンを有する電子の走行が抑制される。一方、ゲート電極に正の電圧を印加すると、図 8 (a) および図 9 (a) のように、ソース 20 からドレイン 22 へ $-Y$ 方向にスピン偏極した (矢印 41 b) 電子 42 が走行する。このように、ゲート電圧により、 $-Y$ 方向にスピン偏極した電子の流れをオンまたはオフするトランジスタを実現することができる。

実施例 3

[0045] 実施例 2 のトランジスタを 2 つ用いた例を説明する。図 10 (a) および図 10 (b) は、実施例 3 の動作を説明する平面模式図である。図 10 (a) および図 10 (b) 中のクロスは半導体層 11 上にゲート電極 26 が形成されていることを示している。図 10 (a) および図 10 (b) に示すように、実施例 2 において説明したトランジスタ 60 および 62 が複数接続されている。2 つのトランジスタ 60 および 62 のソース 20 は共有されている。

[0046] 図 10 (a) に示すように、ソース 20 とドレイン 22 との間に正のドレイン電圧 V_{ds} を印加する。これにより、トランジスタ 60 においては $-X$ 方向に、トランジスタ 62 においては X 方向に電子が移動しようとする。ゲート電極 26 に正の電圧 V_{gs} を印加する。外部磁場 B_{ex} が $-Y$ 方向に印加されている場合、図 8 (a) および図 8 (b) を用い説明したように、トランジスタ 60 においては、 $-X$ 方向に電子 40 は流れない。一方、トランジスタ 62 においては、 X 方向に $-Y$ 方向にスピン偏極した電子が流れる。よって、トランジスタ 60 は遮断状態となる。トランジスタ 62 は導通状態となり、スピン偏極した電子がソース 20 からドレイン 22 に流れる。

[0047] 図 10 (b) に示すように、ソース 20 とドレイン 22 との間に正のドレイン電圧 V_{ds} を印加し、かつゲート電極 26 に負の電圧 V_{gs} を印加する。外部磁場 B_{ex} が $-Y$ 方向に印加されている場合、図 6 (a) および図 6 (b) を用い説明したように、トランジスタ 60 においては、 $-X$ 方向に

Y方向にスピン偏極した電子42が流れる。トランジスタ62においては、X方向に電子40は流れない。よって、トランジスタ62は遮断状態となる。トランジスタ60は導通状態となり、スピン偏極した電子がソース20からドレイン22に流れる。

[0048] 実施例3によれば、実施例2に係るトランジスタを複数用いることにより、簡単に、1入力2出力のスイッチ回路を実現できる。実施例3以外にも、実施例1の整流装置を用いることにより様々な電子回路を実現することができる。

[0049] 以上、実施例1を用いたトランジスタおよび複数のトランジスタの例を説明したが、トランジスタは、実施例1に係る整流装置を備えていれば他の構成でもよい。また、実施例1の整流装置は、磁気センサ等に用いることもできる。さらに、実施例1から3は、モニタ、テレビジョン等の家庭用電気機器、通信機器およびコンピュータ等の電子機器を構成する電子部品として使用できる。

[0050] 以上、発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

符号の説明

[0051]	11	半導体層
	18	一次元チャネル
	20	ソース
	22	ドレイン
	26	ゲート電極
	32	サイドゲート
	38	外部磁場生成部
	60、62	トランジスタ

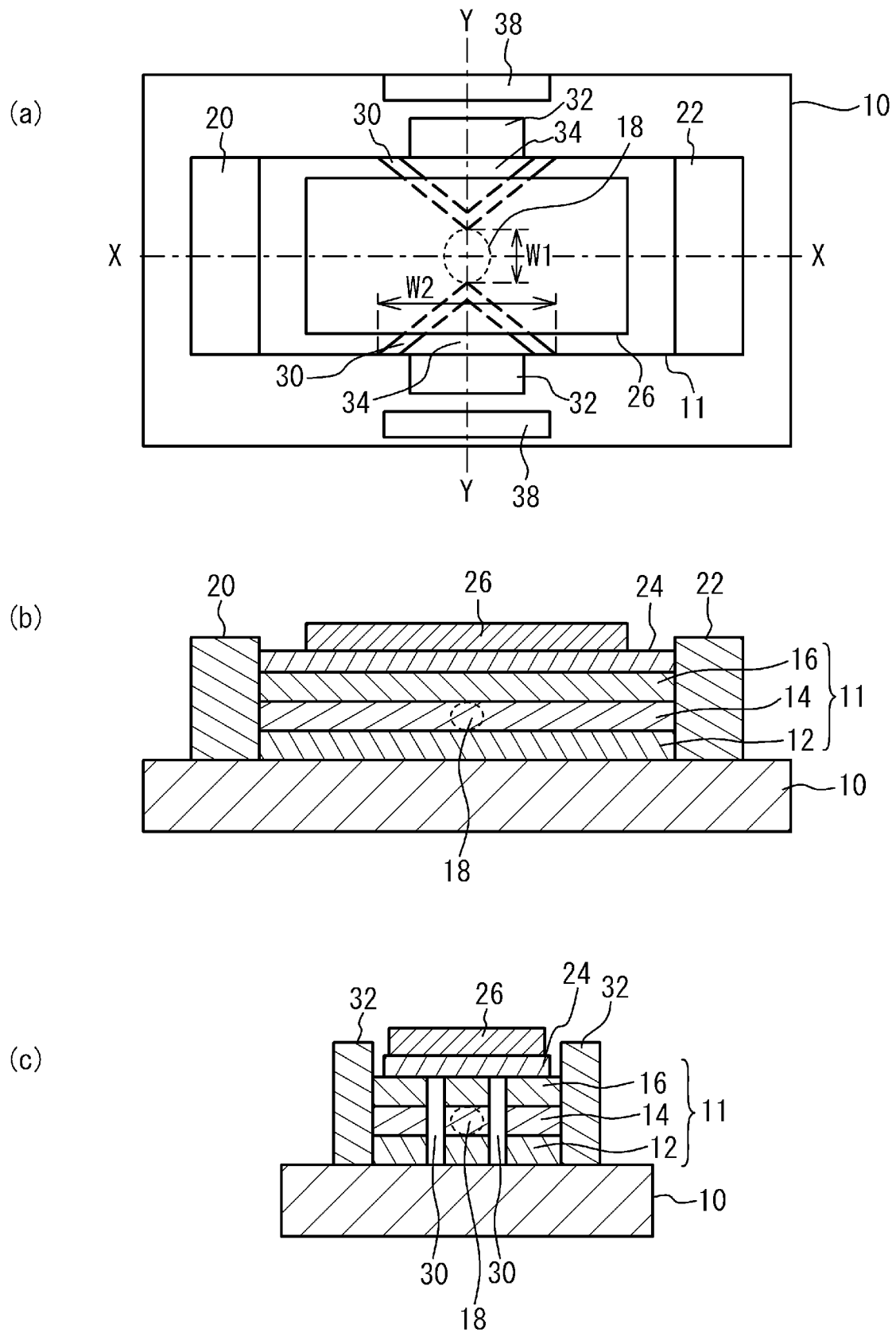
請求の範囲

- [請求項1] 半導体からなり電子が走行する一次元チャネルと、
前記一次元チャネルに電界を印加することにより、前記一次元チャネルを走行する電子にスピン軌道相互作用に起因する有効磁場を前記電子が走行する方向と交差する方向に生成させる電極と、
前記一次元チャネルに外部磁場を生成する外部磁場生成部と、
を具備することを特徴とする整流装置。
- [請求項2] 前記一次元チャネルは量子ポイントコンタクトであることを特徴とする請求項1記載の整流装置。
- [請求項3] 前記外部磁場生成部は、前記外部磁場を、前記有効磁場の方向または前記有効磁場と反対方向に生成することを特徴とする請求項1記載の整流装置。
- [請求項4] 前記一次元チャネルは、閃亜鉛鉱型結晶構造を有することを特徴とする請求項1から3のいずれか一項記載の整流装置。
- [請求項5] 前記一次元チャネルは、(001)面または(110)面上に形成されていることを特徴とする請求項4記載の整流装置。
- [請求項6] 前記一次元チャネルは、前記電子が走行する方向に対し両側からくびれた箇所に形成される半導体であることを特徴とする請求項1から5のいずれか一項記載の整流装置。
- [請求項7] 前記一次元チャネルの前記くびれた箇所の両側に空乏層を形成するサイドゲートを具備することを特徴とする請求項6記載の整流装置。
- [請求項8] 請求項1から7のいずれか一項記載の整流装置を含むトランジスタ。
- [請求項9] 前記一次元チャネルに電子を注入するソースと、
前記一次元チャネルから電子を受け取るドレインと、を具備し、
前記電極はゲート電極であることを特徴とする請求項8記載のトランジスタ。
- [請求項10] 半導体からなり電子が走行している一次元チャネルに、電界を印加

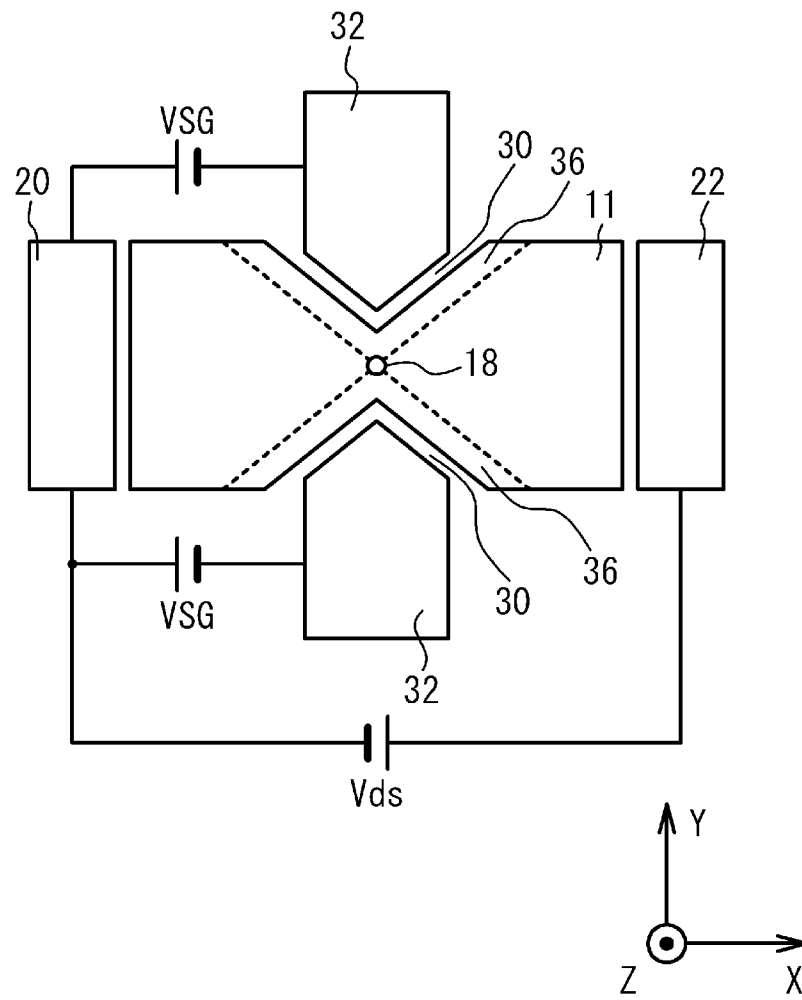
することにより、前記一次元チャネルを走行している電子にスピン軌道相互作用に起因する有効磁場を前記電子が走行している方向と交差する方向に生成させるステップと、

前記一次元チャネルに外部磁場を生成するステップと、
を含むことを特徴とする整流方法。

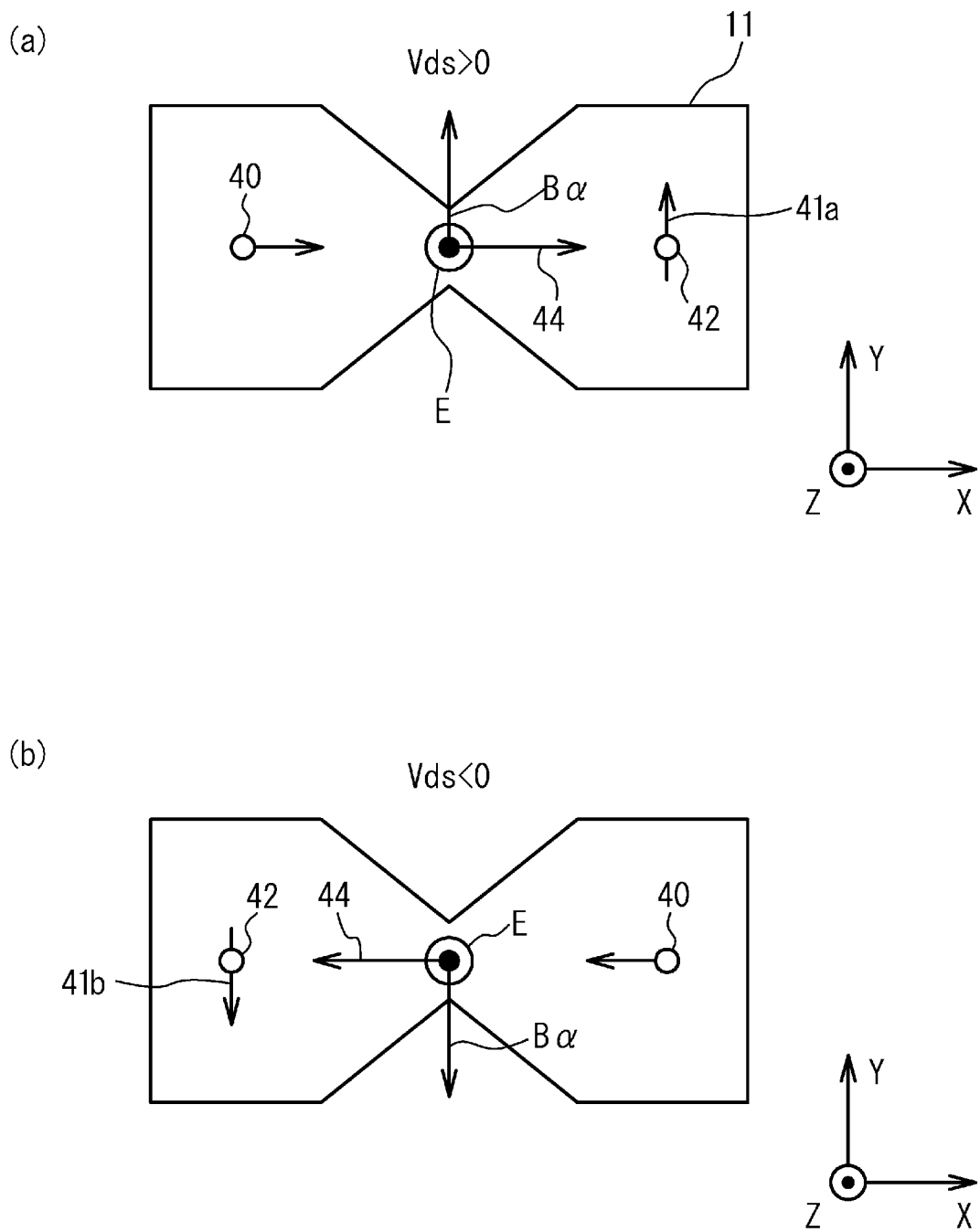
[図1]



[図2]



[図3]

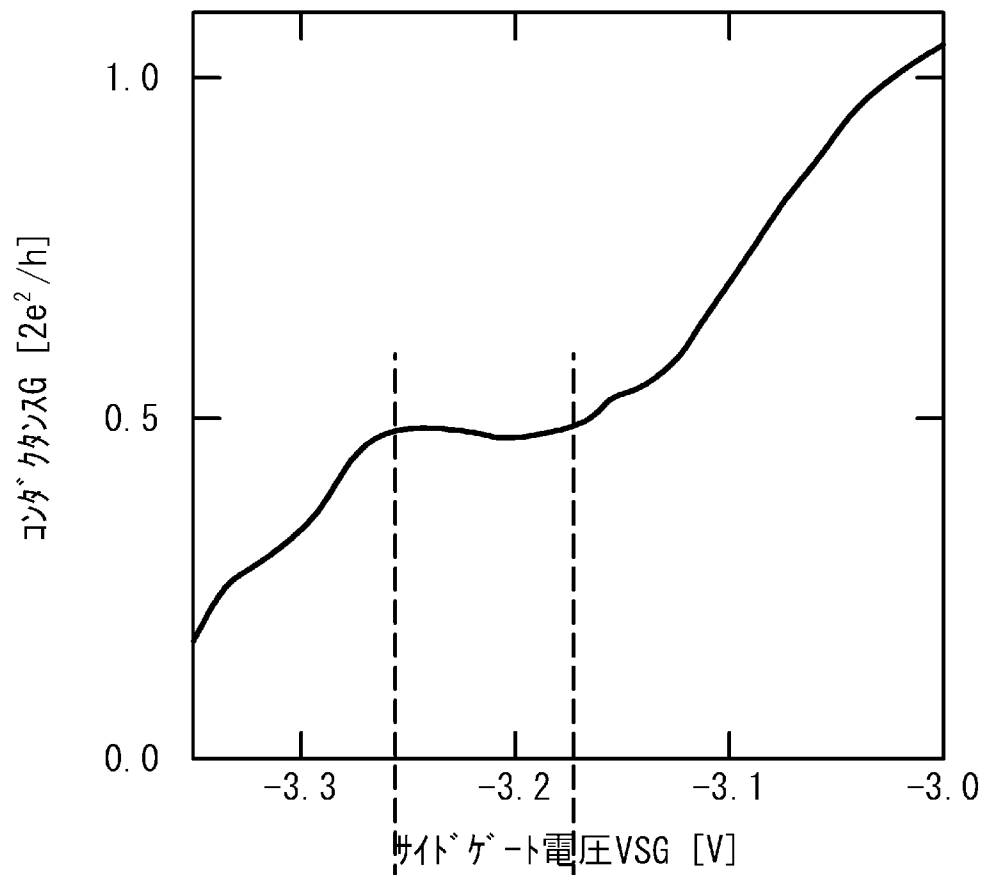


[図4]

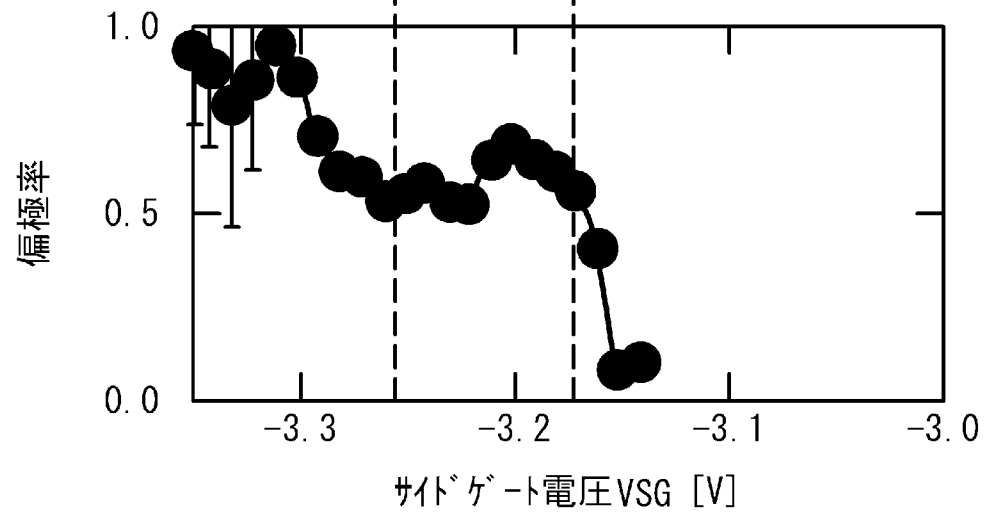
層名	材料	膜厚 [nm]
障壁層 16	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	25
第 3 半導体層 56	$(\text{In}_{0.52}\text{Al}_{0.48}\text{As})_{0.3}(\text{In}_{0.53}\text{Ga}_{0.47}\text{As})_{0.7}$	3
第 2 半導体層 54	$\text{In}_{0.8}\text{Ga}_{0.2}\text{As}$	5
第 1 半導体層 52	$(\text{In}_{0.53}\text{Ga}_{0.47}\text{As})_{0.41}(\text{InP})_{0.59}$	5
障壁層 12	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	15
パツツ層 50	$n\text{-}\text{In}_{0.52}\text{Al}_{0.48}\text{As} (N_d=4 \times 10^{18}\text{cm}^{-3})$	6
	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	200
基板 10	InP	—

[図5]

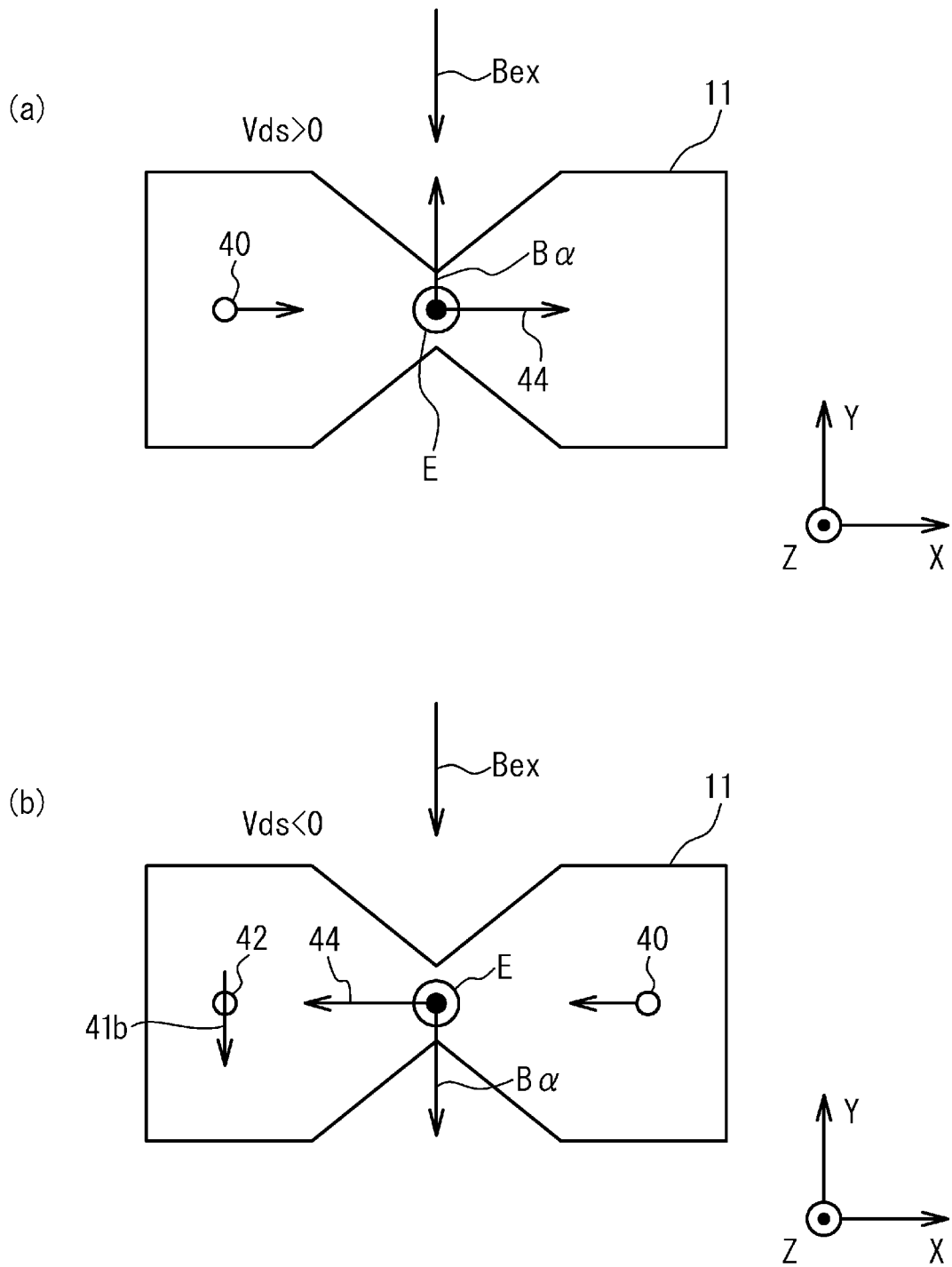
(a)



(b)

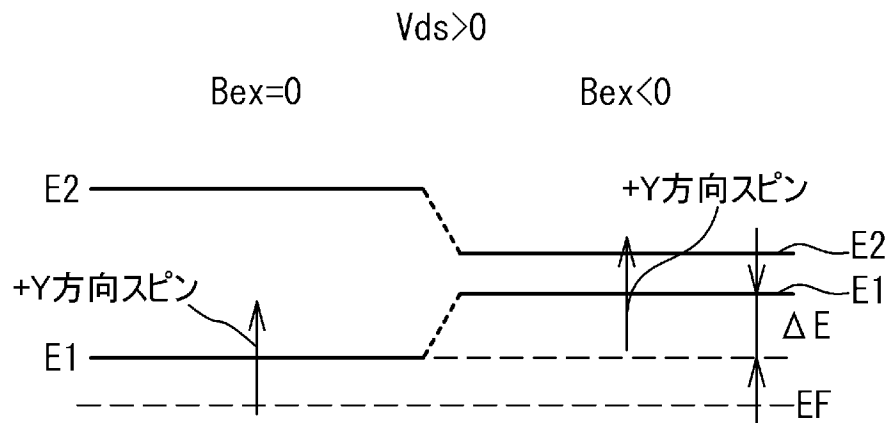


[図6]

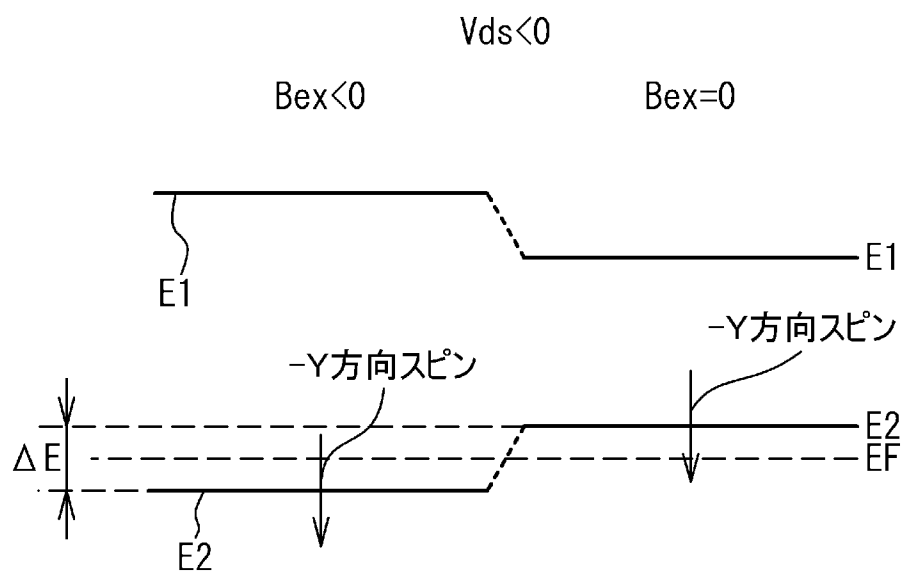


[図7]

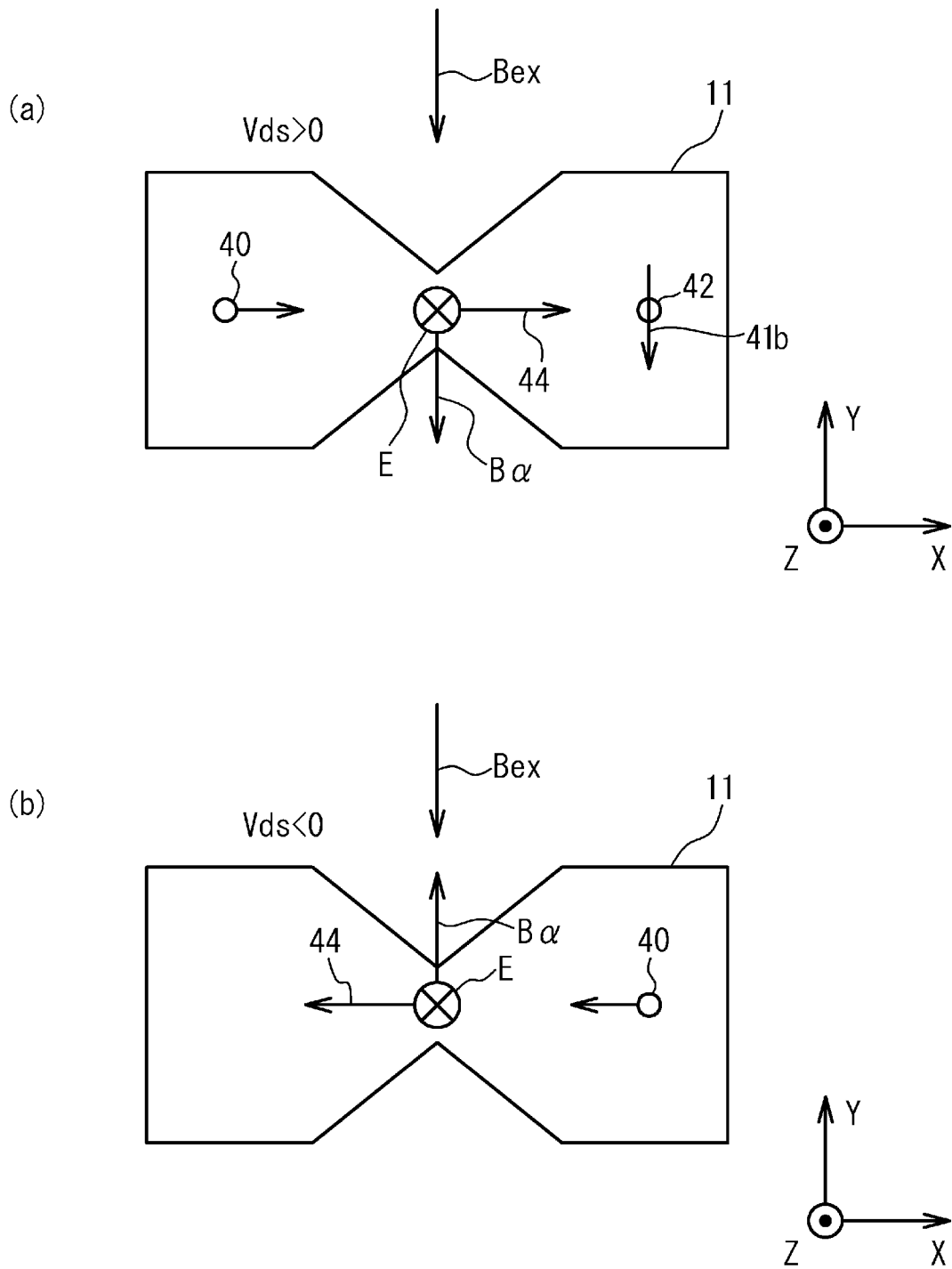
(a)



(b)

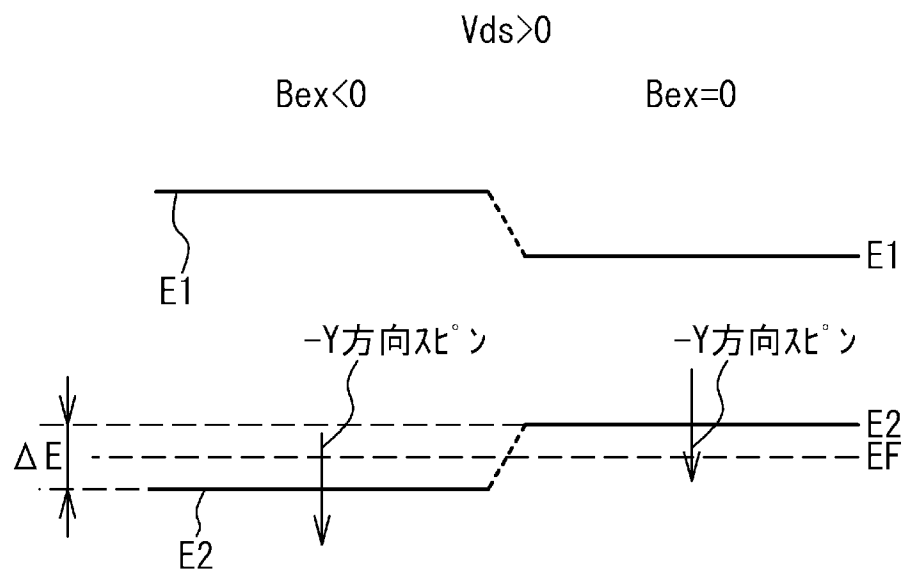


[図8]

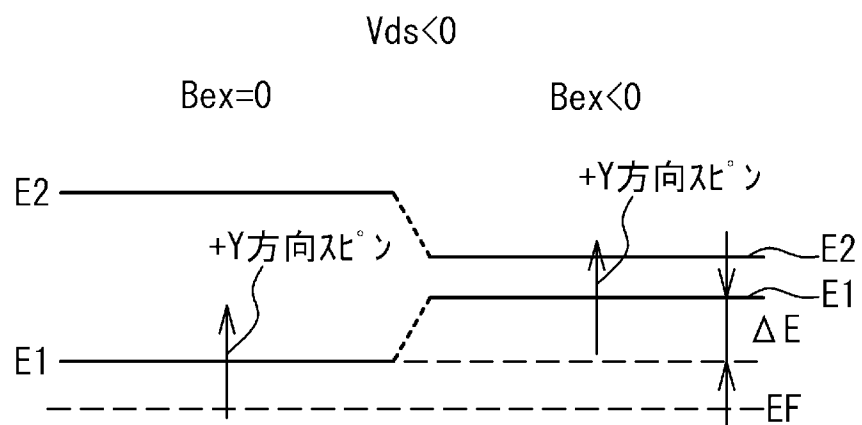


[図9]

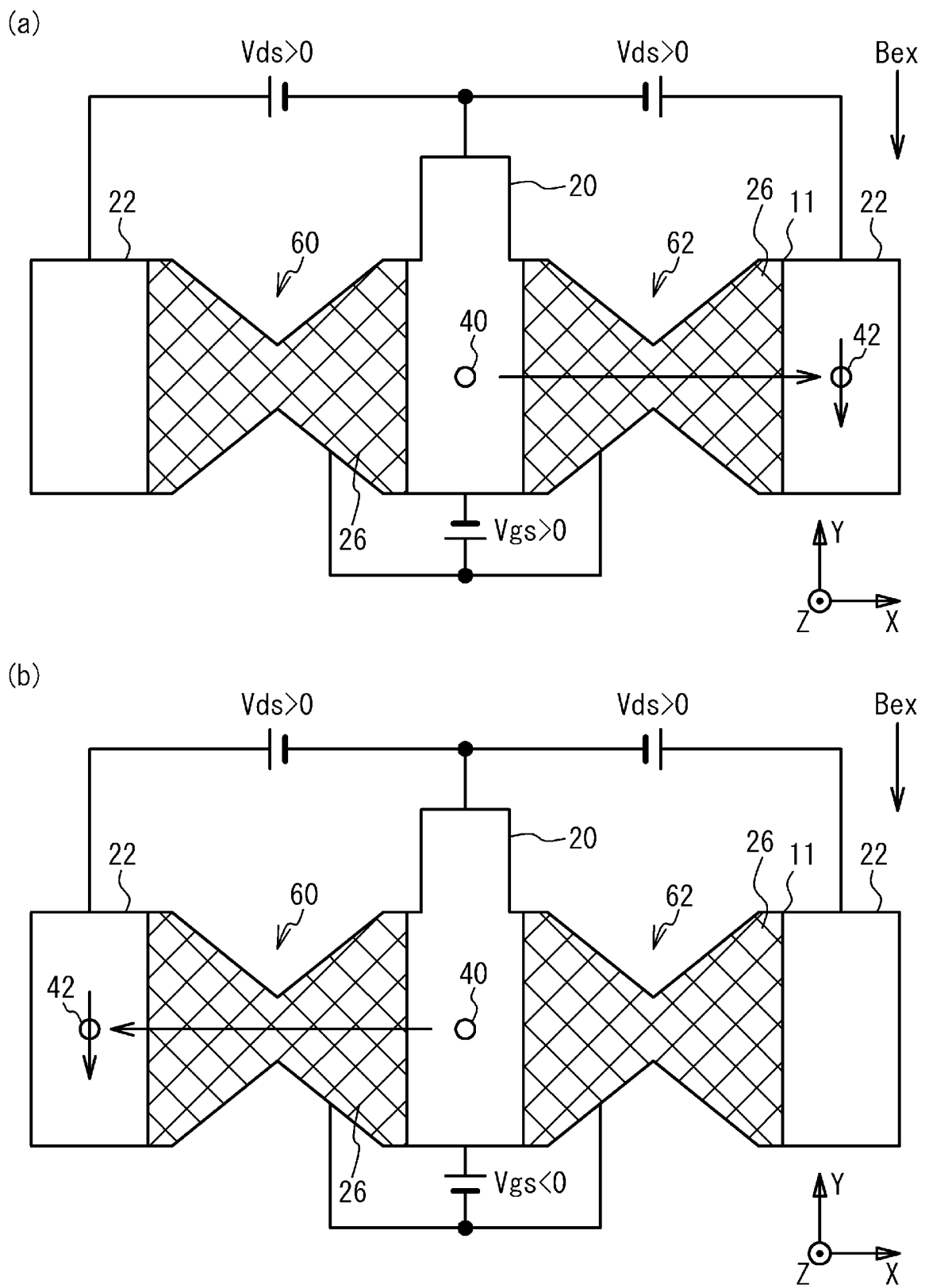
(a)



(b)



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/071025

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/82(2006.01)i, H01L21/8246(2006.01)i, H01L27/105(2006.01)i,
H01L29/06(2006.01)i, H01L29/66(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/82, H01L21/8246, H01L27/105, H01L29/06, H01L29/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-32570 A (Nippon Telegraph and Telephone Corp.), 02 February 2006 (02.02.2006), entire text; all drawings (Family: none)	1-10
A	JP 2011-71255 A (Japan Science and Technology Agency), 07 April 2011 (07.04.2011), entire text; all drawings (Family: none)	1-10
A	JP 2011-82388 A (Saitama University), 21 April 2011 (21.04.2011), paragraphs [0078] to [0080]; fig. 16 (Family: none)	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
14 November, 2012 (14.11.12)

Date of mailing of the international search report
27 November, 2012 (27.11.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/82(2006.01)i, H01L21/8246(2006.01)i, H01L27/105(2006.01)i, H01L29/06(2006.01)i,
H01L29/66(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/82, H01L21/8246, H01L27/105, H01L29/06, H01L29/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-32570 A (日本電信電話株式会社) 2006.02.02, 全文, 全図 (ファミリーなし)	1-10
A	JP 2011-71255 A (独立行政法人科学技術振興機構) 2011.04.07, 全文, 全図 (ファミリーなし)	1-10

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 1 1 . 2 0 1 2

国際調査報告の発送日

2 7 . 1 1 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

羽鳥 友哉

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

5 0

4 0 6 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-82388 A (国立大学法人埼玉大学) 2011.04.21, 段落【0078】－【0080】, 図 16 (ファミリーなし)	1-10